(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년11월18일
(11) 등록번호 10-1085155
(24) 등록일자 2011년11월14일

(51) Int. Cl.
H01L 27/108 (2006.01) *H01L 21/8242* (2006.01)
H01L 29/78 (2006.01) *H01L 21/335* (2006.01)
(21) 출원번호 10-2010-0113653
(22) 출원일자 2010년11월16일
심사청구일자 2010년11월16일
(56) 선행기술조사문헌
US6943083 B2
KR1019990029610 A
US6768166 B2
KR1020020007369 A
전체 청구항 수 : 총 9 항

(73) 특허권자
서강대학교산학협력단
서울 마포구 신수동 1-1 서강대학교
(72) 발명자
최우영
서울특별시 동작구 사당동 105 (6/3) 극동아파트 111-603
이우준
서울특별시 마포구 노고산동 우정마샹스 1107호
(74) 대리인
권오준

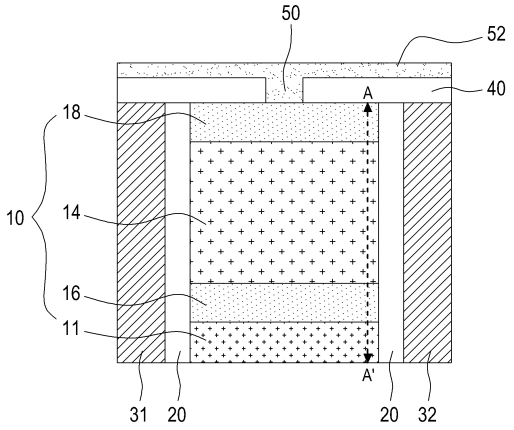
심사관 : 이우리

(54) 터널링 전계효과 트랜지스터를 이용한 1T 디램 셀 소자

(57) 요 약

본 발명은 커패시터 없이 하나의 터널링 전계효과 트랜지스터를 이용한 1T 디램 셀 소자에 관한 것으로, 소스 또는 드레인 영역과 바디 영역 사이에 분리 반도체 영역을 삽입함으로써, 바디에 전위 우물 형성이 가능하게 하였고, 터널링 전계효과 트랜지스터의 동작원리를 이용함으로써, 프로그램 시 저전력, 저전압 및 고속 동작이 가능하게 되었으며, 소스/드레인, 바디, 분리 반도체 영역으로 구성된 반도체 액티브 영역을 수직 적층시키고, 반도체 액티브 영역 양측에 형성된 게이트를 이웃 셀과 공유하도록 함으로써, 하나의 셀 소자가 $4F^2$의 면적을 차지하도록 하여 고집적이 가능하게 한 효과가 있다.

대 표 도 - 도6



이 발명을 지원한 국가연구개발사업
과제고유번호 2010-0019105
부처명 교육과학기술부
연구관리전문기관 (재)한국연구재단
연구사업명 나노원천기술개발사업
연구과제명 고에너지 효율의 IC 구현을 위한 차세대 녹색 터널링 트랜지스터 개발
기여율 1/2
주관기관 서강대학교산학협력단
연구기간 2009.06.01 ~ 2012.05.31
이 발명을 지원한 국가연구개발사업
과제고유번호 C1090-1001-0003
부처명 지식경제부
연구관리전문기관 정보통신산업진흥원
연구사업명 대학 IT연구센터 육성지원사업 (ITRC)
연구과제명 차세대 융복합 시스템용 아날로그 IP 핵심설계기술 개발
기여율 1/2
주관기관 서강대학교산학협력단
연구기간 2010.06.01 ~ 2013.12.31

특허청구의 범위

청구항 1

일정 높이를 갖는 사각 기둥의 반도체 액티브 영역과;

상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막을 사이에 두고 형성된 게이트와;

상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막을 포함하여 구성되되,

상기 반도체 액티브 영역은 바닥부터 상부로 가며 소스 영역, 상기 소스 영역과 반대 타입의 분리 반도체 영역, 상기 소스 영역과 같은 타입의 바디 영역 및 상기 소스 영역과 반대 타입의 드레인 영역이 수직 적층 되어 구성된 것을 특징으로 하는 1T 디램 셀 소자.

청구항 2

제 1 항에 있어서,

상기 드레인 영역 및 상기 분리 반도체 영역은 N형 불순물 고농도 도핑층(N+ 영역)이고,

상기 소스 영역은 P형 불순물 고농도 도핑층(P+ 영역)이고,

상기 바디 영역은 상기 소스 영역보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)인 것을 특징으로 하는 1T 디램 셀 소자.

청구항 3

일정 높이를 갖는 사각 기둥의 반도체 액티브 영역과;

상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막을 사이에 두고 형성된 게이트와;

상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막을 포함하여 구성되되,

상기 반도체 액티브 영역은 바닥부터 상부로 가며 소스 영역, 상기 소스 영역과 반대 타입의 바디 영역, 상기 소스 영역과 같은 타입의 분리 반도체 영역 및 상기 소스 영역과 반대 타입의 드레인 영역이 수직 적층 되어 구성된 것을 특징으로 하는 1T 디램 셀 소자.

청구항 4

제 3 항에 있어서,

상기 소스 영역 및 상기 분리 반도체 영역은 N형 불순물 고농도 도핑층(N+ 영역)이고,

상기 드레인 영역은 P형 불순물 고농도 도핑층(P+ 영역)이고,

상기 바디 영역은 상기 드레인 영역보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)인 것을 특징으로 하는 1T 디램 셀 소자.

청구항 5

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 게이트는 이웃 셀 사이에 형성되어 이웃 셀을 함께 제어하는 것을 특징으로 하는 1T 디램 셀 소자.

청구항 6

제 5 항에 있어서,

상기 소스 영역은 상기 분리 절연막 밑으로 연장 형성되어 이웃 셀과 연결된 것을 특징으로 하는 1T 디램 셀 소자.

청구항 7

제 6 항에 있어서,

상기 바디 영역은 상기 게이트 절연막, 상기 분리 절연막, 상기 분리 반도체 영역 및 상기 바디 영역과 접하는 상기 드레인 영역 또는 상기 소스 영역에 의하여 플로팅 바디로 되고,

상기 바디 영역과 접하는 상기 드레인 영역 또는 상기 소스 영역 사이에서 터널링 현상으로 생성된 정공을 상기 플로팅 바디에 저장하는 방법으로 프로그램 동작을 하는 것을 특징으로 하는 1T 디램 셀 소자.

청구항 8

제 7 항에 있어서,

상기 플로팅 바디에 저장된 정공의 상태를 읽을 때 상기 반도체 액티브 영역의 일측에 있는 게이트에는 음의 전압을 인가하고, 타측에 있는 게이트에는 양의 전압을 인가하여 읽기 동작을 하는 것을 특징으로 하는 1T 디램 셀 소자.

청구항 9

제 8 항에 있어서,

상기 읽기 동작은 상기 분리 반도체 영역과 이에 접한 상기 소스 영역 또는 상기 드레인 영역 사이에서 터널링 현상으로 생성된 전자를 이용하는 것을 특징으로 하는 1T 디램 셀 소자.

명 세 서

기 술 분 야

[0001] 본 발명은 반도체 메모리 소자에 관한 것으로, 더욱 상세하게는 커패시터 없이 하나의 터널링 전계효과 트랜지스터를 이용한 1T 디램 셀 소자에 관한 것이다.

배 경 기 술

[0002] 현재 상용화된 일반적인 디램(DRAM)은 하나의 트랜지스터와 하나의 커패시터 (1T/1C)를 이용하여 1 비트의 정보를 기록하는 셀 소자로 구성되어, 미세화 과정에서 트랜지스터뿐만 아니라 커패시터도 미세화해야하는 어려움이 있어 고집적화에 한계가 있어 왔다.

[0003] 그래서, 최근에는 커패시터 없이 하나의 트랜지스터만으로 1 비트의 정보를 저장할 수 있는 셀이 구현되는 1T 디램의 연구가 활발하게 진행되고 있다. 1T 디램 셀은 기존 1T/1C 디램 셀에 비하여 미세화가 쉽고, 동작속도가 빠르며 CMOS 공정에 통합되기 쉬우므로 생산비용을 감소시킬 수 있다는 장점을 가진다.

[0004] 이러한 종래 1T 디램 셀 소자는, 도 1과 같이, 매몰산화막(1) 상에 플로팅 바디(3) 양측으로 바디와 반대 타입의 불순물이 고농도로 도핑된 소스/드레인(2)(4a)이 형성되고(도면부호 7은 소스/드레인 및 바디 사이에 형성되는 공핍층을 나타냄), 바디(채널영역; 3) 상에 게이트 절연막(5)을 사이에 두고 게이트(6)가 형성되어, 기본적

으로 MOSFET 구조를 가지게 된다.

[0005] 상기와 같이 MOSFET 구조를 갖는 1T 디램 셀 소자는 플로팅 바디(3)에 정공(홀: hole)의 저장 유무로 '1'과 '0' 상태를 구분하게 되므로, 효율적으로 1T 디램 셀에 정공을 생성하고 저장하기 위해 다양한 프로그래밍 방법들이 연구되고 있다.

[0006] 이들 중 가장 전통적인 프로그래밍 방법은 MOSFET에 전류가 흐르도록 게이트에 전압을 인가한 후 드레인에 높은 전압을 인가하여 충돌 이온화를 통해 정공을 생성하여 바디에 저장하는 것이나, 이 이외에도 리드 동작 시에 큰 센싱 마진을 가지는 BJT 동작 기반의 프로그래밍 방법과 프로그램 동작 시에 전력 소모가 작은 GIDL(Gate Induced Drain Leakage) 기반의 프로그래밍 방법이 있다.

[0007] 그러나, 종래 프로그래밍 방법들 중 MOSFET 기반의 이온화충돌 프로그래밍 방법이나 BJT 동작 기반의 프로그래밍 방법은 리드 동작보다 프로그램 동작 시에 전력소모가 훨씬 크다는 문제점이 있다. 또한 GIDL 기반의 프로그래밍 방법도 프로그램 동작 시에 전력소모는 작으나 GIDL 전류 크기가 상대적으로 작으므로 빠르게 프로그래밍 하기 위해서는 높은 게이트 전압이 필요하다는 문제점이 있다.

[0008] 그리고, 종래 1T 디램 셀 소자로 메모리 어레이를 구성하여 임의의 1T 디램 셀에 프로그램, 이레이즈 또는 리드 동작을 하기 위해 소정의 전압을 인가할 경우, 워드 라인을 공유하는 다른 1T 디램 셀들이 게이트 바이어스의 영향을 받아 보유 시간(retention time)이 줄어드는 현상인 게이트 간섭(gate disturbance)이 발생 되는 문제점이 있다.

[0009] 나아가, 도 1과 같은 평면형 소자로 1T 디램 메모리 어레이를 형성할 경우 셀 소자마다 게이트에 워드 라인이 독립적으로 지나가도록 해야 하므로 집적도에도 한계가 있는 문제점이 있다.

[0010] 한편, 터널링 전계효과 트랜지스터(Tunning Field Effect Transistor: TFET)는 기본적으로, 통상의 MOSFET과 달리, 채널영역 양측으로 서로 반대 타입의 불순물이 고농도로 도핑 되어 소스/드레인을 형성하는 구조를 갖는다.

[0011] 예컨대, N 채널 TFET인 경우, 도 2와 같이, 매몰산화막(1) 상의 P형 SOI 기판에 P형의 채널영역(3) 양측으로 소스(4b)는 P+ 영역, 드레인(2)은 N+ 영역으로 형성된다. 여기서, P+ 영역은 P형 불순물 고농도 도핑층을, N+ 영역은 N형 불순물 고농도 도핑층을 각각 말한다(이하, 동일함).

[0012] 상기와 같은 구조에서, 게이트 절연막(5) 상의 게이트(6)에 + 구동전압이 인가되고, 소스(4b) 및 드레인(2)에 역바이어스 전압이 각각 인가하게 되면, 도 3과 같이, 채널영역(3)의 채널과 소스(4b) 사이에 에너지 밴드 경사를 갖는 접합(junction)이 형성되어 양자역학적 터널링에 의한 전류가 흐르게 된다.

[0013] 이러한 터널링 전계효과 트랜지스터는 그 구동방식이 기존 MOSFET의 열전자 방출(thermionic emission)과는 상이한 터널링 방식으로 전자나 정공의 흐름을 제어하여 입력전압(구동전압)의 미세한 변화가 출력전류의 큰 변화로 이어질 수 있어 낮은 문턱전압이하 기울기(SS)가 가능하게 됨에 따라, 기존 MOSFET을 대체할 수 있는 소자로 연구되고 있다.

[0014] 그러나, 종래 터널링 전계효과 트랜지스터는, 도 1과 달리, 채널영역과 소스 또는 채널영역과 드레인이 동일한 타입의 불순물로 형성되어[도 2의 경우, 채널영역(3)과 소스(4b)가 동일한 P형 불순물로 도핑 농도를 달리하여 형성됨] 이들 사이에는 공핍층이 형성되지 않아 바디인 채널영역(3)에 정공이 주입되더라도 바로 채널영역과 동일한 타입의 불순물로 형성된 소스나 드레인으로 빠져나가게 되고, 그 결과 정공을 저장할 수 없어 1T 디램 셀 소자로 이용되지 못하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0015] 본 발명은 종래 평면형 MOSFET 구조의 1T 디램 셀 소자가 가지고 있던 기술적 문제점과 종래 터널링 전계효과 트랜지스터가 1T 디램 셀 소자로 이용되지 못하는 문제점을 동시에 해결하기 위하여 제안된 것으로, 터널링 전계효과 트랜지스터를 이용한 1T 디램 셀 소자를 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0016] 상기 목적을 달성하기 위하여, 본 발명에 의한 1T 디램 셀 소자는 일정 높이를 갖는 사각 기둥의 반도체 액티브

영역과; 상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막을 사이에 두고 형성된 게이트와; 상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막을 포함하여 구성되되, 상기 반도체 액티브 영역은 바닥부터 상부로 가며 소스 영역, 상기 소스 영역과 반대 타입의 분리 반도체 영역, 상기 소스 영역과 같은 타입의 바디 영역 및 상기 소스 영역과 반대 타입의 드레인 영역이 수직 적층 되어 구성된 것을 특징으로 한다.

[0017] 여기서, 상기 드레인 영역 및 상기 분리 반도체 영역은 N형 불순물 고농도 도핑층(N+ 영역)이고, 상기 소스 영역은 P형 불순물 고농도 도핑층(P+ 영역)이고, 상기 바디 영역은 상기 소스 영역보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)일 수 있다.

[0018] 또한, 본 발명에 의한 1T 디램 셀 소자는 일정 높이를 갖는 사각 기둥의 반도체 액티브 영역과; 상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막을 사이에 두고 형성된 게이트와; 상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막을 포함하여 구성되되, 상기 반도체 액티브 영역은 바닥부터 상부로 가며 소스 영역, 상기 소스 영역과 반대 타입의 바디 영역, 상기 소스 영역과 같은 타입의 분리 반도체 영역 및 상기 소스 영역과 반대 타입의 드레인 영역이 수직 적층 되어 구성된 것을 특징으로 한다.

[0019] 여기서, 상기 소스 영역 및 상기 분리 반도체 영역은 N형 불순물 고농도 도핑층(N+ 영역)이고, 상기 드레인 영역은 P형 불순물 고농도 도핑층(P+ 영역)이고, 상기 바디 영역은 상기 드레인 영역보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)일 수 있다.

[0020] 그리고, 상기 게이트는 이웃 셀 사이에 형성되어 이웃 셀을 함께 제어하는 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0021] 그리고, 상기 소스 영역은 상기 분리 절연막 밑으로 연장 형성되어 이웃 셀과 연결된 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0022] 그리고, 상기 바디 영역은 상기 게이트 절연막, 상기 분리 절연막, 상기 분리 반도체 영역 및 상기 바디 영역과 접하는 상기 드레인 영역 또는 상기 소스 영역에 의하여 플로팅 바디로 되고, 상기 바디 영역과 접하는 상기 드레인 영역 또는 상기 소스 영역 사이에서 터널링 현상으로 생성된 정공을 상기 플로팅 바디에 저장하는 방법으로 프로그램 동작을 하는 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0023] 그리고, 상기 플로팅 바디에 저장된 정공의 상태를 읽을 때 상기 반도체 액티브 영역의 일측에 있는 게이트에는 음의 전압을 인가하고, 타측에 있는 게이트에는 양의 전압을 인가하여 읽기 동작을 하는 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

[0024] 그리고, 상기 읽기 동작은 상기 분리 반도체 영역과 이에 접한 상기 소스 영역 또는 상기 드레인 영역 사이에서 터널링 현상으로 생성된 전자를 이용하는 것을 본 발명에 의한 1T 디램 셀 소자의 다른 특징으로 한다.

발명의 효과

[0025] 본 발명은 소스 또는 드레인 영역과 바디 영역 사이에 분리 반도체 영역을 삽입함으로써, 바디에 전위 우물 형성이 가능하게 하여 종래 터널링 전계효과 트랜지스터가 1T 디램 셀 소자로 이용되지 못하는 문제점을 해결하게 되었다.

[0026] 또한, 본 발명은 터널링 전계효과 트랜지스터의 동작원리를 이용하여 바디 영역과 접하는 드레인 영역 또는 소스 영역 사이에서 터널링 현상으로 생성된 정공으로 프로그램할 수 있게 되어 프로그램 시 저전력, 저전압 및 고속 동작이 가능한 효과가 있다.

[0027] 나아가, 본 발명은 소스/드레인, 바디, 분리 반도체 영역으로 구성된 반도체 액티브 영역을 수직 적층시키고, 반도체 액티브 영역 양측에 형성된 게이트를 이웃 셀과 공유하도록 함으로써, 하나의 셀 소자가 $4F^2$의 면적을 차지하도록 하여 고집적이 가능하게 한 효과도 있다.

도면의 간단한 설명

[0028] 도 1은 종래 평면형 1T 디램 셀 소자의 구조를 보여주는 단면도이다.

도 2는 종래 터널링 전계효과 트랜지스터의 구조를 보여주는 단면도이다.

도 3은 도 2의 동작원리를 설명하기 위한 에너지 밴드도이다.

도 4는 종래의 MOSFET과 터널링 전계효과 트랜지스터의 표면 전위와 게이트 전압의 관계를 나타낸 그래프이다.

도 5는 종래의 MOSFET과 터널링 전계효과 트랜지스터의 드레인 전류를 비교한 그래프이다.

도 6은 본 발명의 일 실시 예에 따른 1T 디램 셀 소자의 구조를 보여주기 위해 도 10의 BB'선을 따라 절단한 단면도이다.

도 7은 본 발명의 일 실시 예에 따른 1T 디램 셀 소자의 구조를 보여주기 위해 도 10의 CC'선을 따라 절단한 단면도이다.

도 8은 본 발명의 다른 실시 예에 따른 1T 디램 셀 소자의 구조를 보여주기 위해 도 10의 BB'선을 따라 절단한 단면도이다.

도 9는 본 발명의 다른 실시 예에 따른 1T 디램 셀 소자의 구조를 보여주기 위해 도 10의 CC'선을 따라 절단한 단면도이다.

도 10은 본 발명의 1T 디램 셀 소자로 구성되는 어레이의 일 예를 보여주는 레이아웃(layout)이다.

도 11은 도 6의 구조에서 각 동작모드에 따른 바이어스 조건과 드레인 전류의 크기를 나타낸 전기적 특성도이다.

도 12는 프로그램 동작시 도 6의 구조에서 AA'선을 따른(깊이에 따른) 에너지 레벨을 도시한 에너지 밴드도이다.

도 13은 홀드 동작시 도 6의 구조에서 AA'선을 따른(깊이에 따른) 에너지 레벨을 도시한 에너지 밴드도이다.

도 14는 이레이즈 동작시 도 6의 구조에서 AA'선을 따른(깊이에 따른) 에너지 레벨을 도시한 에너지 밴드도이다.

도 15는 리드 동작시 도 6의 구조에서 AA'선을 따른(깊이에 따른) 에너지 레벨을 도시한 에너지 밴드도이다.

도 16은 도 6의 구조에서 '1' 또는 '0'을 기록한 후 홀드 시간에 따른 리드시 전류의 크기 변화를 보여주는 전기적 특성도이다.

발명을 실시하기 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하며 본 발명의 바람직한 실시 예에 대하여 설명한다.

[0030] 본 발명의 일 실시 예에 따른 1T 디램 셀 소자는, 도 6, 7, 10과 같이, 일정 높이를 갖는 사각 기둥의 반도체 액티브 영역(10)과; 상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막(20)을 사이에 두고 형성된 게이트(31, 32)와; 상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막(60)을 포함하여 구성되되, 상기 반도체 액티브 영역(10)은 바닥부터 상부로 가며 소스 영역(11), 상기 소스 영역과 반대 타입의 분리 반도체 영역(16), 상기 소스 영역과 같은 타입의 바디 영역(14) 및 상기 소스 영역과 반대 타입의 드레인 영역(18)이 수직 적층 되어 구성된다.

[0031] 여기서, 상기 분리 반도체 영역(16)은 소스 영역(11)과 바디 영역(14) 사이에 반대 타입(극성)의 반도체층으로 개재시킨 것으로, 이로써 바디 영역(14)에 전위 우물이 형성되어 정공을 저장할 수 있게 된다.

[0032] 즉, 상기 바디 영역(14)은 상하로 바디와 반대 타입의 반도체층으로 드레인 영역(18)과 분리 반도체 영역(16)을 위치시켜 각 접합(junction)에 공핍층이 형성되도록 하고 사각 기둥 네 측면으로 게이트 절연막(20) 및 분리 절연막(60)이 둘러싸도록 함으로써, 플로팅 바디로 되어 정공을 저장할 수 있는 공간을 제공할 수 있게 된다.

[0033] 그리고, 사각 기둥 형상의 상기 반도체 액티브 영역(10) 양측에는 게이트 절연막(20)을 사이에 두고 게이트(31, 32)가 각각 독립적으로 형성되어, 리드 동작시 일측에 있는 게이트에는 음의 전압을 인가하고, 타측에 있는 게이트에는 양의 전압을 인가하여 리드(읽기)를 할 수 있으므로, 리드 동작에 따른 게이트 간섭(gate disturbance)을 줄일 수 있는 장점이 있다.

[0034] 나아가, 상기 각 게이트는, 도 10과 같이 메모리 어레이를 구성할 때, 이웃 셀 사이에 워드 라인(31)(32)으로 형성할 수 있으므로, 워드 라인(게이트)을 공유하는 이웃 셀을 함께 제어할 수 있는 장점이 있다.

[0035] 또한, 상기 소스 영역(11)은, 도 6, 7, 10과 같이, 상기 반도체 액티브 영역(10)의 하부에서 인접 셀과 연결되는데, 일 예로 워드 라인(31)(32)과 평행하게 소스 라인(11)으로 형성되어, 소스 라인 방향의 이웃 셀과 분리 절연막(60)을 사이에 두고 서로 연결될 수 있다.

[0036] 그리고, 상기 드레인 영역(18)은, 도 6, 7, 10과 같이, 상기 반도체 액티브 영역(10)의 상부에 위치하여 워드 라인(31, 32, 33, 34) 및 소스 라인(11, 13, 15)과 수직하게 배선된 비트 라인들(51, 52, 53) 중 어느 하나(52)와 컨택(50)을 통하여 전기적으로 연결하게 된다.

[0037] 상기와 같이, 소스/드레인 영역(11, 18), 바디 영역(14), 분리 반도체 영역(16)으로 구성된 반도체 액티브 영역(10)이 사각 기둥의 수직 적층 형상을 하고, 각 반도체 액티브 영역(10) 양측에 게이트, 즉 워드 라인(31, 32, 33, 34)이 이웃 셀과 공유하도록 함으로써, 도 10에서 확인할 수 있듯이, 하나의 셀 소자가 $4F^2$의 면적을 차지하게 되어 고집적이 가능하게 된다.

[0038] 상기 실시 예에서 반도체 액티브 영역(10)을 구성하는 각 영역의 구체적인 반도체 타입(극성)의 일 예로, 상기 드레인 영역(18) 및 상기 분리 반도체 영역(16)은 N형 불순물 고농도 도핑층(N+ 영역), 상기 소스 영역(11)은 P형 불순물 고농도 도핑층(P+ 영역), 상기 바디 영역(14)은 상기 소스 영역(11)보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)으로 각각 할 수 있다. 그러나, 바디 영역(14)에의 저장 수단에 따라 각 영역이 모두 반대되는 타입으로 형성될 수도 있다.

[0039] 그리고, 상기 실시 예는 상기 분리 반도체 영역(16)이 상기 소스 영역(11)과 상기 바디 영역(14) 사이에 개재된 구조에 관한 것이나(도 6 및 도 7 참조), 도 8 및 도 9와 같이, 분리 반도체 영역(16)이 반도체 액티브 영역(10)의 상부 쪽인 바디 영역(14)과 드레인 영역(18) 사이에 개재될 수도 있다.

[0040] 후자의 실시 예에 따른 1T 디램 셀 소자는, 도 8 및 도 9와 같이, 일정 높이를 갖는 사각 기둥의 반도체 액티브 영역(10)과; 상기 반도체 액티브 영역의 어느 양측으로 평행한 두 측면 상에 각각 게이트 절연막(20)을 사이에 두고 형성된 게이트(31, 32)와; 상기 반도체 액티브 영역의 다른 양측으로 평행한 두 측면 상에 각각 채워진 분리 절연막(60)을 포함하여 구성되되, 상기 반도체 액티브 영역(10)은 바닥부터 상부로 가며 소스 영역(11), 상기 소스 영역과 반대 타입의 바디 영역(14), 상기 소스 영역과 같은 타입의 분리 반도체 영역(16) 및 상기 소스 영역과 반대 타입의 드레인 영역(18)이 수직 적층 되어 구성된다.

[0041] 이 경우에도, 상기 반도체 액티브 영역(10)을 구성하는 각 영역의 구체적인 반도체 타입(극성)의 일 예로, 상기 소스 영역(11) 및 상기 분리 반도체 영역(16)은 N형 불순물 고농도 도핑층(N+ 영역), 상기 드레인 영역(18)은 P형 불순물 고농도 도핑층(P+ 영역), 상기 바디 영역(14)은 상기 드레인 영역보다 저농도로 도핑된 P형 불순물 저농도 도핑층(P 영역)으로 각각 할 수 있다.

[0042] 기타 후자의 실시 예는 전자의 실시 예에 관한 설명을 참조하면 실시 가능하다 할 것이어서, 더 이상의 상세한 설명은 생략한다.

[0043] 다만, 상기 각 실시 예에 의한 1T 디램 셀 소자는 SOI 기판의 매몰산화막 상에 형성되거나, 벌크 반도체 기판상에서 상기 게이트(31, 32)의 하부에 절연막을 사이에 두고 형성될 수 있다. 그리고, 미 설명된 부호 40은 층간 절연막이다.

[0044] 이하에서는, 도 11 내지 도 16을 참조하며 전자의 실시 예에 따른 1T 디램 셀 소자의 동작원리에 대하여 간단히 설명한다.

[0045] 도 11은 각 동작모드에 따른 바이어스 조건과 드레인 전류의 크기를 나타낸 전기적 특성도이고, 도 12 내지 도 15는 도 6의 AA'선을 따른(깊이에 따른) 에너지 레벨을 각 동작모드에 따라 도시한 에너지 밴드도이고, 도 16은 '1' 또는 '0'을 기록한 후 홀드 시간에 따른 리드시 전류의 크기 변화를 보여주는 전기적 특성도이다.

[0046] [프로그램 동작]

[0047] 우선, 프로그램 동작을 위해, 도 11과 같이, 도 6 및 도 10에서 제 1 게이트(워드 라인: 31) 및 제 2 게이트(워드 라인: 32)에는 음의 전압(예컨대, -1.0 V)을, 드레인 영역(18)과 연결된 선택한 비트 라인(52)에는 양의 전압(예컨대, 1.0 V)을 각각 인가하게 되면, 도 12와 같이, 바디 영역(Body; 14)과 접하는 드레인 영역(Drain; 18) 사이에서[후자의 실시 예에서는 바디 영역과 접하는 소스 영역 사이에서] 밴드 경사가 증가되고 밴드 간의 간격이 좁아져 드레인 영역(Drain; 18)에 있던 정공이 전위 우물이 형성된 바디 영역(Body; 14)으로 터널링되며 유입하게 된다.

[0048] 이러한 프로그램 동작은 드레인 영역(Drain; 18) 측에서의 터널링에 의한 정공의 유입에 의한 것이므로, 드레인 영역과 소스 영역 사이의 전류인 드레인 전류(Drain current)는, 도 11과 같이, 거의 흐르지 않음을 알 수 있다.

[0049] 또한, 상기 실시예에 의한 프로그램 동작은, 도 4에서 알 수 있는 바와 같이, 게이트 전압에 의한 바디 영역의 표면 전위 제어가 일반 MOSFET 구조에 비하여 상대적으로 훨씬 쉬운 터널링 전계효과 트랜지스터(TFET)의 구조를 적극 이용하게 됨에 따라, 도 5와 같이, 동일한 게이트 전압 조건하에서도 많은 정공을 터널링 현상으로 발생시킬 수 있게 되어, 저전력, 저전압 및 고속 동작이 가능하게 되는 장점이 있게 된다.

[0050] [홀드 동작]

[0051] 홀드(hold) 동작은 바디 영역(Body; 14)의 전위 우물에 정공을 가두어 리드(읽기)나 이레이즈(지우기) 동작하기 전에 정공을 유지하기 위한 것으로, 1T 디램 셀의 보유시간(retention time) 특성을 결정하게 된다.

[0052] 이를 위해서는 도 11과 같이, 제 1 게이트(워드 라인: 31) 및 제 2 게이트(워드 라인: 32)에 작은 음의 전압(예컨대, -0.5 V)을 인가하고, 기타 라인들은 접지 또는 플로팅 시킴으로써, 드레인 전류(Drain current)는 흐르지 않는 상태에서 보유시간을 높일 수 있게 된다.

[0053] 도 13은 드레인 영역(18) 및 소스 영역(11)이 접지 또는 플로팅된 상태에서 바디 영역(14)에 형성된 전위 우물 속에 갇힌 정공이 제 1 게이트(워드 라인: 31) 및 제 2 게이트(워드 라인: 32)에 붙잡혀 있음을 보여준다.

[0054] [리드 동작]

[0055] 이는 바디 영역(14)의 전위 우물 속에 정공이 저장되어 있는지 여부를 읽기 위한 것으로, 제 1 게이트(워드 라인: 31)에는 상기 홀드 동작시보다 약간 큰 음의 전압(예컨대, -0.75 V)을 인가하여 저장된 정공을 잡아 둔 상태에서 제 2 게이트(워드 라인: 32)에 일정 리드 전압(예컨대, 1.5 V)을 인가하고, 선택한 비트 라인 및 소스 라인을 통하여 드레인 영역(18)과 소스 영역(11) 사이에 구동 전압(Drain voltage: 예컨대, 0.75 V)을 인가하여 드레인 영역(18)과 소스 영역(11) 사이에 흐르는 드레인 전류(Drain current)를 센싱함으로써, 정공의 저장 상태를 읽게 된다.

[0056] 바디 영역(14)의 전위 우물 속에 정공이 저장되어 있을 경우, 즉 프로그램된 1T 디램 셀일 경우, 도 15와 같이, 제 2 게이트(워드 라인: 32) 측의 바디 영역(14)에 전위가 높아져 에너지 밴드가 내려가게 되어(전위 우물이 약간 메워지게 됨. 도 15의 Solid line 참조) 문턱전압이 낮아져, 도 11 및 도 16과 같이, 드레인 전류가 증가하게 된다.

[0057] 반대로, 바디 영역(14)의 전위 우물 속에 정공이 저장되어 있지 않을 경우, 즉 이레이즈된 1T 디램 셀일 경우, 도 15와 같이, 제 2 게이트(워드 라인: 32) 측의 바디 영역(14)에 제 2 게이트(워드 라인: 32)에 의한 전위 변동 이외에 추가적인 정공에 의한 전위 변동이 없게 되어 전위 우물은 그대로 유지되는 결과 에너지 밴드가 프로그램 시보다 상대적으로 올라가게 되어(도 15의 Dotted line 참조) 문턱전압이 상대적으로 높아져, 도 11 및 도 16과 같이, 드레인 전류는 프로그램 시보다 훨씬 감소하게 된다.

[0058] 상기 리드 동작시 제 2 게이트(워드 라인: 32)에 일정 리드 전압(예컨대, 1.5 V)이 인가됨과 동시에 드레인 영역(18)과 소스 영역(11) 사이에 구동 전압(Drain voltage: 예컨대, 0.75 V)이 인가됨에 따라, P+ 영역인 소스 영역(11)과 N+ 영역인 분리 반도체 영역(16) 사이에는, 도 15와 같이, 밴드 경사가 증가되고 밴드 간의 간격이 좁아져 소스 영역(11)에 있던 전자가 대량 터널링 되어 N+ 영역인 분리 반도체 영역(16)으로 유입되어, 분리 반도체 영역(16)이 마치 MOSFET의 소스 역할을 하게 된다.

[0059] 즉, 상기 실시 예에 의한 리드 동작은 분리 반도체 영역(16)과 접한 소스 영역(11)으로부터 터널링으로 대량 유입되는 전자를 이용하여 행하게 되므로, 구동전압을 낮출 수 있는 장점이 있다.

[0060] [이레이즈 동작]

[0061] 이는 바디 영역(14)의 전위 우물 속에 저장된 정공을 드레인 영역(18)으로 배출시키기 위한 것이므로, 도 11과 같이, 제 1 게이트(워드 라인: 31) 및 제 2 게이트(워드 라인: 32)에 작은 양의 전압(예컨대, 0.25 V)을 인가하고, 선택한 비트 라인을 통해 드레인 영역(18)에 음의 전압(예컨대, -0.5 V)을 인가하게 되면, 도 14와 같이, 제 1 게이트(워드 라인: 31) 및 제 2 게이트(워드 라인: 32) 측의 바디 영역(14)의 에너지 밴드가 내려오면서 전위 우물이 메워지게 되어 전위 우물 속에 있던 정공이 드레인 영역(18)으로 배출하게 된다.

[0062] 지금까지 주로 N 채널 TFET의 구조를 이용한 1T 디램 셀에 대하여 설명하였으나, P 채널 TFET의 구조를 이용한

1T 디램 셀에 대하여도 대칭적으로 생각한다면, 당업자라면 쉽게 이해하고 실시할 것이므로, 이에 대한 설명은 생략한다.

부호의 설명

[0063] 10: 반도체 액티브 영역

11: 소스 영역, 소스 라인

14: 바디 영역

16: 분리 반도체 영역

18: 드레인 영역

20: 게이트 절연막

31, 32: 게이트, 워드 라인

40: 층간 절연막

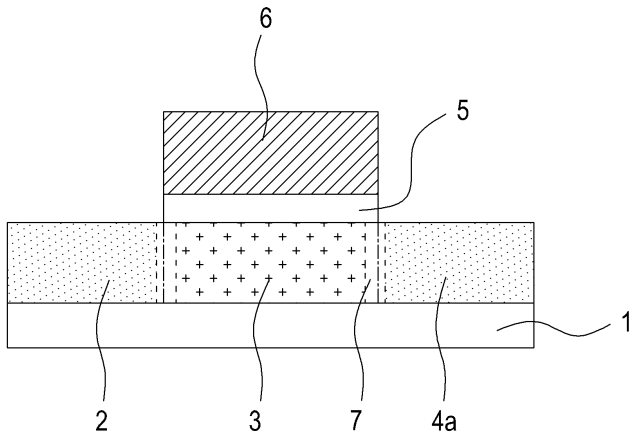
50: 컨택

52: 비트 라인

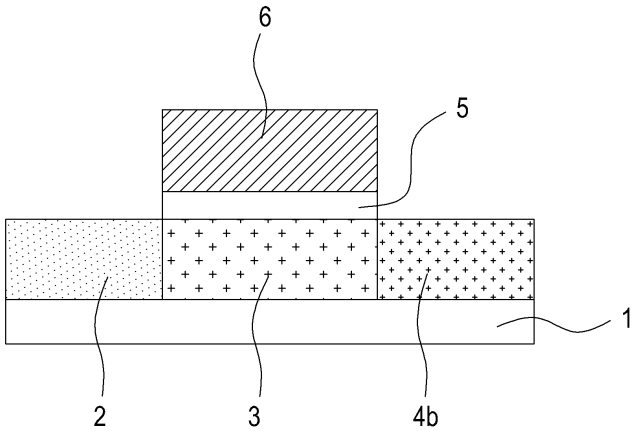
60: 분리 절연막

도면

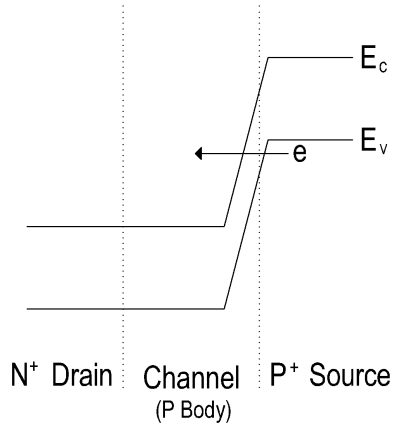
도면1



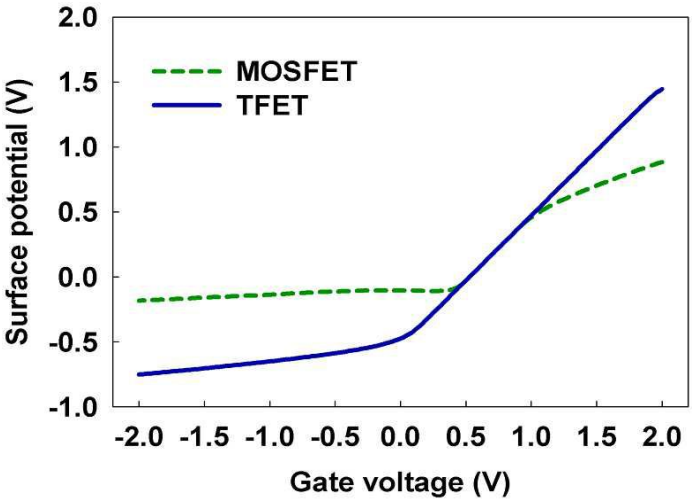
도면2



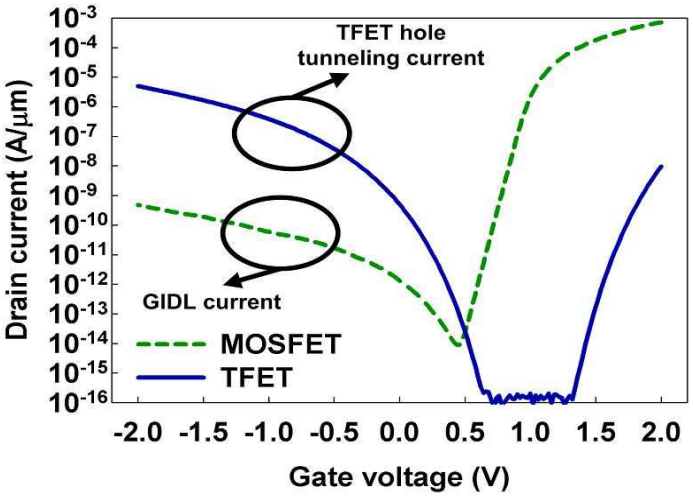
도면3


Ec
Ev
e
N+ Drain
Channel
(P Body)
P+ Source

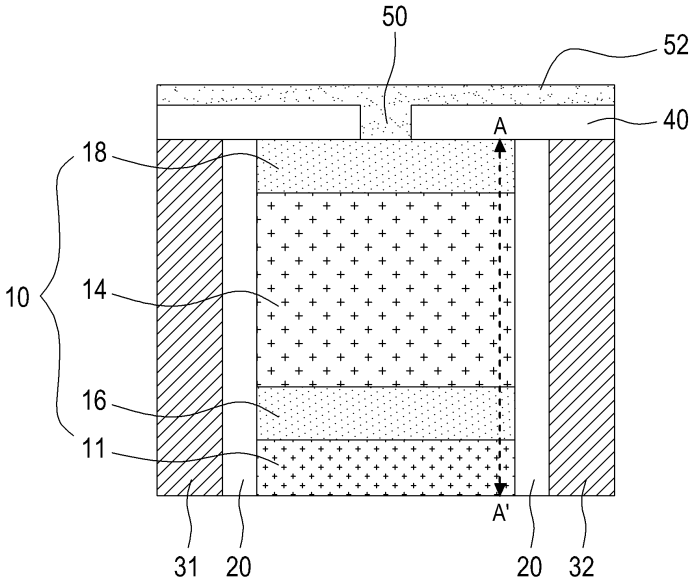
도면4


MOSFET
TFET
Surface potential (V)
2.0
1.5
1.0
0.5
0.0
-0.5
-1.0
-2.0 -1.5 -1.0 -0.5 0.0 0.5 1.0 1.5 2.0
Gate voltage (V)

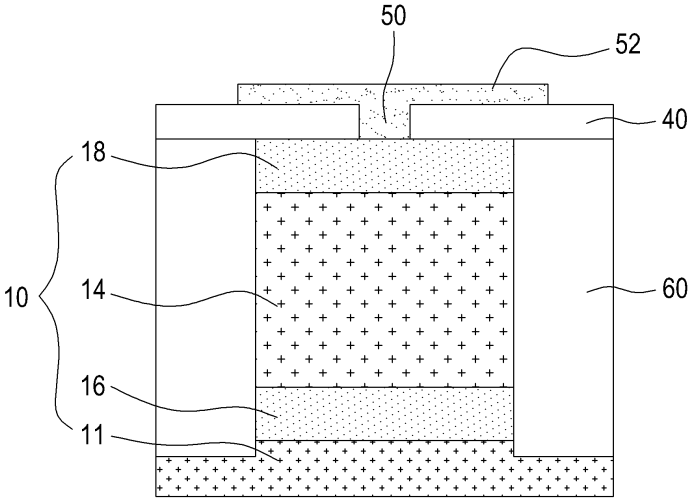
도면5


TFET hole
tunneling current
GIDL current
MOSFET
TFET
Drain current (A/μm)
10-3
10-4
10-5
10-6
10-7
10-8
10-9
10-10
10-11
10-12
10-13
10-14
10-15
10-16
-2.0 -1.5 -1.0 -0.5 0.0 0.5 1.0 1.5 2.0
Gate voltage (V)

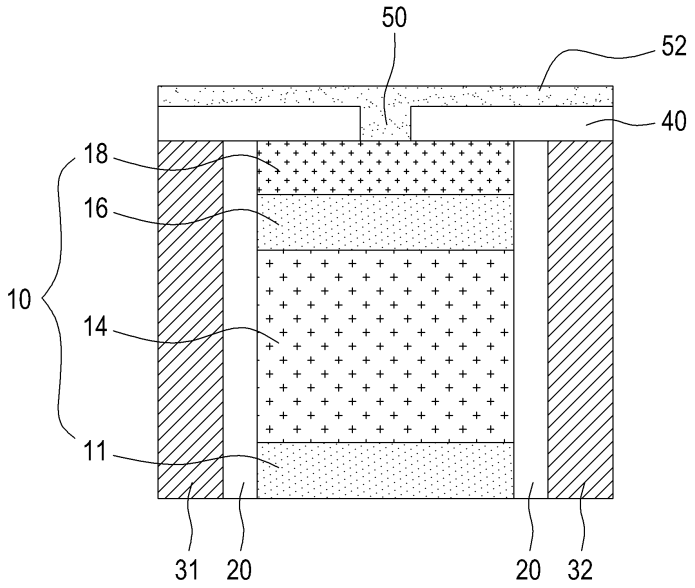
도면6



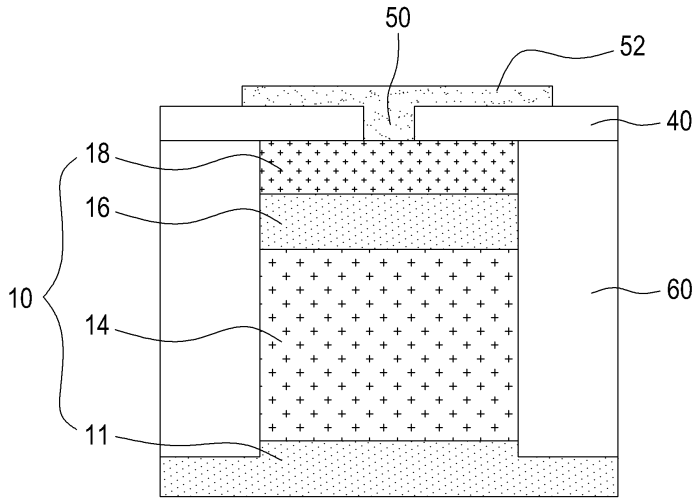
도면7



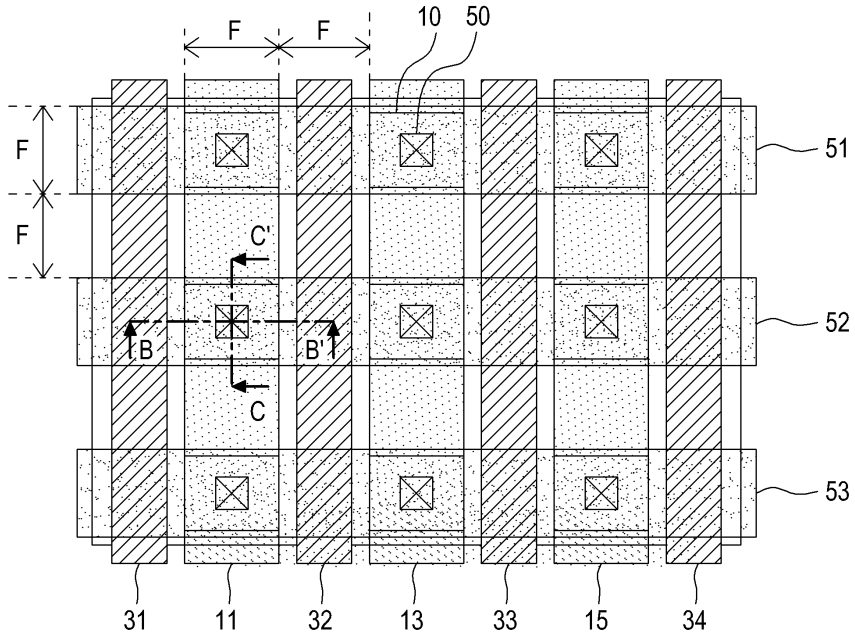
도면8



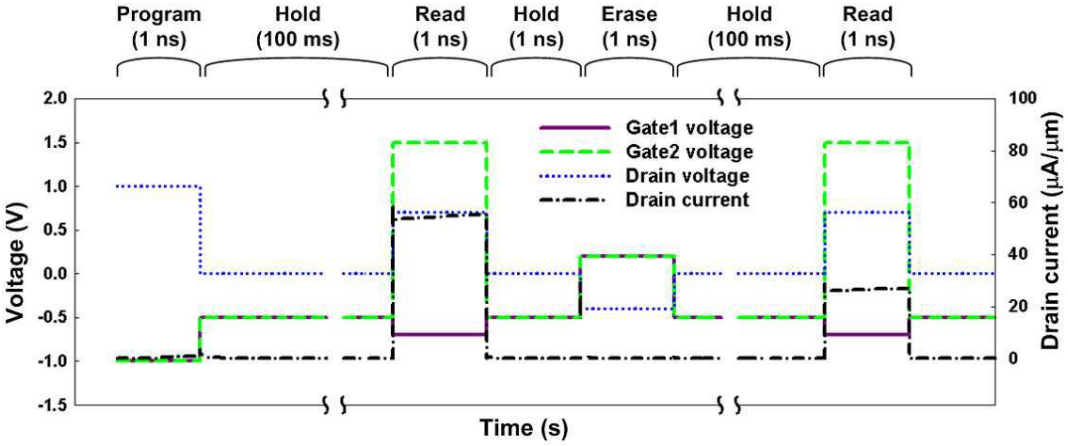
도면9



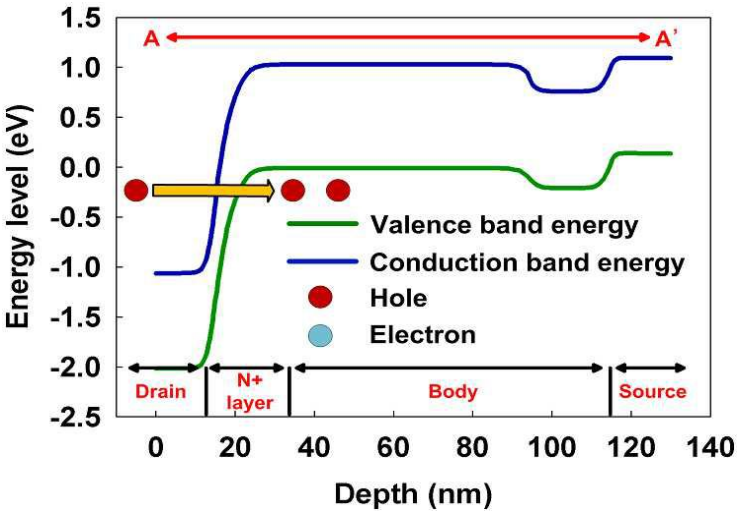
도면10



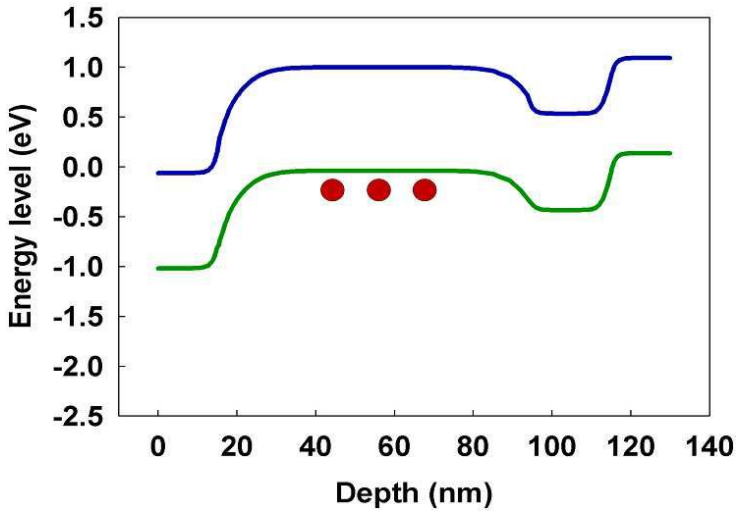
도면11



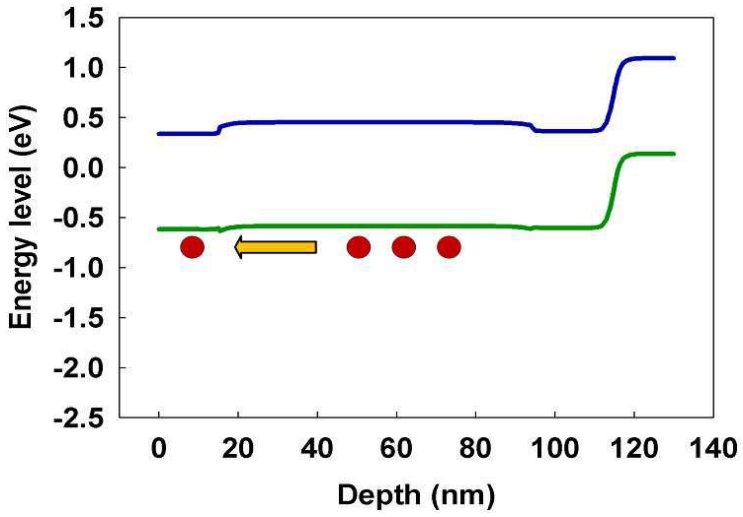
도면12



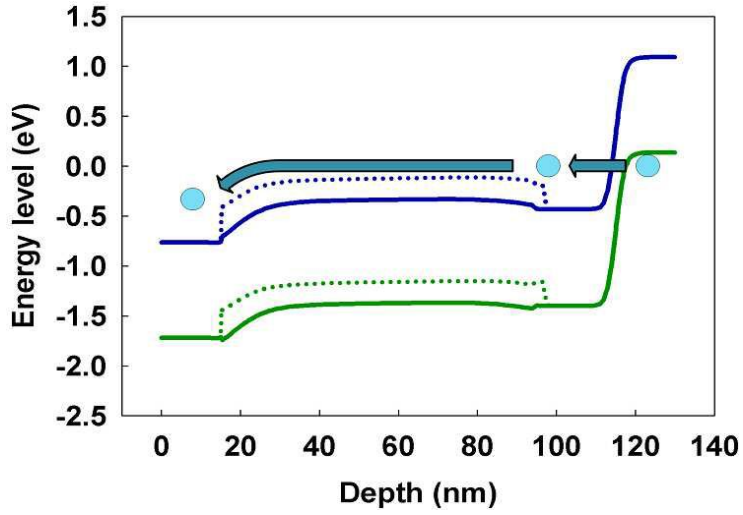
도면13



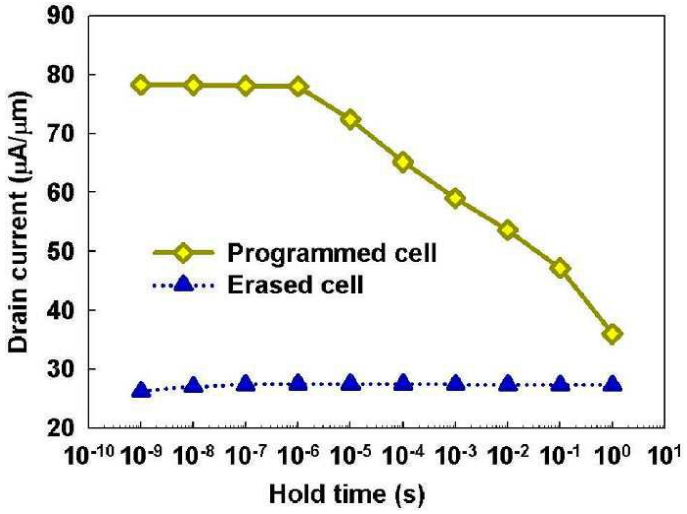
도면14



도면15



도면16


Drain current (μA/μm)
90
80
70
60
50
40
30
20
Programmed cell
Erased cell
10-10 10-9 10-8 10-7 10-6 10-5 10-4 10-3 10-2 10-1 100 101
Hold time (s)