

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年11月16日(16.11.2017)



(10) 国際公開番号

WO 2017/195427 A1

(51) 国際特許分類:
H02M 3/155 (2006.01) *G05F 1/56* (2006.01)

〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(21) 国際出願番号: PCT/JP2017/006144

(22) 国際出願日: 2017年2月20日(20.02.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-096050 2016年5月12日(12.05.2016) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

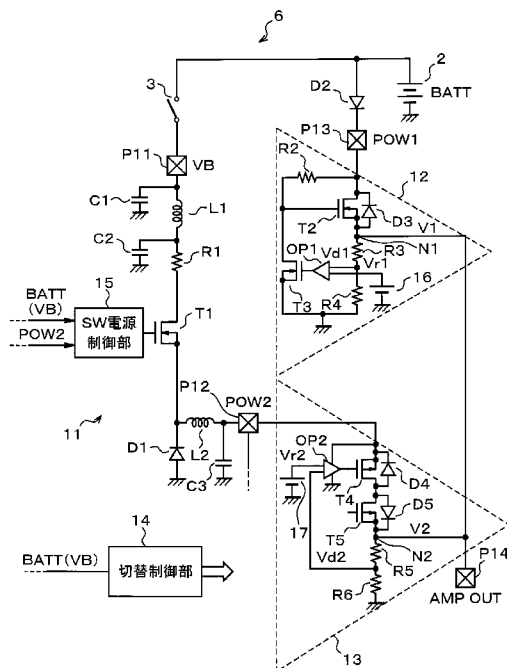
(72) 発明者: 佐竹 弘之 (SATAKE, Hiroyuki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 植村 晋也 (UEMURA, Shinya); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 三上 裕基 (MIKAMI, Yuki);

(74) 代理人: 特許業務法人 サトー国際特許事務所 (SATO INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄四丁目6番15号 フォーティーンヒルズセンタービル Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: POWER SUPPLY DEVICE AND ELECTRONIC CONTROL DEVICE

(54) 発明の名称: 電源装置および電子制御装置



14 Switching control unit
15 SW power supply control unit

(57) Abstract: The power supply device comprises: a first linear regulator (12, 22) which receives a voltage supply from a direct-current power supply (2) at all times and outputs a first voltage; a step-down switching regulator (11) which receives the voltage from the direct-current power supply through a path via a power supply switch (3) and outputs an intermediate voltage; and a second linear regulator (13) which receives the intermediate voltage and outputs a second voltage. The power supply device outputs the higher of the first voltage or the second voltage. The first linear regulator has a smaller current consumption and a higher minimum operating voltage than the second linear regulator. When the voltage input from the direct-current power supply is lower than or equal to a predetermined threshold value, the switching regulator drives a main switching component (T1) interposed in series with the input/output path of the voltage to stay on. The second linear regulator executes the second voltage output operation during a full-on period during which the main switching component is driven to stay on.



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 電源装置は、直流電源 (2) から電圧が常時入力され第 1 電圧を出力する第 1 リニアレギュレータ (12、22) と、前記直流電源から電源スイッチ (3) を介した経路により電圧が入力され中間電圧を出力する降圧型のスイッチングレギュレータ (11) と、前記中間電圧が入力され第 2 電圧を出力する第 2 リニアレギュレータ (13) とを備える。前記電源装置は、前記第 1 電圧および前記第 2 電圧のうち高いほうの電圧を出力する。前記第 1 リニアレギュレータは、前記第 2 リニアレギュレータに比べ、消費電流が小さく且つ最低動作電圧が高い。前記スイッチングレギュレータは、前記直流電源から入力される電圧が所定のしきい値以下であるときに、その電圧入出力経路に直列に介在する主スイッチング素子 (T1) を常時オン駆動する。前記第 2 リニアレギュレータは、前記主スイッチング素子が常時オン駆動されるフルオン期間に第 2 電圧の出力動作を実行する。

明 細 書

発明の名称：電源装置および電子制御装置

関連出願の相互参照

[0001] 本出願は、2016年5月12日に出願された日本出願番号2016-096050号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、電源装置およびその電源装置を備える電子制御装置に関する。

背景技術

[0003] 従来、例えば車両に搭載される電子制御装置の電源装置では、イグニッションスイッチに連動してオンオフされるメインの電源スイッチがオフの期間にも動作するマイクロコンピュータ（以下、マイコンと呼ぶ）に電源供給を行う必要がある（例えば、特許文献1参照）。そのため、このような電源装置では、消費電流の小さい電源回路が採用されることが多い。このような消費電流の小さい電源回路としては、電圧制御用のスイッチング素子としてNチャネル型のMOSトランジスタが採用されたりニアレギュレータが挙げられる。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-177909号公報

発明の概要

[0005] しかし、Nチャネル型のMOSトランジスタを用いたニアレギュレータは、最低動作電圧が高い。そのため、このようなニアレギュレータを採用した電源装置では、上記電源スイッチがオンの期間、クランキングなどによりバッテリー電圧が低下すると、マイコンへの電源供給ができなくなるおそれがある。

[0006] 本開示の目的は、電源スイッチがオフの期間における消費電流を低く抑えつつ、電源スイッチがオンの期間における最低動作電圧を低くすることがで

きる電源装置および電子制御装置を提供することにある。

[0007] 本開示の第一の態様において、電源装置は、第1リニアレギュレータ、降圧型のスイッチングレギュレータおよび第2リニアレギュレータを備える。第1リニアレギュレータは、直流電源から電圧が常時入力され、第1電圧を出力する。スイッチングレギュレータは、直流電源から電源スイッチを介した経路により電圧が入力され、中間電圧を出力する。第2リニアレギュレータは、中間電圧が入力され、第2電圧を出力する。また、電源装置は、第1電圧および第2電圧のうちいずれか高いほうの電圧を、出力端子を通じて出力する構成となっている。

[0008] このような構成において、第1リニアレギュレータは、第2リニアレギュレータに比べ、消費電流が小さく且つ最低動作電圧が高い構成である。また、スイッチングレギュレータは、直流電源から入力される電圧が所定のしきい値以下であるときに、その電圧入出力経路に直列に介在する主スイッチング素子を常時オン駆動するように構成されている。そして、第2リニアレギュレータは、スイッチングレギュレータの主スイッチング素子が常時オン駆動されるフルオン期間に第2電圧の出力動作を実行する。

[0009] このような構成によれば、電源スイッチがオフの期間、第2リニアレギュレータの動作が停止されるとともに、第1リニアレギュレータの動作が実行される。これにより、電源スイッチがオフの期間、第2リニアレギュレータに比べ消費電流が小さい第1リニアレギュレータの動作により、出力端子からの電圧出力動作が行われる。また、電源スイッチがオンの期間且つフルオン期間、第1リニアレギュレータおよび第2リニアレギュレータの動作の両方が実行される。これにより、直流電源から入力される電圧がしきい値以下に低下した場合には、第1リニアレギュレータの動作だけでなく、それよりも最低動作電圧が低い第2リニアレギュレータによるサポート動作により、出力端子からの電圧出力動作が行われる。このように、上記構成によれば、電源スイッチがオフの期間における消費電流を低く抑えつつ、電源スイッチがオンの期間における最低動作電圧を低くすることができるという効果が得

られる。

図面の簡単な説明

- [0010] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
- [図1]図1は、第1実施形態に係る電子制御装置の構成を模式的に示す図であり、
- [図2]図2は、電源装置の構成を模式的に示す図であり、
- [図3]図3は、第1基準電圧源の具体的な構成例を模式的に示す図であり、
- [図4A]図4Aは、第2基準電圧源の具体的な構成例その1を模式的に示す図であり、
- [図4B]図4Bは、第2基準電圧源の具体的な構成例その2を模式的に示す図であり、
- [図5]図5は、VOM5を生成する電源回路の構成例を模式的に示す図であり、
- [図6]図6は、電源装置の動作を模式的に示すシーケンス図であり、
- [図7]図7は、バッテリー電圧が低下する期間における電源装置の動作を模式的に示すマトリクス図であり、
- [図8]図8は、第2実施形態に係る電源装置の構成を模式的に示す図である。

発明を実施するための形態

- [0011] 以下、本発明の複数の実施形態について図面を参照して説明する。なお、各実施形態において実質的に同一の構成には同一の符号を付して説明を省略する。

(第1実施形態)

以下、第1実施形態について図1～図7を参照して説明する。

- [0012] 図1に示すように、電子制御装置（以下、ECUと呼ぶ）1は、車両に搭載されたエンジンを制御する。ECU1の電源端子P1は、車両に搭載されたバッテリー2の高電位側端子に接続されている。ECU1の電源端子P2は、メインリレー3の接点を介してバッテリー2の高電位側端子に接続されてい

る。なお、バッテリー 2 は、直流電源に相当する。また、以下では、電源端子 P 1、電源端子 P 2 を介して ECU 1 に供給される電圧をそれぞれ電圧 BATT、電圧 VB と呼ぶ。これら電圧 BATT および電圧 VB は、定常値としては例えば 12 V 程度であるが、ロードダンプなどに起因して最大で 60 V 程度まで上昇することがある。

[0013] マイクロコンピュータ（以下、マイコンと省略する）4 は、制御部に相当するもので、ECU 1 の動作全般を制御する。駆動回路 5 は、マイコン 4 からの制御信号に従いメインリレー 3 を駆動する。メインリレー 3 は、電源スイッチに相当するものであり、図示しない車両のイグニッションスイッチに連動してオンオフされる。具体的には、イグニッションスイッチがオンされるとメインリレー 3 の接点が閉じられ、イグニッションスイッチがオフされるとメインリレー 3 の接点が開かれる。

[0014] 電源装置 6 には、電圧 BATT および電圧 VB が入力されており、それら電圧 BATT、VB の供給を受けて、2 種類の電圧 VOS3、VOM5 を生成して出力する。電圧 VOS3（例えば 3.3 V）は、イグニッションスイッチがオフの期間である IG OFF 期間にも動作するマイコン 4 に供給される。電圧 VOM5（例えば 5.0 V）は、ECU 1 の他の内部回路などに供給される。なお、以下の説明では、電圧 VOS3 のことを電圧 AMP OUT と呼ぶ。

[0015] 図 2 に示すように、電源装置 6 は、スイッチング電源 11、メインアンプ 12、サブアンプ 13 および切替制御部 14 を備えている。スイッチング電源 11 は、降圧型のスイッチングレギュレータである。スイッチング電源 11 には、バッテリー 2 からメインリレー 3 を介した経路により電圧 VB が入力されており、その電圧 VB を降圧した中間電圧 POW2（以下、単に電圧 POW2 と省略する）をサブアンプ 13 などに出力する。

[0016] スwitchング電源 11 は、インダクタ L1、L2、コンデンサ C1～C3、抵抗 R1、トランジスタ T1 およびダイオード D1 を備えている。トランジスタ T1 は、Nチャネル型の MOS トランジスタであり、そのドレインは

抵抗 R_1 およびインダクタ L_1 を介して、電圧 V_B が与えられる入力端子 P_{11} に接続されている。

[0017] 抵抗 R_1 は、スイッチング電源11の入力電流を検出するためのシャント抵抗である。インダクタ L_1 の両端は、それぞれコンデンサ C_1 、 C_2 を介して回路の基準電位となるグラウンドに接続されている。インダクタ L_1 およびコンデンサ C_1 、 C_2 は、LCフィルタを構成している。

[0018] トランジスタ T_1 のソースは、インダクタ L_2 を介して電圧 POW_2 を出力する出力端子 P_{12} に接続されるとともに、ダイオード D_1 のカソードに接続されている。ダイオード D_1 のアノードは、グラウンドに接続されている。コンデンサ C_3 は、出力端子 P_{12} およびグラウンドの間に接続されている。なお、トランジスタ T_1 は、スイッチング電源11における電圧入出力経路に直列に介在する主スイッチング素子に相当する。

[0019] トランジスタ T_1 のゲートには、SW電源制御部15から出力される駆動信号が与えられており、その駆動はSW電源制御部15により制御される。SW電源制御部15は、スイッチング電源11の入力電流、電圧 V_B （＝電圧 $BATT$ ）および電圧 POW_2 を検出する機能を有している。なお、電圧 V_B や電圧 POW_2 を検出する機能は、抵抗などによる分圧回路、バンドギャップ基準電圧回路（以下、BGRと省略する）による電圧生成回路、ヒステリシス有りまたは無しコンパレータなどを用いた一般的な構成により実現することができる。

[0020] SW電源制御部15は、上記各検出値などに基づいて、電圧 POW_2 が目標値（例えば6.0V）となるようにトランジスタ T_1 の駆動をフィードバック制御する。また、SW電源制御部15は、電圧 $BATT$ または電圧 V_B が低下したとき、具体的には電圧 $BATT$ が所定のしきい値以下に低下したとき、トランジスタ T_1 を常時オン、つまりフルオン駆動する。なお、電圧 $BATT$ および電圧 V_B は、イグニッションスイッチがオンの期間であるIGON期間には同電位となるため、いずれの電圧をフルオン駆動させるかどうかを判断するための材料として用いても構わない。

- [0021] なお、以下の説明では、このようにトランジスタT1がフルオン駆動される期間のことを「フルオン期間」とも呼ぶ。また、ここで言う「常時オンまたはフルオン駆動する」とは、トランジスタT1を駆動するための駆動信号のオンデューティを100%にする場合だけでなく、オンデューティを100%に近い値にする場合や、トランジスタT1を通常よりも低い周波数でスイッチング動作させる場合をも含む。
- [0022] メインアンプ12の入力端子P13およびバッテリー2の高電位側端子の間には、逆流防止用のダイオードD2が接続されている。したがって、メインアンプ12には、バッテリー2の電圧BATTよりもダイオードD2の順方向電圧分だけ低い電圧POW1が常時入力されている。メインアンプ12は、電圧POW1を入力して第1電圧V1を出力するもので、第1リニアレギュレータに相当する。メインアンプ12は、シリーズレギュレータ形式の電源回路であり、トランジスタT2、T3、抵抗R2～R4、OPアンプOP1および第1基準電圧源16を備えている。
- [0023] トランジスタT2は、Nチャネル型のMOSトランジスタであり、そのドレインは入力端子P13に接続されるとともに、抵抗R2を介してゲートに接続されている。トランジスタT2のドレイン・ソース間には、ソース側をアノードとしたボディダイオードD3が形成されている。トランジスタT2のソースは、第1電圧V1の出力ノードN1に接続されている。出力ノードN1は、電圧AMPOUTを出力するための出力端子P14に接続されている。トランジスタT2は、メインアンプ12における電圧入出力経路に直列に介在するもので、出力する第1電圧V1を制御するための電圧制御スイッチング素子に相当する。
- [0024] 第1基準電圧源16は、出力する第1電圧V1の目標値（例えば3.3V）に対応する第1基準電圧Vr1を生成する。第1基準電圧Vr1は、OPアンプOP1の一方の入力端子に与えられている。第1基準電圧源16は、例えば図3に示すように、出力端子P14の電圧AMPOUTの供給を受けて動作するBGRにより構成することができる。

- [0025] 抵抗 R_3 、 R_4 は、出力ノード N_1 とグラウンドの間に直列接続されている。それら抵抗 R_3 、 R_4 の相互接続ノードの電圧、つまり第1電圧 V_1 を抵抗 R_3 、 R_4 により分圧して得られる検出電圧 V_{d1} は、OPアンプOP1の他方の入力端子に与えられている。
- [0026] OPアンプOP1は、第1基準電圧 V_{r1} および検出電圧 V_{d1} の差に応じた誤差増幅信号をトランジスタ T_3 のゲートに出力する。トランジスタ T_3 は、Nチャネル型のMOSトランジスタであり、トランジスタ T_2 のゲートとグラウンドの間に接続されている。このような構成によれば、OPアンプOP1によるトランジスタ T_3 の駆動制御によって、第1電圧 V_1 が目標値に一致するようにトランジスタ T_2 の駆動がフィードバック制御されることになる。
- [0027] サブアンプ13は、電圧 POW_2 を入力して第2電圧 V_2 を出力するもので、第2リニアレギュレータに相当する。サブアンプ13は、シリーズレギュレータ形式の電源回路であり、トランジスタ T_4 、 T_5 、抵抗 R_5 、 R_6 、OPアンプOP2および第2基準電圧源17を備えている。
- [0028] トランジスタ T_4 、 T_5 は、いずれもPチャネル型のMOSトランジスタであり、互いのドレインが共通接続されている。トランジスタ T_4 のソースはスイッチング電源11の出力端子 P_{12} に接続され、トランジスタ T_5 のソースは第2電圧 V_2 の出力ノード N_2 に接続されている。出力ノード N_2 は、出力端子 P_{14} に接続されている。
- [0029] トランジスタ T_4 、 T_5 の各ドレイン・ソース間には、ドレイン側をアノードとしたボディダイオード D_4 、 D_5 が形成されている。トランジスタ T_4 は、サブアンプ13における電圧入出力経路に直列に介在するもので、出力する第2電圧 V_2 を制御するための電圧制御スイッチング素子に相当する。また、トランジスタ T_5 は、サブアンプ13における電圧入出力経路に直列に介在するもので、出力ノード N_2 側からの逆流を防止するための逆流防止用MOSトランジスタに相当する。トランジスタ T_5 は、スイッチング電源11が動作しないIGOFF期間に、ノード N_2 側から出力端子 P_{12} へ

電流が逆流することを防止する。

- [0030] 第2基準電圧源17は、出力する第2電圧 V_2 の目標値（例えば3.3V）に対応する第2基準電圧 V_{r2} を生成する。第2基準電圧 V_{r2} は、OPアンプOP2の一方の入力端子に与えられている。第2基準電圧源17は、例えば図4Aに示すように、出力端子P12の電圧 P_{OW2} の供給を受けて動作するBGRにより構成することができる。
- [0031] また、第2基準電圧源17は、例えば図4Bに示すように、出力端子P14の電圧 AMP_{OUT} の供給を受けて動作するBGRにより構成することができる。なお、図4Bの構成を採用する場合、第2基準電圧源17は、第1基準電圧源16のBGRを共用する形で構成してもよい。
- [0032] 抵抗 R_5 、 R_6 は、出力ノードN2とグラウンドの間に直列接続されている。それら抵抗 R_5 、 R_6 の相互接続ノードの電圧、つまり第2電圧 V_2 を抵抗 R_5 、 R_6 により分圧して得られる検出電圧 V_{d2} は、OPアンプOP2の他方の入力端子に与えられている。OPアンプOP2は、第2基準電圧 V_{r2} および検出電圧 V_{d2} の差に応じた誤差増幅信号をトランジスタT4のゲートに出力する。
- [0033] トランジスタT5の駆動は図示しない駆動制御部により制御される。この場合、トランジスタT5は、通常時にオンされるとともに、何らかの異常が発生した異常時にオフされるようになっている。これにより、通常時には、OPアンプOP2によるトランジスタT4の駆動制御によって、第2電圧 V_2 が目標値に一致するように電圧フィードバック制御が実施される。また、仮に出力端子P14が天絡するような異常が発生した場合でも、トランジスタT5のボディダイオードD5によってノードN2側からの逆流が阻止される。
- [0034] 切替制御部14は、メインアンプ12およびサブアンプ13のオンオフを個別に切り替える。つまり、切替制御部14は、メインアンプ12による第1電圧 V_1 の出力動作の実行および停止を切り替えるとともに、サブアンプ13による第2電圧 V_2 の出力動作の実行および停止を切り替える。

- [0035] 切替制御部 14 は、電圧 V_B (=電圧 $BATT$) を検出する機能を備えており、その検出値に基づいて上記切り替えを制御するもので、電源電圧検出部に相当する。なお、電圧 V_B の検出機能は、 SW 電源制御部 15 の説明にて前述したとおり一般的な構成により実現することができる。また、切替制御部 14 による電圧 V_B の検出機能は、 SW 電源制御部 15 が備える同機能と共用してもよい。
- [0036] 上記構成において、メインアンプ 12 の出力ノード $N1$ およびサブアンプ 13 の出力ノード $N2$ は、互いに接続されるとともに出力端子 $P14$ に接続されている。そして、メインアンプ 12 の電圧の入出力経路には、ダイオード $D2$ が順方向に介在しており、サブアンプ 13 の電圧の入出力経路にはボディダイオード $D5$ が順方向に介在している。つまり、メインアンプ 12 およびサブアンプ 13 の各出力は、 OR 接続されている。したがって、電源装置 6 は、第 1 電圧 $V1$ および第 2 電圧 $V2$ のうちいずれか高いほうの電圧を、出力端子 $P14$ を通じて電圧 $AMPOUT$ として出力する構成となっている。
- [0037] また、メインアンプ 12 およびサブアンプ 13 には、それぞれ次のような特徴がある。すなわち、一般に、 N チャネル型の MOS トランジスタは、 P チャネル型の MOS トランジスタに比べ、小さいサイズで低いオン抵抗を実現できる。そのため、電圧制御スイッチング素子として N チャネル型のトランジスタ $T2$ を用いた構成のメインアンプ 12 は、 P チャネル型のトランジスタ $T4$ を用いた構成のサブアンプ 13 に対し、チップ面積を小さくできるとともに、消費電流を低く抑えることができるというメリットがある。
- [0038] また、一般に、 P チャネル型 MOS トランジスタを用いた構成のシリーズレギュレータは、 N チャネル型 MOS トランジスタを用いた構成のシリーズレギュレータに比べ、その構成上、最低動作電圧が低くなる。したがって、サブアンプ 13 は、メインアンプ 12 に対し、最低動作電圧を低くすることができるというメリットがある。言い換えれば、メインアンプ 12 は、サブアンプ 13 に対し、最低動作電圧が高いというデメリットがある。

[0039] 電源装置 6 は、上述した構成に加え、図 5 に示す電源回路 18 を備えている。電源回路 18 は、スイッチング電源 11 から出力される電圧 POW2 を入力して電圧 VOM5 を出力する。この電圧 VOM5 は、ECU1 の内部回路のうち、イグニッションスイッチがオンの期間である I G O N 期間にだけ動作する内部回路に供給される。なお、電源回路 18 は、一般的なシリーズレギュレータ形式の電源回路として構成されている。

[0040] 次に、上記構成の作用について、図 6 および図 7 を参照して説明する。なお、図 6 は、電源装置 6 の動作シーケンスを説明するためのものであり、正確な電圧値などを表すものではない。また、図 6 および図 7 では、メインアンプ 12 のことを「Main AMP」と称し、サブアンプ 13 のことを「Sub AMP」と称している。ここでは、まず、スイッチング電源 11、メインアンプ 12 およびサブアンプ 13 の個別の動作について説明し、その後、電源装置 6 全体の動作について説明する。

[0041] [1] スwitching電源 11 の動作

SW電源制御部 15 は、電圧 B A T T または電圧 V B の検出値に応じてスイッチング電源 11 の動作を次のように制御する。すなわち、SW電源制御部 15 は、電源装置 6 の起動時など、電圧 B A T T または電圧 V B が上昇している電圧上昇期間において電圧 B A T T または電圧 V B が 0 V 以上且つ 5 . 5 V 未満のとき、トランジスタ T1 をオフしてスイッチング電源 11 の動作を停止する。これにより、電源回路 18 から電圧供給先の内部回路が動作することができないほど低い電圧値を持つ電圧 VOM5 が出力され、上記内部回路が誤動作するといったことが防止される。

[0042] SW電源制御部 15 は、電圧上昇期間において電圧 B A T T または電圧 V B が 5 . 5 V に達した時点以降、電圧 POW2 が目標値に一致するようにトランジスタ T1 を所定のデューティでオンオフしてスイッチング動作させる。これにより、電源回路 18 から正常な範囲の電圧 VOM5 が出力され、その供給先の内部回路が正常に動作することが可能となる。

[0043] また、SW電源制御部 15 は、電圧 B A T T または電圧 V B が低下してい

る電圧低下期間において電圧BATまたは電圧VBが5.2V以上且つ60V以下のとき、スイッチング電源11をスイッチング動作させる。この場合も、電源回路18から正常な範囲の電圧VOM5が出力され、内部回路が正常に動作可能となる。

[0044] SW電源制御部15は、電圧低下期間において電圧BATまたは電圧VBが3.0V以上且つ5.2V未満のとき、トランジスタT1をフルオン駆動する。これにより、電源回路18には電圧BAT（＝電圧VB）とほぼ等しい電圧値の電圧POW2が与えられる。そのため、電源回路18は、目標値（5.0V）よりは低いものの、供給先の内部回路が動作することができる最低限の電圧値を持つ電圧VOM5を出力することができる。

[0045] さらに、SW電源制御部15は、電圧低下期間において電圧BATが3V未満になると、トランジスタT1をオフしてスイッチング電源11の動作を停止する。これにより、電源回路18から電圧供給先の内部回路が動作することができないほど低い電圧値を持つ電圧VOM5が出力され、上記内部回路が誤動作するといったことが防止される。

[0046] [2] メインアンプ12の動作

メインアンプ12は、電圧BATまたは電圧VBが4.0V未満のときには第1電圧V1の出力動作を停止し、電圧BATまたは電圧VBが4.0V以上のときには第1電圧V1の出力動作を実行する。なお、このようなメインアンプ12の動作の切り替えは、前述したように、切替制御部14により制御される。

[0047] [3] サブアンプ13の動作

サブアンプ13は、電圧低下期間において電圧BATまたは電圧VBが3.0V以上且つ5.2V未満のときに、つまりスイッチング電源11がフルオン駆動されるフルオン期間に、第2電圧V2の出力動作を実行する。そして、サブアンプ13は、フルオン期間を除く期間には、第2電圧V2の出力動作を停止する。なお、このようなサブアンプ13の動作の切り替えは、前述したように、切替制御部14により制御される。

[0048] [4] I G O F F 期間の全体動作

イグニッションスイッチがオフである I G O F F 期間、メインリレー 3 がオフされるため、スイッチング電源 1 1 およびサブアンプ 1 3 による電圧の出力動作は停止される。一方、I G O F F 期間であっても、メインアンプ 1 2 には常時電圧が供給されているため、第 1 電圧 V 1 の出力動作は実行される。したがって、I G O F F 期間、メインアンプ 1 2 から出力される第 1 電圧 V 1 が電圧 A M P O U T として出力端子 P 1 4 から出力される。

[0049] [5] I G O N 期間の全体動作

イグニッションスイッチがオンである I G O N 期間、メインリレー 3 がオンされるため、スイッチング電源 1 1 およびサブアンプ 1 3 による電圧の出力動作は実行可能となる。ただし、前述したように、サブアンプ 1 3 は、スイッチング電源 1 1 がフルオン駆動されるフルオン期間以外の期間には第 2 電圧 V 2 の出力動作を停止する。そのため、I G O N 期間におけるフルオン期間以外の期間には、I G O F F 期間と同様、メインアンプ 1 2 から出力される第 1 電圧 V 1 が電圧 A M P O U T として出力端子 P 1 4 から出力される。したがって、このとき、電圧 A M P O U T の出力動作は、メインアンプ 1 2 だけで行われることになり、後述するようなサブアンプ 1 3 によるサポートは無い。

[0050] 一方、I G O N 期間におけるフルオン期間には、メインアンプ 1 2 およびサブアンプ 1 3 は、いずれも動作している。したがって、I G O N 期間におけるフルオン期間には、メインアンプ 1 2 から出力される第 1 電圧 V 1 およびサブアンプ 1 3 から出力される第 2 電圧 V 2 のうちいずれか高いほうの電圧が電圧 A M P O U T として出力端子 P 1 4 から出力されることになる。

[0051] ただし、フルオン期間には電圧 B A T T が 5. 2 V ~ 3. 0 V 程度の低い電圧となっている。そのため、最低動作電圧が比較的高いメインアンプ 1 2 は、正常な範囲よりも低い電圧値の第 1 電圧 V 1 しか出力することができない。これに対し、最低動作電圧が比較的低いサブアンプ 1 3 は、正常な範囲またはそれに近い電圧値の第 2 電圧 V 2 を出力することができる。そのため

、 I G O N 期間におけるフルオン期間には、サブアンプ 1 3 から出力される第 2 電圧 V 2 が電圧 A M P O U T として出力端子 P 1 4 から出力される。したがって、このとき、電圧 A M P O U T の出力動作は、メインアンプ 1 2 の最低動作電圧が高いという欠点を補うようにサブアンプ 1 3 によってサポートされる。

[0052] 以上説明した本実施形態によれば、次のような効果が得られる。

電源装置 6 では、 I G O F F 期間、メインアンプ 1 2 の動作が実行されるとともにサブアンプ 1 3 の動作が停止される。これにより、 I G O F F 期間、サブアンプ 1 3 よりも消費電流の小さいメインアンプ 1 2 の動作によりマイコン 4 に対する電圧 A M P O U T の供給が行われる。したがって、電源装置 6 は、 I G O F F 期間、マイコン 4 に対して低い消費電流でもって電源供給を行うことができる。

[0053] なお、メインアンプ 1 2 は、サブアンプ 1 3 よりも最低動作電圧が高いというデメリットがある。しかし、 I G O F F 期間には、そもそもクランキングが生じることはない。したがって、 I G O F F 期間には、電圧 B A T T が急激に低下する可能性は低く、最低動作電圧が高いメインアンプ 1 2 による電圧供給を行ったとしても、電圧 A M P O U T の出力が出来なくなる事態が生じることはない。

[0054] また、電源装置 6 では、 I G O N 期間且つスイッチング電源 1 1 がフルオン駆動される期間には、メインアンプ 1 2 の動作およびサブアンプ 1 3 の動作の両方が実行される。スイッチング電源 1 1 は、電圧低下期間において電圧 B A T T が 5 . 2 V 未満のとき、つまりクランキングなどにより電圧 B A T T が急激に低下したときなどにフルオン駆動されるようになっている。そのため、 I G O N 期間において電圧 B A T T が急激に低下した場合には、メインアンプ 1 2 の動作だけでなくサブアンプ 1 3 によるサポート動作によりマイコン 4 に対する電圧 A M P O U T の供給が行われる。したがって、 I G O N 期間においてクランキングなどに起因して電圧 B A T T がメインアンプ 1 2 の最低動作電圧よりも低下したとしても、メインアンプ 1 2 よりも最低動

作電圧の低いサブアンプ13の動作によりマイコン4に対する電圧AMP OUTの供給を継続することが可能となる。

[0055] このように、本実施形態の電源装置6によれば、IGOFF期間における消費電流を低く抑えつつ、IGON期間における最低動作電圧を低くすることができるといった効果が得られる。このような効果は、本実施形態の電源装置6のように、車両に搭載されたバッテリー2から電源供給を受ける構成において一層顕著なものとなる。具体的には、IGOFF期間にはバッテリー2による電力消費を極力小さくすることが望ましいため、IGOFF期間の消費電流を低く抑えるという効果は非常に有益なものとなる。また、IGON期間、バッテリー2の電圧BATTはクランキングにより急激に低下する可能性があるため、IGON期間の最低動作電圧を低くするという効果も非常に有益なものとなる。

[0056] メインアンプ12には、最大で60V程度の高電圧が入力されることがあるため、高耐圧の素子を用いる必要がある。しかし、メインアンプ12は、電圧制御スイッチング素子としてNチャネル型のトランジスタT2を用いた構成であり、チップサイズを小さくできるメリットがある。したがって、総合的に見れば、メインアンプ12の回路面積を小さく抑えることが可能となる。

[0057] 電源装置6は、バッテリー2から供給される電圧VBから電圧VOM5を生成するため、スイッチング電源11および電源回路18を備えている。この場合、スイッチング電源11は、最大で60V程度まで上昇する可能性のある電圧VBを6V程度まで降圧し、その降圧した電圧POW2をシリーズレギュレータ形式の電源回路18に供給する。電源回路18は、電圧POW2から電圧VOM5を生成する。このような構成により、安定した電圧VOM5を効率良く、つまり低損失で生成することを可能としている。そして、サブアンプ13は、このようなスイッチング電源11から出力される電圧POW2の供給を受けて動作する構成となっている。このような構成によれば、次のような効果が得られる。

[0058] すなわち、サブアンプ13は、電圧制御スイッチング素子としてPチャネル型のトランジスタT4を用いた構成であり、最低動作電圧を低くできるメリットがある一方でチップサイズが大きくなるというデメリットがある。しかし、サブアンプ13は、スイッチング電源11から出力される電圧POWER2の供給を受けて動作する構成であるため、最大でも6V程度の低電圧しか入力されないため、低耐圧の素子を用いることができる。したがって、総合的に見れば、サブアンプ13の回路面積を小さく抑えることが可能となる。

[0059] メインアンプ12の第1基準電圧源16は、出力端子P14の電圧AMP OUTPUTの供給を受けて動作するBGRにより構成することができる。このような構成にすれば、第1基準電圧源16には、3.3V程度の低電圧しか印加されることがないため、低耐圧の素子で構成することが可能となり、その結果、回路面積を小さくすることができる。

[0060] サブアンプ13の第2基準電圧源17は、出力端子P12の電圧POWER2の供給または出力端子P14の電圧AMP OUTPUTの供給を受けて動作するBGRにより構成することができる。このような構成にすれば、第2基準電圧源17には、6.0Vまたは3.3V程度の低電圧しか印加されることがないため、低耐圧の素子で構成することが可能となり、その結果、回路面積を小さくすることができる。さらに、第2基準電圧源17を電圧AMP OUTPUTの供給を受けて動作するBGRにより構成する場合、第1基準電圧源16と共通のBGRを用いて構成すれば、BGRを共用する分だけ、さらに回路面積を小さくすることができる。

[0061] (第2実施形態)

以下、第2実施形態について図8を参照して説明する。

図8に示すように、本実施形態の電源装置21は、第1実施形態の電源装置6に対し、メインアンプ12に代えてメインアンプ22を備えている点異なる。メインアンプ22の入力端子P13は、バッテリー2の高電位側端子に直接接続されている。したがって、メインアンプ22には、バッテリー2の電圧BATTと同じ電圧値を持つ電圧POWER1が常時入力されている。

[0062] メインアンプ22は、メインアンプ12が備える構成に加え、さらに、トランジスタT21を備えている。トランジスタT21は、Nチャネル型のMOSトランジスタである。この場合、トランジスタT2、T21は、互いのソースが共通接続されている。そして、トランジスタT21のドレインは出力ノードN1に接続されている。トランジスタT21のドレイン・ソース間には、ソース側をアノードとしたボディダイオードD21が形成されている。トランジスタT21は、メインアンプ22における電圧入出力経路に直列に介在するもので、出力ノードN1側からの逆流を防止するための逆流防止用MOSトランジスタに相当する。

[0063] トランジスタT21の駆動は図示しない駆動制御部により制御される。この場合、トランジスタT21は、通常時にオンされるとともに、何らかの異常が発生した異常時にオフされるようになっている。これにより、通常時には、OPアンプOP1によるトランジスタT3の駆動制御によって第1電圧V1が目標値に一致するように電圧フィードバック制御される。また、仮に出力端子P14が天絡するような異常が発生した場合でも、トランジスタT21のボディダイオードD21によってノードN1側からの逆流が阻止される。

[0064] 上記構成では、メインアンプ22の電圧の入出力経路にはボディダイオードD21が順方向に介在するとともに、サブアンプ13の電圧の入出力経路にはボディダイオードD5が順方向に介在している。つまり、本実施形態の構成によっても、メインアンプ22およびサブアンプ13の各出力は、OR接続されている。したがって、本実施形態によっても、第1実施形態と同様の作用および効果が得られる。

[0065] (その他の実施形態)

なお、本開示は上記し且つ図面に記載した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で任意に変形、組み合わせ、あるいは拡張することができる。

[0066] トランジスタT2、T21は、NPN形バイポーラトランジスタでもよい

。なお、トランジスタT21をバイポーラトランジスタに変更する場合、そのエミッタ・コレクタ間にコレクタ側をアノードとしたダイオードを追加するとよい。このようにすれば、入力端子P13とバッテリー2の間に接続されたダイオードD2を省くことができる。

[0067] トランジスタT4、T5は、PNP形バイポーラトランジスタでもよい。ただし、トランジスタT5をバイポーラトランジスタに変更する場合、そのエミッタ・コレクタ間にコレクタ側をアノードとしたダイオードを追加する必要がある。

[0068] 本開示は、車両に搭載される電子制御装置1が備える電源装置6に限らず、電源装置全般に適用することができる。

本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

- [請求項1] 直流電源（２）から電圧が常時入力され、第１電圧を出力する第１リニアレギュレータ（１２、２２）と、
- 前記直流電源から電源スイッチ（３）を介した経路により電圧が入力され、中間電圧を出力する降圧型のスイッチングレギュレータ（１１）と、
- 前記中間電圧が入力され、第２電圧を出力する第２リニアレギュレータ（１３）と、
- を備え、
- 前記第１電圧および前記第２電圧のうちいずれか高いほうの電圧を、出力端子を通じて出力する構成となっており、
- 前記第１リニアレギュレータは、前記第２リニアレギュレータに比べ、消費電流が小さく且つ最低動作電圧が高い構成であり、
- 前記スイッチングレギュレータは、前記直流電源から入力される電圧が所定のしきい値以下であるときに、その電圧入出力経路に直列に介在する主スイッチング素子（Ｔ１）を常時オン駆動するように構成され、
- 前記第２リニアレギュレータは、前記スイッチングレギュレータの前記主スイッチング素子が常時オン駆動されるフルオン期間に前記第２電圧の出力動作を実行する電源装置。
- [請求項2] 前記第１リニアレギュレータは、その電圧入出力経路に直列に介在する電圧制御スイッチング素子（Ｔ２）として、Ｎチャネル型ＭＯＳトランジスタまたはＮＰＮ形バイポーラトランジスタを用いた構成であり、
- 前記第２リニアレギュレータは、前記電圧制御スイッチング素子（Ｔ４）として、Ｐチャネル型ＭＯＳトランジスタまたはＰＮＰ形バイポーラトランジスタを用いた構成である請求項１に記載の電源装置。
- [請求項3] 前記第１リニアレギュレータおよび前記第２リニアレギュレータは

、いずれも、その電圧入出力経路に直列に介在する逆流防止用MOSトランジスタ（T21、T5）を備える請求項1または2に記載の電源装置。

[請求項4] 前記第1リニアレギュレータは、前記第1電圧の目標値に対応する第1基準電圧を生成する第1基準電圧源（16）を備え、

前記第1基準電圧源は、前記出力端子の電圧の供給を受けて動作する構成となっている請求項1から3のいずれか一項に記載の電源装置。

[請求項5] 前記第2リニアレギュレータは、前記第2電圧の目標値に対応する第2基準電圧を生成する第2基準電圧源（17）を備え、

前記第2基準電圧源は、前記中間電圧の供給を受けて動作する構成となっている請求項1から4のいずれか一項に記載の電源装置。

[請求項6] 前記第2リニアレギュレータは、前記第2電圧の目標値に対応する第2基準電圧を生成する第2基準電圧源（17）を備え、

前記第2基準電圧源は、前記出力端子の電圧の供給を受けて動作する構成となっている請求項1から4のいずれか一項に記載の電源装置。

[請求項7] 前記第2リニアレギュレータは、前記直流電源の電圧を検出する電源電圧検出部（14）を備え、前記電源電圧検出部の検出結果に基づいて前記フルオン期間であるか否かを判断する請求項1から6のいずれか一項に記載の電源装置。

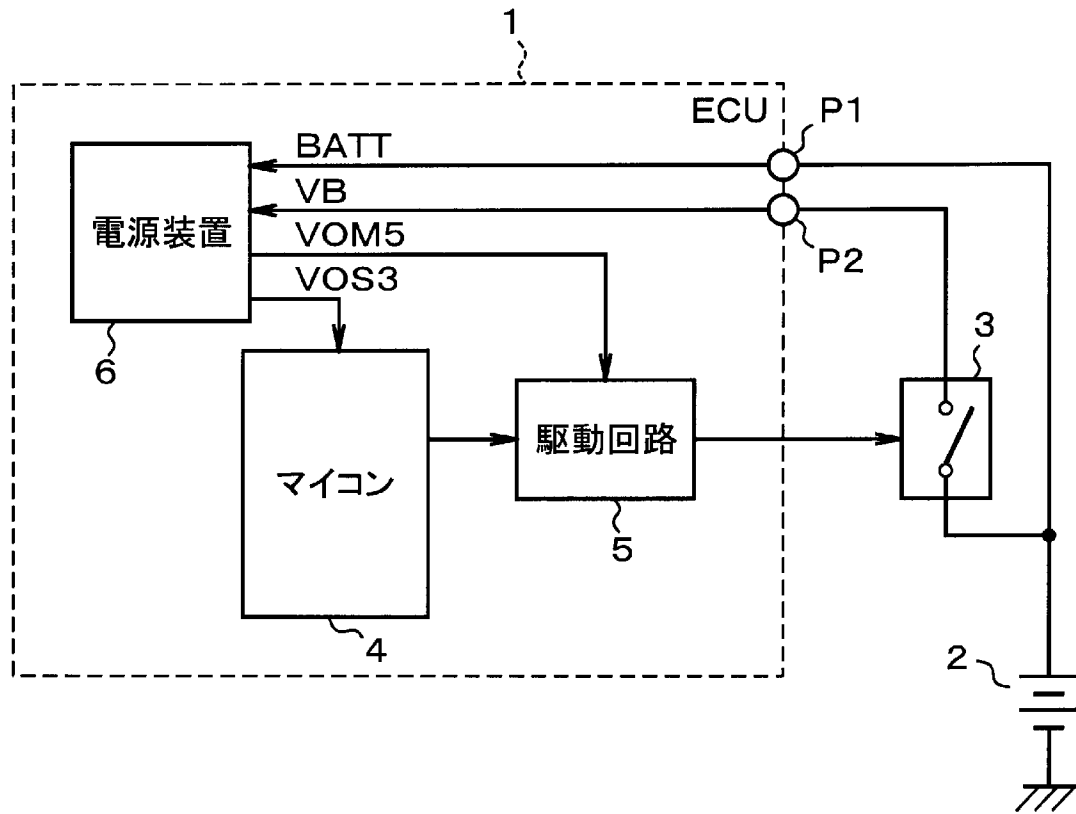
[請求項8] 前記直流電源は、車両に搭載されたバッテリー（2）であり、

前記電源スイッチ（3）は、前記車両のイグニッションスイッチに連動してオンオフされるものである請求項1から7のいずれか一項に記載の電源装置。

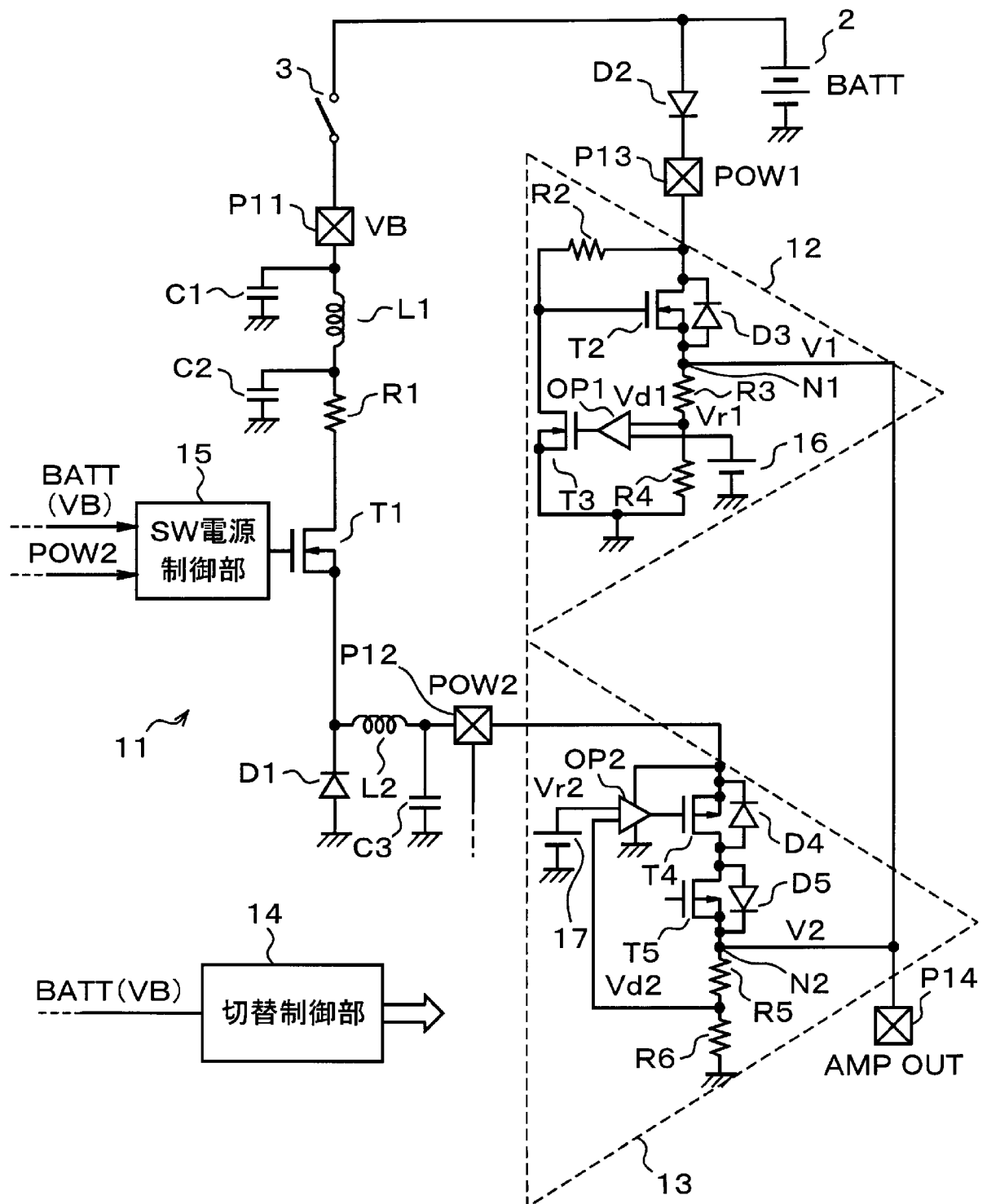
[請求項9] 請求項1から8のいずれか一項に記載の電源装置（6、21）と、前記電源装置から電源供給を受けて所定の制御を実行する制御部（4）と、

を備える電子制御装置。

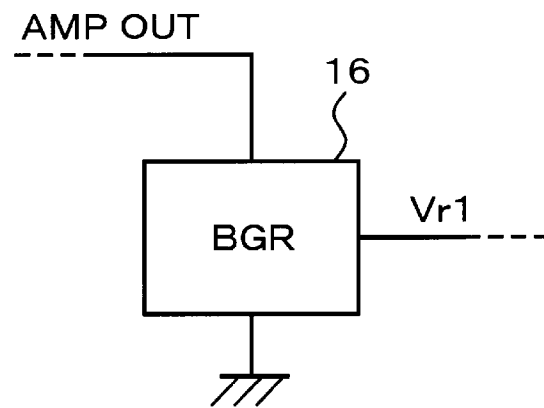
[図1]



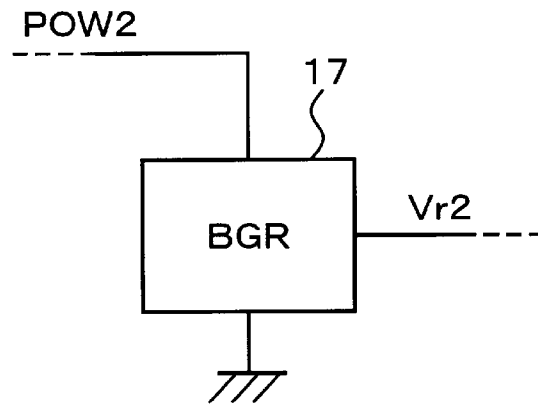
6



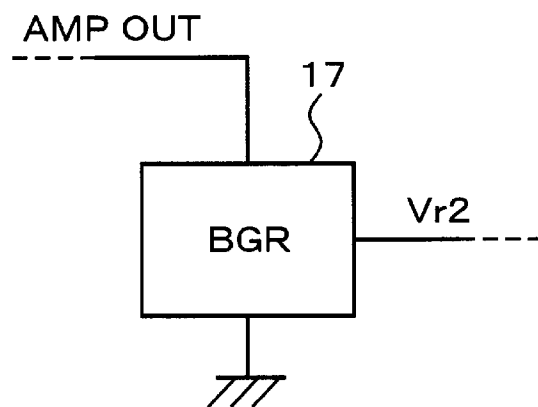
[図3]



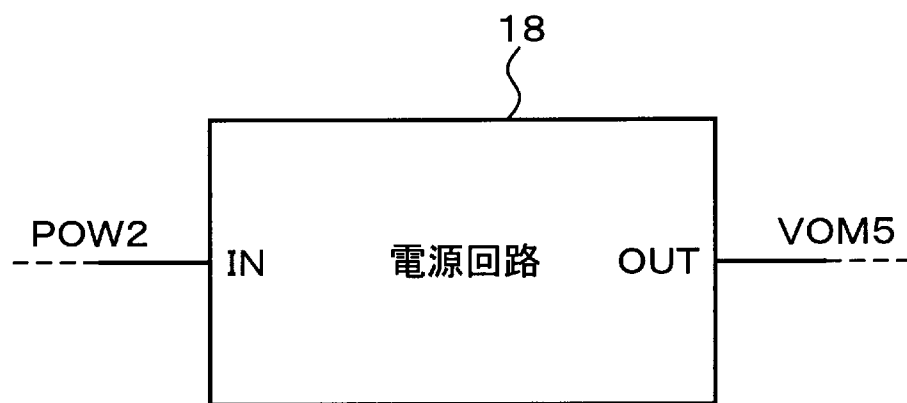
[図4A]



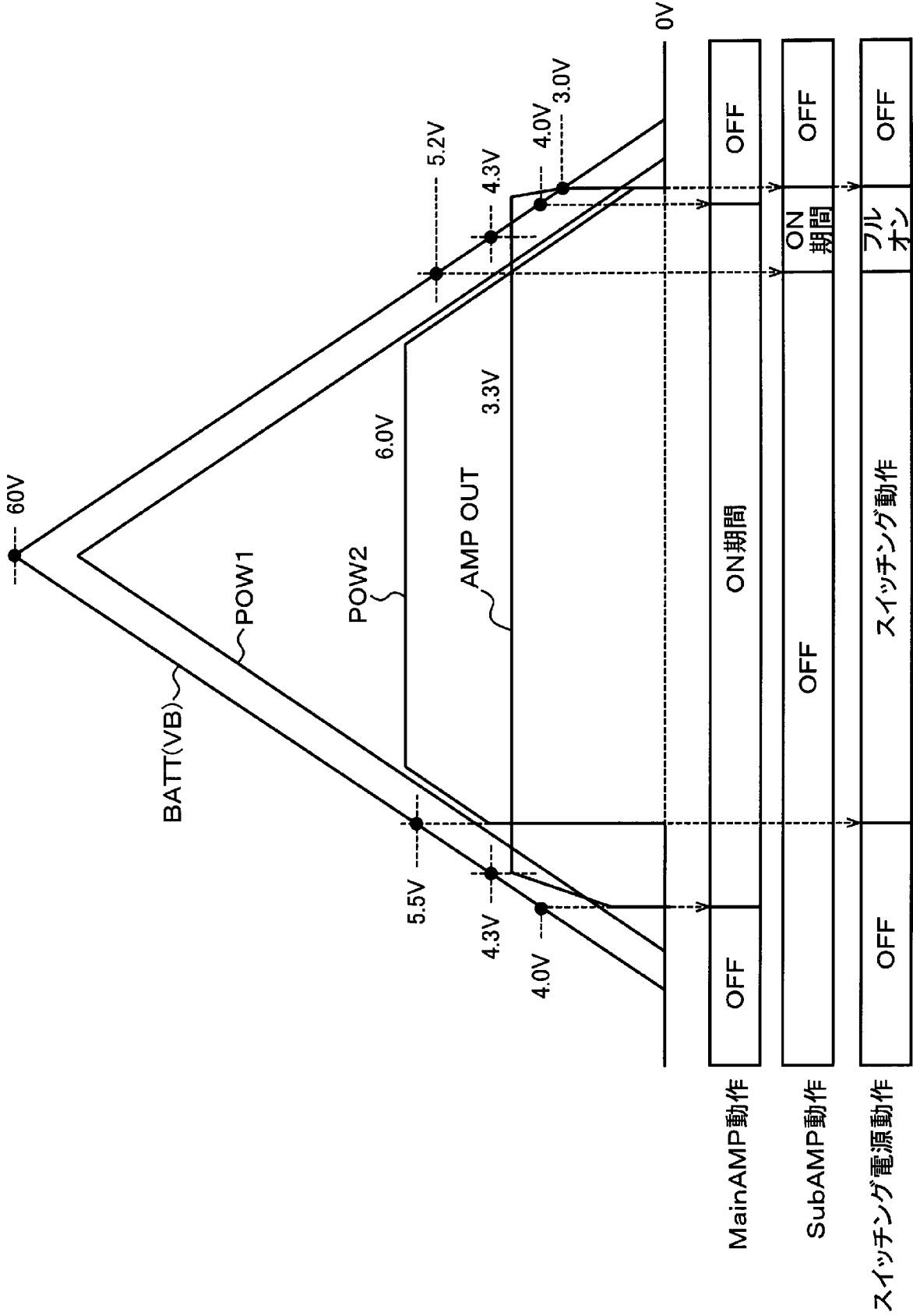
[図4B]



[図5]



[図6]



[図7]

降圧スイッチング 電源サポート	スイッチング動作			MainAMP	SubAMP
	5.2V $\leq$ BATT $\leq$ 60V	スイッチング		動作	停止
	4.3V $\leq$ BATT $<$ 5.2V	フルオン		動作	動作
	0 $\leq$ BATT $<$ 4.3V	停止		停止	停止

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006144

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01)i, G05F1/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-177909 A (Denso Corp.), 06 August 2009 (06.08.2009), & US 2009/0184700 A1 & EP 2083497 A2	1-9
A	JP 2015-159642 A (Toyota Motor Corp.), 03 September 2015 (03.09.2015), (Family: none)	1-9
A	US 2013/0169246 A1 (SHAO, Wen-Pin), 04 July 2013 (04.07.2013), & CN 103186157 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 March 2017 (06.03.17)

Date of mailing of the international search report
21 March 2017 (21.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M3/155(2006.01)i, G05F1/56(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M3/155, G05F1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-177909 A (株式会社デンソー) 2009.08.06, & US 2009/0184700 A1 & EP 2083497 A2	1-9
A	JP 2015-159642 A (トヨタ自動車株式会社) 2015.09.03, (ファミリーなし)	1-9
A	US 2013/0169246 A1 (SHAO, Wen-Pin) 2013.07.04, & CN 103186157 A	1-9

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

06.03.2017

国際調査報告の発送日

21.03.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

栗栖 正和

5G

3987

電話番号 03-3581-1101 内線 3526