

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 2 区分

【発行日】平成31年2月28日 (2019.2.28)

【公開番号】特開2017-134203(P2017-134203A)

【公開日】平成29年8月3日 (2017.8.3)

【年通号数】公開・登録公報2017-029

【出願番号】特願2016-13309(P2016-13309)

【国際特許分類】

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 1 R 31/00 (2006.01)

【 F I 】

G 0 9 G 3/36

G 0 9 G 3/20 6 1 1 F

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 7 0 A

G 0 9 G 3/20 6 1 1 A

G 0 9 G 3/20 6 7 0 E

G 0 9 G 3/20 6 7 0 M

G 0 1 R 31/00

【手続補正書】

【提出日】平成31年1月10日 (2019.1.10)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【 0 0 2 9 】

また、異常状態である旨をシステム側に出力する他の方法として、図 7 に示すように、異常状態である旨の信号（モニタ信号）を、モニタ端子 18 を介してインターフェースコネクタ 20 に直接出力するようにしてもよい。この場合、システム側では、異常状態を直接モニタすることができる。

【手続補正 2】

【補正対象書類名】図面

【補正対象項目名】図 2

【補正方法】変更

【補正の内容】

The diagram illustrates a system architecture where multiple functional blocks are interconnected via a shared bus. Each block consists of a set of power supply pins (VDDA) and other pins ('その他'). The connection scheme ensures that all power pins share a common ground reference while the signal pins communicate through the central bus.

【補正の内容】

【図 3】

