



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I875797 B

(45)公告日：中華民國 114 (2025) 年 03 月 11 日

(21)申請案號：109127393

(22)申請日：中華民國 109 (2020) 年 08 月 12 日

(51)Int. Cl. : **H03K17/58 (2006.01)****H03K17/74 (2006.01)****H03K19/20 (2006.01)**

(30)優先權：2019/08/12 英國

GB1911540.1

2019/08/20 英國

GB1911961.9

2019/12/02 英國

GB1917561.1

(71)申請人：英商瑟其福耐斯特有限公司(英國) SEARCH FOR THE NEXT LIMITED (GB)
英國(72)發明人：薩默蘭 大衛 SUMMERLAND, DAVID (GB)；萊特 羅傑 LIGHT, ROGER
(GB)；奈特 盧克 KNIGHT, LUKE (GB)

(74)代理人：賴安國；王立成；余宗學

(56)參考文獻：

TW 201301758A

EP 0181201A1

EP 0860947B1

EP 3334021A1

US 6188267B1

譯著 Tony R. Kuphaldt Lessons in Electric Circuits vol. IV-Digital
2007.11.01

審查人員：陳明德

申請專利範圍項數：32 項 圖式數：15 共 48 頁

(54)名稱

包括電晶體和二極體的電路和裝置

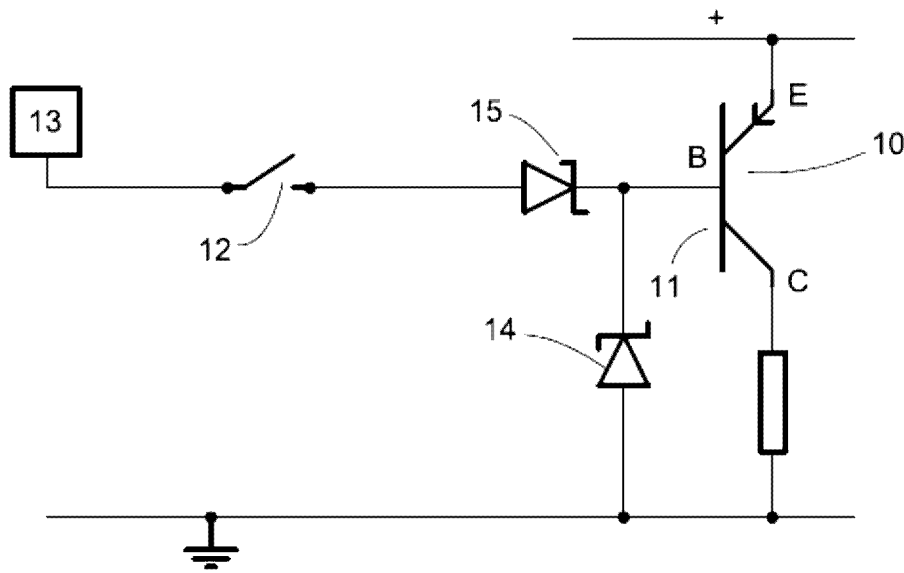
(57)摘要

一種電路包括：電晶體，該電晶體的基極可切換地能連接到訊號源；第一二極體，其連接在該電晶體的基極與參考電壓之間；其中該電路被布置使得當該訊號源未連接到該電晶體的基極時，在該電晶體的發射極處施加的電壓導致通過該電晶體的基極和通過該第一二極體的電流流動，使得該電晶體處於導通狀態；該訊號源的阻抗比該電晶體的通過發射極和基極的阻抗低；該第一二極體被選擇為提供限流功能，使得當該訊號源連接到該電晶體的基極時，通過該基極的電流流動減少，使得該電晶體切換到斷開狀態；並且其中該電路包括第二二極體，該第二二極體包括提供該電晶體的基極的半導體區域和與提供該電晶體的基極的該半導體區域直接接觸的另外的半導體區域；並且其中該訊號源通過該第二二極體能連接到該電晶體的基極。

A circuit comprising: a transistor, a base of the transistor being switchably connectable to a signal source; a first diode connected between the base of the transistor and a reference voltage; wherein the circuit arranged such that when the signal source is not connected to the base of the transistor, a voltage applied at an emitter of the transistor causes a current flow through the base of the transistor and through the first diode such that the transistor is in an ON state; the impedance of the signal source is lower than the impedance of the transistor through the emitter and base; the first diode is selected to provide a current limiting function such that when the signal source is connected to the base of the transistor, current flow through the base reduces such that

the transistor switches to an OFF state; and in which the circuit comprises a second diode, the second diode comprised from a semiconductor region that provides the base of the transistor and a further semiconductor region in direct contact with the semiconductor region that provides the base of the transistor; and in which the signal source is connectable to the base of the transistor through the second diode.

指定代表圖：



符號簡單說明：

- 10: 電路
- 11: 電晶體
- 12: 開關
- 13: 電流源
- 14: 第一齊納二極體
- 15: 第二齊納二極體
- B: 基極
- C: 集電極
- E: 發射極

【圖1a】



I875797

【發明摘要】

【中文發明名稱】 包括電晶體和二極體的電路和裝置

【英文發明名稱】 A CIRCUIT AND DEVICE INCLUDING A

TRANSISTOR AND DIODE

【中文】一種電路包括：電晶體，該電晶體的基極可切換地能連接到訊號源；第一二極體，其連接在該電晶體的基極與參考電壓之間；其中該電路被布置使得當該訊號源未連接到該電晶體的基極時，在該電晶體的發射極處施加的電壓導致通過該電晶體的基極和通過該第一二極體的電流流動，使得該電晶體處於導通狀態；該訊號源的阻抗比該電晶體的通過發射極和基極的阻抗低；該第一二極體被選擇為提供限流功能，使得當該訊號源連接到該電晶體的基極時，通過該基極的電流流動減少，使得該電晶體切換到斷開狀態；並且其中該電路包括第二二極體，該第二二極體包括提供該電晶體的基極的半導體區域和與提供該電晶體的基極的該半導體區域直接接觸的另外的半導體區域；並且其中該訊號源通過該第二二極體能連接到該電晶體的基極。

【英文】 A circuit comprising: a transistor, a base of the transistor being switchably connectable to a signal source; a first diode connected between the base of the transistor and a reference voltage; wherein the circuit arranged such that when the signal source is not connected to the base of the transistor, a voltage applied at an emitter of the transistor causes a current flow through the base of the transistor and through the first diode such that the transistor is in an ON state; the impedance of the

signal source is lower than the impedance of the transistor through the emitter and base; the first diode is selected to provide a current limiting function such that when the signal source is connected to the base of the transistor, current flow through the base reduces such that the transistor switches to an OFF state; and in which the circuit comprises a second diode, the second diode comprised from a semiconductor region that provides the base of the transistor and a further semiconductor region in direct contact with the semiconductor region that provides the base of the transistor; and in which the signal source is connectable to the base of the transistor through the second diode.

【指定代表圖】 圖1a

【代表圖之符號簡單說明】

10	電路
11	電晶體
12	開關
13	電流源
14	第一齊納二極體
15	第二齊納二極體
B	基極
C	集電極
E	發射極

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 包括電晶體和二極體的電路和裝置

【英文發明名稱】 A CIRCUIT AND DEVICE INCLUDING A

TRANSISTOR AND DIODE

【技術領域】

【0001】

【先前技術】

【0002】 為了製造數位邏輯電路，希望使用「常導通（normally on）」電晶體，即其中在不存在施加到基極的訊號的情況下電晶體運行於導通狀態，因為它們允許建構邏輯閘而無需互補電晶體，從而將電晶體數量減半。

【0003】 已知的是，PNP雙極結型電晶體（BJT）可以透過如下電路配置而作為常導通電晶體操作，在該電路配置中，BJT的基極透過一個電阻器連接到接地。當在BJT的發射極端子和基極端子之間施加電壓時，發射極是更加正的，電流可以從基極端子流動出來並且通過該電阻器。這允許在電晶體的發射極端子與集電極端子之間電流流動，換句話說，電晶體是導通的。為了關斷電晶體，電晶體的基極被連接到能夠提供通過該電阻器的足夠的電流的電流源，以使得從基極出來的電流足夠地下降（或停止），使得發射極與集電極之間的電流流動終止。

【0004】 電阻器的溫度係數通常是大的。這使得難以在寬溫度範圍內為上述電路提供操作穩定性。此外，該電阻器的電阻值（歐姆）必須大到是足夠

限流的，以使得可以使用可得自該電流源的最大電流關斷電晶體。具有滿足此要求的值的電阻器在物理上相對大。出於這些原因，在許多積體電路（IC）中使用此電路設計是行不通的。

【發明內容】

【0005】 根據本發明的第一方面，提供了一種電路，所述電路包括：電晶體，所述電晶體的基極可切換地能連接到訊號源；第一二極體，所述第一二極體連接在所述電晶體的基極與參考電壓之間；所述電路被布置使得當所述訊號源未連接到所述電晶體的基極時，在所述雙極電晶體的發射極處施加的電壓導致通過所述電晶體的基極和通過所述第一二極體的電流流動，使得所述電晶體處於導通狀態；所述訊號源的阻抗比所述電晶體的通過發射極和基極的阻抗低；所述第一二極體被選擇為提供限流功能，使得當所述訊號源連接到所述電晶體的基極時，通過所述基極的電流流動減少，使得所述電晶體切換到斷開狀態；所述電路包括第二二極體，所述第二二極體具有由提供所述電晶體的基極的半導體區域和與提供所述電晶體的基極的該半導體區域直接接觸的另外的半導體區域之間的接觸提供的二極體結；並且其中所述訊號源透過所述第二二極體能連接到所述基極。

【0006】 所述第一二極體提供現有技術電路的大電阻器的限流功能；然而，與電阻器不同，所述第一二極體是相對小的電子部件，並且因此使電路對於用於實現數位邏輯電路來說更可行。

【0007】 所述第一二極體的限流功能提供了一種便利手段，以在導通時限制通過電晶體的基極端子-發射極端子的電流流動，以允許電晶體的發射極基極之間的相對小的電勢降。當電晶體在斷開與導通之間切換時，這導致基極電

晶體的電壓的（相對於參考電壓）小改變，這減少了在半導體裝置內形成的鄰近的電晶體的基極之間的寄生效應的形成的可能性。

【0008】 所述第一二極體可以以一種或多種方式提供限流功能。例如，它可以被選擇為具有提供所需電阻的物理尺寸；二極體越小，它的電流承載能力越受限制。替代地或附加地，所述第一二極體可以被布置在所述電路中以當電壓施加在所述電晶體的發射極端子與所述二極體的第二端子之間時被反向偏置。後一種方法是較佳的，尤其是在使用較大的二極體的情況下。

【0009】 所述電路可以被操作使得所述第一二極體透過所述第一二極體上的在其擊穿電壓以下的電壓而被反向偏置。當被反向偏置時，通過所述二極體的電流流動可以是由於量子隧道引起的洩放電流的結果。

【0010】 所述第一二極體可以是齊納二極體。與許多其他類型的二極體相比，與其他二極體相比，齊納二極體當被偏置到其齊納電壓（擊穿電壓）以下時可靠地操作。儘管如此，可以使用替代的二極體，諸如例如，可以以正向偏置操作的隧道二極體。

【0011】 有利地，所述第一二極體的溫度係數的模量小於或等於每攝氏度2mV。更有利地，所述第一二極體具有近似每攝氏度0mV的溫度係數，因為隨溫度變化這提供了最大程度的操作穩定性。

【0012】 為了提供此溫度係數，較佳的是，所述第一二極體是被選擇為表現出小於或等於大約5.6V並且更有利地大約5.6V的齊納電壓的齊納二極體。

【0013】 雙極結型電晶體可以具有PNP或NPN形式。在PNP形式的情況下，在發射極和所述第一二極體的第二端子之間的電壓被布置使得常規電流從所述發射極流動，通過電晶體從基極出來並且進入所述第一二極體，並且所述訊號源是電流源。在NPN形式的情況下，在發射極和所述二極體的第二端子之間的電壓被布置使得常規電流從所述第一二極體的第二端子流動，通過所述第

一二極體，進入基極並且通過發射極出來，並且所述訊號源是電流吸收器（current sink）。

【0014】 所述第二二極體可以是齊納二極體。只要提供所述第二二極體的半導體區域被足夠高地摻雜，就可以使所述第二二極體上的電壓降足夠小，以使得在操作時，其上的電壓降小於電晶體的發射極和基極之間的電壓降，並且有利地，附加地，對電晶體的操作沒有顯著有害影響。在這種情況下，所述第二二極體的存在可以提供許多益處，包括下文所描述的益處。

【0015】 所述第二二極體提供了到電晶體的基極的非金屬連接。這允許到電晶體的基極的導電跡線包括多晶矽而不是金屬。由於多晶矽也可以被用來連接電晶體的集電極和發射極，因此這避免了提供金屬層以提供到電晶體的任何接觸的需要，進而減少了製造裝置所需的步驟的數目。附加地，因為當在功率裝置的構造中使用時，金屬層通常比多晶矽厚，並且因此需要更大的跡線尺寸和分隔距離，因此對於給定的面積，它允許增加的電晶體密度。

【0016】 由於在所述第二二極體上將存在電壓降，因此所述第二二極體的存在防止電晶體的基極被上拉/下拉至訊號源（例如，電力軌（power rail））的電壓。電晶體的基極區域具有電容，並且因此所述第二二極體的存在減少儲存在基極區域中的電荷，因此減少切換電晶體狀態所需的功率（或對於相同功率減少切換所花費的時間）。

【0017】 所述第二二極體可以抑制訊號從電晶體的基極向後朝向訊號源的不希望的反向傳播。這在電晶體是由單個訊號源驅動的許多裝置中的一個的情況下是有益的。

【0018】 所述第一二極體和第二二極體的尺寸可以被選擇以改變其等效電阻。這允許具有弱下拉（第一二極體）和低電阻輸入（第二二極體）的電路的創建，這在模擬電路中可能是有用的以將偏移和偏置引入到放大器。

【0019】 所述電路在邏輯閘的實現中具有特定的效用，例如作為向連接到電晶體的基極的輸入輸出表示相反邏輯位準的電壓的反相器邏輯閘。多個如上文多方面地描述的上述電路可以被連接在一起，以實現執行其他邏輯操作的邏輯閘。

【0020】 所述電路可以包括一個或多個另外的二極體，所述一個或多個另外的二極體中的每個包括提供所述電晶體的基極的半導體區域和與提供所述電晶體的基極的該半導體區域直接接觸的一個或多個另外的半導體區域；並且其中一個或多個另外的訊號源透過所述一個或多個另外的二極體能連接到所述電晶體的基極。

【0021】 這允許透過將所述電流源中的任何一個連接到所述電晶體的基極來關斷所述電晶體，並且因此允許所述電路實現反或（NOR）邏輯閘電路。有利地，所述電路允許用單個電晶體來實現NOR閘，然而NOR閘電路的現有技術實現，例如使用CMOS製造工藝來實現的那些，需要多個電晶體。

【0022】 進一步有利地，因為一個或多個另外的半導體區域中的每個與所述電晶體的基極直接接觸，所以可以包括它們而不顯著增加電晶體的總體尺寸。

【0023】 根據本發明的另一方面，提供了一種半導體裝置，所述半導體裝置包括：電晶體，所述電晶體包括：提供所述電晶體的集電極區域和發射極區域的第一類型的半導體材料的第一區域和第二區域，以及在所述第一類型的第二區域之間並且與所述第一類型的第二區域中的每個接觸的提供所述電晶體的基極的第二類型的第三區域；第一二極體，所述第一二極體包括：所述第二類型的第三區域；和所述第一類型的半導體的第三區域，所述第一類型的半導體的第三區域與所述第二類型的第三區域接觸以形成第一二極體結；以及第二二極體，所述第二二極體包括：所述第二類型的第三區域

區域；和所述第一類型的半導體的第四區域，所述第一類型的半導體的第四區域與所述第二類型的第一區域接觸以形成第二二極體結；並且其中所述第一類型的半導體材料的第一區域、第二區域、第三區域和第四區域由沉積到半導體晶片上的半導體層提供，所述半導體層至少部分地限定提供所述電晶體的基極區域的第二類型的第一區域。

【0024】 此結構提供了形成上文所描述的電路的便利手段，因為提供所述電晶體的基極的半導體區域還提供了提供二極體PN結的區域中的一個。

【0025】 所述第一二極體可以包括所述第二類型的第一區域的一部分，該部分與所述第二類型的第一區域的其餘部分相比是相對高摻雜的。

【0026】 所述第二類型的第一區域的相對高摻雜的部分和所述第一類型的半導體的另外的區域可以提供齊納二極體。

【0027】 所述電晶體可以是橫向雙極結型電晶體，所述第一類型的第一區域和第二區域在所述第二類型的第一區域周圍橫向彼此間隔開並且與所述第二類型的第一區域位於同一側上。

【0028】 所述半導體裝置可以包括連接到所述第一類型的半導體的另外的區域的電端子，所述電端子提供所述第一二極體的端子。

【0029】 所述第一類型的半導體的另外的區域可以至少部分地由已經沉積到半導體晶片上的半導體層提供，該半導體層至少部分地限定提供所述電晶體的基極的第二類型的第一區域。這提供了無需反向摻雜基極就可提供這些區域的便利手段，儘管反向摻雜雖然不太較佳地，但是代替地可以被使用。

【0030】 第一類型的半導體材料的第一和第二區域可以由沉積到半導體晶片上的半導體層提供，該半導體層至少部分地限定提供所述電晶體的基極區域的第二類型的第一區域。這再次提供了反向摻雜矽晶片的優點。

【0031】 所述半導體裝置可以包括用於所述第一二極體的接觸端子，所述接觸端子與所述第一類型的半導體的另外的區域直接接觸。

【0032】 所述第一類型的半導體的另外的區域可以包括：相對高摻雜的第一部分，所述第一部分與所述第二類型的第一區域一起提供所述第一二極體；和相對於所述第一部分相對輕摻雜的並且提供基底層的第二部分。

【0033】 所述半導體裝置可以包括多個第二二極體，所述多個第二二極體包括：所述第二類型的第一區域；和多個所述第一類型的半導體的第四區域，所述多個所述第一類型的半導體的第四區域各自與所述第二類型的第一區域接觸，以形成多個第二二極體結；並且其中多個所述第一類型的半導體材料的第四區域由沉積到半導體晶片上的半導體層提供，所述半導體層至少部分地限定提供所述電晶體的基極區域的第二類型的第一區域。

【0034】 沉積到半導體晶片上的半導體層可以包括多晶矽。

【0035】 所述半導體裝置可以包括在基底層內並且透過基底層彼此隔離的多個所述第二類型的第一區域。以此方式，可以在單個晶片上形成多個電晶體-二極體裝置。

【圖式簡單說明】

【0036】

現在將參考以下附圖透過示例的方式描述本發明，在附圖中：

圖1A是包括PNP雙極結型電晶體和反向偏置的齊納二極體的電路的示意圖，該電路實現了反相器邏輯閘（反（NOT）閘）；

圖1B是使用單個符號來表示透過電晶體和齊納二極體的特定布置實現的電子部件的圖1A的電路的替代表示；

圖2A是包括NPN雙極結型電晶體和反向偏置的齊納二極體的電路的示意圖，該電路實現了反相器邏輯閘（NOT閘）的功能；

圖2B是使用單個符號來表示透過電晶體和齊納二極體的特定布置實現的電子部件的圖2A的電路的替代表示；

圖3是提供圖1A和圖1B中所例示的布置的橫向PNP雙極電晶體和齊納二極體的半導體層結構的截面側視圖；

圖4是包括透過無金屬導電跡線互連的多個電晶體的積體電路的示意圖；

圖5是使用多個圖1的電路來實現互斥或（XOR）邏輯閘的電路的示意圖；

圖6是使用圖1的電路實現A反及B（A AND Not B）邏輯閘的電路的示意圖；

圖7A是包括PNP雙極結型電晶體和二極體的電路的示意圖，該電路實現NOR邏輯閘；

圖7B是使用單個符號來表示透過電晶體和齊納二極體的特定布置實現的電子部件的圖7A的電路的替代表示；

圖8A是提供圖7A和圖7B中所例示的布置的變體橫向PNP雙極電晶體和齊納二極體的半導體層結構的截面側視圖；

圖8B是圖8A的半導體層結構的示意性平面視圖；

圖9是透過圖7A-圖8B的電路實現的邏輯電路的表示；

圖10是使用圖7的電路來實現D型觸發器的電路；

圖11是使用邏輯閘符號表示的圖10的電路；

圖12是實現NOR閘的電路的示意圖，該電路包括PNP雙極結型電晶體、反向偏置的齊納二極體和貝克箝位器二極體（baker clamp diode）；

圖13是用來實現圖12的電路的半導體層結構的截面側視圖；

圖14是實現NOR閘的電路的示意圖，該電路即等效於使用IGZO和NMOS電晶體實現的圖12的電路；以及

圖15是圖14的變體電路的示意圖。

【實施方式】

【0037】 參考圖1A，示出了電路10，該電路包括PNP雙極結型電晶體11。該電晶體的發射極E連接到高側軌，並且該電晶體的集電極C連接到接地或某個其他低側參考電壓。電晶體11的基極B透過開關12可切換地能連接到電流源13。

【0038】 第一齊納二極體14的第一端子既連接到電晶體11的基極B又透過開關12連接到電流源13。第一齊納二極體14的第二端子連接到接地或其他低側參考電壓。第一齊納二極體14被定向到如此程度以致被反向偏置。選擇具有大約5.6V的齊納電壓的第一齊納二極體14，以使其具有盡可能接近每攝氏度0mV的溫度係數。這確保第一齊納二極體14的特性在二極體14的溫度發生任何變化（例如由於外部條件）的情況下保持穩定。

【0039】 在開關12斷開使得電流源13與基極端子B隔離時，在電晶體11和二極體14之間存在電壓降，並且因此常規電流流動通過電晶體11的發射極基極端子並且通過反向偏置的二極體14；通過二極體14的電流流動能夠歸因於洩放電流。

【0040】 電路10被布置使得二極體14上的電壓降在二極體14的擊穿電壓以下。洩放電流因此被認為是二極體14內的量子隧道效應的結果。

【0041】 為了二極體14上的預期的電壓降，二極體14被選擇以使得足夠的洩放電流流動通過二極體14，並且因此還在該電晶體的發射極E與基極B之間

流動，以允許在電晶體11的發射極E與集電極C之間的電流流動；即，該電晶體導通。

【0042】 附加地，較佳的是，為了二極體14上的預期的電壓，二極體14被選擇以使得在確保電晶體導通的同時保持洩放電流流動盡可能低。這具有的優點是：減少當電晶體導通時電晶體上的電壓降，並且因此減少當電晶體在斷開與導通之間切換時電晶體的基極的電勢（相對於某個參考電壓的接地）的改變。這使在同一晶片中形成的電晶體之間的靜電場最小化。在一個示例中，較佳的是，所述電晶體上的開關電壓被限制到大約0.5V。

【0043】 當開關12閉合時，電流源透過正向偏置的第二齊納二極體15連接到電晶體11的基極B。第二齊納二極體15被選擇為具有正向電壓（即，通過結的高摻雜），該正向電壓小於當電晶體處於斷開狀態時電晶體11的發射極基極之間的電壓降。

【0044】 電流源的阻抗被選擇為比通過電晶體11的發射極基極端子的阻抗低，導致二極體14優先透過第二齊納二極體15而不是透過電晶體11從電流源13汲取電流。這導致通過電晶體11的發射極-基極的電流減少，例如基本上減少到零，使得發射極與集電極之間的電流即使沒有終止也會減少到電晶體被認為斷開的程度。

【0045】 為了確保在開關12閉合時通過電晶體11的電流減少，二極體14需要是限流的，即，該二極體不具有承載可以由電流源13以及來自電晶體11的電流供應的最大電流的能力。

【0046】 在之前描述的電路布置中，因為當沒有訊號施加到基極時電晶體是導通的，因此電晶體11可以被視為作為常導通電晶體操作。

【0047】 圖1的電路可以被用來實現反相器（NOT）邏輯閘。當基極連接到訊號源（輸入導通），即，電流源13時，在電晶體11的集電極側處的電流流

動將基本上為零（輸出斷開）。相反，當基極與訊號源斷開連接（輸入斷開）時，將有電流通過集電極（輸出導通）。

【0048】 如下文將關於圖3描述的，第一齊納二極體14和第二齊納二極體15二者可以與電晶體11集成在一起，以提供集成的電晶體-齊納電子裝置。圖1B示出了圖1A的電路的替代表示，其中使用單個電子電路符號來例示電晶體11以及二極體14和15。T表示透過二極體15到電晶體的基極的連接。

【0049】 圖2A例示了變體電路20，該電路實現與圖1A的電路相同的功能，但是其中PNP雙極電晶體被替換為NPN雙極電晶體。電路20以類似的方式操作，不同的是極性是相反的並且電流源被替換為電流吸收器23。

【0050】 當開關22閉合時，反向偏置的二極體24和電晶體21上的電勢導致洩放電流流動通過二極體，並且因此進入電晶體21的基極的電流足以將電晶體切換成導通。

【0051】 當開關22閉合使得電流吸收器23連接到電晶體21的基極B時，由於與電晶體21的基極B與發射極E端子之間的阻抗相比該電流吸收器的阻抗較低，因此通過二極體的電流被優先地汲取到電流吸收器23。因此，進入電晶體21的基極B的電流減少，例如終止，將電晶體切換成斷開。

【0052】 圖2B示出了圖2A的電路的替代表示，其中使用單個電路符號來例示電晶體21以及二極體24和二極體25。

【0053】 圖1A、圖1B總體上例示了電流源13和開關12以易於理解。在大多數實際的實現中，電晶體的基極將連接到其他邏輯電路的輸出，電流最終來源於高軌，而不是獨立的電流源；在這種情況下，電路被設計成使得電路從高軌到基極端子的阻抗比電晶體的發射極與基極之間的阻抗低。加上必要的變更，同樣適用於圖2A和圖2B。

【0054】圖3是實現圖1A和圖1B的PNP雙極結型電晶體和齊納二極體的半導體層結構的示意圖。

【0055】從第一n型半導體區域100提供橫向雙極結型電晶體，該第一n型半導體區域100提供電晶體的基極區域，該基極區域被形成在p型層101（例如，基底，在該基底中可以提供多個區域100並且多個區域100透過該基底彼此隔離以形成多個電晶體齊納二極體電路裝置）中。n型區域100的一部分被重摻雜以提供n+型區域102。n+區域102與基底101接觸。n+區域102在n型區域100的較不重摻雜的部分下方延伸。

【0056】在n型區域100上（例如，在矽晶片的表面上）提供多晶矽圖案，以限定提供電晶體的集電極區域和發射極區域的單獨的p型區域103、p型區域104。該多晶矽圖案還被用來提供直接在n+基極區域102上的兩個另外的p+區域105、p+區域107，以形成二極體結106、二極體結108，該多晶矽圖案憑藉基極區域的n+區域102和p+區域105、p+區域107的高摻雜程度提供對應於圖1的齊納二極體14、齊納二極體15的第一齊納二極體和第二齊納二極體。

【0057】有利地透過在晶片上沉積未摻雜的和/或輕摻雜的多晶矽然後在原位摻雜來製造p+區域103、p+區域104、p+區域105、p+區域107區域。摻雜工藝的條件有利地導致與多晶矽緊鄰的n型區域100的部分（以及在p型區域105、p型區域106的情況下n+區域106）被反向摻雜，以使得它們形成p型區域103、p型區域104、p型區域105、p型區域107的一部分。

【0058】在p基底101上提供電接觸S以提供齊納二極體的第二端子。

【0059】多晶矽層105橫向延伸跨在電晶體的n+基極區域102與相對輕摻雜的p型基底101之間的晶片內的PN結（儘管在一變體中，它可以僅在p型基底之上延伸）。

【0060】 使用多晶矽透過二極體結而不是使用傳統的金屬接觸來創建到電晶體的基極區域102的輸入消除了提供任何金屬層的需要。這減少製造裝置所需的步驟的數目。

【0061】 提供包括在其下方具有遮蔽的n+型區域的n區域100的基極區域降低由於橫向電晶體結構而無意地創建的任何寄生垂直電晶體的效率。然而，提供此層結構是複雜的，因為難以在已經重摻雜的區域中創建輕摻雜的材料。儘管如此，這可以透過使用多個外延層（例如，透過跨整個晶片放置N+層，然後放置較輕的N層）來實現。

【0062】 將理解，圖3的結構可以適合於透過互換層類型來形成具有齊納二極體的NPN雙極電晶體。

【0063】 使用其上的電壓在其齊納電壓以下的以反向偏置布置的第一齊納二極體是較佳的，因為它提供了操作穩定性，尤其是當齊納電壓被選擇為使二極體熱係數最小化時。儘管如此，其他二極體配置是可能的。例如，在第一二極體足夠小並且因此高度限流的情況下，可以在正常偏置布置中使用它。使用其他類型的二極體例如隧道二極體也是可能的。可以在正向偏置條件下使用隧道二極體，其中該二極體上的電壓在區別（**demark**）該隧道二極體的負電阻區域的較高電壓以下。

【0064】 圖4是例示了如何在不需要金屬接觸或跡線的情況下將多個上文所描述的電晶體齊納二極體裝置電互連的示意圖。

【0065】 示例電路包括標記為I、II、III和IV的四個電晶體。包括多晶矽的電晶體I和電晶體III的發射極經由跨過n+區域的導電多晶矽跡線（在圖4上的1處指示）連接在一起。該多晶矽跡線與n+區域之間的干擾透過位於n+區域之上的氧化物層來防止。

【0066】電晶體II的基極透過二極體2經由多晶矽跡線連接到電晶體IV的集電極。

【0067】電晶體I的基極經由二極體Z（3）連接到電晶體IV的集電極。為了實現這，電晶體I的N+區域包括遠離電晶體I的發射極和集電極而延伸的細長的「臂」，使得電晶體I的二極體（3）遠離電晶體I的發射極和集電極。n+的臂提供連接電晶體I和電晶體III的多晶矽跡線可以穿過的區域。為了完成電晶體I與電晶體IV之間的連接，多晶矽跡線在電晶體IV的集電極與二極體3之間延伸。

【0068】關於圖1-圖3描述的電路可以被組合以實現邏輯閘。圖5和圖6分別例示了實現XOR閘和A AND NOT B閘的示例電路。在每個圖中，使用圖1B中引入的電路符號來表示電晶體二極體裝置。這兩個示例都例示了如何使用圖1-圖3的電路來實現具有比如果使用其他製造方法（例如，CMOS）來實現通常將要求的電晶體數目少的電晶體數目的邏輯閘。

【0069】圖7A和7B例示了一個變體電路，該變體電路除了其包括三個訊號源13A、訊號源13B、訊號源13C之外與圖1相同，每個訊號源透過一個不同的開關12A、開關12B、開關12C獨立地可切換地能連接到常導通電晶體10的基極。

【0070】當開關12A、開關12B、開關13C中的一個閉合時，相關聯的電流源13A、13B、13C透過正向偏置的齊納二極體15A、齊納二極體15B、齊納二極體15C中的一個連接到電晶體11的基極B。

【0071】二極體15A、二極體15B、二極體15C中的每個以與圖1的二極體15相同的方式操作。每個被選擇為具有正向電壓（即，通過結的高摻雜），所述正向電壓小於當電晶體處於斷開狀態時電晶體11的發射極基極之間的電壓

降。因此電流源13A、電流源13B或電流源13C中的任何一個到電晶體11的基極的連接導致電晶體切換到斷開狀態。

【0072】圖7B例示了使用圖1B中引入的電路符號的圖7A的電路。三個電流源與基極之間的三個連接分別標記為T1、T2和T3。

【0073】圖8A和圖8B例示了實現圖7A、7B的電路的電晶體和二極體的示例半導體層結構。該結構與圖3的結構相同，不同的是多晶矽圖案被用來提供直接在n+基極區域102上的兩個附加的p+區域（總共三個，107A、107B、107C）以形成三個二極體結108A、二極體結108B、二極體結108C，提供對應於圖6A的齊納二極體15A、齊納二極體15B、齊納二極體15C的三個第二齊納二極體。圖8B是示出了在n+基極區域102上以提供p+區域103、p+區域104、p+區域105、p+區域107A、p+區域107B、p+區域107C中的每個和使p+區域103、p+區域104、p+區域105、p+區域107A、p+區域107B、p+區域107C中的每個彼此隔離的示例多晶矽圖案的示意性平面視圖。

【0074】儘管圖7和圖8中所例示的示例示出了用於連接三個單獨的電流源13A、電流源13B、電流源13C的到電晶體10的基極11的三個輸入連接，但是將理解，可以存在用於連接到不同數目的電流源的不同數目的連接，例如，兩個、四個或更多個。

【0075】圖8A和圖8B的層結構可以被用來實現圖9中所示出的NOR邏輯閘，因為在電流源13A、電流源13B、電流源13C中的任何一個連接到基極11的情況下電晶體10將是斷開的。有利地，與現有技術電路（諸如需要至少兩個電晶體的使用CMOS製造而製造的那些）相比，此實現僅需要一個電晶體。

【0076】圖10例示了併入了多個圖7的電晶體電路以實現D型主從觸發器的示例電路。圖11示出了圖10中所例示的相同電路，示出了由電晶體電路中的每個提供的NOR邏輯閘功能。

【0077】圖12例示了圖7的變體電路。正如圖7的實施方案，輸入13的數目可以變化。

【0078】圖12的電路與圖7的電路基本相同，但是添加了另外的二極體16，該另外的二極體16產生貝克箝位器的作用並且因此在下文中稱為貝克箝位器二極體16。

【0079】貝克箝位器二極體16連接在電晶體11的基極與集電極之間，以其陽極面向集電極定向。透過貝克箝位器二極體16，電晶體11的集電極和基極被連接，使得當電晶體導通時隨著集電極處的電壓升高，基極處的電壓將升高朝向集電極的電壓減去貝克箝位器二極體16上的電壓降。以此方式，減少了在導通狀態與斷開狀態之間在電晶體10的基極11處的電壓擺動的幅度，從而允許更快的切換。

【0080】透過選擇在齊納二極體15A、齊納二極體15B、齊納二極體15C上以及在貝克箝位器16上提供的電壓降，可以選擇在切換期間在電晶體11的基極處的上限電壓和下限電壓的值。

【0081】有利地，基於電晶體11的特性來選擇上限電壓和下限電壓的值，以使得在電路的操作期間：

在發射極與集電極之間總是有電流流動；

基極從不飽和；以及

在電晶體斷開狀態下，發射極與集電極之間的電流流動足夠小，以使得集電極處的電壓太低而無法關斷邏輯電路的下一級中的電晶體。

【0082】這樣的布置允許進一步改善電晶體11的切換速度。

【0083】圖13是實現電晶體11、二極體15A、二極體15B、二極體15C和貝克箝位器二極體16的半導體層結構的示意圖。

【0084】 該結構與圖8A的結構基本相同，不同的是集電極的p+區域103被定位成橫穿n型區域100和n+區域102二者並且因此與n型區域100和n+區域102二者直接接觸。此布置提供了兩個二極體結：電晶體11的p+區域103與區域100之間的第一111和提供貝克箝位器二極體16的p+區域103與n+區域102之間的第二110。

【0085】 p+區域103與n+區域102之間的重疊的區域確定貝克箝位器二極體16的尺寸，並且因此確定其上的電壓降。

【0086】 圖14是圖12的電路的等效電路的示意圖（但是具有兩個輸入而不是三個），該等效電路被實現為包括NMOS電晶體的積體電路，該NMOS電晶體可以用銦鎵鋅氧化物（IGZO）半導體生產。

【0087】 提供圖12的功能的等效功能的電路的部件已經被分配了添加星號（*）的相同的數字。

【0088】 電晶體11*是具有源極端子、汲極端子和閘極端子的NMOS電晶體。

【0089】 圖12的齊納二極體14的等效功能由布置在正參考電壓與電晶體11*的閘極之間的反向偏置的洩放的蕭特基二極體14*（或配置為充當電阻器的耗盡型NMOS電晶體）來實現。當訊號輸入13a*、訊號輸入13b*從電晶體11*的閘極斷開連接時，洩放的蕭特基二極體14*確保在閘極處有足夠的正電壓以使得電晶體是導通的。

【0090】 當訊號輸入13a*、訊號輸入13b*中的任一個連接到參考電壓時，閘極處的電壓下降並且電晶體11*切換為斷開的。

【0091】 貝克箝位器16的等效功能由連接在電晶體11*的汲極與閘極之間的蕭特基二極體16*提供。

【0092】 當電晶體導通時，汲極處的電壓被拉向接地。汲極處的電壓將繼續下降，直到蕭特基二極體16*切換到正向偏置配置，隨之抑制電晶體11的閘極與源極之間的電壓（ V_{gs} ）的任何進一步增加。

【0093】 二極體15A*和二極體15B*提供二極體15A和二極體15B的等效功能，限制閘極處的較低電壓限制。

【0094】 二極體15A*、二極體15B*和16*因此限制電晶體11*的基極處的電壓擺動，允許切換速度的大幅增加。

【0095】 圖15是提供較高的雜訊抗擾度的圖14的電路的差分形式的示意圖。

【符號說明】

【0096】

10	電路
100	第一n型半導體區域
101	p型層/基底
102	n+型區域
103	p型區域
104	p型區域
105	p+區域
107	p+區域
108	二極體結
107A	p+區域
107B	p+區域

107C	p+區域
11	電晶體
11*	電晶體
110	第二
111	第一
12	開關
12A	開關
12B	開關
12C	開關
13	電流源
13a*	訊號輸入
13b*	訊號輸入
13A	訊號源
13B	訊號源
13C	訊號源
14	第一齊納二極體
15	第二齊納二極體
15A	齊納二極體
15A*	二極體
15B	齊納二極體
15B*	二極體
15C	齊納二極體
16	二極體/貝克箝位器
16*	蕭特基二極體

2	二極體
20	變體電路
21	電晶體
22	開關
23	電流吸收器
24	二極體
25	二極體
3	二極體
I	電晶體
II	電晶體
III	電晶體
IV	電晶體
B	基極
C	集電極
E	發射極
S	電接觸
T	連接
T1	連接
T2	連接
T3	連接
Z	二極體

【生物材料寄存】

【0097】 無

【發明申請專利範圍】

【請求項1】 一種半導體的電路（10），包括：

電晶體（11）、開關（12）和訊號源（13），

所述電晶體（11）的基極（B）透過所述開關（12）可切換地能連接到所述訊號源（13）；

第一二極體（14），所述第一二極體（14）連接在所述電晶體（11）的基極與參考電壓之間，其中所述第一二極體（14）被配置使得當所述訊號源（13）未連接到所述電晶體（11）的基極時，在所述電晶體（11）的發射極處施加的電壓導致通過所述電晶體（11）的基極和通過所述第一二極體（14）的電流流動足夠所述電晶體（11）處於導通狀態；

所述訊號源（13）的阻抗比所述電晶體（11）的通過發射極和基極的阻抗低；

所述第一二極體（14）另外被選擇為提供限流功能，使得當所述訊號源（13）連接到所述電晶體（11）的基極時，通過所述基極的電流流動減少，使得所述電晶體（11）切換到斷開狀態；並且

其中所述電路（10）還包括第二二極體（15），所述第二二極體（15）包括提供所述電晶體（11）的基極的半導體區域（102）和與提供所述電晶體（11）的基極的該半導體區域（102）直接接觸的另外的半導體區域（107）；並且其中所述訊號源（13）透過所述第二二極體（15）能連接到所述電晶體（11）的基極。

- 【請求項2】 如請求項1所述的電路（10），其中所述第一二極體（14）被布置在所述電路（10）中以當電壓施加到所述電晶體（11）的發射極端子時被反向偏置。
- 【請求項3】 如請求項1所述的電路（10），其中用來提供所述第一二極體（14）和/或第二二極體（15）的所述半導體區域的摻雜程度足夠高，以使得通過所述第一二極體（14）和/或第二二極體（15）的電流流動至少部分地能夠歸因於量子隧道效應。
- 【請求項4】 如請求項1、2或3所述的電路（10），其中所述第一二極體（14）具有在每攝氏度 -2mV 至 2mV 的範圍內的溫度係數，包括端點。
- 【請求項5】 如請求項1所述的電路（10），其中所述第一二極體（14）是齊納二極體。
- 【請求項6】 如請求項5所述的電路（10），其中所述第一二極體（14）具有在4伏特和5.6伏特之間的齊納電壓，包括端點。
- 【請求項7】 如請求項6所述的電路（10），其中所述第一二極體（14）具有大約5.6伏特的齊納電壓。
- 【請求項8】 如請求項1、2或3所述的電路（10），其中所述第二二極體（15）是齊納二極體。
- 【請求項9】 如請求項1、2或3所述的電路（10），其中，當所述電路（10）在操作中時，所述第二二極體（15）上的電壓降小於所述電晶體（11）的基極和發射極之間的電壓降。
- 【請求項10】 如請求項1、2或3所述的電路（10），所述電路（10）包括第三二極體，所述第三二極體被布置在所述電晶體（11）的集電極與

所述電晶體（11）的基極之間，所述第三二極體被布置成提供貝克箱位器的功能。

【請求項11】 一種反相器邏輯閘電路，包括如請求項1-10中任一項所述的電路。

【請求項12】 如請求項1所述的電路（10），所述電路（10）包括一個或多個另外的二極體（15B、15C），所述一個或多個另外的二極體（15B、15C）中的每個包括提供所述電晶體（11）的基極的半導體區域和與提供所述電晶體（11）的基極的該半導體區域直接接觸的一個或多個另外的半導體區域；並且其中一個或多個另外的訊號源（13b、13c）透過所述一個或多個另外的二極體（15B、15C）能連接到所述電晶體（11）的基極。

【請求項13】 一種反或邏輯閘電路，包括如請求項12所述的電路。

【請求項14】 一種操作電路的方法，

所述電路包括：

雙極電晶體，所述雙極電晶體具有基極端子和發射極端子；

二極體，所述二極體具有連接到所述電晶體的基極端子的第一端子和連接到參考電壓的第二端子；

所述電晶體的基極端子和所述二極體的第一端子透過開關連接到訊號源；所述訊號源被配置為具有的阻抗低於所述雙極電晶體的發射極端子和基極端子之間的阻抗；並且

所述方法包括：

在所述電晶體的發射極端子和所述二極體的第二端子之間施加電壓；以及

操作所述開關以：

第3頁，共 7 頁(發明申請專利範圍)

將所述電晶體的基極端子和所述二極體的第一端子與所述訊號源斷開連接，以導致通過所述電晶體的基極端子和通過所述二極體的電流流動將所述電晶體切換為導通；或者

將所述電晶體的基極端子和所述二極體的第一端子連接到所述訊號源，使得通過所述電晶體的基極端子的電流流動減少，以將所述電晶體切換為斷開。

【請求項15】 如請求項14所述的方法，其中在所述電晶體的發射極端子和所述二極體的第二端子之間施加電壓，使得所述二極體被反向偏置。

【請求項16】 如請求項14或15所述的方法，其中所述第一二極體是齊納二極體，並且當所述電晶體導通時施加在所述二極體上的電壓比所述齊納二極體的擊穿電壓小。

【請求項17】 一種半導體裝置，包括如請求項1所述的電路，其中：

所述電晶體包括：

提供所述電晶體的集電極區域和發射極區域的第一類型的半導體材料的第一區域和第二區域，和在所述第一類型的的第一區域和第二區域之間並且與所述第一類型的的第一區域和第二區域中的每個接觸的、提供所述電晶體的基極的第二類型的的第一區域；

所述第一二極體包括：

所述第二類型的的第一區域；和

所述第一類型的半導體的第三區域，所述第一類型的半導體的第三區域與所述第二類型的的第一區域接觸以形成第一二極體結；

以及所述第二二極體包括：

所述第二類型的的第一區域；和

所述第一類型的半導體的第四區域，所述第一類型的半導體的第四區域與所述第二類型的第一區域接觸以形成第二二極體結；並且其中所述第一類型的半導體材料的第一區域、第二區域、第三區域和第四區域由沉積到半導體晶片上的半導體層提供，所述半導體層至少部分地限定提供所述電晶體的基極區域的所述第二類型的第一區域。

【請求項18】 如請求項17所述的半導體裝置，其中所述第一二極體和/或第二二極體包括所述第二類型的第一區域的一部分，該部分與所述第二類型的第一區域的其餘部分相比是相對高摻雜的。

【請求項19】 如請求項17或18所述的半導體裝置，其中形成所述第一二極體和/或第二二極體半導體區域的摻雜足以使得通過所述二極體的電流流動至少部分地能夠歸因於量子隧道效應。

【請求項20】 如請求項17或18所述的半導體裝置，其中所述第一二極體和/或第二二極體是齊納二極體。

【請求項21】 如請求項17或18所述的半導體裝置，其中所述第二類型的第一區域的相對高摻雜的部分和所述第一類型的半導體的第四區域被摻雜到如下濃度：使得在操作中所述第二二極體上的電壓降小於所述電晶體的基極和發射極之間的電壓降。

【請求項22】 如請求項17或18所述的半導體裝置，其中所述電晶體是橫向雙極結型電晶體，所述第一類型的第一區域和第二區域在所述第二類型的第一區域周圍橫向彼此間隔開並且位於所述第二類型的第一區域的同一側上。

- 【請求項23】 如請求項17或18所述的半導體裝置，所述半導體裝置包括連接到所述第一類型的半導體的第三區域的電端子，所述電端子提供所述二極體的端子。
- 【請求項24】 如請求項17或18所述的半導體裝置，所述半導體裝置包括用於所述二極體的接觸端子，所述接觸端子與所述第一類型的半導體的第三區域直接接觸。
- 【請求項25】 如請求項17所述的半導體裝置，所述半導體裝置包括提供基底的所述第一類型的一個另外的區域，所述第一類型的半導體的第三區域與所述第一類型的所述另外的區域直接接觸，與所述第一類型的第三區域相比，所述第一類型的所述另外的區域是相對輕摻雜的。
- 【請求項26】 如請求項25所述的半導體裝置，所述半導體裝置包括多個第二類型的第一區域，所述多個第二類型的第一區域在所述基底內並且透過基底層彼此隔離；所述多個第二類型的第一區域中的每個提供一個單獨的電晶體的基極區域。
- 【請求項27】 如請求項17或18所述的半導體裝置，所述半導體裝置包括：
多個第二二極體，所述多個第二二極體包括：
所述第二類型的第一區域；和
多個所述第一類型的半導體的第四區域，多個所述第一類型的半導體的第四區域各自與所述第二類型的第一區域接觸，以形成多個第二二極體結；
並且其中所述多個第一類型的半導體材料的第四區域由沉積到半導體晶片上的半導體層提供，所述半導體層至少部分地限定提供所述電晶體的基極區域的第二類型的第一區域。

【請求項28】 如請求項17或18所述的半導體裝置，其中沉積到半導體晶片上的所述半導體層包括多晶矽。

【請求項29】 如請求項18所述的半導體裝置，其中提供所述電晶體的集電極區域的所述第一類型的半導體材料的第一區域與相對高摻雜的所述第二類型的第一區域接觸，以便除了所述電晶體的集電極基極結之外還形成第三二極體結，所述第三二極體結提供連接在所述電晶體的集電極與所述電晶體的基極之間的第三二極體。

【請求項30】 一種積體電路，包括：

NMOS電晶體，

所述電晶體的閘極可切換地能連接到訊號源；

第一二極體，所述第一二極體連接在所述電晶體的閘極與參考電壓之間；

所述電路被布置使得當所述訊號源未連接到所述電晶體的閘極時，所述電晶體處於導通狀態；

電阻器裝置，所述電阻器裝置連接在所述訊號源與所述電晶體的閘極之間；和

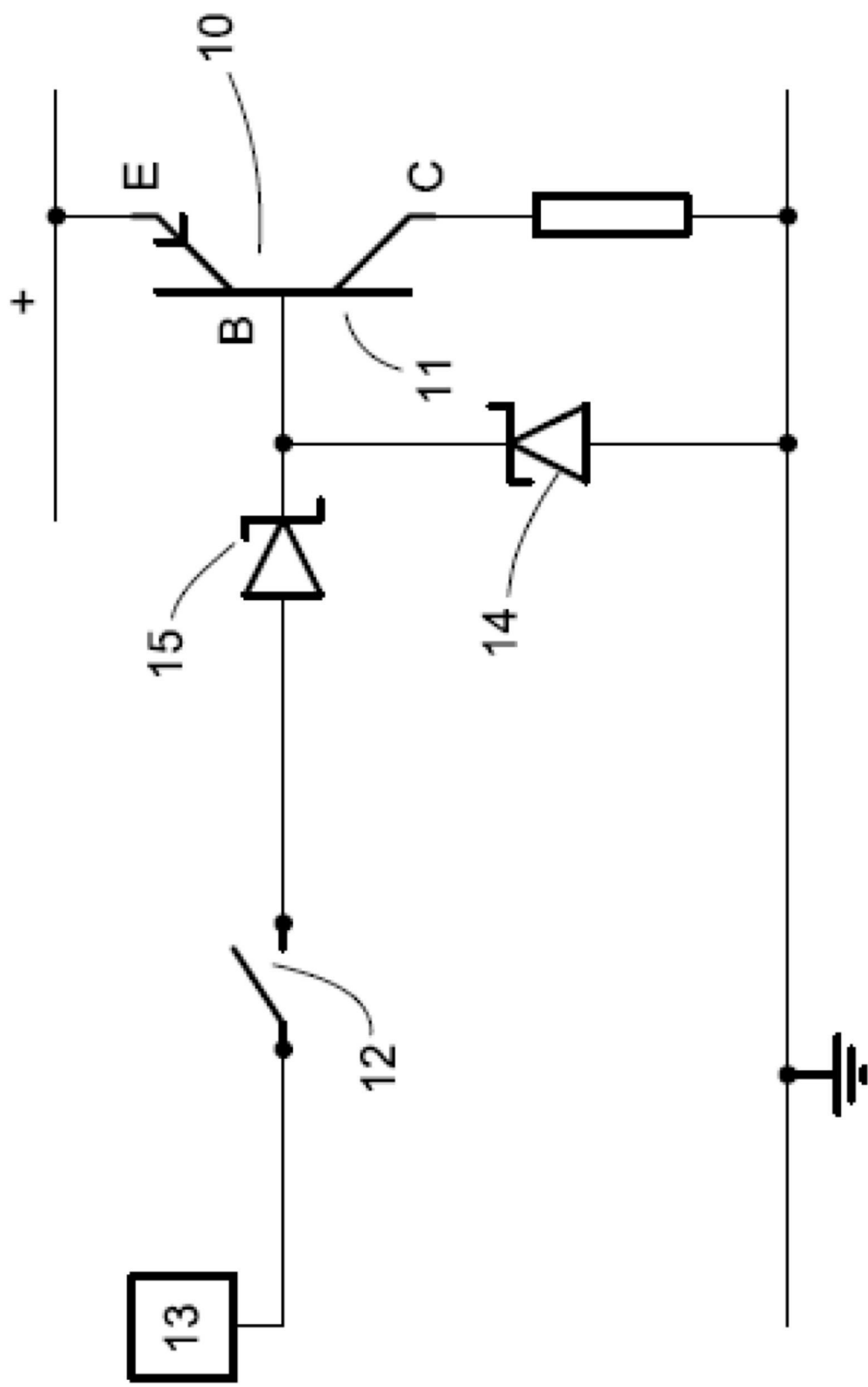
第二二極體，所述第二二極體連接在所述電晶體的閘極與汲極之間；所述第二二極體被選擇為當所述電晶體處於導通狀態時限制所述電晶體的閘極處的電壓與源極處的電壓之間的差；

其中所述第一二極體包括洩放的蕭特基二極體。

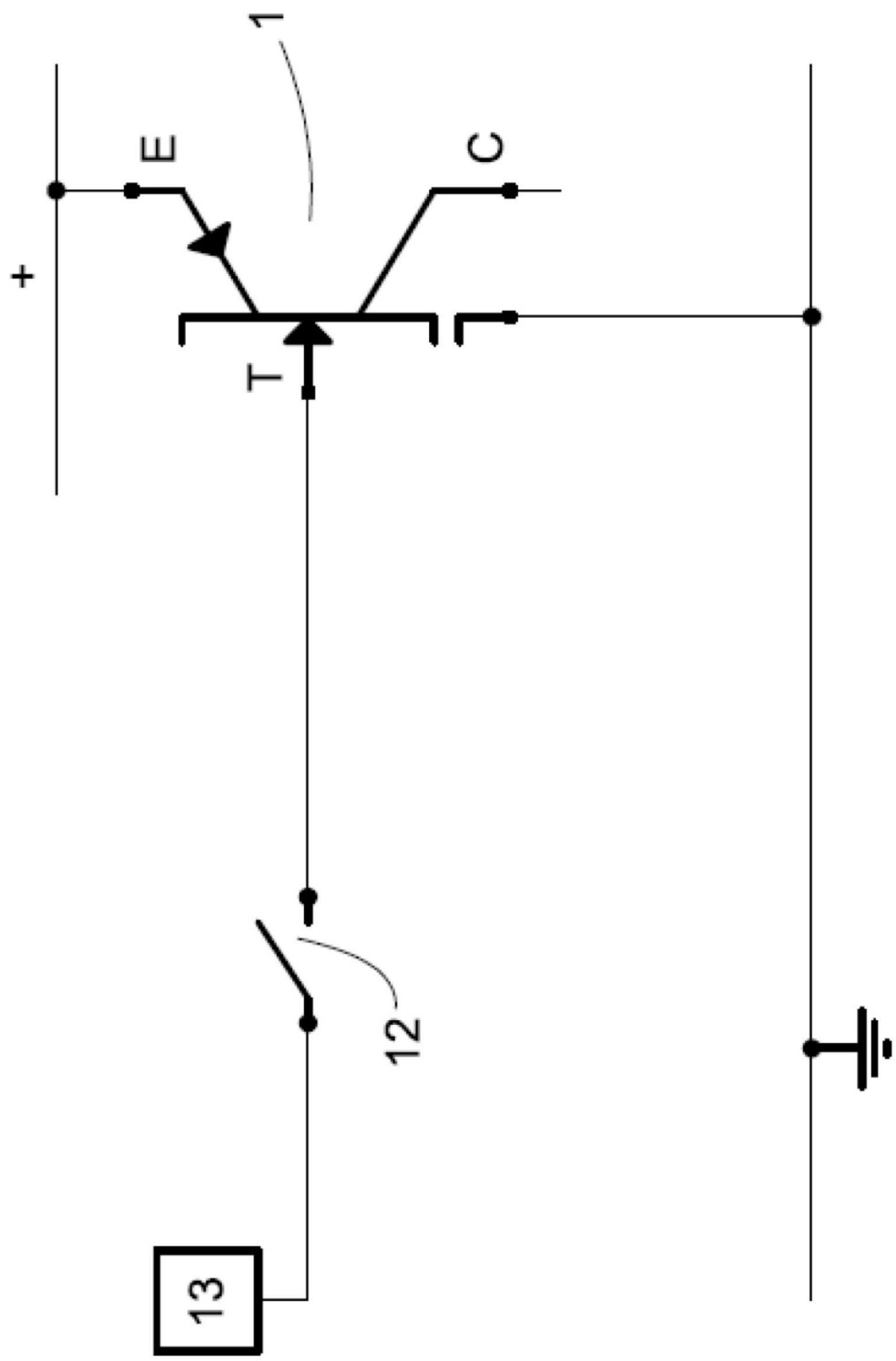
【請求項31】 如請求項30所述的積體電路，其中所述第一二極體由耗盡型NMOS電晶體提供。

【請求項32】 如請求項30或31所述的積體電路，其中所述半導體材料是銦鎵鋅氧化物（IGZO）。

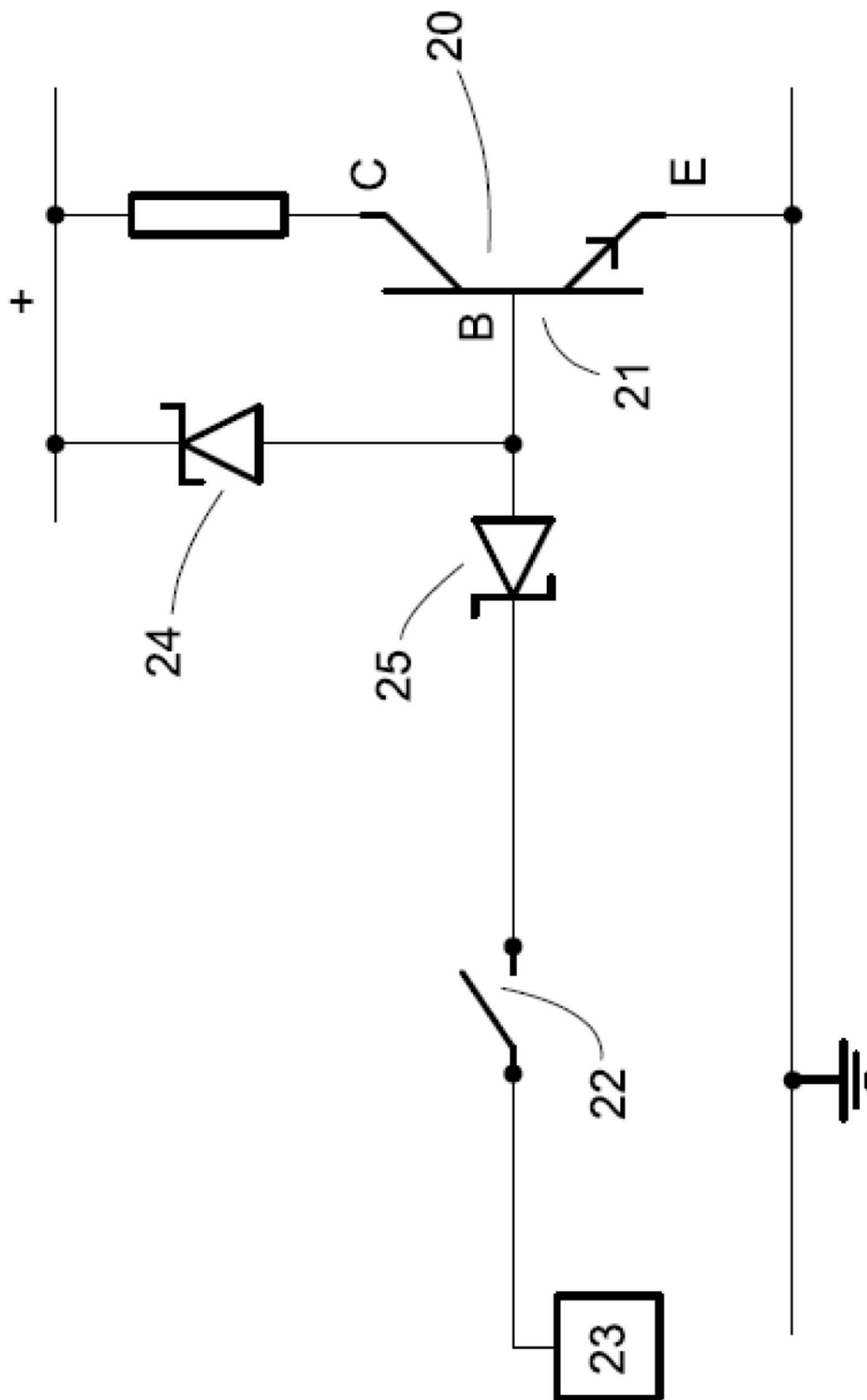
【發明圖式】



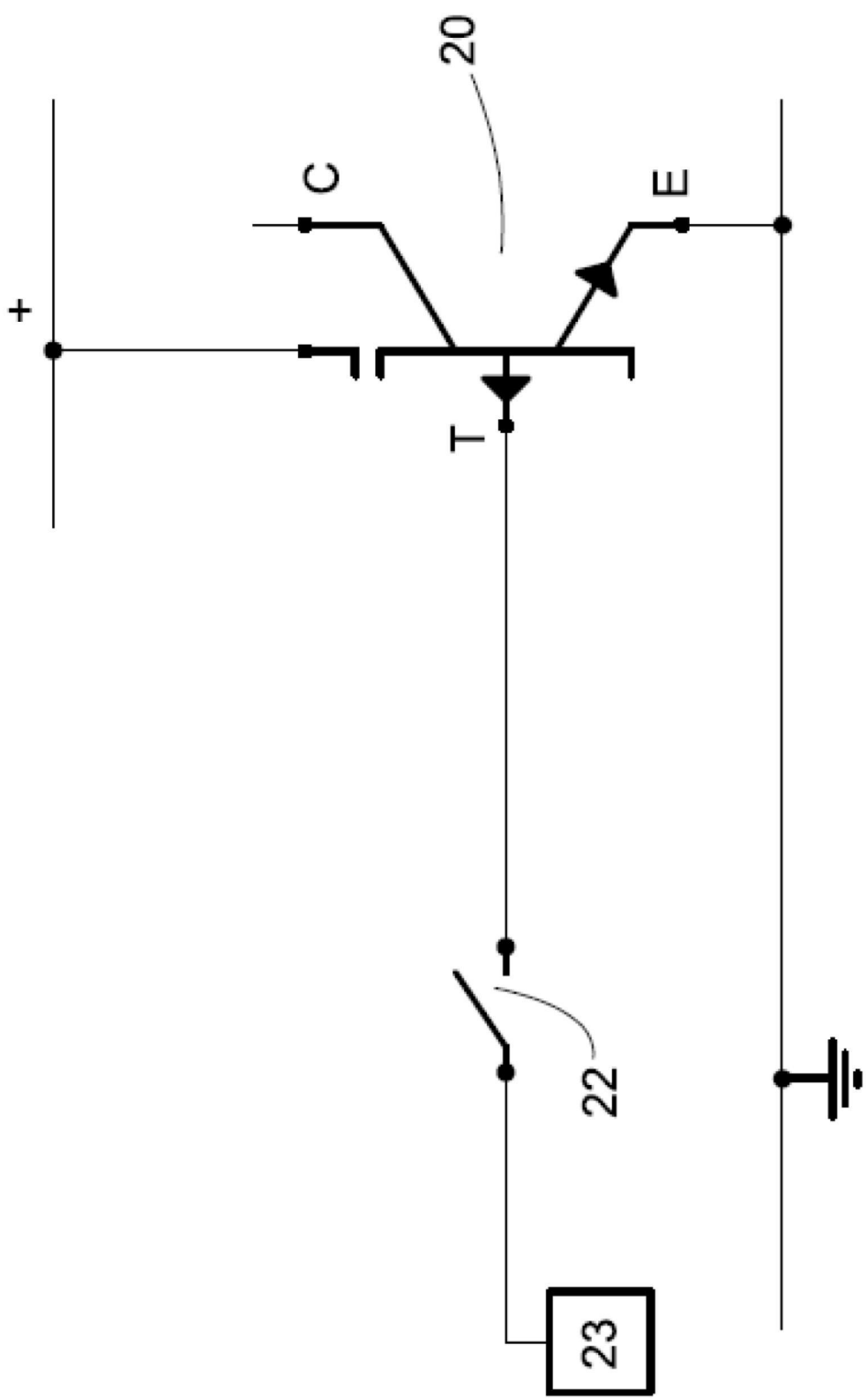
【圖1a】



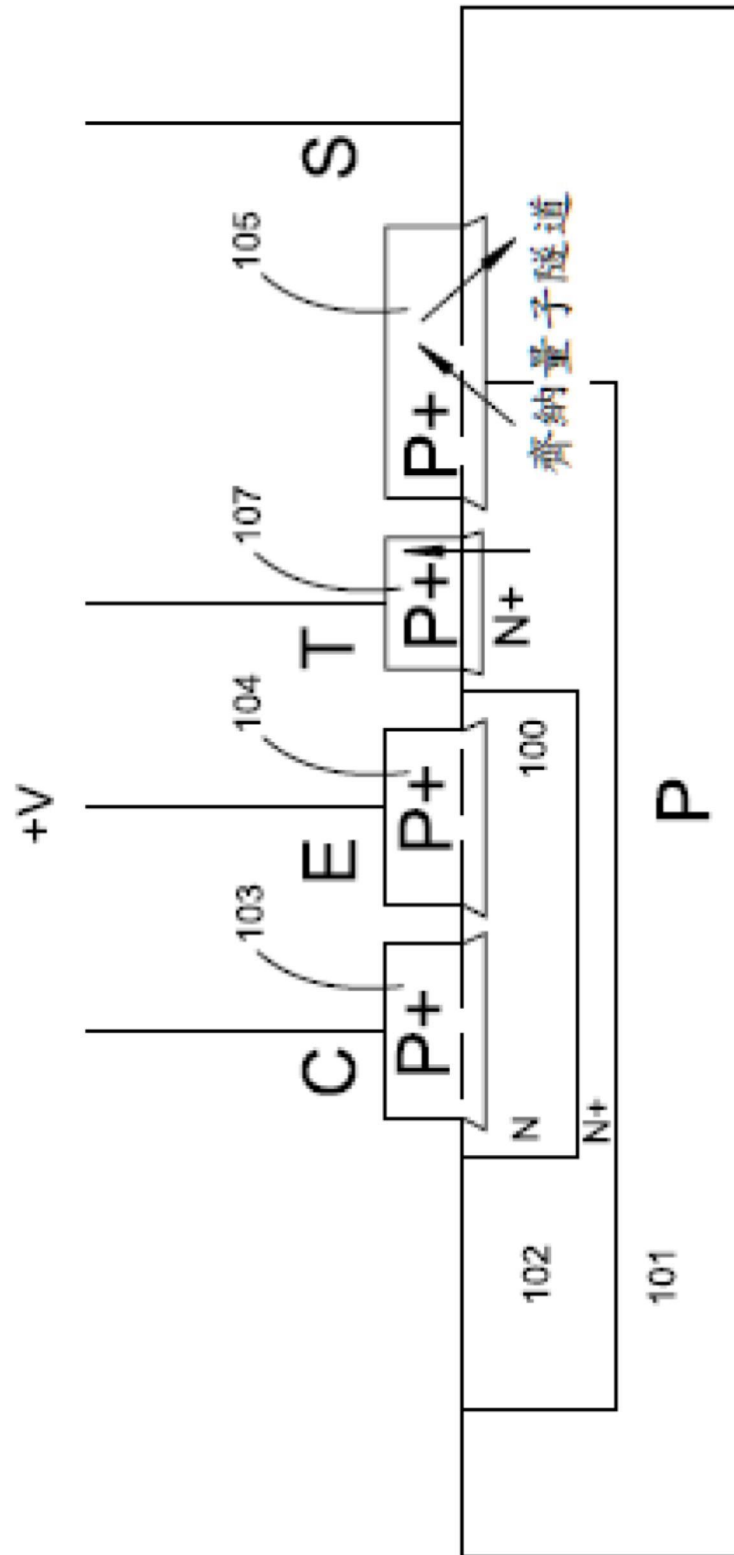
【圖1b】



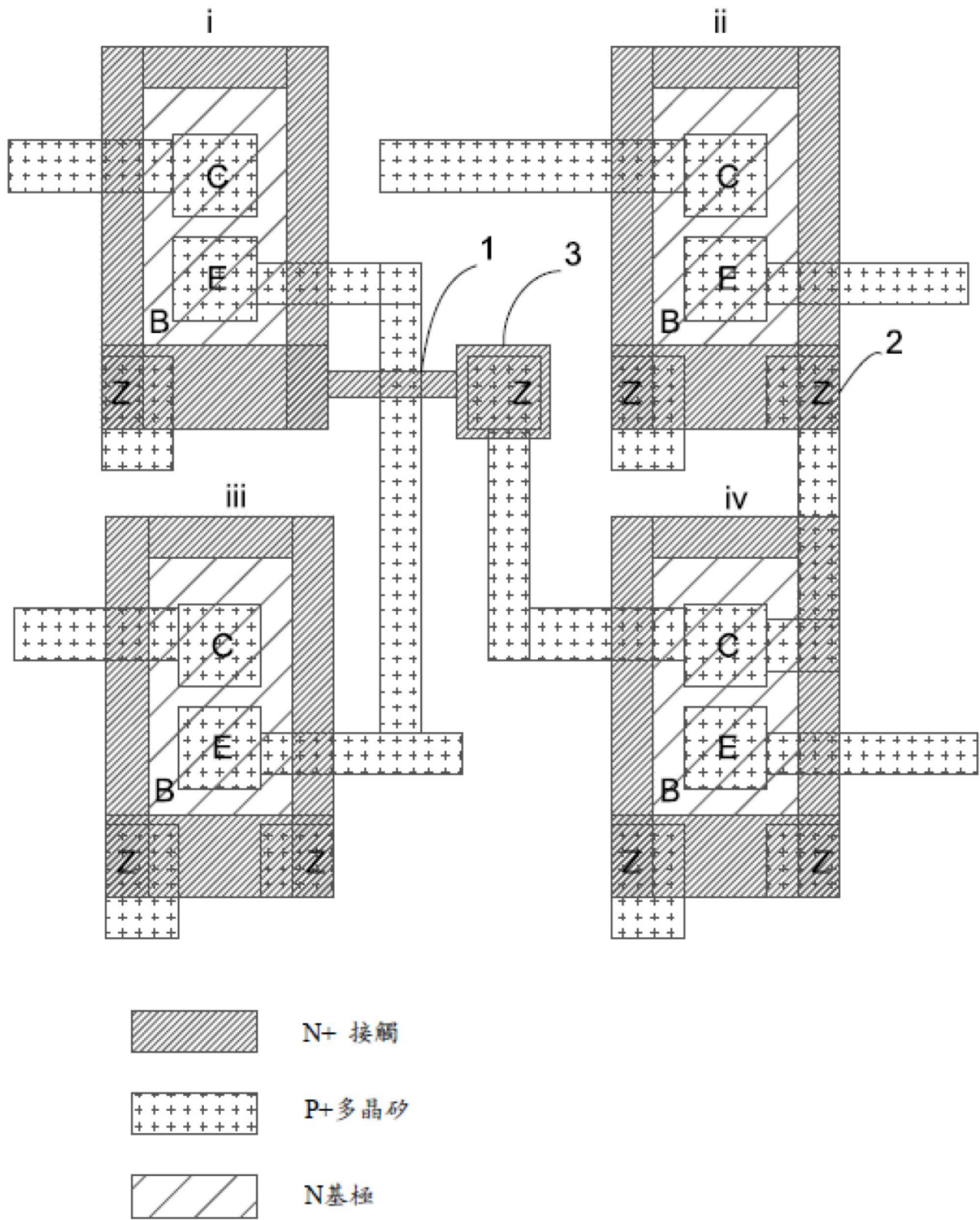
【圖2a】



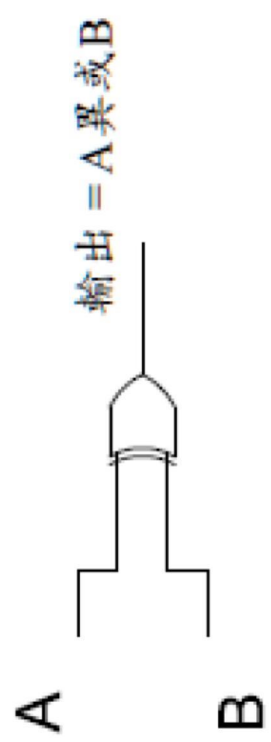
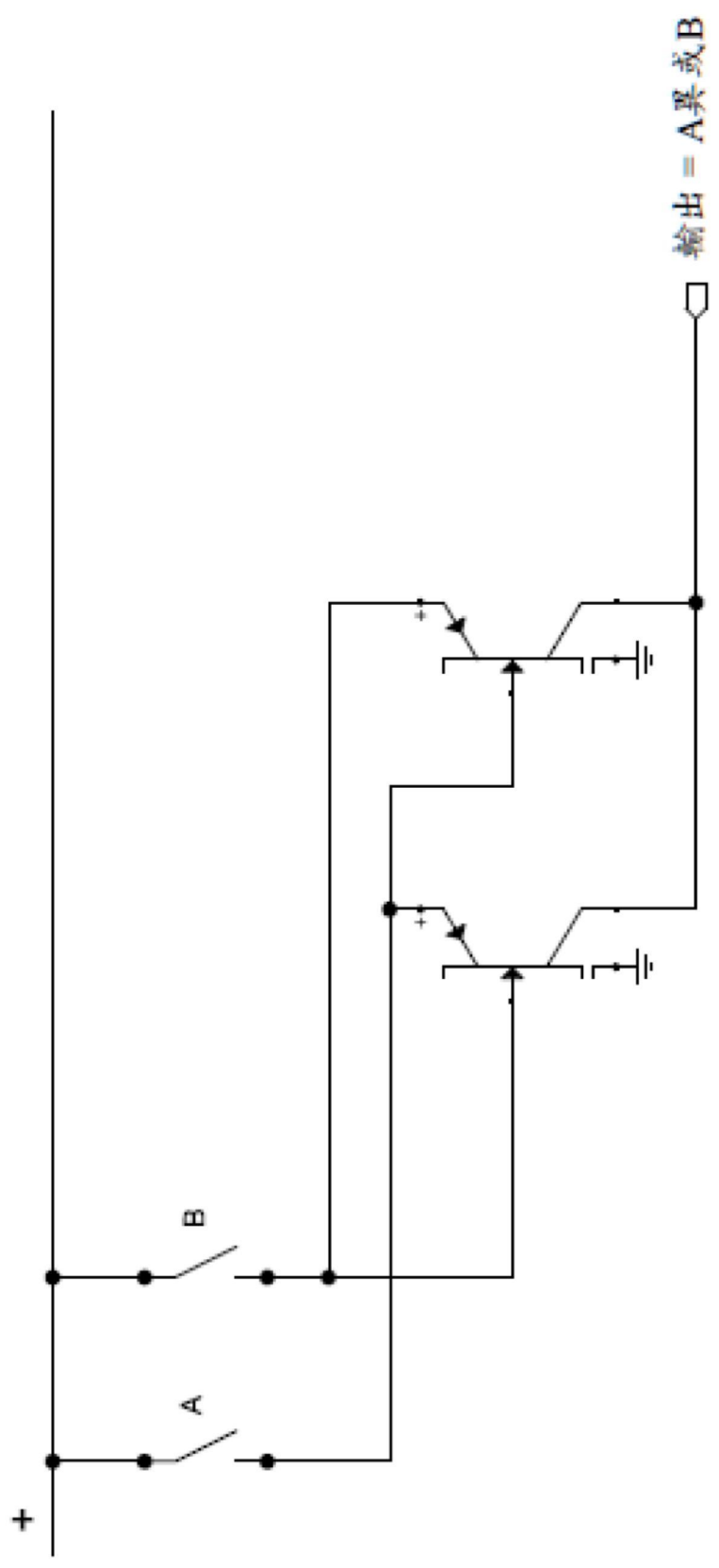
【圖2b】



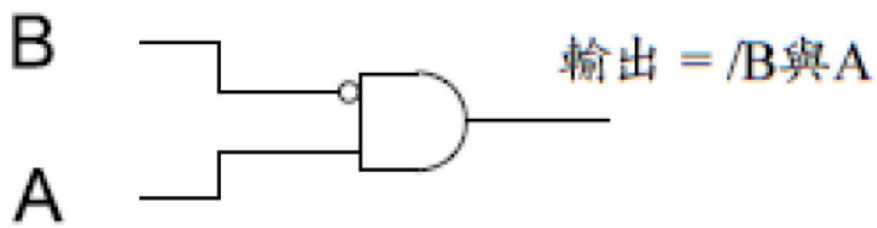
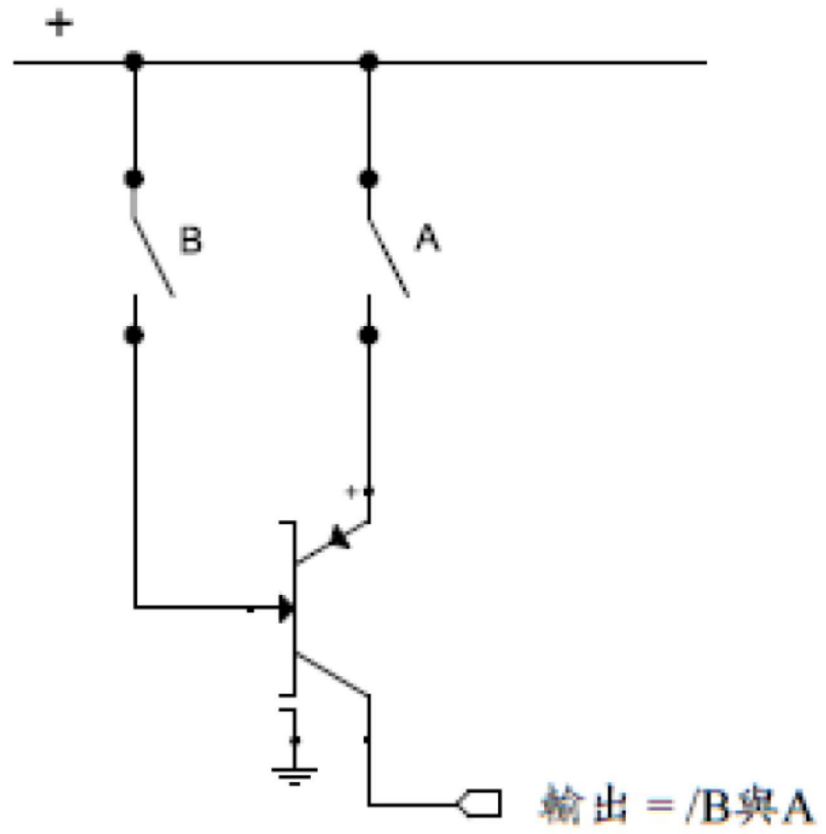
【圖3】



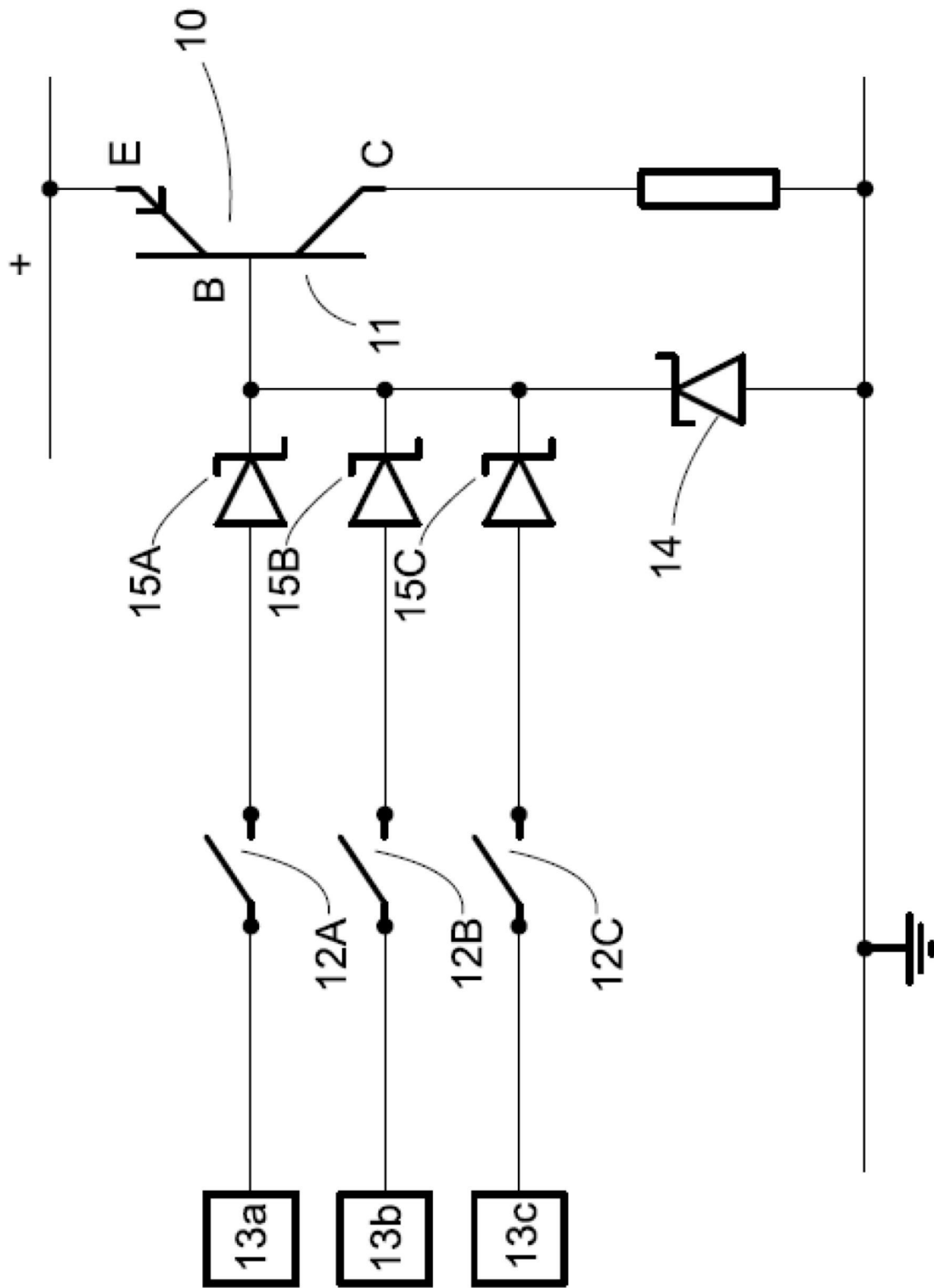
【圖4】



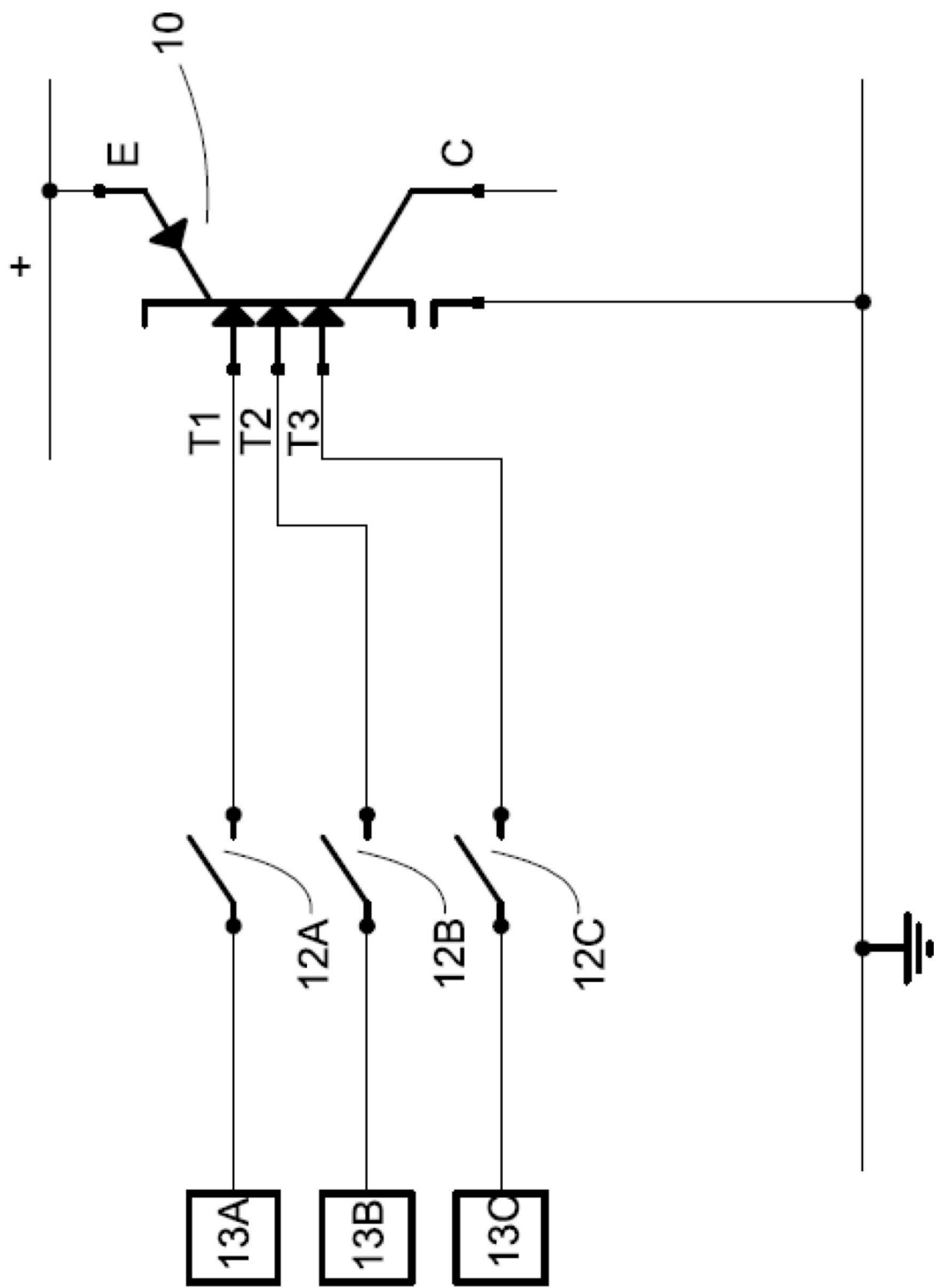
【圖5】



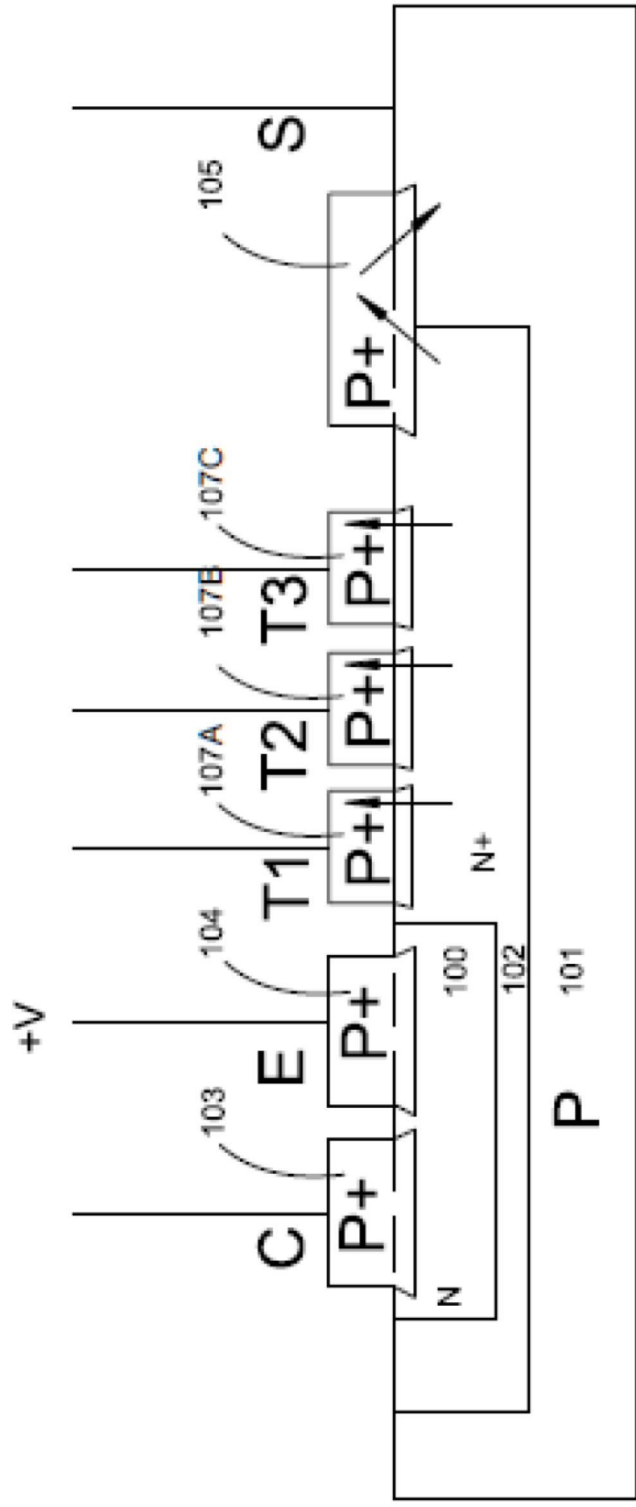
【圖6】



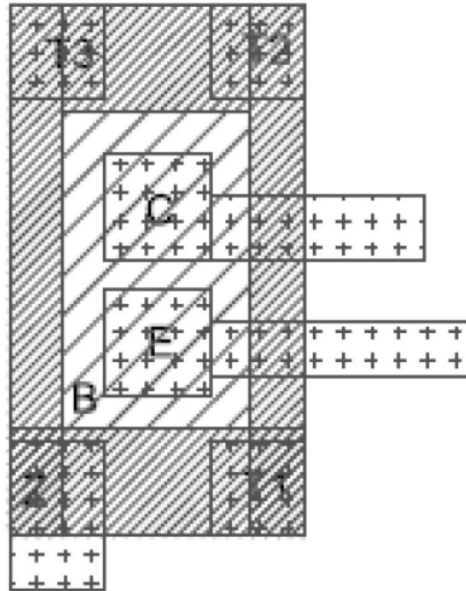
【圖7A】



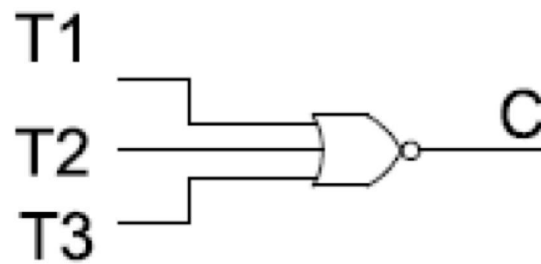
【圖7B】



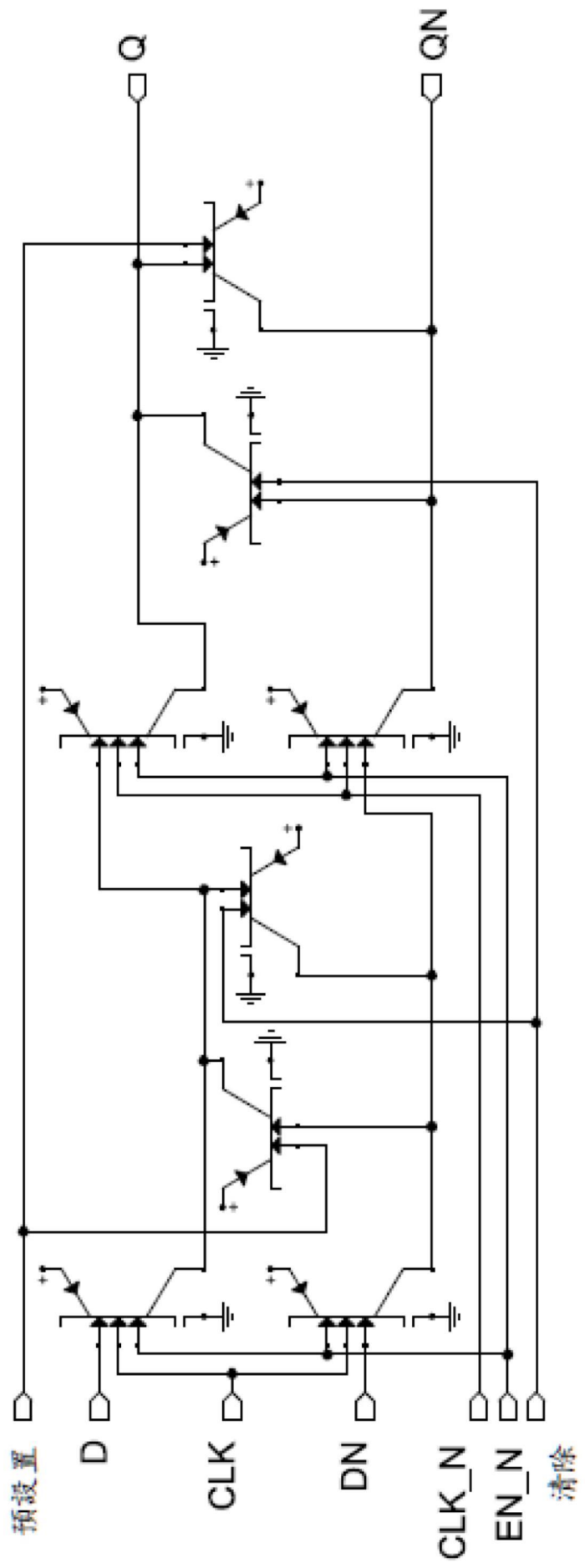
【圖8A】



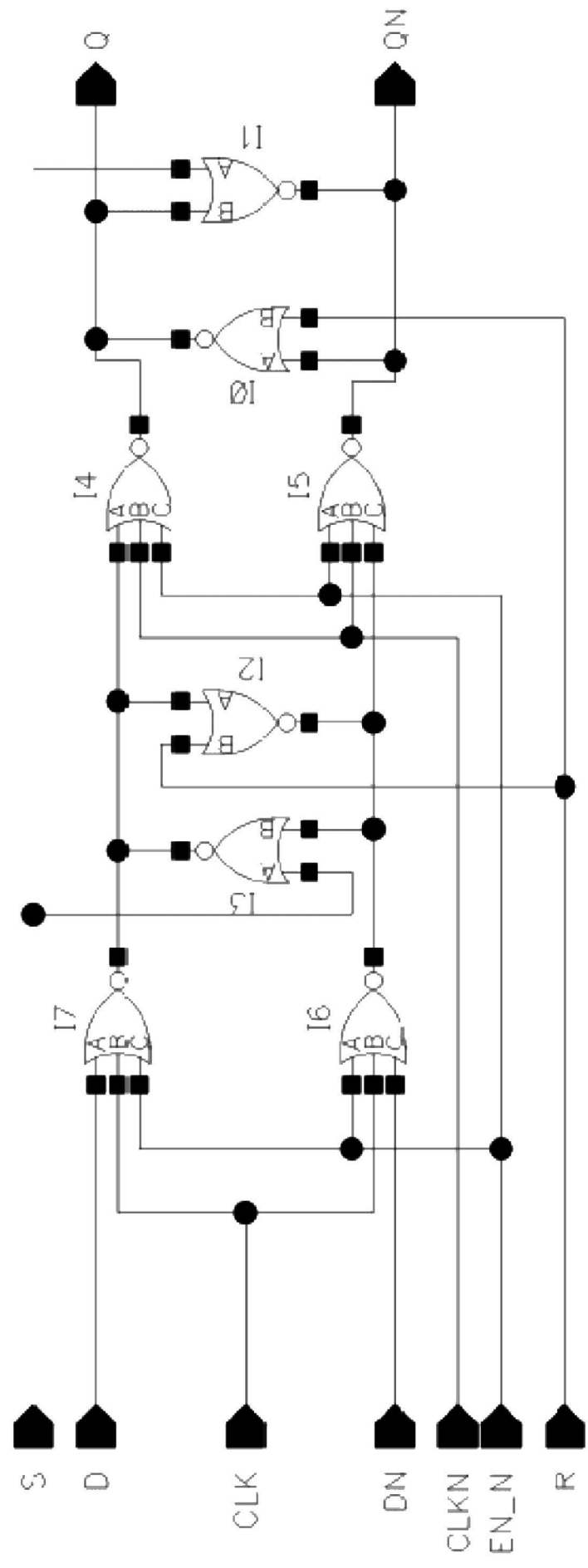
【圖8B】



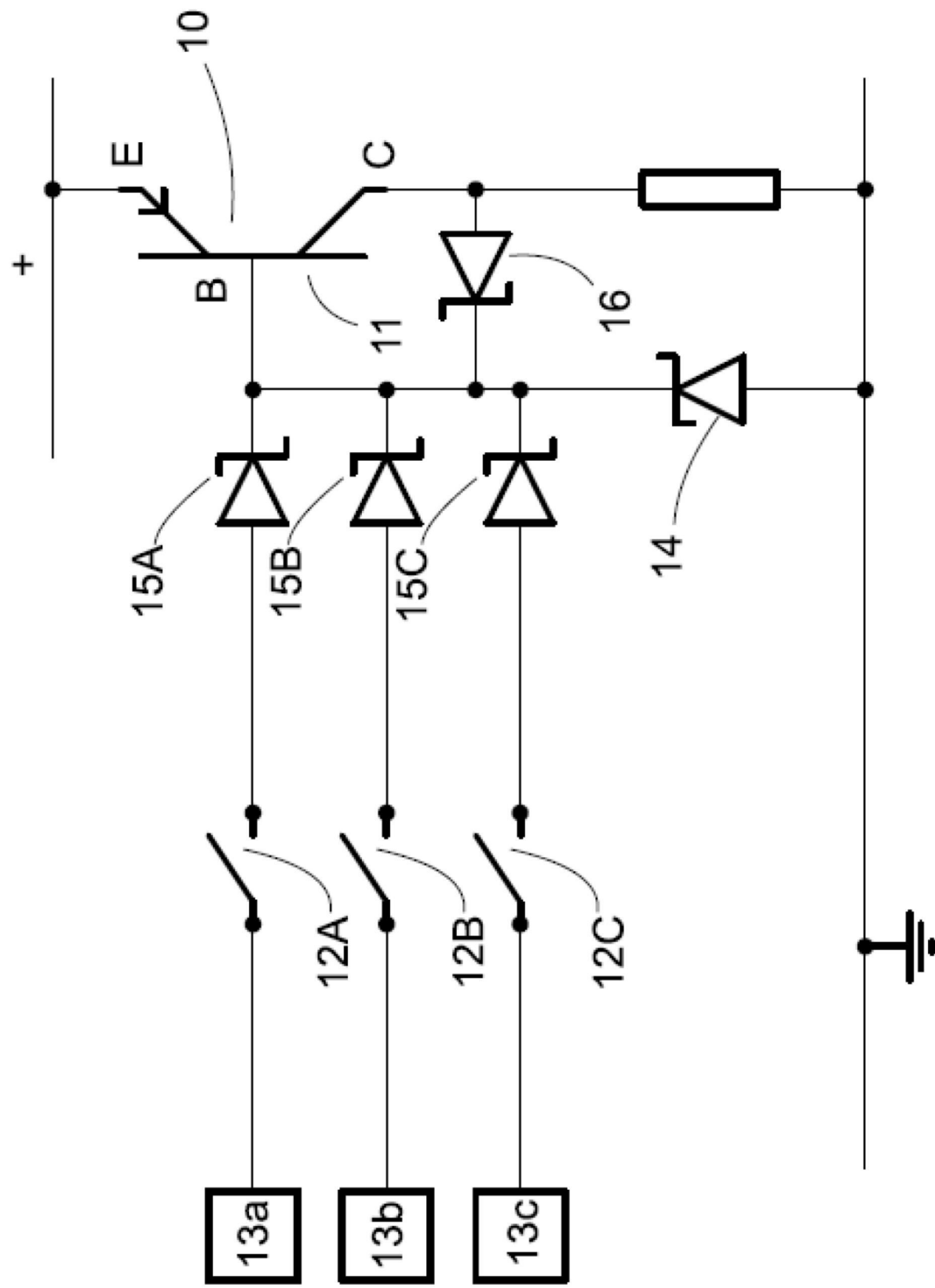
【圖9】



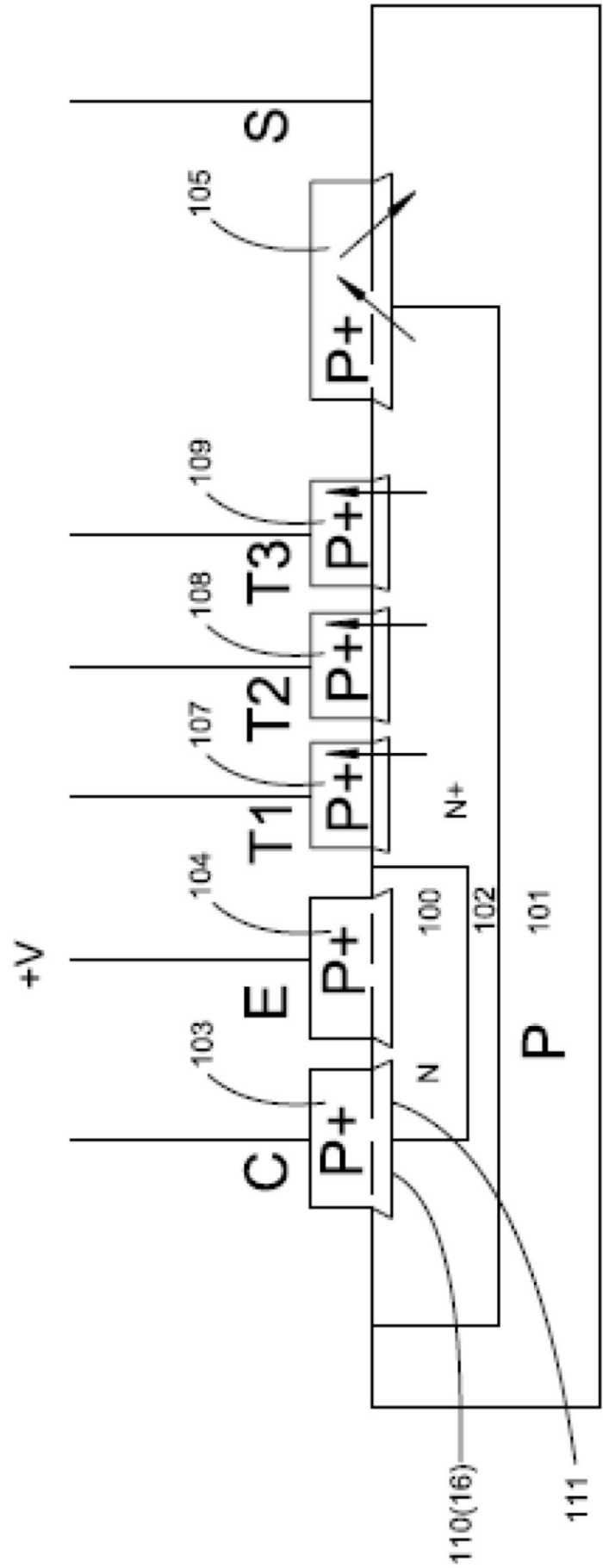
【圖10】



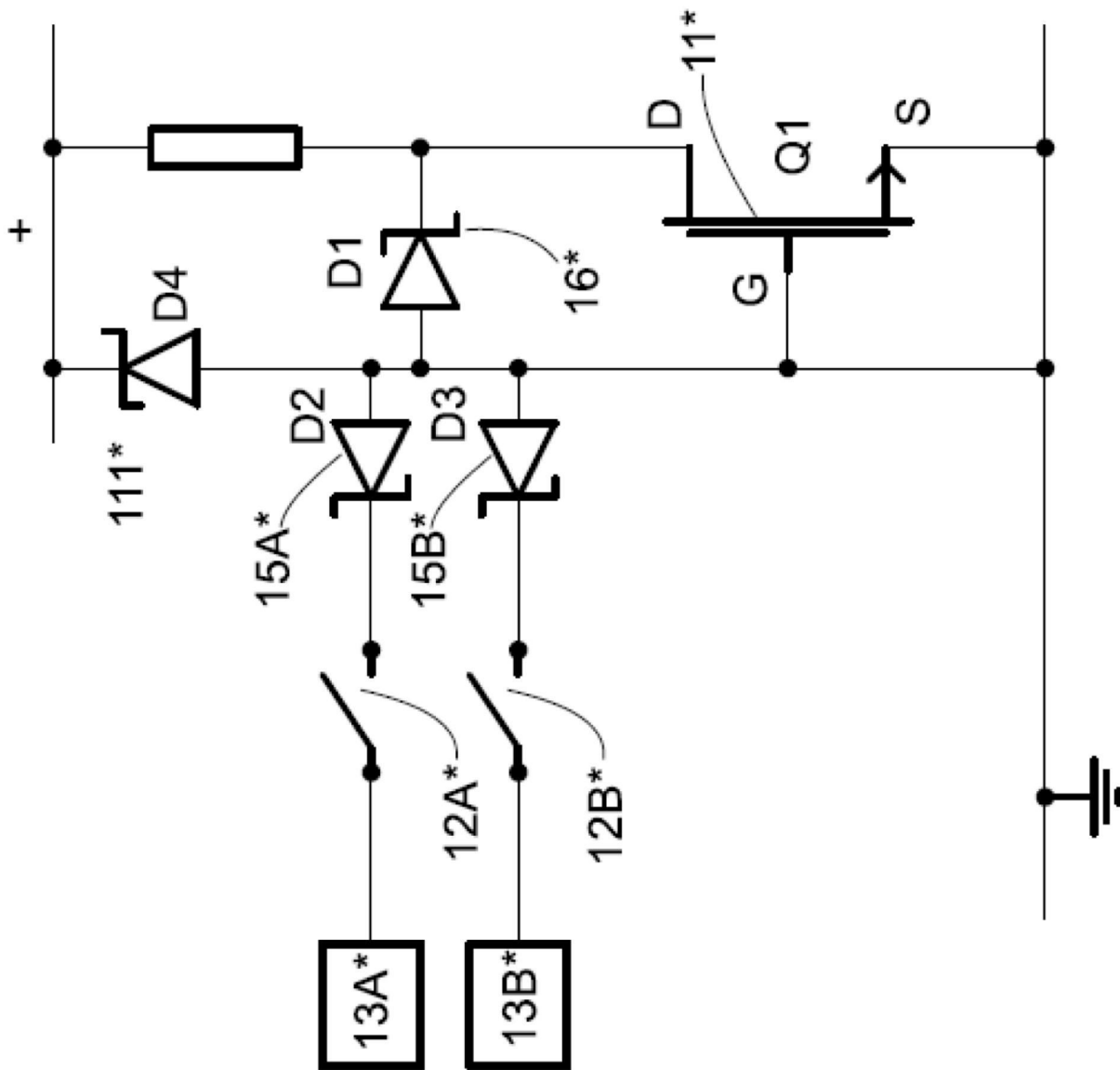
【圖11】



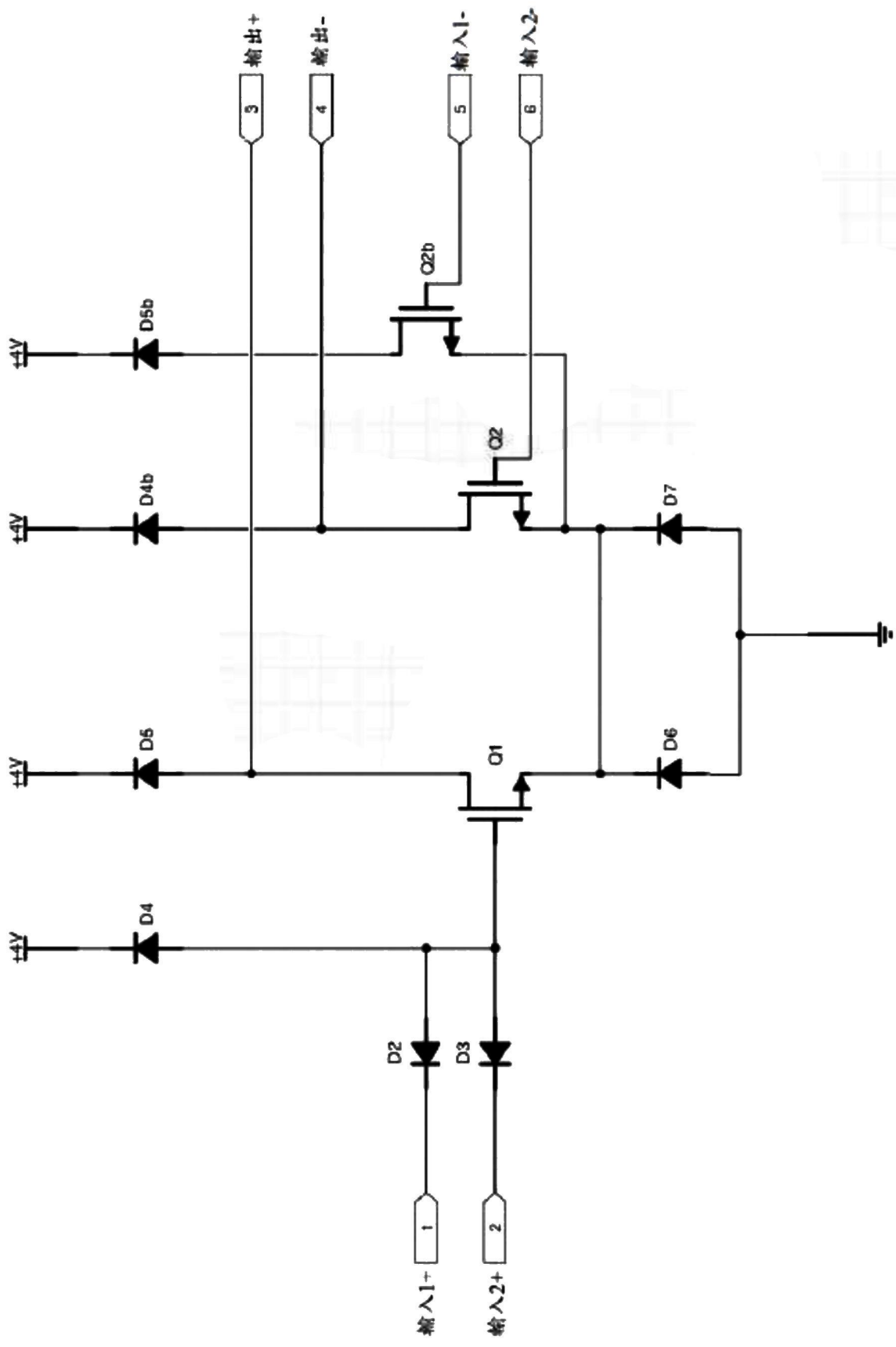
【圖12】



【圖13】



【圖14】



【圖15】