

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4524190号
(P4524190)

(45) 発行日 平成22年8月11日 (2010. 8. 11)

(24) 登録日 平成22年6月4日 (2010. 6. 4)

(51) Int. Cl.	F I
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/08 1 O 2 A
HO 1 L 27/088 (2006. 01)	HO 1 L 21/20
HO 1 L 21/20 (2006. 01)	HO 1 L 27/10 4 6 1
HO 1 L 27/10 (2006. 01)	

請求項の数 16 (全 9 頁)

(21) 出願番号	特願2004-566393 (P2004-566393)	(73) 特許権者	390009531
(86) (22) 出願日	平成15年1月8日 (2003. 1. 8)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2006-513567 (P2006-513567A)		I N T E R N A T I O N A L B U S I N E S S M A S C H I N E S C O R P O R A T I O N
(43) 公表日	平成18年4月20日 (2006. 4. 20)		アメリカ合衆国 1 0 5 0 4 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2003/000562		
(87) 国際公開番号	W02004/064148	(74) 代理人	100108501
(87) 国際公開日	平成16年7月29日 (2004. 7. 29)		弁理士 上野 剛史
審査請求日	平成17年11月18日 (2005. 11. 18)	(74) 代理人	100112690
			弁理士 太佐 種一
		(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 半導体構造体を製造する方法

(57) 【特許請求の範囲】

【請求項 1】

(a) 無歪み領域にメモリ・セルが形成されている半導体基板を準備するステップと、
 (b) 前記半導体基板のうち前記メモリ・セルが形成されている無歪み領域に隣接する部分に歪み層領域を選択的に形成するステップと、

(c) 前記歪み層領域に金属―酸化物―半導体型電界効果トランジスタ (M O S F E T) を形成するステップとを含む、半導体構造体を製造する方法。

【請求項 2】

前記メモリ・セルが、トレンチ型蓄積キャパシタ及び縦型 M O S F E T を有する D R A M セルであり、前記歪み層領域の M O S F E T が支援部の M O S F E T である、請求項 1 に記載の方法。

【請求項 3】

前記半導体基板がシリコンであり、前記ステップ (b) が、S i G e 層及び該 S i G e 層上に歪みシリコン層を形成する、請求項 1 に記載の方法。

【請求項 4】

(イ) 無歪み層領域にメモリ・セルが形成された半導体基板を準備するステップと、
 (ロ) 前記半導体基板のうち前記メモリ・セルが形成されている無歪み領域に隣接して底面および側壁面を有するトレンチを形成するステップと、

(ハ) 前記トレンチに S i G e 層を成長させるステップと、

(ニ) 前記 S i G e 層の上に歪みシリコン層を成長させるステップと、

10

20

(ホ) 前記歪みシリコン層にMOSFETを形成するステップとを含む、半導体構造体を製造する方法。

【請求項5】

前記メモリ・セルが、トレンチ型蓄積キャパシタ及び縦型MOSFETを有するDRAMセルであり、前記歪みシリコン層のMOSFETが支援部のMOSFETである、請求項4に記載の方法。

【請求項6】

前記ステップ(ロ)と前記ステップ(ハ)の間に、前記トレンチの側壁面にスペーサを形成するステップを行う、請求項4に記載の方法。

【請求項7】

前記スペーサの材料がシリコン酸化物又はシリコン窒化物である、請求項6に記載の方法。

【請求項8】

前記ステップ(ハ)が、前記SiGe層をエピタキシャルに成長させる、請求項4に記載の方法。

【請求項9】

前記ステップ(ニ)が、前記歪みシリコン層をエピタキシャルに成長させる、請求項4に記載の方法。

【請求項10】

前記歪みシリコンの層の厚さが2.5nm~10nmである、請求項4に記載の方法。

【請求項11】

(あ) 無歪み層領域にメモリ・セルが形成された半導体基板を準備するステップと、
(い) 前記メモリ・セルが形成されている無歪み領域の上及び前記半導体基板のうち前記無歪み層領域に隣接する領域の表面に少なくとも第1シリコン酸化物層、第1シリコン窒化物層及び第2シリコン酸化物層をこの順番で形成するステップと、

(う) 前記メモリ・セルが形成されている無歪み領域に隣接する領域の前記第1シリコン酸化物層、前記第1シリコン窒化物層、前記第2シリコン酸化物層及び前記第1シリコン酸化物層の下の前記半導体基板の部分を除去することによりトレンチを形成するステップと、

(え) 前記メモリ・セルが形成されている無歪み領域の前記第2シリコン酸化物層を除去するステップと、

(お) 前記トレンチの側壁面にスペーサを形成するステップと、

(か) 前記トレンチ内にSiGe層を成長させるステップと、

(き) 前記SiGe層の上に歪みシリコン層を成長させるステップと、

(く) 前記メモリ・セルが形成されている無歪み領域の前記第1シリコン窒化物層を除去するステップと、

(け) 前記第1シリコン酸化物層の上に第2シリコン窒化物層を形成するステップと、

(こ) 前記歪みシリコン層に浅いトレンチ分離領域を形成し、該浅いトレンチ分離領域により囲まれた歪みシリコン層にMOSFETを形成するステップとを記載の順序で行う、半導体構造体を製造する方法。

【請求項12】

前記メモリ・セルが、トレンチ型蓄積キャパシタ及び縦型MOSFETを有するDRAMセルであり、前記歪みシリコン層のMOSFETが支援部のMOSFETである、請求項11に記載の方法。

【請求項13】

前記スペーサの材料がシリコン酸化物又はシリコン窒化物である、請求項11に記載の方法。

【請求項14】

前記ステップ(か)が、前記SiGe層をエピタキシャルに成長させる、請求項11に記載の方法。

【請求項 15】

前記歪みシリコンの層の厚さが2.5nm～10nmである、請求項11に記載の方法。

【請求項 16】

前記ステップ（か）と前記ステップ（き）との間に、前記SiGe層の上表面が前記第1シリコン窒化物層の上表面よりも下になるまで前記SiGe層を選択的に窪ませるステップを行う、請求項11に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の分野は半導体の処理である。特に、本発明は同一の基板の歪み層領域と無歪み層領域とに半導体デバイスを形成することに関する。

【背景技術】

【0002】

歪みシリコンのチャンネル上に形成された、金属－酸化物－半導体型電界効果トランジスタ（MOSFET：Metal-Oxide-Semiconductor Field Effect Transistor）のような半導体デバイスは移動度と性能において劇的な向上を示すことが判明している。埋め込みDRAM用に同一の半導体チップ上に高密度・低漏れ電流（low-leakage）の動的ランダム・アクセス・メモリ（DRAM：Dynamic Random Access Memory）を備えた高性能の歪みシリコン（strained silicon：ストレインド・シリコン）の論理型MOSFETを連続的に集積化することは、論理支援（support）領域に歪みシリコンを備えながらDRAMアレイ領域に高品質・無欠陥のシリコンを確保することが必要なことから、達成されていない。歪みシリコンは、歪みを生成するのに必要な基板と一緒にすると本質的にシリコンの転位が顕著に増加するが、このことはそれを低漏れ電流のDRAMセルとは両立させなくする。また、DRAMセルの形成に必要なある温度を超える半導体プロセスは現在実施されている歪みシリコンの形成と両立しない。

【0003】

高性能の歪みシリコンの支援MOSFETを低漏れ電流・高密度のDRAMセルとともに同一基板上に形成することが求められている。

【発明の開示】

【発明が解決しようとする課題】

【0004】

したがって、本発明の目的は高性能の歪みシリコンの支援MOSFETを低漏れ電流・高密度のDRAMセルとともに同一の基板上に形成することである。

【課題を解決するための手段】

【0005】

本発明は半導体基板の無歪み層領域に形成されたたとえば低漏れ電流のDRAMセルのような第1の半導体デバイスを開示する。同一の半導体基板上において、無歪み層領域から離隔して、この半導体基板に歪み層領域を選択的に形成した後、この歪み層領域にたとえば高性能のMOSFETのような第2の半導体デバイスを形成する。

【発明を実施するための最良の形態】

【0006】

図1を参照すると、基板10の無歪み層領域に形成されたメモリ・セル12を有するp型シリコン基板10が備えられている。図1において、メモリ・セル12はトレンチ型蓄積キャパシタ14と縦型MOSFET16（これはたとえば米国特許第6225158号（B1）に記載されているように形成しうる）を備えたDRAMセルである。図1にはメモリ・セル12がトレンチ型蓄積キャパシタ14と縦型MOSFET16を有しているように示されているけれども、メモリ・セル12はスタック型キャパシタまたはプレーナ型MOSFETのような他の型のキャパシタとFETを用いて形成しうるという点に留意すべきである。この例では、トレンチ型蓄積キャパシタ14、深トレンチ18、n+型埋め

10

20

30

40

50

込みプレート 20、窒化物／酸化物ノード誘電体 22、 n +型ポリシリコン 24、26、カラー酸化物 28、および n +型埋め込みストラップ拡散領域 30 を備えている。また、縦型 MOSFET 16 はトレンチ上部酸化物 28、深トレンチ 18 の側壁に形成されたゲート酸化物 34、および n +型ポリシリコン・ゲート導体 36 を備えている。図 1～8 を通じてアレイ領域には 2 つのメモリ・セル 12 が示されている点に留意すべきである。しかし、アレイ領域には、少なくとも 1 つのメモリ・セル 12 を任意個数形成しうる点を理解すべきである。

【0007】

基板 10 の無歪み層領域にメモリ・セル 12 を形成した後、基板 10 に歪み層領域を形成して後続する高性能の MOSFET の形成の用に供する。したがって、メモリ・セルを形成した後に歪み層領域と MOSFET を形成しているから、メモリ・セルの形成において使用する高温のようなプロセスの不適合は避けられている。

10

【0008】

図 2 に示すように、パッド膜 38 (これはたとえばパッド窒化物とパッド酸化物層を備える) とゲート導体の露出した部分との上に薄層 40 (たとえばシリコン酸化物) を堆積させる。酸化物層 40 は後続するプロセスにおいてエッチング停止層として機能する。次いで、酸化物層 40 上に別の層 42 (たとえばシリコン窒化物) を堆積させ、シリコン窒化物層 42 上にハードマスク層 44 (たとえばシリコン酸化物) を堆積させる。

【0009】

酸化物のハードマスク層 44 上の阻止レジスト (図示せず) をパターンニングした後、反応性イオン・エッチング法 (reactive ion etch) を用いて、層 38、40、42、44 の露出部分を貫通し、約 100 nm～約 400 nm、より望ましくは約 200 nm の所望の深さまで基板 10 をエッチングする。トレンチ 46 の形成の後、酸化物のハードマスク層 44 から残存する阻止レジストをすべて除去する。

20

【0010】

図 3 を参照して、シリコン窒化物層 42 とトレンチ 46 によって露出されたシリコンとに対して選択性を有する、反応性イオン・エッチング法のような標準のプロセスによって酸化物のハードマスク層 44 を除去する。トレンチ 46 の側壁面に、その上ではシリコンまたはシリコン・ゲルマニウム (SiGe) が核化 (nucleate) しない、シリコン酸化物またはシリコン窒化物のような材料から成るスペーサ 48 を、たとえば既存の堆積法と RIE 法によって形成する。線形傾斜バッファ層手法 (linear graded buffer layer technique) を用いると、トレンチ 46 に低転位密度 (約 10^5 cm^{-2}) の SiGe 層 52 を成長させることができる。成長条件は基板 10 上に SiGe 層 52 を選択的に形成するが、スペーサ 48 上には形成しないようにするのが好都合である。SiGe 層 52 はトレンチ 46 の、露出した底面 54 から上方に SiGe 層 52 がシリコン窒化物層 42 の上表面の上に出るまでエピタキシャル成長させるのが望ましい。過成長の SiGe 層 52 は化学的機械研磨法 (CMP: chemical mechanical polishing) のようなプロセスによってシリコン窒化物層 42 の上表面に至るまで平坦化する。SiGe 層 52 を平坦化するために、当技術分野で知られているシリコン CMP プロセスを用いることができる。

30

【0011】

任意選択で、スペーサ 48 は省略しうるが、スペーサ 48 は、SiGe 層 52 が核化し、側壁面 50 から外方にエピタキシャル成長して SiGe 層 52 中に 2 つの成長前面 (growth front) が形成されるのを防止している。また、スペーサ 48 は SiGe 層 52 によって基板 10 に導入される歪みをチップの支援領域に隔離し、それによりアレイ中の蓄積キャパシタ・セルを当該歪みから隔離している。

40

【0012】

次いで、図 4 に示すように、SiGe 層 52 の上表面 56 を、SF₆ ガスを用いる反応性イオン・エッチング法、または酸化に続く HF ウエット・エッチング法のようなエッチング・プロセスによってシリコン窒化物層 42 の上表面より下の深さまで選択的に窪ませる。引き続いて成長させる歪み層はきわめて薄いから、任意選択で、SiGe 層 52 の凹

50

部を省略してもよい。

【0013】

図5を参照して、SiGe層52の上表面56の上にエピタキシャル・シリコン58の薄層を選択的に成長させる。エピタキシャル・シリコン層58は望ましくは約50nm未満、より望ましくは約2.5nm～約10nmの厚さに成長させる。SiGe層52と薄いエピタキシャル・シリコン層58との間の格子不整合のために、エピタキシャル・シリコン層58は引き続いて形成するFETの移動度を大きくする引っ張り格子歪みを受ける。エピタキシャル・シリコン層58の成長後、熱リン酸から成るウェット・エッチング法のような当技術分野で知られているプロセスによって、シリコン窒化物層42を酸化物層40とエピタキシャル・シリコン層58に対して選択的に除去する。たとえば歪み層58はSiGe層52の上表面にチタン(Ti)金属またはコバルト(Co)金属を堆積させてチタン・シリサイドまたはコバルト・シリサイドの薄層を形成するといった他の方法によっても形成しうる、という点に留意すべきである。歪み層58を形成する方法の別の例には、SiGe層52の上表面にたとえば炭素(C)またはゲルマニウム(Ge)のようなSiGeとは異なる格子定数を有する元素をイオン打ち込みする方法が含まれる。

10

【0014】

図6を参照して、酸化物層40と歪みシリコン層58の上にシリコン窒化物層60を堆積させた後、それをパターニングして、アレイ部を覆われた状態に維持したまま支援部を露出させる。支援部中の活性領域をパターニングして浅いトレンチ分離(STI: shallow trench isolation)62(これはTEOS CVD酸化物またはHDP酸化物のような既知の手段を用いて充填されている)を形成した後、平坦化する。支援部に犠牲酸化物(図示せず)を成長させた後、ウェル用のイオン打ち込み領域を形成する。犠牲酸化物を除去した後、熱酸化物または窒化酸化物(nitrided oxide)のような誘電体薄膜を成長させることにより、歪みシリコン層58上に支援ゲート誘電体64を形成する。歪み層領域(支援部)(the strained layer region(supports))に支援ゲート導体66を形成した後、歪み層領域(アレイ)(the strained layer region(array))に残存しているゲート導体66の部分の阻止マスクを用いて除去する。

20

【0015】

図7を参照して、熱リン酸から成るウェット・エッチング法のような当技術分野で知られている方法により、アレイからシリコン窒化物層60を酸化物層40に対して選択的に除去する。次いで、酸化物層40をシリコン窒化物層38に対して選択的に除去する。支援領域とアレイ領域に、タングステン／タングステン・シリサイドのようなワード線導体68と、シリコン窒化物70のようなキャップ層を堆積させる。

30

【0016】

図8を参照して、支援ゲート66、ワード線68、およびキャップ層70を共通のマスクを用いて同時にパターニングし、エッチングする。任意選択で、支援ゲート66とワード線68を形成するのに、2つのマスクを用いてもよい。たとえば、性能を考慮して、線幅のような各々の特定の特性を個別に最適化するために、あるマスクを用いて支援ゲート66を形成する一方、別のマスクを用いてワード線68を形成する。

【0017】

標準のプロセスが後続するが、それは、支援S/D延長部、ハロー・イオン打ち込みとコンタクト・イオン打ち込み；ゲートのエッチングに起因する何らかの損傷を治癒させるゲート側壁の酸化；スペーサの形成；支援コンタクト・スタッドとビット線コンタクト・スタッド；層間誘電体；および、ビット線導体を含む、配線の上層の堆積とパターニングを含んでいる。

40

【0018】

また、歪み層SiGe領域から無歪み層メモリ・アレイに入るシリコンの転位の伝播が懸念事項であるなら、歪み層(支援)領域(the strained layer (supports) region)と無歪み層(アレイ)領域(the strained layer-free (array) region)との間の緩衝物としてダミーの深い蓄積トレンチを使用してもよい。

50

【0019】

その好適な実施形態について、本発明を上述したが、本発明の本旨と範囲はそれによって限定されない、ということを理解すべきである。それどころか、上述するとともにここに添付した各請求項で述べられている本発明の全範囲から逸脱することなく、上述した本発明に様々な変更をなすことができる。

【図面の簡単な説明】

【0020】

【図1】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【図2】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【図3】本発明の方法による工程群の間に現れる半導体構造の断面図である。

10

【図4】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【図5】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【図6】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【図7】本発明の方法による工程群の間に現れる半導体構造の断面図である。

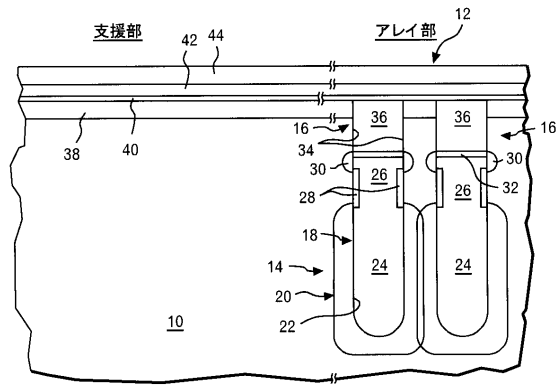
【図8】本発明の方法による工程群の間に現れる半導体構造の断面図である。

【符号の説明】

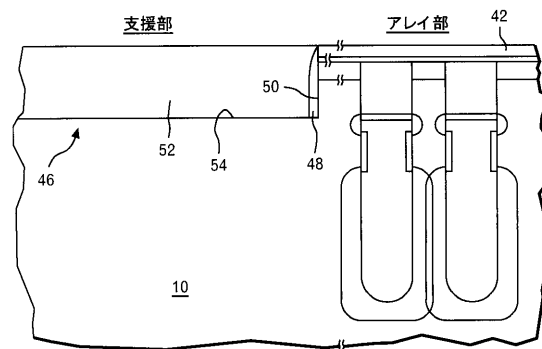
【0021】

10	基板	
12	メモリ・セル	
14	トレンチ型蓄積キャパシタ	20
16	縦型MOSFET	
18	深トレンチ	
20	n+型埋め込みプレート	
22	窒化物／酸化物ノード誘電体	
24	n+型ポリシリコン	
26	n+型ポリシリコン	
28	カラー酸化物	
30	n+型埋め込みストラップ拡散領域	
34	ゲート酸化物	
36	n+型ポリシリコン・ゲート導体	30
38	パッド膜	
40	薄層	
42	シリコン窒化物層	
44	ハードマスク層	
46	トレンチ	
48	スペーサ	
52	SiGe層	
56	上表面	
58	エピタキシャル・シリコン	
58	歪みシリコン層	40
60	シリコン窒化物層	
62	浅トレンチ分離(STI)	
64	支援ゲート誘電体	
66	支援ゲート導体	
68	ワード線導体	
70	シリコン窒化物	

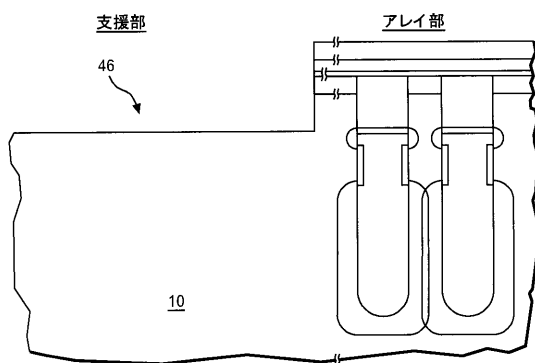
【図 1】



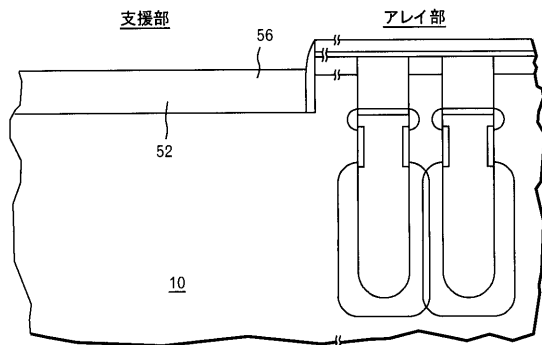
【図 3】



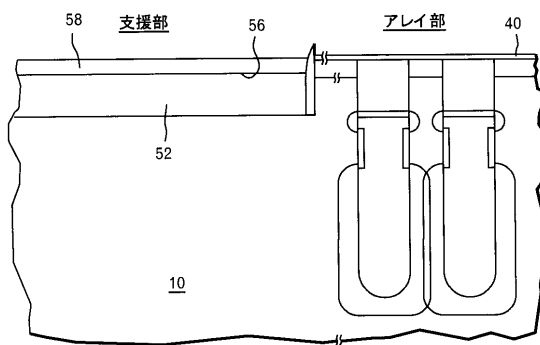
【図 2】



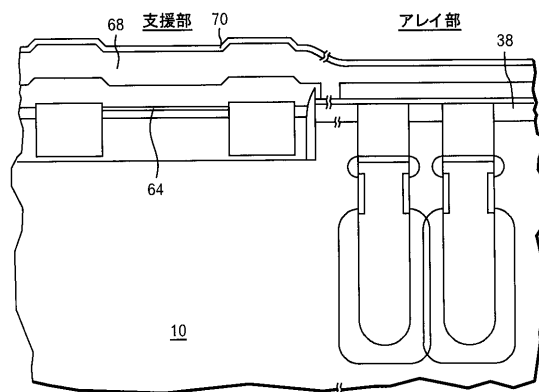
【図 4】



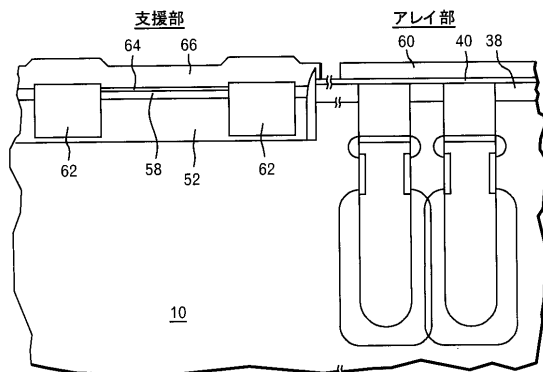
【図 5】



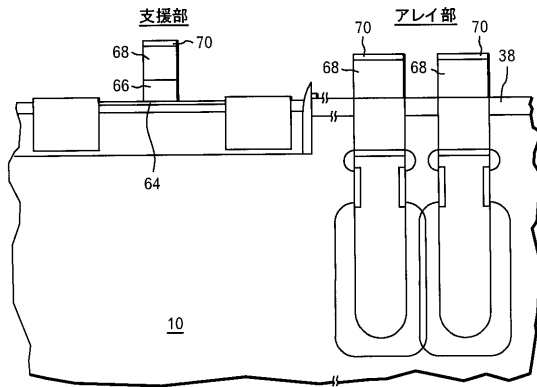
【図 7】



【図 6】



【図 8】



フロントページの続き

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 マンデルマン、ジャック、エイ

アメリカ合衆国 2 8 7 3 1 ノース・カロライナ州フラット ロック、クレアモント ドライブ
1 1

(72)発明者 ギャムビーノ、ジェフリー、ピー

アメリカ合衆国 0 5 4 9 4 バーモント州 ウェストフォード、ハントレイ ロード 9 8

(72)発明者 ワン、ジェン

アメリカ合衆国 1 2 5 9 0 ニューヨーク州 ワッピンジャーズ フォールズ、ホワイトゲート
ドライブ 1 5、アパートメント ディー

審査官 宇多川 勉

(56)参考文献 特開2001-338988 (JP, A)

特開2001-257351 (JP, A)

特開2004-165197 (JP, A)

特開平10-223537 (JP, A)

特開平11-340337 (JP, A)

特開平08-017694 (JP, A)

特開2001-144276 (JP, A)

特開2002-343880 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234

H01L 21/20

H01L 27/088

H01L 27/092

H01L 29/78

H01L 27/10