(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-228582
(P2004-228582A)
(43)公開日　平成16年8月12日(2004.8.12)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 21/20	H01L 21/20		5F041
H01L 33/00	H01L 33/00	C	5F052

審査請求 未請求　請求項の数 16　OL　（全 9 頁）

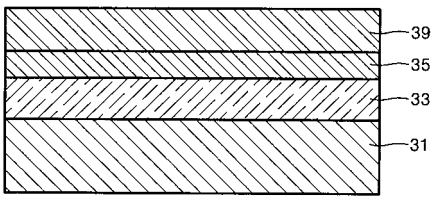
(21)出願番号　特願2004-12768(P2004-12768)
(22)出願日　平成16年1月21日(2004.1.21)
(31)優先権主張番号　2003-004106
(32)優先日　平成15年1月21日(2003.1.21)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞４１６
(74)代理人　100064414
弁理士　磯野　道造
(72)発明者　李　庭　旭
大韓民国　京畿道　水原市　靈通区　網浦洞　４８８番地　碧山アパート１１１棟　１７０３号
(72)発明者　劉　址　範
大韓民国　京畿道　城南市　盆唐区　書▲見▼２洞　３０１番地　孝子村三▲換▼アパート５０７棟　６０４号

最終頁に続く

(54)【発明の名称】半導体素子の製造方法

(57)【要約】
【課題】半導体素子の製造方法を提供する。
【解決手段】基板３１上に、第１半導体層３３、マスク層３５及び金属層３９を順次に積層する第１段階と、金属層３９を陽極酸化してナノサイズのホール（ナノホール）が多数形成される金属酸化物層に変化させる第２段階と、ナノホールが第１半導体層３３の表面まで延びるように金属酸化物層をマスクとして前記マスク層３５をエッチングする第３段階と、金属酸化物層を除去する第４段階と、マスク層及び第１半導体層の上面に第２半導体層を蒸着する第５段階と、を含む半導体素子の製造方法である。格子不整合によって発生する欠陥密度を減少させ、欠陥分布を分散させることができる。
【選択図】図３Ａ



【特許請求の範囲】
【請求項１】
基板上に、第１半導体層、マスク層及び金属層を順次に積層する第１段階と、
前記金属層を陽極酸化してナノサイズのホールが多数形成された金属酸化物層を形成する第２段階と、
前記ナノサイズのホールが前記第１半導体層の表面まで延びるように前記金属酸化物層をマスクとして前記マスク層をエッチングする第３段階と、
前記金属酸化物層をエッチングして除去する第４段階と、
前記マスク層及び前記第１半導体層の上面に第２半導体層を蒸着する第５段階と、を含むことを特徴とする半導体素子の製造方法。
【請求項２】
前記ホールの直径のサイズは、１０ｎｍ～５００ｎｍであることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項３】
前記ホールは、全体面積に対し５０％以内の占有面積率で形成されることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項４】
前記マスク層は、５０ｎｍ～５００ｎｍの厚さに形成されることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項５】
前記第１半導体層及び前記基板は互いに格子定数が相異することを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項６】
前記基板は、サファイア、Ｓｉ、ＳｉＣ、$MgAl_2O_4$、$NdGaO_3$、$LiGaO_2$、ＺｎＯ、ＭｇＯのうち少なくとも一種を含む無機物結晶、ＧａＰ、ＧａＡｓのうち少なくとも一種を含む３－５族化合物半導体、またはＧａＮを少なくとも含む３族窒化物半導体により形成されていることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項７】
前記第１半導体層及び第２半導体層は、窒化物半導体であることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項８】
前記窒化物半導体は、ＧａＮ、ＩｎＧａＮ、ＡｌＧａＮ、ＡｌＩｎＧａＮ、またはＩｎＧａＮＡｓで表わされる少なくとも一種の化合物から構成されていることを特徴とする請求項７に記載の半導体素子の製造方法。
【請求項９】
前記マスク層は、多結晶半導体、誘電物質、または金属で形成されていることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項１０】
前記多結晶半導体は、多結晶シリコンまたは多結晶窒化物から構成されていることを特徴とする請求項９に記載の半導体素子の製造方法。
【請求項１１】
前記誘電物質は、酸化珪素、酸化チタン、または酸化ジルコニウムから構成されていることを特徴とする請求項９に記載の半導体素子の製造方法。
【請求項１２】
前記金属は、１２００℃以上の融点を有することを特徴とする請求項９に記載の半導体素子の製造方法。
【請求項１３】
前記金属は、チタンまたはタングステンで構成されていることを特徴とする請求項１２に記載の半導体素子の製造方法。
【請求項１４】

前記金属層は、アルミニウムで構成されていることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項１５】
前記第３段階で、
前記エッチングは、ドライエッチングであることを特徴とする請求項１に記載の半導体素子の製造方法。
【請求項１６】
前記第５段階で、
前記マスク層の前記ホール内に電荷保存物質をさらに蒸着する工程を含むことを特徴とする請求項１に記載の半導体素子の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は半導体素子の製造方法に係り、さらに詳細には欠陥成長が抑制される半導体素子の製造方法に関する。
【背景技術】
【０００２】
従来から、白色ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）の光源であるＵＶ－ＬＥＤの製造工程において発生した基板の欠陥密度が、ＬＥＤの発光効率を低下させることが知られている。そして、ＧａＮ系化合物半導体がサファイア基板上で成長する場合、基板に対する格子の不整合によって発生した一般にスレッディングディスロケーションと呼ばれる欠陥も消滅せずに表面まで成長することになる。一方この欠陥は、表面まで成長する過程においてＩｎＧａＮ活性層の内部方向にも成長して発光効率の低下に寄与することになる。なお、ＩｎＧａＮ活性層のＩｎ組成が高いブルーＬＥＤまたはグリーンＬＥＤでは、このような欠陥が発光効率に及ぼす影響が小さいと報告されているが、Ｉｎ組成が低いＵＶ－ＬＥＤでは、同影響が大きいとの報告がなされている。
【０００３】
従来ＬＥＤの製造技術では、格子定数の不一致を緩和させて初期成長されるＧａＮ内部の欠陥生成を最小化するために、ＡｌＮ、ＡｌＧａＮ、ＩｎＧａＮ、ＺｎＯ、ＳｉＣ等の緩衝層を使用するか、またはストレスを調節できる多層構造を成長させる方法を採用している。または、ＥＬＯＧ（Ｅｐｉｔａｘｉａｌ Ｌａｔｅｒａｌ Ｏｖｅｒ Ｇｒｏｗｔｈ）、ＰＥＮＤＥＯ、ＬＥＰＳの側面成長を利用して選択的に欠陥の影響を受けない領域を形成する方法を使用する。
【０００４】
図１は、ＥＬＯＧを利用して成長させた従来のＬＥＤを示す斜視図であり、図２は同断面図である。
図１及び図２を参照して説明すると、基板１１上に第１ＧａＮ層１３が積層し、その上部に第１ＧａＮ層１３の一部面積を遮蔽して欠陥Ｄの垂直方向の成長を阻止させるマスク層１５がストライプパターンに形成し、さらに第１ＧａＮ層１３及びマスク層１５の上部に第２ＧａＮ層１７が再成長する。
【０００５】
サファイア製の基板１１と第１ＧａＮ層１３との間の格子不整合によって発生する欠陥Ｄの一部は、図示するように垂直方向に成長し、欠陥Ｄのうちマスク層１３に近接して成長する欠陥はマスク層１３に遮蔽されず、マスク層１５に到達すればマスク層１５を覆い包むように側方向に屈折して成長する。そして、マスク層１５の両側辺から中心方向に成長する欠陥は、マスク層１５の中心付近で合って、再び垂直方向に成長する。このような欠陥Ｄの成長パターンによってマスク層１５の中心部から両側までの領域は、欠陥Ｄの発生が抑制されて発光効率が局所的に高まる。
【０００６】
しかし、従来のＥＬＯＧによる成長法は、欠陥Ｄが、隣接するマスク層１５とマスク層

１５との間の領域では相変わらず存在していることになる。このため、従来の製造技術では、マスク層１３により欠陥Ｄの発生が抑制されている欠陥密度の低い領域から放出される光の発光効率とその他の欠陥密度の高い領域での発光効率との差が発生し、全体的に発光分布が不均一になる短所を有する。このため、ＬＥＤ以外の半導体素子を製造する場合も含めて、格子定数の不一致によって生成される欠陥を最小限に抑制できる製造方法が要求されている。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

本発明が解決しようとする技術的課題は、前記従来技術の問題点を改善するためのものであって、欠陥密度を低下させ、欠陥分布を均一にできる半導体素子の製造方法を提供することである。

【課題を解決するための手段】

【０００８】

前記課題を達成するために、本発明は、基板上に、第１半導体層、マスク層及び金属層を順次に積層する第１段階と、前記金属層を陽極酸化してナノサイズのホール（以下、ナノホールという）が多数形成された金属酸化物層に変化させる第２段階と、前記ナノホールが前記第１半導体層の表面まで延びるように前記金属酸化物層をマスクとして前記マスク層をエッチングする第３段階と、前記金属酸化物層をエッチングして除去する第４段階と、前記マスク層及び前記第１半導体層の上面に第２半導体層を蒸着する第５段階と、を含むことを特徴とする半導体素子の製造方法を提供する。

【０００９】

前記ナノホールは、直径のサイズが１０ｎｍ～５００ｎｍを有することが望ましく、全体面積の５０％以内の占有面積率に形成することが望ましい。

前記マスク層は、５０ｎｍ～５００ｎｍの厚さに形成することが望ましい。

前記第１半導体層及び前記基板は互いに格子定数が相異することが望ましい。

【００１０】

前記基板は、サファイア、Ｓｉ、ＳｉＣ、$MgAl_2O_4$、$NdGaO_3$、$LiGaO_2$、ＺｎＯ、ＭｇＯのうち少なくとも一種を含む無機物結晶、ＧａＰ、ＧａＡｓのうち少なくとも一種を含む３－５族化合物半導体、またはＧａＮを少なくとも含む３族窒化物半導体で形成される。

前記第１半導体層及び第２半導体層は、窒化物半導体で形成するが、前記窒化物半導体は、ＧａＮ、ＩｎＧａＮ、ＡｌＧａＮ、ＡｌＩｎＧａＮ、またはＩｎＧａＮＡｓのうち少なくとも一種を含んで形成される。

前記マスク層は、多結晶半導体、誘電物質、または金属で形成できる。ここで、前記多結晶半導体は、多結晶シリコンまたは多結晶窒化物を含み、前記誘電物質は、酸化珪素、酸化チタン、または酸化ジルコニウムを含み、前記金属は、１２００℃以上の融点を有するものであって、チタンまたはタングステンで形成することが望ましい。

【００１１】

前記第３段階で、前記エッチングはドライエッチングであって、エッチングの実行後、前記マスク層のナノホール内に電荷保存物質がさらに蒸着される。

前記第５段階で、前記マスク層のナノホール内に電荷保存物質をさらに蒸着することが望ましい。

【００１２】

本発明は、ＡＡＯ（Ａｎｏｄｉｃ Ａｌｕｍｉｎｉｕｍ Ｏｘｉｄｅ）工法を利用してナノパターンのマスク層を形成することによって欠陥密度を低下させ、欠陥分布を均一にする半導体素子の製造方法を提示する。

【発明の効果】

【００１３】

本発明に係る半導体素子の製造方法によって量子点を有するマスク層で活性層が形成さ

れる場合、発光素子は量子点内にトラップされる電子の数が少ないので低い駆動電圧でも光を放出させ、界面で発生できる欠陥の成長を抑制して発光効率を向上させうる。

【発明を実施するための最良の形態】

【００１４】

以下、図面を参照して本発明の実施例による半導体素子の製造方法を詳細に説明する。図３Ａ～図３Ｅは、欠陥の成長を抑制する本発明の実施例による半導体素子の製造方法を示す工程図である。

【００１５】

まず、図３Ａに示すように、基板３１上に第１半導体層３３を積層し、その上部にマスク層３５及び金属層３９を順次に積層する。このマスク層３５の厚みは、５０ｎｍ～５００ｎｍの厚さで形成されている。基板３１としては、サファイア、Ｓｉ、ＳｉＣ、$MgAl_2O_4$、$NdGaO_3$、$LiGaO_2$、ＺｎＯ、ＭｇＯのうち少なくとも一種を含む無機物結晶、ＧａＰまたはＧａＡｓのうち少なくとも一種を含む３－５族化合物半導体、ＧａＮを少なくとも含む３族窒化物系半導体を利用できる。ここで、マスク層３５と金属層３９との間にＴｉのような犠牲層を介在させれば、マスク層３５と金属層３９との接合を幇助することができる。

【００１６】

次いで、図３Ｂに示すように、金属層３９を陽極酸化させてナノホールが多数配列する金属酸化物層３９ａを形成する。金属層３９としては、主にアルミニウムが使用され、アルミニウムを陽極酸化させれば、アルミナに変化しつつ表面からナノホールが多数形成される。ここで、ナノホールの直径のサイズは、１０ｎｍ～５００ｎｍとするが、１００ｎｍ以下の直径を有するように形成することが望ましい。さらに、これらナノホールは、全体面積の５０％以内の占有面積率を有している。

【００１７】

図３Ｃは、ドライエッチング工程を示すが、金属酸化物層３９ａをエッチングマスクとしてマスク層３５をエッチングすることによって金属酸化物層３９ａに配列されたナノホールが第１半導体層３３の表面まで延びるように形成できる。

ドライエッチング工程の実行後、金属酸化物層３９ａをエッチングさせて除去すれば、図３Ｄに示すように第１半導体層３３の表面にはナノパターンを有するマスク層３５だけが残留する。マスク層３５としては、多結晶シリコン、多結晶窒化物半導体のような多結晶半導体、酸化珪素（ＳｉＯｘ）、窒化珪素（ＳｉＮｘ）、酸化チタン（ＴｉＯｘ）、酸化ジルコニウム（ＺｒＯｘ）のような酸化物・窒化物（誘電物質）またはこのような多層膜以外に１２００℃以上の融点を有するチタン（Ｔｉ）、タングステン（Ｗ）のような高融点金属を利用することができる。

【００１８】

マスク層３５及び第１半導体層３３の上部に、第２半導体層３８を蒸着させれば、図３Ｅに示すように半導体素子が形成される。ナノパターンを有するマスク層３５をマスクとして第２半導体層３８を再成長させる場合、選択的成長を通じて初期発生した欠陥の伝播を遮断できる。また、ナノパターンの上部に第２半導体層３８を連続して再成長させる場合、界面でのストレス異常分布を最小化させて半導体素子の構造を安定的に維持できる。第１半導体層３３及び第２半導体層３８としては、ＧａＮのような窒化物半導体を利用できるが、半導体素子の種類によって多様な物質を利用できる。また、第２半導体層３８の上面に、他の半導体層の複数を蒸着させることができる。

【００１９】

図４は、図３Ａ～図３Ｅに示す半導体素子の製造方法によって製造された一実施例としてＬＥＤの構造を簡略に示す分解斜視図である。

図４に示すように、サファイア基板４１上にＧａＮバッファ層４２が積層されており、ＧａＮバッファ層４２の上面にはナノホールがストライプまたは六角形に配列されたSiO_2層４０がパターニングされている。SiO_2層４０の上面にはｎ－ＧａＮ層４３が蒸着され、マスク層であるSiO_2層４０によってサファイア基板４１及びＧａＮバッファ層

４２の界面で発生したスレッディングディスロケーションの成長が抑制されて欠陥密度が低下し、ナノホールが均一に分布して欠陥が何れか一部分に集中せずに均一に分布する。ｎ－ＧａＮ層４３の上面には下部クラッド層としてｎ－ＡｌＧａＮ層４４が、活性層としてＩｎＧａＮ層４５が、上部クラッド層としてｐ－ＡｌＧａＮ層４６が順次に積層され、ｎ－ＧａＮ層４３の段差部分にはｎ型電極４８が形成され、ｐ－ＡｌＧａＮ層４６の上面にはｐ型電極４９が形成されている。

【００２０】

ＧａＮバッファ層４２とｎ－ＧａＮ層４３との間に位置するSiO_2層４０によって欠陥の伝播が防止されるので、活性層であるＩｎＧａＮ層４５から放出される光の発光効率が高まる。例示した実施例では、ＧａＮバッファ層４２とｎ－ＧａＮ層４３間にマスク層としてSiO_2層４０を配置したが、マスク層は、ｎ－ＧａＮ層４３とｎ－ＡｌＧａＮ層４４間の界面にも位置でき、その他のいかなる半導体層の間にも形成されうる。複数のマスク層を各半導体層間の界面にパターニングする場合、マスク層のナノホールのパターンの位置が上部のマスク層及び下部のマスク層において交互となるように形成することによって欠陥密度を顕著に低下させ、欠陥の分布を分散させることができる。例えば、第１のマスク層のナノホールが形成された部分を一部通過して成長するディスロケーションは、第１のマスク層におけるナノホールの上部にパターニングされている第２のマスク層によって遮断され成長が止まる。このように、ナノホールが上部のマスク層と下部のマスク層とで交互となるようにパターンを形成することにより欠陥密度を大きく低下させてさらに高い発光効率を有する発光素子を形成することができる。

【００２１】

図５は、他の実施例として、本発明に係る半導体素子の製造方法によって製造されたナノホールを量子点として利用するＬＥＤの断面図である。

図５に示すように、下部クラッド層５４の上面にマスク層５５をパターニングし、マスク層５５のナノホールに電荷保存物質５０を充填すれば、量子点を有する発光素子が製造される。ここで、５１は基板、５２はバッファ層、５３は第１半導体層、５６は上部クラッド層、５７は第２半導体層、５８はｎ型電極、５９はｐ型電極である。

【００２２】

なお、前記説明において多くの事項が具体的に記載されているが、これらは発明の範囲を限定するものではなく、望ましい実施例を例示するものとして解釈されなければならない。

例えば、当業者なら、本発明の技術的思想によって多様な形態のナノパターンを有するマスク層を製造できる。従って、本発明の範囲は、前記実施例によって決定されず、特許請求の範囲に記載された技術的思想によって決定されなければならない。

【産業上の利用可能性】

【００２３】

本発明の半導体素子の製造方法は、例えばＬＥＤを利用する電子機器に利用されうる。

【図面の簡単な説明】

【００２４】

【図１】従来のＬＥＤの構造を簡略に示す斜視図である。

【図２】従来のＬＥＤの構造を簡略に示す断面図である。

【図３Ａ】本発明の実施例にかかる半導体素子の製造方法を示す工程図である。

【図３Ｂ】本発明の実施例にかかる半導体素子の製造方法を示す工程図である。

【図３Ｃ】本発明の実施例にかかる半導体素子の製造方法を示す工程図である。

【図３Ｄ】本発明の実施例にかかる半導体素子の製造方法を示す工程図である。

【図３Ｅ】本発明の実施例にかかる半導体素子の製造方法を示す工程図である。

【図４】本発明の実施例にかかる半導体素子の製造方法によって製造された半導体素子の一具現例であるＬＥＤを示す斜視図である。

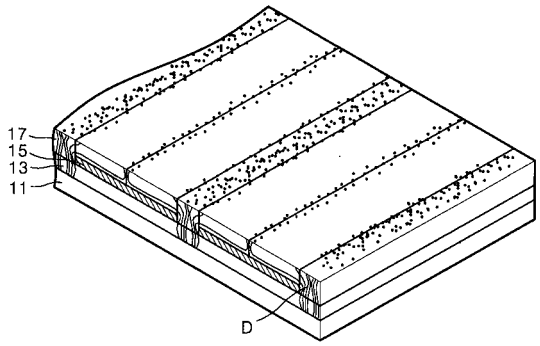
【図５】本発明の実施例にかかる半導体素子の製造方法によって製造された半導体素子の一具現例であるＬＥＤを示す断面図である。

【符号の説明】

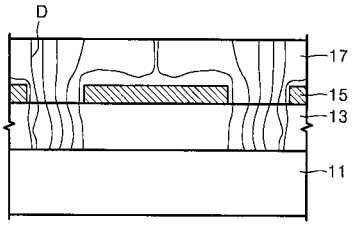
【００２５】

３１　　基板
３３　　第１半導体層
３５　　マスク層
３９　　金属層

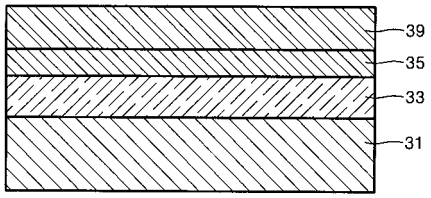
【図１】



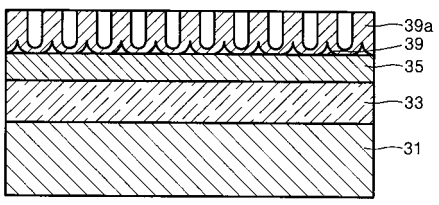
【図２】



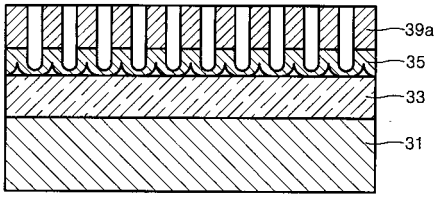
【図３Ａ】



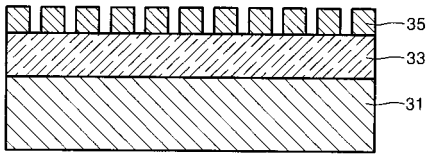
【図３Ｂ】



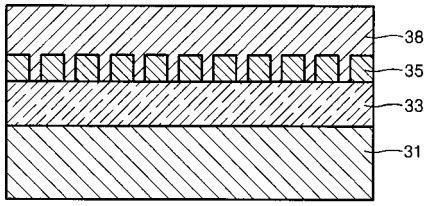
【図３Ｃ】



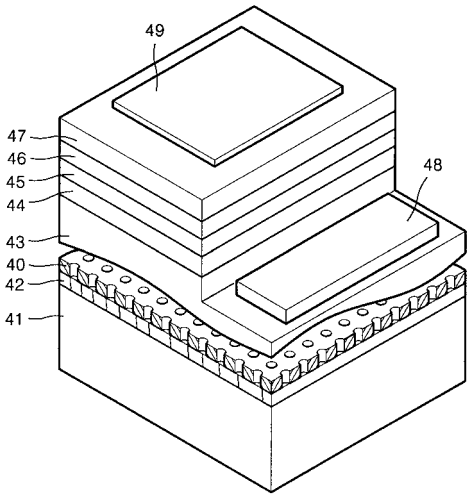
【図３Ｄ】



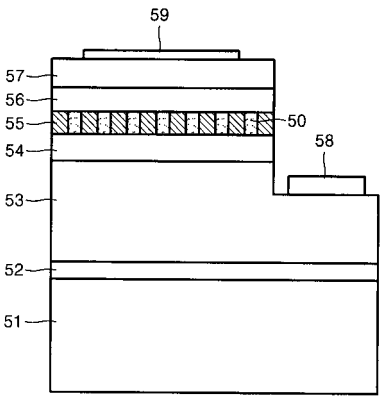
【図３Ｅ】



【図４】



【図５】



フロントページの続き

(72)発明者　孫　哲　守
大韓民国　京畿道　安養市　東安区　坪村洞　８９７－７番地　草原マウルラッキーアパート５０４棟　８０３号
(72)発明者　成　演　準
大韓民国　京畿道　水原市　勧善区　九雲洞　４６２番地　三▲換▼アパート１１棟　２０４号

Ｆターム(参考) 5F041 AA03 CA04 CA34 CA40 CA74
5F052 DA04 GC01 GC05 GC06 JA07 KA01 KA05