



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0091820
(43) 공개일자 2019년08월07일

(51) 국제특허분류(Int. Cl.)

G06F 11/22 (2017.01)

(52) CPC특허분류

G06F 11/221 (2013.01)

(21) 출원번호 10-2018-0010867

(22) 출원일자 2018년01월29일

심사청구일자 2018년01월29일

(71) 출원인

한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

(72) 발명자

이현빈

대전광역시 서구 둔산로 155, 109동 703호 (둔산동, 크로바아파트)

(74) 대리인

특허법인오암

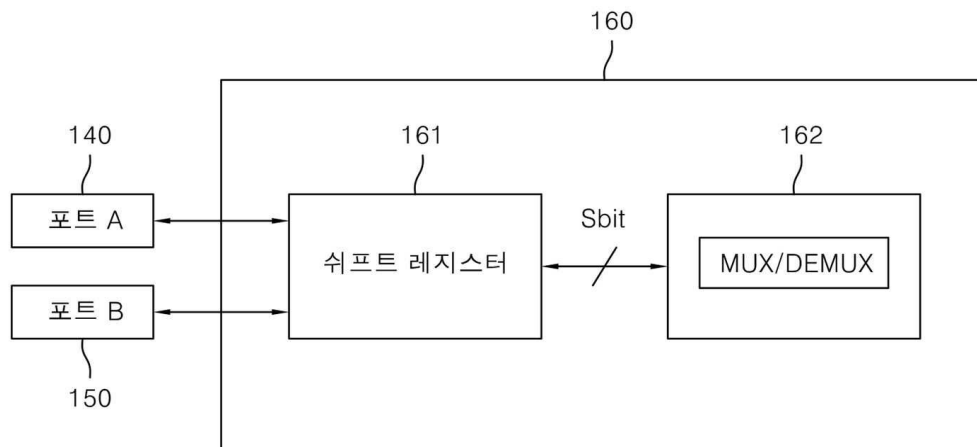
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법

(57) 요약

본 발명은 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법에 관한 것으로, 하우징 내부에 회로부가 구비되고 외부에 포트 A와 포트 B가 구비되어 연결된 케이블의 선번 연결을 자동 탐색 및 설정할 수 있는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치에 있어서, 상기 회로부는 상기 포트 A와 포트 B 사이에 연결된 다수개의 쉬프트 레지스터와, 상기 포트 A와 포트 B의 단자핀간의 경로를 스위칭으로 선택할 수 있도록 다수개의 다중화기/역다중화기로 이루어지는 스위칭 구조가 구현된 프로그래머블 반도체(FPGA)를 포함하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법을 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

하우징 내부에 회로부가 구비되고 외부에 포트 A와 포트 B가 구비되어 연결된 케이블의 선번 연결을 자동 탐색 및 설정할 수 있는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치에 있어서,

상기 회로부는

상기 포트 A와 포트 B 사이에 연결된 다수개의 쉬프트 레지스터;와,

상기 포트 A와 포트 B의 단자핀간의 경로를 스위칭으로 선택할 수 있도록 다수개의 다중화기/역다중화기로 이루어지는 스위칭 구조가 구현된 프로그래머블 반도체(FPGA);를 포함하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치.

청구항 2

청구항 1에 있어서,

상기 쉬프트 레지스터는,

상기 포트 A와 포트 B의 단자핀의 개수를 지정할 수 있는 비트 수를 가지되,

상기 포트 A와 포트 B 사이에 연결된 각각의 쉬프트 레지스터가 상기 포트 A와 포트 B의 단자핀 번호에서 1을 감산한 이진수로 초기화 되어 포트 A의 모든 단자핀에 동시에 인가된 후, 케이블선을 통해 포트 B의 단자핀으로 전송되어 들어오는 값이 다시 저장되도록 하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치.

청구항 3

청구항 1에 있어서,

프로그래머블 반도체(FPGA)에 구현된 다중화기/역다중화기 각각에는 상기 쉬프트 레지스터가 연결되고 상기 쉬프트 레지스터 각각에 저장된 값을 선택 신호로 하여 다중화기/역다중화기 각각은 상기 포트 A와 포트 B의 단자핀간의 경로로 스위칭 되는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치.

청구항 4

청구항 1에 있어서,

상기 프로그래머블 반도체(FPGA)는 내부의 서로 다른 방향의 두 신호 경로를 PCB 상에서 결합함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치.

청구항 5

포트 A와 포트 B의 동일한 번호의 단자핀끼리 쉬프트 레지스터로 연결되는 세팅 단계;

동일한 번호의 단자핀에 연결된 상기 쉬프트 레지스터 각각을 해당 핀번호에서 1을 감산한 이진수 값으로 초기화하는 초기화 단계;

상기 쉬프트 레지스터 각각을 해당 비트 수만큼 쉬프트 하여 포트 A에 동시에 인가하고 포트 B로 들어오는 값을 저장하는 인가 단계; 및

상기 쉬프트 레지스터 각각에 저장된 값을 프로그래머블 반도체에 구현된 다중화기/역다중화기 각각에 선택 신호로 연결하고 저장하는 저장 단계;를 포함하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법

청구항 6

청구항 5에 있어서,

상기 인가 단계는,

어느 하나의 포트 A와 포트 B 사이에 연결된 쉬프트 레지스터에서 상기 쉬프트 레지스터에 저장된 값이 포트 A의 단자핀 값이 되고 연결된 포트 B의 단자핀의 번호가 포트 B의 단자핀 값이 되어 포트 A의 단자핀과 포트 B의 단자핀끼리 연결된 선번으로 되는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법.

청구항 7

청구항 5에 있어서,

상기 저장 단계는,

다중화기/역다중화기 각각에 상기 쉬프트 레지스터 각각에 저장된 값이 선택 신호로 인가되면 상기 다중화기/역다중화기 각각은 상기 포트 A와 포트 B의 단자핀간의 경로로 스위칭 되는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법.

청구항 8

청구항 5에 있어서,

상기 저장 단계는,

상기 프로그래머블 반도체(FPGA) 내부의 서로 다른 방향의 두 신호 경로는 PCB 상에서 결합되어 어느 한 방향으로 들어오는 신호는 두 신호 경로 중 하나의 경로로 전달되고 다른 한 방향으로 들어오는 신호는 두 신호 경로 중 나머지 경로로 전달되도록 함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하는 것을 특징으로 하는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법.

발명의 설명

기술 분야

[0001] 본 발명은 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법에 관한 것으로, 더욱 상세하게는 IT 분야의 다양한 장비의 디버그를 위해 사용되는 다종의 케이블이 종류와 선번이 다르므로 작업자가 선번 연결 정보를 분실하였을 때는 디버깅 케이블의 선번을 자동 탐색 및 설정할 수 있도록 하되 이들 회로를 FPGA를 이용해 양방향 연결선을 구현하여 구성한 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법에 관한 것이다.

배경 기술

[0002] 일반적으로 IT분야에서 연구개발과 기존 시스템의 유지관리를 위해서는 다양한 장비의 디버그를 수행해야 하는 경우가 많다.

[0003] 일례로 이동통신 중계기 및 기지국에서 시스템 점검을 하는 것을 예로 들어 보면, 해당 시스템을 구성하고 있는

각종 장비를 테스트하기 위해 그 수단으로서 시스템 테스트용 컴퓨터를 이용해 위의 각종 장비와 연결한 후 디버깅을 수행하여 시스템 점검을 수행하게 된다. 이 때 위의 시스템 테스트용 컴퓨터와 각종 장비를 연결하는 장치가 커넥터가 구비된 케이블이 된다.

- [0004] 이때, 각종 장비를 테스트하기 위해서는 해당 장비에 적합한 전용의 커넥터가 구비된 케이블이 사용되어야 하는데, 예를 들면, 95A/B BTS, 외/내장형 비콘, 인빌딩(I/B) 광분산, 고출력 LPAU(스펙트리안), 1X RF 감시장치, GIT 광중계기, 지하철 광분산, 1X GCRU, 1X BTS, 95A/B GPSR 등의 중계기 및 기지국 관련 장비들을 디버깅하기 위해 시스템 점검용 컴퓨터와 접속시키기 위해서는 그에 맞는 다양한 케이블이 각각 독립적으로 사용되어야 한다.
- [0005] 특히 각종 장비마다 사용되는 디버깅용 케이블의 경우 케이블의 종류, 케이블의 단자핀의 규격 등이 표준화 되어 있지 않아서 같은 종류의 케이블을 사용하더라도 케이블의 양단 단자핀 번호가 일치하지 않는 경우가 많다.
- [0006] 따라서 각종 장비를 테스트하는 작업자는 이러한 각종 장비별로 디버깅 케이블을 별도로 관리해야 하는 불편함이 발생할 뿐만 아니라, 만약 케이블은 있지만 선번 연결 정보가 없거나 분실한 경우 수동으로 디버깅 케이블 양단의 단자핀을 탐침 하여 선번 연결 정보를 탐색 및 저장해야 하는 불편함이 발생한다.
- [0007] 그러므로 케이블의 선번을 모르는 경우라도 자동으로 선번을 탐색할 수 있는 방법 및 장치의 개발이 필요한 실정이다.
- [0008] 관련 선행기술로는 한국등록특허 10-0416274호(등록일: 2004. 01. 12)가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 케이블의 선번 연결을 자동으로 탐색하고 설정할 수 있도록 하는 장치 및 방법을 FPGA를 이용하여 구현함으로써 점검을 위한 장비에 사용되는 디버깅 케이블의 선번 연결정보를 몰라도 고속으로 선번 연결을 탐색할 수 있을 뿐만 아니라 FPGA를 이용해 양방향 연결선을 구현하여 구성함으로써 해당 장치의 면적을 최소화할 수 있는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법을 제공하는 데 있다.
- [0010] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않는다.

과제의 해결 수단

- [0011] 상기 과제를 달성하기 위한 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치는, 하우징 내부에 회로부가 구비되고 외부에 포트 A와 포트 B가 구비되어 연결된 케이블의 선번 연결을 자동 탐색 및 설정할 수 있는 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치에 있어서, 상기 회로부는 상기 포트 A와 포트 B 사이에 연결된 다수개의 쉬프트 레지스터와, 상기 포트 A와 포트 B의 단자핀간의 경로를 스위칭으로 선택할 수 있도록 다수개의 다중화기/역다중화기로 이루어지는 스위칭 구조가 구현된 프로그래머블 반도체(FPGA)를 포함하는 것을 특징으로 할 수 있다.
- [0012] 구체적으로, 상기 쉬프트 레지스터는, 상기 포트 A와 포트 B의 단자핀의 개수를 지정할 수 있는 비트 수를 가지 되, 상기 포트 A와 포트 B 사이에 연결된 각각의 쉬프트 레지스터가 상기 포트 A와 포트 B의 단자핀 번호에서 1을 감산한 이진수로 초기화 되어 포트 A의 모든 단자핀에 동시에 인가된 후, 케이블선을 통해 포트 B의 단자핀으로 전송되어 들어오는 값이 다시 저장되도록 하는 것을 특징으로 할 수 있다.
- [0013] 구체적으로, 프로그래머블 반도체(FPGA)에 구현된 다중화기/역다중화기 각각에는 상기 쉬프트 레지스터가 연결 되고 상기 쉬프트 레지스터 각각에 저장된 값을 선택 신호로 하여 다중화기/역다중화기 각각은 상기 포트 A와 포트 B의 단자핀간의 경로로 스위칭 되는 것을 특징으로 할 수 있다.
- [0014] 구체적으로, 상기 프로그래머블 반도체(FPGA)는 내부의 서로 다른 방향의 두 신호 경로를 상기 PCB 상에서 결합함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하는 것을 특징으로 할 수 있다.
- [0015] 상기 과제를 달성하기 위한 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법은, 포트 A와 포트 B의 동일한 번호의 단자핀끼리 쉬프트 레지스터로 연결되는 세팅 단계와, 동일한 번호의 단자핀에 연결된 상기 쉬프트 레지스터 각각을 해당 핀번호에서 1을 감산한 이진수 값으로 초기화하는 초기화

단계와, 상기 쉬프트 레지스터 각각을 해당 비트 수만큼 쉬프트 하여 포트 A에 동시에 인가하고 포트 B로 들어오는 값을 저장하는 인가 단계 및 상기 쉬프트 레지스터 각각에 저장된 값을 프로그래머블 반도체에 구현된 다중화기/역다중화기 각각에 선택 신호로 연결하고 저장하는 저장 단계를 포함할 수 있다.

[0016] 구체적으로, 상기 인가 단계는, 어느 하나의 포트 A와 포트 B 사이에 연결된 쉬프트 레지스터에서 상기 쉬프트 레지스터에 저장된 값이 포트 A의 단자핀 값이 되고 연결된 포트 B의 단자핀의 번호가 포트 B의 단자핀 값이 되어 포트 A의 단자핀과 포트 B의 단자핀끼리 연결된 선번호로 되는 것을 특징으로 할 수 있다.

[0017] 구체적으로, 상기 저장 단계는, 다중화기/역다중화기 각각에 상기 쉬프트 레지스터 각각에 저장된 값이 선택 신호로 인가되면 상기 다중화기/역다중화기 각각은 상기 포트 A와 포트 B의 단자핀간의 경로로 스위칭 되는 것을 특징으로 할 수 있다.

[0018] 구체적으로, 상기 저장 단계는, 상기 프로그래머블 반도체(FPGA) 내부의 서로 다른 방향의 두 신호 경로는 상기 PCB 상에서 결합되어 어느 한 방향으로 들어오는 신호는 두 신호 경로 중 하나의 경로로 전달되고 다른 한 방향으로 들어오는 신호는 두 신호 경로 중 나머지 경로로 전달되도록 함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하는 것을 특징으로 할 수 있다.

발명의 효과

[0019] 이상에서 설명한 바와 같이 본 발명의 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법은 장비에 사용되는 디버깅용 케이블의 선번호를 자동으로 탐색할 수 있도록 하고 있기 때문에 케이블의 선번호를 모르는 경우라도 선번호를 탐색하여 해당 케이블의 선번호 정보를 획득할 수 있는 효과가 있다.

[0020] 또한, 해당 장치를 FPGA를 이용해 양방향 연결선을 구현하여 구성하고 있기 때문에 해당 장치의 면적을 최소화할 수 있는 효과가 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일실시예에 따른 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치의 외관을 개략적으로 도시한 도면이다.

도 2는 도 1에 도시된 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치의 내부를 개략적으로 도시한 블록도이다.

도 3은 도 1에 도시된 쉬프트 레지스터의 연결관계를 도시한 도면이다.

도 4는 도 1에 도시된 프로그래머블 반도체 내부에 구현된 다중화기/역다중화기를 개략적으로 도시한 도면이다.

도 5는 도 1에 도시된 프로그래머블 반도체 내부의 양방향 신호선의 동작을 보여주기 위한 도면이다.

도 6은 본 발명의 일실시예에 따른 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법을 나타낸 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 실시예들에 대한 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성요소를 지칭한다.

[0023] 본 발명의 실시예들을 설명함에 있어서 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.

[0025] 도 1은 본 발명의 일실시예에 따른 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 장

치의 외관을 개략적으로 도시한 도면으로서, FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치(100)는 하우징(110), 디스플레이(120), 버튼(130), 포트 A(140), 포트 B(150) 및 회로부(160)를 포함할 수 있다.

- [0026] 먼저, 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치(100)에 의하면, 점검용 장비에 연결될 디버깅 케이블(10)은 있으나 해당 디버깅 케이블(10)의 선번 정보가 없을 경우에 포트 A(140)와 포트 B(150)에 디버깅 케이블(10)을 연결하면 선번 연결 상태를 자동으로 탐색 및 저장할 수 있다.
- [0027] 다시 말하면, 각종 장비를 테스트하는 작업자가 어느 하나의 대상 장비의 점검을 위해 디버깅을 하려고 할 때 만약 케이블은 있지만 선번 연결 정보가 없거나 분실한 경우 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치(100)를 이용해 선번을 탐색하여 해당 케이블의 선번 정보를 획득할 수 있도록 한다.
- [0028] 하우징(110)은 내부에 회로부(160)를 내함하고 외부에는 디스플레이(120)와 버튼(130)이 구비되도록 직육면체 형상을 하는 구조체이다. 본 발명의 일실시예에서는 이러한 하우징(110)을 직육면체 형상을 하였지만 하우징(110)이 이러한 형상만을 가지는 것이 아니라 이외에 얼마든지 다양한 형상으로 제조될 수 있음은 당연하다 할 것이다.
- [0029] 디스플레이(120)는 하우징(110) 외부 일측면에 구비되어 탐색을 위해 연결된 디버깅 케이블(10)의 양쪽 단자의 단자핀 번호의 연결 상태를 시각적으로 보여주는 기능을 수행하게 된다. 일례로 포트 A(140)의 단자핀 번호를 표시하고 이와 대응되는 위치에 포트 B(150)의 단자핀 번호를 표시할 수 있으며, 연결이 되어 있지 않은 선번도 'x' 등으로 표시할 수 있다. 물론 이는 하나의 예시에 불과하며 양쪽 단자의 단자핀 번호의 연결 상태를 보여주는 방식은 이외에도 다양하게 응용될 수 있다. 그리고 이러한 디스플레이(120)는 외부에 정보를 시각적으로 표시할 수 있는 다양한 부품이 응용될 수 있다.
- [0030] 입력버튼(130)은 본 발명의 일실시예에서 하우징(110) 외부 일측면에 구비되어 하나 이상의 버튼으로 이루어져 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치(100)에 디버깅 케이블(10)을 연결한 후 작업자가 버튼을 눌러 자동 탐색 및 저장 기능을 시작할 수 있도록 할 수 있다. 물론 이는 하나의 예시에 불과하며 버튼(130)은 다른 기기들, 즉, 휴대용 기기들의 연결으로도 대체될 수 있다.
- [0031] 포트 A(140)와 포트 B(150)는 하우징(110)의 외측 일부분에 구비되어서 디버깅용 케이블(40)이 양쪽 단자가 결합되는 접속포트이다. 이들 포트 A(140)와 포트 B(150)는 하우징(110) 내부에서 회로부(160)와 연결된다.
- [0032] 회로부(160)는 하우징(110) 내부에 설치되어서 외부의 디스플레이(120), 버튼(130), 포트 A(140) 및 포트 B(150)와 연결되어서 이들 각각으로부터 신호를 송수신하여 제어하고, 최종적으로 연결된 디버깅 케이블(10)의 선번 연결 상태를 자동으로 탐색 및 저장하는 알고리즘이 수행될 수 있는 회로가 구현되어 있다.
- [0033] 도 2는 도 1에 도시된 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치의 내부를 개략적으로 도시한 블록도로서, 회로부(160)는 PCB(161)와 이들 PCB(161)에 구비된 다수개의 쉬프트 레지스터(161)와 프로그래머블 반도체(FPGA)(163)를 포함할 수 있다.
- [0034] 도 3은 도 1에 도시된 쉬프트 레지스터의 연결관계를 도시한 도면으로서, 쉬프트 레지스터(161)는 다수개가 하우징(110) 내부에서 포트 A(140)와 포트 B(150)와 연결된 선이 PCB(161)로 연결되며 이들 포트 A(140)와 포트 B(150) 사이에, 그리고 각각의 단자핀에 하나씩 연결된다.
- [0035] 다시 말하면, 포트 A(140)의 핀단자가 차례로 1, 2, 3 ... m 까지 m개의 핀단자가 존재한다고 가정하고, 이에 대응되는 포트 B(150)의 핀단자도 차례로 1, 2, 3 ... m 까지 m개의 핀단자가 존재한다고 가정하면, 이들 포트 A(140)와 포트 B(150)의 동일한 핀단자 사이에는 차례로 1, 2, 3 m 까지 m개의 쉬프트 레지스터(162-m)가 연결된다. 이를 도 3에 SR 1, SR 2, SR 3 SR m으로 표시하였다.
- [0036] 이때, 쉬프트 레지스터(162)는 포트 A(140)와 포트 B(150)의 단자핀의 개수를 지정할 수 있는 비트 수를 가지게 된다. 예를 들어 포트 A(140)와 포트 B(150)의 단자핀 개수가 m개이므로 각각의 선번을 지정하기 위한 쉬프트 레지스터(162)의 비트열은 s bits ($s = \log_2^m$)가 되어야 한다.
- [0037] 쉬프트 레지스터(162)에 의해 연결된 디버깅 케이블(10)의 선번이 자동으로 탐색되는 과정을 설명하면 아래와 같다.
- [0038] 먼저, 포트 A(140)와 포트 B(150) 사이에 연결된 각각의 쉬프트 레지스터(162-m)가 상기 포트 A(140)와 포트

B(150)의 단자핀 번호에서 1을 감산한 이진수로 초기화 된다. 즉, 포트 A(140)와 포트 B(150)의 1번 핀단자 사이에 연결된 쉬프트 레지스터(162-1)의 경우에는 단자핀 번호 1에서 1을 감산하면 0이 되고, 이 0 값이 쉬프트 레지스터(162-1)의 비트수에 맞도록 변환된 이진수 값이 첫 번째 쉬프트 레지스터(162-1)에 저장되어 초기화 된다. 나머지 쉬프트 레지스터(162-m)도 동일한 방식으로 초기화 된다.

[0039] 다음으로, 초기화된 쉬프트 레지스터(162-m) 각각은 저장된 비트열을 포트 A(140)의 모든 단자핀에 동시에 인가한다. 다시 말하면, 쉬프트 레지스터(162-m)는 s 비트를 가지고 있으므로 s번 쉬프트하며 쉬프트 레지스터(162)에 있는 값이 포트 A(140)로 인가된다.

[0040] 다음으로, 포트 A(140)에 결합된 디버깅 케이블(10)의 케이블선을 통해 포트 B(150)의 단자핀으로 전송되어 들어오는 값이 차례로 다시 한 번 해당 쉬프트 레지스터(162-m)에 저장되도록 한다.

[0041] 결과적으로, 포트 A(140)와 포트 B(140) 사이에 연결된 쉬프트 레지스터(162-m)에서 디버깅 케이블(10)의 케이블선을 통해 포트 B(150)의 단자핀으로 전송되어 들어와 해당 쉬프트 레지스터(162-m)에 저장된 값이 포트 A(140)의 단자핀 값이 되고 연결된 포트 B(150)의 단자핀의 번호가 포트 B(150)의 단자핀 값이 되어 포트 A의 단자핀과 포트 B의 단자핀끼리 연결된 선번호로 된다.

[0042] 도 4는 도 1에 도시된 프로그래머블 반도체 내부에 구현된 다중화기/역다중화기를 개략적으로 도시한 도면으로서, 위와 같이 탐색된 선번호를 저장 및 전송하기 위한 로직이 하드웨어적으로 구현된 것을 설명하기로 한다.

[0043] 먼저, 탐색된 선번호를 저장 및 전송하기 위한 로직은 경로 선택 신호에 의해서 포트 A(140)와 포트 B(150)의 양쪽 단자핀 간 연결 성정을 하여 양방향 모든 경로에 대해서 스위칭이 가능한 $N \times N$ 스위칭(mux/demux) 회로가 기반이 된다.

[0044] 여기서 $N = m$ 인 $m \times m$ 스위칭 회로를 m개의 $m \times 1$ Mux/Demux의 조합으로 구성하면 도 4에 도시한 바와 같이 된다.

[0045] 이들을 프로그래머블 반도체(FPGA)(163)에 구현하면, 포트 A(140)와 포트 B(150)의 단자핀간의 경로를 스위칭으로 선택할 수 있도록 다수개의 다중화기/역다중화기(163-m)로 이루어지는 스위칭 구조가 구현된다.

[0046] 다시, 프로그래머블 반도체(FPGA)(163)에 구현된 다중화기/역다중화기(163-m) 각각에는 상기 쉬프트 레지스터(162-m) 각각이 연결되고 상기 쉬프트 레지스터(162-m) 각각에 저장된 값을 선택 신호로 하여 다중화기/역다중화기(163-m) 각각은 상기 포트 A(140)와 포트 B(150)의 단자핀간의 경로로 스위칭 된다.

[0047] 위에서 말한 바와 같이 다중화기/역다중화기(163-m) 스위칭 회로는 아날로그 다중화기/역다중화기 스위칭 칩을 사용하여 구현될 수도 있다. 이렇게 아날로그 스위칭 칩을 사용하여 경로 설정을 하면 마치 선이 연결된 것 같이 구현이 가능한데, 상술한 바와 같이 디버깅 케이블(10)의 선번호 연결 자동 탐색을 위해서는 특정 디지털 값을 저장하고 전송하는 과정을 구현하기 위한 디지털 디바이스가 추가적으로 더 필요하게 된다. 하지만 이와 같이 아날로그 스위칭 칩과 추가적인 디지털 디바이스를 사용하게 되면 회로가 복잡해지고 크기가 커지는 문제점이 발생한다.

[0048] 따라서 본 발명의 FPGA를 이용한 케이블 선번호 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치(100)는 프로그래머블 반도체(FPGA)(163)를 이용하여 양방향 스위칭 구조와 디지털 값을 저장 및 전송하는 기능을 구현하도록 하였다.

[0049] 그런데, 위와 같이 프로그래머블 반도체(FPGA)(163)를 이용하여 양방향 연결선을 구현하게 되면, 프로그래머블 반도체(FPGA)(163)가 구조적으로 프로그래머블 반도체(FPGA)(163) 내부에서 신호가 한쪽 방향으로만 전달되는 구조를 갖고 있기 때문에 프로그래머블 반도체(FPGA)(163)의 어느 한 핀에서 프로그래머블 반도체(FPGA)(163) 내부를 통하여 다른 핀으로 신호 전송을 하도록 구현할 수는 있지만 반대방향으로도 신호가 전송되도록 구현할 수는 없다는 문제점이 발생한다.

[0050] 다시 말하면, 프로그래머블 반도체(FPGA)(163)에서는 어느 한 방향을 기준으로 할 때 신호가 동시에 양방향으로 전송이 되도록 하는 것이 불가능하다. 이것은 프로그래머블 반도체(FPGA)(163) 내부에서 회로가 구성될 때, 입력 핀으로부터 출력 핀으로의 신호 경로가 룩업테이블(LUT: look-up table)이나 CLB(controllable logic block)를 거치게 되어 있는데, LUT나 CLB 자체가 입력과 출력이 고정되어 있는 구조로 되어있고, 출력에서 입력으로, 즉, 반대 방향으로 신호가 흐를 수 없는 구조를 갖고 있기 때문이다.

[0051] 따라서 이러한 프로그래머블 반도체(FPGA)(163)의 한계를 극복하기 위하여 본 발명의 FPGA를 이용한 케이블 선

변 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치에서는 PCB(161) 위에 아래와 같이 프로그래머블 반도체(FPGA)(163)를 구성하였다.

- [0052] 도 5는 도 1에 도시된 프로그래머블 반도체 내부의 양방향 신호선의 동작을 보여주기 위한 도면으로서, 프로그래머블 반도체(FPGA)(163)는 내부의 서로 다른 방향의 두 신호 경로를 상기 PCB(161) 상에서 결합함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하였다.
- [0053] 이렇게 결합된 프로그래머블 반도체(FPGA)(163) 내부의 서로 다른 방향의 두 신호 경로에 의하면 어느 한 방향으로 들어오는 신호는 두 신호 경로 중 하나의 경로로 전달되고 다른 한 방향으로 들어오는 신호는 두 신호 경로 중 나머지 경로로 전달되도록 함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 하게 된다.
- [0054] 이하에서는 위와 같이 구성된 FPGA를 이용한 케이블 선변 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치의 동작 방법에 대하여 상세히 설명하기로 한다.
- [0055] 도 6은 본 발명의 일실시예에 따른 FPGA를 이용한 케이블 선변 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법을 나타낸 순서도로서, 본 발명의 FPGA를 이용한 케이블 선변 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법은, 세팅 단계(S310), 초기화 단계(S320), 인가 단계(S330) 및 저장 단계(S340)를 포함할 수 있다.
- [0056] 세팅 단계(S310)는 포트 A(140)와 포트 B(150)의 동일한 번호의 단자핀끼리 쉬프트 레지스터(162)로 연결되도록 하는 단계이다.
- [0057] 구체적으로, 포트 A(140)의 단자핀 번호를 j 라 하고 핀단자가 차례로 $j = 1, 2, 3 \dots m$ 까지 m 개의 핀단자가 존재한다고 가정하고, 이에 대응되는 포트 B(150)의 단자핀 번호를 k 라 하고 핀단자가 차례로 $k = 1, 2, 3 \dots m$ 까지 m 개의 핀단자가 존재한다고 가정하면, 이들 포트 A(140)와 포트 B(150)의 동일한 핀단자 사이, 즉, $j = k$ 의 동일한 핀단자 사이에는 차례로 1, 2, 3 m 까지 m 개의 쉬프트 레지스터(162- m)가 연결된다.
- [0058] 이때, 쉬프트 레지스터(162)는 포트 A(140)와 포트 B(150)의 단자핀의 개수를 지정할 수 있는 비트 수를 가지게 되는데, 예를 들어 포트 A(140)와 포트 B(150)의 단자핀 개수가 m 개이므로 각각의 선변을 지정하기 위한 쉬프트 레지스터(162)의 비트열은 s bits ($s = \log_2^m$)가 되어야 한다.
- [0059] 초기화 단계(S320)는 동일한 번호의 단자핀에 연결된 상기 쉬프트 레지스터(162- m) 각각을 해당 핀번호에서 1을 감산한 이진수 값으로 초기화하는 단계이다.
- [0060] 구체적으로, 포트 A(140)와 포트 B(150) 사이에 연결된 각각의 쉬프트 레지스터(162- m)가 상기 포트 A(140)와 포트 B(150)의 단자핀 번호에서 1을 감산한 이진수로 초기화 된다. 다시 말하면, 포트 A(140)의 단자핀 번호를 j 라 할 때, '핀단자 번호 - 1'은 ' $j - 1$ '로 표현할 수 있다.
- [0061] 포트 A(140)와 포트 B(150)의 1번 핀단자 사이에 연결된 쉬프트 레지스터(162-1)의 경우에는 단자핀 번호 1에서 1을 감산하면 0이 되고, 이 0 값이 쉬프트 레지스터(162-1)의 비트수에 맞도록 변환된 이진수 값이 첫 번째 쉬프트 레지스터(162-1)에 저장되어 초기화 된다. 나머지 쉬프트 레지스터(162- m)도 동일한 방식으로 초기화 된다.
- [0062] 인가 단계(S330)는 쉬프트 레지스터(162- m) 각각을 해당 비트 수만큼 쉬프트 하여 포트 A(140)에 동시에 인가하고 포트 B(150)로 들어오는 값을 저장하는 단계이다.
- [0063] 구체적으로, 초기화 단계(S320)에서 초기화된 쉬프트 레지스터(162- m) 각각은 저장된 비트열을 포트 A(140)의 모든 단자핀에 동시에 인가한다. 다시 말하면, 쉬프트 레지스터(162- m)는 s 비트를 가지고 있으므로 s 번 쉬프트 하며 쉬프트 레지스터(162)에 있는 값이 포트 A(140)로 인가된다. 그 후, 포트 A(140)에 결합된 디버깅 케이블(10)의 케이블선을 통해 포트 B(150)의 단자핀으로 전송되어 들어오는 값이 차례로 다시 한 번 해당 쉬프트 레지스터(162- m)에 저장되도록 한다.
- [0064] 최종적으로, 인가 단계(S330)는, 어느 하나의 포트 A(140)와 포트 B(150) 사이에 연결된 쉬프트 레지스터(162- m)에서 상기 쉬프트 레지스터(162- m)에 저장된 값이 포트 A(140)의 단자핀 값이 되고 연결된 포트 B(150)의 단자핀의 번호가 포트 B(150)의 단자핀 값이 되어 포트 A(140)의 단자핀과 포트 B(140)의 단자핀끼리 연결된 선변으로 되도록 한다.
- [0065] 저장 단계(S340)는 쉬프트 레지스터(162- m) 각각에 저장된 값을 프로그래머블 반도체(FPGA)(163)에 구현된 다중 화기/역다중화기(163- m) 각각에 선택 신호로 연결하고 저장하는 단계이다.

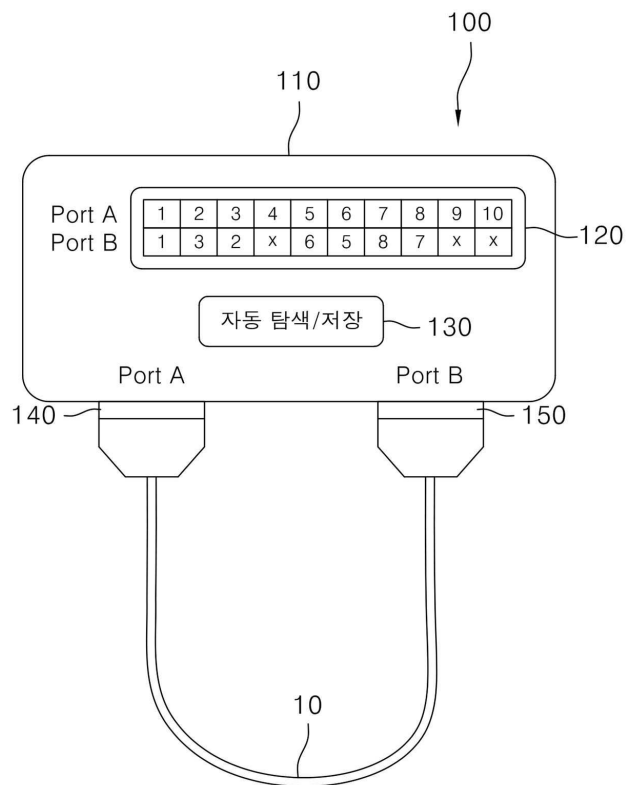
- [0066] 저장 단계(S340)는, 다중화기/역다중화기(163-m) 각각에 상기 쉬프트 레지스터(162-m) 각각에 저장된 값이 선택 신호로 인가되면 상기 다중화기/역다중화기(163-m) 각각은 상기 포트 A(140)와 포트 B(150)의 단자핀간의 경로로 스위칭 된다.
- [0067] 구체적으로, 프로그래머블 반도체(FPGA)(163)에 구현된 다중화기/역다중화기(163-m) 각각에는 상기 쉬프트 레지스터(162-m) 각각이 연결되고 상기 쉬프트 레지스터(162-m) 각각에 저장된 값을 선택 신호로 하여 다중화기/역다중화기(163-m) 각각은 상기 포트 A(140)와 포트 B(150)의 단자핀간의 경로로 스위칭 된다.
- [0068] 저장 단계(S340)에서 상기 프로그래머블 반도체(FPGA)(163) 내부의 서로 다른 방향의 두 신호 경로는 상기 PCB(161) 상에서 결합되어 어느 한 방향으로 들어오는 신호는 두 신호 경로 중 하나의 경로로 전달되고 다른 한 방향으로 들어오는 신호는 두 신호 경로 중 나머지 경로로 전달되도록 함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 한다.
- [0069] 이는 상술한 바와 같이 프로그래머블 반도체(FPGA)(163)를 이용하여 양방향 연결선을 구현하게 되면, 프로그래머블 반도체(FPGA)(163)가 구조적으로 프로그래머블 반도체(FPGA)(163) 내부에서 신호가 한쪽 방향으로만 전달되는 구조를 갖고 있기 때문에 프로그래머블 반도체(FPGA)(163)의 어느 한 핀에서 프로그래머블 반도체(FPGA)(163) 내부를 통하여 다른 핀으로 신호 전송을 하도록 구현할 수는 있지만 반대방향으로도 신호가 전송되도록 구현할 수는 없다는 문제점이 발생하므로, 이러한 프로그래머블 반도체(FPGA)(163)의 한계를 극복하기 위하여 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 방법에서는 PCB(161) 위에 프로그래머블 반도체(FPGA)(163)를 내부의 서로 다른 방향의 두 신호 경로를 상기 PCB(161) 상에서 결합함으로써 하나의 양방향 신호선과 같이 동작할 수 있도록 구성한 것이다.
- [0070] 이상에서 설명한 바와 같이 본 발명의 FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치 및 방법은 장비에 사용되는 디버깅용 케이블의 선번을 자동으로 탐색할 수 있도록 하고 있기 때문에 케이블의 선번을 모르는 경우라도 선번을 탐색하여 해당 케이블의 선번 정보를 획득할 수 있는 효과가 있다.
- [0071] 또한, 해당 장치를 FPGA를 이용해 양방향 연결선을 구현하여 구성하고 있기 때문에 해당 장치의 면적을 최소화할 수 있는 효과가 있다.
- [0072] 이상의 설명에서는 본 발명의 다양한 실시예들을 제시하여 설명하였으나 본 발명이 반드시 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함을 쉽게 알 수 있을 것이다.

부호의 설명

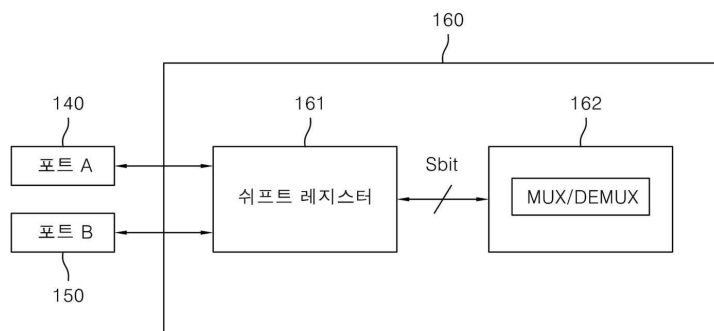
- [0073] 10: 디버깅 케이블
- 100: FPGA를 이용한 케이블 선번 연결 자동 탐색, 설정 및 양방향 연결선 구현 장치
- 110: 하우징 120: 디스플레이
- 130: 버튼 140: 포트 A
- 150: 포트 B 160: 회로부
- 161: PCB 162, 162-m: 쉬프트 레지스터
- 163, 163-m: 프로그래머블 반도체(FPGA)

도면

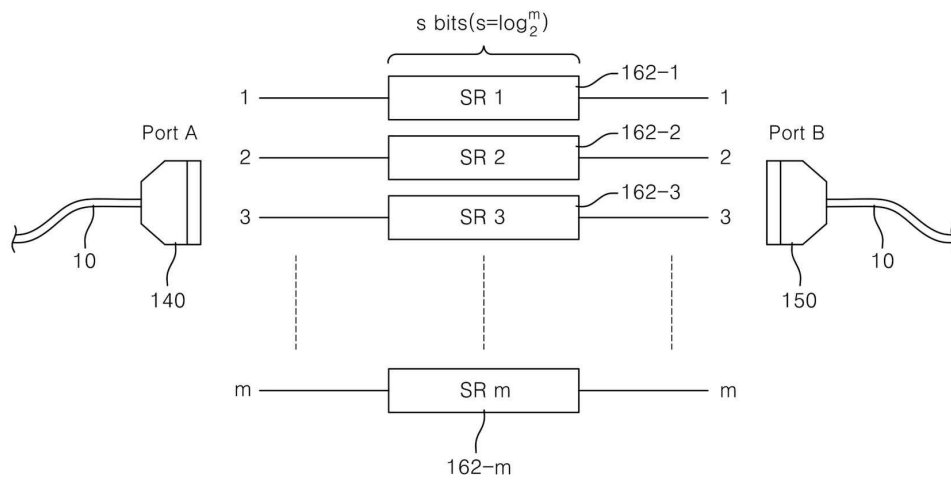
도면1



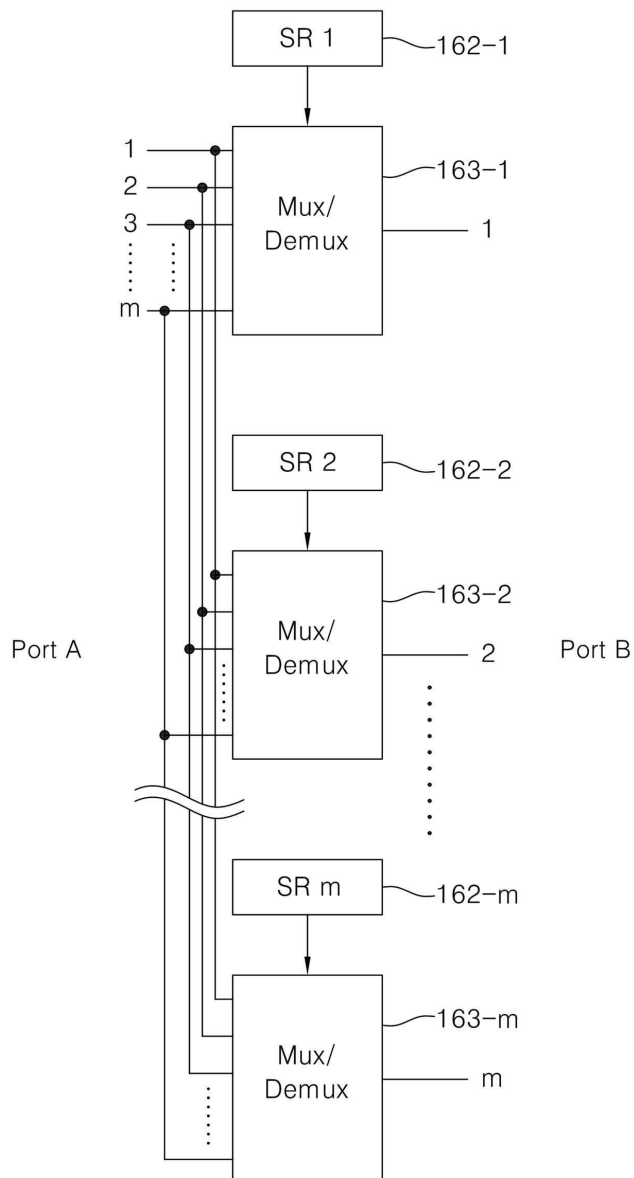
도면2



도면3

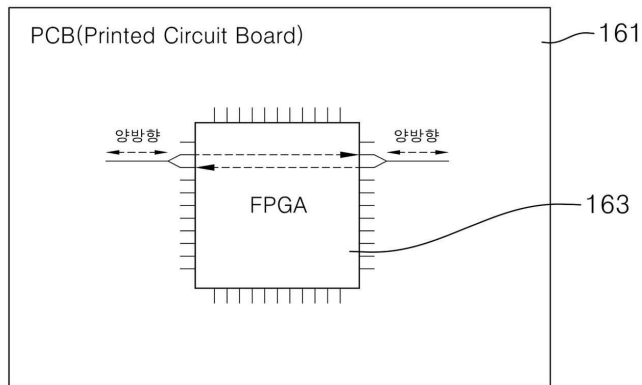


도면4



도면5

160



도면6

