



(10) **DE 11 2005 003 843 B4** 2011.09.08

(12)

Patentschrift

(21) Aktenzeichen: **11 2005 003 843.2**
(22) Anmeldetag: **16.09.2005**
(45) Veröffentlichungstag
der Patenterteilung: **08.09.2011**

(51) Int Cl.: **H01L 21/336** (2006.01)
H01L 29/78 (2006.01)
H01L 29/423 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/949,994 **23.09.2004** **US**

(62) Teilung aus:
11 2005 002 280.3

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

(74) Vertreter:
BOEHMERT & BOEHMERT, 28209, Bremen, DE

(72) Erfinder:
Doyle, Brian, Portland, Oreg., US; Singh, Surinder, Hillsboro, Oreg., US; Shah, Uday, Portland, Oreg., US; Brask, Justin, Portland, Oreg., US; Chau, Robert, Beaverton, Oreg., US

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US **65 62 665** **B1**

(54) Bezeichnung: **Verfahren zum Ausbilden einer Halbleiter-Transistorstruktur und Halbleiter-Transistorstruktur**

(57) Hauptanspruch: Verfahren zum Ausbilden einer Halbleiter-Transistorstruktur, welche folgendes umfaßt:

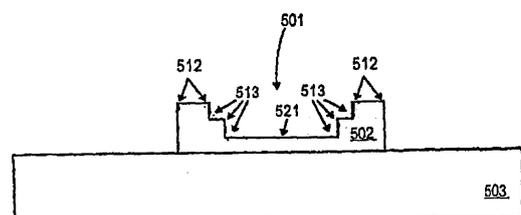
Ausbilden eines Grats (502) aus einem Halbleitermaterial auf einer ersten Isolierschicht (503) auf einem Substrat, wobei der Grat (502) eine Deckfläche, eine erste Seitenwand und eine zweite Seitenwand aufweist;

Ausbilden einer Vertiefung (501) in dem Grat (502), wobei die Vertiefung (501) einen Boden (521) und Seitenwände (504) aufweist, und wobei jede der Seitenwände (504) mindestens eine Stufe (510) umfaßt;

Ausbilden einer dielektrischen Gateschicht (601) auf der Deckfläche des Grats (502), auf der ersten und der zweiten Seitenwand des Grats (502), auf dem Boden (521) der Vertiefung (501) und auf den Seitenwänden (504) der Vertiefung (501);

Ausbilden einer Gateelektrode (602) auf der dielektrischen Schicht (601); und

Ausbilden einer Drainregion (604) und einer Sourcere- gion (603) auf gegenüberliegenden Seiten der Gateelektrode (602).



Beschreibung

GEBIET

[0001] Ausführungen der Erfindung betreffen allgemein das Gebiet der Halbleiterfertigung und dabei eine Halbleiter-Transistorstruktur und Verfahren sie zu fertigen.

HINTERGRUND

[0002] Integrierte Schaltkreise umfassen Millionen von Metalloxid-Halbleiter-Feldeffekttransistoren („MOSFET“). Solche Transistoren können p-Kanal MOS-Transistoren und n-Kanal MOS-Transistoren umfassen, abhängig von ihrem Dotiermittel-Leitfähigkeitstyp. Die kontinuierliche Verkleinerung der Abmessungen der MOS-Transistoren war der wesentliche Antrieb für das Wachstum der Mikroelektronik und der Computerindustrie in den letzten zwei Jahrzehnten. Die wesentlichen begrenzenden Faktoren für die Skalierung von MOSFETs sind die Kurzkanaleffekte, zum Beispiel Schwellenspannungsabfall bei sinkender Kanallänge und Drain-induzierte Barrierenabsenkung („Drain Induced Barrier Lowering“, „DIBL“). Kurzkanaleffekte aufgrund von verringerter Länge des Transistorkanals zwischen der Source- und der Drainregion können die Leistung des Halbleitertransistors stark herabsetzen. Wegen der Kurzkanaleffekte sind die elektrischen Charakteristika des Transistors, zum Beispiel Schwellenspannung, Vorschwellenströme und Strom-Spannungs-Charakteristika jenseits der Schwelle durch die Vorspannung auf der Gateelektrode zunehmend schwierig zu steuern.

[0003] Die [Fig. 1](#) stellt einen Querschnitt einer herkömmlichen planaren MOSFET-Struktur **100** aus dem Stand der Technik dar. Die Siliziumschicht **102** wächst epitaktisch auf einem monokristallinen Siliziumsubstrat **101**. Feldisolierende Bereiche **103** zur Isolation von angrenzenden integrierten Schaltkreisvorrichtungen werden in der Siliziumschicht **102** ausgebildet. Ein Gatedielektrikum **104** und eine Gateelektrode **105** werden nacheinander auf der Siliziumschicht **102** ausgebildet. Ionen werden in die Schicht aus Silizium implantiert, wodurch die Source-Verlängerungsregion **106** und die Drain-Verlängerungsregion **107** an gegenüberliegenden Seiten der Gateelektrode **105** ausgebildet wird. Die Sourceverlängerung **106** und die Drainverlängerung **107** sind flache Übergänge, um Kurzkanaleffekte in der MOSFET-Struktur **100** mit Sub-Mikrometer- oder Nanometer-Abmessungen zu minimieren. Abstandhalter **108** werden auf den gegenüberliegenden Seiten der Gateelektrode **105** und des Gatedielektrikums **104** abgelagert. Die Abstandhalter **108** bedecken die Seiten der Gateelektrode **105** und des Gatedielektrikums **104** und bedecken auch Bereiche der Deckfläche der Siliziumschicht **102**, die auf gegenüberliegenden Seiten

der Gateelektrode **105** liegen und an sie angrenzen. Wenn die Abstandhalter **108** Siliziumnitrid („Si₃N₄“) umfassen, wird ein Abstandhalter-Beschichtungsoxid **109** als eine Pufferschicht zwischen den Abstandhaltern **108** und den gegenüberliegenden Seiten der Gateelektrode **105** und des Gatedielektrikums **104** aufgebracht. Ein Source-Kontaktübergang **110** mit einem Sourcekontakt **111** und ein Drain-Kontaktübergang **112** mit einem Drainkontakt **113** werden in der Siliziumschicht **102** an den gegenüberliegenden Seiten der Gateelektrode **105** ausgebildet. Der Source-Kontaktübergang **110** und der Drain-Kontaktübergang **112** werden als tiefe Übergänge so gefertigt, daß der Sourcekontakt **111** bzw. der Drainkontakt **113** als relativ große Bereiche darin gefertigt werden können, um für niederohmige Kontakte zum Drain bzw. Source der MOSFET-Struktur **100** bereitzustellen. Für eine Gateelektrode aus Polysilizium wird ein Gatesilizid **114** auf der zu sorgen **105** ausgebildet, um Kontakt zum Gate der MOSFET-Struktur **100** bereitzustellen.

[0004] Die [Fig. 2](#) ist eine perspektivische Ansicht einer Tri-Gate-Transistorstruktur **200**, die eine verbesserte Steuerung über die elektrischen Charakteristika des Transistors bereitstellt. Die Tri-Gate-Transistorstruktur **200** umfaßt eine Sourcereion **201** und eine Drainregion **202**, die im Gratkörper **203** an gegenüberliegenden Seiten der Gateelektrode **304** ausgebildet sind. Der Gratkörper **203** wird auf einer Deckfläche einer Isolierschicht **206** auf einem Siliziumsubstrat **207** ausgebildet. Die Gateelektrode **204** mit dem darunter liegenden Gatedielektrikum **205** bedeckt eine Deckwand **208** und zwei gegenüberliegende Seitenwände **209** eines Bereichs des Gratkörpers **203**. Die Tri-Gate-Transistorstruktur **200** stellt leitende Kanäle entlang der Deckwand **208** und den zwei gegenüberliegenden Seitenwänden **209** des Bereichs des Gratkörpers **203** bereit. Dies verdreifacht im Effekt den zum Wandern der elektrischen Signale verfügbaren Raum, der dem Tri-Gate-Transistor wesentlich höhere Leistung als dem herkömmlichen planaren Transistor verleiht, ohne mehr Energie zu verbrauchen. Die Ecken **211** der Gateelektrode **204**, die Gates auf zwei angrenzenden Seiten des Gratkörpers **203** aufweisen, erhöhen die Kontrolle über die elektrischen Charakteristika des Transistors. Bei niedrigen Gatespannungen dominiert die Leistung des Eckbereichs des Tri-Gate-Transistors in den Strom-Spannungs(„Id-Vg“) -Charakteristika. Oberhalb der Schwellenspannung schaltet sich jedoch der Nicht-Eckbereich des Tri-Gate-Körpers ein und dominiert in dem Betrieb des Transistors. Die Nicht-Eckbereiche des Tri-Gate-Körpers weisen jedoch eine wesentlich geringere Kontrolle über die Kurzkanaleffekte auf als die Eckbereiche des Tri-Gate-Körpers, was die Leistung des Tri-Gate-Transistors verschlechtert.

[0005] Aus der US 6,562,665 B1 ist ein Verfahren zum Herstellen eines Feldeffekttransistors bekannt, bei dem ein Grat in U-Form aus einem Halbleitermaterial auf eine Isolierschicht gebildet wird und nachfolgend in dem Grat eine Vertiefung ausgebildet wird, ähnlich wie in den Fig. 3 und Fig. 4 gezeigt.

[0006] Die vorliegende Erfindung sieht ein Verfahren nach Anspruch 1, 10 und 16 und eine Halbleiterstruktur nach Anspruch 19, vor.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0007] Die vorliegende Erfindung wird mittels Beispielen und nicht durch Einschränkungen durch die Figuren der beigefügten Zeichnungen beschrieben, in denen gleiche Bezugszeichen ähnliche Elemente bezeichnen, wobei:

[0008] Fig. 1 einen Querschnitt einer herkömmlichen planaren MOSFET-Struktur aus dem Stand der Technik darstellt;

[0009] Fig. 2 eine perspektivische Ansicht einer Tri-Gate-Transistorstruktur aus dem Stand der Technik ist;

[0010] Fig. 3A einen Querschnitt einer Halbleiterstruktur zur Herstellung eines U-Gate-Transistors darstellt;

[0011] Fig. 3B eine zu Fig. 3A ähnliche Ansicht ist, nachdem die Maskenschicht und die Pufferschicht, die auf der Schicht des Halbleitermaterials abgelagert sind, strukturiert und geätzt sind;

[0012] Fig. 3C eine zu Fig. 3D ähnliche Ansicht ist, nachdem ein Grat aus einem Halbleitermaterial auf der Isolierschicht ausgebildet ist;

[0013] Fig. 3D eine zu Fig. 3C ähnliche Ansicht ist, nachdem eine Schutzschicht auf dem Grat ausgebildet ist;

[0014] Fig. 3E eine zu Fig. 3D ähnliche Ansicht ist, nachdem eine zweite Isolierschicht auf der Schutzschicht ausgebildet ist;

[0015] Fig. 3F eine zu Fig. 3E ähnliche Ansicht ist, nachdem die Maskenschicht entfernt ist;

[0016] Fig. 3G eine zu Fig. 3F ähnliche Ansicht ist, nachdem Abstandhalter auf dem Grat ausgebildet sind;

[0017] Fig. 3H eine zu Fig. 3G ähnliche Ansicht ist, nachdem eine Vertiefung in dem Grat ausgebildet ist;

[0018] Fig. 3I eine zu Fig. 3H ähnliche Ansicht ist, nachdem die zweite Isolierschicht und die Schutzschicht entfernt sind;

[0019] Fig. 3J eine zu Fig. 3I ähnliche Ansicht ist, nachdem die Abstandhalter und die Pufferschicht von dem Grat entfernt sind;

[0020] Fig. 4 eine perspektivische Ansicht einer nicht erfindungsgemäßen U-Gate-Halbleiter-Transistorstruktur ist;

[0021] Fig. 5A einen Querschnitt einer Halbleiterstruktur zur Herstellung einer Mehrstufen-U-Gate-Transistorstruktur nach einer Ausführung der Erfindung darstellt;

[0022] Fig. 5B eine zu Fig. 5A ähnliche Ansicht ist, nachdem die Abstandhalter in der Größe verringert sind, um Teile der Deckfläche des Grats freizulegen;

[0023] Fig. 5C eine zu Fig. 5B ähnliche Ansicht ist, nachdem eine Stufe ausgebildet ist;

[0024] Fig. 5D eine zu Fig. 5C ähnliche Ansicht ist, nachdem die zweite Isolierschicht und die Schutzschicht entfernt sind;

[0025] Fig. 5E eine zu Fig. 5D ähnliche Ansicht ist, nachdem die Abstandhalter und die Pufferschicht von dem Grat entfernt sind;

[0026] Fig. 6 eine perspektivische Ansicht einer Mehrstufen-U-Gate-Halbleiter-Transistorstruktur ist, bei der jede der Seitenwände einer Vertiefung mindestens eine Stufe umfaßt, nach einer Ausführung der Erfindung;

[0027] Fig. 7A einen Querschnitt einer Halbleiterstruktur zur Herstellung von halbierten Graten nach einer Ausführung der Erfindung darstellt;

[0028] Fig. 7B eine zu Fig. 7A ähnliche Ansicht ist, nachdem der Grat von einem freilegenden Teil der Deckfläche hinunter auf die erste Isolierschicht weggeätzt ist, um zwei halbierte Grate herzustellen;

[0029] Fig. 7C eine zu Fig. 7B ähnliche Ansicht ist, nachdem die zweite Isolierschicht, die Schutzschicht, die Abstandhalter und die Pufferschicht vom Grat entfernt sind;

[0030] Fig. 8 eine perspektivische Ansicht einer U-Gate-Halbleiter-Transistorstruktur mit zwei halbierten Graten ist, die sublithographische Abmessungen aufweisen, nach einer Ausführung der Erfindung;

[0031] Fig. 9A einen Querschnitt einer Halbleiterstruktur zur Herstellung von zwei halbierten Graten darstellt, die sublithographische Abmessungen auf-

weisen, wobei jeder der halbierten Grate mindestens eine Stufe umfaßt, nach einer Ausführung der Erfindung;

[0032] Fig. 9B eine zu Fig. 9A ähnliche Ansicht ist, nachdem die Abstandhalter in der Größe verringert sind, um Teile der Deckfläche jedes der halbierten Grate freizulegen;

[0033] Fig. 9C eine zu Fig. 9B ähnliche Ansicht ist, nachdem eine Stufe ausgebildet ist;

[0034] Fig. 9D eine zu Fig. 9C ähnliche Ansicht ist, nachdem die zweite Isolierschicht, die Schutzschicht, die Abstandhalter und die Pufferschicht von den beiden halbierten Graten entfernt sind;

[0035] Fig. 10 eine perspektivische Ansicht einer U-Gate-Halbleiter-Transistorstruktur mit zwei halbierten Graten ist, die sublithographische Abmessungen aufweisen, wobei jeder der zwei halbierten Grate mindestens eine Stufe umfaßt, nach einer Ausführung der Erfindung.

DETAILLIERTE BESCHREIBUNG

[0036] In der folgenden Beschreibung werden zahlreiche spezifische Details, wie etwa spezielle Materialien, Dotiermittel-Konzentrationen, Abmessungen der Elemente etc. angegeben, um ein gründliches Verständnis einer oder mehrerer Ausführungen der vorliegenden Erfindung bereitzustellen. Es wird für einen Fachmann jedoch deutlich sein, daß die eine oder die mehreren Ausführungen der vorliegenden Erfindung ohne diese spezifischen Details angewandt werden können. An anderer Stelle wurden Halbleiterherstellungsverfahren, -techniken, -materialien, -ausrüstung etc. nicht im kleinsten Detail beschrieben, um zu vermeiden, die Erfindung unnötig unklar zu machen. Der Fachmann wird mit der beigefügten Beschreibung fähig sein, geeignete Funktionalitäten ohne unangemessenes Experimentieren zu implementieren.

[0037] Eine Bezugnahme in der ganzen Beschreibung auf „eine erste Ausführung“, „eine andere Ausführung“ oder „eine Ausführung“ bedeutet, daß ein besonderes Merkmal, eine besondere Struktur oder Charakteristik, die in Zusammenhang mit der Ausführung beschrieben werden, in mindestens einer Ausführung der vorliegenden Erfindung vorgesehen sind. Daher bezieht sich das Auftreten der Ausdrücke „für eine erste Ausführung“ oder „für eine Ausführung“ an verschiedenen Stellen in der Beschreibung nicht notwendigerweise alle auf dieselbe Ausführung. Darüber hinaus können die besonderen Merkmale, Strukturen oder Charakteristika in jeder geeigneten Weise in einer oder mehrerer Ausführungen kombiniert werden.

[0038] Nicht-planare Halbleiter-Transistorstrukturen mit verbesserter Kurzkanal-Leistung und Verfahren, diese zuverlässig herzustellen, werden hier beschrieben. Die Fig. 4 ist eine perspektivische Ansicht einer nicht-planaren U-Gate-Halbleiter-Transistorstruktur 300 mit einem vergrößerten Anteil des Eckbereichs gegenüber dem Nicht-Eckbereich nach einer Ausführung der Erfindung. Wie in Fig. 4 gezeigt ist, werden eine dielektrische Gateschicht 362 und eine Gateelektrode 363 auf einem Teil eines Grats 305 auf einer Isolierschicht 301 auf einem Substrat 360 ausgebildet, und eine Sourcereion 403 und eine Drainregion 404 werden an gegenüberliegenden Seiten des Grats 305 ausgebildet. Wie in Fig. 4 gezeigt ist, bedeckt die Gateelektrode 363 mit der dielektrischen Gateschicht 362 eine Deckfläche 306 und zwei gegenüberliegende Seitenwände 307 eines Teils einer Vertiefung 319 in dem Grat 305, was effektiv den Raum, den elektrische Signale zum Wandern zur Verfügung haben, vergrößert. Der vorherrschende Eckbereich der Transistorstruktur stellt eine verbesserte Kurzkanalsteuerung über die elektrischen Charakteristika der Vorrichtung bereit. Die Strom-Spannungs-Charakteristika werden von der Leistung des Eckbereichs der Vorrichtung über den vollen Spannungsbereich des Gates dominiert, so daß die Kurzkanaleffekte minimiert und Vorschwellen- und Treiberströme optimiert werden. Die nicht-planare U-Gate-Halbleiter-Transistorstruktur 300 wird hergestellt, indem ein Grat aus einem Halbleitermaterial mit einer Maskenschicht auf einer Oberseite des Grats auf einer ersten Isolierschicht ausgebildet wird. Eine Pufferschicht wird zwischen der Deckfläche des Grats und der Maskenschicht ausgebildet. Daraufhin wird eine Schutzschicht auf der Maskenschicht ausgebildet, wobei die Schutzschicht die Deckfläche der Maskenschicht, zwei gegenüberliegende Seitenwände der Maske, zwei gegenüberliegende Seitenwände des Grats und Teile der ersten Isolierschicht auf gegenüberliegenden Seiten des Grats bedeckt. Als nächstes wird eine zweite Isolierschicht auf der Schutzschicht ausgebildet. Daraufhin wird die zweite Isolierschicht planarisiert, um die Deckfläche der Maskenschicht freizulegen, so daß die Deckfläche der zweiten Isolierschicht, welche die Schutzschicht auf den Teilen der ersten Isolierschicht auf gegenüberliegenden Seiten des Grats bedeckt, im wesentlichen planar mit der Deckfläche der Maskenschicht ist. Weiter wird die Maskenschicht entfernt, um die Deckfläche des Grats, die von der Pufferschicht bedeckt ist, freizulegen. Daraufhin werden Abstandhalter auf der Pufferschicht angrenzend zu der Schutzschicht ausgebildet. Weiter wird eine Vertiefung in dem Grat ausgebildet, wobei die Vertiefung einen Boden und zwei gegenüberliegende, zum Boden vertikale Seitenwände umfaßt. Dann wird eine dielektrische Gateschicht auf der Deckfläche und zwei gegenüberliegenden Seitenwänden des Grats und dem Boden den gegenüberliegenden Seitenwänden der Vertiefung im Grat aus-

gebildet. Als nächstes wird eine Gateelektrode auf der dielektrischen Gateschicht ausgebildet. Daraufhin werden eine Sourceregion und eine Drainregion auf den gegenüberliegenden Seiten der Gateelektrode ausgebildet. In einer Ausführung wird mindestens eine Stufe in jeder der zwei gegenüberliegenden Seitenwände der Vertiefung ausgebildet. Das Verfahren stellt zuverlässig eine nicht-planare Halbleiter-Transistorstruktur mit U-Form mit einer vertikal definierten Menge von Ecken bereit. Die Anzahl der Ecken unter der vollen Kontrolle des Gates in dieser Transistorstruktur wird effektiv gegenüber dem normalen Tri-Gate-Transistor mindestens verdoppelt, was den Beitrag des Nicht-Eckbereichs an der Transistorleistung wesentlich verringert. Eine Gateelektrode, die sowohl auf der inneren als auch der äußeren Seite jeder der gegenüberliegenden Seitenwände wie auch auf dem Boden der Vertiefung im Grat ausgebildet wird, stellt völlige Verarmung eines Kanals der U-Gate-Transistorstruktur bereit. Darüber hinaus werden, da Gates auf jeder der beiden gegenüberliegenden Seitenwänden der U-förmigen Transistorstruktur wesentlich näher zueinander liegen als zwei gegenüberliegende Seiten-Gates eines einzelnen Grats des Tri-Gate-Transistors, Nicht-Ecken-Charakteristika der U-förmigen Transistorstruktur ebenfalls maximiert. Weiter wächst die Fläche, die zum Wandern der elektrischen Signale zur Verfügung steht, in der U-förmigen Transistorstruktur wesentlich gegenüber der Tri-Gate-Transistorstruktur. Als Ergebnis verbessert die U-förmige Mehrecken-Transistorstruktur die Gesamtleistung des Transistors um mindestens 10%. Ein DIBL-Parameter der U-förmigen Transistorstruktur ist beispielsweise wesentlich niedriger als ein DIBL-Parameter der Tri-Gate-Transistorstruktur für jede gegebene Gatelänge und nähert sich einer theoretischen Grenze von 0 mV/V an.

[0039] Die [Fig. 3A](#) stellt einen Querschnitt einer Halbleiterstruktur **300** zur Fertigung eines U-Gate-Transistors dar. Wie in [Fig. 3A](#) gezeigt ist, umfaßt die Halbleiterstruktur **300** eine Schicht **302** aus einem Halbleitermaterial, die auf einer Isolierschicht **301** auf einem Substrat **360** ausgebildet wird. In einer Ausführung wird die Schicht **302** aus dem Halbleitermaterial auf der Isolierschicht **301** ausgebildet, die ein Substrat **360** aus monokristallinem Silizium bedeckt, wie in [Fig. 3A](#) gezeigt ist. In einer Ausführung wird die auf der Isolierschicht **301** abgelagerte Schicht **302** aus monokristallinem Silizium („Si“) gefertigt, wobei die Isolierschicht **301** auf dem Substrat **360** aus Silizium aus einem vergrabenen Oxid gefertigt ist. Genauer umfaßt die Isolierschicht **301** Siliziumdioxid. In alternativen Ausführungen kann die Isolierschicht **301** aus irgend einem oder einer Kombination der Materialien Saphir, Siliziumdioxid, Siliziumnitrid oder anderen isolierenden Materialien gefertigt sein. Wie in [Fig. 3A](#) gezeigt ist, bildet die Isolierschicht **301**, die zwischen die Schicht **302** aus dem monokristallinen Silizium und das Substrat **360** aus Silizium eingeschoben ist,

ein Silicon-On-Insulator(SOI)-Substrat **361** („Silizium auf einem Isolator“). Das SOI-Substrat kann durch jede der im Stand der Technik bekannten Techniken gefertigt werden, zum Beispiel Abtrennung durch implantierten Sauerstoff („separation by implantation of oxygen“, SIMOX), Wasserstoffimplantations- und Separierungsansatz (auch SmartCut® genannt) und ähnliches. In einer Ausführung liegt die Dicke der Schicht **302** des monokristallinen Siliziums, das auf der Isolierschicht **301** aus vergrabenen Oxid ausgebildet ist, ungefähr im Bereich von 20 nm bis 200 nm. Genauer liegt die Dicke der Schicht **302** auf der Isolierschicht **301** zwischen 30 nm und 150 nm. In alternativen Ausführungen kann das Substrat **360** III-V und andere Halbleiter umfassen, zum Beispiel Indiumphosphat, Galliumarsenid, Galliumnitrid und Siliziumcarbid.

[0040] Des Weiteren wird eine Maskenschicht **304** auf oder über der Schicht **302** ausgebildet. In einer Ausführung wird eine Pufferschicht **303** zwischen der Schicht **302** und der Maskenschicht **304** ausgebildet, um den Übergang zwischen der Schicht **302** und der Maskenschicht **304** zu glätten. In einer Ausführung ist die Maskenschicht **304**, die auf der Schicht **302** aus monokristallinem Silizium auf der Isolierschicht **301** ausgebildet wird, eine Hartmaskenschicht. In einer Ausführung wird die Pufferschicht **303** aus Siliziumdioxid („SiO₂“) zwischen der Schicht **302** aus einem monokristallinen Silizium und einer Maskenschicht **304** aus Siliziumnitrid („Si₃N₄“) ausgebildet. In einer Ausführung liegt die Dicke der Pufferschicht **303**, die zwischen der Maskenschicht **304** und der Schicht **302** eingeschoben ist, ungefähr im Bereich von 1 nm bis 15 nm (10 Å bis 150 Å). Genauer beträgt die Dicke der Pufferschicht **303** etwa 3 nm (30 Å). In einer Ausführung liegt die Dicke der Maskenschicht **304** auf der Schicht **302** ungefähr im Bereich von 20 Nanometern („nm“) bis 200 nm. Genauer beträgt die Dicke der Maskenschicht **304** aus Siliziumnitrid auf der Schicht **302** aus monokristallinem Silizium etwa 150 nm. Die Maskenschicht **304** und die Pufferschicht **303** können auf der Schicht **302** unter Verwendung einer Technik, die einem Fachmann im Gebiet der Halbleiterfertigung bekannt ist, wie etwa der Technik der chemischen Gasphasenabscheidung („CVD“), abgelagert werden.

[0041] Die [Fig. 3B](#) zeigt die Maskenschicht **304** und die Pufferschicht **303**, die auf der Schicht **302** abgelagert sind, nachdem sich strukturiert und anschließend auf eine vorbestimmte Breite **330** und Länge (nicht gezeigt) geätzt wurden, um einen Grat aus der Schicht **302** auf der Isolierschicht **301** auf dem Substrat **360** auszubilden. Das Strukturieren und Ätzen der Maskenschicht **304** und der Pufferschicht **303**, die auf der Schicht **302** abgelagert sind, kann mittels Techniken, die einem Fachmann im Bereich der Halbleiterfertigung bekannt sind, ausgeführt werden.

[0042] Weiter wird die Schicht **302** strukturiert und anschließend geätzt, um einen Grat auf der Isolierschicht **301** auszubilden. Die **Fig. 3C** zeigt einen Querschnitt der Halbleiterstruktur **300**, nachdem der Grat **305** aus der Schicht **302** auf der Isolierschicht **301** ausgebildet wurde. Wie in **Fig. 3C** dargestellt ist, umfaßt der Grat **305** mit einer Breite **330**, einer Länge (nicht gezeigt) und einer Höhe **318** eine Deckfläche **306** und zwei gegenüberliegende Seitenwände **307**. In einer Ausführung wird die Pufferschicht **303** zwischen der Deckfläche **306** des Grats **305** und der Maskenschicht **304** abgelagert. In einer Ausführung kann die Breite **330** des Grats **305** ungefähr im Bereich von 20 nm bis 120 nm liegen, und die Höhe **318** des Grats kann ungefähr im Bereich von 20 bis 150 nm liegen. In einer Ausführung wird der Grat **305** aus der Schicht **302** auf eine Größe strukturiert und geätzt, die durch das kleinste Merkmal einer photolithographischen Technik definiert ist. In einer Ausführung kann die Schicht **302** aus monokristallinem Silizium auf der Isolierschicht **301** aus einem vergrabenen Oxid mittels Techniken, die einem Fachmann im Gebiet der Halbleiterfertigung bekannt sind, strukturiert und geätzt werden.

[0043] Die **Fig. 3D** zeigt einen Querschnitt der Halbleiterstruktur **300**, nachdem eine Schutzschicht **308** auf dem Grat **305** ausgebildet wurde. Wie in **Fig. 3D** gezeigt ist, bedeckt die Schutzschicht **308** zwei gegenüberliegende Seitenwände **307** des Grats **305**, eine Deckwand **311** und zwei Seitenwände **331** der Maskenschicht **304**, und Bereiche **309** der Isolierschicht **301** auf gegenüberliegenden Seiten des Grats **305**. In einer Ausführung wird die Schutzschicht **308** auf dem Grat **305** ausgebildet, um die gegenüberliegenden Seitenwände **307** und die Bereiche **309** vor Unterschneidung während nachfolgendem Ätzen zu schützen. In einer Ausführung weist die Schutzschicht **308** eine im Vergleich zur Ätzrate der Maskenschicht **304** sehr langsame Ätzrate auf, um später im Verfahren ein selektives Ätzen der Maskenschicht **304** bereitzustellen, wobei die Schutzschicht **308** intakt bleibt. Genauer ist die Ätzrate der Schutzschicht **308** etwa 10 mal langsamer als die Ätzrate der Maskenschicht **304**. In einer Ausführung umfaßt die Schutzschicht **308**, die den Grat **305** aus monokristallinem Silizium und die Maskenschicht **304** aus Si_3N_4 bedeckt, mit Kohlenstoff dotiertes Siliziumnitrid („ $\text{Si}_3\text{N}_4\text{:C}$ “). Genauer beträgt der Kohlenstoffanteil im Siliziumnitrid etwa 3 bis 5 Atomprozent. Genauer beträgt die Ätzrate der Maskenschicht **304** aus Si_3N_4 mit heißer Phosphorsäure etwa 50 Å/Min, während die Ätzrate der Schutzschicht **308** aus $\text{Si}_3\text{N}_4\text{:C}$, welche die Maskenschicht **304** bedeckt, etwa 5 Å/Min beträgt, um später im Verfahren die Maskenschicht **304** aus Si_3N_4 selektiv wegzuätzen, während die Schutzschicht **308** aus $\text{Si}_3\text{N}_4\text{:C}$ geschützt wird. In einer Ausführung liegt die Dicke der Schutzschicht **308** aus $\text{Si}_3\text{N}_4\text{:C}$, die auf dem Grat **305** aus mit monokristallinem Silizium und der Maskenschicht **304** aus Si_3N_4

abgelagert wird, zwischen 2 nm und 10 nm (20 Å und 100 Å). Die Schutzschicht **308** kann auf dem Grat **305** mittels Techniken, die einem Fachmann im Bereich der Halbleiterfertigung bekannt sind, abgelagert werden.

[0044] Die **Fig. 3E** zeigt einen Querschnitt der Halbleiterstruktur **300**, nachdem eine Isolierschicht **310** auf der Schutzschicht **308** ausgebildet wurde. Wie in **Fig. 3E** gezeigt ist, bedeckt die Isolierschicht **310** die Schutzschicht **308**, wobei die Deckfläche **311** der Maskenschicht **304** offengelegt wird. In einer Ausführung ist die Isolierschicht **310** auf der Schutzschicht aus $\text{Si}_3\text{N}_4\text{:C}$, die den Grat **305** aus monokristallinem Silizium und die Maskenschicht **304** aus Si_3N_4 bedeckt, aus Siliziumdioxid („ SiO_2 “) gefertigt. Die Isolierschicht **310** kann durch unstrukturiertes Ablagern auf der Schutzschicht und nachfolgendes Polieren, beispielsweise durch chemisch-mechanisches Polieren („CMP“), ausgebildet werden, um die Isolierschicht **310** und einen Teil der Schutzschicht **308** von der Deckfläche **311** der Maskenschicht zu entfernen, so daß die Deckfläche **311** der Maskenschicht **304** im wesentlichen planar mit der Deckfläche **313** der Isolierschicht **310** liegt, wie in **Fig. 3E** gezeigt ist. Das Ablagern der Isolierschicht aus Siliziumdioxid auf der Schutzschicht aus $\text{Si}_3\text{N}_4\text{:C}$ kann mittels Techniken, die einem Fachmann im Bereich der Halbleiterfertigung bekannt sind, durchgeführt werden.

[0045] Die **Fig. 3F** ist ein Querschnitt der Halbleiterstruktur **300**, nachdem die Maskenschicht **304** entfernt wurde. Wie in **Fig. 3F** gezeigt ist, wird die Maskenschicht **304** selektiv von der Deckfläche **314** der Pufferschicht **303** entfernt, wobei die Isolierschicht **310** und die Schutzschicht **308** auf gegenüberliegenden Seiten des Grats **305** intakt bleiben. Die Höhe **324** der freigelegten Bereiche **334** der Schutzschicht **308**, die durch die Dicke der Maskenschicht **304** definiert ist, wird daher beibehalten, was eine vorbestimmte Tiefe einer Vertiefung, die später im Verfahren in dem Grat ausgebildet wird, sicherstellt. In einer Ausführung kann die Maskenschicht **304** von der Pufferschicht **303** durch Naßätzen entfernt werden, wobei die chemische Zusammensetzung im wesentlichen eine hohe Selektivität für die Schutzschicht **308** und die Isolierschicht **310** aufweist, was bedeutet, daß die chemische Zusammensetzung überwiegend die Maskenschicht **304** ätzt anstatt die Schutzschicht **308** und die Isolierschicht **310**. In einer Ausführung beträgt das Verhältnis der Ätzrate der Maskenschicht **304** zu derjenigen der Schutzschicht **308** und der Isolierschicht **310** etwa 10:1. In einer Ausführung kann die Maskenschicht **304** aus Si_3N_4 selektiv von der Deckfläche **314** der Pufferschicht **303** aus SiO_2 durch Naßätzen mit heißer Phosphorsäure weggeätzt werden, während die Schutzschicht **308** aus $\text{Si}_3\text{N}_4\text{:C}$ und die Isolierschicht **310** aus SiO_2 erhalten bleiben.

[0046] Weiter werden Abstandhalter **315** auf dem Grat **305** ausgebildet. Die [Fig. 3G](#) ist ein Querschnitt einer Halbleiterstruktur **300**, nachdem Abstandhalter **315** auf dem Grat **305** ausgebildet wurden. Die Abstandhalter **315** grenzen an die Schutzschicht **308** an und bedecken Teile der Deckfläche **314** der Pufferschicht **303** und freigelegte Bereiche **334** der Schutzschicht **308**, wie in [Fig. 3G](#) gezeigt ist. In einer Ausführung bestimmt die Breite **343** jedes der Abstandhalter **315**, welche die Deckfläche **314** der Pufferschicht **303** bedecken, eine Breite einer Vertiefung im Grat **305**, die später im Verfahren ausgebildet wird. In einer Ausführung werden die Abstandhalter **315**, die Siliziumnitrid umfassen, auf der Pufferschicht **303** aus SiO_2 ausgebildet, wobei sie die freiliegenden Bereiche **334** der Schutzschicht **308** aus mit Kohlenstoff dotiertem Siliziumnitrid bedecken. Das Ausbilden der Abstandhalter **315** auf der Schutzschicht **308** degradiert das Profil der Abstandhalter **315** nicht. Solche Abstandhalter **315**, die ein stabiles Profil aufweisen, stellen eine zuverlässige Kontrolle der Breite der Vertiefung und der Dicke der Seitenwände der Vertiefung, die später im Verfahren im Grat **305** ausgebildet wird, bereit. In einer Ausführung wird, um die Abstandhalter **315** auszubilden, eine Schicht aus Abstandhalter-Material, zum Beispiel Siliziumnitrid, zuerst gleichförmig auf eine vorbestimmte Dicke auf der Deckfläche **314** der Pufferschicht **303** in der Öffnung **316** abgelagert, wobei die Seitenbereiche der Schutzschicht **308** bedeckt werden. In einer Ausführung bestimmt die Dicke des Abstandhalter-Materials, das gleichmäßig auf der Deckfläche **314** der Pufferschicht **303** in der Öffnung **316** abgelagert wird, die Breite **343** der Abstandhalter **315**. Dann wird die Schicht aus Abstandhalter-Material selektiv anisotrop weggeätzt, zum Beispiel durch die Reaktive-Ionen-ätz-Technik („RIE“), um die Abstandhalter **315** auszubilden. Verfahren zum Ausbilden solcher Abstandhalter **315** sind einem Fachmann im Bereich der Transistorfertigung bekannt. In einer Ausführung beträgt die Breite **343** jedes der Abstandhalter **315** etwa ein Drittel der Breite **330** des Grats **305**. Genauer kann, wenn die Breite **330** des Grats **305** ungefähr im Bereich von 20 nm bis 120 nm liegt, die Breite **343** jedes der Abstandhalter **315** ungefähr im Bereich von 6 nm bis 40 nm liegen.

[0047] Die [Fig. 3H](#) ist ein Querschnitt der Halbleiterstruktur **300**, nachdem eine Vertiefung **319** im Grat **305** ausgebildet wurde. Die Vertiefung **319** im Grat **305** weist einen Boden **320** und zwei gegenüberliegende Seitenwände auf, die zwei gegenüberliegende seitliche Säulen **321** ausbilden, wie in [Fig. 3H](#) gezeigt ist. In einer Ausführung ist jede der beiden gegenüberliegenden seitlichen Säulen **321** vertikal in einem rechten Winkel gegenüber dem Boden **320** positioniert, wobei Ecken **322** mit rechten Winkeln zwischen jeder der beiden gegenüberliegenden seitlichen Säulen **321** und dem Boden **320** ausgebildet werden. Die Dicke **342** jeder der beiden gegenüberliegenden seit-

lichen Säulen **321** der Vertiefung **319** wird durch die Dicke **343** jedes der Abstandhalter **315** kontrolliert. Da die Abstandhalter **315** auf der Schutzschicht **308** ausgebildet sind, werden die Dicke und das Profil der Abstandhalter **315** nicht degradiert, so daß die Abstandhalter **315** eine zuverlässige Kontrolle der Dicke **342** jeder der beiden gegenüberliegenden seitlichen Säulen **321** der Vertiefung **319** bereitstellen. In einer Ausführung wird die Dicke des Bodens **320** durch die Höhe **350** der beiden Abstandhalter **315** gesteuert, so daß, je höher die beiden Abstandhalter sind, desto dünner kann der Boden **320** gefertigt werden. Mit Bezug auf [Fig. 3G](#) liegt in einer Ausführung das Verhältnis der Höhe **317** der Abstandhalter **315** zur Dicke **318** des Grats **305** jeweils ungefähr im Bereich von 1:1 bis 5:1. Genauer liegt die Höhe **317** der Abstandhalter **315** zwischen 30 nm und 150 nm. In einer Ausführung wird die Vertiefung **319** im Grat **305** mittels einer der Techniken ausgebildet, die einem Fachmann im Bereich der Halbleiterfertigung bekannt sind, wie zum Beispiel einer RIE-Technik. In einer Ausführung wird die Vertiefung **319** im Grat **305** von der Oberfläche des Grats **305** auf eine vorbestimmte Tiefe heruntergeätzt, um einen völlig verarmten Transistorkanal auszubilden. In einer Ausführung wird die vorbestimmte Tiefe der Vertiefung **319** im Grat **305** durch die Ätzzeit gesteuert. In einer Ausführung kann die Vertiefung **319** auf die vorbestimmte Tiefe von 30 nm bis 100 nm (300 Å bis 1000 Å) heruntergeätzt werden. In einer Ausführung liegt die vorbestimmte Tiefe der Vertiefung **319** zwischen 0,5 und 0,8 mal der Dicke **318** des Grats **305**, um einen völlig verarmten Transistorkanal auszubilden. In einer Ausführung liegt die Dicke **344** des Bodens **320** ungefähr im Bereich von 5 nm bis 15 nm (50 Å bis 150 Å). In einer anderen Ausführung ist die vorbestimmte Tiefe gleich der Breite **323** der Vertiefung, um einen völlig verarmten Transistorkanal auszubilden. In einer Ausführung ist, um einen völlig verarmten Transistorkanal auszubilden, die Dicke **344** des Bodens **320** der Vertiefung **319** mindestens zwei mal dünner als die Dicke **342** jeder der beiden gegenüberliegenden seitlichen Säulen **321**. Genauer kann die Dicke des Bodens **320** etwa 10 nm (100 Å) betragen, und die Dicke jeder der beiden gegenüberliegenden seitlichen Säulen **321** kann etwa 20 nm (200 Å) betragen.

[0048] Anschließend wird die Isolierschicht **310** selektiv von der Schutzschicht **308** entfernt, wobei die Isolierschicht **301** unversehrt gelassen wird, wie in [Fig. 3I](#) gezeigt ist. Das Erhalten der Isolierschicht **301** beim Entfernen der Isolierschicht **310** ist wichtig, um später im Verfahren die Erzeugung der Polysilizium-Streifen zu vermeiden. Die Schutzschicht **308** wird anschließend selektiv vom Grat **305**, den äußeren Seitenwänden **325** der Abstandhalter **315** und den Teilen **309** der Isolierschicht **301** auf gegenüberliegenden Seiten des Grats **305** entfernt, wobei der Grat **305** und die Isolierschicht **301** intakt bleiben und die senkrechte Ausrichtung der beiden gegenüber-

liegenden Seitenwände **307** des Grats **305** erhalten bleibt. Die [Fig. 3I](#) ist eine Ansicht ähnlich zu [Fig. 3H](#), nachdem die Isolierschicht **310** und die Schutzschicht **308** von den Teilen **309** der Isolierschicht **301** und dem Grat **305** entfernt wurden. In einer Ausführung kann die Isolierschicht **310** aus Siliziumdioxid von der Schutzschicht **308** aus $\text{Si}_3\text{N}_4:\text{C}$ mittels Fluorwasserstoffsäure („HF“) entfernt werden, und die Schutzschicht **308** aus $\text{Si}_3\text{N}_4:\text{C}$ kann vom Grat **305** aus monokristallinem Silizium und von der Isolierschicht **301** aus vergrabener Oxid mittels heißer Phosphorsäure durch eine Technik, die im Gebiet der Halbleiterfertigung bekannt ist, entfernt werden.

[0049] Die [Fig. 3J](#) ist ein Querschnitt der Halbleiterstruktur **300**, nachdem die Abstandhalter **315** und die Pufferschicht **303** von dem Grat **305** auf der Isolierschicht **301** entfernt wurden. In einer Ausführung werden die Abstandhalter **315** und die Pufferschicht **303** nacheinander durch eine Technik, die einem Fachmann im Gebiet der Halbleiterfertigung bekannt ist, durch die heiße Phosphorsäure bzw. die Fluorwasserstoffsäure vom Grat **305** entfernt. Der Grat **305** auf der Isolierschicht **301** weist eine U-Form und eine vergrößerte Anzahl von Ecken **345** gegenüber der Tri-Gate-Halbleiterstruktur auf.

[0050] Die [Fig. 3K](#) ist ein Querschnitt der Halbleiterstruktur **300**, nachdem nacheinander eine dielektrische Gateschicht **362** und eine Gateelektrode **363** auf dem Bereich des Grats **305** ausgebildet wurden. Wie in [Fig. 3K](#) gezeigt ist, bedecken die Gateelektrode **363** zusammen mit der dielektrischen Gateschicht **362** die Deckfläche **306** und die gegenüberliegenden Seitenwände **307** des Grats **305** auf der Isolierschicht **301** auf dem Substrat **360** und den Boden **320** und die zwei gegenüberliegenden Seitenwände **364** des Bereichs der Vertiefung **319**, wobei effektiv der Raum zum Wandern der elektrischen Signale vergrößert wird. Die U-förmige Halbleiter-Transistorstruktur **300** verdoppelt auch effektiv die Anzahl von Ecken unter völliger Gate-Kontrolle gegenüber der Tri-Gate-Transistorstruktur, was die Nicht-Ecken-Komponenten des Transistors wesentlich verringert, was zu einer verbesserten Kurzkanalsteuerung führt.

[0051] Die dielektrische Gateschicht **362** kann auf dem Grat **305** mittels Ablagerungs- und Strukturierungstechniken ausgebildet werden, die einem Fachmann im Gebiet der Transistorfertigung bekannt sind. In einer Ausführung kann die dielektrische Gateschicht **362** beispielsweise Siliziumdioxid („ SiO_2 “), Siliziumoxydnitrid („ SiO_xN_y “) oder Siliziumnitrid („ Si_3N_4 “) umfassen. In einer anderen Ausführung kann die dielektrische Gateschicht **362** ein Oxid eines Übergangsmetalls umfassen, das eine Dielektrizitätskonstante k aufweist, die höher als die Dielektrizitätskonstante von SiO_2 ist, zum Beispiel Zirkonioxid („ ZrO_2 “), Hafniumoxid („ HfO_2 “) und Lanthanoxid („ La_2O_3 “). In einer Ausführung wird die dielektri-

sche Schicht mit hohem k auf dem Grat **305** mittels einer Atomschicht-Ablagerungstechnik („ALD“) ausgebildet. In einer Ausführung kann die Dicke der dielektrischen Gateschicht **362** zwischen 0,5 nm und 10 nm (5 Å und 100 Å) liegen.

[0052] In einer Ausführung wird die Gateelektrode **363** nachfolgend auf der dielektrischen Gateschicht **362** mittels Ablagerungs- und Strukturierungstechniken ausgebildet, die einem Fachmann im Gebiet der Transistorfertigung bekannt sind. In einer Ausführung liegt die Dicke der Gateelektrode **363**, die auf der dielektrischen Gateschicht **362** ausgebildet ist, zwischen 50 nm und 350 nm (500 Å und 3500 Å). In alternativen Ausführungen kann die Gateelektrode **363**, die auf der dielektrischen Gateschicht **362** ausgebildet ist, aus einem Metall, einem Polysilizium, Polysiliziumgermanium, Nitrid und jeder Kombination aus diesen gefertigt sein, ist aber nicht auf sie beschränkt.

[0053] Des Weiteren werden mit Bezug auf die [Fig. 4](#) eine Sourceregion **403** und eine Drainregion **404**, die Spitzenerweiterungen (nicht gezeigt) aufweisen, an gegenüberliegenden Seiten des Grats **305** ausgebildet. Die Sourceregion **403** und die Drainregion **404** können mittels einer der Techniken, die einem Fachmann im Gebiet der Halbleiterfertigung bekannt sind, ausgebildet werden. In einer Ausführung können die Sourceregion **403** und die Drainregion **404** in dem Grat **305** auf gegenüberliegenden Seiten der Gateelektrode **363** mittels einer Ionenimplantationstechnik ausgebildet werden, die Ionen von entsprechenden Dotiermitteln in die gegenüberliegenden Seiten des Grats **305** zuführt, wobei die Gateelektrode **363** als eine Maske verwendet wird.

[0054] Die [Fig. 5A](#) stellt einen Querschnitt einer Halbleiterstruktur **500** zur Herstellung eines Mehrstufen-U-Gate-Transistors nach einer Ausführung der Erfindung dar. Die Halbleiterstruktur **500** wird mittels eines Verfahrens ausgebildet, das oben mit Bezug auf die [Fig. 3A–Fig. 3H](#) beschrieben ist. Wie in [Fig. 5A](#) gezeigt ist, umfaßt die Halbleiterstruktur **500** eine Vertiefung **501** in einem Grat **502** aus einem Halbleitermaterial, der auf einer Isolierschicht **503** ausgebildet ist. Die Vertiefung **501** umfaßt einen Boden **521** und zwei gegenüberliegende Seitenwände **504**. Eine Schutzschicht **505** bedeckt die Seitenwände des Grats **502** und die Teile der Isolierschicht **503** an gegenüberliegenden Seiten des Grats **502**. Die Isolierschicht **511** wird auf den Bereichen der Schutzschicht **505** auf gegenüberliegenden Seiten des Grats **502** ausgebildet. Die Abstandhalter **506** werden auf der Deckfläche des Grats **502** angrenzend an die Schutzschicht **505** ausgebildet. In einer Ausführung wird die Pufferschicht **507** zwischen einer Deckfläche des Grats **502** und jedem der Abstandhalter **506** abgelagert. In einer Ausführung wird die Vertiefung **501** von der Deckfläche des Grats **502** auf

ungefähr ein Drittel der Dicke **528** des Grats **502** heruntergeätzt.

[0055] Die [Fig. 5B](#) ist eine Ansicht ähnlich zu [Fig. 5A](#), nachdem die Abstandhalter **506** in der Größe auf eine vorbestimmte Breite verringert wurden, um Bereiche **509** der Deckfläche des Grats **502**, die mit der Pufferschicht **507** bedeckt ist, freizulegen. In einer Ausführung werden die Abstandhalter **506** auf eine vorbestimmte Breite **520** verkleinert, die von der Anzahl der Stufen, die nachfolgend ausgebildet werden, bestimmt wird. In einer Ausführung ist die Breite **520** der Abstandhalter **506** nach dem Verkleinern um etwa 30% verringert. In einer Ausführung wird das Verkleinern der Abstandhalter **506** durch eine Ätzung, zum Beispiel eine Trocken- oder Naßätzung, durchgeführt. In einer Ausführung wird das Verkleinern der Abstandhalter **506** durch eine Naßätzung mit einer heißen Phosphorsäure durchgeführt. In einer Ausführung wird die Passivierungsschicht **508**, wie in [Fig. 5B](#) gezeigt ist, auf dem Boden **521** und Teilen der Seitenwände **504** der Vertiefung **501** nach dem Verkleinern der Abstandhalter **506** abgelagert, um als eine Ätzstopp-Schicht für das nachfolgende Ätzen des Grats **502** zu dienen. In einer anderen Ausführung wird, wenn Trockenplasmaätzen zur Verkleinerung der Abstandhalter **506** verwendet wird, die Passivierungsschicht **508** auf dem Boden **521** und auf den Teilen der beiden gegenüberliegenden Seitenwände **504** der Vertiefung **501** abgelagert, bevor die Abstandhalter **506** verkleinert werden, um den Gratkörper **502** vor beispielsweise Grübchenbildung während des Trockenplasmaätzens zu schützen und als ein Ätzstopp zu dienen, während später im Verfahren eine Stufe in der Seitenwand der Vertiefung **501** ausgebildet wird. In einer Ausführung umfaßt die Passivierungsschicht **508**, die auf dem Boden **521** und auf den Teilen der beiden gegenüberliegenden Seitenwände **504** der Vertiefung **501**, die im Grat **502** aus Silizium ausgebildet ist, abgelagert ist, in Oxid. In einer Ausführung liegt die Dicke der Passivierungsschicht **508** ungefähr im Bereich von 1 nm und 4 nm (10 Å und 50 Å). In einer Ausführung wird die Passivierungsschicht **508** auf dem Boden der Vertiefung mittels einer der Techniken abgelagert, die einem Fachmann im Gebiet der Transistorfertigung bekannt sind.

[0056] Die [Fig. 5C](#) ist eine Ansicht ähnlich der [Fig. 5B](#), nachdem ausgesetzte Bereiche **509** der Deckfläche des Grats **502**, die von der Pufferschicht **507** bedeckt sind, weggeätzt wurden, um Stufen **510** in den Seitenwänden der Vertiefung **501** im Grat **502** auszubilden. In einer Ausführung werden die ausgesetzten Bereiche **509**, die von der Pufferschicht **507** bedeckt sind, anisotrop von der Decke des Grats **502** auf eine vorbestimmte Tiefe heruntergeätzt, während sie seitlich auf eine vorbestimmte Breite zurückgeführt werden, um jede der Stufen **510** auszubilden. In einer Ausführung kann jede der Stufen **510** ein Ver-

hältnis von Tiefe **520** zu Breite **530** ungefähr im Bereich von 1:1 bis 3:1 aufweisen. Genauer weist jede der Stufen **510** ein Verhältnis von Tiefe zu Breite von etwa 1:1 auf. In einer Ausführung werden ausgesetzte Bereiche **509** der Deckfläche des Grats **502** aus Silizium, der von der Pufferschicht **507** aus Siliziumdioxid bedeckt ist, mittels entweder einer RIE- oder einer Naßätztechnik, die einem Fachmann im Gebiet der Halbleiterfertigung bekannt sind, weggeätzt. In einer Ausführung werden das Ablagern der Passivierungsschicht **508** auf dem Boden und Teilen der Seitenwände der Vertiefung **501**, das Verkleinern der Abstandhalter **506** in der Größe, um Teile der Deckfläche des Grats, der von der Pufferschicht bedeckt ist, freizulegen, und das Wegätzen der ausgesetzten Bereiche **509** der Deckfläche des Grats **502** von der Decke des Grats bis auf eine vorbestimmte Tiefe herunter und seitlich bis auf eine vorbestimmte Breite wird fortlaufend wiederholt, bis eine vorbestimmte Anzahl von Stufen in den Seitenwänden **504** der Vertiefung **501** erzeugt wird.

[0057] Die [Fig. 5D](#) ist ein Querschnitt einer Halbleiterstruktur **500**, nachdem die Passivierungsschicht **508** vom Boden **521** und von den Teilen von zwei gegenüberliegenden Seitenwänden **504** der Vertiefung **501**, die Isolierschicht **510** von der Schutzschicht **505**, und die Schutzschicht **505** vom Grat **502** und Teilen der Isolierschicht **503** auf gegenüberliegenden Seiten des Grats **502** entfernt wurde. In einer Ausführung wird das Entfernen der Passivierungsschicht aus Oxid vom Boden **521** und von den Teilen der beiden gegenüberliegenden Seitenwände **504** der Vertiefung **501** in dem Grat **502** aus Silizium durch Ätzen beispielsweise mit heißer Phosphorsäure durchgeführt. Das Entfernen der Isolierschicht **511** von der Schutzschicht **505** und der Schutzschicht **505** vom Grat **502** und Teilen der Isolierschicht **503** auf gegenüberliegenden Seiten des Grats **502** ist oben mit Bezug auf [Fig. 3I](#) beschrieben.

[0058] Die [Fig. 5E](#) ist ein Querschnitt einer Halbleiterstruktur **500**, nachdem nacheinander die Abstandhalter **506** und die Pufferschicht **507** vom Grat **502** entfernt wurden, wie oben mit Bezug auf [Fig. 3J](#) beschrieben ist. Wie in [Fig. 5E](#) gezeigt ist, bilden die vertikalen Seitenwände des Grats **502** eine Menge von Ecken **512** mit der Deckfläche des Grats **502**, und die Seitenwände **504** bilden eine Menge von Ecken **513** mit dem Boden **521** der Vertiefung **501** und mit den Stufen **510**, wobei die Anzahl der Ecken **513** die Anzahl der Ecken **512** übertrifft. Die Anzahl der Ecken **513** kann erhöht werden, indem, wie oben erklärt ist, schrittweise Stufen **510** in den Seitenwänden der Vertiefung ausgebildet werden, was den Eckbereich der U-Gate-Transistorstruktur gegenüber dem Nicht-Eckbereich wesentlich erhöht.

[0059] Die [Fig. 6](#) ist eine perspektivische Ansicht einer Mehrecke-U-Gate-Halbleiter-Transistorstruktur

600 nach einer Ausführung der Erfindung. Die Mehr-ecken-U-Gate-Halbleiter-Transistorstruktur **600** umfaßt die dielektrische Gateschicht **601** und die Gateelektrode **602**, die nacheinander auf dem Teil des Grats **502** auf der Isolierschicht **503** ausgebildet werden, und die Sourceregion **603** und die Drainregion **604**, die auf gegenüberliegenden Seiten des Grats **502** ausgebildet werden, wobei jede der Seitenwände der Vertiefung **501** eine Stufe **605** umfaßt. Wie in [Fig. 6](#) gezeigt ist, bedeckt die Gateelektrode **602** mit der dielektrischen Schicht **601** die Deckfläche und zwei gegenüberliegende Seitenwände des Bereichs des Grats **502** und den Boden und gegenüberliegende Seitenwände des Bereichs der Vertiefung **501** im Grat **502**, wobei jede der gegenüberliegenden Seitenwände die Stufe **605** umfaßt. Die U-förmige Mehr-ecken-Halbleiter-Transistorstruktur **600** mit stufenartigen Seitenwänden erhöht die Anzahl der Ecken unter voller Gate-Kontrolle weiter, wodurch der Nicht-Ecken-Anteil des Transistors weiter verringert wird. In einer Ausführung übertrifft der Eckbereich in der I-V-Charakteristik der U-Gate-Transistorstruktur den Nicht-Eckbereich um mindestens 10%.

[0060] Die [Fig. 7A](#) stellt einen Querschnitt einer Halbleiterstruktur **700** zum Herstellen halbierten Grate nach einer Ausführung der Erfindung dar. Wie in [Fig. 7A](#) gezeigt ist, umfaßt die Halbleiterstruktur **700** einen Grat **701** aus einem Halbleitermaterial, der auf einer Isolierschicht **702** ausgebildet ist. Die Schutzschicht **703** bedeckt die Seitenwände des Grats **701** und Teile der Isolierschicht **702** an gegenüberliegenden Seiten des Grats **701** und grenzt an jeden der Abstandhalter **704**, die auf der Deckfläche des Grats **701** ausgebildet sind. Die Isolierschicht **705** ist auf den Teilen der Schutzschicht **703** auf gegenüberliegenden Seiten des Grats **701** ausgebildet. In einer Ausführung wird die Pufferschicht **706** zwischen einer Deckfläche des Grats **701** und jedem der Abstandhalter **704** abgelagert. Die Halbleiterstruktur **700** wird mittels eines Verfahrens ausgebildet, das oben mit Bezug auf die [Fig. 3A–Fig. 3G](#) beschrieben ist.

[0061] Die [Fig. 7B](#) ist ein Querschnitt einer Halbleiterstruktur **700**, nachdem der Grat **701** von einem ausgesetzten Teil der Deckfläche des Grats **701** auf die Isolierschicht **702** heruntergeätzt wurde, um in einem lithographischen Schritt halbierte Gate **708** zu erzeugen, wobei die Anzahl der Gate verdoppelt und ein Grat-Rasterabstand um den Faktor zwei gesenkt wird. Die Breite **709** der halbierten Gate **708** und der Abstand **710** zwischen den halbierten Graten **708** werden von der Dicke der Abstandhalter **704** gesteuert und sind unabhängig von der lithographischen Auflösung und Maskenmerkmalen, was ein robustes Herstellungsverfahren bereitstellt. In einer Ausführung weist jeder der halbierten Gate **708** Abmessungen auf, die kleiner als die lithographische Grenze sind. Das Herunterätzen des Grats **701** auf die Iso-

lierschicht wird durch ein Verfahren ausgeführt, das oben mit Bezug auf die [Fig. 3H](#) beschrieben ist.

[0062] Die [Fig. 7C](#) ist ein Querschnitt einer Halbleiterstruktur **700**, nachdem die Isolierschicht **705**, die Schutzschicht **703**, die Abstandhalter **704** und die Pufferschicht **706** jeder der halbierten Gate **708** mittels eines Verfahrens entfernt wurde, das oben mit Bezug auf die [Fig. 3I](#) und [Fig. 3J](#) beschrieben ist. Wie in [Fig. 7C](#) gezeigt ist, werden die beiden halbierten Gate **708** auf der Isolierschicht **705** aus einem einzelnen Grat ausgebildet, was den Rasterabstand **711** des Grats halbiert. In einer Ausführung können, unter Verwendung eines Verfahrens, das oben mit Bezug auf die [Fig. 7A–Fig. 7C](#) beschrieben ist, eine Mehrzahl von halbierten Graten, die sublithographische Abmessungen aufweisen, aus einer Mehrzahl von einzelnen Graten gefertigt werden.

[0063] Die [Fig. 8](#) ist eine perspektivische Ansicht einer U-Gate-Halbleiter-Transistorstruktur **800** mit zwei halbierten Graten **708** auf der Isolierschicht **702**, die sublithographische Abmessungen aufweisen, nach einer Ausführung der Erfindung. Die dielektrische Gateschicht **802** und die Gateelektrode **803** werden nacheinander auf dem Teil jedes der halbierten Gate **708** ausgebildet. Die Sourceregion **804** und die Drainregion **805** werden an gegenüberliegenden Seiten der Gateelektrode **803** auf jedem der halbierten Gate **708** ausgebildet. Wie in [Fig. 8](#) gezeigt ist, bedeckt die Gateelektrode **803** mit der dielektrischen Gateschicht **802** die Deckfläche und zwei gegenüberliegende Seitenwände des Teils jedes der halbierten Gate **708**, was eine Struktur mit zwei Tri-Gate-Transistoren erzeugt, die einen halbierten Rasterabstand aufweisen. In einer Ausführung weist jeder der beiden Tri-Gate-Transistoren sublithographische Abmessungen auf.

[0064] Die [Fig. 9A](#) stellt einen Querschnitt einer Halbleiterstruktur **900** zu Herstellung einer Transistorstruktur mit halbierten Graten dar, die sublithographische Abmessungen aufweisen, wobei jeder der halbierten Gate mindestens eine Stufe nach einer Ausführung der Erfindung umfaßt. Die Halbleiterstruktur **900** umfaßt halbierte Gate **901** auf der Isolierschicht **902** und die Schutzschicht **903**, welche die äußeren Seitenwände **911** jedes der halbierten Gate **901** und die Teile der Isolierschicht **902** an den äußeren Seitenwänden **911** jedes der halbierten Gate **901** bedeckt. Die Schutzschicht **903** grenzt an jeden der Abstandhalter **904**, die auf den Deckflächen jedes der halbierten Gate **901** ausgebildet sind. Die Isolierschicht **905** wird auf den Teilen der Schutzschicht **903** bei den äußeren Seitenwänden **911** jedes der halbierten Gate **901** ausgebildet. In einer Ausführung wird die Pufferschicht **906** zwischen einer Deckfläche jedes der halbierten Gate **901** und jedes der Abstandhalter **904** abgelagert. Die Halbleiterstruktur **900** wird mittels eines Verfahrens ausgebildet, das oben mit Bezug auf die [Fig. 7A–Fig. 7C](#) dargestellt ist.

[0065] Die [Fig. 9B](#) ist ein Querschnitt einer Halbleiterstruktur **900**, nachdem die Abstandhalter **904** in der Größe verringert wurden, um Teile **921** der Deckfläche jedes der halbierten Grate **901**, die von der Pufferschicht **906** bedeckt sind, freizulegen. Die Schutzschicht **922** wird auf dem ausgesetzten Teil der Isolierschicht **902** zwischen den halbierten Graten **901** abgelagert, um die Isolierschicht **902** vor Unterschneidung später im Verfahren zu schützen. In einer Ausführung ist die Schutzschicht **922**, die auf dem ausgesetzten Teil der Isolierschicht **902** aus einem vergrabenen Oxid zwischen halbierten Graten **901** aus Silizium abgelagert ist, eine kohlenstoffdotierte Siliziumnitridschicht.

[0066] Die [Fig. 9C](#) ist ein Querschnitt einer Halbleiterstruktur **900**, nachdem ausgesetzte Teile **921** der Deckflächen jedes der halbierten Grate **901**, die von der Pufferschicht **906** bedeckt sind, weggeätzt wurden, um Stufen **931** in der inneren Seitenwand jedes der halbierten Grate **901** mittels eines Verfahrens, das oben mit Bezug auf [Fig. 5C](#) beschrieben ist, auszubilden. Das Verringern der Abstandhalter **904** in der Größe wird mittels eines Verfahrens durchgeführt, das oben mit Bezug auf [Fig. 5B](#) beschrieben ist. In einer Ausführung wird das Verringern der Abstandhalter **904** in der Größe fortlaufend mittels eines Verfahrens, das oben mit Bezug auf [Fig. 5C](#) beschrieben ist, wiederholt, bis eine vorbestimmte Anzahl von Stufen in den Seitenwänden der halbierten Grate **901** hergestellt ist.

[0067] Die [Fig. 9D](#) ist ein Querschnitt einer Halbleiterstruktur **900**, nachdem die Isolierschicht **905**, die Schutzschicht **903**, die Schutzschicht **922**, die Abstandhalter **904** und die Pufferschicht **906** von jedem der beiden halbierten Grate **901** und der Isolierschicht **902** mittels eines Verfahrens entfernt wurden, das oben mit Bezug auf die [Fig. 3I](#) und [Fig. 3J](#) beschrieben ist. Wie in [Fig. 9D](#) gezeigt ist, werden zwei halbierte Grate **901** auf der Isolierschicht ausgebildet, wobei jeder der halbierten Grate **901** eine Stufe **931** umfaßt. In einer anderen Ausführung kann die Halbleiterstruktur **900** ausgebildet werden, indem zuerst die Vertiefung in dem Grat ausgebildet wird, wobei jede der Seitenwände der Vertiefung mindestens eine Stufe umfaßt, wie oben mit Bezug auf die [Fig. 5A–Fig. 5D](#) beschrieben ist, und daraufhin halbierte Grate ausgebildet werden, wie oben mit Bezug auf [Fig. 7B](#) beschrieben ist. In einer Ausführung können, mittels eines Verfahrens, das oben mit Bezug auf die [Fig. 7A–Fig. 7C](#) und die [Fig. 5A–Fig. 5D](#) beschrieben ist, eine Mehrzahl von halbierten Graten, die mindestens eine Stufe aufweisen und sublithographische Abmessungen aufweisen, aus einer Mehrzahl von einzelnen Graten gefertigt werden.

[0068] Die [Fig. 10](#) ist eine perspektivische Ansicht einer U-Gate-Halbleiter-Transistorstruktur **1000** mit zwei halbierten Graten **1001**, die sublithographische

Abmessungen aufweisen, wobei jeder der beiden halbierten Grate **1001** auf einer Isolierschicht **1007** mindestens eine Stufe aufweist, nach einer Ausführung der Erfindung. Die dielektrische Gateschicht **1003** und die Gateelektrode **1004** werden nacheinander auf dem Teil jedes der beiden halbierten Grate **1001** ausgebildet, wobei sie die Stufe **1002** bedecken. Die Sourcereion **1005** und die Drainregion **1006** werden auf gegenüberliegenden Seiten der Gateelektrode **1004** von jeder der beiden halbierten Grate **1001** ausgebildet. Wie in [Fig. 10](#) gezeigt ist, bedeckt die Gateelektrode **1004** mit der dielektrischen Gateschicht **1003** die Deckfläche und zwei gegenüberliegende Seitenwände, einschließlich der Stufe **1002**, des Teils jedes der beiden halbierten Grate **1001**, was zwei Mehrecken-Tri-Gate-Transistorstrukturen erzeugt. In einer Ausführung weisen zwei Mehrecken-Tri-Gate-Transistorstrukturen halbierte Abstände und sublithographische Abmessungen auf.

[0069] Gemäß einem weiteren Beispiel der vorliegenden Erfindung umfasst ein Verfahren zur Herstellung einer Halbleiterstruktur die folgenden Schritte: Ausbilden eines Grats aus einem Halbleitermaterial auf einer ersten Isolierschicht, wobei eine Maskenschicht auf einer Deckfläche des Grats liegt; Ausbilden einer zweiten Isolierschicht auf dem Grat, wobei eine Deckfläche der Maskenschicht freigelegt bleibt, und wobei eine Schutzschicht zwischen dem Grat und der zweiten Isolierschicht abgelagert wird; Entfernen der Maskenschicht; Ausbilden von Abstandhaltern auf dem Grat angrenzend an die Schutzschicht; und Ausbilden einer Vertiefung in dem Grat, wobei die Vertiefung einen Boden und gegenüberliegende Seitenwände aufweist.

[0070] Bevorzugt liegt eine Pufferschicht zwischen einer Deckfläche des Grats und der Maskenschicht.

[0071] Bevorzugt bedeckt die Schutzschicht zwei gegenüberliegende Seitenwände des Grats, zwei gegenüberliegende Seitenwände der Maskenschicht und Teile der ersten Isolierschicht auf gegenüberliegenden Seiten des Grats.

[0072] Bevorzugt schützt die Schutzschicht die zwei gegenüberliegenden Seitenwände des Grats und die Teile der ersten Isolierschicht auf gegenüberliegenden Seiten des Grats davor unterschritten zu werden.

[0073] Bevorzugt umfasst das Ausbilden der zweiten Isolierschicht auf dem Grat das Planarisieren der zweiten Isolierschicht, so daß eine Deckfläche der zweiten Isolierschicht im wesentlichen planar mit der Deckfläche der Maskenschicht ist.

[0074] Bevorzugt umfasst das Ausbilden des Grats aus dem Halbleitermaterial folgendes: Ablagern einer

Schicht aus dem Halbleitermaterial auf der ersten Isolierschicht auf dem Substrat; Ablagern der Maskenschicht auf der Schicht aus dem Halbleitermaterial; Strukturieren und Ätzen der Maskenschicht auf der Schicht aus dem Halbleitermaterial; und Ätzen der Schicht aus dem Halbleitermaterial, um den Grat auszubilden.

[0075] Bevorzugt umfasst das Beispiel weiter folgendes: Ausbilden einer dielektrischen Gateschicht, welche die Deckfläche und die gegenüberliegenden Seitenwände des Grats und den Boden und die gegenüberliegenden Seitenwände der Vertiefung in dem Grat bedeckt; Ausbilden einer Gateelektrode auf der dielektrischen Gateschicht; und Ausbilden einer Sourceregion und einer Drainregion in dem Grat auf gegenüberliegenden Seiten der Gateelektrode.

[0076] Bevorzugt stellt die Schutzschicht eine Steuerung der Dicke der gegenüberliegenden Seitenwände und des Bodens der Vertiefung bereit.

[0077] Bevorzugt ist eine Ätzrate der Schutzschicht im wesentlichen niedriger als die Ätzrate der Maskenschicht.

[0078] Bevorzugt umfasst die Schutzschicht kohlenstoffdotiertes Siliziumnitrid.

[0079] Bevorzugt bestimmt eine Dicke der Maskenschicht eine minimale Dicke des Bodens der Vertiefung.

[0080] Bevorzugt bestimmt eine Breite jedes der Abstandhalter eine Dicke jeder der gegenüberliegenden Seitenwände der Vertiefung.

[0081] Bevorzugt ist der Boden der Vertiefung dünner als jede der gegenüberliegenden Seitenwände der Vertiefung.

[0082] Bevorzugt umfasst das Beispiel weiter folgendes: Entfernen der Abstandhalter; Entfernen der Pufferschicht; und Entfernen der zweiten Isolierschicht, nachdem die Vertiefung in dem Grat ausgebildet ist.

Patentansprüche

1. Verfahren zum Ausbilden einer Halbleiter-Transistorstruktur, welche folgendes umfasst:

Ausbilden eines Grats (502) aus einem Halbleitermaterial auf einer ersten Isolierschicht (503) auf einem Substrat, wobei der Grat (502) eine Deckfläche, eine erste Seitenwand und eine zweite Seitenwand aufweist;

Ausbilden einer Vertiefung (501) in dem Grat (502), wobei die Vertiefung (501) einen Boden (521) und Seitenwände (504) aufweist, und wobei jede der Seitenwände (504) mindestens eine Stufe (510) umfasst;

Ausbilden einer dielektrischen Gateschicht (601) auf der Deckfläche des Grats (502), auf der ersten und der zweiten Seitenwand des Grats (502), auf dem Boden (521) der Vertiefung (501) und auf den Seitenwänden (504) der Vertiefung (501);

Ausbilden einer Gateelektrode (602) auf der dielektrischen Schicht (601); und

Ausbilden einer Drainregion (604) und einer Sourceregion (603) auf gegenüberliegenden Seiten der Gateelektrode (602).

2. Verfahren von Anspruch 1, wobei das Ausbilden eines Grats (502) aus einem Halbleitermaterial folgendes umfasst:

Ablagern einer Schicht aus dem Halbleitermaterial auf der ersten Isolierschicht (503) auf dem Substrat; Ablagern einer Hartmaskenschicht (304) auf der Schicht aus dem Halbleitermaterial, wobei eine Pufferschicht (507) zwischen der Schicht aus dem Halbleitermaterial und der Hartmaskenschicht (304) liegt; und

Strukturieren der Hartmaskenschicht (304), um den Grat (502) aus dem Halbleitermaterial auszubilden, wobei die Pufferschicht (507) zwischen der Deckfläche des Grats und der Hartmaskenschicht liegt.

3. Verfahren nach Anspruch 1, wobei das Ausbilden der Vertiefung (501) in dem Grat (502) folgendes umfasst:

Ausbilden einer Schutzschicht (505) auf der Hartmaskenschicht, wobei die Schutzschicht (505) die erste Seitenwand und die zweite Seitenwand des Grats (502), Seitenwände der Hartmaskenschicht (304) und Teile der ersten Isolierschicht auf gegenüberliegenden Seiten des Grats (502) bedeckt;

Ausbilden einer zweiten Isolierschicht (511) auf der Schutzschicht (505), wobei die Deckfläche der Hartmaskenschicht (304) freigelegt bleibt, und wobei eine Deckfläche der zweiten Isolierschicht (511) im wesentlichen planar mit einer Deckfläche der Hartmaskenschicht (304) ist;

Entfernen der Hartmaskenschicht (304), um die Pufferschicht (507) freizulegen;

Ausbilden von Abstandhaltern (506) auf der Pufferschicht (507) angrenzend an die Schutzschicht (505); und

Herunterätzen des Grats (502) von einem freiliegenden Teil der Deckfläche des Grats (502) auf eine vorbestimmte Dicke.

4. Verfahren nach Anspruch 3, wobei das Ausbilden der zweiten Isolierschicht (511) auf der Schutzschicht (505) folgendes umfasst:

Ablagern der zweiten Isolierschicht (511) auf der Schutzschicht (505); und

Abpolieren der zweiten Isolierschicht (511), um die Deckfläche der Hartmaskenschicht freizulegen.

5. Verfahren nach Anspruch 3, wobei ein Verhältnis zwischen einer Höhe der Abstandhalter (506) und

einer Dicke des Grats (502) eine Dicke des Bodens (521) der Vertiefung (501) definiert.

6. Verfahren nach Anspruch 1, wobei der Boden (521) der Vertiefung (501) und die Seitenwände der Vertiefung (501) dünn genug sind, um einen völlig verarmten Kanal auszubilden.

7. Verfahren nach Anspruch 1, wobei das Ausbilden der Vertiefung (501) in dem Grat (502) weiter folgendes umfaßt:

- a. Ablagern einer Passivierungsschicht (508) auf dem Boden (521) der Vertiefung (501);
- b. Verringern der Abstandhalter (506) in der Größe, um Teile der Deckfläche des Grats, die von der Pufferschicht (507) bedeckt ist, freizulegen;
- c. Wegätzen der freiliegenden Teile der Deckfläche des Grats (502), die von der Pufferschicht (507) bedeckt ist, um die Stufe (510) auszubilden.

8. Verfahren nach Anspruch 7, wobei die Vorgänge a bis c fortlaufend wiederholt werden, bis eine vorbestimmte Anzahl von Stufen (510) in den Seitenwänden der Vertiefung (501) hergestellt ist.

9. Verfahren nach Anspruch 7, wobei eine Höhe der Stufe (510) gleich groß wie eine Breite der Stufe ist.

10. Verfahren zum Ausbilden einer Halbleiterstruktur, welche folgendes umfaßt:

Ausbilden eines Grats (701) aus einem Halbleitermaterial auf einer ersten Isolierschicht (702), wobei eine Pufferschicht (706) zwischen einer Deckfläche des Grats (701) und einer Hartmaskenschicht abgelagert wird;

Ausbilden einer zweiten Isolierschicht (705) auf dem Grat (701), wobei eine Deckfläche der Hartmaskenschicht freigelegt bleibt, und wobei eine Deckfläche der zweiten Isolierschicht (705) im wesentlichen planar zu der Deckfläche der Hartmaskenschicht ist; Entfernen der Hartmaskenschicht, um die Pufferschicht (706) freizulegen;

Ausbilden von Abstandhaltern (704) auf der Pufferschicht (706) angrenzend an eine Schutzschicht (703); und

Herunterätzen des Grats (701) von dem ausgesetzten Teil der Deckfläche auf die erste Isolierschicht, um zwei halbierte Gate (708) herzustellen.

11. Verfahren nach Anspruch 10, wobei jeder der zwei halbierten Gate (708) sublithographische Abmessungen aufweist.

12. Verfahren nach Anspruch 11, wobei ein Abstand (711) zwischen den zwei halbierten Graten (708) durch eine Dicke jedes der Abstandhalter definiert ist.

13. Verfahren nach Anspruch 10, welches weiter folgendes umfaßt:

Ausbilden einer dielektrischen Gateschicht (802), welche die Deckfläche und die zwei gegenüberliegenden Seitenwände jedes der beiden Gate bedeckt;

Ausbilden einer Gateelektrode (803) auf der dielektrischen Gateschicht; und

Ausbilden einer Sourceregion (804) und einer Drainregion (805) in jedem der beiden Gate (708) auf gegenüberliegenden Seiten der Gateelektrode (803).

14. Verfahren nach Anspruch 16, wobei das Verringern der Abstandhalter (506) in der Größe Trockennätzen oder Naßätzen umfaßt.

15. Eine Halbleiter-Transistorsstruktur, welche folgendes umfaßt:

einen Grat (502) aus einem Halbleitermaterial auf einer Isolierschicht (503), wobei der Grat eine Deckfläche, eine erste Seitenwand, eine zweite Seitenwand und einen ersten Satz von Ecken (512) aufweist; eine Vertiefung (501) in dem Grat (502), wobei die Vertiefung (501) einen Boden (521), eine dritte Seitenwand, eine vierte Seitenwand und einen zweiten Satz von Ecken (513) aufweist, und wobei eine Anzahl des zweiten Satzes von Ecken (513) größer ist als die Anzahl des ersten Satzes von Ecken (512).

16. Halbleiter-Transistorstruktur nach Anspruch 19, welche weiter folgendes umfaßt:

ein Gatedielektrikum (601) auf der Deckfläche des Grats (502), auf der ersten Seitenwand, der zweiten Seitenwand und auf dem ersten Satz von Ecken (512) des Grats (502) und auf dem Boden (521) der Vertiefung (501), auf der dritten Seitenwand, auf der vierten Seitenwand und auf dem zweiten Satz von Ecken (513) der Vertiefung (501) in dem Grat (502); eine Gateelektrode (602), die auf dem Gatedielektrikum (601) ausgebildet ist; und eine Sourceregion (603) und eine Drainregion (604), die auf gegenüberliegenden Seiten der Gateelektrode (602) ausgebildet sind.

17. Halbleiter-Transistorstruktur nach Anspruch 19, wobei der Boden (521) der Vertiefung (501), die dritte Seitenwand und die vierte Seitenwand der Vertiefung (501) dünn genug sind, um einen völlig verarmten Kanal auszubilden.

18. Halbleiter-Transistorstruktur nach Anspruch 19, wobei der erste Satz von Ecken (512) und der zweite Satz von Ecken (513) rechte Ecken umfassen.

19. Halbleiter-Transistorstruktur nach Anspruch 19, wobei jede der Seitenwände der Vertiefung (501) in dem Grat (502) mindestens eine Stufe (510) umfaßt.

Es folgen 16 Blatt Zeichnungen

Anhängende Zeichnungen

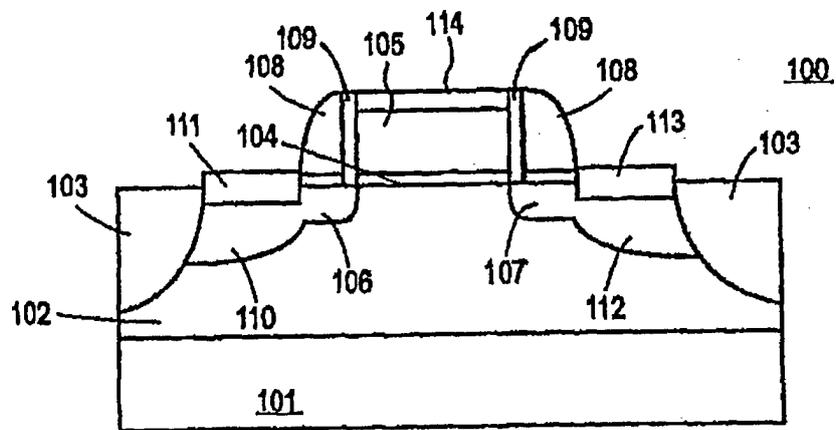


FIG. 1
(Stand der Technik)

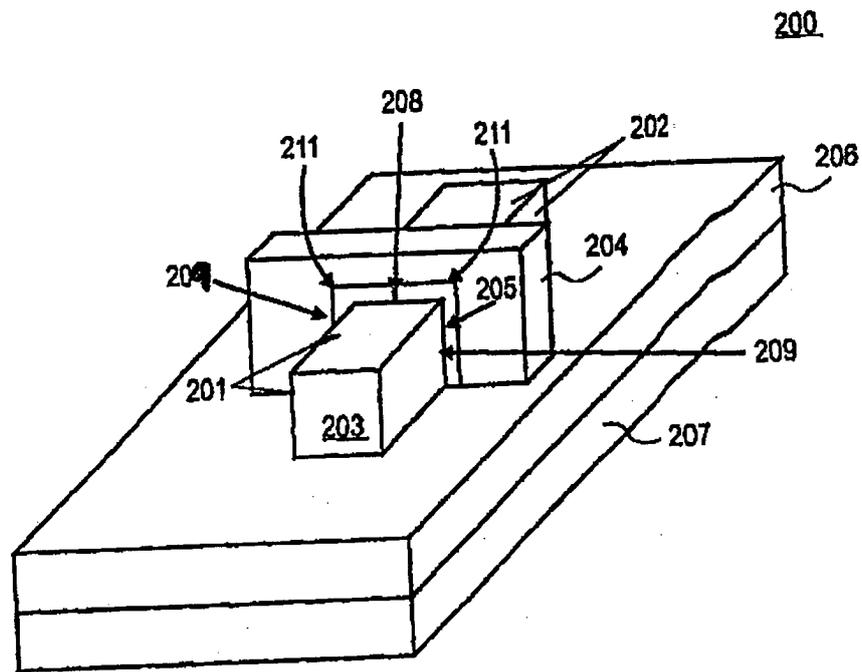


FIG. 2
(Stand der Technik)

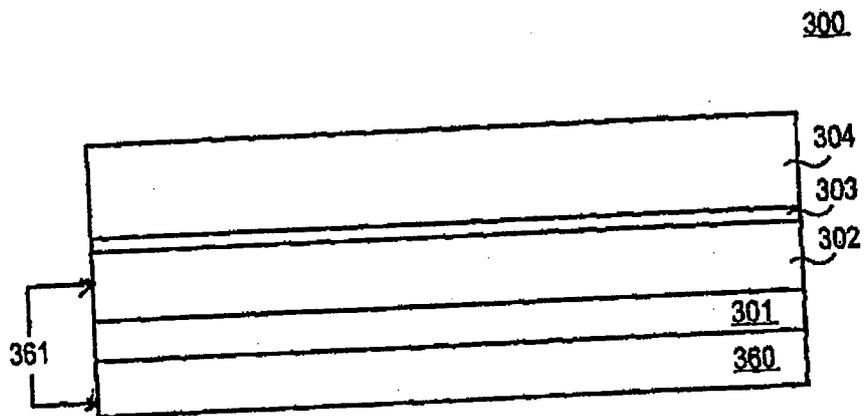


FIG. 3A

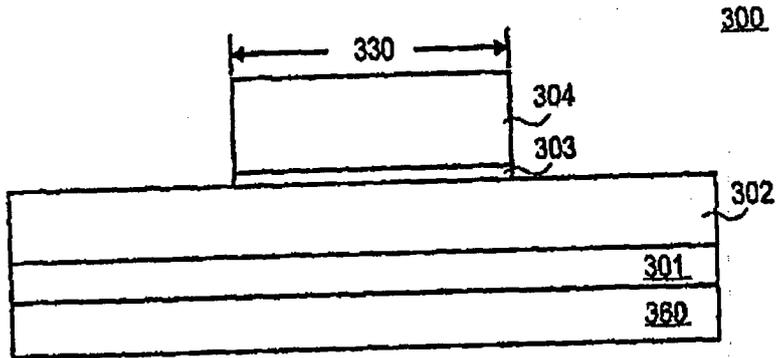


FIG. 3B

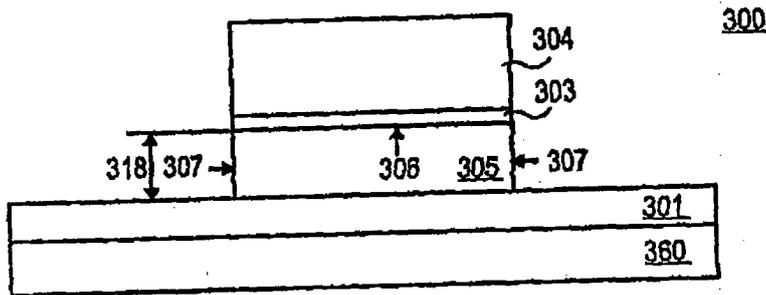


FIG. 3C

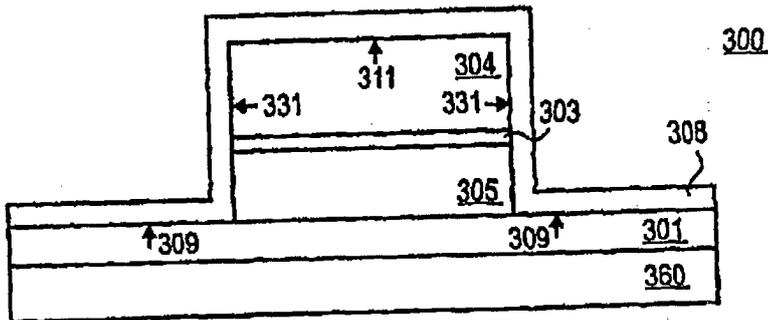
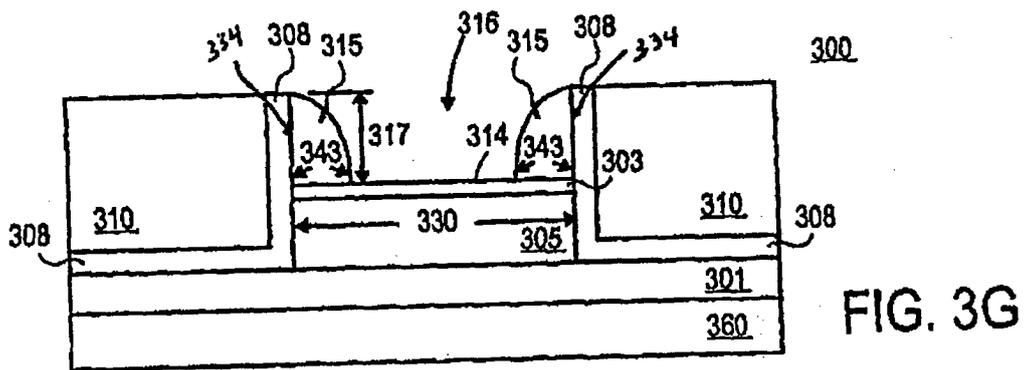
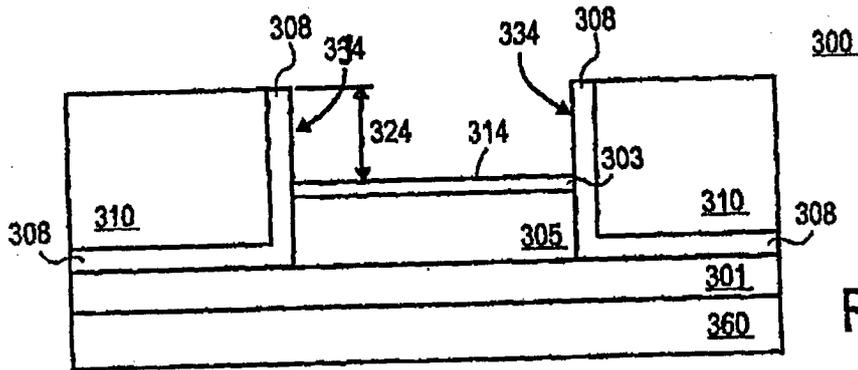
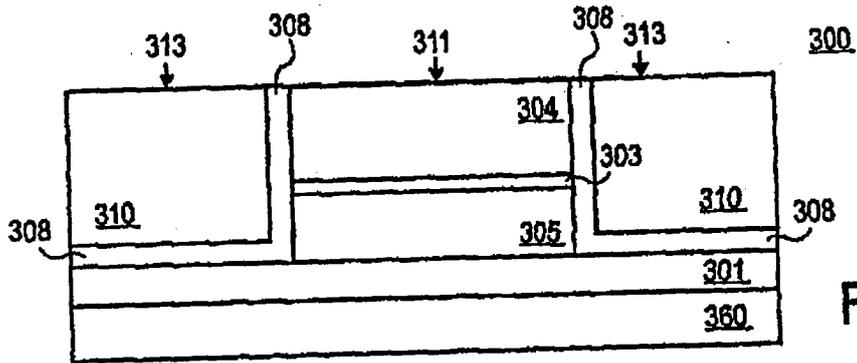


FIG. 3D



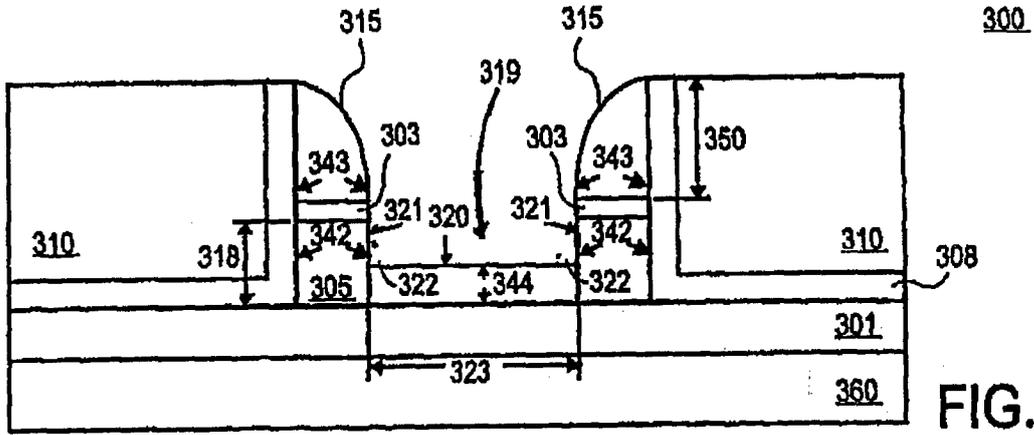


FIG. 3H

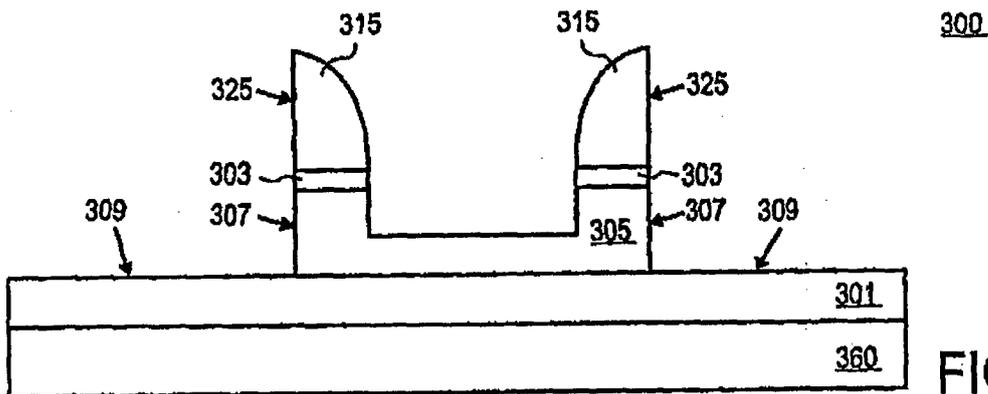


FIG. 3I

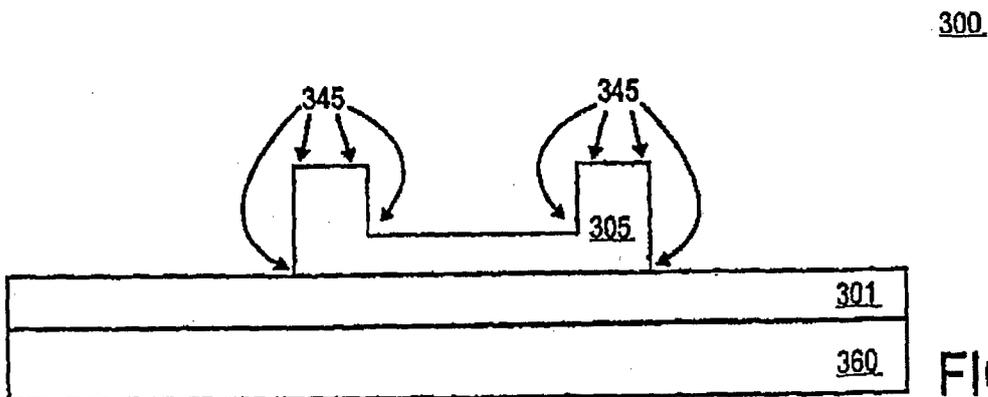


FIG. 3J

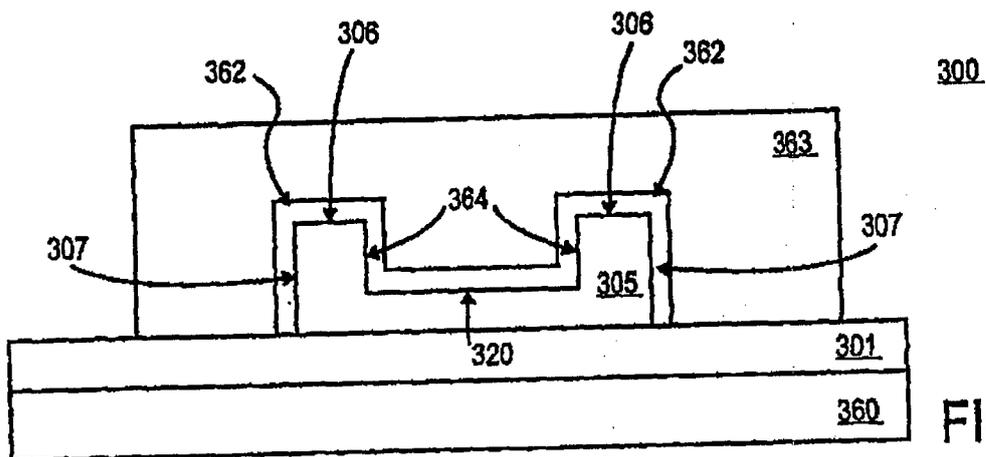


FIG. 3K

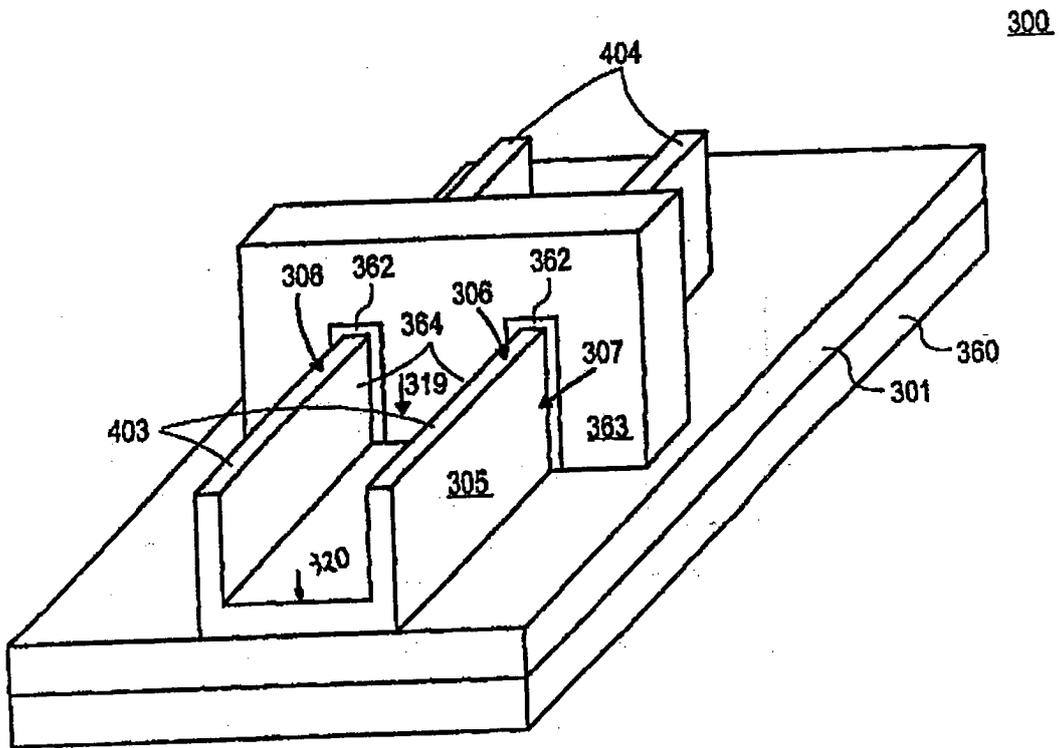


FIG. 4

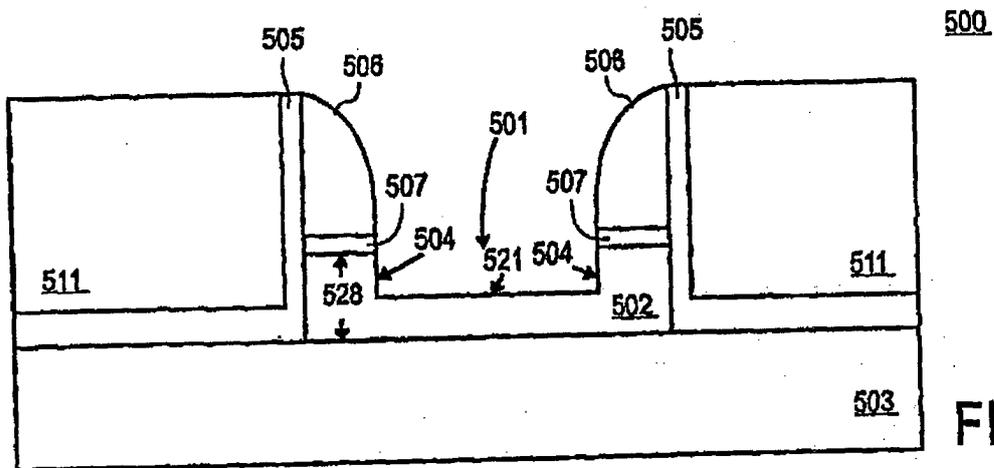


FIG. 5A

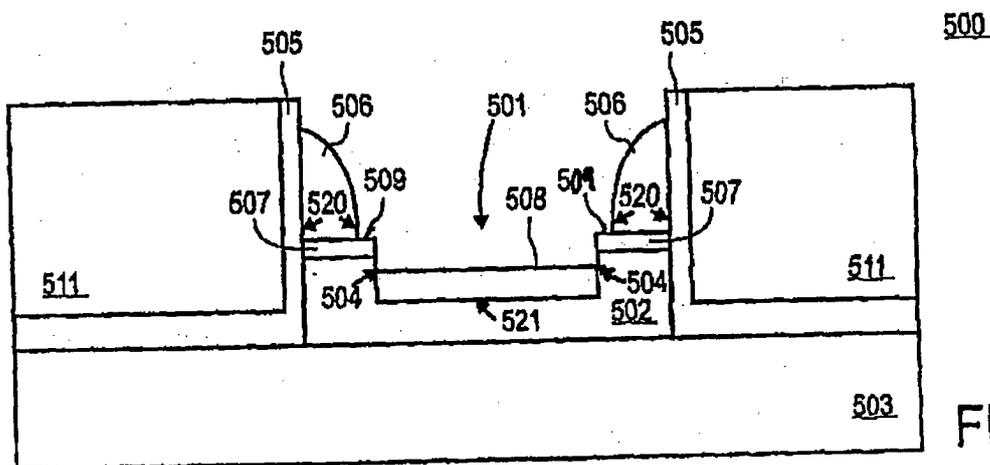


FIG. 5B

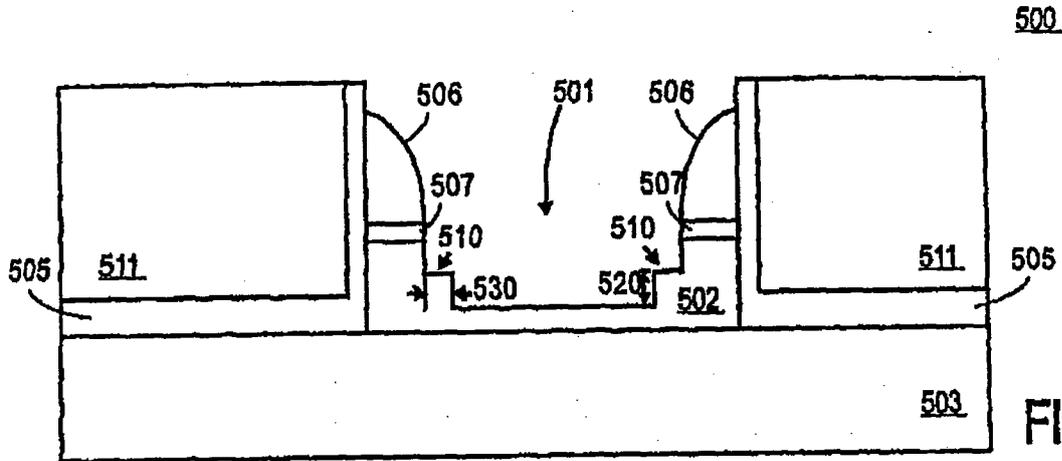


FIG. 5C

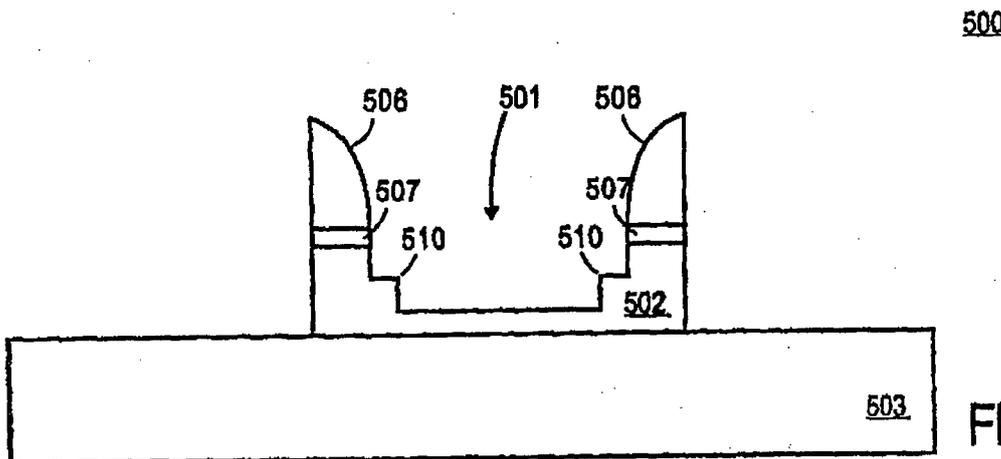


FIG. 5D

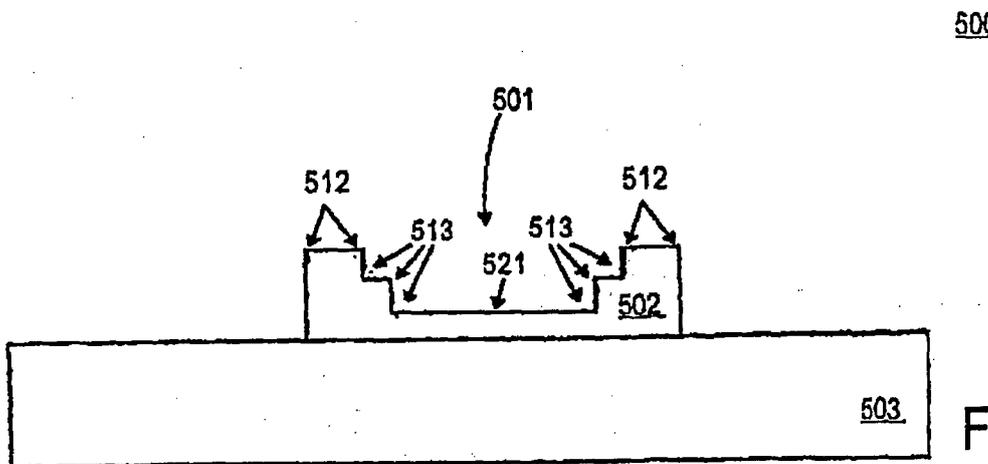


FIG. 5E

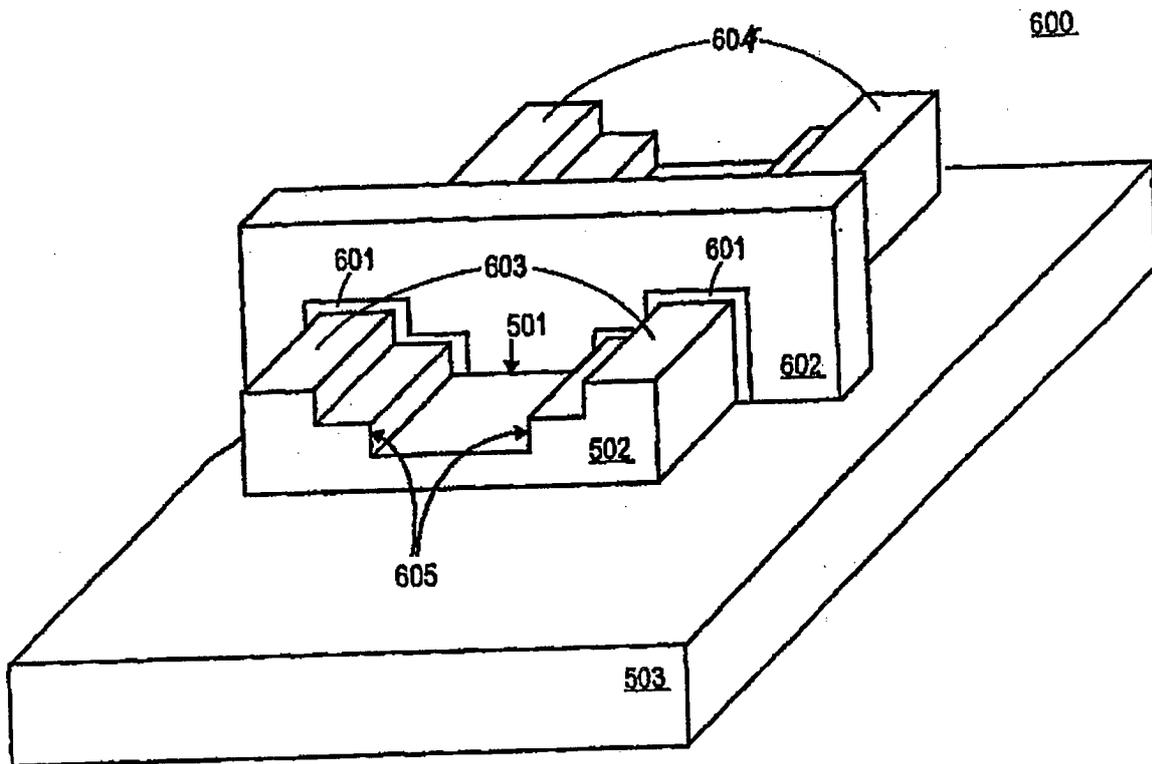
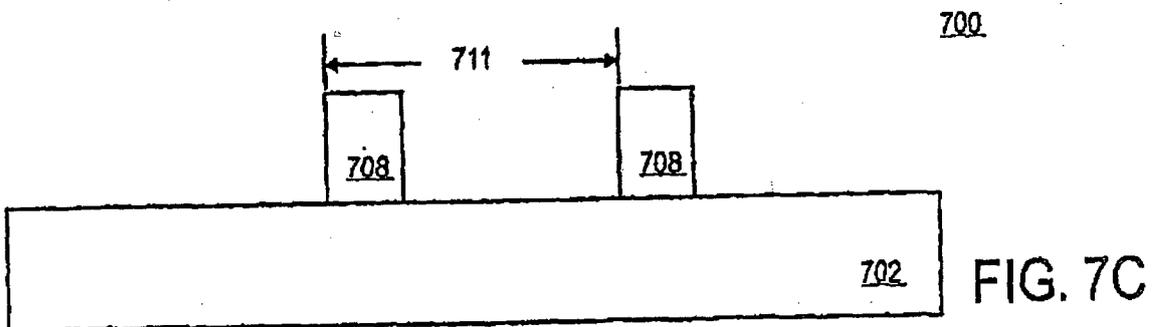
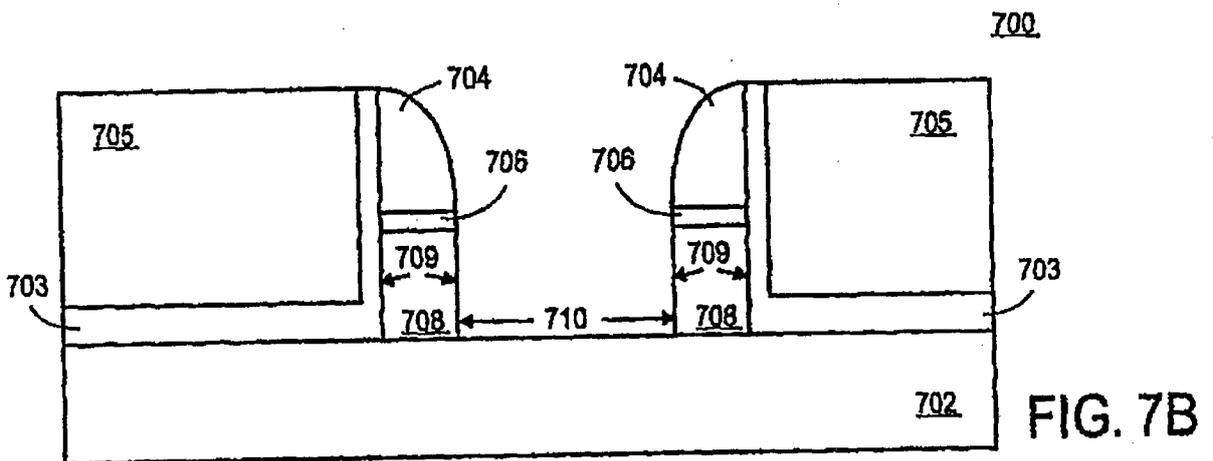
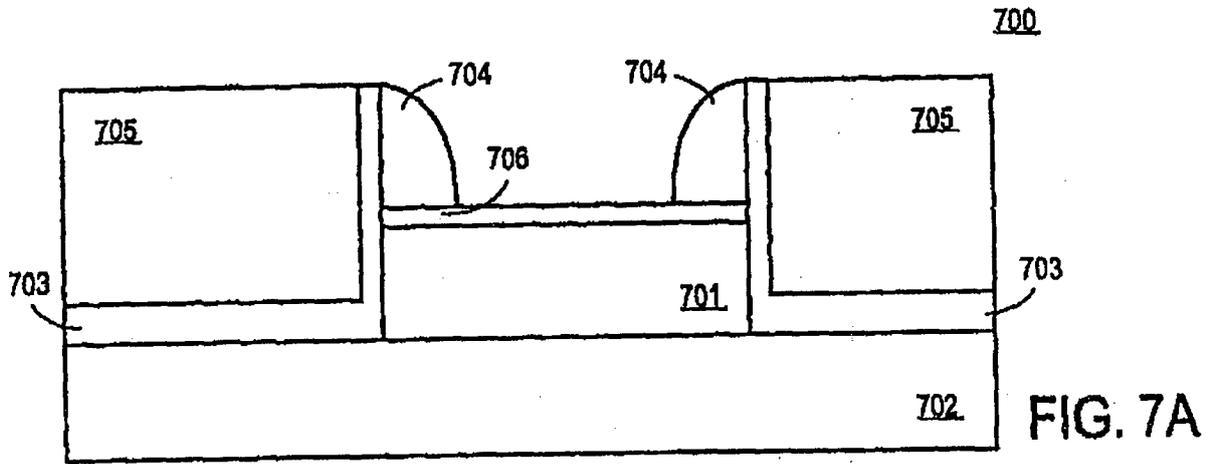


FIG. 6



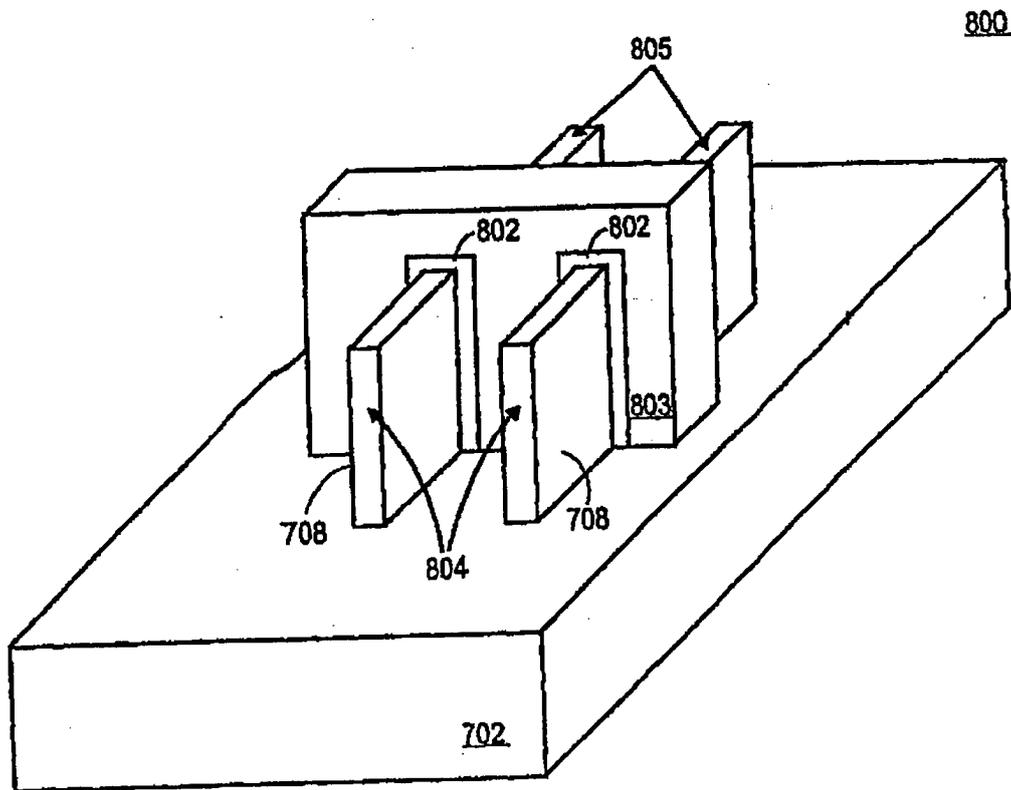
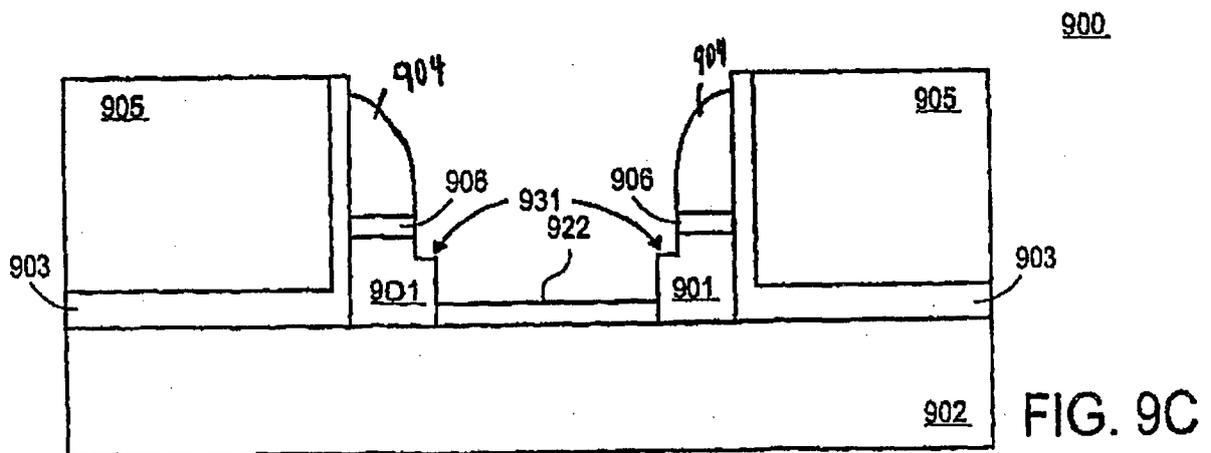
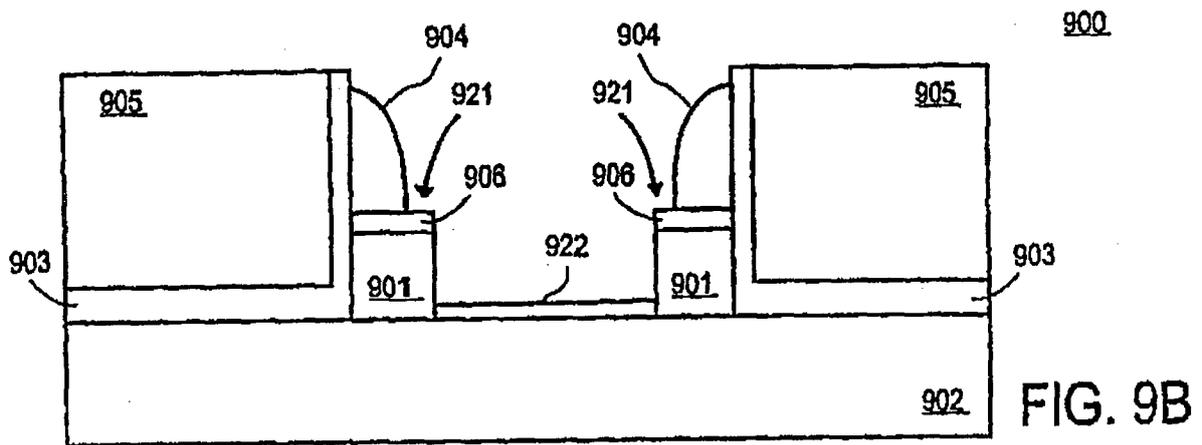
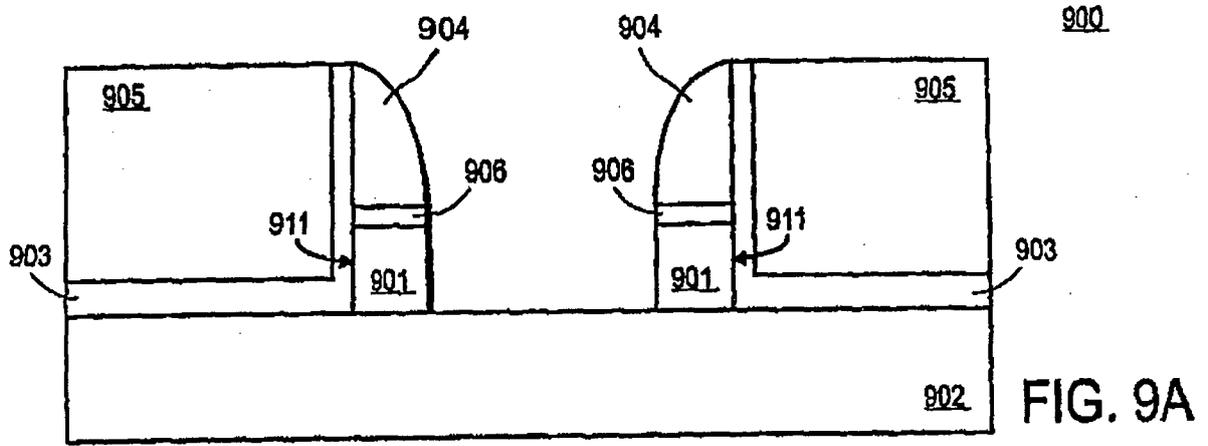


FIG. 8



900

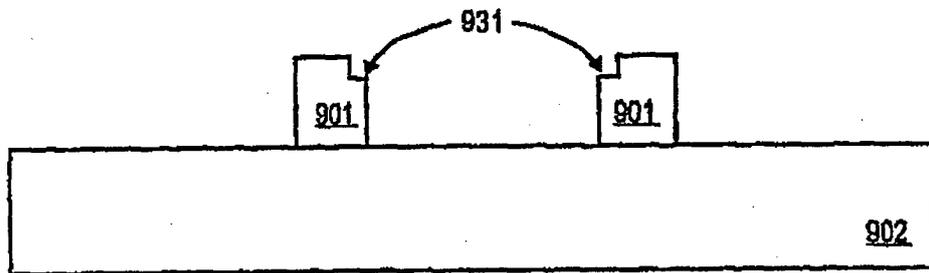


FIG. 9D

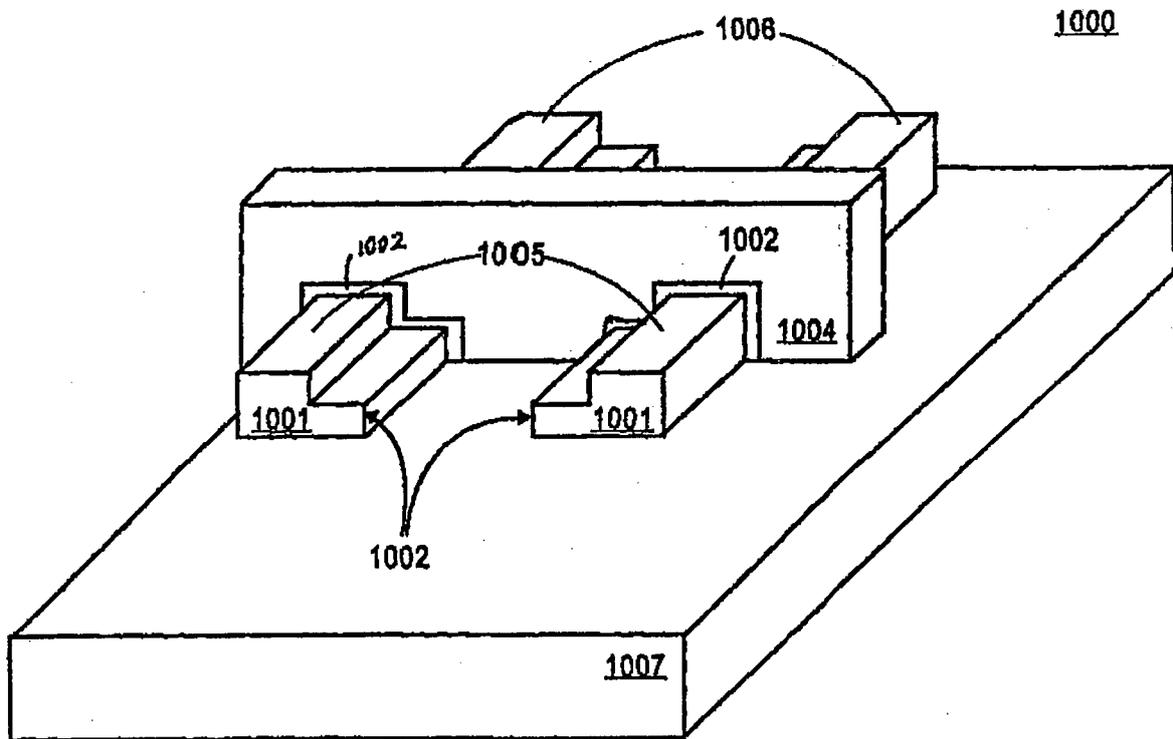


FIG. 10