



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0146447
(43) 공개일자 2021년12월03일

- (51) 국제특허분류(Int. Cl.)
H01G 4/232 (2006.01) H01G 4/012 (2006.01)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
- (52) CPC특허분류
H01G 4/2325 (2013.01)
H01G 4/012 (2013.01)
- (21) 출원번호 10-2021-7038225
- (22) 출원일자(국제) 2020년04월17일
심사청구일자 없음
- (85) 번역문제출일자 2021년11월23일
- (86) 국제출원번호 PCT/US2020/028737
- (87) 국제공개번호 WO 2020/219354
국제공개일자 2020년10월29일
- (30) 우선권주장
62/838,406 2019년04월25일 미국(US)

- (71) 출원인
에이브이엑스 코포레이션
미국 29644-9039 사우스 캐롤라이나주 윈 에이브
이엑스 볼바드 파운틴 인
- (72) 발명자
호지킨슨 프랭크
미국 29644 사우스 캐롤라이나 파운틴 인 윈 에이
브이엑스 볼바드 에이브이엑스 코포레이션 씨/오
- (74) 대리인
박장원

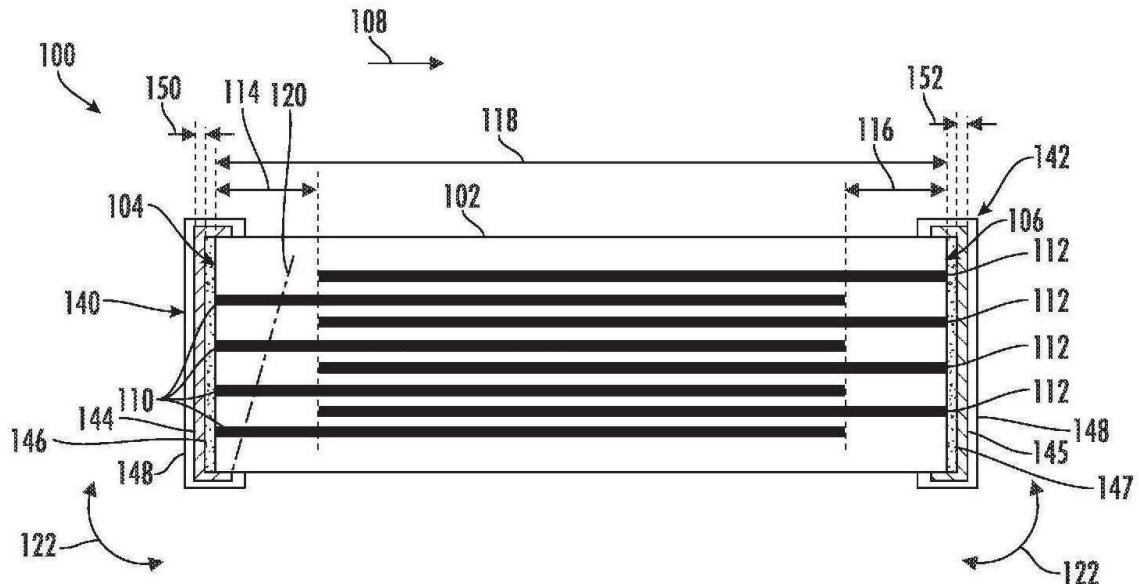
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 개방 모드 전극 구성 및 가요성 종단들을 갖는 적층 커패시터

(57) 요약

적층 세라믹 커패시터는 모놀리식 본체, 및 모놀리식 본체의 제1 및 제2 단부 각각으로부터 모놀리식 본체의 대향 단부를 향해 연장되는 인터리빙된 제1 및 제2 복수의 전극들을 포함할 수 있다. 전극들과 모놀리식 본체의 양 단들 사이에는 각각 제1 마진 거리 및 제2 마진 거리가 형성될 수 있다. 제1 외부 종단 및 제2 외부 종단은 모놀리식 본체의 제1 단부 및 제2 단부를 따라 각각 배치될 수 있고 제1 및 제2 복수의 전극들과 각각 연결될 수 있다. 모놀리식 본체의 길이와 제1 마진 거리 및/또는 제2 마진 거리 사이의 마진 비율은 약 10 미만일 수 있다. 제1 외부 종단 또는 제2 외부 종단 중 적어도 하나는 전도성 중합체 조성물을 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01G 4/12 (2021.01)

H01G 4/30 (2013.01)

명세서

청구범위

청구항 1

적층 세라믹 커패시터로서,

길이 방향에 수직인 Z 방향으로 적층된 복수의 유전체 층들을 포함하는 모놀리식 본체 - 상기 모놀리식 본체는 제1 단부 및 상기 길이 방향으로 상기 제1 단부로부터 이격되는 제2 단부를 가짐 - 와;

상기 모놀리식 본체의 제1 단부로부터 제2 단부를 향해 연장하는 제1 복수의 전극들 - 상기 제1 복수의 전극들은 제1 마진 거리만큼 상기 모놀리식 본체의 제2 단부로부터 이격됨 - 과;

상기 모놀리식 본체의 제2 단부로부터 제1 단부를 향해 연장하는 제2 복수의 전극들 - 상기 제2 복수의 전극들은 제2 마진 거리만큼 상기 모놀리식 본체의 제1 단부로부터 이격됨 - 과;

상기 제1 단부를 따라 배치되고 상기 제1 복수의 전극들과 연결된 제1 외부 종단과; 그리고

상기 제2 단부를 따라 배치되고 상기 제2 복수의 전극들과 연결된 제2 외부 종단을 포함하고,

상기 모놀리식 본체는 상기 제1 단부와 상기 제2 단부 사이의 길이 방향 거리에서 본체 길이를 가지고, 상기 본체 길이와 상기 제1 마진 거리 또는 상기 제2 마진 거리 중 적어도 하나 사이의 마진 비율은 약 10 미만이고; 그리고

상기 제1 외부 종단 또는 상기 제2 외부 종단 중 적어도 하나는 전도성 중합체 조성물을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 2

제1항에 있어서,

상기 전도성 중합체 조성물은 에폭시 수지를 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 3

제1항에 있어서,

상기 전도성 중합체 조성물은 전도성 입자들을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 4

제3항에 있어서,

상기 전도성 입자들은 은을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 5

제1항에 있어서,

상기 전도성 중합체 조성물은 약 23℃ 및 20% 상대 습도에서 ASTM D638-14에 따라 시험한 영률이 약 3GPa 미만인 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 6

제1항에 있어서,

상기 전도성 중합체 조성물은 약 23℃ 및 20% 상대 습도에서 ASTM B193-16에 따라 시험한 체적 저항률이 약 0.01ohm-cm 미만인 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 7

제1항에 있어서,

상기 제1 외부 종단은 상기 모놀리식 본체의 제1 단부 위에 형성된 베이스 층 및 상기 베이스 층 위에 형성된 순응성 층(compliant layer)을 더 포함하고, 상기 순응성 층은 상기 전도성 중합체 조성물을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 8

제7항에 있어서,

상기 모놀리식 본체 내부와 상기 모놀리식 본체의 제1 단부에 배치되고, 상기 베이스층과 연결되는 복수의 앵커 탭들을 더 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 9

제7항에 있어서,

상기 베이스층은 도전성 금속을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 10

제1항에 있어서,

상기 제1 외부 종단은 순응성 층 및 상기 순응성 층 위에 형성된 적어도 하나의 도금층을 더 포함하고, 상기 순응성 층은 상기 전도성 중합체 조성물을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 11

제10항에 있어서,

상기 적어도 하나의 도금층은 제1 전도성 재료를 포함하는 제1 도금층 및 제2 전도성 재료를 포함하는 제2 도금층을 포함하고, 상기 제2 전도성 재료는 상기 제1 전도성 재료와 상이한 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 12

제1항에 있어서,

상기 제1 외부 종단 및 제2 외부 종단 각각과 전기적으로 연결되지 않은 플로팅 전극을 더 포함하는 것을 특징으로 하는

적층 세라믹 커패시터.

청구항 13

제1항에 있어서,
 상기 커패시터는 플로팅 전극들을 포함하지 않는 것을 특징으로 하는
 적층 세라믹 커패시터.

청구항 14

제1항에 있어서,
 상기 제1 외부 종단은 길이 방향으로 약 25 μ m 내지 약 150 μ m 범위의 총 평균 두께를 갖는 것을 특징으로 하는
 적층 세라믹 커패시터.

청구항 15

제1항에 있어서,
 상기 제1 외부 종단은 상기 전도성 중합체 조성물을 포함하는 순층을 더 포함하고, 상기 순층은 약 3 μ m
 내지 약 125 μ m 범위의 평균 두께를 갖는 것을 특징으로 하는
 적층 세라믹 커패시터.

청구항 16

제1항에 있어서,
 상기 제1 복수의 전극들과 상기 제2 복수의 전극들은 인터리브된 것을 특징으로 하는
 적층 세라믹 커패시터.

청구항 17

적층 세라믹 커패시터를 형성하는 방법으로서,
 제1 복수의 유전체 층들 상에 각각 제1 복수의 전극들을 형성하는 단계와;
 제2 복수의 유전체 층들 상에 제2 복수의 전극들을 형성하는 단계와;
 모놀리식 본체를 형성하기 위해 길이 방향에 수직인 Z-방향으로 상기 제1 복수의 유전체 층들 및 상기 제2 복수
 의 유전체 층을 적층하여, 상기 제1 복수의 전극들이 상기 모놀리식 본체의 제1 단부로부터 연장되고 상기 모놀
 리식 본체의 제2 단부로부터 상기 길이 방향으로 제1 마진 거리만큼 이격되도록 하고, 그리고 상기 제2 복수의
 전극들이 상기 모놀리식 본체의 제2 단부로부터 연장되고 상기 모놀리식 본체의 제1 단부로부터 상기 길이 방
 향으로 제2 마진 거리만큼 이격되도록 하는 단계와;
 상기 제1 복수의 전극들과 연결된 모놀리식 본체의 제1 단부를 따라 제1 외부 종단을 형성하는 단계와;
 상기 제2 복수의 전극들과 연결된 모놀리식 본체의 제2 단부를 따라 제2 외부 종단을 형성하는 단계를
 포함하고,
 상기 모놀리식 본체는 상기 제1 단부와 상기 제2 단부 사이의 길이 방향 거리에서 본체 길이를 가지고, 상기 본
 체 길이와 상기 제1 마진 거리 또는 상기 제2 마진 거리 중 적어도 하나 사이의 마진 비율은 약 10 미만이고;
 그리고
 상기 제1 외부 종단 또는 상기 제2 외부 종단 중 적어도 하나는 전도성 중합체 조성물을 포함하는 것을 특징으
 로 하는
 적층 세라믹 커패시터를 형성하는 방법.

청구항 18

제17항에 있어서,
 상기 전도성 중합체 조성물은 에폭시 수지를 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 19

제17항에 있어서,

상기 전도성 중합체 조성물은 전도성 입자들을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 20

제17항에 있어서,

상기 전도성 입자들은 은을 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 21

제17항에 있어서,

상기 전도성 중합체 조성물은 약 23℃ 및 20% 상대 습도에서 ASTM D638-14에 따라 시험한 영률이 약 3GPa 미만인 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 22

제17항에 있어서,

상기 전도성 중합체 조성물은 약 23℃ 및 20% 상대 습도에서 ASTM B193-16에 따라 시험한 체적 저항률이 약 0.01ohm-cm 미만인 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 23

제17항에 있어서,

상기 제1 외부 종단을 형성하는 단계는, 상기 모놀리식 본체의 제1 단부 위에 형성된 베이스 층을 형성하는 단계 및 상기 베이스 층 위에 상기 전도성 중합체 조성물을 포함하는 순응성 층을 형성하는 단계를 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 24

제23항에 있어서,

상기 모놀리식 본체 내부와 상기 모놀리식 본체의 제1 단부에 배치되고, 상기 베이스층과 연결되는 복수의 앵커 탭들을 형성하는 단계를 더 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 25

제23항에 있어서,

상기 제1 외부 종단을 형성하는 단계는, 상기 순응성 층 위에 적어도 하나의 도금층을 도금하는 단계를 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 26

제25항에 있어서,

상기 적어도 하나의 도금층을 도금하는 단계는, 제1 전도성 재료를 포함하는 제1 도금층을 도금하는 단계 및 제2 전도성 재료를 포함하는 제2 도금층을 도금하는 단계를 포함하고, 상기 제2 전도성 재료는 상기 제1 전도성 재료와 상이한 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 27

제17항에 있어서,

상기 모놀리식 본체 내에 플로팅 전극을 형성하는 단계를 더 포함하고, 상기 플로팅 전극은 상기 제1 외부 종단 및 상기 제2 외부 종단 각각과 전기적으로 연결되지 않는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 28

제17항에 있어서,

상기 제1 외부 종단은 길이 방향으로 약 25 μ m 내지 약 150 μ m 범위의 총 평균 두께를 갖는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 29

제17항에 있어서,

상기 제1 외부 종단을 형성하는 단계는 상기 전도성 중합체 조성물을 포함하는 순층을 형성하는 단계를 포함하고, 상기 순층은 약 3 μ m 내지 약 125 μ m 범위의 평균 두께를 갖는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

청구항 30

제17항에 있어서,

상기 제1 복수의 유전체 층들 및 상기 제2 복수의 유전체 층을 적층하는 단계는, 상기 제1 복수의 전극들과 상기 제2 복수의 전극들을 인터리빙하는 단계를 포함하는 것을 특징으로 하는

적층 세라믹 커패시터를 형성하는 방법.

발명의 설명

기술 분야

[0001] 관련 출원

[0002] 본 출원은 2019년 4월 25일에 출원된 미국 가출원 일련 번호 62/838,406에 대한 우선권을 주장하며, 이 가출원은 참조로 전체가 여기에 포함된다.

[0003] 발명의 분야

[0004] 본 발명은 일반적으로 적층 세라믹 커패시터에 관한 것이다. 보다 구체적으로, 본 발명은 개방 모드 전극 구성 및 가요성 종단들을 갖는 적층 커패시터에 관한 것이다.

배경 기술

[0005] 많은 현대 전자 부품들은 모놀리식 장치로 패키징되며 단일 칩 패키지 내에 단일 구성 요소 또는 여러 구성 요소를 포함할 수 있다. 이러한 모놀리식 장치의 하나의 특정 예는 적층 커패시터 또는 커패시터 어레이이고, 개시된 기술과 관련하여 특히 관심 있는 것은 맞물린 내부 전극 층들 및 대응하는 전극 탭들을 갖는 적층 커패시터이다.

[0006] 적층 커패시터는 미리 준비된 연장된 길이의 세라믹 재료 또는 테이프에서 절단된 세라믹 유전체의 개별 시트를 제공하여 형성되었다. 개별 시트는 여러 세트의 전극 패턴들을 통해 전극 잉크로 스크린 인쇄된다. 그런 다음 인쇄된 시트들은 여러 층으로 쌓이고 종종 패드라고 하는 단단한 층으로 적층된다. 그 다음, 패드는 개별 적층 컴포넌트들로 절단될 수 있고, 적층 컴포넌트들의 추가 처리, 예를 들어 패드의 소결 및 개별 컴포넌트들의 종단이 수행될 수 있다. 컴포넌트들의 종단은 금속 페인트 종단 재료를 커패시터에 고정하기 위해 이전에 스크린 페인팅된 전극 중 선택된 전극과 접촉하도록 금속 페인트를 도포한 후 다른 소성을 포함할 수 있다.

[0007] 커패시터와 같은 적층 컴포넌트들은 열 응력 및/또는 굽힘으로 인한 기계적 응력으로 인해 균열이 발생할 수 있다. 이러한 균열들은 커패시터의 가장자리 근처에서 전극과 교차할 수 있으며, 이는 잠재적으로 반대 종단들로 연결된 전극들 사이에 원치 않는 전기 연결을 유발할 수 있다. 그때, 커패시터의 종단들 사이에 단락이 발생할 수 있다.

발명의 내용

[0008] 본 발명의 일 실시예에 따르면, 적층 세라믹 커패시터는 길이 방향 및 측면 방향 각각에 수직인 Z 방향으로 적층된 복수의 유전체 층들을 포함하는 모놀리식 본체를 포함할 수 있다. 상기 모놀리식 본체는 제1 단부 및 상기 길이 방향으로 상기 제1 단부로부터 이격되는 제2 단부를 가질 수 있다. 제1 복수의 전극들은 상기 모놀리식 본체의 제1 단부로부터 제2 단부를 향해 연장할 수 있다. 상기 제1 복수의 전극들은 제1 마진 거리만큼 상기 모놀리식 본체의 제2 단부로부터 이격될 수 있다. 제2 복수의 전극들은 상기 모놀리식 본체의 제2 단부로부터 제1 단부를 향해 연장할 수 있다. 상기 제2 복수의 전극들은 제2 마진 거리만큼 상기 모놀리식 본체의 제1 단부로부터 이격될 수 있다. 제1 외부 종단은 상기 제1 단부를 따라 배치되고 상기 제1 복수의 전극들과 연결될 수 있다. 제2 외부 종단은 상기 제2 단부를 따라 배치되고 상기 제2 복수의 전극들과 연결될 수 있다. 상기 모놀리식 본체는 상기 제1 단부와 상기 제2 단부 사이의 길이 방향 거리에서 본체 길이를 가질 수 있다. 상기 본체 길이와 상기 제1 마진 거리 또는 상기 제2 마진 거리 중 적어도 하나 사이의 마진 비율은 약 10 미만일 수 있다. 상기 제1 외부 종단 또는 상기 제2 외부 종단 중 적어도 하나는 전도성 중합체 조성물을 포함할 수 있다.

[0009] 본 발명의 다른 양태에 따르면, 적층 세라믹 커패시터를 형성하는 방법은 제1 복수의 유전체 층들 상에 각각 제1 복수의 전극들을 형성하는 단계 및 제2 복수의 유전체 층들 상에 제2 복수의 전극들을 형성하는 단계를 포함할 수 있다. 상기 방법은 모놀리식 본체를 형성하기 위해 길이 방향에 수직인 Z-방향으로 상기 제1 복수의 유전체 층들 및 상기 제2 복수의 유전체 층을 적층하여, 상기 제1 복수의 전극들이 상기 모놀리식 본체의 제1 단부로부터 연장되고 상기 모놀리식 본체의 제2 단부로부터 상기 길이 방향으로 제1 마진 거리만큼 이격되도록 하는 단계를 포함할 수 있다. 상기 방법은 상기 제1 복수의 전극들과 연결된 모놀리식 본체의 제1 단부를 따라 제1 외부 종단을 형성하는 단계 및 상기 제2 복수의 전극들과 연결된 모놀리식 본체의 제2 단부를 따라 제2 외부 종단을 형성하는 단계를 포함할 수 있다. 상기 모놀리식 본체는 상기 제1 단부와 상기 제2 단부 사이의 길이 방향 거리에서 본체 길이를 가질 수 있다. 상기 본체 길이와 상기 제1 마진 거리 또는 상기 제2 마진 거리 중 적어도 하나 사이의 마진 비율은 약 10 미만일 수 있다. 상기 제1 외부 종단 또는 상기 제2 외부 종단 중 적어도 하나는 전도성 중합체 조성물을 포함할 수 있다.

[0010] 본 발명의 다른 특징들 및 양태들은 아래서 더 상세히 설명된다.

도면의 간단한 설명

[0011] 당해 기술 분야의 통상의 기술자를 대상으로 하는 본 발명의 최선의 형태를 포함하여 본 발명의 완전하고 가능한 개시가 첨부된 도면을 참조하는 명세서에 기재되어 있다.

도 1은 본 발명의 양태들에 따른 순응성 층을 포함하는 적층 커패시터의 일 실시예의 단면도를 나타낸다.

도 2는 본 발명의 양태들에 따른 앵커 탭들을 포함하는 적층 커패시터의 다른 실시예의 단면도를 나타낸다.

도 3은 본 발명의 양태들에 따른 플로팅 전극들을 포함하는 적층 커패시터의 다른 실시예의 단면도를 나타낸다.

도 4는 본 발명의 양태들에 따른 적층 세라믹 커패시터의 형성 방법을 나타내는 순서도이다.

본 명세서 및 첨부된 도면들 전체에 걸쳐 참조 문자들의 반복 사용은 본 발명의 동일하거나 유사한 특징들 또는 요소들을 나타내도록 의도된다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 논의는 단지 예시적인 실시예들의 설명일 뿐이고, 더 넓은 양태들이 예시적인 구성으로 구현되는 본 발명의 더 넓은 양태들을 제한하는 것으로 의도되지 않는다는 것이 당업자에 의해 이해되어야 한다.
- [0013] 일반적으로 말해서, 본 발명은 균열의 위험을 줄이거나 방지하도록 구성된 특징들의 조합을 사용하는 적층 세라믹 커패시터에 관한 것이다. 첫째, 외부 종단들은 컴포넌트에 의해 경험되는 응력을 감소시키기 위해 전도성 중합체 조성물(예를 들어, 순응성 층으로서)을 포함할 수 있다. 전도성 중합체 조성물은 중합체 및 분산된 전도성 입자들을 포함할 수 있다. 둘째, 적층 세라믹 커패시터의 마진 거리가 클 수 있다. 균열들은 일반적으로 종단들 근처에서 전파되기 때문에, 큰 마진 거리는 균열이 발생할 경우 전극들과 교차할 가능성을 줄일 수 있다. 따라서, 큰 마진 거리들과 순응하는 외부 종단들의 조합은, 컴포넌트가 장착되는 표면의 굴곡으로 인해 발생하는 열 및/또는 기계적 응력들을 포함하여 응력들에 대해 보다 견고하고 탄력적인 컴포넌트를 생성한다.
- [0014] 특히, 본 발명은 단일 모놀리식 본체 내에 교번하는 유전층들 및 전극층들을 포함하는 적층 세라믹 커패시터에 관한 것이다. 커패시터의 모놀리식 본체는 상부 표면 및 상부 표면 반대편의 하부 표면을 포함할 수 있다. 모놀리식 본체는 또한 상부 표면과 하부 표면 사이에서 연장되는 적어도 하나의 측면을 포함할 수 있다. 모놀리식 본체는 상부 표면과 하부 표면 사이에서 연장되는 적어도 4개의 측면들을 포함할 수 있다. 일 실시예에서, 모놀리식 본체는 적어도 6개의 층 표면들(예를 들어, 하나의 상부, 하나의 하부, 네 개의 측면들)을 포함한다. 예를 들어, 커패시터의 모놀리식 본체는 직육면체 형상과 같은 평행육면체 형상을 가질 수 있다.
- [0015] 커패시터는 모놀리식 본체의 제1 단부로부터 제2 단부를 향해 연장하는 제1 복수의 전극들을 포함할 수 있다. 제1 복수의 전극들은 제1 마진 거리만큼 모놀리식 본체의 제2 단부로부터 이격될 수 있다. 커패시터는 모놀리식 본체의 제2 단부로부터 제1 단부를 향해 연장되고 복수의 제1 전극들과 인터리브된 제2 복수의 전극들을 포함할 수 있다. 제2 복수의 전극들은 모놀리식 본체의 제1 단부로부터 제2 마진 거리만큼 이격될 수 있다. 상기 적층 세라믹 커패시터는 상기 제1 단부와 상기 제2 단부 사이의 길이방향 거리만큼 커패시터 길이를 가질 수 있다. 커패시터 길이와 제1 마진 거리 또는 제2 마진 거리 중 적어도 하나 사이에는 마진 비율이 형성될 수 있다. 일부 실시예들에서, 마진 비율은 약 10 미만, 일부 실시예들에서 약 9 미만, 일부 실시예들에서 약 8 미만, 일부 실시예들에서 약 7 미만, 일부 실시예들에서 약 6 미만, 일부 실시예들에서 약 5 미만, 일부 실시예들에서 약 4 미만일 수 있다. 일부 실시예들에서, 마진 비율은 약 15 미만, 일부 실시예들에서 약 20 미만, 일부 실시예들에서 약 30 미만, 일부 실시예들에서 약 50 미만, 일부 실시예들에서 약 70 미만, 및 일부 실시예들에서 약 90 미만일 수 있다.
- [0016] 이러한 구성은 과도한 굴곡을 받을 때 커패시터의 고장 모드와 관련하여 "개방 모드"라고 할 수 있다. 보다 구체적으로, 커패시터가 파손될 때까지 휘어졌을 때, 커패시터의 "마진 영역"에 균열이 형성될 수 있어 균열이 전극과 교차하지 않는다. 그 결과, 커패시터는 "패일 오픈(fail open)"될 수 있어, 제1 복수의 전극들이 제2 복수의 전극들로부터 전기적으로 분리된 상태를 유지한다. 이것은 제1 복수의 전극들 및 제2 복수의 전극들 사이의 전기적 연결 또는 "단락"을 방지할 수 있다.
- [0017] 상기 지시된 바와 같이, 하나 이상의 외부 종단은 전도성 중합체 조성물을 포함할 수 있다. 전도성 중합체 조성물은 하나 이상의 적합한 중합체 재료를 포함할 수 있다. 예를 들어, 에폭시 수지, 폴리이미드 수지, 멜라민 수지, 요소-포름알데히드 수지, 폴리우레탄 수지, 페놀 수지, 폴리에스테르 수지 등이 있다. 에폭시 수지가 특히 적합하다. 적합한 에폭시 수지의 예는, 예를 들어, 비스페놀 A형 에폭시 수지, 비스페놀 F형 에폭시 수지, 페놀 노볼락형 에폭시 수지, 오르토크레졸 노볼락형 에폭시 수지, 브롬화 에폭시 수지 및 비페닐형 에폭시 수지, 환형 지방족 에폭시 수지, 글리시딜 에스테르형 에폭시 수지, 글리시딜아민형 에폭시 수지, 크레졸 노볼락형 에폭시 수지, 나프탈렌형 에폭시 수지, 페놀아랄킬형 에폭시 수지, 시클로펜타디엔형 에폭시 수지, 복소환형 에폭시 수지 등을 포함한다. 중합체는 열경화성 수지 또는 열가소성 수지를 포함할 수 있다.
- [0018] 전도성 중합체 조성물은 중합체 내에 (예를 들어, 중합체 매트릭스로서) 분산될 수 있고 순응성 층의 전기 전도도를 개선할 수 있는 전도성 입자를 포함할 수 있다. 전도성 입자는 은, 금, 구리 등과 같은 금속이거나 이를 포함할 수 있다. 예를 들어, 전도성 입자는 은, 구리, 금, 니켈, 주석, 티타늄, 또는 다른 전도성 금속이거나 이를 포함할 수 있다. 따라서, 일부 실시예들에서, 순응성 층은 은 충전 폴리머, 니켈 충전 폴리머, 구리 충전 폴리머 등을 포함할 수 있다.
- [0019] 그러나, 다른 실시예들에서, 전도성 입자들은 알루미늄의 산화물(예를 들어, 알루미늄) 및/또는 알루미늄의 질화물 등과 같은 전도성 세라믹 재료를 포함할 수 있다. 추가적인 예들은 티타늄과 같은 다른 금속들의 산화물 또는 질화물을 포함한다. 일부 실시예들에서, 전도성 입자들은 베이스 재료 위에 전도성 재료의 층을 포함할 수

있다. 예를 들어, 전도성 입자들은 기본 금속(예: 구리) 위에 귀금속(예: 은, 금 등) 층을 포함할 수 있다.

- [0020] 전도성 입자들은 약 10 W/(m·K)보다 크고, 일부 실시예들에서 약 20 W/(m·K)보다 크고, 일부 실시예들에서 약 50 W/(m·K)보다 크고, 일부 실시예들에서는 약 100 W/(m·K)보다 크고, 일부 실시예들에서는 약 200 W/(m·K)보다 큰 열전도율을 가질 수 있다.
- [0021] 순응성 층은 약 23° C 및 20% 상대 습도에서 ASTM D638-14에 따라 테스트된 바와 같이 약 3GPa 보다 적은, 일부 실시예들에서 약 1GPa 보다 적은, 일부 실시예들에서 약 500 MPa 보다 적은, 일부 실시예들에서 약 100 MPa 보다 적은, 일부 실시예들에서 약 50 MPa 보적 적은, 그리고 일부 실시예들에서 약 15 MPa 보다 적은 영률을 가질 수 있다.
- [0022] 순응층은 낮은 전기 저항을 나타낼 수 있다. 예를 들어, 순응성 층은 ASTM B193-16에 따라 테스트될 때 약 0.01ohm-cm 보다 적은, 일부 실시예들에서는 약 0.001ohm-cm 보다 적은, 일부 실시예들에서는 약 0.0001ohm-cm 보다 적은 체적 저항률을 나타낼 수 있다.
- [0023] 외부 단자들의 순응성 층은 모놀리식 본체를 전도성 중합체 조성물 용액에 침지하여 전도성 중합체 조성물의 후막 층을 형성함으로써 형성될 수 있다.
- [0024] 외부 종단들은 모놀리식 본체와 순응성 층 사이에 형성된 베이스 층들을 포함할 수 있다. 예를 들어, 베이스 층들은 모놀리식 본체의 각 단부 위에 형성될 수 있고, 순응성 층들은 각각의 베이스 층들 위에 형성될 수 있다. 베이스 층들은 다양한 적합한 전도성 재료들을 포함할 수 있다. 예를 들어, 베이스 층들은 구리, 니켈, 주석, 은, 금 등을 포함할 수 있다. 베이스 층들은 모놀리식 본체를 용액에 침지하여 베이스 층 재료의 후막 층을 형성함으로써 형성될 수 있다. 그러나, 다른 실시예들에서, 베이스 층들은 예를 들어 후술하는 바와 같이 적절한 도금 공정을 사용하여 형성될 수 있다.
- [0025] 순응층 위에 형성된 하나 이상의 도금층이 형성된다. 예를 들어, 일부 실시예들에서, 제1 도금층이 순응성 층 위에 형성될 수 있다. 제1 도금층 위에 제2 도금층이 형성될 수 있다. 제1 도금층 및 제2 도금층은 니켈, 주석, 구리 등과 같은 다양한 적합한 전도성 금속을 포함할 수 있다. 예를 들어, 일 실시예에서, 제1 도금층은 니켈을 포함할 수 있다. 제2 도금층은 주석을 포함할 수 있다.
- [0026] 도금층들은 전기도금 및 무전해 도금을 비롯한 다양한 도금 기술들에 의해 형성될 수 있다. 예를 들어, 무전해 도금이 먼저 재료의 초기 층을 증착하기 위해 사용될 수 있다. 그 다음, 도금 기술은 재료의 더 빠른 축적을 허용할 수 있는 전기화학적 도금 시스템으로 전환될 수 있다.
- [0027] 도금 용액은 전도성 금속과 같은 전도성 재료를 포함하고 도금된 종단을 형성하는 데 사용된다. 이러한 전도성 재료는 전술한 재료들 중 임의의 것이거나 당업계에 일반적으로 알려진 임의의 것일 수 있다. 예를 들어, 도금 용액은 도금층 및 외부 종단이 니켈을 포함하도록 하는 니켈 설파메이트 배스 용액 또는 다른 니켈 용액일 수 있다. 대안적으로, 도금 용액은 도금층 및 외부 종단이 구리를 포함하도록 구리 산욕 또는 다른 적절한 구리 용액일 수 있다.
- [0028] 부가적으로, 도금 용액은 당업계에 일반적으로 알려진 다른 첨가제들을 포함할 수 있음을 이해해야 한다. 예를 들어, 첨가제는 도금 공정을 도울 수 있는 다른 유기 첨가제들 및 매체를 포함할 수 있다. 또한, 원하는 pH에서 도금액을 사용하기 위해 첨가제들이 사용될 수 있다. 일 실시예에서, 저항-감소 첨가제들은 완전한 도금 커버리지 및 커패시터에 대한 도금 재료의 결합 및 리드 탭들의 노출된 리딩 에지들을 보조하기 위해 용액에 사용될 수 있다.
- [0029] 커패시터는 일정 시간 동안 도금액에 노출되거나, 잠기거나, 침지될 수 있다. 이러한 노출 시간은 반드시 제한되는 것은 아니지만 도금된 종단을 형성하기 위해 충분한 도금 재료가 증착되도록 충분한 시간되어야 할 수 있다. 이와 관련하여, 교번하는 유전층들 및 전극층들 세트 내에서 각각의 전극층의 주어진 극성을 갖는 리드 탭들의 원하는 노출된 인접 선단 에지들 사이에 연속적인 연결을 형성할 수 있도록 시간이 충분해야 한다.
- [0030] 일반적으로, 전해 도금과 무전해 도금의 차이점은 전해 도금은 외부 전원을 사용하는 등의 전기적 바이어스를 사용한다는 점이다. 전해 도금 용액은 일반적으로 고전류 밀도 범위, 예를 들어 10 내지 15 amp/ft²(9.4볼트 정격)에 노출될 수 있다. 도금된 종단들의 형성을 필요로 하는 커패시터에 대한 음의 연결 및 동일한 도금 용액에서 고체 재료(예를 들어, Cu 도금 용액의 Cu)에 대한 양의 연결로 연결이 형성될 수 있다. 즉, 커패시터는 도금액과 반대 극성으로 바이어스된다. 이러한 방법을 이용하여, 도금액의 전도성 재료는 전극층들의 리드 탭들의 노출된 선단 에지들의 금속에 흡인된다.

- [0031] 캐패시터를 도금 용액에 담그거나 처리하기 전에 다양한 전처리 단계들이 사용할 수 있다. 이러한 단계들은 촉매화, 가속화 및/또는 리드 탭들의 선단 에지들에 대한 도금 재료들의 접촉력을 개선하는 것을 포함하는 다양한 목적들을 위해 수행될 수 있다.
- [0032] 또한, 도금 또는 기타 전처리 단계 전에 초기 세척 단계를 사용할 수 있다. 이러한 단계는 전극층들의 노출된 리드 탭들 상에 형성되는 임의의 산화물 축적물을 제거하기 위해 사용될 수 있다. 이 세척 단계는 내부 전극들 또는 기타 전도성 요소들이 니켈로 형성될 때 축적된 니켈 산화물을 제거하는 데 특히 도움이 될 수 있다. 컴포넌트 세척은 산 세척제가 포함된 세척조와 같은 사전 세척 세척조에 완전히 담가서 수행할 수 있다. 일 실시예에서, 노출은 약 10분 정도와 같이 미리 결정된 시간 동안일 수 있다. 세척은 대안적으로 화학적 연마 또는 Harperizing(harperizing) 단계에 의해 수행될 수도 있다.
- [0033] 또한, 전극층들의 리드 탭들의 노출된 금속 선단 에지들을 활성화하는 단계를 수행하여 전도성 재료들의 증착을 용이하게 할 수 있다. 활성화는 팔라듐 염들, 포토 패턴화된 팔라듐 유기금속 전구체들(마스크 또는 레이저를 통해), 스크린 인쇄 또는 잉크젯 증착 팔라듐 화합물들 또는 전기영동 팔라듐 증착에 침지하여 달성할 수 있다. 팔라듐 기반 활성화는 현재 니켈 또는 그 합금으로 형성된 노출된 탭 부분들에 대한 활성화와 종종 잘 작동하는 활성화 용액들의 예로서 현재 개시되어 있음을 이해해야 한다. 그러나, 다른 활성화 용액들도 활용될 수 있음을 이해해야 한다.
- [0034] 또한, 전술한 활성화 단계 대신에 또는 추가로, 커패시터의 전극층을 형성할 때 활성화 도펀트가 전도성 재료에 도입될 수 있다. 예를 들어, 전극층이 니켈을 포함하고 활성화 도펀트가 팔라듐을 포함하는 경우, 팔라듐 도펀트는 전극층들을 형성하는 니켈 잉크 또는 조성물에 도입될 수 있다. 이렇게 하면 팔라듐 활성화 단계가 제거될 수 있다. 유기금속 전구체들과 같은 상기 활성화 방법들 중 일부는 또한 커패시터의 일반적으로 세라믹 본체에 대한 접촉력을 증가시키기 위해 유리 형성제들의 동시 증착에 적합하다는 것이 추가로 이해되어야 한다. 활성화 단계가 전술한 바와 같이 취해질 때, 활성화제 재료의 흔적들은 종종 종단 도금 전후에 노출된 전도성 부분에 남을 수 있다.
- [0035] 추가적으로, 도금 후의 후처리 단계들이 또한 사용될 수 있다. 이러한 단계들은 재료들의 접촉력 향상 및/또는 개선을 포함하는 다양한 목적을 위해 수행될 수 있다. 예를 들어, 도금 단계를 수행한 후에 가열(또는 어닐링) 단계가 사용될 수 있다. 이러한 가열은 베이킹, 레이저 처리, UV 노출, 마이크로파 노출, 아크 용접 등을 통해 수행될 수 있다.
- [0036] 외부 종단들은 약 25 μm 이상, 예를 들어 약 35 μm 이상, 예를 들어 약 50 μm 이상, 예를 들어 약 75 μm 이상의 총 평균 두께를 가질 수 있다. 예를 들어, 외부 종단들은 약 25 μm 내지 약 150 μm , 예를 들어 약 35 μm 내지 약 125 μm , 예를 들어 약 50 μm 내지 약 100 μm 의 평균 두께를 가질 수 있다.
- [0037] 외부 종단들은 약 150 μm 이하, 예를 들어 약 125 μm 이하, 약 100 μm 이하, 예를 들어 약 80 μm 이하의 최대 두께를 가질 수 있다. 외부 종단들은 약 25 μm 이상, 예를 들어 약 35 μm 이상, 예를 들어 약 50 μm 이상, 예를 들어 약 75 μm 이상의 최대 두께를 가질 수 있다. 예를 들어, 외부 종단들은 약 25 μm 내지 약 150 μm , 예를 들어 약 35 μm 내지 약 125 μm , 예를 들어 약 50 μm 내지 약 100 μm 의 최대 두께를 가질 수 있다.
- [0038] 외부 종단들의 베이스 층은 평균 두께가 약 3 μm 내지 약 125 μm , 또는 그 이상, 일부 실시예들에서는 약 5 μm 내지 약 100 μm , 일부 실시예들에서는 약 10 μm 내지 약 80 μm 범위일 수 있다. 순응성 층은 약 3 μm 내지 약 125 μm , 또는 그 이상, 일부 실시예들에서는 약 5 μm 내지 약 100 μm , 일부 실시예들에서는 약 10 μm 내지 약 80 μm 범위의 평균 두께를 가질 수 있다.
- [0039] 일부 실시예들에서, 순응성 층들의 최대 두께에 대한 마진 거리의 비는 약 5 초과, 일부 실시예들에서 약 10 초과, 일부 실시예들에서 약 15 초과, 일부 실시예들에서 약 20 초과, 및 일부 실시예들에서 약 40 초과일 수 있다.
- [0040] 이제 적층 커패시터의 예시적인 실시예들을 상세히 참조할 것이다. 이제 도면들을 참조하면, 도 1은 본 발명의 양태들에 따른 적층 커패시터(100)의 일 실시예의 단면도를 예시한다. 커패시터(100)는 제1 단부(104) 및 길이 방향(108)으로 제1 단부(104)로부터 이격된 제2 단부(106)를 갖는 모놀리식 본체(102)를 포함할 수 있다. 모놀리식 본체(102)는 모놀리식 본체(102)의 제1 단부(104)로부터 제2 단부(106)를 향해 연장하는 제1 복수의 전극들(110)을 포함할 수 있다. 제1 복수의 전극들(110)은 제1 마진 거리(114)만큼 모놀리식 본체의 제2 단부(106)로부터 이격될 수 있다. 제2 복수의 전극들(112)은 제2 단부(106)로부터 모놀리식 본체(102)의 제1 단부(104)를 향해 연장될 수 있다. 복수의 제2 전극들(112)은 복수의 제1 전극들(110)과 인터리브될 수 있다. 제2 복수의 전

극들(112)은 제2 마진 거리(116)만큼 모놀리식 본체(102)의 제1 단부(104)로부터 이격될 수 있다. 모놀리식 본체(102)는 제1 단부(104)와 제2 단부(106) 사이의 길이방향 거리(108)에서 본체 길이(118)를 가질 수 있다. 본체 길이(118)와 제1 마진 거리(114) 또는 제2 마진 거리(116) 중 적어도 하나 사이에 마진 비율이 정의될 수 있다. 일부 실시예들에서, 마진 비율은 약 10 미만일 수 있다.

- [0041] 균열(120)이 커패시터의 (예를 들어 화살표(122)로 예시된 바와 같이) 구부러짐으로 인해 발생하는 경우, 균열(120)은 제1 마진 거리 또는 제2 마진 거리(114, 116) 내에 제한될 것이다. 균열(120)은 제1 복수의 전극들(110) 및 제2 복수의 전극들(120) 모두와 교차하지 않을 것이고, 제1 복수의 전극들(110)과 제2 복수의 전극들(120) 사이의 접촉을 방지하며, 그렇지 않으면 그 사이에 전기적 연결(예를 들어, "단락")이 초래될 수 있다.
- [0042] 커패시터(100)는 제1 단부(104)를 따라 배치되고 제1 복수의 전극들(110)과 연결된 제1 외부 종단(140)을 포함할 수 있다. 커패시터(100)는 제2 단부(106)를 따라 배치되고 제2 복수의 전극들(112)과 연결된 제2 외부 종단(142)을 포함할 수 있다. 제1 외부 종단(140)은 제1 순응층(144)을 포함할 수 있다. 제1 순응성 층(144)은 제1 베이스 층(146) 위에 형성될 수 있다. 제1 외부 종단(140)의 제1 베이스 층(146)은 제1 복수의 전극들(110)과 전기적으로 연결될 수 있다.
- [0043] 커패시터(100)는 제2 단부(106)를 따라 배치되고 제2 복수의 전극들(112)과 연결된 제2 외부 종단(142)을 포함할 수 있다. 제2 외부 종단(142)은 제2 순응층(145)을 포함할 수 있다. 제2 순응성 층(145)은 제2 베이스 층(147) 위에 형성될 수 있다. 제2 외부 단자(142)의 제2 베이스 층(147)은 제2 복수의 전극들(112)과 전기적으로 연결될 수 있다.
- [0044] 순응성 층들(144, 145)은 전도성 중합체 구성물을 포함할 수 있으며, 이는 예를 들어 전술한 바와 같이 중합체 및 전도성 입자들을 포함할 수 있다. 일부 실시예들에서, 중합체는 에폭시 수지이거나 이를 포함할 수 있다. 전도성 입자들은 은, 금, 구리 등과 같은 금속이거나 이를 포함할 수 있다.
- [0045] 일부 실시예들에서, 베이스 층들(146, 147)은 후막 층들을 형성하기 위해 모놀리식 본체(102)를 침지함으로써 형성될 수 있다. 다른 실시예들에서, 베이스 층들(146, 147)은 (예를 들어, 전해 또는 무전해 도금을 사용하여) 도금될 수 있다.
- [0046] 하나 이상의 도금층(148)이 순응성 층들(146, 147) 위에 형성될 수 있다. 예를 들어, 제1 외부 종단(140)의 도금층(148)은 순응성 층들(146, 147) 위에 형성된 제1 도금층 및 제1 도금층 위에 형성된 제2 도금층을 포함할 수 있다. 제1 도금층 및 제2 도금층(존재하는 경우)은 다양한 적합한 금속들로 형성될 수 있다. 예를 들어, 제1 도금층은 니켈을 포함할 수 있다. 제2 도금층은 주석을 포함할 수 있다.
- [0047] 순응성 층들(144, 145)은 길이 방향(108)으로 각각의 두께(150, 152)를 가질 수 있다. 제1 순응성 층(144)의 두께(150)에 대한 제1 마진 거리(114)의 비는 약 5보다 클 수 있다. 제2 순응성 층(145)의 두께(152)에 대한 제2 마진 거리(116)의 비는 약 5보다 클 수 있다.
- [0048] 도 2는 본 발명의 양태들에 따른 적층 커패시터(200)의 다른 실시예의 단면도를 예시한다. 적층 커패시터(200)는 일반적으로 도 1의 적층 커패시터(100)와 같이 구성될 수 있다. 도 2의 참조 번호들은 일반적으로 도 1의 참조 번호들과 대응할 수 있다. 적층 커패시터(200)는 모놀리식 본체(202)의 제1 단부(204)에 제1 복수의 앵커 탭들(254) 및/또는 모놀리식 본체(202)의 제2 단부(206)에 제2 복수의 앵커 탭들(256)을 추가로 포함할 수 있다.
- [0049] 앵커 탭들(254, 256)은 베이스 층들(246, 247)에 대한 도금(예를 들어, 무전해 도금)을 위한 핵형성 지점들로서 작용할 수 있다. 예를 들어, 앵커 탭들(254, 256)은 안전하고 신뢰할 수 있는 외부 도금의 형성을 용이하게 할 수 있다. 일반적으로 내부 전기 연결을 제공하지 않는 앵커 탭들은 향상된 외부 종단 연결, 더 나은 기계적 무결성 및 도금 재료의 증착을 위해 제공될 수 있다.
- [0050] 도 3은 본 발명의 양태들에 따른 적층 커패시터(300)의 다른 실시예의 단면도를 예시한다. 도 3의 참조 번호들은 일반적으로 도 1의 참조 번호들과 대응할 수 있다. 적층 커패시터(300)는 하나 이상의 플로팅 전극(358)을 추가로 포함할 수 있다. 예를 들어, 제1 복수의 전극들(310)은 일반적으로 제2 복수의 전극들(312)의 각각의 전극(312)과 Z-방향(360)으로 정렬될 수 있다. 플로팅 전극들(358)은 전극들(310, 312)의 각각의 정렬된 쌍과 인터리브될 수 있다.
- [0051] 제1 마진 거리(314)는 제1 복수의 전극들(310)과 모놀리식 본체(302)의 제2 단부(306) 사이의 길이 방향(308)으로 정의될 수 있다. 제2 마진 거리(316)는 제2 복수의 전극들(312)과 모놀리식 본체(302)의 제1 단부(304) 사이에 정의될 수 있다. 그러나, 일부 실시예들에서, 커패시터에는 플로팅 전극들이 없을 수 있다는 것을 이해해야

한다.

[0052] 도 4는 본 발명의 양태들에 따른 적층 세라믹 커패시터를 형성하기 위한 방법(400)의 흐름도이다. 일반적으로, 방법(400)은 도 1 내지 도 3를 참조하여 위에서 서술된 적층 커패시터들(100, 200, 300)을 참조하여 여기에서 서술될 것이다. 그러나, 개시된 방법(400)은 임의의 적절한 적층 커패시터로 구현될 수 있음을 이해해야 한다. 또한, 비록 도 4는 예시 및 논의를 위해 특정 순서로 수행되는 단계를 도시하지만, 여기에서 논의된 방법들은 특정 순서나 배열로 제한되지 않는다. 본 명세서에 제공된 개시내용을 사용하여, 본 기술분야의 통상의 기술자는 본 발명의 범위를 벗어나지 않고 다양한 방식으로 본 명세서에 개시된 방법들의 다양한 단계들이 생략, 재배열, 결합 및/또는 적용될 수 있음을 이해할 것이다.

[0053] 방법(400)은, 402에서, 예를 들어, 도 1 내지 도 3을 참조하여 위에서 서술된 바와 같이, 제1 복수의 유전층들 상에 각각 제1 복수의 전극들을 형성하고, 제2 복수의 유전층들 상에 제2 복수의 전극들을 형성하는 단계를 포함한다.

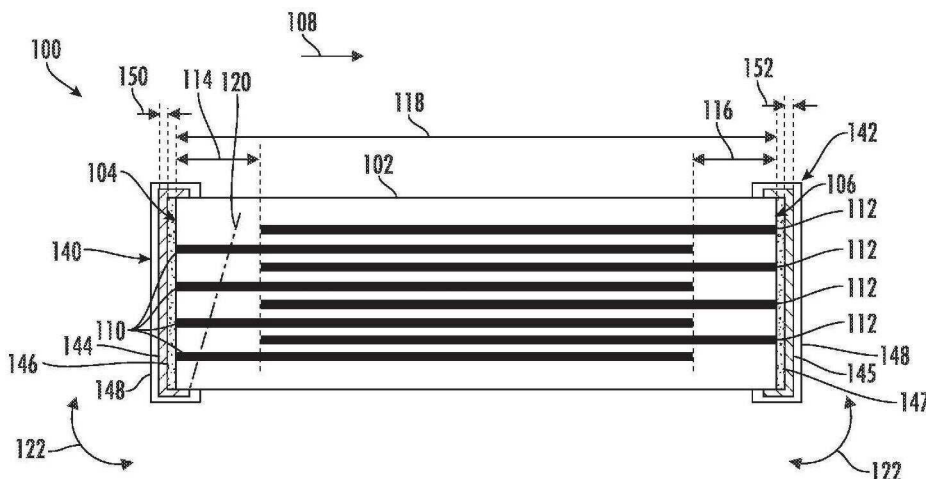
[0054] 방법(400)은, 404에서, 예를 들어, 도 1 내지 도 3을 참조하여 위에서 서술된 바와 같이, 각각의 제1 복수의 전극 및 제2 복수의 전극이 각각 제1 마진 거리 및 제2 마진 거리만큼 모놀리식 본체의 대향 단부로부터 이격되도록 유전체 층들을 적층하는 단계를 포함할 수 있다. 보다 구체적으로, 상기 제1 복수의 전극들은 상기 모놀리식 본체의 제1 단부로부터 연장되고, 상기 모놀리식 본체의 제2 단부로부터 길이 방향으로 제1 마진 거리만큼 이격될 수 있다. 제2 복수의 전극들은 모놀리식 본체의 제2 단부로부터 연장될 수 있고, 모놀리식 본체의 제1 단부로부터 길이 방향으로 제2 마진 거리만큼 이격될 수 있다. 몸체 길이와 제1 마진 거리 및/또는 제2 마진 거리의 마진 비율은 약 10 미만일 수 있다.

[0055] 방법(400)은, 406에서, 제1 복수의 전극들 및 제2 복수의 전극들과 각각 연결된 모놀리식 본체의 각각의 단부를 따라 외부 종단들을 형성하는 단계를 포함할 수 있다. 외부 종단들 중 적어도 하나는, 예를 들어, 도 1 내지 도 3을 참조하여 위에서 서술된 바와 같이 전도성 중합체 조성물을 포함할 수 있다.

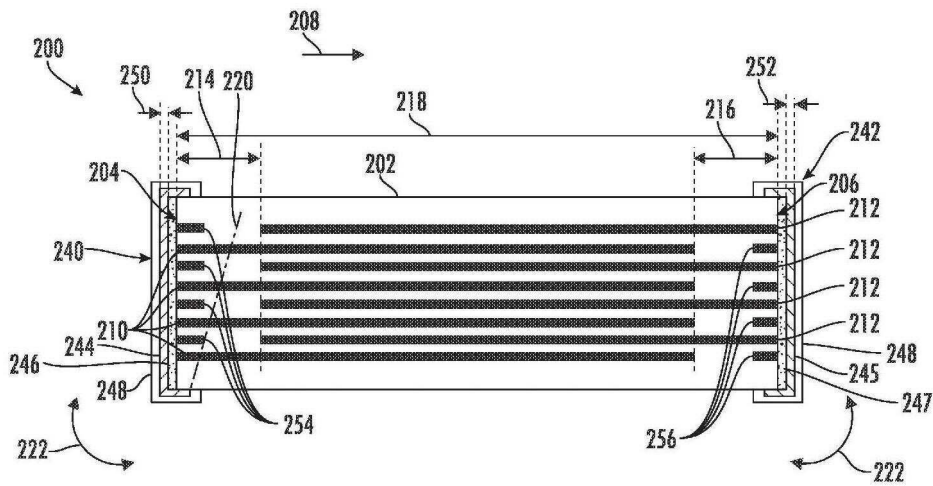
[0056] 본 발명의 주체가 그 특정 실시예들과 관련하여 상세하게 서술되었지만, 본 기술분야의 통상의 기술자는 전술한 내용을 이해하면 이러한 실시예들에 대한 변경들, 변형들 및 등가물들을 용이하게 생성할 수 있음을 이해할 것이다. 따라서, 본 발명의 범위는 제한이 아니라 예시이며, 본 발명은 본 기술분야의 통상의 기술자에게 용이하게 명백한 바와 같이 본 대상에 대한 그러한 수정들, 변형들 및/또는 추가들의 포함을 배제하지 않는다.

도면

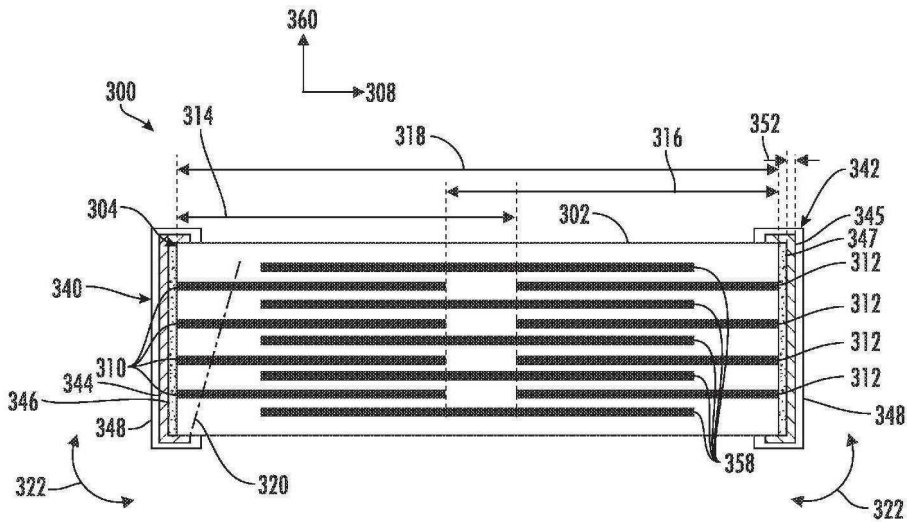
도면1



도면2



도면3



도면4

