

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6073705号
(P6073705)

(45) 発行日 平成29年2月1日(2017.2.1)

(24) 登録日 平成29年1月13日(2017.1.13)

(51) Int.Cl.

F 1

H01L 21/82 (2006.01)

H01L 21/82

F

H01L 21/822 (2006.01)

H01L 27/04

V

H01L 27/04 (2006.01)

請求項の数 3 (全 9 頁)

(21) 出願番号

特願2013-36212 (P2013-36212)

(22) 出願日

平成25年2月26日(2013.2.26)

(65) 公開番号

特開2014-165390 (P2014-165390A)

(43) 公開日

平成26年9月8日(2014.9.8)

審査請求日

平成27年12月4日(2015.12.4)

(73) 特許権者 715010864

エスアイアイ・セミコンダクタ株式会社

千葉県千葉市美浜区中瀬一丁目8番地

(72) 発明者 有山 稔

千葉県千葉市美浜区中瀬1丁目8番地 セイコーアンスツル株式会社内

審査官 宇多川 勉

(56) 参考文献 特開2004-096036 (JP, A)
)

特開平09-213097 (JP, A)

特開平11-233634 (JP, A)

最終頁に続く

(54) 【発明の名称】ヒューズ回路及び半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

異なる電位の端子の間に直列に接続された第一のヒューズと第二のヒューズを備え、前記第一のヒューズと前記第二のヒューズは、シート抵抗が異なる抵抗体であって、前記第一のヒューズの抵抗値と前記第二のヒューズの抵抗値が異なることを特徴とするヒューズ回路。

【請求項2】

前記第一のヒューズと前記第二のヒューズは、一方が低抵抗ポリシリコンであり、他方が高抵抗ポリシリコンであることを特徴とする請求項1に記載のヒューズ回路。

【請求項3】

半導体基板上に集積された半導体集積回路装置であって

請求項1に記載のヒューズ回路と、

前記ヒューズ回路の出力端子に接続された論理回路と、を備えたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、レーザーなどにより切断可能なヒューズからなるヒューズ回路と、それを備えた半導体集積回路装置に関する。

【背景技術】

10

20

【0002】

半導体集積回路装置の特性調整や機能切換え用として、レーザーにより切断可能なヒューズ回路が広く用いられている。例えば、バンドギャップ基準電圧発生回路においては、製造上のバラツキによって生じる基準電圧の温度特性を補正し、高精度な基準電圧を得るために、レーザーによってヒューズを切断し、抵抗に接続されたスイッチをオンまたはオフにして抵抗値を調整する。

【0003】

図7は、従来のヒューズ回路の回路図である。従来のヒューズ回路は、電源端子間に抵抗R1、ヒューズH1、ヒューズH2、抵抗R2を直列に接続して構成されている。ヒューズ回路の端子Aは、例えばバンドギャップ基準電圧発生回路内の抵抗のうちのひとつである抵抗と並列または直列に接続されたスイッチ回路に接続される。そして、端子Aがハイレベルまたはローレベルになることでスイッチ回路がオンまたはオフし、バンドギャップ基準電圧発生回路内の抵抗の抵抗値が調整され、従って基準電圧の温度特性が調整される。端子Aのレベルは、ヒューズH1とヒューズH2のどちらをレーザーで切断するかにより決定される。どちらのヒューズを切断するかは、調整前の段階、即ちどちらのヒューズも切断していない状態で、基準電圧を測定した後に決定される。通常、ヒューズには導電率の高い材料が用いられるため、チップ上の面積を考慮し、ヒューズを切断していない状態で電源端子間に流れる電流を制限する目的で抵抗R1と抵抗R2が接続されている。

【0004】

以上説明したように、レーザーにより切断可能なヒューズ回路を半導体集積回路装置に搭載する事により、例えばバンドギャップ基準電圧発生回路においては、高精度という付加価値を実現している。

【先行技術文献】**【特許文献】****【0005】****【特許文献1】特開2010-177612号公報****【発明の概要】****【発明が解決しようとする課題】****【0006】**

しかしながら近年、半導体集積回路装置は、高精度や高性能への要求が強くなるとともに、コストダウンへの要求が極めて強くなっている。半導体集積回路装置は、チップサイズがコストに影響するため、チップサイズを少しでも小さくすることが求められている。

即ち、回路はできる限り簡素な構成にすることが強く求められている。このような状況の中、前述したような従来のヒューズ回路では、調整箇所の増加とともにチップサイズが大きくなり、コストが増大するという課題があった。

【0007】

本発明はこのような点に鑑みてなされたものであり、極めて簡素な回路構成によりヒューズ回路を構成し、低コストの半導体集積回路装置を提供することを目的とする。

【課題を解決するための手段】**【0008】**

従来のこのような問題点を解決するために、ヒューズ回路を、異なる電位の端子間に形状が略同一でシート抵抗が異なる第一ヒューズと第二ヒューズを直列に接続して構成し、ヒューズを切断しない状態で出力端子の電位をどちらかの端子の電位に固定するようにした。

【発明の効果】**【0009】**

本発明の半導体集積回路装置によれば、シート抵抗が異なる抵抗からなるヒューズを半導体基板上に集積することにより、極めて簡素な回路構成でヒューズ回路を構成することが出来る。従って、小面積で低コストである半導体集積回路装置の実現が可能となる。

【図面の簡単な説明】

10

20

30

40

50

【0010】

【図1】本実施形態のヒューズ回路の回路図である。

【図2】本実施形態のヒューズ回路を備えた半導体集積回路装置の一例を示す回路図である。

【図3】本実施形態のヒューズ回路を備えた半導体集積回路装置の他の例を示す回路図である。

【図4】本実施形態のヒューズ回路を備えた半導体集積回路装置の他の例を示す回路図である。

【図5】図4の半導体集積回路装置の動作を示す表である。

【図6】図4の検出回路の一例を示す回路図である。

10

【図7】従来の半導体集積回路装置のヒューズ回路の回路図である。

【発明を実施するための形態】

【0011】

本発明のヒューズ回路を備えた半導体集積回路装置は、半導体基板上に集積される電子回路において、例えば基準電圧発生回路やセンサ回路など、高精度や高機能を求められる製品で幅広く利用されている。以下、本実施形態について図面を参照して説明する。

【0012】

図1は、本実施形態のヒューズ回路の回路図である。

ヒューズ回路1は、ヒューズF1とヒューズF2とで構成される。ヒューズF1とヒューズF2は、それぞれ2つの接続端子を有し、各ヒューズの一方の接続端子は共通に接続される。この接続点は、ヒューズ回路1の出力端子N1である。各ヒューズのもう一方の接続端子は、それぞれ異なる電位の配線に接続される。説明のために、この異なる電位を電位VSSと、電位VSSよりも高い電位の電位VDDとする。また、ヒューズF1の抵抗値をRf1、ヒューズF2の抵抗値をRf2、出力端子N1の電位をV1とする。

20

【0013】

ここで、ヒューズF1を構成する抵抗体のシート抵抗は、ヒューズF2を構成する抵抗体のシート抵抗よりも高く、ヒューズF1とヒューズF2のレイアウト形状は略同一の形状であるとする。

【0014】

本実施形態のヒューズ回路1は、上述のように構成されており、以下のように動作する。

30

ヒューズF1およびヒューズF2を切斷していない状態においては、出力端子N1の電位V1と、VDDからヒューズF1とヒューズF2を経由してVSSに流れる電流IFは、次式で表される。

【0015】

$$V1 - VSS = Rf2 \div (Rf1 + Rf2) \times (VDD - VSS) \dots (1)$$

$$IF = (VDD - VSS) \div (Rf1 + Rf2) \dots (2)$$

抵抗体の抵抗値は、シート抵抗と抵抗の幅Wと長さLとで求まる。ヒューズF1とヒューズF2は略同一のレイアウト形状であるから、幅Wと長さLは略同一であり、ヒューズF1を構成する抵抗体のシート抵抗はヒューズF2を構成する抵抗体のシート抵抗よりも高い。即ち、抵抗値Rf1は抵抗値Rf2よりも大きくなる。従って、どちらのヒューズも切斷していない状態においては、出力端子N1の電位V1は、VDDとVSSとの中点電位よりも、VSSに近い電位となる。

40

【0016】

ヒューズF1またはヒューズF2のどちらかを切斷した状態においては、出力端子N1の電位V1は、VSSまたはVDDに概等しい電位になり、VDDからヒューズF1とヒューズF2を経由してVSSに流れる電流IFは、ほぼゼロに等しくなる。

【0017】

図2は、本実施形態のヒューズ回路を備えた半導体集積回路装置の一例を示す回路図である。図2に示した半導体集積回路装置は、ヒューズ回路1の出力端子N1にスイッチ回

50

路 2 を接続して構成した。

【 0 0 1 8 】

スイッチ回路 2 は、端子 N 2 1 の電位によって端子 2 2 と端子 2 3 の間のオンまたはオフが制御される。スイッチ回路 2 は、端子 N 2 1 がヒューズ回路 1 の出力端子 N 1 に接続され、端子 N 2 2 と端子 2 3 がスイッチのオンまたはオフによって調整または切り替えられる素子（図示せず）に接続される。この素子としては、例えば、半導体基板上に集積される抵抗やトランジスタ、容量が挙げられる。図 2 に示した半導体集積回路装置は、上述のように構成され、以下のように動作する。

【 0 0 1 9 】

ヒューズ F 1 とヒューズ F 2 のどちらのヒューズも切斷していない状態では、出力端子 N 1 の電位 V 1 は、V DD と V SS の中点電位よりも V SS に近い電位となる。スイッチ回路 2 は、端子 N 2 1 の電位が中点電位よりも V DD に近い電位でオン、中点電位よりも V SS に近い電位でオフするように構成する。どちらのヒューズも切斷していない状態においては、電位 V 1 は V DD と V SS との中点電位よりも V SS に近い電位であるから、スイッチ回路 2 は必ずオフする。この状態で半導体集積回路装置の特性を測定し、より好適な特性にするために、スイッチ回路 2 をオンするか、またはオフするかを選択する。スイッチ回路 2 をオンにする場合にはヒューズ F 2 をレーザーにより切斷し、スイッチ回路 2 をオフにする場合にはヒューズ F 1 をレーザーにより切斷すればよい。

【 0 0 2 0 】

図 3 は、本実施形態のヒューズ回路を備えた半導体集積回路装置の他の例を示す回路図である。図 3 に示した半導体集積回路装置は、ヒューズ回路 1 の出力端子 N 1 に論理回路である NOT 回路 3 を接続して構成した。

【 0 0 2 1 】

NOT 回路 3 は、入力端子にヒューズ回路 1 の出力端子 N 1 が接続され、電源は V DD と V SS により供給されている（図示せず）。また、NOT 回路 3 の出力端子 N 3 は、図示しないが、図 2 で示したようなスイッチの制御端子に接続しても良く、また半導体集積回路装置の機能を切り替える論理回路ブロックの入力に接続しても良い。図 3 に示した半導体集積回路装置は、上述のように構成され、以下のように動作する。

【 0 0 2 2 】

ヒューズ F 1 とヒューズ F 2 のどちらのヒューズも切斷していない状態では、出力端子 N 1 の電位 V 1 は、V DD と V SS の中点電位よりも V SS に近い電位となる。従って、NOT 回路 3 の出力端子 N 3 の電位は V DD となる。この状態で半導体集積回路装置の特性を測定し、より好適な特性にするために、NOT 回路 3 の出力端子 N 3 の電位を V DD にするか、または V SS にするかを選択する。NOT 回路 3 の出力端子 N 3 の電位を V DD レベルにする場合には、ヒューズ F 1 をレーザーにより切斷し、NOT 回路 3 の出力端子 N 3 の電位を V SS にする場合には、ヒューズ F 2 をレーザーにより切斷すればよい。

【 0 0 2 3 】

以上の本実施形態の説明では、単に、ヒューズ F 1 とヒューズ F 2 は異なるシート抵抗からなる抵抗としたが、ヒューズを構成する材料としては、半導体基板上に集積され、レーザーにより切斷可能な材料であれば、アルミ、銅、タンゲステン、ポリシリコンなど、どのような材料でも良い。使用する材料の一例としては、MOSトランジスタのゲートや回路間の配線に用いられるシート抵抗の低い低抵抗ポリシリコンと、抵抗として用いられる高抵抗ポリシリコンが挙げられる。低抵抗ポリシリコンも高抵抗ポリシリコンも半導体基板上に容易に製造可能な素子であり、広く一般的に使用されている素子である。低抵抗ポリシリコンと高抵抗ポリシリコンをそれぞれヒューズ F 1 とヒューズ F 2 に適用することで、特別な製造工程を必要とせずに本実施形態を実現可能である。このことは低コストを達成するために非常に重要である。

【 0 0 2 4 】

以上により、本発明の第 1 の実施形態の半導体集積回路装置の構成と動作を説明し、極めて簡素な回路構成によりヒューズ回路を実現できることを示した。特に高精度や高機能

10

20

30

40

50

を求める半導体集積回路装置においては調整箇所や機能切換え箇所が増える傾向にあり、何組ものヒューズ回路を必要とするため、ヒューズ回路を極めて簡素な回路構成で実現可能とすることは重要な意味をもつ。加えて特別な製造工程を必要とせずに実現可能な点で、本実施形態は極めて有用である。

【0025】

なお、本説明においては、説明のために具体的な例を示したが、本発明の趣旨を損なわない範囲であれば、必ずしもこの構成や特性値に制限されるものではない。例えば、本説明においては、ヒューズF1とヒューズF2のどちらのヒューズも切断していない状態では、スイッチ2は必ずオフするように制御され、NOT回路3の出力はVDDレベルになるような構成としたが、必ずしもこの限りではなく、オンオフが逆であっても、VDDレベルでなくVSSレベルであっても良い。10

【0026】

また、前述の説明においては、簡便のためにスイッチ2がオンオフする境界はVDDとVSSの中点電位とし、またNOT回路の反転レベルについては特に触れなかったが、半導体基板上に製造される半導体集積回路装置においては、製造工程上のバラツキにより、スイッチのオンオフの境界やNOT回路の反転レベルが電源端子間の中点に等しくなることは稀である。従って、ヒューズF1とヒューズF2のどちらも切断していない状態で、スイッチのオンオフ状態やNOT回路の出力論理を確定するために、出力端子N1の電位V1をVDDもしくはVSSの電位に近づける必要がある。このためには、ヒューズF1とヒューズF2を構成するシート抵抗の比が大きくなるように材料を選択すると良い。20

【0027】

例えば、ヒューズF1の抵抗値Rf1がヒューズF2の抵抗値Rf2の4倍であったとすると、どちらのヒューズも切断しない状態での共通出力端子N1の電位V1は

$$V1 - VSS = (1 \div 5) \cdot (VDD - VSS) \dots (3)$$

となる。これは、一般的にスイッチやNOT回路の状態を確定するのに十分な電位である。

【0028】

さらに具体的な例として、前述した低抵抗ポリシリコンと高抵抗ポリシリコンを使用した場合を挙げる。一般的に低抵抗ポリシリコンのシート抵抗は数 / ~ 数十 / であり、高抵抗ポリシリコンのシート抵抗は数k / ~ 数十k / である。一例として、ヒューズF1をシート抵抗が10k / の高抵抗ポリシリコンで構成し、ヒューズF2をシート抵抗が10 / の低抵抗ポリシリコンで構成するとする。各ヒューズのレイアウト形状が略同一であり、レーザーにより安定して切断可能であることを考慮して、一例として幅W = 1 μm、長さL = 10 μmとすると、各ヒューズの抵抗値は、Rf1 = 100k、Rf2 = 100 となる。どちらのヒューズも切断していない状態での出力端子N1の電位V1は、(1)式から30

$$V1 - VSS = (1 \div 100) \times (VDD - VSS) \dots (4)$$

となる。すなわち電位V1はほぼVSSの電位に等しくなるから、本実施形態において好適である。

【0029】

また、どちらのヒューズも切断していない状態で、VDDからヒューズF1とヒューズF2を経由してVSSに流れる電流IFは、VDDとVSSの電位差が5Vの場合には、(2)式により求められ、約50 μAとなる。特性の調整前後、言い換えるとヒューズの切断前後の消費電流の変化量はなるべく小さい方がよい。これは、測定検査環境の配線抵抗や電源装置の内部インピーダンス、端子間の接触抵抗による電源電圧変化が小さい方が、半導体集積回路装置の特性を測定する際に好ましいためである。また、特に温度特性を調整する場合においては、調整前後で半導体集積回路装置内の発熱量が変化することは好ましくないため、ヒューズを切断していない状態でヒューズに流れる電流を小さく抑えられている点で、本実施形態は好適である。40

【0030】

図4は、本実施形態のヒューズ回路を備えた半導体集積回路装置の他の例を示す回路図である。本実施形態の半導体集積回路装置は、ヒューズ回路1と、検出回路4と、EXOR回路(排他的論理和回路)5を備える。

【0031】

EXOR回路5は、2つの入力端子と1つの出力端子N5を有し、一方の入力端子はヒューズ回路1の出力端子N1に接続され、他方の入力端子は検出回路4の出力端子N4に接続され、電源はVDDとVSSにより供給されている(図示せず)。図4に示した半導体集積回路装置は、上述のように構成され、以下のように動作する。

【0032】

検出回路4は、例えば、外部から入力される物理量を検出し、物理量に応じて検出状態と非検出状態の2値の出力をを行う。検出回路4の例としては、温度検出装置や、磁気検出装置などが挙げられる。以降では、説明のために検出状態の論理値を「1」とし、非検出状態の論理値を「0」とする。

【0033】

図5は、図4に示した半導体集積回路装置の動作を論理値で表現した表である。

ヒューズF1を切断した場合には、出力端子N1の電位はVSSレベルになるから論理値は「0」となる。従って、検出回路4の出力N4が検出状態「1」の場合に出力N5は「1」となり、検出回路4の出力N4が非検出状態「0」の場合に出力N5は「0」となる。一方、ヒューズF2を切断した場合には、出力端子N1の電位はVDDレベルになるから論理値は「1」となる。

【0034】

従って、検出回路4の出力N4が検出状態「1」の場合に出力N5は「0」となり、検出回路4の出力N4が非検出状態「0」の場合に出力N5は「1」となる。以上のように、検出回路4の検出状態と非検出状態における出力N5の論理値を正論理または負論理に容易に切りかえることが可能である。

【0035】

図6は、図4の検出回路4の一例を示す回路図である。

検出回路4は、磁電変換素子であるホール素子4aと、增幅回路4bと、比較回路4cと、基準電圧回路4dで構成される。ホール素子4aの4つの端子のうち対向する2つの端子にはそれぞれ電源端子が接続され、残りの2つの端子は増幅回路4bの入力に接続される。増幅回路4bの出力は比較回路4cの入力の一方に接続され、比較回路4cのもう一方の端子には基準電圧回路4dの一方の端子に接続される。比較回路4cの出力は検出回路4の出力端子N4に接続され、基準電圧回路4dのもう一方の端子は電源端子に接続される。図6に示した検出回路4は以上のように構成され、次のように動作する。

【0036】

ホール素子4aは磁電変換素子であり、印加された磁場に応じた電圧を出力する。ホール素子によって電圧に変換された信号は、増幅回路4bに入力されて所定の増幅率で増幅され、比較回路4cに入力される。比較回路4cは、ホール素子4aからの信号電圧と、基準電圧回路4dが出力する基準電圧とを比較し、ホール素子4aからの信号電圧の方が高ければ検出状態の論理値「1」を、ホール素子4aからの信号電圧の方が低ければ非検出状態の論理値「0」を出力する。比較回路4cの出力は、検出回路4の出力として出力端子N4から出力される。以上から、検出回路4は、外部から入力される物理量である磁場を検出し、物理量に応じて検出状態と非検出状態の2値の出力をを行うように動作する。

【0037】

なお、本説明では、便宜上、検出回路4を前述のような回路構成としたが、物理量に応じて検出状態と非検出状態の2値の出力を構成であれば、必ずしもこの限りではない。また、検出回路4が検出する物理量の一例として、磁場(磁気)の例を挙げたが、例えば、温度や電圧、電流、加速度、圧力などであっても良い。また、増幅回路4bの増幅率や基準電圧回路4dが出力する基準電圧の具体例は特に説明しなかったが、図2や図3の構成を適用して増幅率や基準電圧を調整可能な構成にし、検出点を調整可能にしても良い

10

20

30

40

50

。

【0038】

以上により、本発明の第2の実施形態の半導体集積回路装置の構成と動作を説明し、ヒューズ回路を備えた回路の一例を示した。前述のとおり、半導体集積回路装置には高精度かつ高機能が求められており、動作や機能の切り替えを簡素な回路構成で実現可能にすることは重要な意味をもつ。なお、本説明においては、説明のために出力の正論理と負論理を切り替える用途について説明したが、入力の正論理と負論理を切り替える用途で使用しても良い。

【0039】

以上により、本発明の第1および第2の実施形態の半導体集積回路装置の動作を説明し、極めて簡素な回路構成によりヒューズ回路を実現できることを示し、このヒューズ回路を備えた回路の一例を示した。本説明においては、説明のために具体的な回路構成や材料の特性値を示したが、本説明内で記載した動作を行う構成であれば、必ずしもこの構成や特性値に制限されるものではない。

10

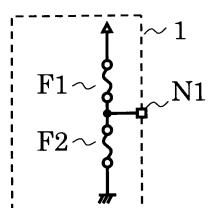
【符号の説明】

【0040】

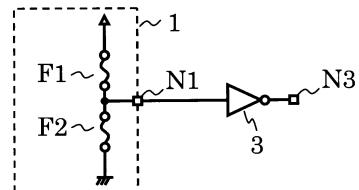
- 1 ヒューズ回路
- 2 スイッチ回路
- 4 検出回路
- 4 a ホール素子
- 4 b 増幅回路
- 4 c 比較回路
- 4 d 基準電圧回路

20

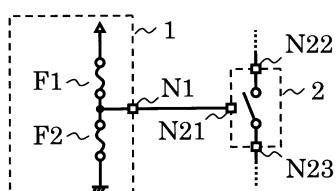
【図1】



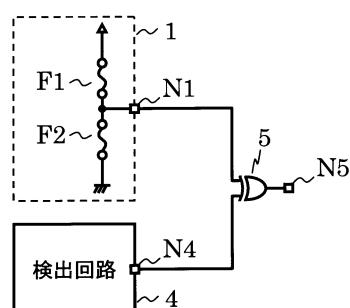
【図3】



【図2】



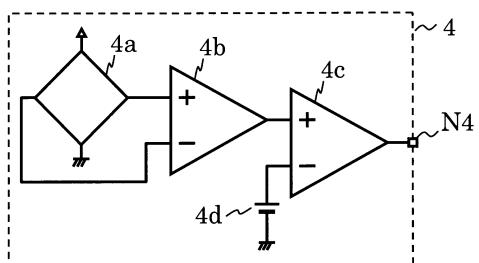
【図4】



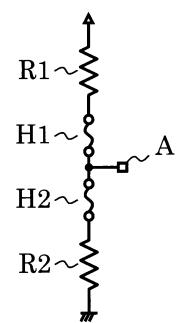
【図5】

Cut Fuse	N1	N4	N5
F1	0	1	1
		0	0
F2	1	1	0
		0	1

【図6】



【図7】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 82

H 01 L 21 / 822

H 01 L 27 / 04