

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02011/122352

発行日 平成25年7月8日(2013.7.8)

(43) 国際公開日 平成23年10月6日(2011.10.6)

(51) Int.Cl. F I テーマコード(参考)  
**G06F 3/041 (2006.01)** G06F 3/041 330B 5B087  
 G06F 3/041 330A

審査請求 有 予備審査請求 未請求 (全 62 頁)

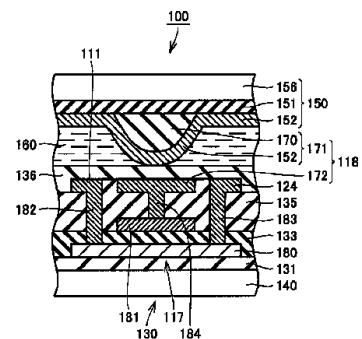
出願番号	特願2012-508211 (P2012-508211)	(71) 出願人	00005049 シャープ株式会社
(21) 国際出願番号	PCT/JP2011/056283		大阪府大阪市阿倍野区長池町22番22号
(22) 国際出願日	平成23年3月16日(2011.3.16)	(74) 代理人	110001195 特許業務法人深見特許事務所
(31) 優先権主張番号	特願2010-75819 (P2010-75819)	(72) 発明者	福山 恵一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成22年3月29日(2010.3.29)	(72) 発明者	木村 知洋 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(33) 優先権主張国	日本国(JP)	(72) 発明者	園吉 督章 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム(参考)	5B087 CC01 CC11 CC24
		最終頁に続く	

(54) 【発明の名称】 表示装置、圧力検出装置および表示装置の製造方法

(57) 【要約】

液晶表示装置(100)は、第1主表面を有するガラス基板(140)と、ガラス基板(140)と間隔をあけて配置されたガラス基板(156)と、ガラス基板(156)およびガラス基板(140)の間に充填された液晶層(160)と、第1主表面上に形成されたスイッチング素子と、第1主表面および第2主表面の間に配置された下部電極(172)と、下部電極(172)より第2主表面側に間隔をあけて配置されると共に、下部電極(172)と対向するように配置された上部電極(171)と、上部電極(171)と下部電極(172)とによって規定される電気信号を検出する検出部とを備え、ガラス基板(156)が押圧されることで、上部電極(171)と下部電極(172)との少なくとも一方は、他方に沿うように変形可能とされる。

【図5】



## 【特許請求の範囲】

## 【請求項 1】

第 1 主表面を有する第 1 基板 ( 1 4 0 ) と、  
 前記第 1 基板 ( 1 4 0 ) と間隔をあけて配置され、前記第 1 主表面と対向する第 2 主表面を有する第 2 基板 ( 1 5 6 ) と、  
 前記第 1 基板 ( 1 4 0 ) および前記第 2 基板 ( 1 5 6 ) の間に位置する表示媒体層と、  
 前記第 1 主表面および前記第 2 主表面の間に配置された下部電極 ( 1 7 2 ) と、  
 前記下部電極 ( 1 7 2 ) より前記第 2 主表面側に間隔をあけて配置されると共に、前記下部電極 ( 1 7 2 ) と対向するように配置された上部電極 ( 1 7 1 ) と、  
 前記上部電極 ( 1 7 1 ) と前記下部電極 ( 1 7 2 ) とによって規定される電気特性を検出可能な検出部 ( 1 0 5 ) と、  
 を備え、

10

前記第 2 基板 ( 1 5 6 ) が押圧されることで、前記上部電極 ( 1 7 1 ) と前記下部電極 ( 1 7 2 ) との少なくとも一方は、他方に沿うように変形可能とされた、表示装置。

## 【請求項 2】

前記上部電極 ( 1 7 1 ) と前記下部電極 ( 1 7 2 ) との間に形成された電極間絶縁層 ( 1 3 6 ) をさらに備え、

前記検出部 ( 1 0 5 ) は、前記上部電極 ( 1 7 1 ) と前記下部電極 ( 1 7 2 ) との間の容量を検出可能とされた、請求項 1 に記載の表示装置。

20

## 【請求項 3】

前記第 2 基板 ( 1 5 6 ) が押圧されることで、前記上部電極 ( 1 7 1 ) と前記下部電極とは、互いに接触可能とされ、

前記検出部 ( 1 0 5 ) は、前記上部電極 ( 1 7 1 ) と前記下部電極との間を流れる電流量を検出可能とされた、請求項 1 に記載の表示装置。

## 【請求項 4】

前記第 2 基板 ( 1 5 6 ) が押圧されることで前記上部電極 ( 1 7 1 ) を押圧する押圧部材 ( 1 4 5 ) をさらに備え、

前記上部電極 ( 1 7 1 ) は、前記押圧部材 ( 1 4 5 ) からの押圧力によって、撓むように変形可能とされた、請求項 1 から請求項 3 項のいずれかに記載の表示装置。

## 【請求項 5】

前記上部電極 ( 1 7 1 ) 下には、たわむように変形した前記上部電極 ( 1 7 1 ) を受け入れる凹部 ( 1 4 7 ) が形成された、請求項 4 に記載の表示装置。

30

## 【請求項 6】

画素電極 ( 1 1 4 ) と、

前記画素電極 ( 1 1 4 ) に接続され、前記第 1 主表面上に形成された画素電極用スイッチング素子 ( 1 1 5 ) とをさらに備え、

前記画素電極用スイッチング素子 ( 1 1 5 ) は、

第 1 半導体層 ( 1 3 2 ) と、

前記第 1 半導体層 ( 1 3 2 ) を覆うように形成された第 1 ゲート絶縁層 ( 1 3 3 ) と、

前記第 1 ゲート絶縁層 ( 1 3 3 ) 上であって、前記第 1 半導体層 ( 1 3 2 ) の上方に形成された第 1 ゲート電極 ( 1 3 4 ) と、

40

前記第 1 半導体層 ( 1 3 2 ) に接続された第 1 電極 ( 1 3 7 ) と、

前記第 1 ゲート電極 ( 1 3 4 ) に対して前記第 1 電極 ( 1 3 7 ) と反対側に位置し、前記第 1 半導体層 ( 1 3 2 ) に接続された第 2 電極 ( 1 3 8 ) とを含み、

前記上部電極 ( 1 7 1 ) は、前記第 1 ゲート絶縁層 ( 1 3 3 ) 上に位置し、前記第 1 ゲート電極 ( 1 3 4 ) から離れた位置であって、前記第 1 ゲート電極 ( 1 3 4 ) と同質材料から形成された、請求項 4 または請求項 5 に記載の表示装置。

## 【請求項 7】

前記上部電極 ( 1 7 1 ) の幅は、前記第 1 ゲート電極 ( 1 3 4 ) の幅よりも広い、請求項 6 に記載の表示装置。

50

## 【請求項 8】

前記第 1 主表面上に形成された下地層 ( 1 3 1 , 1 4 1 ) をさらに備え、  
 前記第 1 半導体層 ( 1 3 2 ) は、前記下地層 ( 1 3 1 , 1 4 1 ) 上に形成され、  
 前記下部電極 ( 1 7 2 ) は、前記下地層 ( 1 3 1 , 1 4 1 ) 上に設けられると共に、前記第 1 半導体層 ( 1 3 2 ) と同質の材料から形成された、請求項 6 または請求項 7 に記載の表示装置。

## 【請求項 9】

前記第 1 半導体層 ( 1 3 2 ) の下方に位置し、光を反射可能な導電性の遮光層 ( 1 4 8 ) をさらに備え、

前記下部電極 ( 1 7 2 ) は、前記遮光層 ( 1 4 8 ) と同質の材料から形成された、請求項 6 または請求項 7 に記載の表示装置。

10

## 【請求項 10】

前記第 1 基板 ( 1 4 0 ) を含むマトリックス基板 ( 1 3 0 ) と、  
 前記第 2 基板 ( 1 5 6 ) を含む対向基板 ( 1 5 0 ) とをさらに備え、  
 前記上部電極 ( 1 7 1 ) および前記下部電極 ( 1 7 2 ) は、前記マトリックス基板 ( 1 3 0 ) に形成された、請求項 1 から請求項 9 項のいずれかに記載の表示装置。

## 【請求項 11】

前記第 1 基板 ( 1 4 0 ) を含むマトリックス基板 ( 1 3 0 ) と、  
 前記第 2 基板 ( 1 5 6 ) を含む対向基板 ( 1 5 0 ) とをさらに備え、  
 前記上部電極 ( 1 7 1 ) は、前記対向基板 ( 1 5 0 ) に形成され、  
 前記下部電極 ( 1 7 2 ) は、前記マトリックス基板 ( 1 3 0 ) に形成された、請求項 1 から請求項 3 のいずれかに記載の表示装置。

20

## 【請求項 12】

前記マトリックス基板 ( 1 3 0 ) は、画素電極 ( 1 1 4 ) と、前記画素電極 ( 1 1 4 ) に接続され、前記第 1 主表面上に形成された画素電極用スイッチング素子 ( 1 1 5 ) と、前記画素電極用スイッチング素子 ( 1 1 5 ) を覆う層間絶縁層 ( 1 3 5 ) をさらに含み、  
 前記下部電極 ( 1 7 2 ) および前記画素電極 ( 1 1 4 ) は、前記層間絶縁層 ( 1 3 5 ) 上に形成された、請求項 11 に記載の表示装置。

## 【請求項 13】

前記第 2 基板 ( 1 5 6 ) が押圧されていない状態で、前記下部電極 ( 1 7 2 ) と前記上部電極 ( 1 7 1 ) とが前記電極間絶縁層 ( 1 3 6 ) に接触させられた、請求項 2 に記載の表示装置。

30

## 【請求項 14】

前記第 2 基板 ( 1 5 6 ) が押圧されていない状態で、前記下部電極 ( 1 7 2 ) と前記上部電極 ( 1 7 1 ) とが接触させられた、請求項 3 に記載の表示装置。

## 【請求項 15】

前記上部電極 ( 1 7 1 ) および前記下部電極 ( 1 7 2 ) の少なくとも一方は、弾性変形可能な突出部 ( 1 7 0 ) と、前記突出部 ( 1 7 0 ) の表面に形成された導電層とを含む、請求項 1 から請求項 3 項のいずれかに記載の表示装置。

## 【請求項 16】

前記上部電極 ( 1 7 1 ) と前記下部電極 ( 1 7 2 ) との間に形成された電極間絶縁層 ( 1 3 6 ) と、前記第 1 基板 ( 1 4 0 ) に形成された検知用スイッチング素子 ( 1 1 7 ) とをさらに備え、

40

前記検知用スイッチング素子 ( 1 1 7 ) は、

第 2 半導体層 ( 1 8 0 ) と、

前記第 2 半導体層 ( 1 8 0 ) を覆うように形成された第 2 ゲート絶縁層 ( 1 3 3 ) と、

前記第 2 ゲート絶縁層上に形成された第 2 ゲート電極 ( 1 8 1 ) と、

前記第 2 半導体層に接続された第 3 電極 ( 1 8 2 ) と、

前記第 2 ゲート電極に対して前記第 3 電極と反対側に位置し、前記第 2 半導体層 ( 1 8 0 ) に接続された第 4 電極 ( 1 8 3 ) と、

50

を含み、

前記下部電極（１７２）は、前記第２ゲート電極（１８１）に接続された、請求項１５に記載の表示装置。

【請求項１７】

前記第１基板（１４０）に形成された検知用スイッチング素子（１１６）をさらに備え、

前記検知用スイッチング素子（１１６）は、

第２半導体層（２００）と、

前記第２半導体層を覆うように形成された第２ゲート絶縁層（１３３）と、

前記第２ゲート絶縁層上に形成された第２ゲート電極（２０１）と、

前記第２半導体層に接続された第３電極（２０２）と、

前記第２ゲート電極（２０１）に対して前記第３電極（２０２）と反対側に位置し、前記第２半導体層に接続された第４電極（２０３）と、

を含み、

前記下部電極は、前記第３電極（２０２）に接続されると共に前記上部電極（１７１）と接触可能とされた、請求項１５に記載の表示装置。

【請求項１８】

前記第１主表面の上方に位置し、外部からの光を反射可能な導電性の反射板（１８７）をさらに備え、

前記下部電極（１７２）は、前記反射板（１８７）に接続された、請求項１５から請求項１７項のいずれかに記載の表示装置。

【請求項１９】

基板と、

前記基板上に配置された下部電極（１７２）と、

前記下部電極（１７２）から離隔しつつ前記下部電極（１７２）に対して対向するように配置された上部電極（１７１）と、

前記上部電極（１７１）が押圧されることで、前記下部電極（１７２）と前記上部電極（１７１）とが接触し、前記下部電極（１７２）と前記上部電極（１７１）との間に流れる電流量を検出する検出部（１０５）と、

を備えた、圧力検出装置。

【請求項２０】

前記上部電極（１７１）を押圧する押圧部材（１４５）をさらに備え、

前記上部電極（１７１）は、前記押圧部材（１４５）によって押圧されることでたわむように変形可能とされた、請求項１９に記載の圧力検出装置。

【請求項２１】

基板と、

前記基板上に配置された下部電極（１７２）と、

前記下部電極（１７２）から間隔をあけて配置されると共に、前記下部電極（１７２）と対向するように配置された上部電極（１７１）と、

前記上部電極（１７１）と前記下部電極（１７２）とによって規定される電気特性を検出する検出部（１０５）と、

を備え、

前記下部電極（１７２）と前記上部電極（１７１）との少なくとも一方は、弾性変形可能な突出部と、前記突出部の表面に形成された導電層とを含む、圧力検出装置。

【請求項２２】

前記上部電極（１７１）と前記下部電極（１７２）との間に形成された電極間絶縁層（１３６）をさらに備え、

前記検出部（１０５）は、前記上部電極（１７１）と前記下部電極（１７２）との間の容量を検出可能とされた、請求項２１に記載の圧力検出装置。

【請求項２３】

10

20

30

40

50

前記上部電極（１７１）が押圧されることで、前記上部電極（１７１）と前記下部電極（１７２）とは、互いに接触可能とされ、

前記検出部（１０５）は、前記上部電極（１７１）と前記下部電極（１７２）との間を流れる電流量を検出する、請求項２１に記載の圧力検出装置。

【請求項２４】

第１主表面を有する第１基板（１４０）を準備する工程と、

下部電極（１７２）を形成する工程と、

前記下部電極（１７２）と間隔をあけて位置する半導体層を形成する工程と、

前記下部電極（１７２）および前記半導体層上にゲート絶縁層を形成する工程と、

前記ゲート絶縁層上に第１導電層を形成する工程と、

前記第１導電層をパターニングして、前記ゲート絶縁層の上面のうち、前記半導体層の上方に位置する部分にゲート電極を形成すると共に、前記ゲート絶縁層の上面のうち、前記下部電極（１７２）の上方に位置する部分に上部電極（１７１）を形成する工程と、

を備えた、表示装置の製造方法。

10

【請求項２５】

半導体被膜を形成する工程をさらに備え、

前記半導体被膜をパターニングして、前記半導体層（１８０）と、前記下部電極（１７２）とを形成する、請求項２４に記載の表示装置の製造方法。

【請求項２６】

第２導電層を形成する工程と、

前記第２導電層をパターニングして遮光層（１４８）を形成する工程とをさらに備え、

前記半導体層は、前記遮光層（１４８）上に位置し、

前記下部電極（１７２）は、前記第２導電層をパターニングすることで形成される、請求項２４に記載の表示装置の製造方法。

20

【請求項２７】

前記下部電極（１７２）と前記上部電極（１７１）との間に空隙部を形成する工程をさらに備えた、請求項２４から請求項２６のいずれかに記載の表示装置の製造方法。

【請求項２８】

第１主表面を有する第１基板（１４０）を準備する工程と、

第２主表面を有する第２基板（１５６）を準備する工程と、

前記第２主表面に弾性変形可能な突起部を形成する工程と、

前記突起部の表面に上部電極（１７１）を形成する工程と、

前記第１基板（１４０）に下部電極（１７２）を形成する工程と、

前記下部電極（１７２）と前記上部電極（１７１）とが対向するように前記第１基板（１４０）および前記第２基板（１５６）を対向配置する工程と、

を備えた、表示装置の製造方法。

30

【請求項２９】

前記第１主表面上に第１半導体層（１３２）および前記第１半導体層（１３２）と間隔をあけて配置された第２半導体層を形成する工程と、

前記第１半導体層（１３２）および前記第２半導体層を覆うようにゲート絶縁層を形成する工程と、

40

前記ゲート絶縁層上に第１導電層を形成する工程と、

前記第１導電層をパターニングして、前記第１半導体層（１３２）の上方に位置する第１ゲート電極（１３４）と、前記第２半導体層の上方に位置する第２ゲート電極とを形成する工程と、

をさらに備え、

前記下部電極（１７２）は、前記第２ゲート電極の上方に位置し、前記第２ゲート電極に接続された、請求項２８に記載の表示装置の製造方法。

【請求項３０】

前記下部電極（１７２）を覆うように上層絶縁層を形成する工程をさらに備えた請求項

50

29に記載の表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、圧力検出装置および表示装置の製造方法に関し、特に、下部電極と上部電極とによって規定される電気特性を検出する検出部を備えた表示装置、圧力検出装置およびその表示装置の製造方法に関する。

【背景技術】

【0002】

特開2001-75074号公報(特許文献1)に記載されたタッチセンサー一体型液晶表示素子は、第1基板と、第2基板と、第1基板および第2基板の間に挿入された液晶層とを備える。第1基板と第2基板との向かい合った面に、画像表示のための表示電極と、タッチ箇所検出のためのタッチ電極とが設けられている。

10

【0003】

特開2005-233798号公報(特許文献2)に記載された位置圧力検出装置は、片面に抵抗膜を形成したベースと、片面に導電体を形成したベースとを備える。抵抗膜と導電体とが対向するように配置されると共に、両ベース間にスペーサが設けられている。抵抗膜の両端の電極対に電圧を供給して抵抗膜の電圧が、抵抗膜の一端側から他端側に直線的に高くなるように構成されている。導電体に電極を設け、更に、導電体の電極から得られる信号に基づいて位置信号を出力する回路と、抵抗膜の両端の電極対から得られる信号に基づいて圧力信号を出力する回路とを備える。

20

【0004】

特開2002-287660号公報(特許文献3)に記載された入力機能付き表示装置は、第1基板と、第2基板と、第1基板に形成され、この第1基板から第2基板に向けて突出する接触位置検出用電極と、第1基板に形成され、接触位置検出用電極に電氣的に接続された第1の接触位置検出用信号線と、第2基基板に形成された第2の接触位置検出用信号線とを備える。

【0005】

特開平11-271712号公報(特許文献4)に記載された液晶表示装置は、アレイ基板と、対向基板と、アレイ基板および対向基板とのギャップを保つためのスペーサと、スペーサおよび対向基板の間に挟まれた圧力検出素子とを備える。圧力検出素子として、絶縁材料に導電性の微粒子を散布したものや、表面電荷を発生する圧電体等が採用されている。

30

【0006】

フジクラ技法に記載されたタッチモード容量型圧力センサは、印加圧力によって変形されるダイアフラムと、ダイアフラムと対向する基板と、基板に形成された電極と、電極上に形成された誘電体膜とを備える。

【先行技術文献】

【特許文献】

【0007】

40

【特許文献1】特開2001-75074号公報

【特許文献2】特開2005-233798号公報

【特許文献3】特開2002-287660号公報

【特許文献4】特開平11-271712号公報

【非特許文献】

【0008】

【非特許文献1】山本 敏他4名、“タッチモード容量型圧力センサ”、[online]、2001年10月、フジクラ技報、[平成21年12月20日検索]、インターネット<URL: [http://www.fujikura.co.jp/00/gihou/gihou101/pdf101/101\\_17.pdf](http://www.fujikura.co.jp/00/gihou/gihou101/pdf101/101_17.pdf)>

【発明の概要】

50

## 【発明が解決しようとする課題】

## 【0009】

特開2001-75074号公報に記載されたタッチセンサは、第1基板に形成されたタッチ電極と、第2基板に形成されたタッチ電極とが接触することで、タッチ位置が検出されている。しかし、このタッチセンサでは、加えられた圧力の大きさを検知することができない。

## 【0010】

特開2005-233798号公報に記載された位置圧力検出装置においては、スペーサのサイズのばらつきによって検知圧力がばらつくという問題が生じる。さらに、スペーサの散布密度によっては、感度にばらつきが生じる。さらに、抵抗膜に常時電流を流す必要があるため、電力消費が著しいという問題がある。

10

## 【0011】

特開2002-287660号公報に記載された入力機能付き表示装置においては、接触位置に加えられた圧力を検出することはできない。

## 【0012】

特開平11-271712号公報に記載された圧力検出素子では、基板に加えられた圧力を正確に検知することが困難である。

## 【0013】

具体的には、表面電荷を生じる圧電体を圧電検出素子に採用した場合においては、圧電体の容量は、圧電体の電極間の距離によって変動する。電極間の距離が変動したとしても、容量は大きく変動しない。特に、電極間の距離が縮み量が小さいときには、電極間の容量の変化率は小さい。このため、基板に触れる力が小さいときには、容量の変動を検知しにくく、基板に指等が触れたとしても、接触力を検知することが困難である。

20

## 【0014】

絶縁樹脂内に導電性の粒子を散布したものを圧電検出素子として採用した場合には、導電性の粒子の分布のばらつきによって、検知する圧力に差が生じる。さらに、導電性の粒子の大きさのばらつきによっても、検知する圧力に差が生じる。

## 【0015】

上記フジクラ技法に記載されたタッチモード容量型圧力センサは、タイヤ圧の検知に用いられており、表示装置と全く関係のない技術分野に関するセンサである。

30

## 【0016】

本発明の目的は、上記の課題に鑑みてなされたものであって、その目的は、基板に加えられた圧力を正確に検知することができると共に消費電力の低減が図られた表示装置、圧力検出装置および表示装置の製造方法を提供することである。

## 【課題を解決するための手段】

## 【0017】

本発明に係る表示装置は、第1主表面を有する第1基板と、第1基板と間隔をあけて配置され、第1主表面と対向する第2主表面を有する第2基板と、第1基板および第2基板の間に充填された表示媒体層と、第1主表面および第2主表面の間に配置された下部電極と、下部電極より第2主表面側に間隔をあけて配置されると共に、下部電極と対向するように配置された上部電極と、上部電極と下部電極とによって規定される電気特性を検出可能とされた検出部とを備える。なお、本明細書中において、電気特性とは、第1電極および第2電極との間の容量、第1電極と第2電極との間を流れる電流量および第1電極および第2電極とが接触したときにおける接触部分の抵抗値等の概念を含む。

40

## 【0018】

上記第2基板が押圧されることで、上部電極と下部電極との少なくとも一方は、他方に沿うように変形可能とされる。

## 【0019】

好ましくは、表示装置は、上部電極と下部電極との間に形成された絶縁層をさらに備え、検出部は、上部電極と下部電極との間の容量を検出可能とされる。好ましくは、上記第

50

2 基板が押圧されることで、上部電極と下部電極とは、互いに接触可能とされ、検出部は、上部電極と下部電極との間を流れる電流量を検出可能とされる。

【0020】

好ましくは、表示装置は、第2基板が押圧されることで上部電極を押圧する押圧部材をさらに備える。上記上部電極は、押圧部材からの押圧力によって、撓むように変形可能とされる。

【0021】

好ましくは、上記上部電極下には、たわむように変形した上部電極を受け入れる凹部が形成される。好ましくは、表示装置は、画素電極と、画素電極に接続され、第1主表面上に形成された画素電極用スイッチング素子をさらに備える。

10

【0022】

上記画素電極用スイッチング素子は、第1半導体層と、第1半導体層を覆うように形成された第1ゲート絶縁層と、第1ゲート絶縁層上であって、第1半導体層の上方に形成された第1ゲート電極と、第1半導体層に接続された第1電極と、第1ゲート電極に対して第1電極と反対側に位置し、第1半導体層に接続された第2電極とを含む。

【0023】

上記上部電極は、第1ゲート絶縁層上に位置し、第1ゲート電極から離れた位置であって、第1ゲート電極と同質材料から形成される。好ましくは、上記上部電極の幅は、第1ゲート電極の幅よりも広い。

【0024】

好ましくは、表示装置は、第1主表面上に形成された下地層をさらに備える。上記第1半導体層は、下地層上に形成され、下部電極は、下地層上に設けられると共に、第1半導体層と同質の材料から形成される。

20

【0025】

好ましくは、表示装置は、上記第1半導体層の下方に位置し、光を反射可能な導電性の遮光層をさらに備える。上記下部電極は、遮光層と同質の材料から形成される。好ましくは、表示装置は、第1基板を含むマトリクス基板と、第2基板を含む対向基板とをさらに備える。上記上部電極および下部電極は、マトリクス基板に形成される。

【0026】

好ましくは、上記第1基板を含むマトリクス基板と、第2基板を含む対向基板とをさらに備える。上記上部電極は、対向基板に形成され、下部電極は、マトリクス基板に形成される。

30

【0027】

好ましくは、上記マトリクス基板は、画素電極と、画素電極に接続され、第1主表面上に形成された画素電極用スイッチング素子と、画素電極用スイッチング素子を覆う層間絶縁層をさらに含む。上記下部電極および画素電極は、層間絶縁層上に形成される。

【0028】

好ましくは、上記第2基板が押圧されていない状態で、下部電極と上部電極とが絶縁層に接触する。好ましくは、上記第2基板が押圧されていない状態で、下部電極と上部電極とが接触する。

40

【0029】

好ましくは、上記上部電極および下部電極の少なくとも一方は、弾性変形可能な突出部と、突出部の表面に形成された導電層とを含む。好ましくは、表示装置は、上部電極と下部電極との間に形成された絶縁層と、第1基板に形成された検知用スイッチング素子とをさらに備える。

【0030】

上記検知用スイッチング素子は、第2半導体層と、第2半導体層を覆うように形成された第2ゲート絶縁層と、第2ゲート絶縁層上に形成された第2ゲート電極と、第2半導体層に接続された第3電極と、第2ゲート電極に対して第3電極と反対側に位置し、第2半導体層に接続された第4電極とを含む。上記下部電極は、第2ゲート電極に接続される。

50



## 【0031】

好ましくは、表示装置は、上記第1基板に形成された検知用スイッチング素子をさらに備える。上記検知用スイッチング素子は、第2半導体層と、第2半導体層を覆うように形成された第2ゲート絶縁層と、第2ゲート絶縁層上に形成された第2ゲート電極と、第2半導体層に接続された第3電極と、第2ゲート電極に対して第3電極と反対側に位置し、第2半導体層に接続された第4電極とを含む。上記下部電極は、第3電極に接続されると共に上部電極と接触可能とされる。

## 【0032】

好ましくは、表示装置は、上記第1主表面の上方に位置し、外部からの光を反射可能な導電性の反射板をさらに備える。上記下部電極は、反射板に接続される。

10

## 【0033】

本発明に係る圧力検出装置は、1つの局面では、基板と、基板上に配置された下部電極と、下部電極から離隔しつつ下部電極に対して対向するように配置された上部電極と、上部電極が押圧されることで、下部電極と上部電極とが接触し、下部電極と上部電極との間に流れる電流量を検出する検出部とを備える。

## 【0034】

好ましくは、圧力検出装置は、上記上部電極を押圧する押圧部材をさらに備え、上部電極は、押圧部材によって押圧されることでたわむように変形可能とされる。

## 【0035】

本発明に係る圧力検出装置は、他の局面では、基板と、基板上に配置された下部電極と、下部電極から間隔をあけて配置されると共に、下部電極と対向するように配置された上部電極と、上部電極と下部電極とによって規定される電気特性を検出する検出部とを備える。上記下部電極と上部電極との少なくとも一方は、弾性変形可能な突出部と、突出部の表面に形成された導電層とを含む。

20

## 【0036】

好ましくは、圧力検出装置は、上部電極と下部電極との間に形成された絶縁層をさらに備える。上記検出部は、上部電極と下部電極との間の容量を検出可能とされる。

## 【0037】

好ましくは、上記上部電極が押圧されることで、上部電極と下部電極とは、互いに接触可能とされ、検出部は、上部電極と下部電極との間を流れる電流量を検出する。

30

## 【0038】

本発明に係る表示装置の製造方法は、1つの局面では、第1主表面を有する第1基板を準備する工程と、下部電極を形成する工程と、下部電極から間隔をあけて位置する半導体層を形成する工程と、半導体層上にゲート絶縁層を形成する工程と、ゲート絶縁層上に第1導電層を形成する工程と、第1導電層をパターンニングして、ゲート絶縁層の上面のうち、半導体層の上方に位置する部分にゲート電極を形成すると共に、ゲート絶縁層の上面のうち、下部電極の上方に位置する部分に上部電極を形成する工程とを備える。

## 【0039】

好ましくは、表示装置の製造方法は、半導体被膜を形成する工程をさらに備え、半導体被膜をパターンニングして、半導体層と、下部電極とを形成する。

40

## 【0040】

好ましくは、表示装置の製造方法は、第2導電層を形成する工程と、第2導電層をパターンニングして遮光層を形成する工程とをさらに備える。半導体層は、遮光層上に位置する。上記下部電極は、第2導電層をパターンニングすることで形成される。好ましくは、表示装置の製造方法は、下部電極と上部電極との間に空隙部を形成する工程をさらに備える。

## 【0041】

本発明に係る表示装置の製造方法は、他の局面では、第1主表面を有する第1基板を準備する工程と、第2主表面を有する第2基板を準備する工程と、第2主表面に弾性変形可能な突起部を形成する工程と、突起部の表面に上部電極を形成する工程と、第1基板に下部電極を形成する工程と、下部電極と上部電極とが対向するように第1基板および第2基

50

板を対向配置する工程とを備える。

【 0 0 4 2 】

好ましくは、表示装置の製造方法は、上記第 1 主表面上に第 1 半導体層および第 1 半導体層と間隔をあけて配置された第 2 半導体層を形成する工程と、第 1 半導体層および第 2 半導体層を覆うようにゲート絶縁層を形成する工程と、ゲート絶縁層上に第 1 導電層を形成する工程と、第 1 導電層をパターンニングして、第 1 半導体層の上方に位置する第 1 ゲート電極と、第 2 半導体層の上方に位置する第 2 ゲート電極とを形成する工程とをさらに備える。

【 0 0 4 3 】

上記下部電極は、第 2 ゲート電極の上方に位置し、第 2 ゲート電極に接続される。好ましくは、上記下部電極を覆うように上層絶縁層を形成する工程をさらに備える。

10

【発明の効果】

【 0 0 4 4 】

本発明に係る表示装置によれば、基板に加えられた圧力を検知することができると共に、消費電力の低減を図ることができる。

【図面の簡単な説明】

【 0 0 4 5 】

【図 1】実施の形態 1 に係る液晶表示装置の回路図を模式的に示した回路図である。

【図 2】対向基板側から液晶表示装置の一部を平面視した平面図である。

【図 3】対向基板下に位置する TFT アレイ基板の平面図である。

20

【図 4】図 2 の I V - I V 線における断面を模式的に示す断面図である。

【図 5】図 2 に示す V - V 線における断面図である。

【図 6】対向基板が押圧されたときの液晶表示装置の断面図である。

【図 7】上部電極が上層絶縁層 1 3 6 と接触する領域を模式的に示す平面図である。

【図 8】実施の形態 1 に係る圧力センサの特性と、比較例としての圧力センサの特性とを比較するグラフである。

【図 9】比較例としての圧力センサを備えた表示装置を示す断面図である。

【図 1 0】TFT アレイ基板の製造工程の第 1 工程を示す断面図である。

【図 1 1】TFT アレイ基板の製造工程の第 2 工程を示す断面図である。

【図 1 2】TFT アレイ基板の製造工程の第 3 工程を示す断面図である。

30

【図 1 3】TFT アレイ基板の製造工程の第 4 工程を示す断面図である。

【図 1 4】TFT アレイ基板の製造工程の第 5 工程を示す断面図である。

【図 1 5】TFT アレイ基板の製造工程の第 6 工程を示す断面図である。

【図 1 6】TFT アレイ基板の製造工程の第 7 工程を示す断面図である。

【図 1 7】対向基板の製造工程の第 1 工程を示す断面図である。

【図 1 8】対向基板の製造工程の第 2 工程を示す断面図である。

【図 1 9】対向基板の製造工程の第 3 工程を示す断面図である。

【図 2 0】対向基板の製造工程の第 4 工程を示す断面図である。

【図 2 1】対向基板の製造工程の第 5 工程を示す断面図である。

【図 2 2】実施の形態 2 に係る液晶表示装置の断面図であり、TFT 素子を示す断面図である。

40

【図 2 3】実施の形態 2 に係る液晶表示装置の断面図であり、出力用素子における断面図である。

【図 2 4】実施の形態 2 に係る液晶表示装置の TFT アレイ基板の製造工程であって、図 1 5 に示す製造工程後の製造工程を示す断面図である。

【図 2 5】図 2 4 に示す TFT アレイ基板の製造工程後の製造工程を示す断面図である。

【図 2 6】図 2 5 に示す製造工程後における TFT アレイ基板の製造工程を示す断面図である。

【図 2 7】実施の形態 3 に係る液晶表示装置の断面図であり、TFT 素子を示す断面図である。

50

- 【図 2 8】実施の形態 3 に係る液晶表示装置の断面図であり、圧力センサを示す断面図である。
- 【図 2 9】対向基板が押圧されたときにおける液晶表示装置の状態を模式的に示す断面図である。
- 【図 3 0】上部電極およびゲート絶縁層が押圧部材からの押圧力によって変形する前の状態における上部電極およびゲート絶縁層を示す断面図である。
- 【図 3 1】上部電極の平面図である。
- 【図 3 2】押圧部材からの押圧力によって、上部電極およびゲート絶縁層が変形した状態を示す断面図である。
- 【図 3 3】図 3 2 に示すように上部電極が変形したときの上部電極の平面図である。 10
- 【図 3 4】TFTアレイ基板の製造工程の第 1 工程を示す断面図である。
- 【図 3 5】TFTアレイ基板の製造工程の第 2 工程を示す断面図である。
- 【図 3 6】TFTアレイ基板の製造工程の第 3 工程を示す断面図である。
- 【図 3 7】図 2 8 に示す TFTアレイ基板の変形例を示す断面図である。
- 【図 3 8】実施の形態 4 に係る液晶表示装置の回路図を模式的に示した回路図である。
- 【図 3 9】実施の形態 4 に係る液晶表示装置の断面図であって、TFT素子を示す断面図である。
- 【図 4 0】実施の形態 4 に係る液晶表示装置の断面図であり、選択用 TFT素子および圧力センサを示す断面図である。
- 【図 4 1】対向基板が押圧されたときの状態を模式的に示す断面図である。 20
- 【図 4 2】TFTアレイ基板の製造工程の第 1 工程を示す断面図である。
- 【図 4 3】TFTアレイ基板の製造工程の第 2 工程を示す断面図である。
- 【図 4 4】TFTアレイ基板の製造工程の第 3 工程を示す断面図である。
- 【図 4 5】対向基板の製造工程の第 1 工程を示す断面図である。
- 【図 4 6】対向基板の製造工程の第 2 工程を示す断面図である。
- 【図 4 7】対向基板の製造工程の第 3 工程を示す断面図である。
- 【図 4 8】対向基板の製造工程の第 4 工程を示す断面図である。
- 【図 4 9】対向基板の製造工程の第 5 工程を示す断面図である。
- 【図 5 0】実施の形態 5 に係る液晶表示装置の断面図であり、TFT素子を示す断面図である。 30
- 【図 5 1】液晶表示装置の断面図であり、選択用 TFT素子および圧力センサを示す断面図である。
- 【図 5 2】TFTアレイ基板の製造工程のうち、TFT素子および選択用 TFT素子を形成したときの工程を示す断面図である。
- 【図 5 3】図 5 2 に示された製造工程後における TFTアレイ基板の製造工程を示す断面図である。
- 【図 5 4】図 5 3 に示す製造工程後の製造工程を示す断面図である。
- 【図 5 5】対向基板の製造工程のうち、カラーフィルタ基板を形成したときを示す断面図である。
- 【図 5 6】図 5 5 に示す製造工程後の工程を示す断面図である。 40
- 【図 5 7】図 5 6 に示す製造工程後の工程を示す断面図である。
- 【図 5 8】実施の形態 6 に係る液晶表示装置の電気回路を示す回路図である。
- 【図 5 9】実施の形態 6 に係る液晶表示装置の断面図であって、TFT素子を示す断面図である。
- 【図 6 0】実施の形態 6 に係る液晶表示装置の断面図であって、圧力センサを示す断面図である。
- 【図 6 1】対向基板が押圧されていない状態（初期状態）における上部電極および半導体層を示す断面図である。
- 【図 6 2】上部電極の平面図である。
- 【図 6 3】対向基板が押圧された状態における上部電極と半導体層とを示す断面図である。 50

- 。
- 【図64】 TFTアレイ基板の製造工程の第1工程を示す断面図である。
  - 【図65】 TFTアレイ基板の製造工程の第2工程を示す断面図である。
  - 【図66】 TFTアレイ基板の製造工程の第3工程を示す断面図である。
  - 【図67】 TFTアレイ基板の製造工程の第4工程を示す断面図である。
  - 【図68】 TFTアレイ基板の製造工程の第5工程を示す断面図である。
  - 【図69】 TFTアレイ基板の製造工程の第6工程を示す断面図である。
  - 【図70】 TFTアレイ基板の製造工程の第7工程を示す断面図である。
  - 【図71】 TFTアレイ基板の製造工程の第8工程を示す断面図である。
  - 【図72】 TFTアレイ基板の製造工程の第9工程を示す断面図である。
  - 【図73】 TFTアレイ基板の製造工程の第10工程を示す断面図である。
  - 【図74】 TFTアレイ基板の製造工程の第11工程を示す断面図である。
  - 【図75】 実施の形態7に係る液晶表示装置の断面図であって、TFT素子を示す断面図である。
  - 【図76】 実施の形態7に係る液晶表示装置の断面図であって、圧力センサを示す断面図である。
  - 【図77】 TFTアレイ基板の製造工程の第1工程を示す断面図である。
  - 【図78】 TFTアレイ基板の製造工程の第2工程を示す断面図である。
  - 【図79】 TFTアレイ基板の製造工程の第3工程を示す断面図である。
  - 【図80】 TFTアレイ基板の製造工程の第4工程を示す断面図である。
  - 【図81】 実施の形態7に係る液晶表示装置の変形例を示す断面図である。
- 【発明を実施するための形態】

10

20

30

40

50

【0046】

図1から図81を用いて、本発明に係る圧力センサ、表示装置および表示装置の製造方法について説明する。なお、以下に説明する実施の形態において、個数、量などに言及する場合、特に記載がある場合を除き、本発明の範囲は必ずしもその個数、量などに限定されない。また、以下の実施の形態において、各々の構成要素は、特に記載がある場合を除き、本発明にとって必ずしも必須のものではない。また、以下に複数の実施の形態が存在する場合、特に記載がある場合を除き、各々の実施の形態の特徴部分を適宜組み合わせることは、当初から予定されている。

【0047】

(実施の形態1)

図1は、本実施の形態1に係る液晶表示装置100の回路図を模式的に示した回路図である。この図1に示すように、液晶表示装置100は、制御部105と、アレイ状に配置された複数の画素110を備え、画素110は、複数のTFT(Thin Film Transistor: 薄膜トランジスタ)素子115(画素電極用スイッチング素子)と、このTFT素子115に接続された画素電極114とを備える。

【0048】

液晶表示装置100は、第1方向に延びると共に、第2方向に間隔をあけて複数配置されたゲート配線112およびセンサ用ゲート配線113と、第2方向に延びると共に第1方向に間隔をあけて配置された複数のソース配線111とを備える。

【0049】

各ゲート配線112は、ゲートドライバ102に接続され、各ソース配線111は、ソースドライバ101に接続されている。センサ用ゲート配線113は、隣り合うゲート配線112間に配置され、第1方向に延びており、第2方向に間隔をあけて複数形成されている。各センサ用ゲート配線113は、センサドライバ103に接続されている。

【0050】

ソースドライバ101と、ゲートドライバ102と、センサドライバ103とは、制御部105に接続されている。そして、隣り合う2つのゲート配線112と、隣り合う2つのソース配線111とによって、画素110が規定されている。

## 【0051】

画素110内には、TFT素子115、選択用TFT素子116および圧力検知素子120が配置されている。TFT素子115のソース電極は、ソース配線111に接続され、TFT素子115のゲート電極はゲート配線112に接続されている。TFT素子115のドレイン電極には、画素電極114が接続されている。

## 【0052】

選択用TFT素子116のソース電極は、ソース配線111に接続されており、選択用TFT素子116のゲート電極は、センサ用ゲート配線113に接続されている。選択用TFT素子116のドレイン電極に圧力検知素子120が接続されている。

## 【0053】

圧力検知素子120は、選択用TFT素子116のドレイン電極に接続された出力用素子117と、この出力用素子117のゲート電極に接続された圧力センサ（圧力検出装置）118とを含む。出力用素子117は、加えられた過重を検知する検知用スイッチング素子として機能する。出力用素子117は、選択用TFT素子116のドレイン電極に接続されたソース電極と、ソース配線111に接続されたドレイン電極と、圧力センサ118の下部電極に接続されたゲート電極とを含む。なお、選択用TFT素子116のソース電極が接続されたソース配線111は、出力用素子117のドレイン電極が接続されたソース配線111と隣り合う他のソース配線111である。

## 【0054】

ここで、選択用TFT素子116のON/OFFは、時分割で適宜切り替えられ、制御部105は、選択された選択用TFT素子116に接続された圧力検知素子120からの出力を検知する。具体的には、圧力検知素子120からの電気特性としての電流量を検知する。このように、制御部105は、上部電極および下部電極とによって規定される電気特性としての電流量を検知する検知部としても機能する。

## 【0055】

出力用素子117の出力は、出力用素子117のゲート電極に印加される電圧によって変動する。このゲート電極に印加される電圧は、ゲート電極に接続された圧力センサ118の下部電極の電位によって決定される。圧力センサ118の下部電極の電位は、もう一方の上部電極との間の容量によって決定される。上部電極と下部電極との間の容量は、上部電極が設けられた基板に加えられる押圧力によって変動する。すなわち、制御部105は、出力用素子117からの電流量から基板に加えられる押圧力を検知することができる。

## 【0056】

図2は、対向基板150側から液晶表示装置100の一部を平面視した平面図である。この図2に示すように、対向基板150は、カラーフィルタ基板151と、このカラーフィルタ基板151の下面に配置された対向電極152とを含む。

## 【0057】

カラーフィルタ基板151は、格子状に形成されたブラックマトリクス155と、このブラックマトリクス155の枠内に形成され、赤色、緑色、青色のそれぞれの色の着色感材からなる着色層153とを含む。なお、1つの画素110の上方に1つの着色層153が配置されている。

## 【0058】

対向電極152は、たとえば、ITO（Indium Tin Oxide：インジウム酸化スズ）から形成された透明電極である。

## 【0059】

図3は、対向基板150下に位置するTFTアレイ基板（アクティブマトリクス基板）130の平面図であり、この図3および上記図2において、ソース配線111およびゲート配線112は、ブラックマトリクス155下に位置している。そして、選択用TFT素子116および圧力検知素子120は、画素電極114に対してTFT素子115と反対側に配置されている。

10

20

30

40

50

## 【 0 0 6 0 】

この図3に示すように、選択用TFT素子116は、半導体層123と、半導体層123およびソース配線111を接続するソース電極121と、センサ用ゲート配線113に接続されたゲート電極122と、ドレイン電極125とを備える。

## 【 0 0 6 1 】

出力用素子117のソース電極183と、選択用TFT素子116のドレイン電極125とは、接続配線124によって接続されている。なお、本実施の形態においては、選択用TFT素子116の半導体層123と、出力用素子117の半導体層180とを切り離し、選択用TFT素子116のドレイン電極125と、出力用素子117のソース電極183とを接続配線124で接続しているが、ドレイン電極125とソース電極183とを接続するように半導体層123と、半導体層180とを一体としてもよい。

10

## 【 0 0 6 2 】

図4は、図2のIV-IV線における断面を模式的に示す断面図である。なお、図4および後述する図5、図6等に示す断面図は、説明の便宜を図るため簡略化した断面図であり、各図における縦横比等は正確なものではない。

## 【 0 0 6 3 】

図4に示すように、液晶表示装置100は、TFTアレイ基板130と、TFTアレイ基板130と対向するように間隔をあけて配置された対向基板150と、対向基板150およびTFTアレイ基板130の間に充填された液晶層(表示媒体層)160とを備える。なお、TFTアレイ基板130と対向基板150の間には、TFTアレイ基板130および対向基板150の間隔を所定の間隔に維持するスペーサ161が形成されている。

20

## 【 0 0 6 4 】

液晶表示装置100は、対向基板150の上面に配置される偏光板と、TFTアレイ基板130の下面に配置される偏光板およびバックライトユニットとをさらに備える。

## 【 0 0 6 5 】

対向基板150の上面に配置される偏光板の偏光方向と、TFTアレイ基板130下に配置される偏光板の偏光方向とは直交するように、各偏光板が配置される。バックライトユニットは、TFTアレイ基板130に向けて光を照射している。なお、このバックライトユニットおよび上記2つの偏光板は、図示されていない。

## 【 0 0 6 6 】

対向基板150は、主表面を有するガラス基板156と、ガラス基板156の主表面に形成されたカラーフィルタ基板151と、このカラーフィルタ基板151下に形成された対向電極152とを含む。

30

## 【 0 0 6 7 】

TFTアレイ基板130は、主表面(第1主表面)を有するガラス基板(第1基板)140と、ガラス基板140の上方に位置する画素電極114とを含み、このガラス基板140の主表面上にはTFT素子(スイッチング素子)115が形成されている。

## 【 0 0 6 8 】

ガラス基板140の主表面上には、シリコン酸化層(SiO<sub>2</sub>層)、シリコン窒化層(SiN)、およびシリコン酸窒化層(SiNO層)等の絶縁層から形成された下地層131が形成されている。この下地層131の膜厚は、たとえば、0nm以上500nm以下とされ、好ましくは、0nm以上400nm以下とされる。

40

## 【 0 0 6 9 】

TFT素子115は、下地層131の上面に形成された半導体層(第1半導体層)132と、この半導体層132を覆うように形成されたゲート絶縁層(第1ゲート絶縁層)133と、ゲート絶縁層133の上面に形成されたゲート電極134と、半導体層132に接続されたドレイン電極137およびソース電極138とを含む。

## 【 0 0 7 0 】

ゲート電極134は、ゲート絶縁層133の上面であって、半導体層132の上方に位置している。ドレイン電極137は、ゲート電極134と間隔をあけて配置されている

50

。ソース電極 138 は、ゲート電極 134 に対してドレイン電極 137 と反対側に位置している。ソース電極 138 は、ソース配線 111 に接続されており、ドレイン電極 137 は、画素電極 114 に接続されている。

【0071】

ゲート電極 134 に所定の電圧が印加されることで、TFT素子 115 がONとなり、ソース配線 111 およびソース電極 138 に所定の電圧が印加されることで、ドレイン電極 137 および画素電極 114 に所定の電圧が印加される。

【0072】

画素電極 114 に印加される電圧をTFT素子 115 が切り替えることで、画素電極 114 と、対向電極 152 との間に位置する液晶層 160 内の液晶の向きを制御する。液晶の向きを切り替えることで、バックライトユニットからの光が対向基板 150 の上面に配置された偏光板を通過する状態と対向基板 150 の上面に配置された偏光板によって遮光される状態とが切り替えられる。

10

【0073】

半導体層 132 は、たとえば、連続粒界結晶シリコン膜等が採用されており、半導体層 132 の膜厚は、たとえば、20nm以上200nm以下とされる。なお、半導体層 132 の膜厚は、好ましくは、30nm以上70nm以下程度とされる。

【0074】

ゲート絶縁層 133 は、たとえば、 $SiO_2$ 、 $SiN$ 、 $SiNO$ 等の絶縁層から形成されている。ゲート絶縁層 133 の膜厚は、たとえば、20nm以上200nm以下とされ、好ましくは、50nm以上120nm以下とされる。

20

【0075】

ゲート電極 134 は、たとえば、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)等の金属層、または、これらを含む合金、または、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)等の元素を含む化合物等から形成された導電層とされている。ゲート電極 134 の膜厚は、たとえば、50nm以上600nm以下とされ、ゲート電極 134 の膜厚は、好ましくは、100nm以上500nm以下とされる。

【0076】

ゲート電極 134 を覆うように、ゲート絶縁層 133 の上面上には、層間絶縁層 135 が形成されている。層間絶縁層 135 は、たとえば、 $SiO_2$ 、 $SiN$ 、および $SiNO$ 等の絶縁層から形成されている。層間絶縁層 135 の膜厚は、たとえば、100nm以上1000nm以下とされ、層間絶縁層 135 の膜厚は、好ましくは、100nm以上700nm以下とされる。

30

【0077】

ソース配線 111 は、層間絶縁層 135 の上面上に位置しており、ソース電極 138 はソース配線 111 に接続されている。ドレイン電極 137 も、層間絶縁層 135 の上面に達するように形成されている。

【0078】

ソース配線 111、ソース電極 138 およびドレイン電極 137 は、たとえば、アルミニウム(Al)、銅(Cu)、金(Au)、チタン(Ti)等の金属層または、これらの金属層を順次積層して形成された積層金属層としてもよい。これらソース配線 111 等の膜厚は、たとえば、300nm以上1000nm以下とされ、ソース配線 111 等の膜厚は、好ましくは、400nm以上800nm以下とされる。

40

【0079】

層間絶縁層 135 の上面上には、ソース配線 111 を覆うように、上層絶縁層(電極間絶縁層) 136 が形成されている。上層絶縁層 136 は、 $SiO_2$ 、 $SiN$ 、および $SiNO$ 等の絶縁層から形成されている。上層絶縁層 136 の膜厚は、たとえば、50nm以上500nm以下とされ、上層絶縁層 136 の膜厚は、好ましくは、50nm以上200nm以下とされる。

50

## 【0080】

画素電極114は、上層絶縁層136の上面上に形成されている。画素電極114は、ITO等の透明導電層から形成されている。

## 【0081】

図5は、図2に示すV-V線における断面図である。この図5に示すように、ガラス基板140の主表面上には、下地層131が形成されており、この下地層131の上面上に出力用素子117が形成されている。

## 【0082】

出力用素子117は、下地層131上に形成された半導体層180と、半導体層180を覆うように形成されたゲート絶縁層133と、ゲート絶縁層133の上面のうち、半導体層180の上方に位置する部分に形成されたゲート電極181と、半導体層180に接続されたソース電極183およびドレイン電極182とを備える。

10

## 【0083】

ソース電極183は、ゲート電極181と間隔をあけて配置され、ドレイン電極182は、ゲート電極181に対してソース電極183と反対側に配置されている。

## 【0084】

層間絶縁層135は、ゲート電極181を覆うようにゲート絶縁層133の上面上に形成されている。

## 【0085】

ドレイン電極182は、ゲート絶縁層133、層間絶縁層135を貫通し、層間絶縁層135の上面に形成されたソース配線111に接続されている。ソース電極183も、ゲート絶縁層133および層間絶縁層135を貫通し、層間絶縁層135の上面に達するように形成されている。

20

## 【0086】

層間絶縁層135の上面には、下部電極172および接続配線124が形成されている。接続配線124は、図3に示す選択用TFT素子116のドレイン電極125に接続されている。下部電極172は、コンタクト184によって、ゲート電極181に接続されている。このため、ゲート電極181に印加される電圧は、下部電極172の電位によって決定される。

## 【0087】

下部電極172上には、上層絶縁層136が形成されている。下部電極172は、平坦面状に形成されている。上層絶縁層136のうち、少なくとも下部電極172上に位置する部分は、下部電極172の上面に沿って、平坦面状に形成されている。

30

## 【0088】

圧力センサ(圧力検出装置)118は、上記下部電極172と、この下部電極172の上方に位置する上部電極171とを含む。

## 【0089】

本実施の形態においては、上部電極171は、対向基板150に形成されており、上部電極171は、カラーフィルタ基板151の下側に形成された突起部170と、この突起部170の表面を覆うように形成された対向電極152とによって形成されている。

40

## 【0090】

突起部170は、たとえば、アクリル樹脂や可塑性樹脂などの弾性変形可能な材料で形成されている。突起部170は弾性変形可能な導電性樹脂で形成してもよい。

## 【0091】

突起部170の高さは、たとえば、1 $\mu$ m以上10 $\mu$ m以下とする。突起部170の高さは、好ましくは、1.5 $\mu$ m以上5 $\mu$ m以下とする。

## 【0092】

この図5に示す例においては、対向電極152のうち、突起部170の頂点部に位置する部分が、上層絶縁層136に接触している。

## 【0093】

50



本実施の形態においては、突起部 170 は、突出方向に対して垂直な断面では、円形状となるように形成され、突起部 170 の表面は、滑らかな湾曲面状とされている。さらに、図 2 に示すように、突起部 170 は、間隔をあけて複数形成されている。

【0094】

突起部 170 の形状としては、上記のような形状に限られない。たとえば、複数の圧力センサ 118 の下部電極 172 に亘って延びるように突起部 170 を形成してもよい。また、突起部 170 の形状としては、断面形状が円形形状のものに限られず、さらに、外表面がなめらかな湾曲面に限られない。

【0095】

図 6 は、対向基板 150 が押圧されたときの液晶表示装置 100 の断面図である。この図 6 に示すように、ペンや人の指によって押圧されると、対向基板 150 のうち、押圧された部分およびその近傍がたわむ。

10

【0096】

ガラス基板 156 がたわむことで、上部電極 171 が下部電極 172 に近づく。上部電極 171 が下部電極 172 に近づくことで、上部電極 171 が上層絶縁層 136 に押圧され、突起部 170 が弾性変形し、上部電極 171 が下部電極 172 に沿って変形する。

【0097】

図 7 は、上部電極 171 が上層絶縁層 136 と接触する領域を模式的に示す平面図である。この図 7 において、領域 R1 は、図 7 中の破線によって囲われた領域であり、領域 R2 は、実線で囲われた領域である。領域 R1 は、対向基板 150 が押圧されていない状態（初期状態）における上部電極 171 と、上層絶縁層 136 との接触領域を示す。

20

【0098】

領域 R2 は、図 6 に示す状態における上部電極 171 と、上層絶縁層 136 との接触領域を示す。この図 7 に示すように、上部電極 171 が僅かに変位することで、上部電極 171 と上層絶縁層 136 の接触面積が非常に大きくなる。

【0099】

上部電極 171 が上層絶縁層 136 と接触した部分では、上部電極 171 と下部電極 172 とは、いずれも上層絶縁層 136 に接触しており、上部電極 171 と下部電極 172 と間の間隔は、上層絶縁層 136 の厚み分となる。

【0100】

具体的には、上部電極 171 の表面上に位置する対向電極 152 と、下部電極 172 との間隔が、上層絶縁層 136 の厚み分となる。

30

【0101】

これにより、図 7 に示す状態における上部電極 171 および下部電極 172 によって規定される容量は、図 6 に示す初期状態における上部電極 171 および下部電極 172 によって規定される容量よりも遥かに大きくなる。

【0102】

図 8 は、本実施の形態に係る圧力センサ 118 の特性と、比較例としての圧力センサの特性とを比較するグラフである。

【0103】

なお、この図 8 に示すグラフにおいて、横軸は、上部電極のストローク量を示し、縦軸は、上部電極および下部電極間の容量変化率を示す。グラフの実線 L1 は、本実施の形態に係る圧力センサの特性を示し、破線 L2 は、比較例の圧力センサの特性を示す。

40

【0104】

図 9 は、比較例としての圧力センサを備えた表示装置を示す断面図である。この図 9 に示す比較例の圧力センサは、本実施の形態に係る圧力センサ 118 と異なり、突起部 170 を含まない。このため、比較例の圧力センサは、カラーフィルタ基板 151 の下面に平坦面状に形成された対向電極 152 と、下部電極 172 とを備える。

【0105】

なお、比較例における対向基板 150 と、TFT アレイ基板 130 との間隔と、本

50

実施の形態における対向基板 150 と T F T アレイ基板 130 との間の距離をいずれも、 $3.3\ \mu\text{m}$ とする。

【0106】

この比較例において、対向基板 150 が押圧されると、対向電極 152 が下部電極 172 に向けて近接する。そして、対向電極 152 と下部電極 172 との間の距離が小さくなることで、対向電極 152 と下部電極 172 との間の容量が大きくなる。

【0107】

そして、上記図 8 に示すように、上部電極の変位量（ストローク量）が小さいときには、比較例の圧力センサの容量変動率は、本実施の形態に係る圧力センサ 118 の容量変動率よりも小さい。

【0108】

比較例に係る圧力センサでは、対向基板 150 に加えられる押圧力が小さいときには、正確に容量の変動を検知することが困難であり、加えられた圧力を正確に検知することが困難なものとなっている。

【0109】

その一方で、図 8 に示すように、本実施の形態に係る圧力センサ 118 においては、上部電極のストローク量が小さい場合でも、容量変化率が大きいことが分かる。このため、本実施の形態に係る圧力センサ 118 においては、上部電極のストローク量が小さい場合でも、図 5 に示すゲート電極 181 に印加する電圧を大きく変動させることができる。これにより、制御部が加えられた押圧力を正確に加えられた押圧力を検知することができる。

【0110】

比較例の圧力センサは、ストローク量が所定値を超えると、急激に容量変化率が大きくなる。容量が急激に変化する範囲では、上部電極と下部電極との間が僅かに縮んだときでも、容量が急激に変化する。このため、容量が急激に変化する範囲では、出力用素子のゲート電極に印加される電圧も急激に変化し、出力用素子 117 からの電流量も大きく変動する。このため、制御部は、正確な押圧力を算出することは困難である。

【0111】

その一方で、本実施の形態に係る圧力センサ 118 は、ストローク量が大きくなっても、容量変化率は略一定である。このように、本実施の形態に係る圧力センサ 118 においては、容量の変化率が略一定であるので、上部電極および下部電極間の容量から加えられた圧力を算出し易く、加えられた圧力を正確に算出することができる。

【0112】

このように、本実施の形態に係る圧力センサ 118 は、下部電極 172 と、この下部電極 172 から間隔をあけて配置されると共に、下部電極と対向するように配置された上部電極 171 と、上部電極 171 および下部電極 172 の間に形成された上層絶縁層（絶縁層）136 とを備え、上部電極 171 が弾性変形可能な突起部 170 の表面上に形成されている。突起部 170 が上層絶縁層 136 と当接し、さらに上層絶縁層 136 に押圧されることで、突起部 170 上の対向電極 152 が下部電極 172 に沿うように変形する。そして、下部電極 172 と上部電極 171 との間の容量は、所定の大きさで一定の変化率を保って変化する。このため、出力用素子 117 からの電流量を検知することで、上部電極 171 および下部電極 172 間の容量を検知することができ、加えられた圧力を正確に算出することができる。

【0113】

このように、本実施の形態 1 に係る液晶表示装置 100 においては、容量変動を正確に出力することができる圧力センサ 118 を搭載しているため、対向基板 150 が大きく撓まなくても、対向基板 150 に加えられた押圧力を正確に算出することができる。これにより、対向基板 150 のガラス基板 156 の厚さをガラス基板 140 よりも厚く形成したとしても、加えられた押圧力を算出することができる。このため、対向基板 150 の剛性を高めることができる。

10

20

30

40

50

## 【0114】

なお、ガラス基板140は、バックライトユニット等によって支持されているため、ガラス基板140の厚さをガラス基板156よりも薄くしたとしてもTFTアレイ基板130の変形は抑制されている。なお、図8の実線で示された圧力センサ118の特性は一例である。このため、図8に示すように、上部電極のストローク量が大きくなると、容量変化率が一次関数的に増大する必要はない。部分的に、容量変化率の増加率が異なったり、容量変化率が曲線状となるように変化してもよい。

## 【0115】

図5において、半導体層180は、図4に示す半導体層132と同様に、ゲート絶縁層133の上面に形成されており、半導体層180は、半導体層132と同質(同一)の材料から形成され、実質的に同一の膜厚とされている。具体的には、たとえば、連続粒界結晶シリコン膜等が採用されており、半導体層132の膜厚は、たとえば、20nm以上200nm以下とされる。なお、半導体層132の膜厚は、好ましくは、30nm以上70nm以下程度とされる。

10

## 【0116】

ゲート電極181も、図4に示すゲート電極134と同様に、ゲート絶縁層133上に形成されている。さらに、ゲート電極181は、ゲート電極134と同質(同一)の材料から形成され、ゲート電極181の膜厚も、ゲート電極134と実質的に一致している。

## 【0117】

ドレイン電極182、ソース電極183、下部電極172およびコンタクト184は、図4に示すドレイン電極137およびソース電極138と同一の積層金属膜が採用されている。

20

## 【0118】

このように、出力用素子117の構造は、TFT素子115と略同一であるため、出力用素子117の各部材は、TFT素子115の各部材を形成するときに同時に形成することができる。さらに、圧力センサ118の下部電極も、TFT素子115のドレイン電極137およびソース電極138を形成する際に同時に形成することができる。

## 【0119】

このため、TFTアレイ基板130の製造工程数が増加せず、製造コストの増加を抑制することができる。

30

## 【0120】

図10から図21を用いて、本実施の形態に係る液晶表示装置100の製造方法について説明する。

## 【0121】

液晶表示装置100を製造するときには、まず、TFTアレイ基板130と対向基板150とを各々独立に形成する。その後、TFTアレイ基板130の上面に液晶層を塗布し、その後、対向基板150をTFTアレイ基板130の上方に配置してTFTアレイ基板130を形成する。

## 【0122】

そこで、まず、TFTアレイ基板130の製造方法について説明する。

40

図10は、TFTアレイ基板130の製造工程の第1工程を示す断面図である。図10に示すように、ガラス基板140を準備する。その後、ガラス基板140の主表面上に、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$ 等の絶縁層を堆積して下地層131を形成する。

## 【0123】

図11は、TFTアレイ基板130の製造工程の第2工程を示す断面図である。この図11においては、まず、非晶質半導体層を形成する。非晶質半導体膜の材質としては、導電性が半導体であれば特に限定されず、シリコン(Si)、ゲルマニウム(Ge)、ガリウム-ヒ素(GaAs)等が挙げられるが、なかでも廉価性及び量産性の観点から、シリコンが好ましい。非晶質半導体膜の形成方法としては特に限定されず、例えば、CVD法等によりアモルファスシリコン(a-Si)膜を形成する方法が挙げられる。

50

## 【0124】

その後、上記非晶質半導体層に触媒元素を添加する。触媒元素は、非晶質半導体膜の結晶化を助長するものであり、これにより、半導体層の連続粒界結晶シリコン化が可能となり、TFTの高性能化に繋がる。触媒元素としては、鉄、コバルト、ニッケル、ゲルマニウム、ルテニウム、ロジウム、パラジウム、オスニウム、イリジウム、白金、銅、金等が挙げられ、上記群より選ばれた少なくとも1種の元素を含むことが好ましく、なかでもNiが好適に用いられる。触媒元素の添加方法としては特に限定されず、抵抗加熱法、塗布法等が挙げられる。

## 【0125】

その後、非晶質半導体層を結晶化して連続粒界結晶シリコン層（CGシリコン層）を形成する。結晶化の方法としては、アニール処理により結晶化させる固相結晶成長（Solid Phase Crystallization；SPC）法、SPC法とエキシマレーザー光等の照射により溶融再結晶化させるレーザーアニール法とを組み合わせた方法が好適である。

10

## 【0126】

このように、連続粒界結晶シリコン層を形成した後、この連続粒界結晶シリコン層をフォトリソグラフィ法等によりパターンニングして半導体層132および半導体層180を形成する。なお、この第2工程において、図3に示す半導体層123も形成される。なお、半導体層180および半導体層123を連続粒界結晶シリコン層で形成する例について説明したが、半導体層180および半導体層123としては、連続粒界結晶シリコン層に限られず、適宜、他の材料を選択してもよい。

20

## 【0127】

図12は、TFTアレイ基板130の製造工程の第3工程を示す断面図である。この図12に示すように、SiO<sub>2</sub>、SiN、およびSiNO等の絶縁層をCVD法等で半導体層180および半導体層132を覆うように、下地層131上に形成する。これにより、ゲート絶縁層133が形成される。

## 【0128】

図13は、TFTアレイ基板130の製造工程の第4工程を示す断面図である。この図13に示すように、スパッタ法、CVD法等を用いて、積層金属層を堆積させた後、フォトリソグラフィ法等によりパターンニングすることにより、ゲート電極134およびゲート電極181が形成される。

30

## 【0129】

ゲート電極134は、ゲート絶縁層133の上面のうち、半導体層132の上方に位置する部分に形成される。ゲート電極181は、ゲート絶縁層133の上面のうち、半導体層180の上方に位置する部分に形成される。

## 【0130】

なお、この第4工程において、図2に示すゲート配線112、センサ用ゲート配線113およびゲート電極122も形成される。

## 【0131】

図14は、TFTアレイ基板130の製造工程の第5工程を示す断面図である。この図14に示すように、ゲート電極134およびゲート電極181を覆うように、ゲート絶縁層133の上面に層間絶縁層135を形成する。

40

## 【0132】

図15は、TFTアレイ基板130の製造工程の第6工程を示す断面図である。この図15に示すように、層間絶縁層135およびゲート絶縁層133をドライエッチング等でパターンニングして、コンタクトホール162～166を形成する。

## 【0133】

コンタクトホール162およびコンタクトホール163は半導体層132に達するように形成され、コンタクトホール164およびコンタクトホール166は、半導体層180

50

に達するように形成される。コンタクトホール 165 は、ゲート電極 181 の上面に達するように形成される。

【0134】

図 16 は、TFT アレイ基板 130 の製造工程の第 7 工程を示す断面図である。この図 16 において、金属層をスパッタリングにより成膜する。この際、金属層は、図 15 に示すコンタクトホール 162 ~ コンタクトホール 166 内にも入り込む。

【0135】

なお、ドレイン電極 137, 182、ソース電極 138, 183、下部電極 172、コンタクト 184 および接続配線 124 を積層金属層から構成する場合には、複数の金属層をスパッタリングにより、順次積層する。

【0136】

そして、成膜した金属層または積層金属層をパターニングして、ドレイン電極 137, 182、ソース電極 138, 183、下部電極 172、コンタクト 184 および接続配線 124 を形成する。

【0137】

なお、この第 7 工程において、図 2 に示すソース配線 111 と、選択用 TFT 素子 116 のソース電極 121 およびドレイン電極 125 も形成される。

【0138】

その後、上記図 4 および図 5 に示すように、上層絶縁層 136 を形成する。具体的には、シリコン窒化層 (SiN 層) を、たとえば、200 nm 程度、プラズマ化学気相成長法により形成する。その後、上層絶縁層 136 をパターニングし、ドレイン電極 137 の一部を露出させるコンタクトホールを形成する。そして、ITO 膜を形成し、この ITO 膜をパターニングして画素電極 114 を形成する。

【0139】

なお、スペーサ 161 を TFT アレイ基板 130 に形成する場合には、アクリル樹脂等の樹脂層を上層絶縁層 136 の上面上に形成し、この樹脂層をパターニングして、スペーサ 161 を形成する。なお、スペーサ 161 の高さは、4 μm 程度とされる。これにより、TFT アレイ基板 130 を形成することができる。

【0140】

このように、本実施の形態に係る TFT アレイ基板 130 の製造方法によれば、TFT 素子 115 の半導体層、ゲート電極、ソース電極およびドレイン電極を形成すると共に、選択用 TFT 素子 116、出力用素子 117 の半導体層等を形成することができると共に、圧力センサの下部電極をも形成することができる。このため、製造工程数の増大が抑制されている。

【0141】

図 17 から図 21 を用いて、対向基板 150 の製造方法について説明する。図 17 は、対向基板 150 の製造工程の第 1 工程を示す断面図である。

【0142】

この図 17 に示すように、主表面を有するガラス基板 156 を準備する。そして、ガラス基板 156 の主表面上に、たとえば、例えばスピンコート等によって 1 ~ 10 μm 程度の厚みを持った高遮光性樹脂層を形成する。好ましくは、2 ~ 5 μm 程度とする。その後、露光、現像、洗浄、ポストバークする。これにより、ガラス基板 156 の主表面に、図 2 に示すブラックマトリクス 155 が形成される。なお、樹脂の材料としては、一般的な黒色感光性樹脂用として用いられているアクリル樹脂のような感光性樹脂であればネガ型でもポジ型でもよい。なお、ブラックマトリクス 155 に導電性を持たせる場合には、導電性の樹脂材料やチタン (Ti) 等の金属材料からブラックマトリクス 155 を形成する。

【0143】

図 18 は、ガラス基板 156 の製造工程の第 2 工程を示す断面図である。この図 18 において、ブラックマトリクス 155 は、例えば 60 μm × 100 μm 程度の開口部を有

10

20

30

40

50

し幅 20  $\mu\text{m}$  程度の格子状のパターンである。インクジェット方式で、ブラックマトリックス 155 の開口部に、着色層 153 のインクを塗布する。このようにして、カラーフィルタ基板 151 がガラス基板 156 の主表面上に形成される。なお、着色層 153 の膜厚は、たとえば、1 ~ 10  $\mu\text{m}$  程度、好ましくは、2 ~ 5  $\mu\text{m}$  程度とする。

【0144】

図 19 は、対向基板 150 の製造工程の第 3 工程を示す断面図である。この図 19 に示すように、たとえば、アクリル樹脂等の可塑性樹脂層 157 を、たとえば、1 ~ 10  $\mu\text{m}$  程度形成する。なお、好ましくは、1.5 ~ 5  $\mu\text{m}$  程度とする。たとえば、可塑性樹脂層 157 の膜厚を 3.5  $\mu\text{m}$  とする。

【0145】

図 20 は、対向基板 150 の製造工程の第 4 工程を示す断面図である。この図 20 に示すように、可塑性樹脂層 157 をフォトリソグラフィによりパターンニングして、樹脂パターン 158 を形成する。図 21 は、対向基板 150 の製造工程の第 5 工程を示す断面図であり、この図 21 において、樹脂パターン 158 にアニール処理（樹脂アニール）を施して、突起部 170 を形成する。

【0146】

具体的には、樹脂パターン 158 が形成されたガラス基板 156 をオープンに挿入し、たとえば、100 以上 300 以下の温度でアニール処理を施す。なお、アニール処理温度は、好ましくは、100 以上 200 以下とする。たとえば、オープンにて 220 で 60 分程度バークする。

【0147】

樹脂パターン 158 にアニール処理を施すことで、表面の樹脂が流れ、表面が滑らかな突起部 170 が形成される。

【0148】

なお、可塑性樹脂層 157 の膜厚を、3.5  $\mu\text{m}$  とし、パターンニングされた樹脂パターン 158 を 220 で 60 分のアニール処理を施すと、突起部 170 の高さは、3.4  $\mu\text{m}$  程度となる。

【0149】

その後、突起部 170 を覆うように、ITO 層等の透明導電層を塗布して、対向電極 152 を形成する。なお、対向電極 152 の膜厚は、たとえば、50 nm 以上 400 nm 以下程とされる。対向電極 152 の膜厚は、好ましくは、50 nm 以上 200 nm 以下程度とする。たとえば、対向電極 152 の膜厚を 200 nm とする。

【0150】

このように、突起部 170 上に、対向電極 152 を形成することで、上部電極 171 が形成される。なお、対向基板 150 にスペーサ 161 を形成する場合には、アクリル樹脂等の樹脂層を対向電極 152 の上面上に形成し、この樹脂層をパターンニングして、スペーサ 161 を形成する。なお、スペーサ 161 の高さは、4  $\mu\text{m}$  程度とされる。このようにして、対向基板 150 が形成される。

【0151】

そして、TFT アレイ基板 130 の上面に液晶層を塗布し、さらに、TFT アレイ基板 130 の上方に対向基板 150 を配置する。

【0152】

この際、対向電極 152 の上方に上部電極 171 が位置するように、TFT アレイ基板 130 および対向基板 150 を積層する。その後、各種工程を経ることで、図 4 および図 5 に示す液晶表示装置 100 を形成することができる。

【0153】

このようにして得られた液晶表示装置 100 において、TFT アレイ基板 130 側から 1 N 程度の力を加えたところ、押圧力を加えていない状態の 6 倍の静電容量を検知することができた。さらに、静電容量は、押圧し始めてから、1 N まで押圧するまでの間、押圧力に対して静電容量が一次関数的に増加した。

10

20

30

40

50

## 【 0 1 5 4 】

(実施の形態 2)

図 2 2 から図 2 6 を用いて、本発明の実施の形態 2 に係る圧力センサ 1 1 8 および液晶表示装置 1 0 0 について説明する。

## 【 0 1 5 5 】

図 2 2 から図 2 6 に示す構成のうち、上記図 1 から図 2 1 に示す構成と同一または相当する構成については、同一の符号を付してその説明を省略する場合がある。

## 【 0 1 5 6 】

図 2 2 は、本実施の形態 2 に係る液晶表示装置 1 0 0 の断面図であり、TFT 素子 1 1 5 を示す断面図である。図 2 3 は、本実施の形態 2 に係る液晶表示装置 1 0 0 の断面図であり、出力用素子 1 1 7 における断面図である。

10

## 【 0 1 5 7 】

この図 2 2 および図 2 3 に示すように、液晶表示装置 1 0 0 は、TFT 素子 1 1 5 および出力用素子 1 1 7 を備え、TFT 素子 1 1 5 および出力用素子 1 1 7 を覆うように、層間絶縁層 1 3 5 が形成されている。

## 【 0 1 5 8 】

TFT 素子 1 1 5 のドレイン電極 1 3 7 およびソース電極 1 3 8 の上端部と、出力用素子 1 1 7 のドレイン電極 1 8 2 およびソース電極 1 8 3 の上端部と、コンタクト 1 8 4 の上端部と、ソース配線 1 1 1 と、接続配線 1 2 4 とは、層間絶縁層 1 3 5 の上面に位置している。

20

## 【 0 1 5 9 】

コンタクト 1 8 4 の上端部には、パッド部 1 8 5 が形成されており、液晶表示装置 1 0 0 は、パッド部 1 8 5 と、TFT 素子 1 1 5 のドレイン電極 1 3 7 およびソース電極 1 3 8 の上端部と、出力用素子 1 1 7 のドレイン電極 1 8 2 およびソース電極 1 8 3 の上端部と、コンタクト 1 8 4 の上端部と、ソース配線 1 1 1 と、接続配線 1 2 4 とを覆うように形成された層間絶縁層 1 3 9 を備えている。

## 【 0 1 6 0 】

この層間絶縁層 1 3 9 の上面には、反射電極 1 8 7 と、この反射電極 1 8 7 に接続された下部電極 1 8 9 とが形成されている。反射電極 1 8 7 と下部電極 1 8 9 とは、一体的に接続されている。

30

## 【 0 1 6 1 】

下部電極 1 8 9 および反射電極 1 8 7 とパッド部 1 8 5 とは、接続部 1 8 6 によって接続されている。パッド部 1 8 5 は、コンタクト 1 8 4 によってゲート電極 1 8 1 に接続されている。このように、下部電極 1 8 9 は、ゲート電極 1 8 1 に接続されている。

## 【 0 1 6 2 】

下部電極 1 8 9 および反射電極 1 8 7 上には、上層絶縁層 1 3 6 が形成されている。下部電極 1 8 9 は、平坦面状に形成されている。上層絶縁層 1 3 6 のうち、下部電極 1 8 9 の上面に位置する部分は、下部電極 1 8 9 の上面に沿って平坦面状に形成されている。

## 【 0 1 6 3 】

図 2 2 に示す画素電極 1 1 4 は、上層絶縁層 1 3 6 上に形成されており、上層絶縁層 1 3 6 および層間絶縁層 1 3 9 を貫通して、ドレイン電極 1 3 7 に接続されている。

40

## 【 0 1 6 4 】

下部電極 1 8 9 の上方に位置する対向基板 1 5 0 の下面には、上部電極 1 7 1 が形成されている。なお、本実施の形態 2 においても、上部電極 1 7 1 は、カラーフィルタ基板 1 5 1 の下面に形成された突起部 1 7 0 と、この突起部 1 7 0 の表面上に形成された対向電極 1 5 2 とを含む。

## 【 0 1 6 5 】

本実施の形態 2 に係る液晶表示装置 1 0 0 においても、対向基板 1 5 0 が押圧されることで、上部電極 1 7 1 が上層絶縁層 1 3 6 とが接触し、突起部 1 7 0 が変形する。具体的には、上部電極 1 7 1 が下部電極 1 8 9 に沿うように変形する。そして、突起部 1 7 0 上

50

に形成された対向電極 152 と、下部電極 189 とが、上層絶縁層 136 を挟んで対向する面積が急激に増大し、下部電極 189 の電位が大きく変動する。そして、ゲート電極 181 に印加される電圧が大きく変動させることができる。

【0166】

本実施の形態 2 に係る液晶表示装置 100 の製造方法について図 24 から図 26 を用いて説明する。

【0167】

なお、本実施の形態 2 に係る液晶表示装置 100 の TFT アレイ基板 130 は、上記実施の形態 1 に係る液晶表示装置 100 の TFT アレイ基板 130 の製造工程と一部重複している。具体的には、図 10 に示す製造工程から図 14 に示す製造工程は、本実施の形態における TFT アレイ基板 130 の製造工程と共通している。

10

【0168】

図 24 は、本実施の形態 2 に係る液晶表示装置 100 の TFT アレイ基板 130 の製造工程であって、図 14 に示す製造工程後の製造工程を示す断面図である。

【0169】

この図 24 に示すように、層間絶縁層 135 およびゲート絶縁層 133 をパターンニングして、複数のコンタクトホールを形成する。その後、金属層または積層金属層を層間絶縁層 135 上に形成する。

【0170】

金属層または積層金属層をパターンニングして、ドレイン電極 137、ソース電極 138、ドレイン電極 182、コンタクト 184、ソース電極 183、パッド部 185 および接続配線 124 を形成する。なお、ソース配線 111 やパッド部 185 は、層間絶縁層 135 の上面上に形成される。

20

【0171】

図 25 は、図 24 に示す TFT アレイ基板 130 の製造工程後の製造工程を示す断面図である。この図 25 に示すように、ソース配線 111 およびパッド部 185 を覆うように、層間絶縁層 139 を形成する。

【0172】

そして、層間絶縁層 139 をパターンニングする。この際、接続部 186 が形成される部分にコンタクトホールを形成すると共に、層間絶縁層 139 の上面のうち、反射電極 187 が位置する予定の部分に凹凸部を形成する。

30

【0173】

このように、層間絶縁層 139 をパターンニングした後、層間絶縁層 139 の上面上にアルミニウム (Al)、銀 (Ag)、モリブデン (Mo) 等の金属層、アルミニウム (Al)、銀 (Ag)、モリブデン (Mo) 等の金属元素を含む金属化合物層、またはアルミニウム (Al) 層、銀 (Ag) 層、モリブデン (Mo) 層を積層して形成された積層金属層のいずれかを形成する。

【0174】

層間絶縁層 139 の上面に金属層や積層金属層を形成することで、層間絶縁層 139 に形成されたコンタクトホール内に、接続部 186 が形成される。

40

【0175】

そして、金属層や積層金属層をパターンニングすることで、下部電極 189 および反射電極 187 が形成される。

【0176】

なお、層間絶縁層 139 の上面のうち、反射電極 187 が形成される部分には、予め凹凸部が形成されているため反射電極 187 は、この凹凸部の表面に沿って凹凸状に形成される。

【0177】

図 26 は、図 25 に示す製造工程後における TFT アレイ基板 130 の製造工程を示す断面図である。

50



## 【0178】

この図26に示すように、下部電極189および反射電極187を覆うように、層間絶縁層139上に、上層絶縁層136を形成する。

## 【0179】

その後、上層絶縁層136および層間絶縁層139をパターニングして、上層絶縁層136の上面からドレイン電極137の上端部に達するコンタクトホールを形成する。コンタクトホールを形成した後、上層絶縁層136の上面にITO膜を形成し、このITO膜をパターニングして、画素電極114を形成する。このようにして、図22および図23に示すTFTアレイ基板130を形成する。

## 【0180】

このように、下部電極189と、この下部電極189に接続された接続部186は、反射電極187を形成する工程において、反射電極187と共に形成することができる。このため、本実施の形態においても、製造工程の増加を招くことなく、圧力センサ118の下部電極をTFTアレイ基板130内に形成することができる。

## 【0181】

(実施の形態3)

図27から図37を用いて、本発明の実施の形態3に係る圧力センサ118、液晶表示装置100および液晶表示装置100の製造方法について説明する。なお、図27から図37に示す構成のうち、上記図1から図26に示す構成と同一または相当する構成については、同一の符号を付してその説明を省略する場合がある。

## 【0182】

図27は、本実施の形態3に係る液晶表示装置100の断面図であり、TFT素子115を示す断面図である。図28は、本実施の形態3に係る液晶表示装置100の断面図であり、圧力センサ118を示す断面図である。

## 【0183】

この図27に示すように、液晶表示装置100は、ガラス基板140の主表面上に形成された下地層141と、この下地層141の上面上に形成された下地層131と、下地層131上に形成されたTFT素子115とを備える。

## 【0184】

下地層141は、SiO<sub>2</sub>、SiN、SiNO等の絶縁層から形成されている。下地層141の膜厚は、たとえば、0nmより厚く500nm以下とされている。下地層141の膜厚は、好ましくは、400nm以下とされる。

## 【0185】

TFT素子115は、下地層131上に形成された半導体層132と、ゲート絶縁層133を介して半導体層132の上方に形成されたゲート電極134と、半導体層132に接続されたドレイン電極137およびソース電極138とを備える。ゲート電極134は、ゲート絶縁層133上に形成された層間絶縁層135によって覆われている。ドレイン電極137およびソース電極138は、層間絶縁層135の上面に達するように形成されている。層間絶縁層135上には、上層絶縁層136が形成されており、この上層絶縁層136の上面上には、画素電極114が形成されている。画素電極114は、ドレイン電極137の上端部と接続されている。

## 【0186】

図28に示すように、圧力センサ118は、下地層141の上面上に形成された下部電極172と、下部電極172の上方に位置し、下部電極172と対向するように配置された上部電極171とを含み、上部電極171下には、上部電極171が撓むように変形することを許容する凹部147が形成されている。なお、下部電極172は、下地層131によって覆われている。下部電極172は、平板状に形成されている。

## 【0187】

下地層131のうち、下部電極172上に位置する部分は、下部電極172の上面に沿って延び、平坦面状に形成されている。

10

20

30

40

50

## 【0188】

下部電極172には、コンタクト146が接続されており、このコンタクト146は、層間絶縁層135の上面に達するように形成されている。コンタクト146の上端部は、層間絶縁層135の上面に形成されたソース配線111に接続されている。

## 【0189】

上部電極171は、ゲート絶縁層133の上面上に形成されており、凹部147は、上部電極171と下部電極172との間であって、ゲート絶縁層133と下地層131との間に形成されている。

## 【0190】

上部電極171は、平板状に形成されている。ゲート絶縁層133のうち、上部電極171下に位置する部分は、上部電極171の下面に沿って延びており、平坦面状に形成されている。

10

## 【0191】

上部電極171には、接続配線124が接続されており、この接続配線124は、図1に示す選択用TFT素子116のドレイン電極に接続されている。

## 【0192】

上層絶縁層136は、下部電極172に接続されたソース配線111および接続配線124を覆うように形成されている。

## 【0193】

本実施の形態3に係る液晶表示装置100の対向基板150は、ガラス基板156と、このガラス基板156の下面に形成されたカラーフィルタ基板151と、このカラーフィルタ基板151の下面に形成された対向電極152と、この対向電極152の下面に形成された押圧部材145とを備える。押圧部材145は、アクリル樹脂等の樹脂によって形成されている。

20

## 【0194】

制御部105は、コンタクト146に接続されたソース配線111と、選択用TFT素子116に接続されたソース配線111の出力とをセンシングする。

## 【0195】

これにより、制御部105は、上部電極171と、下部電極172との間の容量を検知することができる。制御部105は、上部電極171と下部電極172との間の容量の変動から、対向基板150に加えられた押圧力を算出する。

30

## 【0196】

ここで、使用者が対向基板150をペンや指で押圧すると、対向基板150のうち、押された部分が僅かに撓む。

## 【0197】

図29は、対向基板150が押圧されたときにおける液晶表示装置100の状態を模式的に示す断面図である。

## 【0198】

この図29に示すように、押圧部材145がTFTアレイ基板130の上面を押圧すると、上部電極171およびこの上部電極171下に位置するゲート絶縁層133が撓む。

40

## 【0199】

そして、上部電極171下に位置するゲート絶縁層133が下部電極172上に位置する下地層131と当接し、上部電極171が変形する。

## 【0200】

図30は、上部電極171およびゲート絶縁層133が押圧部材145からの押圧力によって変形する前の状態における上部電極171およびゲート絶縁層133を示す断面図である。

## 【0201】

この図30に示すように、上部電極171およびゲート絶縁層133には、穴部173、174が複数形成されている。なお、穴部173および穴部174は互いに連通するよ

50

うに形成されている。

【0202】

図31は、上部電極171の平面図である。この図31に示すように、上部電極171は、略正方形形状に形成され、上部電極171に形成された穴部173も、正方形形状に形成されている。穴部173は、上部電極171に均等に分布するように形成されている。上部電極171の一辺は、たとえば、30 $\mu$ m程度とされ、穴部173の一辺は、たとえば、2 $\mu$ m程度とされている。なお、上部電極171の幅は、ゲート電極134の幅よりも広くなるように形成されている。このため、上部電極171は、外部からの押圧力によって変形し易くなっている。

【0203】

上部電極171の膜厚は、たとえば、50nm以上600nm以下となるように形成されており、好ましくは、100nm以上500nm以下となるように形成されている。

【0204】

このように、上部電極171の辺の長さは、上部電極171の厚さに比べて遥かに大きくなるように形成されている。このため、上部電極171は、上部電極171の上面の中央部が押圧されると、容易に撓むように変形可能とされている。

【0205】

なお、上部電極171は、ゲート電極と同じ金属材料によって形成されており、たとえば、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)などの金属層、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)などの元素を含む合金、または、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)を含む化合物によって形成されている。

【0206】

好ましくは、上部電極171およびゲート電極は、370nm程度のタングステン(W)層と、このタングステン(W)層上に形成された50nm程度のTa<sub>2</sub>N<sub>5</sub>(窒化タンタル)層とによって形成する。

【0207】

なお、上部電極171の形状としては、正方形形状に限られず、長方形であってもよく、五角形状以上の多角形状、円形状、楕円形状等、各種形状を採用することができる。

【0208】

図32は、押圧部材145からの押圧力によって、上部電極171およびゲート絶縁層133が変形した状態を示す断面図である。

【0209】

この図32に示すように、ゲート絶縁層133および上部電極171は、凹部147内に入り込むように撓む。

【0210】

ここで、凹部147の開口縁部は、上部電極171の外周縁部よりも僅かに小さく、上部電極171の大部分は、凹部147に入り込むように撓む。

【0211】

凹部147は、半導体層180に形成された穴部と、下地層131の上面とによって形成されている。このため、凹部147の高さは、半導体層180の厚さと同じとなっている。半導体層180の厚さは、たとえば、20nm以上200nm以下とされており、好ましくは、30nm以上70nm以下となるように形成されている。上部電極171の一辺の長さは、凹部147の高さよりも遥かに大きい。

【0212】

このため、上部電極171およびゲート絶縁層133が僅かに変形することで、ゲート絶縁層133が下地層131の上面と当接する。

【0213】

さらに、押圧部材145によって上部電極171およびゲート絶縁層133が押圧され

10

20

30

40

50

ると、図32示すように、ゲート絶縁層133のうち、凹部147内に位置する部分の大部分が、下地層131と当接する。

【0214】

この際、ゲート絶縁層133は、下地層131の上面に沿うように変形し、ゲート絶縁層133上に位置する上部電極171も下地層131に沿うように変形する。

【0215】

下地層131は、下部電極172の上面に沿って平坦面状に形成されているため、上部電極171は、下部電極172の形状に沿って平坦面状に変形する。

【0216】

このため、上部電極171の大部分と、下部電極172とは、ゲート絶縁層133および下地層131を挟み込み、上部電極171の大部分と下部電極172とは、ゲート絶縁層133および下地層131を介して互いに対向する。

10

【0217】

図33は、図32に示すように上部電極171が変形したときの上部電極171の平面図である。この図33において、破線で囲われた領域は、下部電極172の上面に沿って変形した領域を示し、この破線で囲われた領域は、下地層131と下地層131とを介して、下地層141と対向している領域である。

【0218】

この図33に示すように、上部電極171が僅かに変形することで、上部電極171の大部分が下部電極172に沿って変形している。

20

【0219】

この破線で囲われた領域の面積は、押圧部材145が下方に僅かに変位することで、急激に上昇する。このため、上部電極171と下部電極172との間の容量も急激に大きくなる。

【0220】

このように、本実施の形態3に係る圧力センサ118においても、上部電極が下部電極の形状に沿うように変形しており、圧力センサ118の特性は、図8の実線に示すような特性を示す。

【0221】

このため、本実施の形態3に係る液晶表示装置100は、対向基板150に加えられた圧力を正確に算出することができる。

30

【0222】

図34から図36を用いて、本実施の形態3に係る液晶表示装置100の製造方法について説明する。本実施の形態3に係る液晶表示装置100においても、TFTアレイ基板130および対向基板150を別個独立に形成する。その後、TFTアレイ基板130と対向基板150とを対向配置させる。

【0223】

図34は、TFTアレイ基板130の製造工程の第1工程を示す断面図である。この図34に示すように、主表面を有するガラス基板140を準備する。このガラス基板140の主表面上に、下地層141を形成する。下地層141は、たとえば、SiO<sub>2</sub>、SiN、SiNOなどの絶縁層によって形成され、たとえば、50nm程度のシリコン酸窒化層(SiNO層)と、このシリコン酸窒化層(SiNO層)上に形成され、110nm程度のシリコン酸化層(SiO<sub>2</sub>層)とされる。

40

【0224】

たとえば、下地層141は、0nmより厚く500nm以下となるように形成される。なお、好ましくは、下地層141の膜厚は、400nm以下となるように形成される。

【0225】

その後、モリブデン(Mo)、タングステン(W)等の金属層をスパッタリング等により、下地層141の表面上に形成する。そして、この金属層をパターンングして、下部電極172を形成する。下部電極172の膜厚は、たとえば、50nm以上600nm以下

50

となるように形成される。なお、下部電極 172 は、膜厚が 50 nm 以上 300 nm 以下となるように形成される。

【0226】

下部電極 172 を覆うように、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$  等の絶縁層を形成し、下地層 131 を形成する。下地層 131 の膜厚は、50 nm 以上 400 nm 以下程度とされ、好ましくは、50 nm 以上 200 nm 以下とされる。

【0227】

下地層 141 上に、非晶質半導体層を堆積する。非晶質半導体層の膜厚は、たとえば、20 nm 以上 200 nm 以下とされる。なお、非晶質半導体層の膜厚は、好ましくは、30 nm 以上 70 nm 程度とされる。その後、この非晶質半導体層を結晶化して連続粒界結晶シリコン層（CGシリコン層）を形成する。連続粒界結晶シリコン層をパターンングして、半導体層 132 および半導体層 180 を形成する。なお、半導体層 180 は、下地層 131 の上面のうち、下部電極 172 の上方に位置する部分に形成されている。

10

【0228】

図 35 は、TFT アレイ基板 130 の製造工程の第 2 工程を示す断面図である。この図 35 に示すように、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$  等の絶縁層を形成し、ゲート絶縁層 133 を形成する。なお、ゲート絶縁層 133 の膜厚は、たとえば、20 nm 以上 200 nm 以下とされ、好ましくは、50 nm 以上 120 nm 以下とされる。具体的には、ゲート絶縁層 133 を 80 nm 程度の  $\text{SiO}_2$  層とする。

【0229】

ゲート絶縁層 133 を形成した後、半導体層 132 および半導体層 180 に、 $\text{P}^+$  を 45 KV、 $5 \times 10^{15} \text{ cm}^{-2}$  の条件下で、注入する。

20

【0230】

そして、ゲート絶縁層 133 の上面上に、金属層を形成する。この金属層は、たとえば、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）等の金属膜、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）等を含む合金膜、または、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）元素を含む化合物とされる。

【0231】

この金属層の膜厚は、たとえば、50 nm 以上 600 nm 以下とされ、好ましくは、100 nm 以上 500 nm 以下とされる。

30

【0232】

その後、この金属層をパターンングして、ゲート電極 134 および上部電極 171 を形成する。この際、上部電極 171 には、穴部 173 が同時に形成される。

【0233】

すなわち、本実施の形態 3 に係る液晶表示装置 100 の製造方法によれば、ゲート電極 134 と、上部電極 171 とを同時に形成することができ、製造工程の増大化の抑制が図られている。

【0234】

上部電極 171 およびゲート電極 134 を形成した後、上部電極 171 以外の部分を覆うレジストマスクを形成し、上部電極 171 およびこのマスクを用いて、ゲート絶縁層 133 をエッチングする。なお、ゲート絶縁層 133 は、HF（フッ化水素）水溶液等の酸系溶液を用いてエッチングする。これにより、ゲート絶縁層 133 には、穴部 174 が形成される。

40

【0235】

図 36 は、TFT アレイ基板 130 の製造工程の第 3 工程を示す断面図である。この図 36 に示すように、まず、上部電極 171 およびゲート電極 134 を覆うように、ゲート絶縁層 133 の上面上にレジストを形成し、このレジストにパターンングを施す。これにより、レジストパターン 223 が形成される。このレジストパターン 223 には、穴部が形成され、穴部 173 および穴部 174 が外部に露出する。そして、水酸化カリウム（K

50

OH)等アルカリ系溶液に、基板を浸漬する。穴部173および穴部174から溶液が入り込み、半導体層180がエッチングされる。これにより、半導体層180に凹部147を形成する。

#### 【0236】

その後、図28に示すように、まず、レジストパターン223を除去し、層間絶縁層135をゲート電極134および上部電極171を覆うように形成する。層間絶縁層135にパターニングを施して、複数のコンタクトホールを形成した後、金属層をスパッタリングにより、層間絶縁層135の上面に形成する。この金属層をパターニングして、ドレイン電極137、ソース電極138、ソース配線111、コンタクト146、および接続配線124を形成する。

10

#### 【0237】

そして、上層絶縁層136を堆積し、この上層絶縁層136にパターニングを施し、コンタクトホールを形成する。その後、ITO膜を堆積し、このITO膜をパターニングして、画素電極114を形成する。このようにして、本実施の形態3に係る液晶表示装置100のTFTアレイ基板130が形成される。

#### 【0238】

その一方で、対向基板150を形成する際には、まず、ガラス基板156を準備する。このガラス基板156の主表面上に、カラーフィルタ基板151を形成した後、対向電極152を形成する。そして、この対向電極152にアクリル樹脂等の樹脂を堆積する。このアクリル樹脂をパターニングして、押圧部材145を形成する。このようにして、本実施の形態3に係る液晶表示装置100の対向基板150が形成される。その後、形成されたTFTアレイ基板130の上面に液晶層160を塗布し、TFTアレイ基板130の上面側に、対向基板150を配置する。このようにして、本実施の形態に係る液晶表示装置100が形成される。

20

#### 【0239】

図37は、図28に示すTFTアレイ基板130の変形例を示す断面図である。この図37に示す例においては、下地層141の上面のうち、半導体層132下に位置する部分には、遮光層148が形成されている。この遮光層148は、下部電極172と同一(同質)材料によって形成されており、遮光層148の膜厚と下部電極172の膜厚とは、実質的に一致している。具体的には、遮光層148は、たとえば、タンゲステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)等の金属膜、タンゲステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)等を含む合金膜、または、タンゲステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)元素を含む化合物とされる。遮光層148の膜厚は、たとえば、50nm以上600nm以下とされ、好ましくは、100nm以上500nm以下とされる。

30

#### 【0240】

遮光層148は、半導体層132に光が照射されることを抑制し、光電効果によるTFT素子115の特性の変動を抑制する。

#### 【0241】

TFTアレイ基板130を製造する工程において、遮光層148と、下部電極172とは、下地層141上に堆積された金属層をパターニングすることで形成される。このように、下部電極172と遮光層148とを同一工程で形成することができるので、液晶表示装置100の製造工程数の増大を抑制しつつも、下部電極172および遮光層148を形成することができる。

40

#### 【0242】

(実施の形態4)

図38から図49を用いて、本発明の実施の形態4に係る圧力センサ118、液晶表示装置100および液晶表示装置100の製造方法について説明する。なお、図38から図49に示す構成のうち、上記図1から図37に示す構成と同一または相当する構成については、同一の符号を付して、その説明を省略する場合がある。

50

## 【 0 2 4 3 】

図 3 8 は、本実施の形態 4 に係る液晶表示装置 1 0 0 の回路図を模式的に示した回路図である。

## 【 0 2 4 4 】

この図 3 8 に示すように、本実施の形態 4 に係る圧力センサ 1 9 0 の一方の電極（下部電極）は、選択用 T F T 素子 1 1 6 のドレイン電極に接続され、圧力センサ 1 9 0 の他方の他方の電極（上部電極）は、対向電極 1 5 2 に接続されている。

## 【 0 2 4 5 】

制御部 1 0 5 は、選択用 T F T 素子 1 1 6 の O N / O F F を切り替えることで、センシングする圧力センサ 1 9 0 を選択する。

10

## 【 0 2 4 6 】

選択された選択用 T F T 素子 1 1 6 を O N とする際には、選択された選択用 T F T 素子 1 1 6 が接続されたセンサ用ゲート配線 1 1 3 に所定の電圧を印加する。そして、この選択された選択用 T F T 素子 1 1 6 のソース電極が接続されたソース配線 1 1 1 に所定電圧を印加する。

## 【 0 2 4 7 】

圧力センサ 1 9 0 は、外部から加えられた圧力に応じて、電流量を変化させるように形成されている。

## 【 0 2 4 8 】

このため、選択用 T F T 素子 1 1 6 が接続されたソース配線 1 1 1 と、対向電極 1 5 2 との間を流れる電流量を制御部 1 0 5 がセンシングすることで、選択された圧力センサ 1 9 0 に加えられた圧力を算出することができる。

20

## 【 0 2 4 9 】

図 3 9 は、本実施の形態 4 に係る液晶表示装置 1 0 0 の断面図であって、T F T 素子 1 1 5 を示す断面図である。

## 【 0 2 5 0 】

この図 3 9 に示すように、液晶表示装置 1 0 0 は、T F T アレイ基板 1 3 0 と、T F T アレイ基板 1 3 0 の上方に配置された対向基板 1 5 0 と、T F T アレイ基板 1 3 0 および対向基板 1 5 0 間に充填された液晶層 1 6 0 とを備える。

## 【 0 2 5 1 】

T F T アレイ基板 1 3 0 は、ガラス基板 1 4 0 と、ガラス基板 1 4 0 の主表面上に形成された下地層 1 3 1 と、この下地層 1 3 1 上に形成された T F T 素子 1 1 5 とを含む。

30

## 【 0 2 5 2 】

T F T 素子 1 1 5 は、下地層 1 3 1 上に形成された半導体層 1 3 2 と、半導体層 1 3 2 を覆うように形成されたゲート絶縁層 1 3 3 と、このゲート絶縁層 1 3 3 上に形成されたゲート電極 1 3 4 と、半導体層 1 3 2 に接続されたドレイン電極 1 3 7 およびソース電極 1 3 8 とを含む。

## 【 0 2 5 3 】

ゲート絶縁層 1 3 3 上には、ゲート電極 1 3 4 を覆うように、層間絶縁層 1 3 5 が形成され、ドレイン電極 1 3 7 およびソース電極 1 3 8 は、この層間絶縁層 1 3 5 の上面に達するように形成されている。そして、ドレイン電極 1 3 7 の上端部には、ドレインパッド 2 1 0 が形成され、ドレインパッド 2 1 0 に画素電極 1 1 4 が接続されている。

40

## 【 0 2 5 4 】

ソース電極 1 3 8 の上端部には、配線 2 1 1 が形成され、この配線 2 1 1 の上面には、透明導電層 2 1 2 が形成されている。配線 2 1 1 と透明導電層 2 1 2 によって、T F T 素子 1 1 5 が接続されるソース配線 1 1 1 が形成されている。

## 【 0 2 5 5 】

対向基板 1 5 0 と、T F T アレイ基板 1 3 0 との間には、スペーサ 1 6 1 が配置されている。

## 【 0 2 5 6 】

50

図40は、本実施の形態4に係る液晶表示装置100の断面図であり、選択用TFT素子116および圧力センサ190を示す断面図である。

【0257】

この図40に示すように、TFTアレ基板130には、選択用TFT素子116が形成され、対向基板150およびTFTアレ基板130間には、圧力センサ190が形成されている。

【0258】

選択用TFT素子116は、下地層131上に形成された半導体層200と、この半導体層200を覆うように形成されたゲート絶縁層133と、ゲート絶縁層133の上面上に形成されたゲート電極201と、半導体層200に接続されたドレイン電極202およびソース電極203とを備える。

10

【0259】

ゲート絶縁層133上には、ゲート電極201を覆うように層間絶縁層135が形成されている。ドレイン電極202の上端部は、層間絶縁層135の上面に達するように形成されており、ドレイン電極202の上端部には、電極部213が接続されている。電極部213は、層間絶縁層135の上面上に位置し、平坦面状に形成されている。

【0260】

ソース電極203の上端部は、層間絶縁層135の上面に達するように形成されており、このソース電極203の上端部には、配線214が接続されている。配線214は、層間絶縁層135の上面に位置しており、平坦面状に形成されている。配線214の上面には、透明導電層215が形成されており、透明導電層215は、ITO層等によって形成されている。配線214と、透明導電層215とによって、選択用TFT素子116が接続されたソース配線111が形成されている。

20

【0261】

圧力センサ190は、対向基板150に形成された上部電極171と、TFTアレ基板130に形成された下部電極191とを含む。

【0262】

上部電極171は、カラーフィルタ基板151の下面に形成された突起部(突出部)170と、この突起部170上に位置する対向電極152とによって形成されている。突起部170は、アクリル樹脂等の可塑性樹脂で形成されており、弾性変形可能とされている。

30

【0263】

下部電極191は、電極部213の上面に形成されている。下部電極191は、たとえば、ITO膜等の透明導電層やSi等の抵抗層等によって形成されている。下部電極191の膜厚は、たとえば、50nm以上400nm以下とする。好ましくは、50nm以上200nm以下とする。

【0264】

この図40に示す例においては、対向基板150に外力が加えられていない状態では、上部電極171と下部電極191との間には、僅かな隙間が形成されている。

【0265】

対向基板150に外力が加えられていない状態では、上部電極171と下部電極191とは、非接触であり、上部電極171と下部電極191との間で電流がながれず、電力消費の低減が図られている。

40

【0266】

図41は、対向基板150が押圧されたときの状態を模式的に示す断面図である。この図41に示すように、対向基板150が押圧されることで、対向基板150が変形し、上部電極171が下部電極191と接触する。

【0267】

上部電極171と下部電極191とが接触することで、上部電極171と下部電極191との間で電流が流れる。制御部105は、選択用TFT素子116が接続されたソース

50



配線 111 および対向電極 152 をセンシングすることで、制御部 105 は、下部電極 191 と上部電極 171 との間を流れる電流量を検知することができる。

【0268】

そして、対向基板 150 を押圧する圧力が大きくなると、突起部 170 が変形する。突起部 170 が変形することで、対向電極 152 のうち、突起部 170 上に位置する部分も、下部電極 191 の形状に沿って変形する。

【0269】

これにより、下部電極 191 と対向電極 152 との接触面積が急激に大きくなり、下部電極 191 と上部電極 171 との間で流れる電流量も増大する。このため、制御部 105 は電流量の変化を検知し易く、対向基板 150 に加えられた押圧力を算出しやすくなっている。

10

【0270】

このため、本実施の形態 4 に係る圧力センサ 190 および液晶表示装置 100 においても、正確に対向基板 150 に加えられた押圧力を検知することができる。なお、上部電極 171 と下部電極 191 とが初期状態で僅かに接触するようにしてもよい。この場合においては、対向基板 150 に僅かにでも押圧力が加えられることで、上部電極 171 と下部電極 191 との間を流れる電流量を変化させることができる。

【0271】

図 42 から図 49 を用いて、本実施の形態 4 に係る液晶表示装置 100 の製造方法について説明する。

20

【0272】

なお、本実施の形態 4 に係る液晶表示装置 100 においても、対向基板 150 と、TFT アレイ基板 130 とを別々に形成し、その後、液晶層を挟むように対向基板 150 と TFT アレイ基板 130 とを貼り合わせることで、液晶表示装置 100 を形成する。

【0273】

図 42 は、TFT アレイ基板 130 の製造工程の第 1 工程を示す断面図である。この図 42 に示すように、主表面を有するガラス基板 140 を準備する。ガラス基板 140 の主表面上に下地層 131 を形成する。なお、下地層 131 は、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$  等の絶縁層から形成されている。下地層 131 は、たとえば、500 nm 以下となるように形成され、好ましくは、400 nm 以下となるように形成される。

30

【0274】

その後、下地層 131 の上面上に非晶質半導体層を堆積する。非晶質半導体層の膜厚は、たとえば、20 nm 以上 200 nm 以下とされる。なお、非晶質半導体層の膜厚は、好ましくは、30 nm 以上 70 nm 程度とされる。その後、この非晶質半導体層を結晶化して連続粒界結晶シリコン層（CG シリコン層）を形成する。連続粒界結晶シリコン層をパターニングして、半導体層 132 および半導体層 200 を形成する。

【0275】

このように TFT 素子 115 の半導体層 132 と、選択用 TFT 素子 116 の半導体層 200 とが同一のパターニング工程で形成することができる。

【0276】

図 43 は、TFT アレイ基板 130 の製造工程の第 2 工程を示す断面図である。この図 43 に示すように、半導体層 132 および半導体層 200 を覆うように、下地層 131 上にゲート絶縁層 133 を形成する。ゲート絶縁層 133 は、 $\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$  等の絶縁層から形成されており、ゲート絶縁層 133 の膜厚は、たとえば、20 nm 以上 200 nm 以下とされ、好ましくは、50 nm 以上 120 nm 以下とされる。

40

【0277】

ゲート絶縁層 133 の上面上に、スパッタリング等により金属層を形成する。この金属層は、たとえば、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）等の金属膜、タングステン（W）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）等を含む合金膜、または、タングステン（W）、タンタル（Ta）、チタン

50

(Ti)、モリブデン(Mo)元素を含む化合物とされる。この金属層の膜厚は、たとえば、50nm以上600nm以下とされ、好ましくは、100nm以上500nm以下とされる。

【0278】

そして、この金属層をパターニングして、ゲート電極134およびゲート電極201を形成する。このように、TFT素子115のゲート電極134と、選択用TFT素子116のゲート電極201とを同一のパターニング工程で形成することができる。

【0279】

図44は、TFTアレイ基板130の製造工程の第3工程を示す断面図である。この図44に示すように、ゲート電極201およびゲート電極134を覆うように、層間絶縁層135を形成する。層間絶縁層135は、たとえば、SiO<sub>2</sub>、SiN、およびSiNO等の絶縁層によって形成されている。層間絶縁層135の膜厚は、たとえば、100nm以上1000nm以下となるように形成される。好ましくは、層間絶縁層135の膜厚は、100nm以上700nm以下とされる。

10

【0280】

層間絶縁層135をパターニングして、複数のコンタクトホールを形成する。コンタクトホールを形成した後、層間絶縁層135上に導電層をスパッタリングにより形成する。この金属層は、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)などの金属層、タングステン(W)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)などの元素を含む合金、または、タングステン(W)、タンタル(Ta)、

20

【0281】

この金属層をパターニングして、ドレイン電極137、ドレインパッド210、ソース電極138、配線211、ドレイン電極202、電極部213、ソース電極203および配線214を形成する。

【0282】

その後、ドレインパッド210、配線211、電極部213および配線214を覆うようにITO等の透明導電層を形成する。この透明導電層をパターニングして、図39および図40に示す画素電極114、透明導電層212、下部電極191および透明導電層215を形成する。

30

【0283】

これにより、図39および図40に示すTFTアレイ基板130を形成することができる。このように、本実施の形態4に係る液晶表示装置100の製造方法によれば、TFT素子115を形成する工程で、選択用TFT素子116および圧力センサ190の下部電極191を形成することができ、製造工程数の増大の抑制が図られている。

【0284】

図45は、対向基板150の製造工程の第1工程を示す断面図である。この図45に示すように、主表面を有するガラス基板156を準備する。そして、このガラス基板156の主表面上にカラーフィルタ基板151を形成する。

【0285】

図46は、対向基板150の製造工程の第2工程を示す断面図である。この図46に示すように、カラーフィルタ基板151の主表面上に可塑性樹脂層157を形成する。

40

【0286】

可塑性樹脂層157の膜厚は、たとえば、1~10μm程度形成する。なお、好ましくは、2~5μm程度とする。

【0287】

図47は、対向基板150の製造工程の第3工程を示す断面図である。この図47に示すように、可塑性樹脂層157をパターニングして、樹脂パターン158を形成する。図48は、対向基板150の製造工程の第4工程を示す断面図である。この図48において、樹脂パターン158にアニール処理を施し、表面が滑らかな突起部170を形成する。

50

## 【0288】

図49は、対向基板150の製造工程の第5工程を示す断面図であり、この図49に示すように、突起部170を覆うように、カラーフィルタ基板151の表面に対向電極152を形成する。これにより、上部電極が形成される。

## 【0289】

対向電極152を形成した後、アクリル樹脂等の樹脂層を形成する。この樹脂層をパターンニングして、複数のスペーサ161を形成する。このようにして形成された対向電極152およびTFTアレイ基板130を張り合わせて液晶表示装置100を形成する。

## 【0290】

(実施の形態5)

10

図50から図57および図38を用いて、本発明の実施の形態5に係る圧力センサ118、液晶表示装置100および液晶表示装置100の製造方法について説明する。なお、図50から図57に示す構成のうち、上記図1から図49に示す構成と同一または相当する構成については、同一の符号を付して、その説明を省略する場合がある。また、本実施の形態5に係る液晶表示装置100の電気回路は、上記図38に示す電気回路である。

## 【0291】

図50は、本実施の形態5に係る液晶表示装置100の断面図であり、TFT素子115を示す断面図である。

## 【0292】

20

この図50に示すように、液晶表示装置100は、ガラス基板140と、このガラス基板140の主表面上に形成された下地層131と、下地層131の上面上に形成されたTFT素子115とを備える。

## 【0293】

TFT素子115は、下地層131上に形成された半導体層132と、半導体層132を覆うように下地層131上に形成されたゲート絶縁層133と、このゲート絶縁層133上に形成されたゲート電極134と、半導体層132に接続されたドレイン電極137およびソース電極138とを備える。

## 【0294】

30

ゲート絶縁層133上には、ゲート電極134を覆うように層間絶縁層135が形成されている。この層間絶縁層135の上面上には、ドレインパッド210と、ソース配線111とが形成されている。ドレイン電極137は、ドレインパッド210に接続され、ソース電極138は、ソース配線111に接続されている。

## 【0295】

さらに、層間絶縁層135の上面上には、樹脂層149が形成されている。樹脂層149は、アクリル樹脂等の可塑性樹脂によって形成されている。樹脂層149の膜厚は、たとえば、1 $\mu$ m以上10 $\mu$ m以下とされる。樹脂層149の膜厚は、好ましくは、1.5 $\mu$ m以上5 $\mu$ m以下とされる。樹脂層149の上面上には、画素電極114が形成されており、画素電極114はドレインパッド210に接続されている。

## 【0296】

40

図51は、液晶表示装置100の断面図であり、選択用TFT素子116を示す断面図である。

## 【0297】

この図51に示すように、液晶表示装置100は、下地層131上に形成された選択用TFT素子116を含む。

## 【0298】

選択用TFT素子116は、下地層131上に形成された半導体層180と、半導体層180を覆うように、下地層131上に形成されたゲート絶縁層133と、このゲート絶縁層133上に形成されたゲート電極181と、半導体層180に接続されたドレイン電極182およびソース電極183とを含む。

## 【0299】

50

層間絶縁層 135 の上面には、パッド部 219 と、ソース配線 111 と、下部電極 218 とが形成されている。ドレイン電極 182 の上端部は、パッド部 219 に接続され、ソース電極 183 の上端部は、ソース配線 111 に接続されている。

【0300】

このため、ゲート電極 181 に印加する電圧を制御することで、選択用 TFT 素子 116 の ON/OFF を切り替えることができる。

【0301】

パッド部 219 には、下部電極 218 が接続されている。下部電極 218 は、層間絶縁層 135 の上面から上方に突出するように形成された突起部 216 と、この突起部 216 の表面に形成された導電層 217 とを備える。突起部 216 は、樹脂層 149 と同一材料から形成されており、たとえば、突起部 216 は、アクリル樹脂等の弾性変形可能な樹脂材料から形成されている。突起部 216 の外表面は、湾曲面状とされている。導電層 217 は、パッド部 219 に接続されている。

10

【0302】

対向基板 150 の下面のうち、下部電極 218 の上方に位置する部分には、上部電極 171 が形成されている。

【0303】

上部電極 171 は、カラーフィルタ基板 151 の下面に形成されたスペーサ 161 と、このスペーサ 161 を覆うように、カラーフィルタ基板 151 の下面に形成された対向電極 152 とによって形成されている。スペーサ 161 は、たとえば、アクリル樹脂によって形成されており、カラーフィルタ基板 151 の下面から下部電極 218 に向けて突出するように形成されている。

20

【0304】

制御部 105 がセンシングする際には、ゲート電極 181 に所定電圧が印加され、選択用 TFT 素子 116 は ON 状態となる。

【0305】

そして、対向基板 150 が押圧されると、上部電極 171 が下部電極 218 に向けて変位し、上部電極 171 が下部電極 218 を押圧する。導電層 217 に押圧されることで、導電層 217 が変形し、下部電極 218 が上部電極 171 の表面形状に沿うように変形する。これにより、上部電極 171 の対向電極 152 と、下部電極 218 の導電層 217 との接触面積が急激に広がる。この結果、対向電極 152 と導電層 217 との間を流れる電流量が増大する。

30

【0306】

図 38 に示す制御部 105 は、対向電極 152 と、選択用 TFT 素子 116 が接続されたソース配線 111 との間を電流量をセンシングすることで、対向基板 150 に加えられた圧力を算出する。

【0307】

このように、本実施の形態 5 に係る液晶表示装置 100 においても、対向基板 150 が押圧されることで、上部電極 171 と下部電極 218 との間を流れる電流量が大きく変化するため、対向基板 150 に加えられる圧力を正確に算出することができる。

40

【0308】

図 52 から図 57 を用いて、本実施の形態 5 に係る液晶表示装置 100 の製造方法について説明する。なお、本実施の形態 5 に係る液晶表示装置 100 においても、TFT アレイ基板 130 と、対向基板 150 とを別個独立に形成し、その後、互いに張り合わせることで液晶表示装置 100 が形成される。

【0309】

図 52 は、TFT アレイ基板 130 の製造工程のうち、TFT 素子 115 および選択用 TFT 素子 116 を形成したときの工程を示す断面図である。

【0310】

この図 52 において、非晶質半導体層から連続粒界結晶シリコン層を形成した後、この

50

連続粒界結晶シリコン層をフォトリソグラフィ法等によりパターンニングして、半導体層 132 と、半導体層 180 とが形成されている。

【0311】

ゲート絶縁層 133 は、半導体層 132 および半導体層 180 が形成された後、下地層 131 上に形成されている。ゲート電極 134 と、ゲート電極 181 とは、ゲート絶縁層 133 上に形成された同一の金属層をパターンニングすることで、形成されている。

【0312】

ゲート電極 134 およびゲート電極 181 が形成された後、層間絶縁層 135 が形成されている。ドレインパッド 210、ドレイン電極 137、ソース電極 138、パッド部 219、ドレイン電極 182、ソース電極 183、およびソース配線 111 は、層間絶縁層 135 上に形成された同一の金属層をパターンニングすることで形成されている。

10

【0313】

図 53 は、図 52 に示された製造工程後における TFT アレイ基板 130 の製造工程を示す断面図である。この図 53 に示すように、アクリル樹脂を層間絶縁層 135 上に形成する。その後、このアクリル樹脂をパターンニングして、突起部 221 と、樹脂層 149 を形成する。突起部 221 は、層間絶縁層 135 上に位置すると共に、突起部 221 は、樹脂層 149 に形成された凹部 220 内に位置している。

【0314】

図 54 は、図 53 に示す製造工程後の製造工程を示す断面図である。この図 54 に示すように、突起部 221 が形成されたガラス基板 140 をオープン内でアニール処理する。なお、アニール温度としては、たとえば、100 以上 300 以下とし、好ましくは、100 以上 200 以下とされる。

20

【0315】

これにより、突起部 221 の表面の樹脂が流れ、表面が湾曲面状の突起部 216 が形成される。

【0316】

このように、突起部 216 を形成した後、樹脂層 149 および突起部 216 を覆うように ITO などの透明導電層を形成する。この透明導電層をパターンニングして、図 50 および図 51 に示す画素電極 114、導電層 217 を形成する。これにより、下部電極 218 を形成すると共に、TFT アレイ基板 130 を形成することができる。

30

【0317】

図 55 は、対向基板 150 の製造工程のうち、カラーフィルタ基板 151 を形成したときを示す断面図である。この図 55 に示すように、ガラス基板 156 にカラーフィルタ基板 151 が形成される。

【0318】

図 56 は、上記図 55 に示す製造工程後の工程を示す断面図である。この図 56 に示すように、カラーフィルタ基板 151 の上面上に、アクリル樹脂等の樹脂層を形成する。そして、この樹脂層をパターンニングして、スペーサ 161 を複数形成する。

【0319】

図 57 は、上記図 56 に示す製造工程後の工程を示す断面図である。この図 57 に示すように、ITO 等の透明導電層を形成する。これにより、上部電極 171 および対向電極 152 とを備えた対向基板 150 が形成される。

40

【0320】

そして、対向基板 150 と TFT アレイ基板 130 とを互いに張り合わせて、液晶表示装置 100 を形成する。

【0321】

(実施の形態 6)

図 58 から図 74 を用いて、本発明の実施の形態 6 について説明する。なお、図 58 から図 74 に示す構成のうち、上記図 1 から図 57 に示す構成と同一または相当する構成については、同一の符号を付してその説明を省略する場合がある。

50

## 【0322】

図58は、本実施の形態6に係る液晶表示装置100の電気回路を示す回路図である。この図58に示すように、圧力センサ190は選択用TFT素子116のドレイン電極とソース配線111に接続されている。

## 【0323】

図59は、本実施の形態6に係る液晶表示装置100の断面図であって、TFT素子115を示す断面図である。

## 【0324】

図60は、本実施の形態6に係る液晶表示装置100の断面図であって、圧力センサ190を示す断面図である。

10

## 【0325】

この図59および図60において、圧力検知素子120は、ガラス基板140の主表面上に形成された下地層131と、下地層131上に形成されたTFT素子115および圧力センサ190を備える。

## 【0326】

TFT素子115は、半導体層132と、ゲート電極134と、ドレイン電極137と、ソース電極138とを含む。

## 【0327】

圧力センサ190は、下地層131上に形成された半導体層180と、この半導体層180から間隔をあけて配置され、半導体層180と対向するように形成された上部電極171とを含む。半導体層180は、圧力センサ190の下部電極として機能する。

20

## 【0328】

半導体層132と、半導体層180とは、下地層131の上面上に形成されている。

下地層131上には、半導体層132および半導体層180を覆うようにゲート絶縁層133が形成されている。

## 【0329】

ゲート絶縁層133の上面のうち、半導体層132の上方に位置する部分には、ゲート電極134が形成され、ゲート絶縁層133の上面のうち、半導体層180の上方に位置する部分には、上部電極171が形成されている。

## 【0330】

ゲート絶縁層133の上面上には、ゲート電極134および上部電極171を覆うように、層間絶縁層135が形成されている。

30

## 【0331】

ドレイン電極137、ソース電極138、コンタクト146および接続配線124は、層間絶縁層135の上面上に達するように形成されている。接続配線124は、図58に示す選択用TFT素子116に接続され、他方端が、上部電極171に接続されている。コンタクト146の上端部は、ソース配線111に接続されており、コンタクト146の下端部は半導体層180に接続されている。

## 【0332】

ドレイン電極137およびソース電極138は、半導体層132に接続されており、ドレイン電極137の上端部には、ドレインパッド210が接続されている。ソース電極138の上端部にはソース配線111が接続されている。ドレインパッド210およびソース配線111は、層間絶縁層135上に形成されている。

40

## 【0333】

そして、ドレインパッド210、ソース配線111および接続配線124を覆うように上層絶縁層136が形成されている。

## 【0334】

画素電極114は、上層絶縁層136上に形成されており、ドレインパッド210に接続されている。

## 【0335】

50

対向基板 150 の下面のうち、上部電極 171 の上方に位置する部分には、押圧部材 145 が形成されている。押圧部材 145 は、対向基板 150 の下面から T F T アレイ基板 130 に向けて突出するように形成されている。

【0336】

上部電極 171 の直下には、凹部 147 が形成されている。この凹部 147 は、ゲート絶縁層 133 に形成された穴部と、半導体層 180 の上面とによって形成されている。

【0337】

この図 60 に示す例においては、対向基板 150 が押圧されていない状態では、押圧部材 145 の下端部は上層絶縁層 136 の上面に当接している。

【0338】

図 61 は、対向基板 150 が押圧されていない状態（初期状態）における上部電極 171 および半導体層 180 を示す断面図である。

【0339】

この図 61 に示すように、初期状態においては、上部電極 171 と半導体層 180 とは、互いに間隔をあけて配置されており、上部電極 171 と半導体層 180 とは接触していない。図 62 は、上部電極 171 の平面図であり、上部電極 171 には複数の穴部 173 が形成されている。

【0340】

図 63 は、対向基板 150 が押圧された状態における上部電極 171 と半導体層 180 とを示す断面図である。この図 63 に示すように、対向基板 150 が押圧されることで、上部電極 171 と半導体層 180 とが接触する。ここで、対向基板 150 が押圧される押圧力が小さいときには、上部電極 171 と半導体層 180 との接触面積が小さく、半導体層 180 と上部電極 171 との間を流れる電流量は小さい。

【0341】

そして、対向基板 150 が押圧される押圧力が大きくなり、上部電極 171 が大きく撓み、上部電極 171 が半導体層 180 に沿うように変形し、上部電極 171 と半導体層 180 との接触面積が大きくなる。

【0342】

図 62 の破線で囲われた領域は、上部電極 171 と半導体層 180 とが互いに接触する面積を示す。

【0343】

この図 62 および図 63 に示すように、上部電極 171 と半導体層 180 との接触面積が大きくなると、上部電極 171 と半導体層 180 との間で流れる電流量が増大する。すなわち、対向基板 150 を押圧する押圧力が大きくなると、上部電極 171 と半導体層 180 との間を流れる電流量も急激に大きくなる。

【0344】

このため、図 58 に示す制御部 105 は選択用 T F T 素子 116 が接続されたソース配線 111 と、圧力センサ 190 が接続されたソース配線 111 との間の電流量の変化をセンシングし易く、対向基板 150 に加えられた圧力を正確に算出することができる。

【0345】

図 64 から図 74 を用いて、本実施の形態 6 に係る液晶表示装置 100 の製造方法について説明する。

【0346】

なお、本実施の形態 6 に係る液晶表示装置 100 も、T F T アレイ基板 130 と対向基板 150 とは、各々独立に形成され、形成された T F T アレイ基板 130 および対向基板 150 を互に対向するように配置して、液晶表示装置 100 を形成する。

【0347】

図 64 は、T F T アレイ基板 130 の製造工程の第 1 工程を示す断面図である。この図 64 において、主表面を有するガラス基板 140 を準備する。そして、プラズマ化学気相成長法（Plasma Enhanced CVD（PECVD））により、S i N O 層を、たとえば、50nm

10

20

30

40

50

程度形成する。そして、SiNO層上にSiO<sub>2</sub>層を、たとえば、110nm程度形成する。これにより、下地層131がガラス基板140の主表面上に形成される。

【0348】

図65は、TFTアレ基板130の製造工程の第2工程を示す断面図である。この図65に示すように、下地層131の表面上に、プラズマ化学気相成長法により、Si(シリコン)層を、たとえば、50nm程度形成する。

【0349】

その後、XeClエキシマレーザを照射して、連続粒界結晶シリコン層を形成した後、この連続粒界結晶シリコン層をフォトリソグラフィ法等によりパターンニングして半導体層132および半導体層180を形成する。

【0350】

図66は、TFTアレ基板130の製造工程の第3工程を示す断面図である。この図66において、半導体層132および半導体層180を覆うように、SiO<sub>2</sub>層をたとえば、80nm程度、プラズマ化学気相成長法により形成する。

【0351】

図67は、TFTアレ基板130の製造工程の第4工程を示す断面図である。この図67において、半導体層132および半導体層180にP<sup>+</sup>(リンイオン)を45KV、5E15cm<sup>-2</sup>の条件の下、注入する。

【0352】

図68は、TFTアレ基板130の製造工程の第5工程を示す断面図である。この図68において、スパッタリング等で、ゲート絶縁層133の表面上に積層金属層222を形成する。具体的には、スパッタリングで、タングステン(W)層をたとえば、370nm程度形成する。タングステン層を形成した後、窒化タンタル(TaN)層を、たとえば、50nm程度形成する。

【0353】

図69は、TFTアレ基板130製造工程の第6工程を示す断面図である。この図69に示すように、図68に示す積層金属層222をパターンニングして、ゲート電極134と、上部電極171とを形成する。なお、上部電極171には、少なくとも1つ以上の穴部173が形成される。

【0354】

具体的には、上記図62に示すように、複数の穴部173が形成される。なお、上部電極171は、正方形形状に形成され、一辺の長さが、30μmとされる。穴部173も、正方形形状とされ、一辺の長さが、2μmとされる。穴部173同士の間隔は、2μmとされる。

【0355】

図70は、TFTアレ基板130の製造工程の第7工程を示す断面図である。この図70において、まず、レジストを形成し、このレジストにパターンニングを施す。これにより、レジストパターン223が形成される。このレジストパターン223には、穴部が形成されており、穴部173が外部に露出される。

【0356】

そして、レジストパターン223が形成された基板をバッファードフッ酸(BHF)に浸漬する。なお、バッファードフッ酸(BHF)としては、フッ化水素酸(HF)とフッ化アンモニウム(NH<sub>4</sub>F)とを1:10の割合で混合したものが採用され、たとえば、13分程度、浸漬する。

【0357】

これにより、穴部173から入り込んだバッファードフッ酸が、ゲート絶縁層133の一部をエッチングする。この結果、上部電極171下に凹部147が形成される。

【0358】

図71は、TFTアレ基板130の製造工程の第8工程を示す断面図である。この図71において、レジストパターン223を除去した後、層間絶縁層135をゲート絶縁層

10

20

30

40

50



133上に形成する。

【0359】

具体的には、プラズマ化学気相成長法によりシリコン酸化層（SiO<sub>2</sub>層）を700nm程度形成し、このシリコン酸化層上にシリコン窒化層（SiN層）を、たとえば、250nm程度形成する。これにより、層間絶縁層135が形成される。

【0360】

図72は、TFTアレ基板130の製造工程の第9工程を示す断面図である。この図72に示すように、層間絶縁層135にパターニングを施して、複数のコンタクトホールを形成する。

【0361】

図73は、TFTアレ基板130の製造工程の第10工程を示す断面図である。この図73において、まず、チタン（Ti）層をたとえば、100nm程度形成する。このチタン層上にAl-Si層を、たとえば、600nm程度形成する。このAl-Si層上に、たとえば、（Ti）層を200nm程度形成する。

【0362】

このように、積層金属層を形成した後、この積層金属層をパターニングして、ドレインパッド210、ドレイン電極137、ソース配線111、ソース電極138、コンタクト146、および接続配線124を形成する。

【0363】

図74は、TFTアレ基板130の製造工程の第11工程を示す断面図である。この図74に示すように、ドレインパッド210、ドレイン電極137、ソース配線111、ソース電極138、コンタクト146、および接続配線124等を覆うように、上層絶縁層136を形成する。具体的には、プラズマ化学気相成長法により、シリコン窒化層（SiN層）を、たとえば、200nm程度形成する。

【0364】

その後、上層絶縁層136をパターニングし、パターニングされた上層絶縁層136の上面上にITO層を形成する。このITO層をパターニングして、図59に示す画素電極114を形成する。このようにして、TFTアレ基板130を形成する。

【0365】

対向基板150を形成する際には、まず、ガラス基板156を準備する。このガラス基板156の主表面に、カラーフィルタ基板151を形成する。このカラーフィルタ基板151の上面に、ITO層を形成して、対向電極152を形成する。

【0366】

その後、この対向電極152の上面上に、アクリル樹脂層を形成して、このアクリル樹脂層をパターニングすることで、押圧部材145を形成する。このようにして、図59に示す対向基板150が形成される。

【0367】

このように、TFTアレ基板130および対向基板150を形成した後、TFTアレ基板130の主表面上に液晶層を塗布する。

【0368】

その後、TFTアレ基板130の上方に対向基板150を配置して、TFTアレ基板130と対向基板150とを貼り合わせる。このようにして、図59および図60に示す液晶表示装置100が形成される。

【0369】

このようにして構成された液晶表示装置100において、たとえば、TFTアレ基板130側から押圧力を加えた。

【0370】

その結果、0.2Nで、制御部105は、選択用TFT素子116が接続されたソース配線111と圧力センサ190が接続されたソース配線111との間で、電流の流通を検知することができた。さらに、TFTアレ基板130に1N程度の押圧力を加えると、

10

20

30

40

50

抵抗値が 1 / 8 となった。

【 0 3 7 1 】

( 実施の形態 7 )

図 7 5 から図 8 1 および図 5 8 を用いて、本発明の実施の形態 7 に係る圧力センサ、液晶表示装置 1 0 0 および液晶表示装置 1 0 0 の製造方法について説明する。なお、図 7 5 から図 8 1 に示す構成のうち、上記図 1 から図 7 4 に示す構成と同一または相当する構成については、同一の符号を付してその説明を省略する。

【 0 3 7 2 】

なお、本実施の形態 7 に係る液晶表示装置 1 0 0 の電気回路は、図 5 8 に示す電気回路となっている。

10

【 0 3 7 3 】

図 7 5 は、本実施の形態 7 に係る液晶表示装置 1 0 0 の断面図であって、TFT 素子 1 1 5 を示す断面図である。図 7 6 は、本実施の形態 7 に係る液晶表示装置 1 0 0 の断面図であって、圧力センサ 1 9 0 を示す断面図である。

【 0 3 7 4 】

これら、図 7 5 および図 7 6 に示すように、TFT アレイ基板 1 3 0 は、ガラス基板 1 4 0 と、ガラス基板 1 4 0 の主表面上に形成された下地層 1 4 1 と、この下地層 1 4 1 上に形成された TFT 素子 1 1 5 および圧力センサ 1 9 0 とを含む。

【 0 3 7 5 】

TFT 素子 1 1 5 は、下地層 1 4 1 上に形成された下地層 1 3 1 の上面上に形成されている。TFT 素子 1 1 5 は、下地層 1 3 1 上に形成された半導体層 1 3 2 と、半導体層 1 3 2 を覆うように下地層 1 3 1 の上面上に形成されたゲート電極 1 3 4 と、半導体層 1 3 2 に接続されたドレイン電極 1 3 7 およびソース電極 1 3 8 とを含む。

20

【 0 3 7 6 】

ゲート絶縁層 1 3 3 上には、ゲート電極 1 3 4 を覆うように層間絶縁層 1 3 5 が形成されている。層間絶縁層 1 3 5 の上面上には、ドレインパッド 2 1 0 と、ソース配線 1 1 1 とが形成されており、ドレイン電極 1 3 7 は、ドレインパッド 2 1 0 に接続され、ソース電極 1 3 8 はソース配線 1 1 1 に接続されている。

【 0 3 7 7 】

図 7 6 において、圧力センサ 1 9 0 は、下地層 1 4 1 上に形成された下部電極 1 7 2 と、この下部電極 1 7 2 に対して、対向基板 1 5 0 側に位置し、下部電極 1 7 2 と対向するように配置された下部電極 1 7 2 とを含む。

30

【 0 3 7 8 】

下部電極 1 7 2 の上面上には下地層 1 3 1 およびゲート絶縁層 1 3 3 が形成されている。下部電極 1 7 2 と上部電極 1 7 1 との間には、凹部 1 4 7 が形成されている。凹部 1 4 7 は、下地層 1 3 1 に形成された穴部と、ゲート絶縁層 1 3 3 に形成された穴部とによって規定されており、この凹部 1 4 7 の底部に下部電極 1 7 2 の上面が位置している。

【 0 3 7 9 】

このため、本実施の形態 7 に係る液晶表示装置 1 0 0 においても、上部電極 1 7 1 は、凹部 1 4 7 内に入り込むように撓むように変形することができる。

40

【 0 3 8 0 】

このため、本実施の形態 7 に係る液晶表示装置 1 0 0 においても、対向基板 1 5 0 が押圧されることで、上部電極 1 7 1 と下部電極 1 7 2 とが接触し、上部電極 1 7 1 と下部電極 1 7 2 との間で電流が流れる。

【 0 3 8 1 】

そして、対向基板 1 5 0 を押圧する押圧力が大きくなると、上部電極 1 7 1 と下部電極 1 7 2 との接触面積が大きくなり、上部電極 1 7 1 と下部電極 1 7 2 との間を流れる電流が多くなる。これにより、図 5 8 に示す制御部 1 0 5 は、対向基板 1 5 0 に加えられた押圧力を検知することができる。

【 0 3 8 2 】

50

本実施の形態 7 に係る液晶表示装置 100 の製造方法について、図 77 から図 80 を用いて、説明する。

【0383】

なお、本実施の形態 7 に係る液晶表示装置 100 においても、TFT アレイ基板 130 と、対向基板 150 とを別々に形成し、形成された対向基板 150 と、TFT アレイ基板 130 とを貼り合わせることで形成される。

【0384】

図 77 は、TFT アレイ基板 130 の製造工程の第 1 工程を示す断面図である。この図 77 に示すように、主表面を有するガラス基板 140 を準備する。このガラス基板 140 の主表面に下地層 141 を形成する。下地層 141 は、たとえば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、および  $\text{SiNO}$  等から形成する。下地層 141 の膜厚は、たとえば、500 nm 以下とされ好ましくは、400 nm 以下とされる。

10

【0385】

この下地層 141 の上面上にスパッタリングにより、モリブデン ( $\text{Mo}$ )、タングステン ( $\text{W}$ ) 等の金属層を下地層 141 の上面上に形成する。そして、この金属層をパターンニングして、下部電極 172 を形成する。下部電極 172 の膜厚は、たとえば、50 nm 以上 600 nm 以下となるように形成される。なお、好ましくは、下部電極 172 は、膜厚が 50 nm 以上 300 nm 以下となるように形成される。

【0386】

下部電極 172 を覆うように、 $\text{SiO}_2$  層、 $\text{SiN}$  層、 $\text{SiNO}$  層等の絶縁層を形成し、下地層 131 を形成する。

20

【0387】

図 78 は、TFT アレイ基板 130 の製造工程の第 2 工程を示す断面図である。この図 78 に示すように、下地層 131 上に、非晶質半導体層を堆積する。非晶質半導体層の膜厚は、たとえば、20 nm 以上 200 nm 以下とされる。なお、非晶質半導体層の膜厚は、好ましくは、30 nm 以上 70 nm 程度とされる。その後、この非晶質半導体層を結晶化して連続粒界結晶シリコン層 (CG シリコン層) を形成する。連続粒界結晶シリコン層をパターンニングして、半導体層 132 を形成する。

【0388】

$\text{SiO}_2$ 、 $\text{SiN}$ 、 $\text{SiNO}$  等の絶縁層を形成し、ゲート絶縁層 133 を形成する。なお、ゲート絶縁層 133 の膜厚は、たとえば、20 nm 以上 200 nm 以下とされ、好ましくは、50 nm 以上 120 nm 以下とされる。

30

【0389】

そして、ゲート絶縁層 133 の上面上に、金属層を形成する。この金属層は、たとえば、タングステン ( $\text{W}$ )、タンタル ( $\text{Ta}$ )、チタン ( $\text{Ti}$ )、モリブデン ( $\text{Mo}$ ) 等の金属膜、タングステン ( $\text{W}$ )、タンタル ( $\text{Ta}$ )、チタン ( $\text{Ti}$ )、モリブデン ( $\text{Mo}$ ) 等を含む合金膜、または、タングステン ( $\text{W}$ )、タンタル ( $\text{Ta}$ )、チタン ( $\text{Ti}$ )、モリブデン ( $\text{Mo}$ ) 元素を含む化合物とされる。

【0390】

この金属層の膜厚は、たとえば、50 nm 以上 600 nm 以下とされ、好ましくは、100 nm 以上 500 nm 以下とされる。

40

【0391】

その後、この金属層をパターンニングして、ゲート電極 134 および上部電極 171 を形成する。この際、上部電極 171 には、穴部 173 が同時に形成される。このように、本実施の形態 7 においても、上部電極 171 と、ゲート電極 134 とを同一工程で形成することができる。

【0392】

図 79 は、TFT アレイ基板 130 の製造工程の第 3 工程を示す断面図である。この図 79 に示すように、まず、レジストを形成し、このレジストにパターンニングを施す。これにより、レジストパターン 223 が形成される。このレジストパターン 223 には、穴部

50

が形成されており、穴部 173 が外部に露出される。

【0393】

そして、HF（フッ化水素）水溶液などの酸系溶液に、基板を浸漬する。穴部 173 から溶液が入り込み、ゲート絶縁層 133 および下地層 131 をエッチングする。これにより、凹部 147 が形成される。

【0394】

図 80 は、TFT アレイ基板 130 の製造工程の第 4 工程を示す断面図である。この図 80 に示すように、図 79 に示すレジストパターン 223 を除去する。層間絶縁層 135 を形成する。この層間絶縁層 135 をパターンニングして、複数のコンタクトホールを形成する。その後、金属層を層間絶縁層 135 の上面上に形成し、この金属層をパターンニングして、ドレインパッド 210、ドレイン電極 137、ソース電極 138、ソース配線 111、コンタクト 146 および接続配線 124 を形成する。

10

【0395】

その後、上層絶縁層 136 を形成し、この上層絶縁層 136 にパターンニングを施してコンタクトホールを形成する。

【0396】

このコンタクトホールが形成された上層絶縁層 136 の上面上に ITO 層を形成し、この ITO 層をパターンニングして、画素電極 114 を形成する。このようにして、TFT アレイ基板 130 が形成される。

【0397】

なお、対向基板 150 においては、上記実施の形態 3 に係る液晶表示装置 100 の対向基板 150 と同様にして形成される。

20

【0398】

このようにして形成された対向基板 150 および TFT アレイ基板 130 を貼り合わせて、本実施の形態 7 に係る液晶表示装置 100 が形成される。

【0399】

なお、図 81 は、本実施の形態 7 に係る液晶表示装置 100 の変形例を示す断面図である。この図 81 に示すように、半導体層 132 の下方に位置する下地層 141 上に遮光層 148 を形成してもよい。

【0400】

なお、遮光層 148 は、下部電極 172 と同質の金属材料によって形成されており、実質的に同一の膜厚とされている。

30

【0401】

なお、遮光層 148 および下部電極 172 とは、1 つの金属層をパターンニングすることで形成されており、同一のパターンニング工程で形成することができる。

【0402】

なお、上記実施の形態 1 から実施の形態 7 においては、本発明を液晶表示装置に適用した例について説明したが、有機エレクトロルミネッセンス（EL；electroluminescence）ディスプレイやプラズマディスプレイにも適用することができる。また、各基板をフレキシブル基板としてもよい。仮に有機エレクトロルミネッセンスディスプレイに適用した場合には、表示媒体層は、有機 EL 層となる。

40

【0403】

この有機エレクトロルミネッセンスディスプレイは、第 1 主表面に形成された第 1 基板と、第 1 基板と間隔をあけて配置され、第 1 主表面と対向する主表面に第 2 電極が形成された第 2 基板と、第 1 電極と第 2 電極との間に形成された有機 EL 層とを備える。

【0404】

さらに、有機エレクトロルミネッセンスディスプレイは、第 1 基板に形成された下部電極と、この下部電極よりも第 2 基板側に配置された上部電極と、下部電極および上部電極間の容量または下部電極および上部電極間を流れる電流量を検知可能な検知部とを備える。そして、上部電極と下部電極との少なくとも一方が、他方に沿うように変形可能とされ

50

ている。

【0405】

仮に、本発明をプラズマディスプレイに適用した場合には、表示媒体層は、蛍光体層となる。このプラズマディスプレイにおいては、前面板と、背面板とを備える。前面板は、前面ガラス基板と、この前面ガラス基板の下面に形成された表示電極と、遮光層と、この表示電極と遮光層とを覆うように、前面ガラス基板の下面に形成された誘電体層とを備える。この誘電体層の下面には、保護層が形成されている。

【0406】

背面板は、背面ガラス基板と、この背面ガラス基板の上面に形成されたアドレス電極と、このアドレス電極を覆うように背面ガラス基板の上面に形成された下地誘電層と、この下地誘電層上に形成され、放電空間を区切る複数の隔壁と、隔壁間の溝に形成された蛍光体層とを備える。前面板と、背面板とが対向配置され、外周が封着剤によって気密封着され、放電空間内には、放電ガスが封入される。

10

【0407】

さらに、このプラズマディスプレイは、背面板側に配置された下部電極と、背面板側に配置された上部電極と、上部電極および下部電極によって規定される容量や電流量を検知可能な検知部とを備える。そして、上部電極と下部電極との少なくとも一方は、他方に沿うように変形可能とされている。

【0408】

以上のように本発明の実施の形態について説明を行なったが、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。さらに、上記数値などは、例示であり、上記数値および範囲にかぎられない。

20

【産業上の利用可能性】

【0409】

本発明は、表示装置、圧力検出装置および表示装置の製造方法に適用することができ、特に、下部電極と上部電極とによって規定される電気信号を検出する検出部を備えた表示装置、圧力検出装置および表示装置の製造方法に好適である。

【符号の説明】

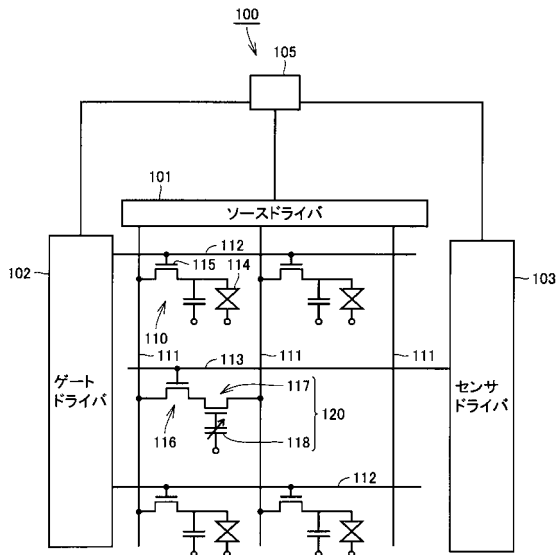
30

【0410】

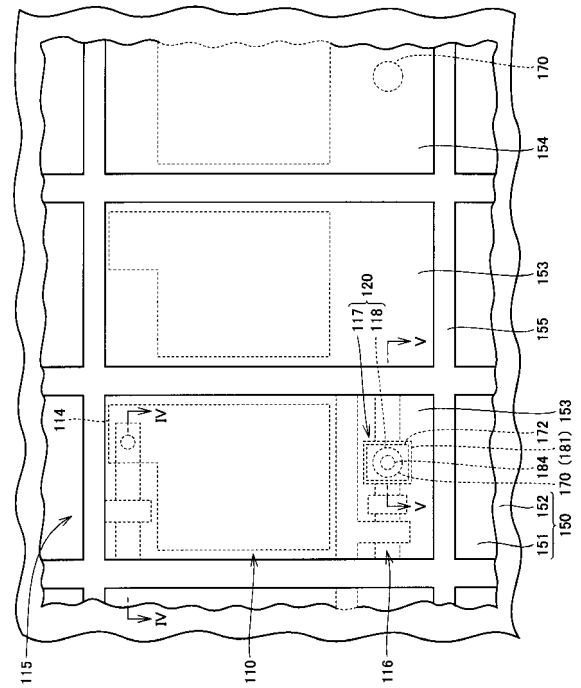
100 液晶表示装置、101 ソースドライバ、102 ゲートドライバ、103 センサドライバ、105 制御部、110 画素、111 ソース配線、112 ゲート配線、113 センサ用ゲート配線、114 画素電極、115 TFT素子、116 選択用TFT素子、117 出力用素子、118, 190 圧力センサ、120 圧力検知素子、121, 138, 183, 203 ソース電極、122 ゲート電極、123 半導体層、124 接続配線、125, 137, 182, 202 ドレイン電極、130 TFTアレイ基板、131 下地層、132, 180, 200 半導体層、133 ゲート絶縁層、134, 181, 201 ゲート電極、135, 139 層間絶縁層、136 上層絶縁層、140 ガラス基板、141 下地層、145 押圧部材、146 コンタクト、147 凹部、148 遮光層、149 樹脂層、150 対向基板、151 カラーフィルタ基板、152 対向電極、153 着色層、155 ブラックマトリックス、156 ガラス基板、157 可塑性樹脂層、158 樹脂パターン、160 液晶層、161 スペース、170 突起部、171 上部電極、172, 189, 191, 218 下部電極、173, 174 穴部、184 コンタクト、185 パッド部、186 接続部、187 反射電極、210 ドレインパッド、211 配線、212 透明導電層、213 電極部、214 配線、215 透明導電層、216 突起部、217 導電層、219 パッド部、220 凹部、221 突起部、222 積層金属層、223 レジストパターン。

40

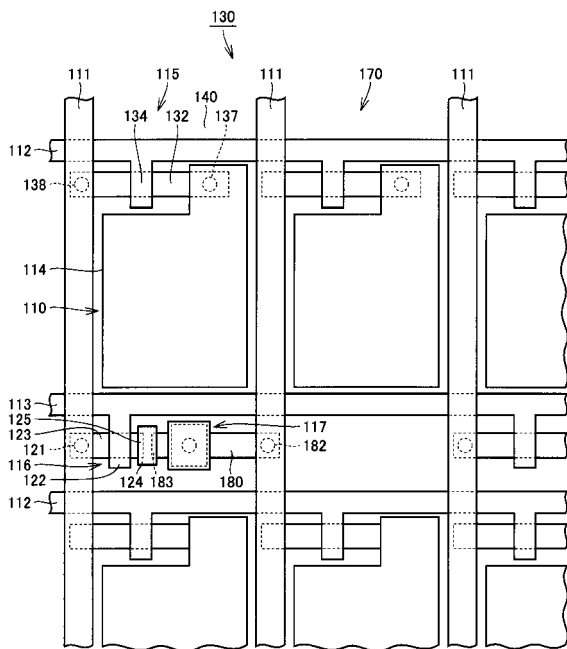
【 図 1 】



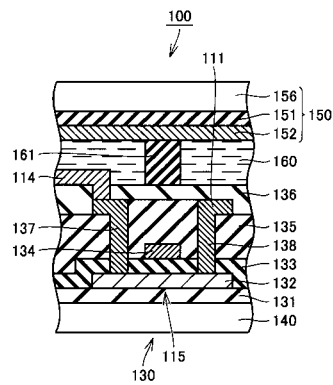
【 図 2 】



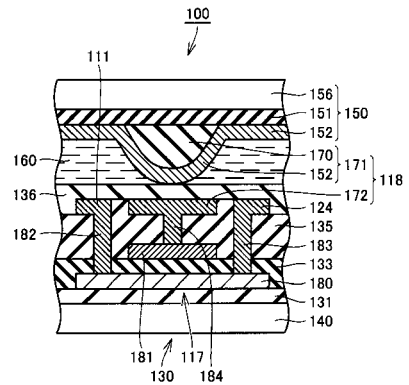
【 図 3 】



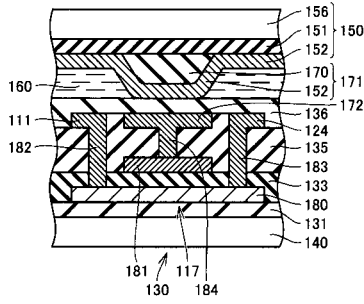
【 図 4 】



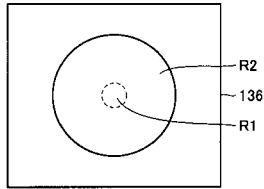
【 図 5 】



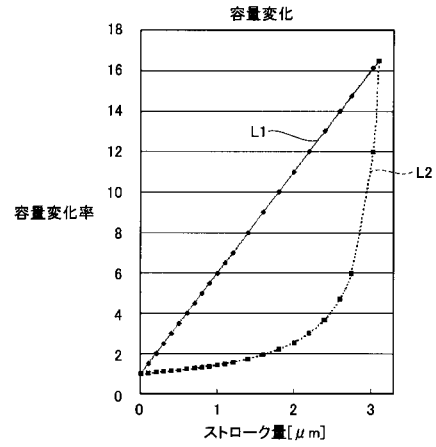
【 図 6 】



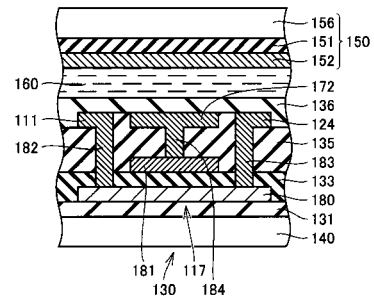
【 図 7 】



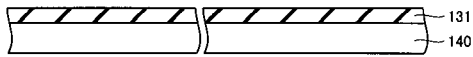
【 図 8 】



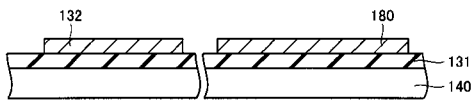
【 図 9 】



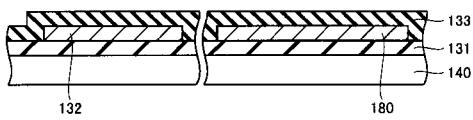
【 図 10 】



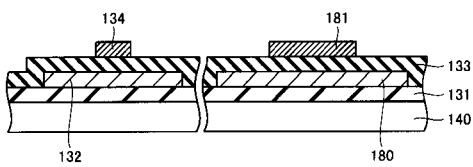
【 図 11 】



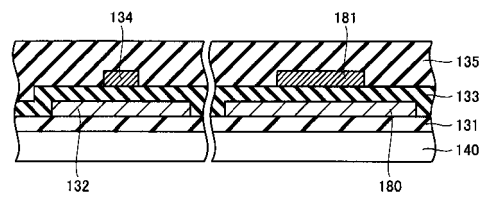
【 図 12 】



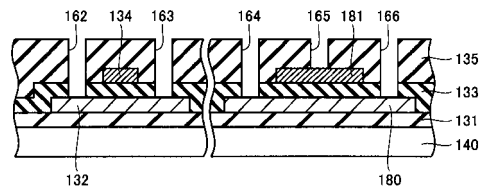
【 図 13 】



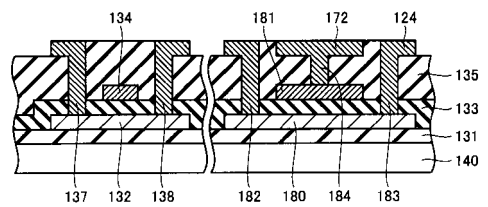
【 図 14 】



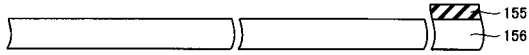
【 図 15 】



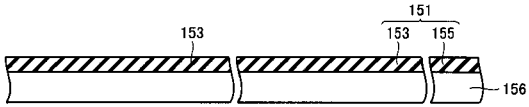
【 図 16 】



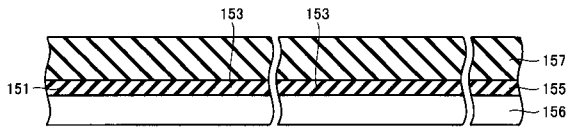
【 図 1 7 】



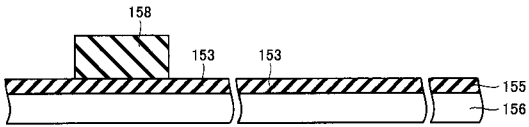
【 図 1 8 】



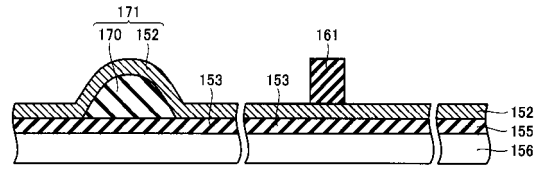
【 図 1 9 】



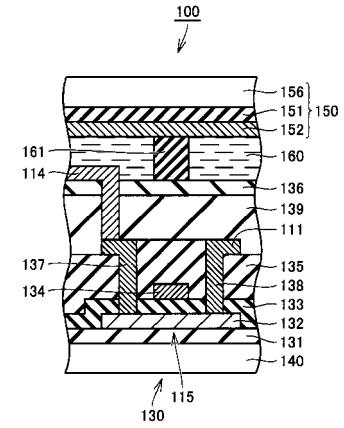
【 図 2 0 】



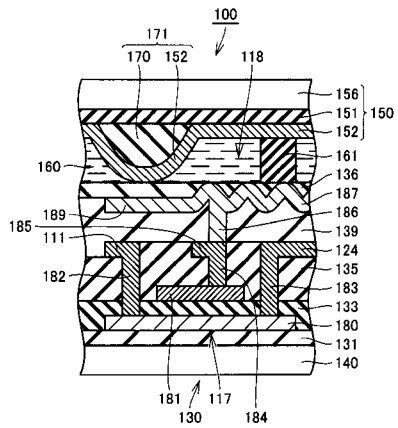
【 図 2 1 】



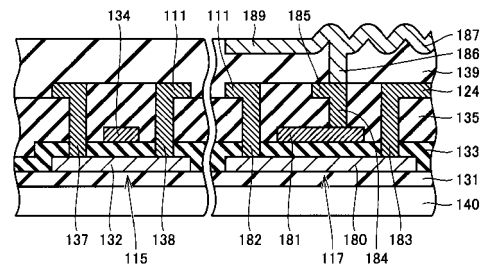
【 図 2 2 】



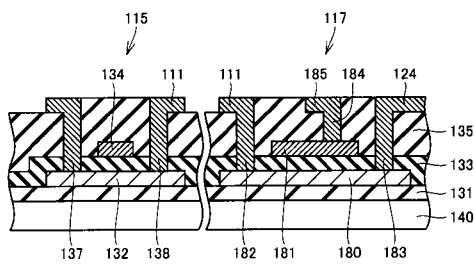
【 図 2 3 】



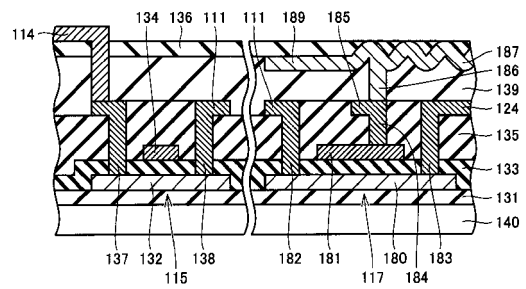
【 図 2 5 】



【 図 2 4 】

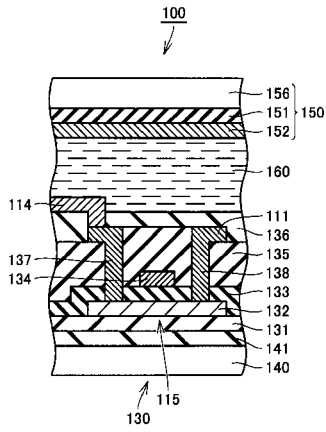


【 図 2 6 】

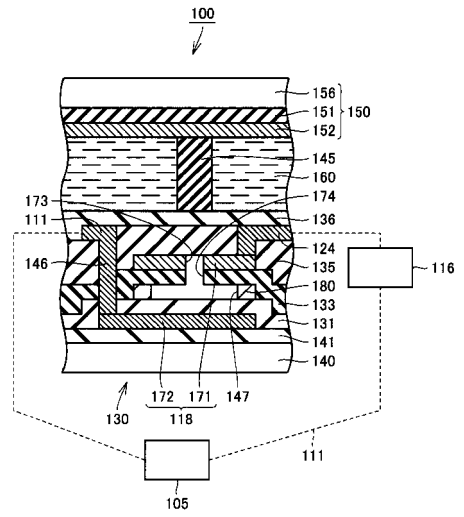




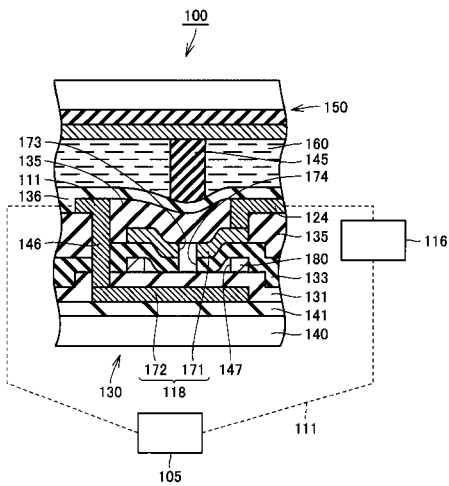
【 図 2 7 】



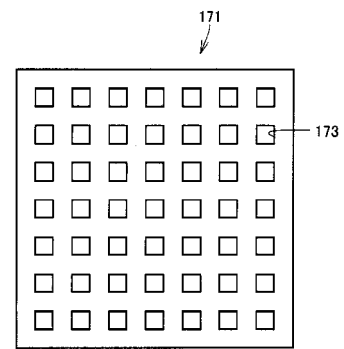
【 図 2 8 】



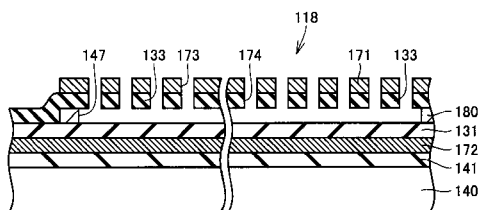
【 図 2 9 】



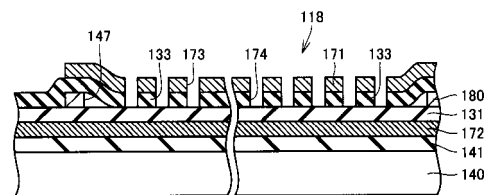
【 図 3 1 】



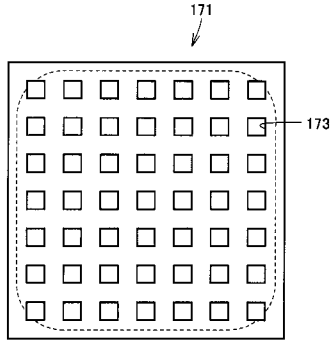
【 図 3 0 】



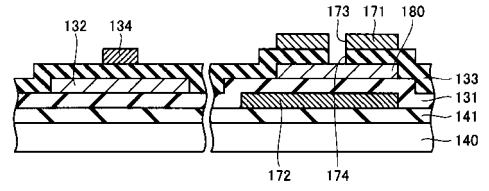
【 図 3 2 】



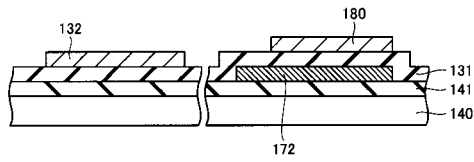
【図33】



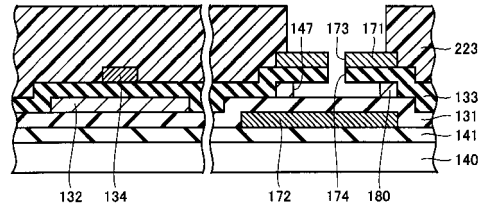
【図35】



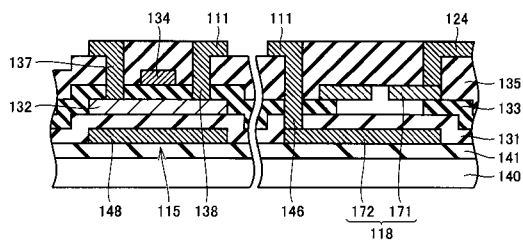
【図34】



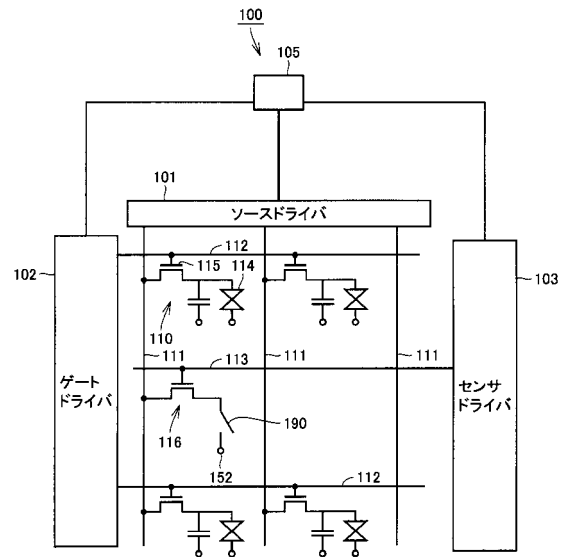
【図36】



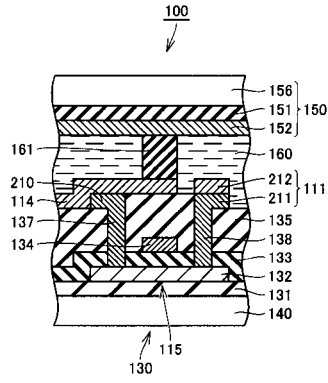
【図37】



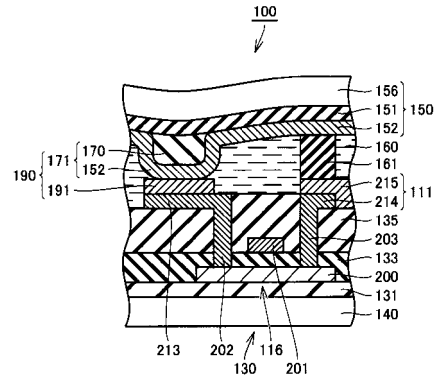
【図38】



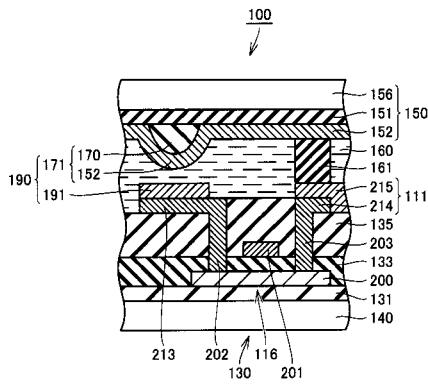
【 図 3 9 】



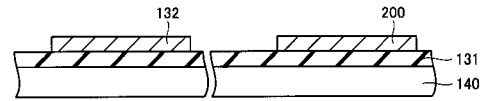
【 図 4 1 】



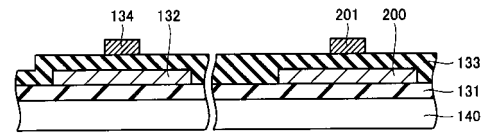
【 図 4 0 】



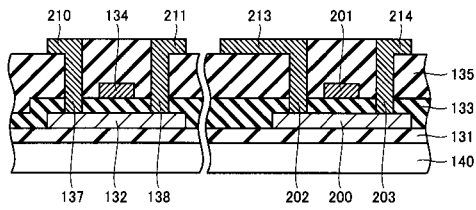
【 図 4 2 】



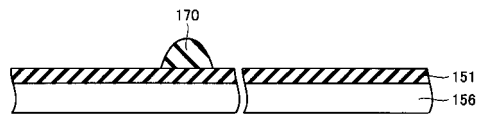
【 図 4 3 】



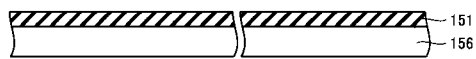
【 図 4 4 】



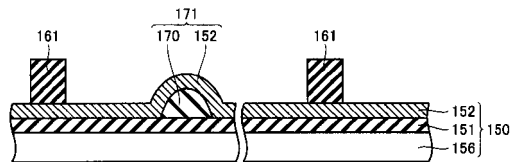
【 図 4 8 】



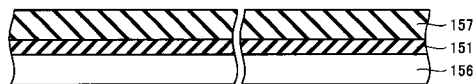
【 図 4 5 】



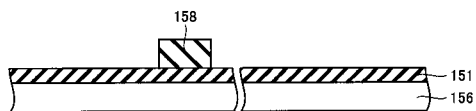
【 図 4 9 】



【 図 4 6 】

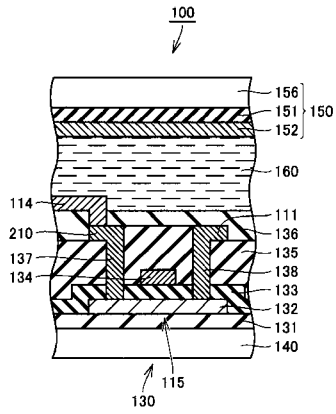


【 図 4 7 】

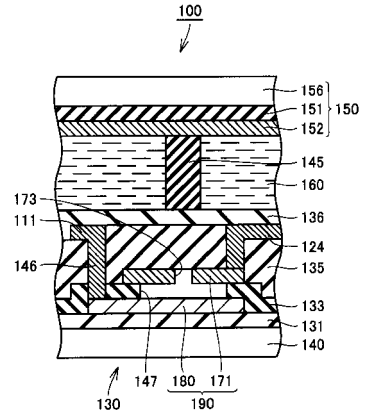




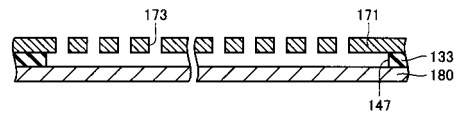
【 図 5 9 】



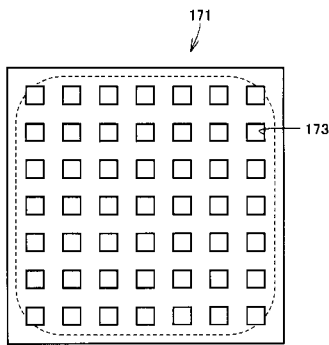
【 図 6 0 】



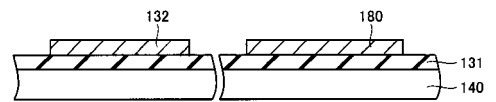
【 図 6 1 】



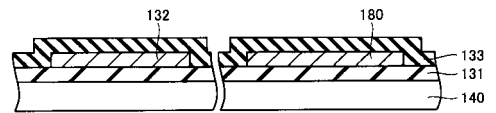
【 図 6 2 】



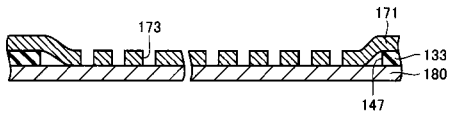
【 図 6 5 】



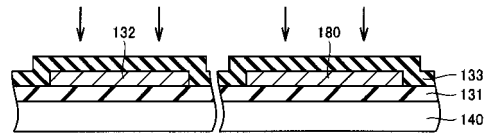
【 図 6 6 】



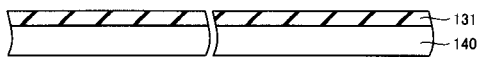
【 図 6 3 】



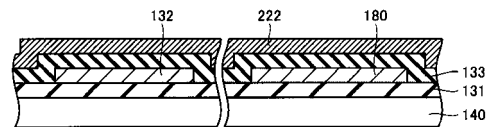
【 図 6 7 】



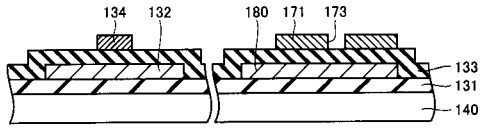
【 図 6 4 】



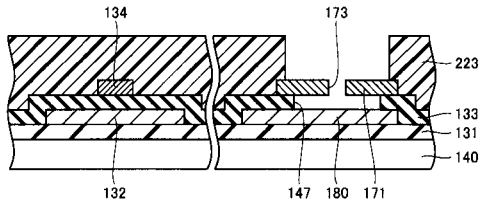
【 図 6 8 】



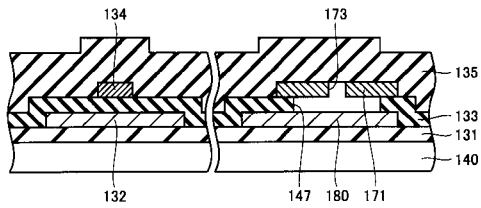
【 図 6 9 】



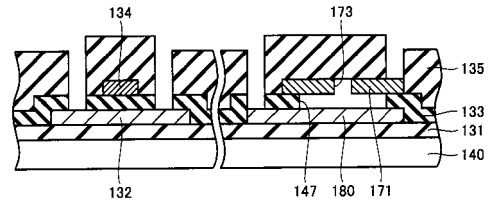
【 図 7 0 】



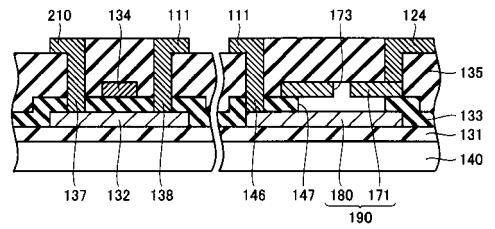
【 図 7 1 】



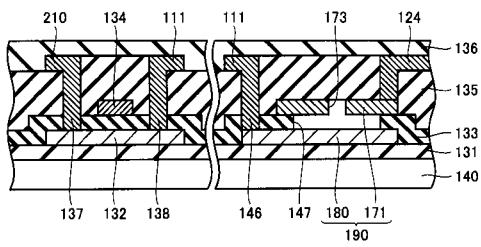
【 図 7 2 】



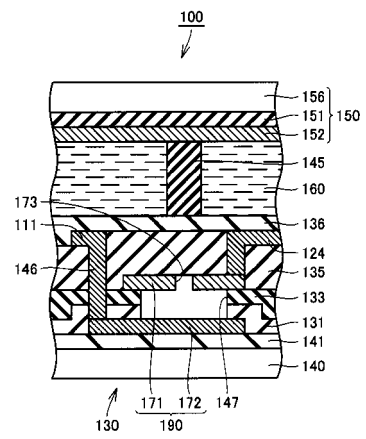
【 図 7 3 】



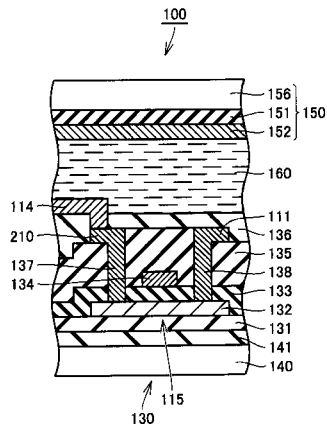
【 図 7 4 】



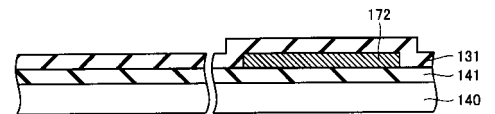
【 図 7 6 】



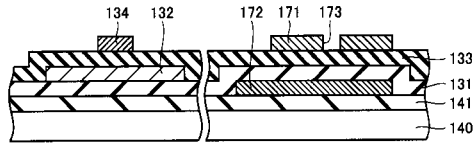
【 図 7 5 】



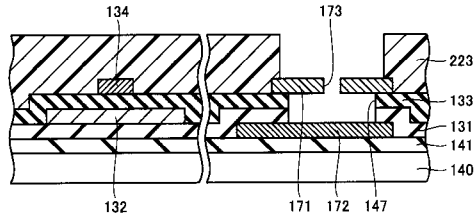
【 図 7 7 】



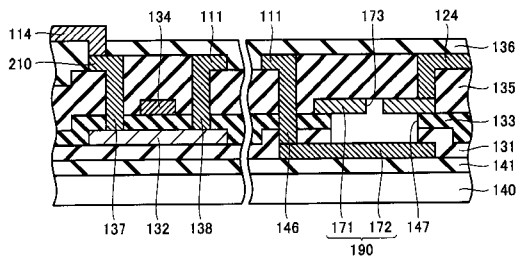
【 図 7 8 】



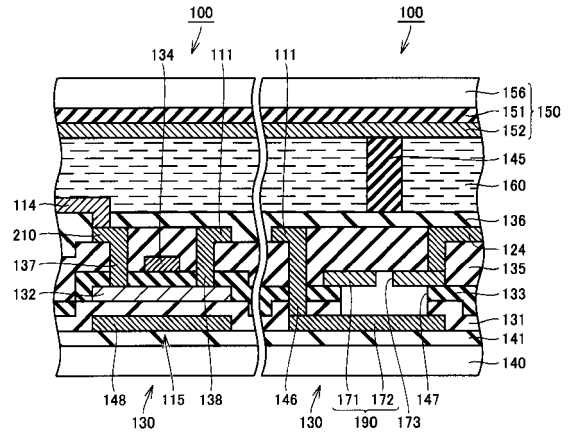
【 図 7 9 】



【 図 8 0 】



【 図 8 1 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2011/056283
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G06F3/041(2006.01)i, G02F1/1333(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) G06F3/041, G02F1/1333, G02F1/1343, G02F1/1368, G09F9/00, G09F9/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2001-075074 A (International Business Machines Corp.), 23 March 2001 (23.03.2001), paragraphs [0007] to [0039]; fig. 3 to 11 & US 6501529 B1	1, 3, 19 2, 4-18, 20-30
A	JP 11-271712 A (Toshiba Corp.), 08 October 1999 (08.10.1999), paragraphs [0051] to [0085]; fig. 1 to 3, 10 to 15, 21 to 24 (Family: none)	1-30
A	JP 2008-185785 A (Seiko Epson Corp.), 14 August 2008 (14.08.2008), entire text; all drawings & US 2008/0180407 A1 & EP 1953626 A2	1-30
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 21 June, 2011 (21.06.11)	Date of mailing of the international search report 28 June, 2011 (28.06.11)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/056283

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-146100 A (Sony Corp.), 02 July 2009 (02.07.2009), entire text; all drawings (Family: none)	1-30

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056283

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions in claims 1, 2 and 13; the inventions in claims 3 and 14; the inventions in claims 4 and 5; the inventions in claims 6 - 9; the invention in claim 10; the inventions in claims 11 and 12; the inventions in claims 15 - 18; the inventions in claims 19 and 20; the inventions in claims 21 - 23; the inventions in claims 24 - 27; and the inventions in claims 28 - 30 have configurations different from one another and have no same or corresponding special technical feature. Furthermore, there is no matter common to all of the inventions in claims 1 - 30, and therefore, the inventions in claims 1 - 30 do not comply with the requirement of unity of invention.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 5 6 2 8 3									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G06F3/041(2006.01)i, G02F1/1333(2006.01)i, G02F1/1343(2006.01)i, G02F1/1368(2006.01)i, G09F9/00(2006.01)i, G09F9/30(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G06F3/041, G02F1/1333, G02F1/1343, G02F1/1368, G09F9/00, G09F9/30											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2011年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2011年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2011年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2011年	日本国実用新案登録公報	1996-2011年	日本国登録実用新案公報	1994-2011年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2011年										
日本国実用新案登録公報	1996-2011年										
日本国登録実用新案公報	1994-2011年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
X A	JP 2001-075074 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001.03.23, 段落【0007】 - 【0039】, 図 3-11 & US 6501529 B1	1, 3, 19 2, 4-18, 20-30									
A	JP 11-271712 A (株式会社東芝) 1999.10.08, 段落【0051】 - 【0085】, 図 1-3, 10-15, 21-24 (ファミリーなし)	1-30									
A	JP 2008-185785 A (セイコーエプソン株式会社) 2008.08.14, 全文, 全図 & US 2008/0180407 A1 & EP 1953626 A2	1-30									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 21.06.2011		国際調査報告の発送日 28.06.2011									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 豊田 朝子	5 E 4 1 7 4								
		電話番号 03-3581-1101 内線 3521									

国際調査報告		国際出願番号 PCT/J P 2 0 1 1 / 0 5 6 2 8 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-146100 A (ソニー株式会社) 2009.07.02, 全文, 全図 (ファミリーなし)	1-30

国際調査報告

国際出願番号 PCT/J P 2 0 1 1 / 0 5 6 2 8 3

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求項 \_\_\_\_\_ は、この国際調査機関が調査することを要しない対象に係るものである。つまり、
2.  請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求項 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1, 2, 13に係る発明と、請求項3及び14に係る発明と、請求項4及び5に係る発明と、請求項6-9に係る発明と、請求項10に係る発明と、請求項11及び12に係る発明と、請求項15-18に係る発明と、請求項19及び20に係る発明と、請求項21-23に係る発明と、請求項24-27に係る発明と、請求項28-30に係る発明とは、それぞれ発明の構成が異なっており、同一の又は対応する特別な技術的特徴を有してはおらず、請求項1-30に係る発明全てに共通の事項が無いから、請求項1-30に係る発明は、発明の単一性の要件を満たしていない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。