



(12) 发明专利申请

(10) 申请公布号 CN 104733372 A

(43) 申请公布日 2015.06.24

(21) 申请号 201310703905.0

(22) 申请日 2013.12.19

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 周鸣

(74) 专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/768(2006.01)

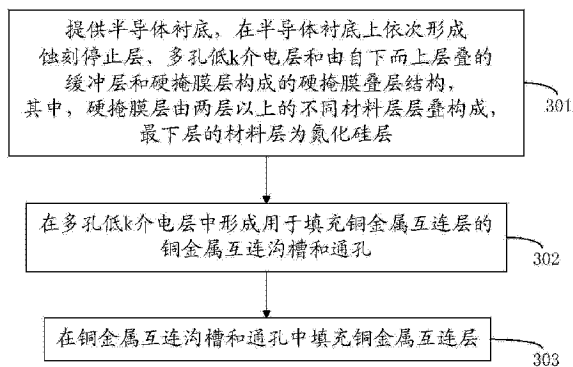
权利要求书1页 说明书5页 附图3页

(54) 发明名称

一种半导体器件的制造方法

(57) 摘要

本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在半导体衬底上依次形成蚀刻停止层、多孔低k介电层和由自下而上层叠的缓冲层和硬掩膜层构成的硬掩膜叠层结构,其中,硬掩膜层由两层以上的不同材料层层叠构成,最下层的材料层为氮化硅层;在多孔低k介电层中形成用于填充铜金属互连层的铜金属互连沟槽和通孔;在铜金属互连沟槽和通孔中填充铜金属互连层。根据本发明,在多孔低k介电层中形成铜金属互连层之后,通过化学机械研磨去除形成在多孔低k介电层上的硬掩膜叠层结构的过程中,可以避免在多孔低k介电层和铜金属互连层的顶部产生残留物。



1. 一种半导体器件的制造方法,包括:

提供半导体衬底,在所述半导体衬底上依次形成蚀刻停止层、多孔低 k 介电层和由自下而上层叠的缓冲层和硬掩膜层构成的硬掩膜叠层结构,其中,所述硬掩膜层由两层以上的不同材料层层叠构成,最下层的材料层为氮化硅层;

在所述多孔低 k 介电层中形成用于填充铜金属互连层的铜金属互连沟槽和通孔;

在所述铜金属互连沟槽和通孔中填充铜金属互连层。

2. 根据权利要求 1 所述的方法,其特征在于,所述硬掩膜层由自下而上层叠的三层不同材料层构成,所述三层材料层包括自下而上层叠的氮化硅硬掩膜层、金属硬掩膜层和氧化物硬掩膜层。

3. 根据权利要求 2 所述的方法,其特征在于,所述金属硬掩膜层的构成材料为 TiN、BN、AlN 或者其组合。

4. 根据权利要求 2 所述的方法,其特征在于,所述氧化物硬掩膜层的构成材料包括 SiO₂ 或 SiON,且相对于所述金属硬掩膜层的构成材料具有较好的蚀刻选择比。

5. 根据权利要求 2 所述的方法,其特征在于,形成所述铜金属互连沟槽和通孔的步骤包括:在所述硬掩膜层中形成用作所述沟槽的图案的第一开口,以露出所述缓冲层;在所述缓冲层和所述多孔低 k 介电层中形成用作所述通孔的图案的第二开口;以所述硬掩膜层为掩膜,同步蚀刻所述缓冲层和所述多孔低 k 介电层,以在所述多孔低 k 介电层中形成所述铜金属互连沟槽和通孔;对露出的所述氮化硅硬掩膜层实施回蚀刻处理,以扩大所述铜金属互连沟槽的上部开口部分,便于所述铜金属互连层填充的实施。

6. 根据权利要求 5 所述的方法,其特征在于,在所述同步蚀刻结束之后,还包括去除通过所述铜金属互连通孔露出的蚀刻停止层以及实施蚀刻后处理的步骤。

7. 根据权利要求 5 所述的方法,其特征在于,所述回蚀刻的工艺参数为:腐蚀液为磷酸或硫酸,磷酸和硫酸的浓度均为 1% -60% 重量百分比,温度为 10-90℃。

8. 根据权利要求 1 所述的方法,其特征在于,实施所述填充之前,还包括在所述铜金属互连沟槽和通孔的底部和侧壁上依次形成铜金属扩散阻挡层和铜金属种子层的步骤。

9. 根据权利要求 1 所述的方法,其特征在于,实施所述填充之后,还包括执行化学机械研磨去除所述硬掩膜叠层结构的步骤。

一种半导体器件的制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种在多孔低 k 介电层中形成铜金属互连层之后通过化学机械研磨去除形成在多孔低 k 介电层上的硬掩膜叠层结构时避免产生残留物的方法。

背景技术

[0002] 在半导体器件的后段制程(BEOL)中,通常采用双大马士革工艺形成半导体器件中的铜金属互连层。

[0003] 为了提高双大马士革工艺的实施精度,在形成用于填充铜金属互连层的铜金属互连结构之前,需要在多孔低 k 介电层上形成硬掩膜叠层结构。现有的硬掩膜叠层结构如图 1A 所示,在形成有前端器件的半导体衬底 100 上形成有自下而上层叠的蚀刻停止层 101、多孔低 k 介电层 102 和硬掩膜叠层结构,所述硬掩膜叠层结构由自下而上层叠的缓冲层 103 和硬掩膜层 104 构成,其中,缓冲层 103 由自下而上层叠的 Black Diamond (具有低介电常数的碳化硅,简称 BD)层 103a 和 TEOS (正硅酸乙酯)层 103b 构成,在后续研磨填充的铜互连金属时可以避免机械应力对多孔低 k 介电层 102 的多孔化结构造成损伤,硬掩膜层 104 由自下而上层叠的金属硬掩膜层 104a 和氧化物硬掩膜层 104b 构成,这种双层硬掩膜层的结构能够保证双重图形化或者多重图形化的工艺精度。

[0004] 如图 1B 所示,在多孔低 k 介电层 102 中形成铜金属互连层 105(铜金属互连层 105 和多孔低 k 介电层 102 之间形成有层叠的铜金属扩散阻挡层 106 和铜金属种子层 107)之后,通过化学机械研磨露出多孔低 k 介电层 102。在此过程中,由于金属硬掩膜层 104a 的构成材料通常为 TiN,通过上述研磨去除硬掩膜叠层结构之后,在多孔低 k 介电层 102 和铜金属互连层 105 的顶部会有 TiN 的残余,进而影响后续上层铜金属互连层的形成。随着半导体器件特征尺寸的不断缩减,实施化学机械研磨的工艺窗口也随之减小,进而造成所述 TiN 的残余。

[0005] 因此,需要提出一种方法,以解决上述问题。

发明内容

[0006] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:提供半导体衬底,在所述半导体衬底上依次形成蚀刻停止层、多孔低 k 介电层和由自下而上层叠的缓冲层和硬掩膜层构成的硬掩膜叠层结构,其中,所述硬掩膜层由两层以上的不同材料层层叠构成,最下层的材料层为氮化硅层;在所述多孔低 k 介电层中形成用于填充铜金属互连层的铜金属互连沟槽和通孔;在所述铜金属互连沟槽和通孔中填充铜金属互连层。

[0007] 进一步,所述硬掩膜层由自下而上层叠的三层不同材料层构成,所述三层材料层包括自下而上层叠的氮化硅硬掩膜层、金属硬掩膜层和氧化物硬掩膜层。

[0008] 进一步,所述金属硬掩膜层的构成材料为 TiN、BN、AlN 或者其组合。

[0009] 进一步,所述氧化物硬掩膜层的构成材料包括 SiO₂ 或 SiON,且相对于所述金属硬

掩膜层的构成材料具有较好的蚀刻选择比。

[0010] 进一步,形成所述铜金属互连沟槽和通孔的步骤包括:在所述硬掩膜层中形成用作所述沟槽的图案的第一开口,以露出所述缓冲层;在所述缓冲层和所述多孔低 k 介电层中形成用作所述通孔的图案的第二开口;以所述硬掩膜层为掩膜,同步蚀刻所述缓冲层和所述多孔低 k 介电层,以在所述多孔低 k 介电层中形成所述铜金属互连沟槽和通孔;对露出的所述氮化硅硬掩膜层实施回蚀刻处理,以扩大所述铜金属互连沟槽的上部开口部分,便于所述铜金属互连层填充的实施。

[0011] 进一步,在所述同步蚀刻结束之后,还包括去除通过所述铜金属互连通孔露出的蚀刻停止层以及实施蚀刻后处理的步骤。

[0012] 进一步,所述回蚀刻的工艺参数为:腐蚀液为磷酸或硫酸,磷酸和硫酸的浓度均为 1% -60% 重量百分比,温度为 10-90℃。

[0013] 进一步,实施所述填充之前,还包括在所述铜金属互连沟槽和通孔的底部和侧壁上依次形成铜金属扩散阻挡层和铜金属种子层的步骤。

[0014] 进一步,实施所述填充之后,还包括执行化学机械研磨去除所述硬掩膜叠层结构的步骤。

[0015] 根据本发明,在所述多孔低 k 介电层中形成所述铜金属互连层之后,通过化学机械研磨去除形成在所述多孔低 k 介电层上的硬掩膜叠层结构的过程中,可以避免在所述多孔低 k 介电层和铜金属互连层的顶部产生残留物。

附图说明

[0016] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0017] 附图中:

[0018] 图 1A 为在多孔低 k 介电层上形成现有的硬掩膜叠层结构之后的器件的示意性剖面图;

[0019] 图 1B 为在多孔低 k 介电层中形成铜金属互连层后通过化学机械研磨去除图 1A 中示出的硬掩膜叠层结构之后的器件的示意性剖面图;

[0020] 图 2A- 图 2D 为根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图;

[0021] 图 3 为根据本发明示例性实施例的方法依次实施的步骤的流程图。

具体实施方式

[0022] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0023] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的在多孔低 k 介电层中形成铜金属互连层之后通过化学机械研磨去除形成在多孔低 k 介电层上的硬掩膜叠层结构时避免产生残留物的方法。显然,本发明的施行并不限于半导体

领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0024] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0025] [示例性实施例]

[0026] 下面,参照图 2A- 图 2D 和图 3 来描述根据本发明示例性实施例的方法在多孔低 k 介电层中形成铜金属互连层之后通过化学机械研磨去除形成在多孔低 k 介电层上的硬掩膜叠层结构时避免产生残留物的方法的主要步骤。

[0027] 参照图 2A- 图 2D, 其中示出了根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图。

[0028] 首先,如图 2A 所示,提供半导体衬底 200, 在半导体衬底 200 上依次沉积形成蚀刻停止层 201、多孔低 k 介电层 202 和硬掩膜叠层结构。所述沉积优选化学气相沉积法 (CVD), 如低温化学气相沉积 (LTCVD)、低压化学气相沉积 (LPCVD)、快热化学气相沉积 (RTCVD)、等离子体增强化学气相沉积 (PECVD)。

[0029] 在半导体衬底 200 上形成有前端器件,为了简化,图例中未予示出。所述前端器件是指在 BEOL 之前形成的器件,在此并不对前端器件的具体结构进行限定。

[0030] 蚀刻停止层 201 的材料优选 SiCN、SiC、SiN 或 BN, 其作为后续蚀刻多孔低 k 介电层 202 以形成上层铜金属互连结构的蚀刻停止层的同时,可以防止下层铜金属互连线中的铜扩散到上层的介电层(例如多孔低 k 介电层 202)中。

[0031] 多孔低 k 介电层 202 的形成包括以下步骤:在蚀刻停止层 201 上沉积低 k 介电层,其构成材料可以选自本领域常见的具有低 k 值(介电常数小于 4.0)的材料,包括但不限于 k 值为 2.6-2.9 的硅酸盐化合物 (Hydrogen Silsesquioxane, 简称为 HSQ)、k 值为 2.8 的 HOSP™ (Honeywell 公司制造的基于有机物和硅氧化物的混合体的低介电常数材料) 以及 k 值为 2.65 的 SiLK™ (Dow Chemical 公司制造的一种低介电常数材料) 等等;采用紫外辐照或者加热等方法使低 k 介电层多孔化,以形成多孔低 k 介电层 202, 由于需要实施多孔化过程,因此,在沉积低 k 介电层的过程中,需要添加造孔剂前体,例如 C₁₀H₁₆ (ATRP)。

[0032] 硬掩膜叠层结构由自下而上层叠的缓冲层 203 和硬掩膜层 204 构成,其中,缓冲层 203 由自下而上层叠的 BD 层 203a 和 TEOS 层 203b 构成,在后续研磨填充的铜金属互连层时可以避免机械应力对多孔低 k 介电层 202 的多孔化结构造成损伤;硬掩膜层 204 由两层以上的不同材料层层叠构成,其中,最下层的材料层为氮化硅层,在本实施例中,硬掩膜层 204 优选由自下而上层叠的三层不同材料层构成,所述三层材料层包括自下而上层叠的氮化硅硬掩膜层 204a、金属硬掩膜层 204b 和氧化物硬掩膜层 204c, 这种三层硬掩膜层的结构能够保证双重图形化或者多重图形化的工艺精度,同时,可以降低金属硬掩膜层 204b 的厚度,在半导体器件特征尺寸不断缩减进而造成后续实施化学机械研磨去除硬掩膜叠层结构的工艺窗口随之减小的情况下,避免造成金属硬掩膜层 204b (尤其是其构成材料为 TiN 时) 的残余。金属硬掩膜层 204b 的构成材料包括 TiN、BN、AlN 或者其任意的组合,优选 TiN; 氧化物硬掩膜层 204c 的构成材料包括 SiO₂、SiON 等,且要求其相对于金属硬掩膜层 204b 的构成材料具有较好的蚀刻选择比。

[0033] 接着,如图 2B 所示,在多孔低 k 介电层 202 中形成铜金属互连结构 205。

[0034] 形成铜金属互连结构 205 的工艺可以采用双大马士革工艺,例如一体化蚀刻 (All-in-one Etch) 工艺,其包括以下工艺步骤:

[0035] 首先,在硬掩膜层 204 中形成用作铜金属互连结构 205 中的沟槽 205a 的图案的第一开口,以露出下方的缓冲层 203。所述第一开口可以包括多个具有不同特征尺寸的图形,根据所需形成的图形的情况,需两次或多次实施沟槽 205a 的图案的构图过程,每次实施均包括以下步骤:在氧化物硬掩膜层 204c 上依次形成 ODL 层(有机介质层)、BARC 层(底部抗反射涂层)和 PR 层(光刻胶层);对 PR 层进行光刻、显影处理,以在 PR 层中形成沟槽 205a 的图案;以图案化的 PR 层为掩膜,依次蚀刻 BARC 层、ODL 层和氧化物硬掩膜层 204c,在氧化物硬掩膜层 204c 中形成沟槽 205a 的图案;采用灰化等工艺去除图案化的 PR 层、BARC 层和 ODL 层。最后,以在其中形成全部所需沟槽 205a 的图案的氧化物硬掩膜层 204c 为掩膜,依次蚀刻金属硬掩膜层 204b 和氮化硅硬掩膜层 204a,完成所述第一开口的制作。

[0036] 接下来,在缓冲层 203 和 多孔低 k 介电层 202 中形成用作铜金属互连结构 205 中的通孔 205b 的图案的第二开口,其也可以包括多个具有不同特征尺寸的图形。根据所需形成的图形的情况,需两次或多次实施通孔 205b 的图案的构图过程,每次实施均包括以下步骤:在半导体衬底 200 上依次形成 ODL 层、BARC 层和 PR 层,覆盖所述第一开口;对 PR 层进行光刻、显影处理,以在 PR 层中形成通孔 205b 的图案;以图案化的 PR 层为掩膜,依次蚀刻 BARC 层、ODL 层、缓冲层 203 和部分多孔低 k 介电层 202,在缓冲层 203 和 多孔低 k 介电层 202 中形成通孔 205b 的图案;采用灰化等工艺去除图案化的 PR 层、BARC 层和 ODL 层。

[0037] 接下来,以硬掩膜层 204 为掩膜,采用一体化蚀刻的方法同步蚀刻缓冲层 203 和 多孔低 k 介电层 202,以在 多孔低 k 介电层 202 中形成铜金属互连结构 205,即同步形成铜金属互连结构 205 中的沟槽 205a 和通孔 205b。所述一体化蚀刻于露出蚀刻停止层 201 时终止。

[0038] 形成铜金属互连结构 205 之后,对露出的氮化硅硬掩膜层 204a 实施回蚀刻处理,以扩大铜金属互连结构 205 位于硬掩膜叠层结构中的上部开口部分,便于后续在铜金属互连结构 205 中填充铜金属互连层的实施。所述回蚀刻的工艺参数为:腐蚀液为磷酸或硫酸,磷酸和硫酸的浓度均为 1% -60% (重量百分比),温度为 10-90°C。

[0039] 接着,如图 2C 所示,去除通过铜金属互连结构 205 露出的蚀刻停止层 201,以使铜金属互连结构 205 与形成于半导体衬底 200 上的前端器件连通。

[0040] 在本实施例中,采用干法蚀刻工艺实施所述蚀刻停止层 201 的去除。然后,在铜金属互连结构 205 中填充铜金属互连层之前,执行一蚀刻后处理过程,以去除前述蚀刻过程所产生的残留物和杂质,保证后续沉积铜金属扩散阻挡层和铜金属种子层时二者的沉积质量。实施所述蚀刻后处理可以采用常规的湿法清洗工艺。

[0041] 接着,如图 2D 所示,在铜金属互连结构 205 中形成铜金属互连层 206。形成铜金属互连层 206 可以采用本领域技术人员所熟习的各种适宜的工艺技术,例如电镀工艺及随后实施的化学机械研磨工艺。实施化学机械研磨的目的在于去除形成在 多孔低 k 介电层 202 上的硬掩膜叠层结构。

[0042] 形成铜金属互连层 206 之前,需在铜金属互连结构 205 的底部和侧壁上依次形成铜金属扩散阻挡层 207 和铜金属种子层 208,铜金属扩散阻挡层 207 可以防止铜金属互连

层 206 中的铜向多孔低 k 介电层 202 中的扩散,铜金属种子层 208 可以增强铜金属互连层 206 与铜金属扩散阻挡层 207 之间的附着性。形成铜金属扩散阻挡层 207 和铜金属种子层 208 可以采用本领域技术人员所熟习的各种适宜的工艺技术,例如,采用物理气相沉积工艺形成铜金属扩散阻挡层 207,采用溅射工艺或者化学气相沉积工艺形成铜金属种子层 208。铜金属扩散阻挡层 207 的材料为金属、金属氮化物或者其组合,优选 Ta 和 TaN 的组合或者 Ti 和 TiN 的组合。

[0043] 至此,完成了根据本发明示例性实施例的方法实施的工艺步骤,接下来,可以通过后续工艺完成整个半导体器件的制作。根据本发明,在多孔低 k 介电层 202 中形成铜金属互连层 206 之后,通过化学机械研磨去除形成在多孔低 k 介电层 202 上的硬掩膜叠层结构的过程中,可以避免在多孔低 k 介电层 202 和铜金属互连层 206 的顶部产生残留物。

[0044] 参照图 3,其中示出了根据本发明示例性实施例的方法依次实施的步骤的流程图,用于简要示出整个制造工艺的流程。

[0045] 在步骤 301 中,提供半导体衬底,在半导体衬底上依次形成蚀刻停止层、多孔低 k 介电层和由自下而上层叠的缓冲层和硬掩膜层构成的硬掩膜叠层结构,其中,硬掩膜层由两层以上的不同材料层层叠构成,最下层的材料层为氮化硅层;

[0046] 在步骤 302 中,在多孔低 k 介电层中形成用于填充铜金属互连层的铜金属互连沟槽和通孔;

[0047] 在步骤 303 中,在铜金属互连沟槽和通孔中填充铜金属互连层。

[0048] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

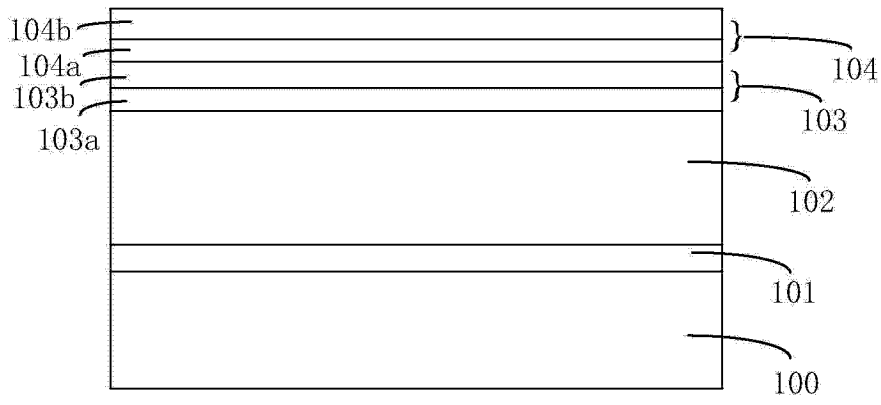


图 1A

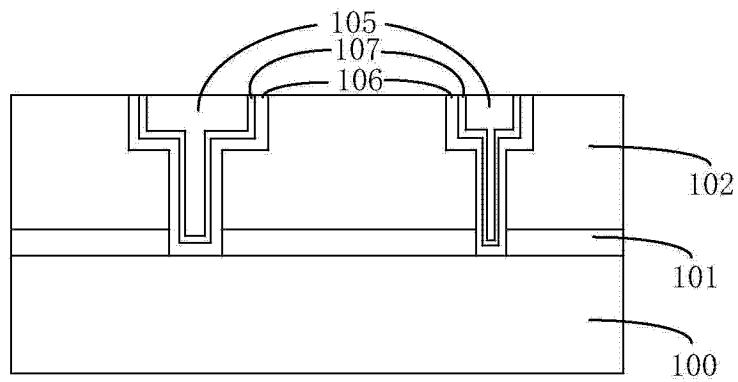


图 1B

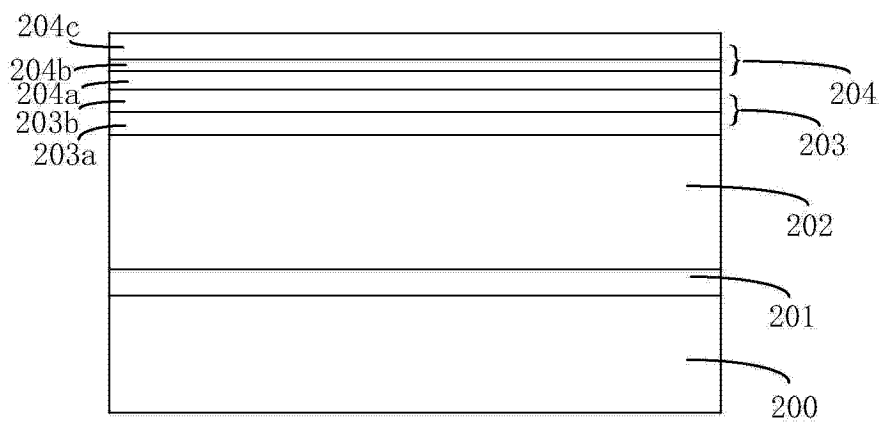


图 2A

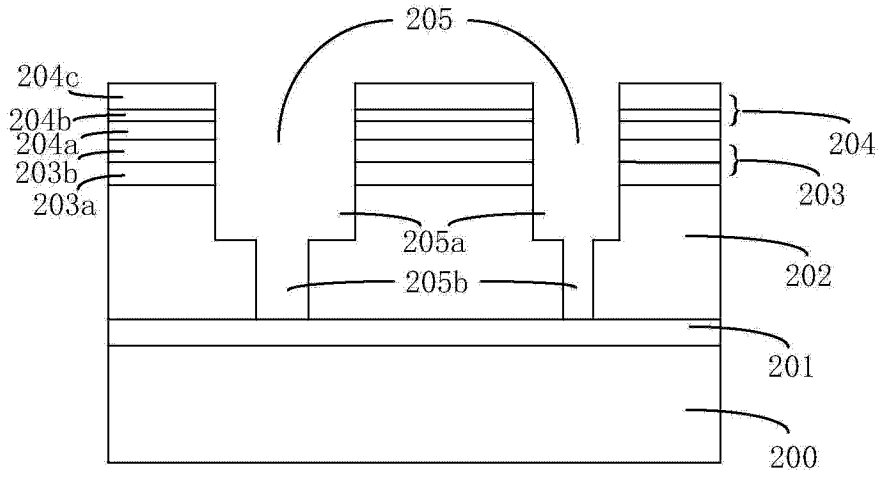


图 2B

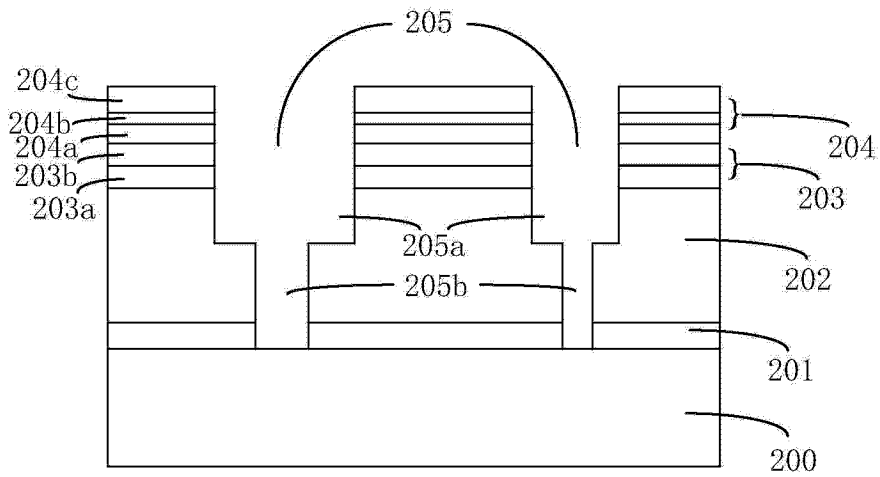


图 2C

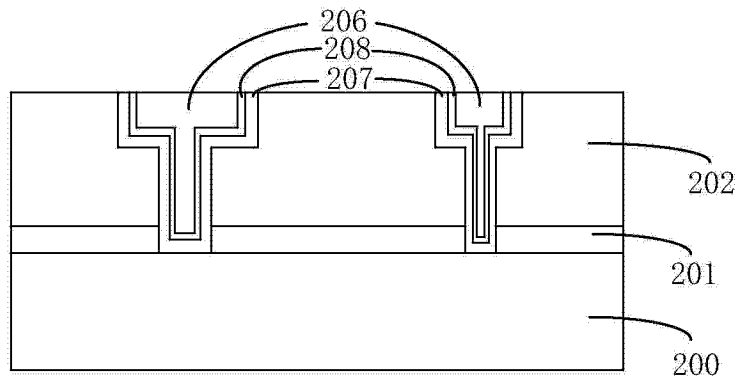


图 2D

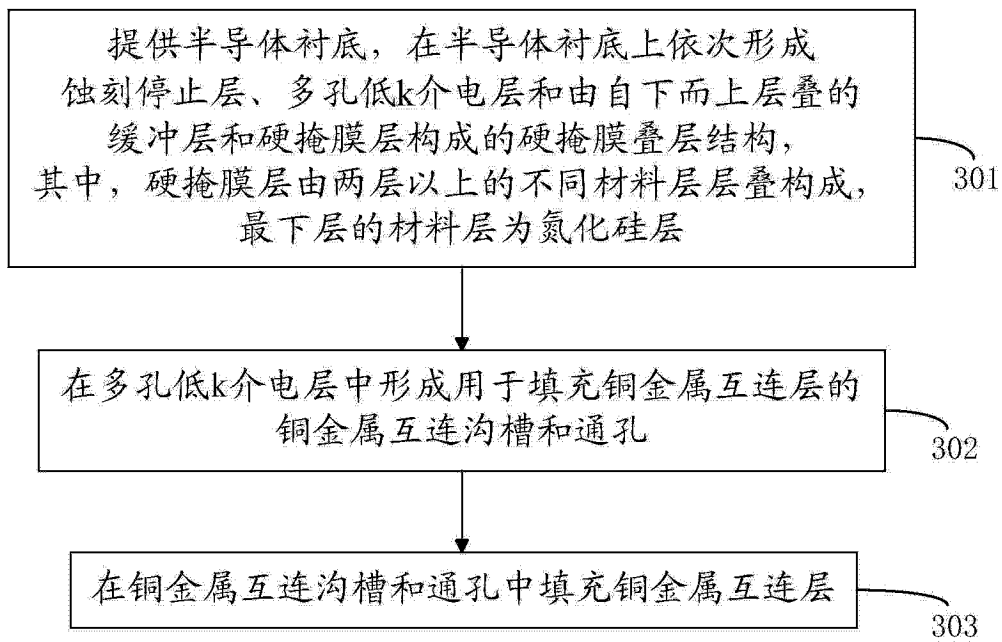


图 3