



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I455168 B

(45)公告日：中華民國 103 (2014) 年 10 月 01 日

(21)申請案號：101108449

(22)申請日：中華民國 101 (2012) 年 03 月 13 日

(51)Int. Cl. : H01J37/12 (2006.01)

H01J37/317 (2006.01)

(30)優先權：2011/03/15 日本

2011-056810

(71)申請人：佳能股份有限公司 (日本) CANON KABUSHIKI KAISHA (JP)

日本

(72)發明人：瀨戶本豐 SETOMOTO, YUTAKA (JP)；加藤貴久 KATO, TAKAHISA (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200514131A

US 2001/0054690A1

US 2002/0000766A1

US 2003/0209673A1

審查人員：皮欣霖

申請專利範圍項數：8 項 圖式數：40 共 0 頁

(54)名稱

製造帶電粒子束透鏡的方法

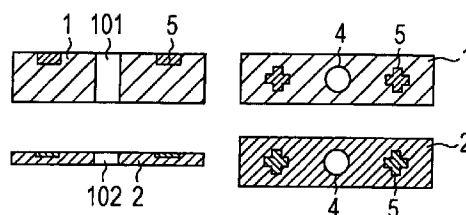
METHOD FOR MANUFACTURING CHARGED PARTICLE BEAM LENS

(57)摘要

提供有製造帶電粒子束透鏡的方法，該帶電粒子束透鏡具有接合電極，該接合電極係藉由接合至少具有第一通孔之第一導電基板和具有第二通孔之第二導電基板所獲得。該上述方法包括：將該第一通孔形成於該第一導電基板中；將該第二通孔形成於該第二導電基板中；以及將該第一導電基板和該第二導電基板接合，以便該第一通孔和該第二通孔彼此相通。

There is provided a method for manufacturing a charged particle beam lens having a bonded electrode obtained by bonding at least a first conductive substrate having a first through-hole and a second conductive substrate having a second through-hole. The above method includes: forming the first through-hole in the first conductive substrate; forming the second through-hole in the second conductive substrate; and bonding the first conductive substrate and the second conductive substrate so that the first through-hole and the second through-hole communicate with each other.

圖 1A



1 . . . 第一導電基板

2 . . . 第二導電基板

4 . . . 接合基板

5 . . . 對準記號

101 . . . 第一通孔

102 . . . 第二通孔

發明專利說明書

公告本

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101108449

※申請日：101 年 03 月 13 日

※IPC 分類：H01J 37/12 2006.01

H01J 37/317 2006.01

一、發明名稱：(中文／英文)

製造帶電粒子束透鏡的方法

Method for manufacturing charged particle beam lens

二、中文發明摘要：

提供有製造帶電粒子束透鏡的方法，該帶電粒子束透鏡具有接合電極，該接合電極係藉由接合至少具有第一通孔之第一導電基板和具有第二通孔之第二導電基板所獲得。該上述方法包括：將該第一通孔形成於該第一導電基板中；將該第二通孔形成於該第二導電基板中；以及將該第一導電基板和該第二導電基板接合，以便該第一通孔和該第二通孔彼此相通。

三、英文發明摘要：

There is provided a method for manufacturing a charged particle beam lens having a bonded electrode obtained by bonding at least a first conductive substrate having a first through-hole and a second conductive substrate having a second through-hole. The above method includes: forming the first through-hole in the first conductive substrate; forming the second through-hole in the second conductive substrate; and bonding the first conductive substrate and the second conductive substrate so that the first through-hole and the second through-hole communicate with each other.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

1：第一導電基板

2：第二導電基板

4：接合基板

5：對準記號

101：第一通孔

102：第二通孔

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係相關於用於帶電粒子束曝光設備等等之帶電粒子束透鏡。

【先前技術】

帶電粒子束透鏡，尤其是電子透鏡，可大致分類成電磁型透鏡（亦稱作電磁透鏡）及靜電型透鏡（亦稱作靜電透鏡）。與電磁型透鏡比較，靜電型透鏡具有簡單結構及可有利地實現尺寸縮減和整合度增加。作為用於電子束曝光設備之靜電透鏡，例如通常使用 PTL1 所揭示之所謂的聚焦透鏡（*einzel lens*）。在形成此聚焦透鏡的三個電極基板之中，大地電位通常施加到位在頂部和底部之兩電極基板，及負或正電位施加到中間電極基板。圓形開口設置在各個電極基板中，及聚焦透鏡對通過開口的電子束產生會聚效果。

然而，雖然靜電透鏡通常比電磁型透鏡較容易形成，但是光學像差對透鏡開口部的形狀之製造誤差的靈敏度高。即、透鏡開口部的形狀之設計值的偏差容易影響光學像差。尤其是，開口的環狀對像散是靈敏的。當環狀降低時，由靜電透鏡所會聚之電子束將不利地具有像散及/或具有高階項的另一像差。

PTL1 已建議高度準確的組裝，其中在靜電透鏡的鑽孔處理中，為了形成設置有隙孔在其中之至少一偏轉器等

等的多層結構，藉由乾蝕刻將通孔形成在多層結構中。

[引用表]

[專利文件]

[PTL1]

美國專利號碼 4,902,898

【發明內容】

[技術問題]

然而，在 PTL1 所揭示之相關實例中，藉由一乾蝕刻操作從偏轉器的一表面（正表面）到另一表面（後表面）形成通孔。在此例中，因為當蝕刻進行時蝕刻區亦在橫向方向上延伸到某種程度，所以圖案的轉移準確性比蝕刻開始表面的轉移準確性降低，及在某些實例蝕刻完成表面的機械加工準確性會降低。結果，在某些實例帶電粒子束透鏡的設計準確性會降低。

經由本發明人為了解決上述問題所實行的密集研究，最後完成本發明，及根據本發明的一態樣，提供有製造電子束透鏡的方法，電子束透鏡具有接合電極，接合電極係藉由接合至少具有第一通孔之第一導電基板和具有第二通孔之第二導電基板所獲得。製造電子束透鏡的此方法包含：將第一通孔形成於該第一導電基板中；將第二通孔形成於第二導電基板中；以及將第一導電基板和第二導電基板接合，以便第一通孔和第二通孔相通。

[本發明的有利效果]

根據本發明的電子束透鏡製造方法，將通孔獨立地形成於導電基板中，及導電基板彼此對準和接合，以形成一接合電極；因此，可使以一次形成之通孔的深度小於形成在厚電極中之通孔的深度。因此，當導電基板彼此接合時，接合電極的表面之通孔的圖案準確性增加。雖然在接合時產生通孔之間的對準誤差，但是因為這是產生在均一方向上的誤差，所以能夠容易執行其校正。因此，雖然產生容易校正的誤差，但是可減少難以校正的誤差之比例。此外，根據本發明，因為較高的準確性係藉由低準確的機械加工步驟之組合予以實現，所以可獲得成本降低。因為通孔的直徑在基板之間可改變，所以藉由接合至少一具有小直徑的高準確通孔之薄基板，在電極的靈敏性高之部位能夠容易使用高度準確的構件。此外，藉由接合具有大直徑和低準確性的薄基板在接合基板的表面層上，可獲得減少接合電極的缺陷影響之效果。

【實施方式】

在本發明中，因為將通孔分開形成在各自導電基板中，及導電基板彼此對準及接合，以形成一接合電極，所以可使以一次形成之通孔的深度相較於形成在厚電極中之通孔的深度是小的。因此，增加藉由接合導電基板所形成之接合電極的表面之通孔的圖案準確性。此外，雖然在接合時產生通孔之間的對準誤差，但是因為這是產生在均一方向

向上的誤差，所以能夠容易執行其校正。另一方面，在乾蝕刻的事例中，從相關通孔的機械加工開始側朝其機械加工完成側增加的機械加工誤差係受離子的平均自由路徑影響及亦由於污染、振動等等所導致；因此，不均勻地產生上述誤差，及不容易執行其校正。因此，雖然根據本發明誤差產生到某一程度，但是減少難以校正之誤差的比率，及主要產生能夠容易校正的誤差。此外，雖然相關高度準確機械加工的成本高，但是因為在本發明組合執行具有低準確性的機械加工操作以獲得高準確性，所以可減少成本。因為通孔的直徑在基板之間可改變，所以藉由接合至少一具有小直徑和小厚度的高準確通孔之薄基板以便維持預定機械加工準確性，在電極的靈敏性高之部位能夠容易使用高度準確的構件。此外，藉由接合具有大直徑和低準確性的薄基板在接合基板的表面層上，可獲得減少接合電極的缺陷影響之效果。

在本發明的製造帶電粒子束透鏡之方法中，因為電極係從至少三個導電基板所形成，所以可降低形成電極之各個基板的厚度，及可更加提高各個通孔 100 的機械加工準確性。

在本發明的製造帶電粒子束透鏡之方法中，當 SOI 晶圓（亦稱作 SOI 基板）被使用作為基板並且作為接合電極的一部分時，其係為較佳的，因為可高度準確地控制電極的厚度。

在本發明的製造帶電粒子束透鏡之方法中，甚至當打

算從 SOI 晶圓形成薄的導電基板時，仍可在將 SOI 晶圓的總厚度維持是大的同時執行用以形成導電基板的處理。因此，與從薄的矽晶圓形成導電基板之事例比較，在抑制基板的彎曲同時能夠更完美執行具有絕佳處理特性的高準確機械加工。

在本發明的製造帶電粒子束透鏡之方法中，在形成通孔 100 之 SOI 晶圓的裝置層 6 之表面中，與處理層 8 相對之基板的蝕刻開始側中之表面（亦稱作蝕刻開始表面）可被引導到電子束透鏡的周圍側邊。因為蝕刻開始表面的圖案之轉移準確性高於位在蝕刻完成側之表面的蝕刻完成表面之轉移準確性，所以可更完美獲得降低像差的效果。

在本發明的製造帶電粒子束透鏡之方法中，當形成通孔 100 之第一導電基板 1 以及尚未形成通孔 100 之第二導電基板 2 彼此接合時，其係為較佳的，因為可減少由於機械加工所導致的基板之污染，及亦可抑制接合時之空隙的產生。

在本發明的製造帶電粒子束透鏡之方法中，當每一個都尚未形成通孔 100 之導電基板彼此接合時，可進一步減少由於機械加工所導致的基板之污染，且因此進一步增加接合時抑制空隙產生之效果。

在本發明的製造帶電粒子束透鏡之方法中，當第一通孔的直徑從第二通孔的直徑改變時，即使凸出及/或污染存在於一通孔的端部，仍可避免直接接合端部，以便在接合時不可能形成空隙。

[實例]

下面，雖然將參考實例詳細說明本發明，但是本發明絕非侷限於此。

[實例 1]

此例的電子束透鏡製造方法係相關於形成電子束透鏡之電極的高度準確通孔之形成。根據本發明，將通孔分開形成在各自導電基板中，及導電基板彼此對準及接合，以形成一接合電極 4。將參考圖 1A 至 1C 說明根據本發明之製造方法的步驟。在圖 1A 至 1C 的每一圖中，左側圖為橫剖面圖，及右側圖為平面圖。上述一接合電極 4 係從複數個導電基板所形成。

如圖 1A 所示，經由將第一通孔 101 形成在第一導電基板 1 的步驟以及將第二通孔 102 形成在第二導電基板 2 的步驟，將通孔形成在各自基板中。

為了形成高度準確的通孔，藉由半導體處理來處理各個導電基板的材料。因此，基板為單晶矽晶圓較佳。此外，該基板較佳的是具有導電性，因為其被使用作為電極。當該基板由矽形成時， SiO_2 膜、 SiN 膜、金屬膜等等係形成在矽的表面上作為遮罩材料，隨後，藉由光致微影和蝕刻來執行圖案化。若亦使用與遮罩材料的材料相同的材料將膜形成在基板的背表面上，則膜的內部應力容易彼此中和抵銷，及可抑制晶圓的翹曲。此外，當通孔形成在矽中時，背表面上的膜亦可被使用作為停止層。尤其是，當導

電材料被使用作為停止層時，可抑制當藉由乾蝕刻形成通孔時所產生之被稱作凹口的側壁之不規則。此外，在厚度方向上從基板的一表面側到基板的中間形成孔（亦稱作導孔）之後，從基板的另一表面側（背表面側）到導孔的底部藉由研磨或 CMP 來降低基板之厚度。如上述，在將導孔形成於欲待彼此接合在一起的各自兩基板中之後，在隨後步驟中，兩基板彼此接合，以便這些導孔彼此相通，藉以形成一通孔 100。當藉由研磨或 CMP 所處理之基板的表面被接合時，為了防止接合失敗，執行平面化較佳，以便表面粗糙被降低至約幾奈米或更低。各個導電基板的通孔係配置在電子束通過之處。導電基板之通孔的直徑可以是相同或可以彼此不同。當使導電基板的直徑彼此不同時，依據導電基板的接合方法，其作為避免所謂的鳥嘴之方法是有效的，此將在稍後說明。當使用遮罩材料時，藉由使用 ICP-RIE 執行矽的乾蝕刻，可將通孔形成在矽中。當電極的厚度小時，在未執行遮罩材料的膜形成以及從光阻劑 12 轉移到遮罩材料之下，可使用光阻劑 12 執行 ICP-RIE 以將通孔 100 形成在矽中。根據第一和第二通孔的每一個之寬度對深度的比例之寬高比以及通孔 100 所需的圖案機械加工準確性，可適當決定乾蝕刻的具體條件。作為一具體實例，當採用寬高比 3 或更多作為引導時，藉由交替改變 SF_6 及 C_4F_8 來執行蝕刻之 Bosch 處理能夠容易執行蝕刻。當寬高比低於 3 時，例如，可使用使用 SF_6 或 CF_4 的各向同性蝕刻、使用 SF_6 或 CHF_3 的混合氣體之各

向異性蝕刻、或使用 SF_6 及 O_2 的混合氣體之各向異性蝕刻。藉由 Bosch 處理，可容易達成較高的寬高比。然而，因為被稱作扇形邊的不規則產生在通孔 100 的側壁上，所以當通孔 100 的橫剖面圖案準確性列入考量時，取代使用 Bosch 處理，藉由執行沒有氣體交換（在氣體之間交換）之乾蝕刻能夠容易維持通孔 100 的圖案機械加工準確性。即使使用 Bosch 處理，在機械加工之後，可藉由重複熱氧化和使用氫氟酸溶液的處理來減少扇形邊，及可維持通孔 100 的橫剖面圖案準確性。因為通孔 100 的直徑被增加對應於熱氧化厚度，所以當設計光遮罩時，通孔圖案的直徑減少。此外，當形成通孔 100 時，同時，形成用於基板之間的對準之對準記號 5。在與形成通孔 100 的處理之相同處理中，可將孔形成在矽晶圓中作為對準記號 5。對準記號 5 的孔可貫穿基板或可停止在其中間以形成導孔。在形成導孔的實例中，當形成通孔 100 時，及只有對準記號 5 的部位可被覆蓋有光阻劑 12 時，即停止蝕刻。此外，藉由從通孔 100 的圖案尺寸大幅減少對準記號 5 的圖案尺寸（例如直徑的 $1/10$ 或更少），可藉由產生與通孔 100 的蝕刻率不同的蝕刻率來形成導孔。此外，對準記號 5 亦可藉由圖案化諸如金屬膜等薄膜來形成以作為替代物。通常在使用顯微鏡觀察欲待接合的基板之對準記號 5 的同時執行對準。當使用可見光時，藉由從其頂側和背側觀察基板的表面中之對準記號 5 來執行對準。此外，當使用紅外光執行對準時，即使對準記號 5 設置在接合介面仍可執行接

合。在將紅外光用於對準之事例中，對準記號被形成具有與周圍區域不同的紅外滲透性或不同的高度，以便能夠藉由紅外光辨識對準記號 5 的外形。在形成通孔 100 之後，清洗第一導電基板 1 和第二導電基板 2。移除光阻劑、遮罩材料、及乾蝕刻的剩餘物。當存在剩餘物時，空隙容易形成在接合介面中，因此小心及充分地執行清洗。有效執行藉由 O_2 電漿的灰化、藉由硫酸和過氧化氫的混合溶液之清洗，及使用臭氧水和氫氟酸溶液的清洗。

圖 1B 圖示對準第一導電基板 1 和第二導電基板 2 之步驟。在對準步驟中，執行對準，以便第一通孔 101 與第二通孔 102 相通。當基板彼此接合時，開始乾蝕刻之其每一個的表面被指向外面較佳。

圖 1C 圖示接合第一導電基板 1 到第二導電基板 2 之步驟。

如此對準的基板彼此接合，以形成接合電極 4。因為藉由具有高圖案機械加工準確性的方法所處理之基板被接合以形成電極的外部，所以可減少電子束透鏡的像差。其原因在於較接近其周圍的電子束透鏡之位置對電子束具有較高的影響。作為接合方法，例如，使用熔化接合、直接接合、及陽極接合較佳。當在接合步驟執行熔化接合時，可使用藉由在欲待接合之導電基板的其中之一上執行熱氧化所形成的具有 SiO_2 表面之晶圓來執行接合。當藉由熱氧化將矽形成 SiO_2 時，被稱作鳥嘴之凸出或小丘產生在通孔的角落。當在如上述的凸出存在之狀態中執行接合時

，存在鳥嘴的部份會不正常接合，及產生空隙（缺陷）。爲了解決此問題，當形成 SiO_2 之導電基板的通孔之直徑被設定小於未形成 SiO_2 之導電基板的通孔之直徑時，在接合時可防止空隙產生。

將更加特別說明步這些步驟。備製各個具有 4 英吋直徑的兩雙側拋光矽晶圓。具有厚度 200 微米的晶圓被使用作爲第一導電基板 1，及具有厚度 1200 微米的晶圓被使用作爲第二導電基板 2。藉由真空蒸發，將各個具有厚度 2000 埃之 Cr（鉻）膜形成在晶圓的每一個之兩表面上。在各個晶圓的一表面上藉由旋轉塗佈塗敷光阻劑至具有厚度 1 微米。藉由半導體曝光設備，對應於電子束的位置、數目、及尺寸之圖案被暴露至光阻劑。關於第一導電基板 1 和第二導電基板 2 的每一個，通孔的圖案直徑被設定爲 30 微米。各個具有 10 微米方形之交叉形狀的對準記號 5 係形成在與形成通孔圖案之各個基板的平面相同之平面上。各個在用於通孔 100 的圖案與對準記號 5 之間的基板之相對位置被設定彼此相等。在顯影光阻劑之後，藉由使用光阻劑 12 作爲遮罩之 ICP-RIE 來蝕刻充作底層的 Cr。作爲 Cr 的蝕刻氣體，使用 Cl （氯）、 O_2 、及 Ar （氬）的混合物。接著，如圖 1A 所示，藉由可執行 Bosch 處理之矽蝕刻設備，藉由 Bosch 處理在第一導電基板 1 和第二導電基板 2 中執行矽蝕刻，以便分別形成第一通孔 101 和第二通孔 102。作爲蝕刻氣體，使用 SF_6 及 C_4F_8 。雖然亦同時藉由矽蝕刻形成對準記號 5，但是因爲其開口寬度小，所

以矽蝕刻率低於第一和第二通孔的矽蝕刻率。接著，移除 Cr、在 Bosch 處理期間所形成之保護膜（氟碳膜）、及有機污染，以便將晶圓的表面弄乾淨。關於清洗，使用藉由 O_2 電漿的處理、Cr 的蝕刻處理，及藉由硫酸和過氧化氫溶液的混合溶液之清洗處理。接著，如圖 1B 所示，在對準設備中安裝第一和第二導電基板 1 和 2 以便開始蝕刻之第一導電基板 1 的表面被配置以形成接合電極 4 之外部之後，依據對準記號 5 執行對準，以便第一和第二通孔彼此相通。接著，如圖 1C 所示，執行陽極接合。作為接合條件，溫度被設定成 $220^{\circ}C$ ，及基板之間的電壓被設定成 500V。當藉由陽極接合將粉末狀的鈉沈澱在導電基板之表面上時，使用氫氟酸溶液執行清洗，及在未破壞矽的形狀之下移除鈉。

圖 2A 至 2C 各個為通孔具有不同直徑的基板之間的接合介面附近之放大圖。

在圖 2A 中，備製具有第一通孔 101 之第一導電基板和具有直徑不同於第一通孔 101 之直徑的第二通孔 102 之第二導電基板。

在圖 2B 中，具有有著較小直徑的通孔之導電基板被熱氧化。在此例中，鳥嘴產生在通孔的角落，及在一些事例中會產生從基板的平坦表面向上延伸之凸出。

在圖 2C 中，當產生鳥嘴 11 時，在執行對準以便鳥嘴 11 被接收在第一通孔內部之後，執行接合。

此外，在接合之後，藉由使用氫氟酸溶液可移除鳥嘴

11。此外，當對準記號 5 係藉由矽的蝕刻所形成時，若執行熱氧化，則在一些事例中鳥嘴 11 亦會產生在對準記號 5 中。因此，當形成對準記號 5 之表面被使用作為接合介面時，事先移除鳥嘴 11 或在欲待接合的另一基板中形成凹處較佳。作為接合方法，雖然在基板之間可獲得導電之方法較佳，但是當使用在接合介面中因為 SiO_2 存在未獲得導電之諸如熔化接合等接合方法時，若需要的話，在執行接合之後，可執行獲得導電之額外步驟。可以在藉由乾蝕刻將通孔設置在一導電基板中作為導電孔之後，在接合之後移除導電孔的底部中之 SiO_2 ，而後藉由濺鍍等等形成導電膜的此種方式來執行額外步驟。

[實例 2]

將參考 3A 至 3E 說明實例 2。在此實例中，將說明執行接合至少三個導電基板之步驟的情況。因為藉由增加欲待接合的導電基板之數目可減少一導電基板的厚度，所以可提高通孔 100 的橫剖面圖案準確性。

圖 3A 包括將第一、第二、及第三通孔分別形成在第一、第二、及第三導電基板中之步驟。

用以形成通孔之方法類似於實例 1 的方法。

圖 3B 圖示對準第一導電基板和第二導電基板以便第一通孔與第二通孔相通之步驟。在對準步驟和接合步驟中，雖然可同時執行第一、第二、及第三導電基板的對準和接合，但是可在將第一和第二導電基板彼此接合之後，在

對準之後將第三導電基板 3 接合至此。圖 3B 圖示對準第一和第二導電基板之步驟。

圖 3C 圖示接合第一導電基板和第二導電基板以便第一通孔與第二通孔相通之步驟。

圖 3D 圖示對準第一導電基板、第二導電基板、及第三導電基板以便第一通孔、第二通孔、及第三通孔彼此相通之步驟。依據第二和第三導電基板的對準記號 5 來執行對準。

圖 3E 圖示接合第三導電基板到與接合第二導電基板的表面相對之第一導電基板的表面之步驟。在至少三個導電基板彼此接合之事例中，當在各個步驟配置基板以便對準記號 5 指向外面而後執行對準和接合時，能夠容易執行對準。若需要的話，可在其間改變執行導電基板的對準和接合之順序及其配置。

將特別說明這些步驟。備製各個具有厚度 200 微米之 4 英吋雙側拋光矽晶圓作為第一導電基板 1。接著，備製各個具有厚度 100 微米之兩個 4 英吋雙側拋光矽晶圓作為第二導電基板 2 和第三導電基板 3。形成各個基板的 Cr 遮罩之步驟和先前步驟類似於實例 1 中的步驟。接著，在第一導電基板 1 上執行 Bosch 處理，以便形成第一通孔 101。第二和第三通孔係藉由在第二導電基板 2 和第三導電基板 3 上執行使用 SF_6 及 CHF_3 的混合氣體之 ICP-RIE 來形成（圖 3A）。接著執行類似於實例 1 中的清洗之清洗。在藉由氫氟酸移除導電基板的天然氧化物膜之後，藉

由 Ar 電漿活化接合表面。接著，如圖 3B 所示，依據對準記號 5 將第一導電基板 1 和第二導電基板 2 彼此對準。接著，在圖 3C 中，執行直接接合。接著，在圖 3D 中，藉由接合第一導電基板 1 和第二導電基板 2 所形成之接合電極 4 與第三導電基板 3 對準。接著，在圖 3E 中，以類似於上述之方法的方法來執行接合電極 4 和第三導電基板之接合。如上述，可形成接合電極和本發明的帶電粒子束透鏡。

[實例 3]

將參考圖 4A 至 4I 說明實例 3。在此例中，包括從 SOI 基板形成導電基板之步驟。當藉由半導體處理形成通孔時，若基板的厚度非常小，則基板容易彎曲，及高度準確的機械加工變得難以執行。因此，雖然當形成接合電極 4 之所有導電基板各個係從 SOI 基板所形成時可執行高度準確的機械加工，但是依據所需的準確性，SOI 基板只可被用於一些導電基板。

在圖 4A 至 4I 中，第一至第三導電基板的至少其中之一係從 SOI 基板的裝置層所形成。

圖 4A 至 4I 圖示從矽晶圓形成第一導電基板 1，及從 SOI 基板形成第二導電基板 2 之處理。

圖 4A 圖示備製 SOI 晶圓和矽晶圓之步驟。圖 4B 包括將第一和第二通孔分別形成在第一和第二導電基板中之步驟。在 SOI 基板的裝置層 6 之表面上執行圖案化，及第

二通孔 102 被形成從裝置層 6 的表面朝向 BOX 層（埋入氧化層）7。第二通孔 102 可貫穿至少裝置層 6。在移除處理層 8 之後，裝置層 6 被視作第二導電基板。圖案化方法和用以蝕刻裝置層 6 之方法類似於實例 1 及 2 的方法。因為 BOX 層 7 係由 SiO_2 所形成，所以在乾蝕刻時容易產生凹口在第二通孔 102 的側壁上，因此較佳的是將過度蝕刻時間最小化。

圖 4C 圖示藉由熱氧化將裝置層 6 的表面形成 SiO_2 膜之步驟。圖 4D 圖示對準第一和第二導電基板之步驟。圖 4E 圖示接合第一和第二導電基板之步驟。圖 4F 圖示移除 SOI 晶圓的處理層 8 和 BOX 層 7 之步驟。圖 4G 圖示將導電孔 14 形成在第二導電基板中之步驟。圖 4H 圖示沉積導電膜 13 在導電孔 14 的表面上之步驟。

因為藉由熔化接合 SiO_2 膜存在於第一導電基板 1 與第二導電基板 2 之間的接合介面中，所以除了電子束通過之通孔 100 以外，亦設置導電孔 14。導電孔 14 可貫穿第一導電基板 1 與第二導電基板 2 的其中之一，以便貫穿存在於接合介面中之 SiO_2 膜。除了導電孔以外的區域係藉由使用光阻劑來保護，及藉由濺鍍或真空蒸發將導電膜沉積在導電孔的側壁和底部上，以便第一導電基板和第二導電基板彼此電連接。為了將導電膜 13 形成作連續膜，導電孔 14 較佳為具有錐形側壁而非垂直側壁。

圖 4I 圖示移除當沉積導電膜 13 時用於保護之光阻劑 12 的步驟。

將更加特別說明此例的步驟。備製一 4 英吋 SOI 晶圓和一 4 英吋矽晶圓作為基板。備製有具有拋光矽表面、厚度 10 微米、及 p 型導電性之 SOI 晶圓的裝置層 6；具有厚度 1 微米之 BOX 層 7 的 SiO_2 膜 10，以及具有厚度 514 微米之處理層 8 的矽。矽晶圓的厚度為 200 微米。矽晶圓被使用作為第一導電基板 1，及 SOI 晶圓的裝置層 6 被使用作為第二導電基板 2。將第一通孔 101 形成在第一導電基板 1 中之步驟係藉由如實例 1 及 2 之事例一般的 Bosch 處理來執行。第一導電基板 1 的通孔之直徑被設定成 40 微米，及第二導電基板 2 的通孔之直徑被設定 30 微米。將對準記號 5 和 Cr 圖案形成在第一導電基板 1 的表面上之步驟與實例 1 及 2 中的矽晶圓之表面上的形成之步驟相同。接著，從裝置層 6 的表面到 BOX 層 7 形成第二通孔 102。關於上述步驟，使用 SF_6 執行各向同性乾蝕刻。在形成各個通孔之後執行與實例 1 及 2 的清洗步驟相同之清洗步驟。

第一導電基板 1 的表面被熱氧化，以形成具有厚度 1000 埃之 SiO_2 膜 10。形成對準記號 5 之表面被使用作為接合介面側，及第一導電基板 1 和第二導電基板 2 被配置。使用紅外光執行對準，以便第一和第二通孔彼此相通。執行配置以便當熱氧化 SOI 晶圓時所產生之鳥嘴 11 被接收在第一通孔 101 中，而後執行接合。熔化接合被用於接合，及在接合溫度 65°C 、負載 500 N、及退火溫度 1050°C 中執行此接合。隨後，執行熱氧化，以便具有厚

度 1000 埃之接合電極 4 的通孔 100 之表面層被熱氧化。接著，藉由研磨移除約 450 微米的處理層 8。藉由 TMAH 溶液移除剩餘的處理層 8，直到露出 BOX 層 7 為止。因為通孔 100 的表面受到 SiO_2 膜 10 保護，所以可藉由應力使 BOX 層 7 破裂。在移除處理層 8 之後藉由氫氟酸執行蝕刻，以便移除接合電極 4 的表面上之 SiO_2 膜和 BOX 層 7。經由上述步驟形成本發明的帶電粒子束透鏡。

[實例 4]

將參考圖 5A 至 5H 說明實例 4。本發明包括在 SOI 晶圓之充作基板的裝置層 6 被轉移到支撐基板 9 之後，將裝置層 6 形成第二導電基板 2 之步驟。在通孔形成中，圖案轉移準確性從蝕刻開始側到蝕刻完成側逐漸降低。此原因在於當蝕刻進行時，充作通孔之蝕刻孔的內壁之形狀被不均勻改變。此外，在電極的外部，電子束透鏡的機械加工準確性對像差的影響較大。因此，當裝置層 6 一旦轉移到支撐基板而後接合到第一導電基板 1 之後，像差會減少。當裝置層 6 為具有某種厚度的單一層以便被處理時，在將第二通孔 102 形成在裝置層 6 之後，在未執行轉移步驟之下移除 BOX 層 7 和處理層 8，及在顛倒之後，裝置層 6 可接合到第一導電基板。這些步驟圖示於圖 5A 至 5H。

圖 5A 包括將第一和第二通孔分別形成在 SOI 晶圓的第一導電基板 1 和裝置層 6 中之步驟，以及備製支撐基板 9 的步驟。如同在實例 1、2、及 3 中一般，在通孔形成之

後清洗 SOI 晶圓，以移除蝕刻剩餘物和遮罩材料，以便裝置層 6 變成乾淨的矽。

圖 5B 圖示以分離層 15 設置在其間將裝置層 6 接合到支撐基板 9 之步驟。

圖 5C 圖示移除 SOI 晶圓的處理層 8 和 BOX 層 7 之步驟。作為分離層 15，只要可在對其未有任何破壞之下分離裝置層 6 可使用任何層，及當在隨後接合步驟中使用熔化接合時，作為分離層，可使用 SiO_2 膜。當使用陽極接合或直接接合時，黏附片或石蠟材料可被使用作為分離層。支撐基板 9 的材料為可接合到裝置層 6 並且能夠剝離裝置層 6 之材料較佳。此外，因為支撐基板 9 必須在不產生任何失真之下接合到裝置層 6，所以支撐基板 9 需要平坦。因此，作為支撐基板 9，使用 SiO_2 基板，或者使用具有石蠟在其表面上之平坦基板或黏附膠帶較佳。

圖 5D 圖示對準第一導電基板 1 和裝置層 6 之步驟。

圖 5E 圖示接合第一導電基板 1 和黏附於支撐基板 9 的裝置層 6 之步驟。

圖 5H 圖示移除支撐基板 9 和分離層 15 之步驟。

支撐基板 9 可用機械剝離或可使用未蝕刻矽之蝕刻溶液來去除，以便不破壞形成第二導電基板 2 之裝置層 6。

而且，將特別說明此例的步驟。藉由類似於實例 3 的程序之程序，備製形成第二通孔 102 之 SOI 晶圓的裝置層 6 之第二導電基板 2 以及形成第一通孔 101 之矽基板的第一導電基板 1。在移除第一導電基板 1 上的 Cr 以及清洗

掉污染之後，執行熱氧化。因為鳥嘴 11 產生在第一通孔 101 四周的基板之表面上，所以光阻劑 12 塗敷至裝置層 6 且被圖案化，以便露出鳥嘴 11 的部位，及執行使用 CF_4 的乾蝕刻，以便移除鳥嘴 11。接著，將裝置層 6 和支撐基板 9 彼此接合。作為支撐基板 9，使用鏡式拋光矽基板。在藉由氫氟酸移除支撐基板 9 之表面上的天然氧化物膜之後，執行支撐基板 9 與裝置層 6 之間的熔化接合，及移除 BOX 層 7 和處理層 8。移除 BOX 層 7 和處理層 8 的接合和移除係類似於實例 3。藉由直接接合將接合到支撐基板 9 之裝置層 6 接合到第一導電基板 1，及藉由類似於移除實例 3 中之 SOI 晶圓的處理層 8 之方法的方法來移除支撐基板 9。經由上述步驟，形成本發明的帶電粒子束透鏡。

[實例 5]

將參考圖 6A 至 6F 說明實例 5。此例包括在將第一通孔 101 形成在第一導電基板 1 中之後，接合第一導電基板 1 和尚未形成通孔之第二導電基板 2 的步驟，以及在有關第一通孔 101 執行對準的位置中，將第二通孔 102 形成在第二導電基板 2 中之步驟。雖然在實例 1 至 4 中將形成通孔之導電基板彼此接合，但是在實例 5 中，在接合步驟之後，第二通孔 102 係形成在二導電基板 2 中。藉以可減少接合時所產生的空隙數目。在接合時，當基板更乾淨且具有更高的平坦性時，更不可能由於接合而產生空隙。因為

在接合之後執行第二導電基板 2 的機械加工，所以可容易確保第二導電基板 2 的乾淨和平坦。圖 6A 至 6F 圖示製造步驟。

圖 6A 包括形成第一通孔 101 在第一導電基板 1 中之步驟以及備製第二導電基板 2 之步驟。

圖 6B 圖示接合第一導電基板 1 和第二導電基板 2 之步驟。形成第一通孔 101 之第一導電基板 1 以及尚未形成第二通孔之第二導電基板 2 被接合以形成接合電極 4。

圖 6C 圖示熱氧化接合電極 4 之步驟。此步驟為當形成第二通孔 102 時保護第一通孔 101 之步驟。因為在乾蝕刻時對矽具有高選擇率之材料較佳，所以 SiO_2 膜和 SiN 膜較佳。在將第二通孔 102 形成在第二導電基板 2 中之後，移除此步驟所形成之膜較佳。

圖 6D 圖示在有關第一通孔執行對準之位置中於第二導電基板上執行圖案化之步驟。

圖 6E 圖示從第二導電基板 2 側形成第二通孔 102 以便與第一通孔 101 相通之步驟。

圖 6F 圖示移除光阻劑、硬遮罩、及 SiO_2 膜之步驟。用以形成通孔 100 之圖案化、對準、及方法類似於實例 1 至 4 的方法。

而且，將特別說明此例的步驟。備製各具有厚度 100 微米之兩個 4 英吋雙側拋光矽晶圓。一晶圓被使用作為第一導電基板 1，及第一通孔 101 係形成在其內。另一晶圓被使用作為尚未形成通孔之第二導電基板 2。第一導電基

板 1 和第二導電基板 2 的表面上之天然氧化物膜被移除，及其間執行直接接合以形成接合電極 4。以類似於實例 1、2、及 3 的方式之方式來執行通孔形成和直接接合。在接合之後執行熱氧化，以便接合電極 4 的表面被形成 SiO_2 膜。在第一導電基板 1 側之接合電極 4 的 SiO_2 膜 10 上執行光阻劑 12 之圖案形成，及藉由使用 CHF_3 的乾蝕刻圖案化 SiO_2 膜 10。依據第一導電基板 1 的對準記號 5 來執行圖案化。藉由使用此 SiO_2 膜 10 的圖案作為硬遮罩，從導電基板側朝接合介面藉由 Bosch 法來執行蝕刻。即使接合介面中之 SiO_2 膜 10 由於應力而破裂，但是因為第一導電基板 1 的通孔 100 之側壁被形成 SiO_2 膜，所以不會發生任何問題，因為對其不會有破壞。在藉由 O_2 電漿移除藉由 Bosch 處理所沉積的膜之後，藉由氫氟酸移除 SiO_2 膜 10。經由上述步驟，形成本發明的帶電粒子束透鏡。

[實例 6]

將參考 7A 至 7F 說明實例 6。在此例中，將說明包括從第一導電基板 1 側形成接合電極 4 的第一通孔 101 之步驟以及從第二導電基板 2 側形成接合電極 4 的第二通孔 102 以便與第一通孔 101 相通之步驟之事例。

因為在第一導電基板 1 和第二導電基板 2 各藉由少量的步驟來處理之後將兩者彼此接合，所以與實例 5 比較，不可能產生在接合時所形成之空隙。關於通孔 100 的形成

，與從一基板側一次將通孔 100 形成在兩基板中之事例比較，當在通孔 100 的形成之接合介面中從兩外側將第一和第二通孔形成在各自基板中且被對準以便彼此相通時，增加通孔 100 的橫剖面機械加工準確性。此外，可在接合之前將 SiO_2 膜 10 形成在第一導電基板 1 與第二導電基板 2 之間的介面中，以便充作當形成第二通孔 102 時之停止層。製造步驟係圖示於圖 7A 至 7F。通孔的形成、圖案化、及接合方法類似於實例 1 至 5。導電孔的機械加工可類似於實例 5。

圖 7A 圖示備製各個導電基板的步驟。

圖 7B 圖示接合導電基板的步驟。

圖 7C 圖示從第一導電基板側 1 朝第二導電基板 2 側將第一孔 104 形成在接合電極 4 中之步驟。在此步驟中，第一孔 104 的底部可在比接合介面之位置淺的位置或深的位置。當第一孔 104 的深度約接合電極 4 之總厚度的一半時，可容易維持用於相通之第一孔 104 的橫剖面機械加工準確性。

圖 7E 圖示從第二導電基板 2 側將欲與第一孔 104 相通之第二孔 105 形成在接合電極 4 中之步驟。若需要的話，可改變執行形成第一孔的步驟、形成第二孔的步驟、使第一孔與第二孔相通的步驟，及接合第一導電基板和第二導電基板的步驟之順序（並不特別限制順序）。作為一實例，關於通孔 100 的形成，從第二導電基板 2 側在對準於第一孔 104 的位置中執行孔形成步驟以使第二孔 105 能夠

與第一孔 104 相通，以便形成接合電極 4。

圖 7F 圖示清洗步驟。移除矽表面上之光阻劑、硬遮罩、 SiO_2 、及氟碳膜。當第一通孔 101 的側表面被形成 SiO_2 膜時，當形成第二通孔 102 時能夠容易維持其形狀。當將 SiO_2 膜設置在介面時，除了用於電子束的通孔 100 以外，執行機械加工以電連接第一導電基板 1 和第二導電基板 2。

而且，將特別說明此例的步驟。備製各個具有厚度 100 微米之兩個 4 英吋雙側拋光晶圓作為第一導電基板 1 和第二導電基板 2。在類似於實例 2 的條件之條件下，將每一個都尚未設置用於電子束通過之通孔 100 的上述兩基板彼此直接接合。接著，基板的表面被各自熱氧化以形成 SiO_2 膜，及使用光阻劑 12 和乾蝕刻圖案化第一導電基板 1 側中之 SiO_2 膜 10。接著，藉由 Bosch 處理從第一導電基板 1 側到接合介面蝕刻矽。然後，在藉由 O_2 電漿及硫酸-過氧化氫溶液來移除 Bosch 處理所形成的氟碳膜之後，執行熱氧化。接著，執行在第二導電基板 2 側之圖案化。在使用雙側直線對準器對第一導電基板 1 的對準記號 5 執行對準之位置執行光阻劑 12 的圖案化。因為 SiO_2 膜的厚度大於第一導電基板 1 側之圖案化時的厚度，所以當蝕刻第二導電基板 2 時，調整乾蝕刻的時間以便露出矽。接著，從第二導電基板 2 側到接合介面中之 SiO_2 膜 10，藉由 Bosch 處理來蝕刻矽。即使在介面之 SiO_2 膜 10 破裂，因為形成在第一導電基板 1 中之孔的表面被形成 SiO_2 膜

，所以對其的破壞小。在移除氟碳膜之後移除 SiO_2 膜 10。經由上述步驟形成本發明的帶電粒子束透鏡。

儘管已參考例示實施例說明本發明，但是應明白本發明並不侷限於所揭示的例示實施例。下面申請專利範圍的範疇將與最廣泛的解釋一致，以便涵蓋所有此種修改和同等結構及功能。

【圖式簡單說明】

圖 1A 表示根據本發明的第一實例之製造步驟。

圖 1B 表示根據本發明的第一實例之製造步驟。

圖 1C 表示根據本發明的第一實例之製造步驟。

圖 2A 表示避免接合失敗的方法。

圖 2B 表示避免接合失敗的方法。

圖 2C 表示避免接合失敗的方法。

圖 3A 表示根據本發明的第二實例之製造步驟。

圖 3B 表示根據本發明的第二實例之製造步驟。

圖 3C 表示根據本發明的第二實例之製造步驟。

圖 3D 表示根據本發明的第二實例之製造步驟。

圖 3E 表示根據本發明的第二實例之製造步驟。

圖 4A 表示根據本發明的第三實例之製造步驟。

圖 4B 表示根據本發明的第三實例之製造步驟。

圖 4C 表示根據本發明的第三實例之製造步驟。

圖 4D 表示根據本發明的第三實例之製造步驟。

圖 4E 表示根據本發明的第三實例之製造步驟。

圖 4F 表示根據本發明的第三實例之製造步驟。

圖 4G 表示根據本發明的第三實例之製造步驟。

圖 4H 表示根據本發明的第三實例之製造步驟。

圖 4I 表示根據本發明的第三實例之製造步驟。

圖 5A 表示根據本發明的第四實例之製造步驟。

圖 5B 表示根據本發明的第四實例之製造步驟。

圖 5C 表示根據本發明的第四實例之製造步驟。

圖 5D 表示根據本發明的第四實例之製造步驟。

圖 5E 表示根據本發明的第四實例之製造步驟。

圖 5F 表示根據本發明的第四實例之製造步驟。

圖 5G 表示根據本發明的第四實例之製造步驟。

圖 5H 表示根據本發明的第四實例之製造步驟。

圖 6A 表示根據本發明的第五實例之製造步驟。

圖 6B 表示根據本發明的第五實例之製造步驟。

圖 6C 表示根據本發明的第五實例之製造步驟。

圖 6D 表示根據本發明的第五實例之製造步驟。

圖 6E 表示根據本發明的第五實例之製造步驟。

圖 6F 表示根據本發明的第五實例之製造步驟。

圖 7A 表示根據本發明的第六實例之製造步驟。

圖 7B 表示根據本發明的第六實例之製造步驟。

圖 7C 表示根據本發明的第六實例之製造步驟。

圖 7D 表示根據本發明的第六實例之製造步驟。

圖 7E 表示根據本發明的第六實例之製造步驟。

圖 7F 表示根據本發明的第六實例之製造步驟。

【 主 要 元 件 符 號 說 明 】

1：第一導電基板

2：第二導電基板

3：第三導電基板

4：接合基板

5：對準記號

6：裝置層

7：埋入氧化層

8：處理層

9：支撐基板

10：SiO₂膜

11：鳥嘴

12：光阻劑

13：導電膜

14：導電孔

15：分離層

100：通孔

101：第一通孔

102：第二通孔

104：第一孔

105：第二孔

七、申請專利範圍：

1. 一種製造帶電粒子束透鏡的方法，該帶電粒子束透鏡具有接合電極，該接合電極係藉由接合至少具有第一通孔之第一導電基板和具有第二通孔之第二導電基板所獲得，該方法包含：

將該第一通孔形成於該第一導電基板中；

將該第二通孔形成於該第二導電基板中；以及

將具有該第一通孔之該第一導電基板和具有該第二通孔之該第二導電基板接合，以使該第一通孔和該第二通孔彼此相通。

2. 根據申請專利範圍第 1 項之製造帶電粒子束透鏡的方法，另包含：

接合具有第三通孔之第三導電基板到接合至該第一導電基板的該第二導電基板，以便該第一通孔、該第二通孔、和該第三通孔彼此相通。

3. 根據申請專利範圍第 1 項之製造帶電粒子束透鏡的方法，

其中，該等導電基板的至少其中之一包括 SOI（絕緣體上覆矽）基板的裝置層。

4. 根據申請專利範圍第 3 項之製造帶電粒子束透鏡的方法，

其中，該 SOI 基板的該裝置層具有通孔，

另包含：在將該裝置層和該等導電基板的至少其中之一彼此接合之後，移除該 SOI 基板的處理層和 BOX 層（

埋入氧化層)。

5.根據申請專利範圍第 3 項之製造帶電粒子束透鏡的方法，

其中，該 SOI 基板的該裝置層具有通孔，

另包含：將支撐基板接合到該裝置層，具有分離層設置在其間；

移除該等 SOI 基板的處理層和 BOX 層；以及

在將該等導電基板的至少其中之一和該 BOX 層被形成作接合表面之該裝置層的表面彼此接合之後，藉由該分離層來分離該支撐基板。

6.一種製造帶電粒子束透鏡的方法，該帶電粒子束透鏡具有接合電極，該接合電極係藉由接合至少第一導電基板和第二導電基板所獲得，該方法包含：

從該第一導電基板的外側表面以 Bosch 處理將第一通孔形成於該接合電極中；以及

從該第二導電基板的外側表面以該 Bosch 處理將第二通孔形成於該接合電極中，以便與該第一通孔相通。

7.根據申請專利範圍第 1 至 6 項其中一項之製造帶電粒子束透鏡的方法，

其中，該第一通孔的直徑不同於該第二通孔的直徑。

8.一種製造帶電粒子束透鏡的方法，該帶電粒子束透鏡具有接合電極，該接合電極係藉由接合至少具有第一通孔之第一導電基板和具有第二通孔之第二導電基板所獲得，該方法包含：

從該第一導電基板的一表面以蝕刻將該第一通孔形成於該第一導電基板中；

從該第二導電基板的一表面以蝕刻將該第二通孔形成於該第二導電基板中；以及

將該第一導電基板的另一表面與該第二導電基板的另一表面接合，以使該第一通孔與該第二通孔彼此相通。

圖 1A

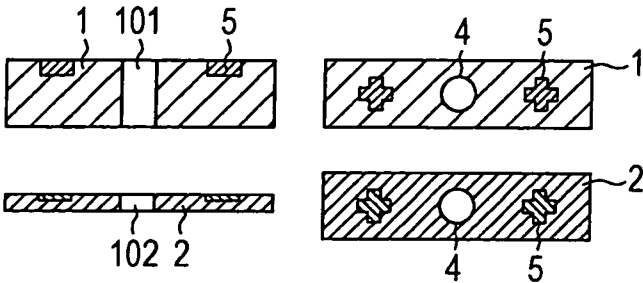


圖 1B

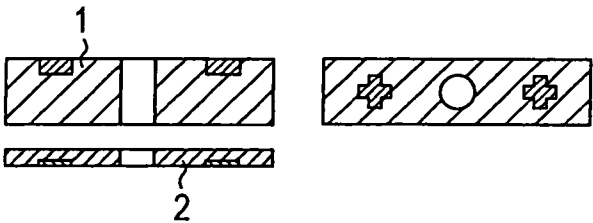


圖 1C

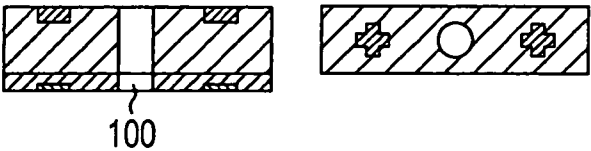


圖 2A

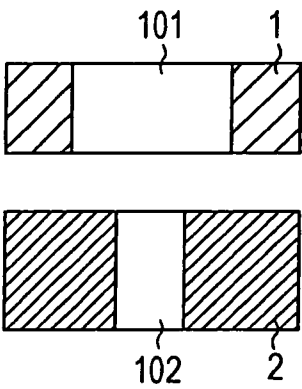


圖 2B

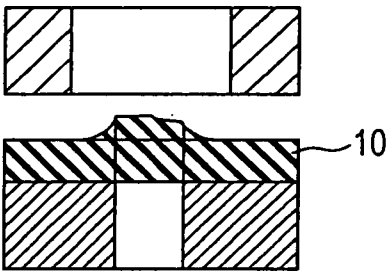


圖 2C

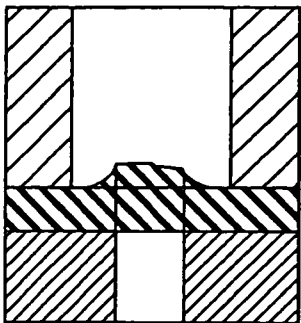


圖 3A

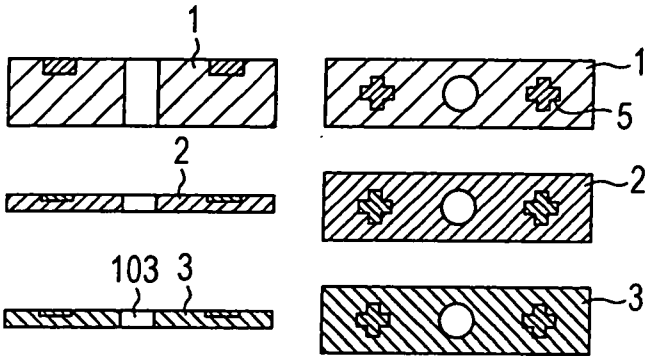


圖 3B

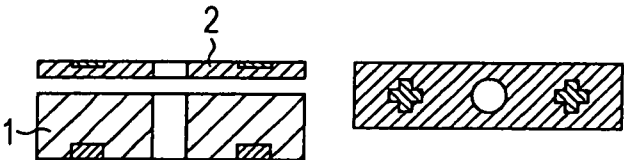


圖 3C

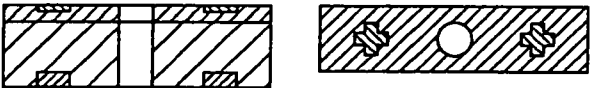


圖 3D

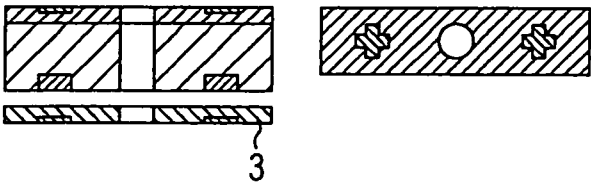


圖 3E

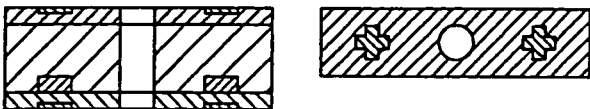


圖 4A

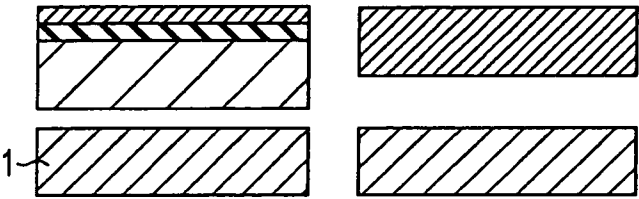


圖 4B

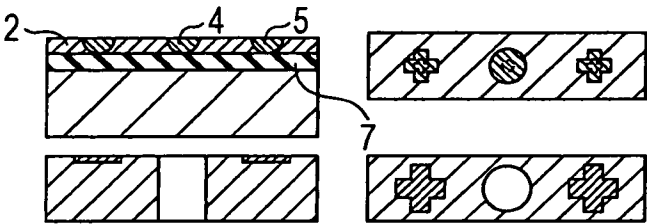


圖 4C

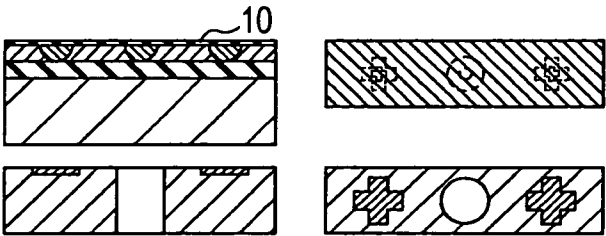


圖 4D

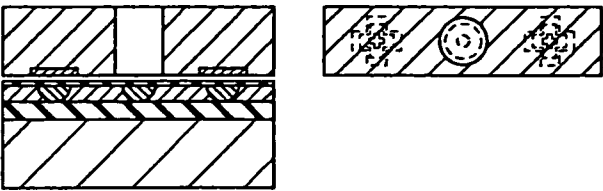


圖 4E

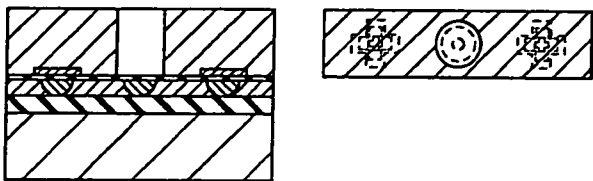


圖 4F

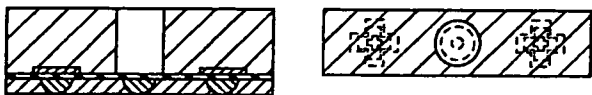


圖 4G

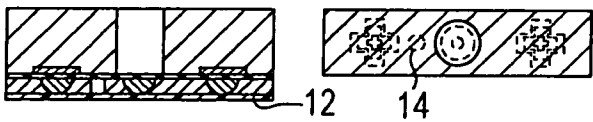


圖 4H

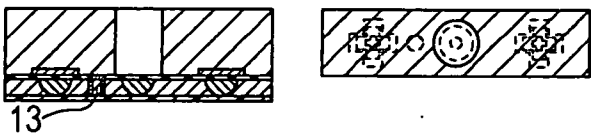


圖 4I

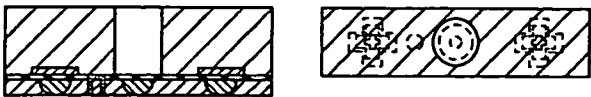


圖 5A

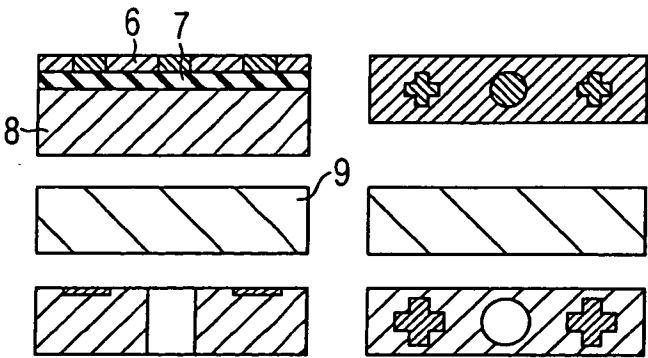


圖 5B

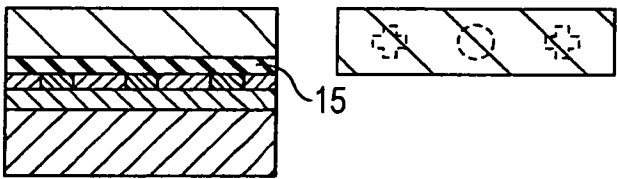


圖 5C

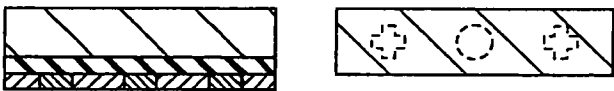


圖 5D

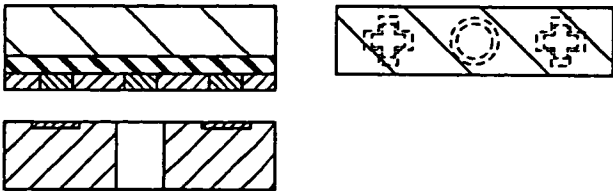


圖 5E

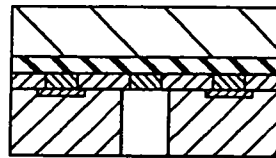


圖 5F

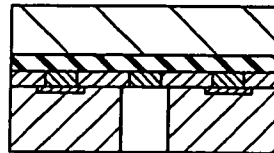


圖 5G

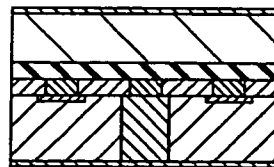


圖 5H

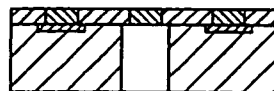


圖 6A

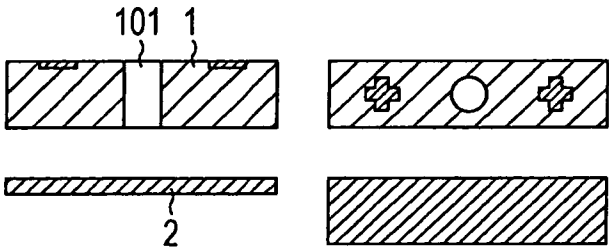


圖 6B

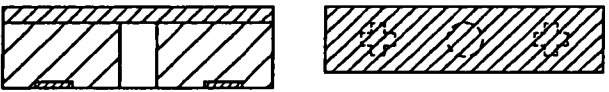


圖 6C

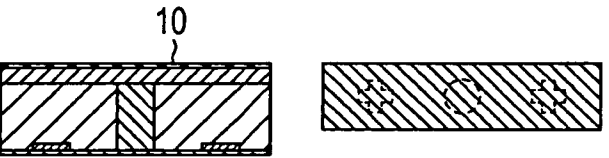


圖 6D

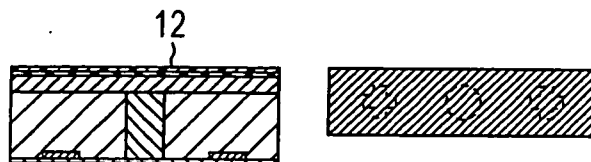


圖 6E

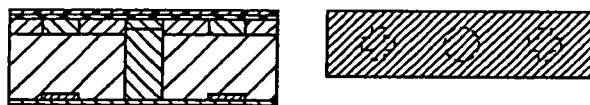


圖 6F

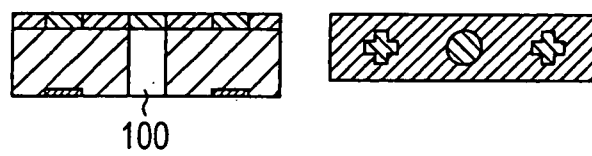


圖 7A

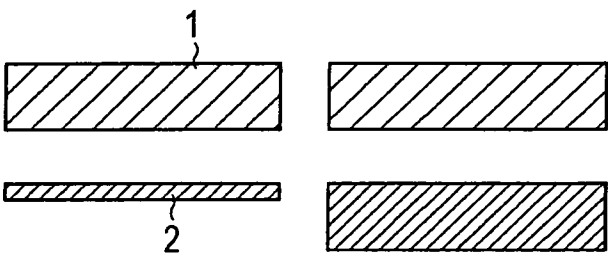


圖 7B

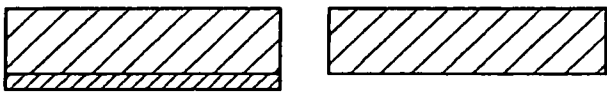


圖 7C

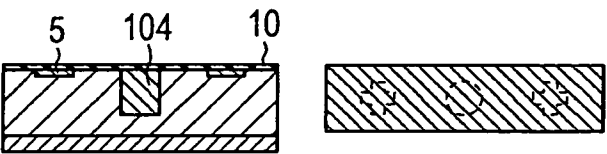


圖 7D

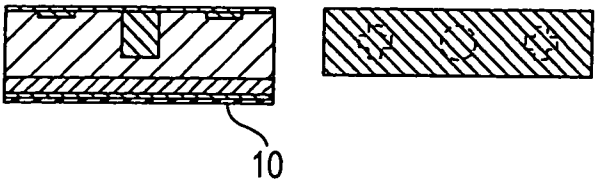


圖 7E

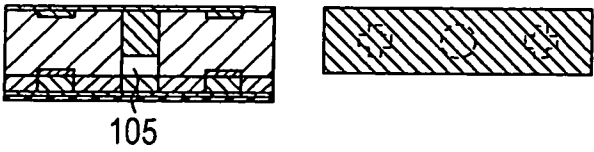


圖 7F

