

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7702411号
(P7702411)

(45)発行日 令和7年7月3日(2025.7.3)

(24)登録日 令和7年6月25日(2025.6.25)

(51)国際特許分類		F I			
G 1 1 C	11/22 (2006.01)	G 1 1 C	11/22	2 4 0	
G 1 1 C	11/56 (2006.01)	G 1 1 C	11/22	2 3 0	
H 1 0 B	51/30 (2023.01)	G 1 1 C	11/56	3 0 0	
		H 1 0 B	51/30		
請求項の数 7 (全84頁)					
(21)出願番号	特願2022-541319(P2022-541319)	(73)特許権者	000153878		
(86)(22)出願日	令和3年7月20日(2021.7.20)		株式会社半導体エネルギー研究所		
(86)国際出願番号	PCT/IB2021/056525		神奈川県厚木市長谷398番地		
(87)国際公開番号	WO2022/029534	(72)発明者	山崎 舜平		
(87)国際公開日	令和4年2月10日(2022.2.10)		神奈川県厚木市長谷398番地 株式会		
審査請求日	令和6年7月18日(2024.7.18)		社半導体エネルギー研究所内		
(31)優先権主張番号	特願2020-131964(P2020-131964)	(72)発明者	木村 肇		
(32)優先日	令和2年8月3日(2020.8.3)		神奈川県厚木市長谷398番地 株式会		
(33)優先権主張国・地域又は機関	日本国(JP)		社半導体エネルギー研究所内		
		(72)発明者	國武 寛司		
			神奈川県厚木市長谷398番地 株式会		
			社半導体エネルギー研究所内		
		審査官	後藤 彰		
				最終頁に続く	

(54)【発明の名称】 半導体装置の駆動方法

(57)【特許請求の範囲】

【請求項1】
容量と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、が設けられるセルを有し、
前記容量は、第1の電極と、第2の電極と、強誘電体層と、を有し、
前記強誘電体層は、前記第1の電極と、前記第2の電極と、の間に設けられ、
前記強誘電体層は、第1の飽和分極電圧、又は前記第1の飽和分極電圧と極性が異なる第2の飽和分極電圧を印加することにより、分極反転が発生し、
前記第1の電極と、前記第1のトランジスタのソース又はドレインの一方と、前記第2のトランジスタのゲートと、は互いに電氣的に接続され、
前記第2のトランジスタのソース又はドレインの一方は、前記第3のトランジスタのソース又はドレインの一方と電氣的に接続された、半導体装置の駆動方法であって、
第1の期間において、前記強誘電体層に、前記第1の飽和分極電圧を印加し、
第2の期間において、前記強誘電体層に、前記第1の飽和分極電圧と、前記第2の飽和分極電圧と、の間の値の電圧を、データ電圧として印加し、
前記第1の期間、及び前記第2の期間において、前記第1のトランジスタをオン状態とし、第3の期間において、前記第1のトランジスタをオフ状態とし、
前記第1乃至第3の期間において、前記第3のトランジスタをオフ状態とし、
第4の期間において、前記第3のトランジスタをオン状態とする、半導体装置の駆動方法。
【請求項2】

請求項 1 において、

前記第 1 の期間における前記第 1 の電極の電位と、前記第 2 の期間における前記第 1 の電極の電位と、は異なり、

前記第 1 の期間における前記第 2 の電極の電位と、前記第 2 の期間における前記第 2 の電極の電位と、は異なる半導体装置の駆動方法。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 乃至第 4 の期間において、前記第 2 のトランジスタのソース又はドレインの他方に定電位を供給する半導体装置の駆動方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、

前記第 1 の期間における、前記強誘電体層の分極量の極性と、前記第 2 の期間における、前記強誘電体層の分極量の極性と、は同一である半導体装置の駆動方法。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、

前記データ電圧は、アナログデータを表す半導体装置の駆動方法。

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記第 1 のトランジスタは、チャンネル形成領域に金属酸化物を有する半導体装置の駆動方法。

【請求項 7】

請求項 6 において、

前記金属酸化物はインジウムを含む金属酸化物である、半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置の駆動方法等に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する本発明の一態様の技術分野としては、半導体装置、撮像装置、表示装置、発光装置、蓄電装置、記憶装置、表示システム、電子機器、照明装置、入力装置、入出力装置、それらの駆動方法、又はそれらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

トランジスタに適用可能な半導体として金属酸化物が注目されている。“IGZO”、“イグゾー”等といわれる In-Ga-Zn 酸化物は、多元系金属酸化物の代表的なものである。IGZO に関する研究において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造、及び nc (nanocrystalline) 構造が見出された (例えば、非特許文献 1)。

【0004】

チャンネル形成領域に金属酸化物半導体を有するトランジスタ (以下、「酸化物半導体トランジスタ」、又は「OSTランジスタ」という場合がある。) は、極小オフ電流であることが報告されている (例えば、非特許文献 1、2)。OSTランジスタが用いられた様々な半導体装置が作製されている (例えば、非特許文献 3、4)。

【0005】

また、OSTランジスタの極小オフ電流を利用したメモリ (OSメモリという場合がある) が提案されている。例えば特許文献 1 では、NOSRAM の回路構成について開示している。なお「NOSRAM (登録商標)」とは、「Nonvolatile Oxide Semiconductor RAM」の略称である。NOSRAM は、セルが 2 トランジスタ型 (2T)、又は 3 トランジスタ型 (3T) ゲインセルであり、アクセストランジ

10

20

30

40

50

スタがＯＳトランジスタであるメモリのことをいう。ＯＳトランジスタはオフ状態でソースとドレインとの間を流れる電流、つまりリーク電流が極めて小さい。ＮＯＳＲＡＭは、リーク電流が極めて小さい特性を用いてデータに応じた電荷をセル内に保持することで、不揮発性メモリとして用いることができる。

【先行技術文献】

【特許文献】

【０００６】

【文献】米国特許出願公開第２０１１／０１７６３４８号明細書

【非特許文献】

【０００７】

【文献】S. Yamazaki et al., "Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics," Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

【文献】K. Kato et al., "Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium-Gallium-Zinc Oxide," Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

【文献】S. Amano et al., "Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency," SID Symp. Dig. Papers, vol. 41, pp. 626-629 (2010).

【文献】T. Ishizu et al., "Embedded Oxide Semiconductor Memories: A Key Enabler for Low-Power ULSI," ECS Tran., vol. 79, pp. 149-156 (2017).

【発明の概要】

【発明が解決しようとする課題】

【０００８】

ＮＯＳＲＡＭ等のメモリでは、データに応じた電荷を、セルが有する容量に保持する。よって、容量に保持できる電荷量が小さいと、容量からの電荷のリークに起因する、データの読み出し精度の低下が顕著になる。よって、セルにデータを長期間保持することができなくなる場合がある。

【０００９】

本発明の一態様は、データを長期間保持することができる半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、低消費電力の半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、高い電圧を印加することができる半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、信頼性が高い半導体装置、及びその駆動方法を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置、及びその駆動方法を提供することを課題の一とする。

【００１０】

なお、本発明の一態様は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一の課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面等の記載から、自ずと明らかとなるものであり、明細書、特許請求の範囲、図面等の記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【００１１】

本発明の一態様は、容量と、第1のトランジスタと、第2のトランジスタと、が設けられるセルを有し、容量は、第1の電極と、第2の電極と、強誘電体層と、を有し、強誘電体層は、第1の電極と、第2の電極と、の間に設けられ、強誘電体層は、第1の飽和分極電圧、又は第1の飽和分極電圧と極性が異なる第2の飽和分極電圧を印加することにより、分極反転が発生し、第1の電極と、第1のトランジスタのソース又はドレインの一方と、第2のトランジスタのゲートと、は互いに電氣的に接続された半導体装置の駆動方法であって、第1の期間において、強誘電体層に、第1の飽和分極電圧を印加し、第2の期間において、強誘電体層に、第1の飽和分極電圧と、第2の飽和分極電圧と、の間の値の電圧を、データ電圧として印加する半導体装置の駆動方法である。

【0012】

又は、上記態様において、第1の期間における第1の電極の電位と、第2の期間における第1の電極の電位と、は異なり、第1の期間における第2の電極の電位と、第2の期間における第2の電極の電位と、は異なってもよい。

【0013】

又は、上記態様において、第1の期間、及び第2の期間において、第1のトランジスタをオン状態とし、第3の期間において、第1のトランジスタをオフ状態としてもよい。

【0014】

又は、上記態様において、セルは、第3のトランジスタを有し、第2のトランジスタのソース又はドレインの一方は、第3のトランジスタのソース又はドレインの一方と電氣的に接続され、第1乃至第3の期間において、第3のトランジスタをオフ状態とし、第4の期間において、第3のトランジスタをオン状態としてもよい。

【0015】

又は、上記態様において、第2の電極の電位は、第2乃至第4の期間において変動しなくてもよい。

【0016】

又は、上記態様において、第1乃至第4の期間において、第2のトランジスタのソース又はドレインの他方に定電位を供給してもよい。

【0017】

又は、上記態様において、第1の期間における、強誘電体層の分極量の極性と、第2の期間における、強誘電体層の分極量の極性と、は同一であってもよい。

【0018】

又は、上記態様において、データ電圧は、アナログデータを表してもよい。

【0019】

又は、上記態様において、第1のトランジスタは、チャネル形成領域に金属酸化物を有してもよい。

【発明の効果】

【0020】

本発明の一態様により、データを長期間保持することができる半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様により、低消費電力の半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様により、高い電圧を印加することができる半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様により、信頼性が高い半導体装置、及びその駆動方法を提供することができる。又は、本発明の一態様により、新規な半導体装置、及びその駆動方法を提供することができる。

【0021】

複数の効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、例示した効果の全てを有する必要はない。また、本発明の一形態について、上記以外の課題、効果、及び新規な特徴については、本明細書の記載及び図面から自ずと明らかになるものである。

【図面の簡単な説明】

【0022】

図1Aは、セルの構成例を示す回路図である。図1B1乃至図1B4は、容量の構成例を示す図である。

図2は、強誘電体のヒステリシス特性を示す図である。

図3は、セルの駆動方法の一例を示すタイミングチャートである。

図4A、及び図4Bは、セルの駆動方法の一例を示す回路図である。

図5A、及び図5Bは、セルの駆動方法の一例を示す回路図である。

図6は、セルの駆動方法の一例を示すタイミングチャートである。

図7A、及び図7Bは、セルの駆動方法の一例を示す回路図である。

図8A、及び図8Bは、セルの駆動方法の一例を示す回路図である。

10

図9は、セルの駆動方法の一例を示すタイミングチャートである。

図10A、及び図10Bは、セルの構成例を示す回路図である。

図11A、及び図11Bは、セルの構成例を示す回路図である。

図12A、及び図12Bは、セルの構成例を示す回路図である。

図13は、半導体装置の構成例を示すブロック図である。

図14A、及び図14Bは、階層型のニューラルネットワークを説明する図である。

図15Aは、半導体装置の構成例を示すブロック図である。図15Bは、半導体装置が有する回路の構成例を示す回路図である。

図16A乃至図16Cは、半導体装置の動作例を説明するタイミングチャートである。

図17A乃至図17Cは、半導体装置の動作例を説明するタイミングチャートである。

20

図18A乃至図18Cは、半導体装置の動作例を説明するタイミングチャートである。

図19は、半導体装置の構造例を示す図である。

図20A乃至図20Cは、トランジスタの構成例を示す図である。

図21AはIGZOの結晶構造の分類を説明する図である。図21Bは結晶性IGZOのXRDスペクトルを説明する図である。図21Cは結晶性IGZOの極微電子線回折パターンを説明する図である。

図22Aは半導体ウェハの一例を示す斜視図である。図22Bはチップの一例を示す斜視図である。図22C、及び図22Dは電子部品の一例を示す斜視図である。

図23A乃至図23Jは、電子機器の一例を説明する図である。

図24A乃至図24Eは、電子機器の一例を説明する図である。

30

図25A乃至図25Cは、電子機器の一例を説明する図である。

図26は、実施例のオフ電流測定TEGの概略を説明する回路図である。

図27Aは、実施例の容量の構成を説明する断面図である。図27Bは、実施例の容量リーク電流測定TEGの概略を説明する回路図である。

図28は、実施例のリーク電流の温度依存性を示すグラフである。

【発明を実施するための形態】

【0023】

以下に、本発明の実施の形態を説明する。ただし、本発明の一形態は、以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明の一形態は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

40

【0024】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

【0025】

50

図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0026】

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) 等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体という場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも 1 つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体 (metal oxide semiconductor) ということができる。また、OSFET、又は OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言することができる。

10

【0027】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) といってもよい。

【0028】

(実施の形態 1)

20

本実施の形態では、本発明の一態様の半導体装置、及びその駆動方法について説明する。

【0029】

本発明の一態様は、セルを有する半導体装置に関する。セルは、データを保持する機能を有する。具体的には、セルは容量を有し、当該容量に電荷を保持することにより、セルに書き込まれたデータを保持することができる。よって、セルはメモリセルということができる。半導体装置は記憶装置ということができる。

【0030】

本発明の一態様では、容量を、第 1 の電極と、第 2 の電極と、強誘電体層と、を有する構成とする。強誘電体層は、第 1 の電極と、第 2 の電極と、の間に設けられる。容量をこのような構成とすることにより、当該容量に保持できる電荷量を、第 1 の電極と第 2 の電極の間に常誘電体層が設けられる構成の容量より大きくすることができる。よって、本発明の一態様の半導体装置は、データを長期間保持することができる。これにより、リフレッシュ (セルへのデータの再書き込み) の頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

30

【0031】

本明細書等において、強誘電体とは、電圧を印加して分極させた後に電圧の印加を停止しても、分極の状態を保つ物質を示す。また、常誘電体とは、電圧を印加して分極させた後に電圧の印加を停止すると、分極の状態が維持されず消滅する物質を示す。

【0032】

<セルの構成例 1>

40

図 1 A は、本発明の一態様の半導体装置が有するセル 10 の構成例を示す回路図である。

【0033】

セル 10 は、容量 11 と、トランジスタ 21 と、トランジスタ 22 と、トランジスタ 23 と、を有する。容量 11 は、強誘電体層 12 と、電極 13 a と、電極 13 b と、を有し、強誘電体層 12 は、電極 13 a と電極 13 b の間に設けられる。

【0034】

電極 13 a は、トランジスタ 21 のソース又はドレインの一方と電氣的に接続される。トランジスタ 21 のソース又はドレインの一方は、トランジスタ 22 のゲートと電氣的に接続される。トランジスタ 22 のソース又はドレインの一方は、トランジスタ 23 のソース又はドレインの一方と電氣的に接続される。ここで、電極 13 a と、トランジスタ 21 の

50

ソース又はドレインの一方と、トランジスタ 2 2 のゲートと、が電氣的に接続されるノードをノード ND 1 とする。

【0035】

トランジスタ 2 1 のゲートは、配線 3 1 と電氣的に接続される。電極 1 3 b は、配線 3 2 と電氣的に接続される。トランジスタ 2 3 のゲートは、配線 3 3 と電氣的に接続される。トランジスタ 2 1 のソース又はドレインの他方は、配線 4 1 と電氣的に接続される。トランジスタ 2 2 のソース又はドレインの他方は、配線 4 2 と電氣的に接続される。トランジスタ 2 3 のソース又はドレインの他方は、配線 4 3 と電氣的に接続される。ここで、配線 4 2 には、定電位を供給することができる。

【0036】

なお、図 1 A に示すトランジスタ 2 1 乃至トランジスタ 2 3 には、バックゲートが設けられていないが、バックゲートを設けてもよい。例えば、トランジスタ 2 1 乃至トランジスタ 2 3 の一部にバックゲートを設けてもよいし、全部にバックゲートを設けてもよい。

【0037】

図 1 A に示すセル 1 0 において、配線 3 1 の電位を、トランジスタ 2 1 のゲートの電位とすることができる。また、配線 3 2 の電位を、電極 1 3 b の電位とすることができる。さらに、配線 3 3 の電位を、トランジスタ 2 3 のゲートの電位とすることができる。例えば、トランジスタ 2 1 が n チャネル型トランジスタである場合、配線 3 1 を高電位とすると、トランジスタ 2 1 をオン状態とすることができ、配線 3 1 を低電位とすると、トランジスタ 2 1 をオフ状態とすることができる。トランジスタ 2 3 と配線 3 3 の関係も同様である。

【0038】

トランジスタ 2 1 をオン状態とすると、ノード ND 1 と、配線 4 1 とが導通する。よって、配線 4 1 の電位を、ノード ND 1 に書き込むことができる。具体的には、配線 4 1 の電位に対応する電荷を、ノード ND 1 に蓄積することができる。以上より、トランジスタ 2 1 をオン状態とし、配線 4 1 に信号を供給すると、当該信号が表すデータをセル 1 0 に書き込むことができる。よって、配線 4 1 は、書き込み線ということができる。

【0039】

セル 1 0 にデータを書き込んだ後、トランジスタ 2 1 をオフ状態とすることにより、ノード ND 1 の電荷が保持される。よって、セル 1 0 にデータを保持することができる。

【0040】

トランジスタ 2 2 のゲートの電位は、ノード ND 1 の電位である。よって、セル 1 0 にデータを保持した状態で、トランジスタ 2 3 をオン状態とすると、当該データに対応する大きさの電流がトランジスタ 2 2、及びトランジスタ 2 3 を介して配線 4 3 に流れる。これにより、セル 1 0 に保持されたデータを読み出すことができる。よって、配線 4 3 は、読み出し線ということができる。

【0041】

前述のように、容量 1 1 は、電極 1 3 a と、電極 1 3 b と、の間に強誘電体層 1 2 が設けられる。これにより、詳細は後述するが、電極 1 3 a と、電極 1 3 b と、の間に強誘電体層 1 2 を設けず、常誘電体層を設ける場合と比べて、強誘電体層 1 2 と当該常誘電体層の誘電率が等しいとすると、容量 1 1 の容量値が大きくなる。これにより、容量 1 1 に蓄積できる電荷量が大きくなる。よって、容量 1 1 からの電荷のリークに伴う、ノード ND 1 の電位の変動が小さくなる。したがって、セル 1 0 にデータを長期間保持することができる。これにより、リフレッシュ（セル 1 0 へのデータの再書き込み）の頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

【0042】

ここで、容量 1 1 からの電荷のリークに伴う、ノード ND 1 の電位の変動が小さくなることにより、セル 1 0 が保持するデータは、アナログデータとすることができる。また、セル 1 0 が保持するデータは、多値のデジタルデータ、具体的には 3 値以上のデジタルデータとすることができる。無論、セル 1 0 は、2 値のデジタルデータを保持することもでき

10

20

30

40

50

る。

【0043】

強誘電体層12として、例えばチタン酸バリウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム等を用いることができる。

【0044】

トランジスタ21は、Oストランジスタとすることが好ましい。Oストランジスタは、オフ電流が極めて小さいという特性を有する。よって、トランジスタ21としてOストランジスタを用いることにより、ノードND1に蓄積された電荷がトランジスタ21を介してリークすることを抑制することができる。これにより、ノードND1に電荷を長期間保持することができるため、セル10のデータを長期間保持することができる。これにより、リフレッシュの頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

10

【0045】

トランジスタ22及びトランジスタ23は、チャネル形成領域にシリコンを含むトランジスタ（以下、Siトランジスタという）とすることができる。シリコンとしては、例えば、非晶質シリコン（水素化アモルファスシリコンという場合がある）、微結晶シリコン、多結晶シリコン、単結晶シリコン等を用いることができる。

【0046】

トランジスタ22及びトランジスタ23としてSiトランジスタを用いることにより、トランジスタ22及びトランジスタ23のオン電流を大きくすることができる。前述のように、ノードND1の電位に対応する大きさの電流が、トランジスタ22、及びトランジスタ23を介して配線43に流れることで、セル10に保持されたデータを読み出すことができる。以上より、トランジスタ22及びトランジスタ23としてSiトランジスタを用いることにより、データを高速に読み出すことができる。

20

【0047】

なお、トランジスタ21として、Siトランジスタを用いることができる。また、トランジスタ22及びトランジスタ23として、Oストランジスタを用いることができる。ここで、Oストランジスタは、高耐圧であるという特性を有する。よって、トランジスタ21乃至トランジスタ23をOストランジスタとすることにより、ノードND1に高い電圧を供給することができる。これにより、配線41に供給することができる信号の電位の最小値と、最大値と、の差を大きくすることができる。

30

【0048】

図1B1乃至図1B4は、容量11の構成例を示す図である。図1B1乃至図1B4に示す容量11は、電極13aと電極13bの間に設けられる層が、図1Aに示す容量11と異なる。

【0049】

図1B1に示す容量11、及び図1B2に示す容量11には、強誘電体層12の他、常誘電体層14が設けられる。図1B1には、強誘電体層12が電極13aと接する領域を有し、常誘電体層14が電極13bと接する領域を有する構成を示している。一方、図1B2には、常誘電体層14が電極13aと接する領域を有し、強誘電体層12が電極13bと接する領域を有する構成を示している。

40

【0050】

図1B3に示す容量11には、強誘電体層12a及び強誘電体層12bと、常誘電体層14が設けられる。強誘電体層12aは、電極13aと接する領域を有し、強誘電体層12bは、電極13bと接する領域を有する。常誘電体層14は、強誘電体層12aと強誘電体層12bの間に設けられる。強誘電体層12a、及び強誘電体層12bは、強誘電体層12と同様の材料を用いることができる。

【0051】

図1B4に示す容量11には、強誘電体層12と、常誘電体層14a及び常誘電体層14bが設けられる。常誘電体層14aは、電極13aと接する領域を有し、常誘電体層14

50

bは、電極13bと接する領域を有する。強誘電体層12は、常誘電体層14aと常誘電体層14bの間に設けられる。

【0052】

常誘電体層14、常誘電体層14a、及び常誘電体層14bとして、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム等の、高誘電率(high-k)材料を用いることができる。これにより、容量11の容量値を大きなものとすることができる。

【0053】

図1B1乃至図1B4に示すように、容量11を、複数の誘電層が積層して設けられる構成とすることにより、容量11に蓄積された電荷のリークを抑制することができる。これにより、ノードND1に電荷を長期間保持することができるため、セル10のデータを長期間保持することができる。これにより、リフレッシュの頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

【0054】

<強誘電体層12の特性>

強誘電体層12は、ヒステリシス特性を有する。図2は、強誘電体層12のヒステリシス特性を示すグラフである。図2において、横軸は強誘電体層12に印加する電圧を示し、具体的には電極13aの電位から、電極13bの電位を引いた値を示す。また、縦軸は強誘電体層12の分極量を示し、正の値の場合は正電荷が電極13b側に偏り、負電荷が電極13a側に偏っていることを示す。一方、分極量が負の値の場合は、正電荷が電極13a側に偏り、負電荷が電極13b側に偏っていることを示す。なお、図2のグラフの横軸に示す電圧を、電極13bの電位から、電極13aの電位を引いた値としてもよい。また、図2のグラフの縦軸に示す分極量を、正電荷が電極13a側に偏り、負電荷が電極13b側に偏っている場合に正の値とし、正電荷が電極13b側に偏り、負電荷が電極13a側に偏っている場合に負の値としてもよい。

【0055】

図2に示すように、強誘電体層12のヒステリシス特性は、曲線51と、曲線52と、により表すことができる。曲線51と曲線52の交点における電圧を、電圧VSP1、及び電圧VSP2とする。図2では、電圧VSP1の値が負であり、電圧VSP2の値が正であるとする。電圧VSP1と電圧VSP2は、極性が異なるということができる。

【0056】

強誘電体層12に電圧VSP1を印加した後に、強誘電体層12に印加する電圧を高くしていくと、強誘電体層12の分極量は、曲線51に従って増加する。一方、強誘電体層12に電圧VSP2を印加した後に、強誘電体層12に印加する電圧を低くしていくと、強誘電体層12の分極量は、曲線52に従って減少する。よって、電圧VSP1、及び電圧VSP2は、飽和分極電圧ということができる。

【0057】

ここで、強誘電体層12の分極量が曲線51に従って変化する際の、強誘電体層12の分極量が0である場合における、強誘電体層12に印加される電圧を電圧V1とする。また、強誘電体層12の分極量が曲線52に従って変化する際の、強誘電体層12の分極量が0である場合における、強誘電体層12に印加される電圧を電圧V2とする。図2に示すように、電圧V1は正の値とすることができ、電圧V2は負の値とすることができ。電圧V1の値、及び電圧V2の値は、電圧VSP1と電圧VSP2の間の値とすることができ。

【0058】

<セルの駆動方法の一例_1>

図3は、セル10の駆動方法の一例を示すタイミングチャートである。図3に示すタイミングチャートにおいて、“H”は高電位を表し、“L”は低電位を表す。なお、図3に示すタイミングチャートにおいて、配線抵抗、トランジスタのドレインソース間の抵抗等による電位変化、及び信号遅延等は考慮していない。以上は他のタイミングチャートにおいて

10

20

30

40

50

も同様とする。

【0059】

期間T1において、配線31の電位を高電位とし、配線32の電位を電位PCHとし、配線33の電位を低電位とする。配線31の電位を高電位とすることにより、トランジスタ21がオン状態となり、配線33の電位を低電位とすることにより、トランジスタ23がオフ状態となる。この状態で、配線41の電位を電位PRESとする。トランジスタ21がオン状態となっているため、ノードND1の電位が電位PRESとなる。以上により、強誘電体層12に印加される電圧、具体的には電極13aの電位と電極13bの電位の差が、電圧“PRES-PCH”となる。以降の説明においても、強誘電体層12に印加される電圧とは、電極13aの電位と電極13bの電位の差を示すものとする。

10

【0060】

図4Aは、期間T1におけるセル10の状態を示す回路図である。図4Aにおいて、オフ状態であるトランジスタを、×印を付して示している。他の図においても同様の記載をする場合がある。

【0061】

図4Aに示すように、期間T1において、強誘電体層12に電圧VSP1を印加する。具体的には、電圧“PRES-PCH”の値が電圧VSP1の値と等しくなるように、電位PRES及び電位PCHの値を設定する。例えば、電圧VSP1が-3.3Vである場合は、電位PRESを0Vとし、電位PCHを3.3Vとする。

20

【0062】

なお、図4Aでは、強誘電体層12に印加される電圧を、一点鎖線で囲んで示している。他の図面でも同様の記載をする場合がある。

【0063】

期間T1では、強誘電体層12に飽和分極電圧である電圧VSP1を印加することにより、強誘電体層12の分極状態をリセットすることができる。よって、期間T1においてノードND1に供給される電位PRESは、リセット電位ということができる。また、期間T1に行う動作は、リセット動作ということができる。

【0064】

期間T2において、配線32の電位を電位PCLとする。この状態で、配線41にデータ信号を供給する。具体的には、配線41の電位を電位PSIGとする。トランジスタ21がオン状態となっているため、ノードND1の電位が電位PSIGとなる。以上により、強誘電体層12に印加される電圧が、電圧“PSIG-PCL”となる。ここで、電位PCLは、電位PCHより低い電位とすることができる。

30

【0065】

図4Bは、期間T2におけるセル10の状態を示す回路図である。なお、図4Bでは、期間T1から変化した電位、及び電圧を、二点鎖線で囲んで示している。他の図面でも同様の記載をする場合がある。

【0066】

図4Bに示すように、期間T2において強誘電体層12に印加される電圧を、電圧VSIGとする。期間T2においてノードND1に供給される電位PSIGはデータ信号に対応する電位であることから、電圧VSI Gはデータ電圧ということができる。期間T1において強誘電体層12に電圧VSP1を印加していることから、期間T2において、強誘電体層12の分極量は図2に示す曲線51に示される通りとなる。

40

【0067】

ここで、電圧VSI Gの値が、電圧VSP1より高く、且つ電圧VSP2より低くなるように、電位PSIG及び電位PCLの値を設定する。特に、容量11の容量値は、曲線51の傾き、具体的には例えば曲線51の接線の傾きに対応する値となることから、電圧VSI Gの値は、曲線51の傾きが一定以上の大きさとなるように設定することが好ましい。これにより、容量11の容量値を大きくすることができる。具体的には、前述のように、電極13aと、電極13bと、の間に強誘電体層12を設けず、常誘電体層を設ける場

50

合と比べて、強誘電体層 1 2 と当該常誘電体層の誘電率が等しいとすると、容量 1 1 の容量値が大きくなる。

【0068】

具体的には、例えば電圧 V_{SIG} の値は、曲線 5 1 の傾きが一定値以上となる電圧以上、且つ曲線 5 1 の変曲点における電圧以下とすることが好ましい。また、電圧 V_{SIG} の値は、期間 T 1 における強誘電体層 1 2 の分極量の極性と、期間 T 2 における強誘電体層 1 2 の分極量の極性と、が同一となるような値とすることが好ましい。つまり、期間 T 1 における強誘電体層 1 2 の極性が負である、具体的には正電荷が電極 1 3 a 側に偏り、負電荷が電極 1 3 b 側に偏っている場合は、期間 T 2 における強誘電体層 1 2 の極性も負であることが好ましい。よって、電圧 V_{SIG} は、図 2 に示す電圧 V_1 以下とすることが好ましい。図 4 B 等では、電圧 V_{SIG} は電圧 V_1 以下になるものとしている。

10

【0069】

以上より、電圧 V_{SIG} の値は、例えば曲線 5 1 の傾きが一定値以上となる電圧以上、且つ電圧 V_1 以下とすることが好ましい。例えば、電圧 V_1 が 1.2 V であり、電位 P_{CL} が 0 V である場合は、電位 P_{SIG} は 0 V 以上、且つ 1.2 V 以下とすることが好ましい。この場合、電圧 V_{SIG} は、0 V 以上、且つ 1.2 V 以下となる。

【0070】

以上、期間 T 2 において、セル 1 0 にデータを書き込むことができる。

【0071】

期間 T 3 において、配線 3 1 の電位を低電位とする。これにより、トランジスタ 2 1 がオフ状態となるため、ノード ND 1 に蓄積された電荷が保持される。よって、ノード ND 1 の電位が電位 P_{SIG} に保持される。

20

【0072】

図 5 A は、期間 T 3 におけるセル 1 0 の状態を示す回路図である。図 5 A に示すように、期間 T 3 において、強誘電体層 1 2 に印加される電圧は電圧 V_{SIG} に保持される。

【0073】

期間 T 1 及び期間 T 2 に示す方法でセル 1 0 にデータを書き込むことにより、前述のように、容量 1 1 の容量値を大きくすることができる。これにより、容量 1 1 に蓄積できる電荷量を大きくすることができる。よって、期間 T 3 において、容量 1 1 からの電荷のリークに伴う、ノード ND 1 の電位の変動を小さくすることができる。したがって、セル 1 0 にデータを長期間保持することができる。これにより、リフレッシュの頻度を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。また、前述のように、セル 1 0 が保持するデータは、アナログデータとすることができる。また、セル 1 0 が保持するデータは、多値のデジタルデータ、具体的には 3 値以上のデジタルデータとすることができる。無論、セル 1 0 は、2 値のデジタルデータを保持することもできる。

30

【0074】

期間 T 4 において、配線 3 3 の電位を高電位とする。これにより、トランジスタ 2 3 がオン状態となるため、ノード ND 1 の電位 P_{SIG} に対応する大きさの電流が、トランジスタ 2 2、及びトランジスタ 2 3 を介して配線 4 3 に流れる。これにより、セル 1 0 に保持されたデータを読み出すことができる。

40

【0075】

図 5 B は、期間 T 4 におけるセル 1 0 の状態を示す回路図である。トランジスタ 2 3 がオン状態となり、セル 1 0 に保持されたデータが配線 4 3 から読み出される。

【0076】

期間 T 5 において、配線 3 3 の電位を低電位とする。これにより、トランジスタ 2 3 がオフ状態となり、セル 1 0 に保持されたデータの読み出しが終了する。なお、データの読み出しによってノード ND 1 の電位が変化しないことから、当該読み出しは非破壊読み出しである。

【0077】

50

以上がセル 10 の駆動方法の一例である。

【0078】

＜セルの駆動方法の一例__2＞

図 3 乃至図 5 に示す駆動方法では、期間 T1 において強誘電体層 12 に電圧 VSP1 を印加したが、期間 T1 において強誘電体層 12 に、電圧 VSP1 とは極性が異なる飽和分極電圧である電圧 VSP2 を印加してもよい。図 6 は、期間 T1 において強誘電体層 12 に電圧 VSP2 を印加する場合における、セル 10 の駆動方法の一例を示すタイミングチャートである。また、図 7 A、図 7 B、図 8 A、及び図 8 B は、それぞれ図 6 に示す期間 T1 乃至期間 T4 における、セル 10 の状態を示す回路図である。

【0079】

図 6 に示すように、配線 32 の電位は、期間 T1 において電位 PCL とすることができ、期間 T2 乃至期間 T5 において電位 PCH とすることができる。また、図 3 に示す駆動方法では、例えば電位 PRES は電位 PSIG より低いとしたが、図 6 に示す駆動方法では、電位 PRES は電位 PSIG より高くすることができる。

【0080】

図 6 に示す方法でセル 10 を駆動させる場合は、電圧 “PRES - PCL” の値が電圧 VSP2 の値と等しくなるように、電位 PRES 及び電位 PCL の値を設定する。例えば、電圧 VSP2 が 3.3 V である場合は、電位 PRES を 3.3 V とし、電位 PCL を 0 V とする。

【0081】

図 6 に示す方法でセル 10 を駆動させる場合、期間 T2 において強誘電体層 12 に印加される電圧は、電圧 “PSIG - PCH” となる。期間 T1 において強誘電体層 12 に電圧 VSP2 を印加していることから、期間 T2 において、強誘電体層 12 の分極量は図 2 に示す曲線 52 に示される通りとなる。

【0082】

図 6 に示す方法でセル 10 を駆動させる場合、電圧 VSIG の値は、例えば図 2 に示す電圧 V2 以上、且つ曲線 52 の傾き、具体的には例えば曲線 52 の接線の傾きが一定値以上となる電圧以下とすることが好ましい。例えば、電圧 V2 が -1.2 V であり、電位 PCH が 3.3 V である場合は、電位 PSIG は 2.1 V 以上、且つ 3.3 V 以下とすることが好ましい。この場合、電圧 VSIG は、-1.2 V 以上、且つ 0 V 以下となる。なお、図 7 B 等では、電圧 VSIG は電圧 V2 以上になるものとしている。

【0083】

＜セルの駆動方法の一例__3＞

図 3 乃至図 5 に示す駆動方法では、配線 32 の電位を変動させているが、配線 32 の電位を定電位としてもよい。図 9 は、期間 T1 乃至期間 T5 において、配線 32 に定電位として電位 PCL を供給する場合における、セル 10 の駆動方法の一例を示すタイミングチャートである。

【0084】

図 9 に示す方法でセル 10 を駆動させる場合、期間 T1 におけるノード ND1 の電位を電位 PRESa とする。電位 PRESa は、図 3 等 に示す電位 PRES より低い電位とすることができる。例えば、電圧 VSP1 が -3.3 V、電位 PCL が 0 V である場合は、電位 PRESa は -3.3 V とすることができる。前述のように、例えば電圧 VSP1 を -3.3 V とすると、電位 PRES は 0 V とすることができる。よって、電圧 VSP1 が等しいとすると、電位 PRESa は電位 PRES より低くすることができる。

【0085】

セル 10 を図 9 に示す方法で駆動させる場合、トランジスタ 21 として OS トランジスタを用いることが好ましい。前述のように、OS トランジスタは高耐圧であるという特性を有する。よって、トランジスタ 21 として OS トランジスタを用いると、電位 PRESa を低くすることができる。同様に、トランジスタ 22 にも OS トランジスタを用いることが好ましい。さらに、トランジスタ 23 にも OS トランジスタを用いてもよい。

10

20

30

40

50

【0086】

＜セルの構成例_2＞

図1Aに示すセル10は、トランジスタ21乃至トランジスタ23が全てnチャネル型トランジスタであるとしたが、本発明の一態様はこれに限らない。図10Aは、トランジスタ22、及びトランジスタ23がpチャネルトランジスタである場合の、セル10の構成例を示す回路図である。図10Aに示すセル10において、トランジスタ21は、例えばOSトランジスタ、又はSiトランジスタとすることができる。また、トランジスタ22及びトランジスタ23は、Siトランジスタとすることができる。

【0087】

図10Bは、トランジスタ21乃至トランジスタ23が全てpチャネル型トランジスタである場合の、セル10の構成例を示す回路図である。図10Bに示すセル10において、トランジスタ21乃至トランジスタ23は、例えばSiトランジスタとすることができる。

10

【0088】

図3乃至図9に示す駆動方法は、電位の大小関係を適宜入れ換えること等により、セル10が図10A又は図10Bに示す構成であっても適用することができる。

【0089】

図1Aに示すセル10は、トランジスタ23を有するが、トランジスタ23を有さなくてもよい。図11Aは、トランジスタ23を省略したセル10の構成例を示す回路図である。図11Aに示す構成のセル10では、トランジスタ22のソース又はドレインの一方は、配線43と電氣的に接続される。図11Aに示すセル10を駆動させる場合、図3等に示す期間T4における動作を行わなくても、セル10に保持されたデータを配線43から読み出すことができる。

20

【0090】

図11A等 to 示すセル10は、書き込み線としての機能を有する配線を配線41とし、読み出し線としての機能を有する配線を配線43としているが、書き込み線と読み出し線を共通化してもよい。図11Bに示すセル10は、書き込み線としての機能を有する配線と、読み出し線としての機能を有する配線と、を配線44として共通化している点が、図11Aに示すセル10と異なる。

【0091】

図11Bに示すセル10は、トランジスタ21のソース又はドレインの他方と、トランジスタ22のソース又はドレインの一方が、配線44と電氣的に接続される。このように、書き込み線と読み出し線を共通化することにより、セル10を有する半導体装置に設けられる配線の本数を減らすことができる。これにより、半導体装置を小型化することができる。

30

【0092】

図12Aは、図1Aに示すセル10の変形例であり、書き込み線としての機能を有する配線と、読み出し線としての機能を有する配線と、を配線44として共通化している点が、図1Aに示すセル10と異なる。図12Aに示す構成のセル10は、トランジスタ21のソース又はドレインの他方、及びトランジスタ23のソース又はドレインの他方が、配線44と電氣的に接続される。

40

【0093】

図12Bは、図12Aに示すセル10の変形例であり、トランジスタ21のソース又はドレインの他方が、トランジスタ22のソース又はドレインの一方、及びトランジスタ23のソース又はドレインの一方と電氣的に接続される点が、図12Aに示すセル10と異なる。

【0094】

図12Bに示すセル10を図3等 to 示す方法で駆動させる場合、期間T1及び期間T2において、配線31とともに、配線33に高電位を供給する。これにより、トランジスタ21とともに、トランジスタ23がオン状態となる。よって、配線44とノードND1が導通状態となり、ノードND1に電位PRES、及び電位PSIG等を供給することができ

50

る。

【0095】

セル10を図12Bに示す構成とすることにより、トランジスタ21のゲートと、配線44と、の間で寄生容量が発生することを抑制することができる。よって、セル10に書き込まれるデータにノイズが発生することを抑制することができる。

【0096】

＜半導体装置の構成例__1＞

図13は、セル10を有する、半導体装置60の構成例を示すブロック図である。半導体装置60には、m行n列（m、nは2以上の整数）のセル10によりセルアレイ61が構成される。また、半導体装置60は、回路62と、回路63と、を有する。

【0097】

図13に示す、[1, 1]、[i, 1]、[m, 1]、[1, j]、[i, j]、[m, j]、[1, n]、[i, n]、[m, n]（iは1以上m以下の整数、jは1以上n以下の整数）は、セル10のアドレスである。例えば、[i, j]と表記されたセル10は、i行j列目のセル10である。以降において、例えばアドレスが[i, j]のセル10を、セル10[i, j]と記載して示す。

【0098】

セル10は、配線31、配線32、及び配線33を介して回路62と電氣的に接続され、配線41、及び配線43を介して回路63と電氣的に接続される。例えば、セル10[i, j]は、配線31(i)、配線32(i)、及び配線33(i)を介して回路62と電氣的に接続され、配線41(j)及び配線43(j)を介して回路63と電氣的に接続される。

【0099】

回路62は、セル10が駆動するために必要な電位を生成し、配線31、配線32、又は配線33に供給する機能を有する。回路62により、セル10へのデータの書き込み、及びセル10に保持されたデータの読み出しを、1行目のセル10からm行目のセル10まで、順次行うことができる。なお、図9に示すように、配線32に定電位を供給する場合は、配線32を回路62と電氣的に接続しなくてもよい。

【0100】

ここで、期間T1に行われる動作であるリセット動作は、例えば全てのセル10に対して同時に行うことができる。例えば、セル10を図9に示す方法で駆動させる場合、期間T1における配線41の電位である電位PRESaは低いものとなる。例えば、電位PRESaは、負の値となる。よって、トランジスタ21をオフ状態とする場合、トランジスタ21のゲートの電位を低くしなければ、トランジスタ21のゲートの電位と、ソースの電位PRESaと、の差がトランジスタ21のしきい値電圧以上となってオフ状態とできない場合がある。例えば、電位PRESaを-3.3Vとする場合、トランジスタ21のゲートに低電位として0Vの電位を供給しても、トランジスタをオフ状態にできない場合がある。期間T1に行われる動作であるリセット動作を、セル10の行毎に順次行う場合、リセット動作が行われていないセル10は、データの読み出し動作を行っている場合がある。データの読み出し動作を行っているセル10が有するトランジスタ21がオフ状態となっていないと、ノードND1の電位が電位PRESaとなり、データの読み出しが正しく行われなくなる場合がある。以上より、セル10を図9に示す方法で駆動させる場合は、期間T1に行われる動作であるリセット動作を、例えば全てのセル10に対して同時に行うことが好ましい。

【0101】

回路63は、セル10にデータを書き込む機能、及びセル10からデータを読み出す機能を有する。例えば、回路63は電位PRES、及び電位PSIG等を生成し、配線41を介してセル10に供給する機能を有する。また、回路63は、配線43の電位に基づき、セル10からデータを読み出す機能を有する。なお、セル10が図11B、図12A、又は図12Bに示す構成である場合は、回路63は、配線44を介してセル10と電氣的に

10

20

30

40

50

接続される。例えば、セル 10 [i, j] は、配線 44 (j) を介して回路 63 と電氣的に接続することができる。

【0102】

図 13 に示す半導体装置 60 は、配線 31 に供給する電位と、配線 32 に供給する電位と、配線 33 に供給する電位と、を全て回路 62 が生成するものとしているが、それぞれの電位を異なる回路が生成してもよい。例えば、配線 32 に供給する電位を生成する回路は、配線 31 に供給する電位、及び配線 33 に供給する電位を生成する回路と異なってもよい。また、回路 63 が、セル 10 にデータを書き込む機能と、セル 10 からデータを読み出す機能と、の両方を有するものとしているが、セル 10 にデータを書き込む機能を有する回路と、セル 10 からデータを読み出す機能を有する回路と、が異なってもよい。

10

【0103】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせる実施することができる。

【0104】

(実施の形態 2)

本実施の形態では、本発明の一態様の半導体装置、及びその駆動方法について説明する。具体的には、ニューラルネットワークの演算を行う機能を有する半導体装置について説明する。

【0105】

<階層型のニューラルネットワーク>

20

初めに、階層型のニューラルネットワークについて説明する。階層型のニューラルネットワークは、一例としては、一の入力層と、一又は複数の中間層（隠れ層）と、一の出力層と、を有し、合計 3 以上の層によって構成されている。図 14A に示す階層型のニューラルネットワーク 100 はその一例を示しており、ニューラルネットワーク 100 は、第 1 層乃至第 R 層（ここでの R は 4 以上の整数とすることができる。）を有している。特に、第 1 層は入力層に相当し、第 R 層は出力層に相当し、それら以外の層は中間層に相当する。なお、図 14A には、中間層として第 (k-1) 層、第 k 層（ここでの k は 3 以上 R-1 以下の整数とする。）を図示しており、それ以外の中間層については図示を省略している。

【0106】

30

ニューラルネットワーク 100 の各層は、一又は複数のニューロンを有する。図 14A において、第 1 層はニューロン $N_1^{(1)}$ 乃至ニューロン $N_p^{(1)}$ （ここでの p は 1 以上の整数である。）を有し、第 (k-1) 層はニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ （ここでの m は 1 以上の整数である。）を有し、第 k 層はニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ （ここでの n は 1 以上の整数である。）を有し、第 R 層はニューロン $N_1^{(R)}$ 乃至ニューロン $N_q^{(R)}$ （ここでの q は 1 以上の整数である。）を有する。

【0107】

なお、図 14A には、ニューロン $N_1^{(1)}$ 、ニューロン $N_p^{(1)}$ 、ニューロン $N_1^{(k-1)}$ 、ニューロン $N_m^{(k-1)}$ 、ニューロン $N_1^{(k)}$ 、ニューロン $N_n^{(k)}$ 、ニューロン $N_1^{(R)}$ 、ニューロン $N_q^{(R)}$ に加えて、第 (k-1) 層のニューロン $N_i^{(k-1)}$ （ここでの i は 1 以上 m 以下の整数である。）、第 k 層のニューロン $N_j^{(k)}$ （ここでの j は 1 以上 n 以下の整数である。）も図示しており、それ以外のニューロンについては図示を省略している。

40

【0108】

次に、前層のニューロンから次層のニューロンへの信号の伝達、及びそれぞれのニューロンにおいて入出力される信号について説明する。なお、本説明では、第 k 層のニューロン $N_j^{(k)}$ に着目している。

【0109】

図 14B は、第 k 層のニューロン $N_j^{(k)}$ と、ニューロン $N_j^{(k)}$ に入力される信号と、ニューロン $N_j^{(k)}$ から出力される信号と、を示している。

50

【0110】

具体的には、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれの出力信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ が、ニューロン $N_j^{(k)}$ に向けて出力されている。そして、ニューロン $N_j^{(k)}$ は、 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ に応じて $z_j^{(k)}$ を生成して、 $z_j^{(k)}$ を出力信号として第 $(k+1)$ 層（図示しない。）の各ニューロンに向けて出力する。

【0111】

前層のニューロンから次層のニューロンに入力される信号は、それらのニューロン同士を接続するシナプスの結合強度（以後、重み係数という。）によって、信号の伝達の度合いが定まる。ニューラルネットワーク100では、前層のニューロンから出力された信号は、対応する重み係数を乗じられて、次層のニューロンに入力される。 i を1以上 m 以下の整数として、第 $(k-1)$ 層のニューロン $N_i^{(k-1)}$ と第 k 層のニューロン $N_j^{(k)}$ との間のシナプスの重み係数を $w_{ij}^{(k-1)}$ としたとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号は、式（1）で表すことができる。

【0112】

【数1】

$$w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(1)$$

【0113】

つまり、第 $(k-1)$ 層のニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ のそれぞれから第 k 層のニューロン $N_j^{(k)}$ に信号が伝達するとき、当該信号である $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ には、それぞれの信号に対応する重み係数 $(w_{1j}^{(k-1)} \text{乃至} w_{mj}^{(k-1)})$ が乗じられる。そして、第 k 層のニューロン $N_j^{(k)}$ には、 $w_{1j}^{(k-1)} \cdot z_1^{(k-1)}$ 乃至 $w_{mj}^{(k-1)} \cdot z_m^{(k-1)}$ が入力される。このとき、第 k 層のニューロン $N_j^{(k)}$ に入力される信号の総和 $u_j^{(k)}$ は、式（2）となる。

【0114】

【数2】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} \quad \dots(2)$$

【0115】

また、重み係数 $w_{1j}^{(k-1)}$ 乃至 $w_{mj}^{(k-1)}$ と、ニューロンの信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ と、の積和の結果には、偏りとしてバイアスを与えてもよい。バイアスを b としたとき、式（2）は、次の式に書き直すことができる。

【0116】

【数3】

$$u_j^{(k)} = \sum_{i=1}^m w_{ij}^{(k-1)} \cdot z_i^{(k-1)} + b \quad \dots(3)$$

【0117】

ニューロン $N_j^{(k)}$ は、 $u_j^{(k)}$ に応じて、出力信号 $z_j^{(k)}$ を生成する。ここで、ニューロン $N_j^{(k)}$ からの出力信号 $z_j^{(k)}$ を次の式で定義する。

【0118】

【数4】

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(4)$$

【0119】

関数 $f(u_j^{(k)})$ は、階層型のニューラルネットワークにおける活性化関数であり、ステップ関数、線形ランプ関数、シグモイド関数等を用いることができる。なお、活性化関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの活性化関数は、層毎において、同一でもよいし、異なってもよい。

10

【0120】

ところで、各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b は、アナログ値としてもよいし、デジタル値としてもよい。デジタル値としては、例えば、2 値としてもよいし、3 値としてもよい。さらに大きなビット数の値でもよい。一例として、アナログ値の場合、活性化関数として、例えば、線型ランプ関数、シグモイド関数等を用いればよい。デジタル値の2 値の場合、例えば、出力を -1 若しくは 1 、又は、 0 若しくは 1 、とするステップ関数を用いればよい。また、各層のニューロンが出力する信号は3 値以上としてもよく、この場合、活性化関数は3 値以上、例えば出力は -1 、 0 、若しくは 1 とするステップ関数、又は、 0 、 1 、若しくは 2 とするステップ関数等を用いればよい。また、例えば、5 値以上を出力する活性化関数として、 -2 、 -1 、 0 、 1 、若しくは 2 とするステップ関数等を用いてもよい。各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b について、少なくとも一つについて、デジタル値を用いることにより、回路規模を小さくすること、消費電力を低減すること、又は、演算スピードを速くすること、等ができる。また、各層のニューロンが出力する信号、重み係数 w 、又は、バイアス b について、少なくとも一つについて、アナログ値を用いることにより、演算の精度を向上させることができる。

20

【0121】

ニューラルネットワーク100は、第1層（入力層）に入力信号が入力されることによって、第1層（入力層）から最後の層（出力層）までの各層において順次に、前層から入力された信号を基に、式（1）、式（2）（又は式（3））、式（4）を用いて出力信号を生成して、当該出力信号を次層に出力する動作を行う。最後の層（出力層）から出力された信号が、ニューラルネットワーク100によって計算された結果に相当する。

30

【0122】

<演算回路の構成例>

ここでは、上述のニューラルネットワーク100において、式（2）（又は式（3））、及び式（4）の演算を行うことができる演算回路の例について説明する。なお、当該演算回路において、一例として、ニューラルネットワーク100のシナプス回路の重み係数を、2 値（“ -1 ”、“ $+1$ ”の組み合わせ、又は“ 0 ”、“ $+1$ ”の組み合わせ等。）、3 値（“ -1 ”、“ 0 ”、“ 1 ”の組み合わせ等。）、又は4 値以上の多値（5 値の場合、“ -2 ”、“ -1 ”、“ 0 ”、“ 1 ”、“ 2 ”の組み合わせ等）とし、ニューロンの活性化関数が2 値（“ -1 ”、“ $+1$ ”の組み合わせ、又は“ 0 ”、“ $+1$ ”の組み合わせ等。）、3 値（“ -1 ”、“ 0 ”、“ 1 ”の組み合わせ等。）、4 値以上の多値（4 値の場合、“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ”の組み合わせ等）を出力する関数とする。また、本明細書等において、重み係数を第1のデータといい、前層のニューロンから次層のニューロンに入力される信号の値（演算値という場合がある）を第2のデータという場合がある。なお、ニューラルネットワーク100のシナプス回路の重み係数、及び演算値は、デジタル値に限定されず、少なくとも一方について、アナログ値を用いることも可能である。

【0123】

図15Aに示す演算回路110は、一例として、アレイ部ALPと、回路ILDと、回路

50

WLDと、回路XLDと、回路AFPと、を有する半導体装置である。演算回路110は、図14A、及び図14Bにおける第 k 層のニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ に入力される信号 $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を処理して、ニューロン $N_1^{(k)}$ 乃至ニューロン $N_n^{(k)}$ のそれぞれから出力される信号 $z_1^{(k)}$ 乃至 $z_n^{(k)}$ を生成する回路である。

【0124】

なお、演算回路110の全体、又は、その一部について、ニューラルネットワーク又はAI以外の用途で使用してよい。例えば、グラフィック向けの計算、又は科学計算用の計算等において、積和演算処理又は行列演算処理を行う場合に、演算回路110の全体、又は、その一部を用いて、処理を行ってもよい。つまり、AI向けの計算だけでなく、一般的

10

【0125】

回路ILDは、一例として、配線IL[1]乃至配線IL[n]と、配線ILB[1]乃至配線ILB[n]と、に電氣的に接続される。回路WLDは、一例として、配線WLS[1]乃至配線WLS[m]に電氣的に接続される。回路XLDは、一例として、配線XLS[1]乃至配線XLS[m]に電氣的に接続される。回路AFPは、一例として、配線OL[1]乃至配線OL[n]と、配線OLB[1]乃至配線OLB[n]と、に電氣的に接続される。

【0126】

<<アレイ部ALP>>

20

アレイ部ALPは、一例として、 $m \times n$ 個の回路MPを有している。回路MPは、一例として、アレイ部ALP内において、 m 行 n 列のマトリクス状に配置されている。なお、図15Aでは、 i 行 j 列（ここでの i は1以上 m 以下の整数であって、 j は1以上 n 以下の整数である。）に位置する回路MPを、回路MP[i, j]と表記している。但し、図15Aでは、回路MP[1, 1]、回路MP[m, 1]、回路MP[i, j]、回路MP[1, n]、回路MP[m, n]のみ図示しており、それ以外の回路MPについては図示を省略している。

【0127】

回路MP[i, j]は、一例として、配線IL[j]と、配線ILB[j]と、配線WLS[i]と、配線XLS[i]と、配線OL[j]と、配線OLB[j]と、に電氣的に接続される。

30

【0128】

回路MP[i, j]は、一例として、ニューロン $N_i^{(k-1)}$ とニューロン $N_j^{(k)}$ との間の重み係数（第1のデータ）を保持する機能を有する。具体的には、回路MP[i, j]は、配線IL[j]及び配線ILB[j]から入力される、第1のデータ（重み係数）に応じた情報（例えば、電位、抵抗値、電流値等）の保持を行う。また、回路MP[i, j]は、ニューロン $N_i^{(k-1)}$ から出力される信号 $z_i^{(k-1)}$ （第2のデータ）と第1のデータとの積を出力する機能を有する。具体的な例としては、回路MP[i, j]は、配線XLS[i]から第2のデータ $z_i^{(k-1)}$ に対応する情報（例えば、電位、抵抗値、電流値等）を入力されることで、第1のデータと第2のデータとの積に対応する情報（例えば、電位、抵抗値、電流値等）を配線OL[j]及び配線OLB[j]に出力する。なお、配線IL[j]及び配線ILB[j]の両方が配置されている場合の例を示したが、本発明の一態様は、これに限定されない。配線IL[j]及び配線ILB[j]のいずれか一方のみが配置されていてもよい。

40

【0129】

<<回路ILD>>

回路ILDは、一例として、配線IL[1]乃至配線IL[n]と、配線ILB[1]乃至配線ILB[n]と、を介して、重み係数である第1のデータ $w_1^{(k-1)}$ 乃至 $w_m^{(k-1)}$ 乃至 $w_n^{(k)}$ に対応する情報（例えば、電位、抵抗値、電流値等）を回路MP[1, 1]乃至回路MP[m, n]のそれぞれに入力する機能を有する。具体的な例とし

50

ては、回路ILDは、重み係数である第1のデータ $w_{ij}^{(k-1)}$ $j^{(k)}$ に対応する情報（例えば、電位、抵抗値、又は、電流値等）を、配線IL[j]、配線ILB[j]を介して回路MP[i, j]に供給する。

【0130】

<<回路XLD>>

回路XLDは、一例として、ニューロン $N_1^{(k-1)}$ 乃至ニューロン $N_m^{(k-1)}$ から出力された演算値に相当する第2のデータ $z_1^{(k-1)}$ 乃至 $z_m^{(k-1)}$ を、配線XLS[1]乃至配線XLS[m]を介して、回路MP[1, 1]乃至回路MP[m, n]のそれぞれに供給する機能を有する。具体的には、回路XLDは、ニューロン $N_j^{(k-1)}$ から出力された第2のデータ $z_j^{(k-1)}$ に対応する情報（例えば、電位、電流値等）を、配線XLS[i]を介して、回路MP[i, 1]乃至回路MP[i, n]のそれぞれに供給する。

10

【0131】

<<回路WLD>>

回路WLDは、一例として、回路ILDから入力される第1のデータに応じた情報（例えば、電位、抵抗値、電流値等）の書き込む先となる回路MPを選択する機能を有する。例えば、アレイ部ALPのi行目に位置する回路MP[i, 1]乃至回路MP[i, n]に情報（例えば、電位、抵抗値、電流値等）の書き込みを行う場合、回路WLDは、例えば、回路MP[i, 1]乃至回路MP[i, n]に含まれる書き込み用スイッチング素子をオン状態又はオフ状態にするための信号を配線WLS[i]に供給し、i行目以外の回路MPに含まれる書き込み用スイッチング素子をオフ状態にする電位を配線WLSに供給すればよい。なお、例えば配線WLS[i]の他に、配線WLS[i]に入力される信号の反転信号を送信する配線を別途配置されていてもよい。

20

【0132】

<<回路AFP>>

回路AFPは、一例としては、回路ACTF[1]乃至回路ACTF[n]を有する。回路ACTF[j]は、一例としては、配線OL[j]と、配線OLB[j]と、のそれぞれに電氣的に接続される。回路ACTF[j]は、一例としては、配線OL[j]と配線OLB[j]から入力されるそれぞれの情報（例えば、電位、電流値等）に応じた信号を生成する。一例としては、配線OL[j]と配線OLB[j]から入力されるそれぞれの情報（例えば、電位、電流値等）を比較し、その比較結果に応じた信号を生成する。当該信号は、ニューロン $N_j^{(k)}$ から出力される信号 $z_j^{(k)}$ に相当する。つまり、回路ACTF[1]乃至回路ACTF[n]は、一例としては、上述したニューラルネットワークの活性化関数の演算を行う回路として機能する。ただし、本発明の一態様は、これに限定されない。例えば、回路ACTF[1]乃至回路ACTF[n]は、アナログ信号をデジタル信号に変換する機能を有していてもよい。又は、例えば回路ACTF[1]乃至回路ACTF[n]は、アナログ信号を増幅して出力する機能、つまり、出力インピーダンスを変換する機能を有していてもよい。又は、例えば回路ACTF[1]乃至回路ACTF[n]は、電流又は電荷を電圧に変換する機能を有していてもよい。又は、例えば回路ACTF[1]乃至回路ACTF[n]は、配線OL[j]又は配線OLB[j]の電位を初期化する機能を有していてもよい。

30

40

【0133】

<<回路MP>>

図15Bは、回路MPの構成の一例である。回路MPは、回路MCと、回路MCrと、を有する。回路MCは、例えばトランジスタM1乃至M4と、容量C1と、を有する。回路MCrは、例えばトランジスタM1r乃至M4rと、容量C1rと、を有する。容量C1、及び容量C1rは、実施の形態1に示す容量11と同様の構成とすることができる。なお、例えばトランジスタM2と、容量C1とによって、保持部HCが構成されている。また、例えばトランジスタM2rと、容量C1rとによって、保持部HCrが構成されている。

50

【0134】

図15Bに図示しているトランジスタM1乃至M4、及びトランジスタM1r乃至M4rは、一例としては、チャンネルの上下にゲートを有するマルチゲート構造のnチャネル型トランジスタとしている。トランジスタM1乃至M4、及びトランジスタM1r乃至M4rのそれぞれは、第1のゲートと第2のゲートとを有する。特に、一例としては、トランジスタM3のサイズはトランジスタM4のサイズと等しいことが好ましく、トランジスタM3rのサイズはトランジスタM4rのサイズと等しいことが好ましい。

【0135】

図15Bの回路MPにおいて、トランジスタM1のソース又はドレインの一方は、配線VEに電氣的に接続される。トランジスタM1のソース又はドレインの他方は、トランジスタM3のソース又はドレインの一方と、トランジスタM4のソース又はドレインの一方と、に電氣的に接続される。トランジスタM1のゲートは、容量C1の第1の電極と、トランジスタM2のソース又はドレインの一方と、に電氣的に接続される。容量C1の第2の電極は、配線VEに電氣的に接続される。トランジスタM2のソース又はドレインの他方は、配線OLに電氣的に接続される。トランジスタM2のゲートは、配線WLに電氣的に接続される。トランジスタM3のソース又はドレインの他方は、配線OLに電氣的に接続され、トランジスタM3のゲートは、配線WX1Lに電氣的に接続される。トランジスタM4のソース又はドレインの他方は、配線OLBに電氣的に接続され、トランジスタM4のゲートは、配線X2Lに電氣的に接続される。

【0136】

回路MCrにおいて、回路MCと異なる接続構成について説明する。トランジスタM3rのソース又はドレインの他方は、配線OLでなく、配線OLBに電氣的に接続され、トランジスタM4rのソース又はドレインの他方は、配線OLBでなく、配線OLに電氣的に接続される。トランジスタM1rのソース又はドレインの一方と、容量C1rの第2の電極と、は、配線VERに電氣的に接続される。

【0137】

なお、図15Bに示す保持部HCにおいて、トランジスタM1のゲートと、容量C1の第1の電極と、トランジスタM2のソース又はドレインの一方と、の電氣的接続点をノードn1としている。また、図15Bに示す保持部HCrにおいて、トランジスタM1rのゲートと、容量C1rの第1の電極と、トランジスタM2rのソース又はドレインの一方と、の電氣的接続点をノードn1rとしている。

【0138】

保持部HCは、一例としては、第1のデータに応じた電位を保持する機能を有する。図15Bの回路MCに含まれている保持部HCへの当該電位の保持は、トランジスタM2、M3をオン状態としたときに、配線OLから電位を入力して、容量C1に当該電位を書き込み、その後にトランジスタM2をオフ状態にすることで行われる。これによって、ノードn1の電位を、第1のデータに応じた電位として保持することができる。このとき、配線OLから電流を入力し、その電流の大きさに応じた大きさの電位を容量C1に保持することができる。そのため、トランジスタM1の電流特性のばらつきの影響を低減することができる。

【0139】

また、トランジスタM1は、ノードn1の電位を長時間保持するため、OSトランジスタ等の、オフ電流が少ないトランジスタを適用することが好ましい。また、トランジスタM1として、バックゲートを有するトランジスタを適用し、バックゲートに低電位を印加して、閾値電圧をプラス側にシフトさせて、オフ電流を小さくする構成としてもよい。

【0140】

後述する動作例において、回路MPに入出する電流について簡易的に説明するため、図15Bに示す配線OLの両端をノードina、outaとし、配線OLBの両端をノードinb、outbとする。

【0141】

配線 VE 、及び配線 VEr は、一例としては、定電位を供給する配線として機能する。当該定電位としては、トランジスタ $M3$ 、トランジスタ $M3r$ 、トランジスタ $M4$ 、又はトランジスタ $M4r$ が n チャネル型トランジスタである場合は、例えば、低電位である VSS 、接地電位、又は、それら以外の低電位等とすることができる。

【0142】

<<動作例>>

次に、図15Bに示した回路MPの動作例について説明する。図16A乃至図16C、図17A乃至図17C、及び図18A乃至図18Cは、回路MPの動作例を示したタイミングチャートであり、それぞれ、配線 WL 、 $WX1L$ 、 $X2L$ 、ノード $n1$ 、 $n1r$ の電位の変動を示している。なお、図16A乃至図18Cに記載している“H”は高電位を示し、“L”は低電位を示している。また、本動作例において、配線 OL からノード $outa$ に（又は、ノード $outa$ から配線 OL に）出力される電流量を I_{OL} としている。また、配線 OLB からノード $outb$ に（又は、ノード $outb$ から配線 OLB に）出力される電流量を I_{OLB} としている。図16A乃至図18Cに示すタイミングチャートでは、電流 I_{OL} 、 I_{OLB} の変化量も図示している。

【0143】

なお、本動作例では、配線 VE 、及び配線 VEr には定電位として VSS （低電位）が供給されるものとする。

【0144】

図15Bに示した回路MPにおいて、トランジスタ $M2$ 、 $M3$ がオン状態のとき、トランジスタ $M1$ はダイオード接続の構成となる。そのため、配線 OL から回路MCに電流が流れるとき、トランジスタ $M1$ のソース又はドレインの他方とトランジスタ $M1$ のゲートと、のそれぞれの電位はほぼ等しくなる。当該電位は、配線 OL から回路MCに流れる電流量とトランジスタ $M1$ のソース又はドレインの一方の電位（ここでは VSS ）等によって定められる。ここで、トランジスタ $M1$ のゲートの電位を容量 $C1$ に保持し、その後にトランジスタ $M2$ をオフ状態にすることによって、トランジスタ $M1$ は、トランジスタ $M1$ のゲートの電位に応じた電流を流す電流源として機能する。そのため、トランジスタ $M1$ の電流特性のばらつきの影響を低減することができる。

【0145】

例えば、トランジスタ $M2$ 、 $M3$ がオン状態で、配線 OL から回路MCを介して配線 VE に I_1 の電流量が流れたとき、トランジスタ $M1$ のゲート（ノード $n1$ ）の電位は V_1 となるものとする。ここで、トランジスタ $M2$ をオフ状態にすることで、 V_1 は保持部HCにより保持される。これにより、トランジスタ $M1$ は、トランジスタ $M1$ のソース又はドレインの一方の電位 VSS と、トランジスタ $M1$ のゲートの電位 V_1 に応じた電流である I_1 をトランジスタ $M1$ のソースドレイン間に流すことができる。本明細書等では、このような動作を「トランジスタ $M1$ は、トランジスタ $M1$ のソースドレイン間に流れる電流量を I_1 にプログラミングされた」等という。

【0146】

本動作例では、配線 OL から回路MCに流れる電流量を0、 I_1 、 I_2 の3種類とする。このため、トランジスタ $M1$ にプログラミングされる電流量は0、 I_1 、 I_2 の3種類となる。例えば、保持部HCに保持されている、トランジスタ $M1$ のゲートの電位が VSS であるとき、トランジスタ $M1$ のソース又はドレインの一方、ソース又はドレインの他方のそれぞれの電位も VSS であるため、トランジスタ $M1$ のしきい値電圧が0より高ければ、トランジスタ $M1$ はオフ状態となる。このため、トランジスタ $M1$ のソースドレイン間に電流は流れない。よって、トランジスタ $M1$ のソースドレイン間に流れる電流量は0にプログラミングされている、ということができる。また、例えば、保持部HCに保持されている、トランジスタ $M1$ のゲートの電位が V_1 であるとき、トランジスタ $M1$ のしきい値電圧が $V_1 - VSS$ よりも低ければ、トランジスタ $M1$ はオン状態となる。このとき、トランジスタ $M1$ に流れる電流量を I_1 とする。このため、トランジスタ $M1$ のゲートの電位が V_1 であるとき、トランジスタ $M1$ のソースドレイン間に流れる電流量は

I_1 にプログラミングされている、ということができる。また、例えば、保持部HCに保持されている、トランジスタM1のゲートの電位が V_2 であるとき、トランジスタM1のしきい値電圧が $V_2 - V_{SS}$ よりも低ければ、トランジスタM1はオン状態となる。このとき、トランジスタM1に流れる電流量を I_2 とする。このため、トランジスタM1のゲートの電位が V_2 であるとき、トランジスタM1のソースドレイン間に流れる電流量は I_2 にプログラミングされている、ということができる。

【0147】

なお、 I_1 の電流量は、0よりも大きく、 I_2 よりも小さいものとする。また、電位 V_1 は、 V_{SS} よりも高く、 V_2 よりも低いものとする。また、トランジスタM1のしきい値電圧は、0よりも高く、 $V_1 - V_{SS}$ よりも低いものとする。

10

【0148】

また、動作例を説明する前に、回路MPが保持する第1のデータ（例えば、ここでは重み係数とする。）を次の通りに定義する。保持部HCのノードn1に V_{SS} 、保持部HCrのノードn1rに V_{SS} が保持されているとき、回路MPは第1のデータ（重み係数）として“0”を保持しているものとする。保持部HCのノードn1に V_1 、保持部HCrのノードn1rに V_{SS} が保持されているとき、回路MPは第1のデータ（重み係数）として“+1”を保持しているものとする。保持部HCのノードn1に V_2 、保持部HCrのノードn1rに V_{SS} が保持されているとき、回路MPは第1のデータ（重み係数）として“+2”を保持しているものとする。保持部HCのノードn1に V_{SS} 、保持部HCrのノードn1rに V_1 が保持されているとき、回路MPは第1のデータ（重み係数）として“-1”を保持しているものとする。保持部HCのノードn1に V_{SS} 、保持部HCrのノードn1rに V_2 が保持されているとき、回路MPは第1のデータ（重み係数）として“-2”を保持しているものとする。

20

【0149】

また、回路MPに入力される第2のデータ（例えば、ここではニューロンの信号の値（演算値）とする。）を一例として次の通りに定義する。配線WX1Lに高電位、配線X2Lに低電位が印加されているとき、回路MPには、第2のデータ（ニューロンの信号の値）として“+1”が入力されている。配線WX1Lに低電位、配線X2Lに高電位が印加されているとき、回路MPには、第2のデータ（ニューロンの信号の値）として“-1”が入力されている。配線WX1Lに低電位、配線X2Lに低電位が印加されているとき、回路MPには、第2のデータ（ニューロンの信号の値）として“0”が入力されるものとする。なお、一例としては、高電位としては、 V_{DD} 、又は、 V_{DD} よりも10%以上、もしくは、20%以上高い電位をとるものとする。

30

【0150】

以下では、第1のデータ（例えば、以下では重み係数とする。）、及び第2のデータ（例えば、以下では、ニューロンの信号の値（演算値）等）のそれぞれが取り得る値の組み合わせ毎に、回路MPの動作例を説明する。

【0151】

〔条件1〕

初めに、一例として、第1のデータ（重み係数）が“0”であって、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図16Aは、その場合における回路MPのタイミングチャートである。

40

【0152】

期間T11では、保持部HC、HCrには、初期の電位が保持されている。図16Aでは、例えば、ノードn1、n1rには、初期の電位として、電位 V_{SS} よりも高い電位が保持されているものとする。

【0153】

また、配線WL、WX1L、X2Lには、低電位が印加されている。これによって、トランジスタM2、M2r、M3、M3r、M4、M4rのそれぞれのゲートには、低電位が入力されるため、トランジスタM2、M2r、M3、M3r、M4、M4rのそれぞれは

50

オフ状態となる。

【0154】

期間T12において、配線WLと、配線WX1Lには、高電位が印加される。これにより、トランジスタM2、M2r、M3、M3rのそれぞれのゲートには、高電位が入力されるため、トランジスタM2、M2r、M3、M3rのそれぞれはオン状態となる。

【0155】

また、図16Aには図示していないが、配線OL、OLBのそれぞれには、初期化電位として V_{ini} が印加される。トランジスタM2、M2r、M3、M3rのそれぞれはオン状態となっているため、保持部HCのノードn1、及び保持部HCrのノードn1rのそれぞれの電位は V_{ini} となる。つまり、期間T12では、保持部HCのノードn1、及び保持部HCrのノードn1rのそれぞれの電位の初期化が行われる。

10

【0156】

なお、初期化電位の V_{ini} としては、例えば、接地電位とすることが好ましい。また、初期化電位の V_{ini} としては、VSS、接地電位よりも高い電位、又は接地電位よりも低い電位としてもよい。また、配線OL、OLBのそれぞれに供給する初期化電位 V_{ini} は互いに異なる電位としてもよい。なお、配線OL、OLBのそれぞれに初期化電位 V_{ini} を入力しなくてもよい。なお、必ずしも、期間T12を設けなくてもよい。又は、必ずしも、期間T12において、初期化を行わなくてもよい。

【0157】

期間T13において、配線OLから回路MCに電位VSSが入力され、配線OLBから回路MCrに電位VSSが入力される。これによって、保持部HCのノードn1の電位はVSSとなり、保持部HCrのノードn1rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として0を流すようにプログラミングされるため、配線OLから回路MCを介して配線VEに電流は流れない。また、回路MCrにおいて、トランジスタM1rは電流量として0を流すようにプログラミングされるため、配線OLBから回路MCrを介して配線Verに電流は流れない。換言すると、期間T13において、トランジスタM1、M1rはオフ状態となるため、配線OLと配線VEとの間是非導通状態となり、配線OLBと配線Verとの間是非導通状態となる。

20

【0158】

期間T14において、配線WLと、配線WX1Lには、低電位が印加される。これにより、トランジスタM2、M2r、M3、M3rのそれぞれのゲートには、低電位が入力されるため、トランジスタM2、M2r、M3、M3rのそれぞれはオフ状態となる。トランジスタM2、M2rがオフ状態になることにより、保持部HCのノードn1の電位VSSが保持され、保持部HCrのノードn1rの電位VSSが保持される。また、トランジスタM3がオフ状態になることによって、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、トランジスタM3rがオフ状態になることによって、配線OLBから回路MCrを介して配線Verに電流は流れなくなる。

30

【0159】

期間T11乃至期間T14における動作によって、回路MPの第1のデータ（重み係数）として“0”が設定される。

40

【0160】

期間T15において、回路MPへのニューロンの信号（演算値）“+1”の入力として、配線WX1Lに高電位、配線X2Lに低電位が入力される。このとき、トランジスタM3、M3rのそれぞれのゲートに高電位が入力され、トランジスタM4、M4rのそれぞれのゲートに低電位が入力される。このため、トランジスタM3、M3rのそれぞれはオン状態となり、M4、M4rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態になる。

【0161】

なお、トランジスタM1はオフ状態となっているため（電流量として0を流すようにプロ

50

グラミングされているため)、回路MCにおいて、配線OL、OLBから配線VEまでの間に電流は流れない。同様に、トランジスタM1rはオフ状態となっているため(電流量として0を流すようにプログラミングされているため)、回路MCrにおいて、配線OL、OLBから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} は、期間T14と期間T15とで変化しない。

【0162】

ところで、本条件は、第1のデータ(重み係数)が“0”とし、回路MPに入力される第2のデータ(ニューロンの信号の値(演算値))を“+1”としているため、式(1)を用いると、第1のデータ(重み係数)と第2のデータ(ニューロンの信号の値)の積は、“0”となる。第1のデータ(重み係数)と第2のデータ(ニューロンの信号の値)の積が“0”となる結果は、回路MPの動作では、期間T15において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応する。

10

【0163】

なお、第1のデータ(例えば、重み係数等)は、一旦入力すると、その値を更新せずに、第2のデータ(ニューロンの信号の値、又は演算値等)の方のみを変更することによって、複数の積和演算処理を行ってもよい。この場合、第1のデータ(重み係数)の更新が不要となるため、消費電力を低減することができる。なお、第1のデータ(重み係数)の更新を少なくするためには、第1のデータ(重み係数)を長期間保持する必要がある。このとき、例えば、OSTランジスタを用いると、オフ電流が低いことを利用して、第1のデータ(重み係数)を長期間保持することが可能となる。

20

【0164】

〔条件2〕

次に、一例として、第1のデータ(重み係数)が“+1”であって、回路MPに入力される第2のデータ(ニューロンの信号の値(演算値))が“+1”である場合を考える。図16Bは、その場合における回路MPのタイミングチャートである。

【0165】

期間T11及び期間T12における動作については、条件1の期間T11及び期間T12における動作と同様であるため、条件1の期間T11及び期間T12における動作の説明を参酌する。

30

【0166】

期間T13において、配線OLから回路MCに電流量として I_1 が入力され、配線OLBから回路MCrに電位VSSが入力される。これによって、保持部HCのノードn1の電位は V_1 となり、保持部HCrのノードn1rの電位はVSSとなる。これにより、回路MCにおいて、トランジスタM1は電流量として I_1 を流すようにプログラミングされるため、配線OLから回路MCを介して配線VEに電流量として I_1 が流れる。また、回路MCrにおいて、トランジスタM1rは電流量として0を流すようにプログラミングされるため、配線OLBから回路MCrを介して配線VERに電流は流れない。

【0167】

期間T14において、配線WLと、配線WX1Lには、低電位が印加される。これにより、トランジスタM2、M2r、M3、M3rのそれぞれのゲートには、低電位が入力されるため、トランジスタM2、M2r、M3、M3rのそれぞれはオフ状態となる。トランジスタM2、M2rがオフ状態になることにより、保持部HCのノードn1の電位 V_1 が保持され、保持部HCrのノードn1rの電位VSSが保持される。また、トランジスタM3がオフ状態になることによって、配線OLから回路MCを介して配線VEに電流は流れなくなる。また、同様に、トランジスタM3rがオフ状態になることによって、配線OLBから回路MCrを介して配線VERに電流は流れなくなる。

40

【0168】

期間T11乃至期間T14における動作によって、回路MPの第1のデータ(重み係数)として“+1”が設定される。

50

【0169】

期間T15において、回路MPへの第2のデータ（ニューロンの信号の値（演算値））“+1”の入力として、配線WX1Lに高電位、配線X2Lに低電位が入力される。このとき、トランジスタM3、M3rのそれぞれのゲートに高電位が入力され、トランジスタM4、M4rのそれぞれのゲートに低電位が入力される。このため、トランジスタM3、M3rのそれぞれはオン状態となり、M4、M4rのそれぞれはオフ状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態になる。

【0170】

このとき、回路MCにおいて、トランジスタM3がオン状態になっており、かつトランジスタM1rがオン状態になっているため（電流量として I_1 を流すようにプログラミングされているため）、配線OLから配線VEまでの間に電流が流れる。また、回路MCにおいて、トランジスタM4がオフ状態になっているため、配線OLBから配線VEまでの間に電流は流れない。一方、回路MCrにおいて、トランジスタM3rがオン状態になっているが、トランジスタM1がオフ状態になっているため（電流量として0を流すようにプログラミングされているため）、配線OLBから配線VERまでの間に電流は流れない。また、回路MCrにおいて、トランジスタM4rがオフ状態になっているため、配線OLから配線VERまでの間に電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} は、期間T15において I_1 増加し、配線OLBのノードoutbから出力される電流 I_{OLB} は、期間T14と期間T15とで変化しない。

【0171】

ところで、本条件は、第1のデータ（重み係数）を“+1”とし、回路MPに入力される第2のデータ（ニューロンの信号の値）を“+1”としているため、式（1）を用いると、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“+1”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“+1”となる結果は、回路MPの動作では、期間T15において電流 I_{OL} が I_1 増加し、電流 I_{OLB} が変化しない場合に対応する。

【0172】

なお、本条件の期間T13において、例えば、配線OLから回路MCに流れる電流を I_1 でなく I_2 にプログラミングすることで、保持部HCに V_2 を保持することができる。これにより、回路MPの第1のデータ（重み係数）として“+2”が設定される。第1のデータ（重み係数）を“+2”とし、回路MPに入力されるニューロンの信号を“+1”とすることにより、式（1）から、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“+2”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“+2”となる結果は、回路MPの動作では、期間T15において電流 I_{OL} が I_2 増加し、電流 I_{OLB} が変化しない場合に対応する。このように、回路MCrにおいて保持部HCrにVSSを保持し、かつ回路MCにおいて電流 I_1 以外をプログラミングすることで、回路MPの第1のデータ（重み係数）として“+1”以外の正の値を設定することができる。

【0173】

〔条件3〕

次に、一例として、第1のデータ（重み係数）が“-1”であって、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））が“+1”である場合を考える。図16Cは、その場合における回路MPのタイミングチャートである。

【0174】

期間T11及び期間T12における動作については、条件1の期間T11及び期間T12における動作と同様であるため、条件1の期間T11及び期間T12における動作の説明を参酌する。

【0175】

期間 T_{13} において、配線 OL から回路 MC に電位 V_{SS} が入力され、配線 OLB から回路 MCr に電流量として I_1 が入力される。これによって、保持部 HC のノード $n1$ の電位は V_{SS} となり、保持部 HCr のノード $n1r$ の電位は V_1 となる。これにより、回路 MCr において、トランジスタ $M1$ は電流量として 0 を流すようにプログラミングされるため、配線 OL から回路 MC を介して配線 VE に電流は流れない。また、回路 MCr において、トランジスタ $M1r$ は電流量として I_1 を流すようにプログラミングされるため、配線 OLB から回路 MCr を介して配線 VEr に電流量として I_1 が流れる。

【0176】

期間 T_{14} において、配線 WL と、配線 $WX1L$ には、低電位が印加される。これにより、トランジスタ $M2$ 、 $M2r$ 、 $M3$ 、 $M3r$ のそれぞれのゲートには、低電位が入力されるため、トランジスタ $M2$ 、 $M2r$ 、 $M3$ 、 $M3r$ のそれぞれはオフ状態となる。トランジスタ $M2$ 、 $M2r$ がオフ状態になることにより、保持部 HC のノード $n1$ の電位 V_{SS} が保持され、保持部 HCr のノード $n1r$ の電位 V_1 が保持される。また、トランジスタ $M3$ がオフ状態になることによって、配線 OL から回路 MC を介して配線 VE に電流は流れなくなる。また、同様に、トランジスタ $M3r$ がオフ状態になることによって、配線 OLB から回路 MCr を介して配線 VEr に電流は流れなくなる。

【0177】

期間 T_{11} 乃至期間 T_{14} における動作によって、回路 MP の第1のデータ（重み係数）として“ -1 ”が設定される。

【0178】

期間 T_{15} において、回路 MP への第2のデータ（ニューロンの信号（演算値））“ $+1$ ”の入力として、配線 $WX1L$ に高電位、配線 $X2L$ に低電位が入力される。このとき、トランジスタ $M3$ 、 $M3r$ のそれぞれのゲートに高電位が入力され、トランジスタ $M4$ 、 $M4r$ のそれぞれのゲートに低電位が入力される。このため、トランジスタ $M3$ 、 $M3r$ のそれぞれはオン状態となり、 $M4$ 、 $M4r$ のそれぞれはオフ状態になる。つまり、この動作によって、回路 MC と配線 OL との間、及び、回路 MCr と配線 OLB との間が導通状態になり、回路 MC と配線 OLB との間、及び、回路 MCr と配線 OL との間が非導通状態になる。

【0179】

このとき、回路 MC において、トランジスタ $M3$ がオン状態になっているが、トランジスタ $M1$ がオフ状態になっているため（電流量として 0 を流すようにプログラミングされているため）、配線 OL から配線 VE までの間に電流は流れない。また、回路 MC において、トランジスタ $M4$ がオフ状態になっているため、配線 OLB から配線 VE までの間に電流は流れない。一方、回路 MCr において、トランジスタ $M3r$ がオン状態になっており、かつトランジスタ $M1r$ がオン状態になっているため（電流量として I_1 を流すようにプログラミングされているため）、配線 OLB から配線 VEr までの間に電流が流れる。また、回路 MCr において、トランジスタ $M4r$ がオフ状態になっているため、配線 OL から配線 VEr までの間に電流は流れない。以上より、配線 OL のノード $outa$ から出力される電流 I_{OL} は、期間 T_{14} と期間 T_{15} とで変化せず、配線 OLB のノード $outb$ から出力される電流 I_{OLB} は、期間 T_{15} において I_1 増加する。

【0180】

ところで、本条件は、第1のデータ（重み係数）を“ -1 ”とし、回路 MP に入力される第2のデータ（ニューロンの信号の値（演算値））を“ $+1$ ”としているため、式（1）を用いると、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“ -1 ”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“ -1 ”となる結果は、回路 MP の動作では、期間 T_{15} において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応する。

【0181】

なお、本条件の期間 T_{13} において、例えば、配線 OLB から回路 MCr に流れる電流を I_1 でなく I_2 にプログラミングすることで、保持部 HCr に V_2 を保持することができる

。これにより、回路MPの第1のデータ（重み係数）として“−2”が設定される。第1のデータ（重み係数）を“−2”とし、回路MPに入力される第2のデータ（ニューロンの信号の値）を“+1”とすることにより、式（1）から、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“−2”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“−2”となる結果は、回路MPの動作では、期間T15において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路MCにおいて保持部HCにVSSを保持し、かつ回路MCrにおいて電流量として I_1 以外をプログラミングすることで、回路MPの重み係数として“+1”以外の正の値を設定することができる。

【0182】

〔条件4〕

本条件では、一例として、第1のデータ（重み係数）を“0”とし、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））を“−1”とする場合の回路MPの動作を考える。図17Aは、その場合における回路MPのタイミングチャートである。

【0183】

期間T11乃至期間T14における動作については、条件1の期間T11乃至期間T14における動作と同様であるため、条件1の期間T11乃至期間T14における動作の説明を参酌する。

【0184】

期間T15において、回路MPへの第2のデータ（ニューロンの信号の値（演算値））“−1”の入力として、配線WX1Lに低電位、配線X2Lに高電位が入力される。このとき、トランジスタM3、M3rのそれぞれのゲートに低電位が入力され、トランジスタM4、M4rのそれぞれのゲートに高電位が入力される。このため、トランジスタM3、M3rのそれぞれはオフ状態となり、M4、M4rのそれぞれはオン状態になる。つまり、この動作によって、回路MCと配線OLとの間、及び、回路MCrと配線OLBとの間が非導通状態になり、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が導通状態になる。

【0185】

なお、トランジスタM1はオフ状態となっているため（電流量として0を流すようにプログラミングされているため）、回路MCにおいて、配線OL、OLBから配線VEまでの間に電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} は、期間T14と期間T15とで変化しない。同様に、トランジスタM1rはオフ状態となっているため（電流量として0を流すようにプログラミングされているため）、回路MCrにおいて、配線OL、OLBから配線VERまでの間に電流は流れない。つまり、配線OLのノードoutaから出力される電流 I_{OL} 、及び配線OLBのノードoutbから出力される電流 I_{OLB} も、期間T14と期間T15とで変化しない。

【0186】

ところで、本条件は、第1のデータ（重み係数）を“0”とし、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））を“−1”としているため、式（1）を用いると、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“0”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、期間T14と期間T15とで電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1の回路動作の結果と一致する。

【0187】

〔条件5〕

本条件では、一例として、第1のデータ（重み係数）を“+1”とし、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））を“−1”とする場合の回路MPの動作を考える。図17Bは、その場合における回路MPのタイミングチャートである。

【0188】

10

20

30

40

50

期間 T_{11} 乃至期間 T_{14} における動作については、条件 2 の期間 T_{11} 乃至期間 T_{14} における動作と同様であるため、条件 2 の期間 T_{11} 乃至期間 T_{14} における動作の説明を参酌する。

【0189】

期間 T_{15} において、回路 MP への第 2 のデータ（ニューロンの信号の値（演算値））“ -1 ” の入力として、配線 WX_{1L} に低電位、配線 X_{2L} に高電位が入力される。このとき、トランジスタ M_3 、 M_{3r} のそれぞれのゲートに低電位が入力され、トランジスタ M_4 、 M_{4r} のそれぞれのゲートに高電位が入力される。このため、トランジスタ M_3 、 M_{3r} のそれぞれはオフ状態となり、 M_4 、 M_{4r} のそれぞれはオン状態になる。つまり、この動作によって、回路 MC と配線 OL との間、及び、回路 MC_r と配線 OLB との間が非導通状態になり、回路 MC と配線 OLB との間、及び、回路 MC_r と配線 OL との間が導通状態になる。

10

【0190】

このとき、回路 MC において、トランジスタ M_3 がオフ状態になっているため、配線 OL から配線 VE までの間に電流は流れない。また、回路 MC において、トランジスタ M_4 がオン状態になっており、かつトランジスタ M_{1r} がオン状態になっているため（電流量として I_1 を流すようにプログラミングされているため）、配線 OLB から配線 VE までの間に電流が流れる。一方、回路 MC_r において、トランジスタ M_{3r} がオフ状態になっているため、配線 OLB から配線 VE_r までの間に電流は流れない。また、回路 MC_r において、トランジスタ M_{4r} がオン状態になっているが、かつトランジスタ M_1 がオフ状態になっているため（電流量として 0 を流すようにプログラミングされているため）、配線 OL から配線 VE_r までの間に電流が流れない。以上より、配線 OL のノード out_a から出力される電流 I_{OL} は、期間 T_{14} と期間 T_{15} とで変化せず、配線 OLB のノード out_b から出力される電流 I_{OLB} は、期間 T_{15} において I_1 増加する。

20

【0191】

ところで、本条件は、第 1 のデータ（重み係数）を“ $+1$ ”とし、回路 MP に入力される第 2 のデータ（ニューロンの信号の値（演算値））を“ -1 ”としているため、式（1）を用いると、第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積は、“ -1 ”となる。第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積が“ -1 ”となる結果は、回路 MP の動作では、期間 T_{15} において電流 I_{OL} が変化せず、電流 I_{OLB} は I_1 増加する場合に対応し、これは条件 3 の回路動作の結果と一致する。

30

【0192】

なお、条件 2 でも記載した通り、本条件の期間 T_{13} において、例えば、配線 OL から回路 MC に流れる電流を I_1 でなく I_2 にプログラミングして、保持部 HC に V_2 を保持してもよい。これにより、回路 MP の第 1 のデータ（重み係数）として“ $+2$ ”が設定される。第 1 のデータ（重み係数）を“ $+2$ ”とし、回路 MP に入力されるニューロンの信号を“ -1 ”とすることにより、式（1）から、第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積は、“ -2 ”となる。第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積が“ -2 ”となる結果は、回路 MP の動作では、期間 T_{15} において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路 MC_r において保持部 HC_r に V_{SS} を保持し、かつ回路 MC において電流 I_1 以外をプログラミングすることで、回路 MP の重み係数として“ $+1$ ”以外の正の値を設定することができる。

40

【0193】

〔条件 6〕

本条件では、一例として、第 1 のデータ（重み係数）を“ -1 ”とし、回路 MP に入力される第 2 のデータ（ニューロンの信号の値（演算値））を“ -1 ”とする場合の回路 MP の動作を考える。図 17C は、その場合における回路 MP のタイミングチャートである。

【0194】

期間 T_{11} 乃至期間 T_{14} における動作については、条件 3 の期間 T_{11} 乃至期間 T_{14}

50

における動作と同様であるため、条件 3 の期間 T 1 1 乃至期間 T 1 4 における動作の説明を参酌する。

【0195】

期間 T 1 5 において、回路 M P への第 2 のデータ（ニューロンの信号の値（演算値））“ - 1 ” の入力として、配線 W X 1 L に低電位、配線 X 2 L に高電位が入力される。このとき、トランジスタ M 3、M 3 r のそれぞれのゲートに低電位が入力され、トランジスタ M 4、M 4 r のそれぞれのゲートに高電位が入力される。このため、トランジスタ M 3、M 3 r のそれぞれはオフ状態となり、M 4、M 4 r のそれぞれはオン状態になる。つまり、この動作によって、回路 M C と配線 O L との間、及び、回路 M C r と配線 O L B との間が非導通状態になり、回路 M C と配線 O L B との間、及び、回路 M C r と配線 O L との間が導通状態になる。

10

【0196】

このとき、回路 M C において、トランジスタ M 3 がオフ状態になっているため、配線 O L から配線 V E までの間に電流は流れない。また、回路 M C において、トランジスタ M 4 がオン状態になっているが、トランジスタ M 1 がオフ状態になっているため（電流量として 0 を流すようにプログラミングされているため）、配線 O L B から配線 V E までの間に電流は流れない。一方、回路 M C r において、トランジスタ M 3 r がオフ状態になっているため、配線 O L B から配線 V E r までの間に電流は流れない。また、回路 M C r において、トランジスタ M 4 r がオン状態になっており、かつトランジスタ M 1 がオン状態になっているため（電流量として I_1 を流すようにプログラミングされているため）、配線 O L から配線 V E r までの間に電流が流れる。以上より、配線 O L のノード o u t a から出力される電流 I_{OL} は、期間 T 1 5 において I_1 増加し、配線 O L B のノード o u t b から出力される電流 I_{OLB} は、期間 T 1 4 と期間 T 1 5 とで変化しない。

20

【0197】

ところで、本条件は、第 1 のデータ（重み係数）を“ - 1 ”とし、回路 M P に入力される第 2 のデータ（ニューロンの信号の値（演算値））を“ - 1 ”としているため、式（1）を用いると、第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積は、“ + 1 ”となる。第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積が“ + 1 ”となる結果は、回路 M P の動作では、期間 T 1 4 と期間 T 1 5 とで電流 I_{OL} が変化し、電流 I_{OLB} が変化しない場合に対応し、これは条件 2 の回路動作の結果と一致する。

30

【0198】

なお、条件 3 でも記載した通り、本条件の期間 T 1 3 において、例えば、配線 O L B から回路 M C r に流れる電流を I_1 でなく I_2 にプログラミングして、保持部 H C に V_2 を保持してもよい。これにより、回路 M P の第 1 のデータ（重み係数）として“ - 2 ”が設定される。第 1 のデータ（重み係数）を“ - 2 ”とし、回路 M P に入力される第 2 のデータ（ニューロンの信号の値）を“ - 1 ”とすることにより、式（1）から、第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積は、“ + 2 ”となる。第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積が“ + 2 ”となる結果は、回路 M P の動作では、期間 T 1 5 において電流 I_{OL} が変化せず、電流 I_{OLB} が I_2 増加する場合に対応する。このように、回路 M C において保持部 H C に V_{SS} を保持し、かつ回路 M C r において電流 I_1 以外をプログラミングすることで、回路 M P の重み係数として“ + 1 ”以外の正の値を設定することができる。

40

【0199】

〔条件 7〕

本条件では、一例として、第 1 のデータ（重み係数）が“ 0 ”であって、回路 M P に入力される第 2 のデータ（ニューロンの信号の値（演算値））が“ 0 ”である場合を条件 7 として、回路 M P の動作を考える。図 18 A は、その場合における回路 M P のタイミングチャートである。

【0200】

期間 T 1 1 乃至期間 T 1 4 における動作については、条件 1 の期間 T 1 1 乃至期間 T 1 4

50

における動作と同様であるため、条件 1 の期間 T 1 1 乃至期間 T 1 4 における動作の説明を参酌する。

【0201】

期間 T 1 5 において、回路 M P への第 2 のデータ（ニューロンの信号の値（演算値））“ 0 ” の入力として、配線 W X 1 L に低電位、配線 X 2 L に低電位が入力される。このとき、トランジスタ M 3、M 3 r、M 4、M 4 r のそれぞれのゲートに低電位が入力される。このため、トランジスタ M 3、M 3 r、M 4、M 4 r のそれぞれはオフ状態となる。つまり、この動作によって、回路 M C と配線 O L との間、回路 M C r と配線 O L B との間、回路 M C と配線 O L B との間、及び、回路 M C r と配線 O L との間が非導通状態になる。

【0202】

このため、回路 M C において、トランジスタ M 1 に流れる、プログラミングされた電流の量に関わらず、配線 O L から配線 V E 又は配線 V E r の一方までの間に電流は流れない。同様に、回路 M C r において、トランジスタ M 1 r に流れる、プログラミングされた電流の量に関わらず、配線 O L B から配線 V E 又は配線 V E r の他方までの間にも電流は流れない。つまり、配線 O L のノード o u t a から出力される電流 I_{OL} 、及び、配線 O L B のノード o u t b から出力される電流 I_{OLB} のそれぞれは、期間 T 1 4 と期間 T 1 5 とで変化しない。

【0203】

ところで、本条件は、第 1 のデータ（重み係数）を“ 0 ”とし、回路 M P に入力される第 2 のデータ（ニューロンの信号の値（演算値））を“ 0 ”としているため、式（1）を用いると、第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積は、“ 0 ”となる。第 1 のデータ（重み係数）と第 2 のデータ（ニューロンの信号の値）の積が“ 0 ”となる結果は、回路 M P の動作では、期間 T 1 5 において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件 1、4 の回路動作の結果と一致する。

【0204】

〔条件 8〕

本条件では、一例として、第 1 のデータ（重み係数）が“ + 1 ”であって、回路 M P に入力される第 2 のデータ（ニューロンの信号の値（演算値））が“ 0 ”である場合を条件 8 として、回路 M P の動作を考える。図 1 8 B は、その場合における回路 M P のタイミングチャートである。

【0205】

期間 T 1 1 乃至期間 T 1 4 における動作については、条件 2 の期間 T 1 1 乃至期間 T 1 4 における動作と同様であるため、条件 2 の期間 T 1 1 乃至期間 T 1 4 における動作の説明を参酌する。

【0206】

期間 T 1 5 において、回路 M P への第 2 のデータ（ニューロンの信号の値（演算値））“ 0 ” の入力として、配線 W X 1 L に低電位、配線 X 2 L に低電位が入力される。このとき、トランジスタ M 3、M 3 r、M 4、M 4 r のそれぞれのゲートに低電位が入力される。このため、トランジスタ M 3、M 3 r、M 4、M 4 r のそれぞれはオフ状態となる。つまり、条件 7 と同様に、この動作によって、トランジスタ M 1、M 1 r のそれぞれに流れる、プログラミングされた電流の量に関わらず、回路 M C と配線 O L との間、回路 M C r と配線 O L B との間、回路 M C と配線 O L B との間、及び、回路 M C r と配線 O L との間が非導通状態になる。このため、配線 O L から配線 V E 又は配線 V E r の一方までの間に電流は流れず、かつ配線 O L B から配線 V E 又は配線 V E r の他方までの間にも電流は流れない。以上より、配線 O L のノード o u t a から出力される電流 I_{OL} 、及び、配線 O L B のノード o u t b から出力される電流 I_{OLB} のそれぞれは、期間 T 1 4 と期間 T 1 5 とで変化しない。

【0207】

ところで、本条件は、第 1 のデータ（重み係数）を“ + 1 ”とし、回路 M P に入力される第 2 のデータ（ニューロンの信号（演算値））を“ 0 ”としているため、式（1）を用いると

10

20

30

40

50

、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“0”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、期間T15において電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、4、7の回路動作の結果と一致する。

【0208】

〔条件9〕

本条件では、一例として第1のデータ（重み係数）が“-1”であって、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））が“0”である場合を条件9として、回路MPの動作を考える。図18Cは、その場合における回路MPのタイミングチャートである。

【0209】

期間T11乃至期間T14における動作については、条件3の期間T11乃至期間T14における動作と同様であるため、条件3の期間T11乃至期間T14における動作の説明を参酌する。

【0210】

期間T15において、回路MPへの第2のデータ（ニューロンの信号の値（演算値））“0”の入力として、配線WX1Lに低電位、配線X2Lに低電位が入力される。このとき、トランジスタM3、M3r、M4、M4rのそれぞれのゲートに低電位が入力される。このため、トランジスタM3、M3r、M4、M4rのそれぞれはオフ状態となる。つまり、条件7と同様に、この動作によって、トランジスタM1、M1rのそれぞれに流れる、プログラミングされた電流の量に関わらず、回路MCと配線OLとの間、回路MCrと配線OLBとの間、回路MCと配線OLBとの間、及び、回路MCrと配線OLとの間が非導通状態になる。このため、配線OLから配線VE又は配線VERの一方までの間に電流は流れず、かつ配線OLBから配線VE又は配線VERの他方までの間にも電流は流れない。以上より、配線OLのノードoutaから出力される電流 I_{OL} 、及び、配線OLBのノードoutbから出力される電流 I_{OLB} のそれぞれは、期間T14と期間T15とで変化しない。

【0211】

ところで、本条件は、第1のデータ（重み係数）を“-1”とし、回路MPに入力される第2のデータ（ニューロンの信号の値（演算値））を“0”としているため、式（1）を用いると、第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積は、“0”となる。第1のデータ（重み係数）と第2のデータ（ニューロンの信号の値）の積が“0”となる結果は、回路MPの動作では、期間T14と期間T15とで電流 I_{OL} 及び電流 I_{OLB} のそれぞれが変化しない場合に対応し、これは条件1、4、7、8の回路動作の結果と一致する。

【0212】

上述した条件1乃至条件9の動作例の結果を下表にまとめる。なお、下表では、高電位を“H”と記載し、低電位を“L”と記載している。

【0213】

10

20

30

40

50

【表 1】

条件	重み係数	n1	n1r	信号	X1L	X2L	重み係数 × 信号	I _{OL} の変化量	I _{OLB} の変化量
条件1	0	VSS	VSS	+1	H	L	0	0	0
条件2	+1	V ₁	VSS	+1	H	L	+1	I ₁	0
条件3	-1	VSS	V ₁	+1	H	L	-1	0	I ₁
条件4	0	VSS	VSS	-1	L	H	0	0	0
条件5	+1	V ₁	VSS	-1	L	H	-1	0	I ₁
条件6	-1	VSS	V ₁	-1	L	H	+1	I ₁	0
条件7	0	VSS	VSS	0	L	L	0	0	0
条件8	+1	V ₁	VSS	0	L	L	0	0	0
条件9	-1	VSS	V ₁	0	L	L	0	0	0

【0214】

ここでは、配線OL、OLBに、回路MC、回路MCrが1個ずつ接続される場合を一例として示した。これについて、図15A等に応示するように、配線OL、OLBに、回路MC、回路MCrが複数個ずつ接続される場合には、各回路MC、回路MCrから出力される電流が、キルヒホッフの電流則に基づき、足し合わせられることになる。その結果、和の演算が行われることとなる。つまり、回路MC、回路MCrにおいて、積の演算が行われ、複数の回路MC、回路MCrからの電流の足し合わせにより、和の演算が行われる。以上の結果、積和演算処理が行われることとなる。

【0215】

ところで、回路MPの動作において、第1のデータ（重み係数）を“+1”、“-1”の2値のみとし、第2のデータ（ニューロンの信号の値）を“+1”、“-1”の2値のみとした計算を行うことで、回路MPは排他的論理和の否定の回路（一致回路）と同様の動作を行うことができる。

【0216】

また、回路MPの動作において、第1のデータ（重み係数）を“+1”、“0”の2値のみとし、第2のデータ（ニューロンの信号の値）を“+1”、“0”の2値のみとした計算を行うことで、回路MPは論理積の回路と同様の動作を行うことができる。

【0217】

ところで、本動作例では、回路MPの回路MC、MCrが有する保持部HC、HCrに保持される電位を、VSS、V₁、V₂等のように多値としたが、保持部HC、HCrには2値、又はアナログ値を示す電位を保持してもよい。例えば、第1のデータ（重み係数）が“正のアナログ値”の場合には、保持部HCのノードn1に高レベルのアナログ電位が保持され、保持部HCrのノードn1rに低電位が保持される。第1のデータ（重み係数）が“負のアナログ値”の場合には、例えば、保持部HCのノードn1に低電位が保持され、保持部HCrのノードn1rに高レベルのアナログ電位が保持される。そして、電流I_{OL}及び電流I_{OLB}の電流の大きさは、アナログ電位に応じた大きさとなる。

【0218】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせる実施することができる。

【0219】

（実施の形態3）

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なトランジスタの構成例について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成を説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

【0220】

半導体装置の断面構造の一部を図19に示す。図19に示す半導体装置は、トランジスタ550と、トランジスタ500と、容量600と、を有している。図20Aはトランジスタ500の上面図である。図20Bは、図20Aに一点鎖線で示した部位L1-L2における断面図であり、トランジスタ500のチャンネル長方向の断面図である。図20Cは、図20Aに一点鎖線で示した部位W1-W2における断面図であり、トランジスタ500のチャンネル幅方向の断面図である。例えば、トランジスタ500は上記実施の形態に示した半導体装置が有するOSトランジスタ、例えばトランジスタ21に相当する。また、トランジスタ550は上記実施の形態に示した半導体装置が有するSiトランジスタ、例えばトランジスタ22に相当する。

10

【0221】

前述のように、トランジスタ500は、OSトランジスタである。OSトランジスタは、オフ電流が極めて少ない。よって、トランジスタ500を介して記憶ノードに書き込んだデータ電位あるいは電荷を長期間保持することが可能である。つまり、記憶ノードのリフレッシュ動作頻度を低減、あるいは、リフレッシュ動作を必要としないため、半導体装置の消費電力を低減することができる。

【0222】

図19では、トランジスタ500はトランジスタ550の上方に設けられ、容量600はトランジスタ550、及びトランジスタ500の上方に設けられている。

【0223】

トランジスタ550は、基板371に設けられる。基板371は、例えば、p型のシリコン基板である。基板371は、n型のシリコン基板でもよい。酸化物層374は、基板371に埋め込み酸化(Burried oxide)によって形成された絶縁層(BOX層ともいう)、例えば酸化シリコンであることが好ましい。トランジスタ550は、基板371に酸化物層374を介して設けられた単結晶シリコン、いわゆるSOI(Silicon On Insulator)基板に設けられる。

20

【0224】

SOI基板における基板371は、素子分離層として機能する絶縁体373が設けられる。また基板371は、ウェル領域372を有する。ウェル領域372は、トランジスタ550の導電型に応じてn型又はp型の導電性が付与された領域である。SOI基板における単結晶シリコンには、半導体領域375、ソース領域又はドレイン領域として機能する低抵抗領域376a、低抵抗領域376bが設けられる。またウェル領域372上には、低抵抗領域376cが設けられる。

30

【0225】

トランジスタ550は、導電性を付与する不純物元素が付加されたウェル領域372に重ねて設けることができる。ウェル領域372は、低抵抗領域376cを介して電位を独立して変化させることで、トランジスタ550のボトムゲート電極として機能させることができる。そのため、トランジスタ550のしきい値電圧を制御することができる。特に、ウェル領域372に負の電位を印加することにより、トランジスタ550のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、ウェル領域372に負の電位を印加することで、Siトランジスタのゲート電極に印加する電位が0Vのときのドレイン電流を小さくすることができる。その結果、トランジスタ550を有する演算回路における貫通電流等に基づく消費電力を低減でき、演算効率の向上を図ることができる。

40

【0226】

トランジスタ550は、半導体層の上面及びチャンネル幅方向の側面が絶縁体377を介して導電体378に覆われている、いわゆるFin型とすることが好ましい。トランジスタ550をFin型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ550のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ550のオフ特性を向上させることができる。

50

【0227】

なお、トランジスタ550は、pチャネル型のトランジスタ、あるいはnチャネル型のトランジスタのいずれでもよい。

【0228】

導電体378は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、ウェル領域372は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、ウェル領域372に印加する電位は、低抵抗領域376cを介して制御することができる。

【0229】

半導体領域375のチャンネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域となる低抵抗領域376a、及び低抵抗領域376b、ウェル領域372の電位を制御する電極に接続される低抵抗領域376c等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）等を有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ550をHEMTとしてもよい。

10

【0230】

ウェル領域372、低抵抗領域376a、低抵抗領域376b、及び低抵抗領域376cは、半導体領域375に適用される半導体材料に加え、ヒ素、リン等のn型の導電性を付与する元素、又はホウ素等のp型の導電性を付与する元素を含む。

20

【0231】

ゲート電極として機能する導電体378は、ヒ素、リン等のn型の導電性を付与する元素、もしくはホウ素等のp型の導電性を付与する元素を含むシリコン等の半導体材料、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。また導電体378は、ニッケルシリサイド等のシリサイドを用いてもよい。

【0232】

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタン、又は窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために、導電体にタングステン又はアルミニウム等の金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

30

【0233】

低抵抗領域376a、低抵抗領域376b、及び低抵抗領域376cは、別の導電体、例えばニッケルシリサイド等のシリサイドを積層して設ける構成としてもよい。当該構成とすることで、電極として機能する領域の導電性を高めることができる。またこのとき、ゲート電極として機能する導電体378の側面、及びゲート絶縁膜として機能する絶縁体の側面には、サイドウォールスペーサ（側壁絶縁層ともいう）として機能する絶縁体を設ける構成としてもよい。当該構成とすることで、導電体378と、低抵抗領域376a及び低抵抗領域376bと、が導通状態となることを防ぐことができる。

40

【0234】

トランジスタ550を覆って、絶縁体379、絶縁体381、絶縁体383、及び絶縁体385が順に積層して設けられている。

【0235】

絶縁体379、絶縁体381、絶縁体383、及び絶縁体385として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよい。

【0236】

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含

50

有量が多い材料を示し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を示し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0237】

絶縁体381は、その下方に設けられるトランジスタ550等によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体381の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0238】

また、絶縁体383には、基板371、又はトランジスタ550等から、トランジスタ500が設けられる領域に、水素又は不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0239】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ550との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0240】

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）等を用いて分析することができる。例えば、絶縁体383の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体383の面積当りに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0241】

なお、絶縁体385は、絶縁体383よりも誘電率が低いことが好ましい。例えば、絶縁体385の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体385の比誘電率は、絶縁体383の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0242】

また、絶縁体379、絶縁体381、絶縁体383、及び絶縁体385には容量600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

【0243】

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立する、タングステン又はモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウム又は銅等の、低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0244】

絶縁体385、及び導電体330上に、配線層を設けてもよい。例えば、図19では、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶

10

20

30

40

50

絶縁体 350、絶縁体 352、及び絶縁体 354 には、導電体 356 が形成されている。導電体 356 は、トランジスタ 550 と接続するプラグ、又は配線としての機能を有する。なお導電体 356 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0245】

なお、例えば、絶縁体 350 は、絶縁体 383 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

10

【0246】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 550 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構成であることが好ましい。

【0247】

絶縁体 354、及び導電体 356 上に、配線層を設けてもよい。例えば、図 19 では、絶縁体 360、絶縁体 362、及び絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、及び絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグ又は配線としての機能を有する。なお導電体 366 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

20

【0248】

なお、例えば、絶縁体 360 は、絶縁体 383 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

30

【0249】

絶縁体 364、及び導電体 366 上に、配線層を設けてもよい。例えば、図 19 では、絶縁体 370、絶縁体 369、及び絶縁体 368 が順に積層して設けられている。また、絶縁体 370、絶縁体 369、及び絶縁体 368 には、導電体 376 が形成されている。導電体 376 は、プラグ又は配線としての機能を有する。なお導電体 376 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0250】

なお、例えば、絶縁体 370 は、絶縁体 383 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

40

【0251】

絶縁体 368、及び導電体 376 上に、配線層を設けてもよい。例えば、図 19 では、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ又は配線としての機能を有する。なお導電体 386 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

【0252】

50

なお、例えば、絶縁体 380 は、絶縁体 383 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 550 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 550 からトランジスタ 500 への水素の拡散を抑制することができる。

【0253】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、及び導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

10

【0254】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 のいずれかは、酸素、及び水素に対してバリア性のある物質を用いることが好ましい。

【0255】

例えば、絶縁体 510、及び絶縁体 514 には、例えば、基板 371、又はトランジスタ 550 を設ける領域等から、トランジスタ 500 を設ける領域に、水素又は不純物に対するバリア性を有する膜を用いることが好ましい。したがって、絶縁体 383 と同様の材料を用いることができる。

20

【0256】

水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 550 との間に、水素の拡散を抑制する膜を用いることが好ましい。

【0257】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、及び絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

30

【0258】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

【0259】

また、例えば、絶縁体 512、及び絶縁体 516 には、絶縁体 379 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、及び絶縁体 516 として、酸化シリコン膜、又は酸化窒化シリコン膜等を用いることができる。

40

【0260】

また、絶縁体 510、絶縁体 512、絶縁体 514、及び絶縁体 516 には、導電体 518、及びトランジスタ 500 を構成する導電体（例えば、導電体 503）等が埋め込まれている。なお、導電体 518 は、容量 600、又はトランジスタ 550 と接続するプラグ、又は配線としての機能を有する。導電体 518 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

50

【0261】

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ550とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で、分離することができ、トランジスタ550からトランジスタ500への水素の拡散を抑制することができる。

【0262】

絶縁体516の上方には、トランジスタ500が設けられている。

【0263】

図20A及び図20Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面に配置された絶縁体545と、絶縁体545の形成面に配置された導電体560と、を有する。

【0264】

また、図20A及び図20Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図20A及び図20Bに示すように、導電体560は、絶縁体545の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図20A及び図20Bに示すように、絶縁体580、導電体560、及び絶縁体545の上に絶縁体574が配置されることが好ましい。

【0265】

なお、本明細書等において、酸化物530a、及び酸化物530bをまとめて酸化物530という場合がある。

【0266】

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、及び酸化物530bの2層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、又は3層以上の積層構成を設ける構成にしてもよい。

【0267】

また、トランジスタ500では、導電体560を2層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構成であってもよいし、3層以上の積層構成であってもよい。また、図19、図20A、及び図20Bに示すトランジスタ500は一例であり、その構成に限定されず、回路構成又は駆動方法等に応じて適切なトランジスタを用いればよい。

【0268】

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542a及び導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるため、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

10

20

30

40

50

【0269】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるため、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542a及び導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

【0270】

導電体560は、第1のゲート（ゲート又はトップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（バックゲート又はボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧をより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

【0271】

導電体503は、酸化物530、及び導電体560と、重なるように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

【0272】

本明細書等において、一対のゲート電極（第1のゲート電極、及び第2のゲート電極）の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構成を、*surrounded channel*（*S-channel*）構成とよぶ。また、本明細書等で開示する*S-channel*構成は、*Fin*型構成及びプレーナ型構成とは異なる。*S-channel*構成を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

【0273】

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構成として設ける構成にしてもよい。

【0274】

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一又は、すべての拡散を抑制する機能とする。

【0275】

例えば、導電体503aが酸素の拡散を抑制する機能を持つことにより、導電体503bが酸化して導電率が低下することを抑制することができる。

【0276】

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体503を導電体503aと導電体503bの積層で図示したが、導電体503は単層構成であってもよい。

【0277】

10

20

30

40

50

絶縁体 520、絶縁体 522、及び絶縁体 524 は、第 2 のゲート絶縁膜としての機能を有する。

【0278】

ここで、酸化物 530 と接する絶縁体 524 は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書等では、加熱により放出される酸素を「過剰酸素」という場合がある。つまり、絶縁体 524 には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物 530 に接して設けることにより、酸化物 530 中の酸素欠損（ $\text{V}_{\text{O}}:\text{oxygen vacancy}$ ともいう）を低減し、トランジスタ 500 の信頼性を向上させることができる。なお、酸化物 530 中の酸素欠損に水素が入った場合、当該欠陥（以下、 $\text{V}_{\text{O}}\text{H}$ という場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物 530 中の $\text{V}_{\text{O}}\text{H}$ をできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、 $\text{V}_{\text{O}}\text{H}$ が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素等の不純物を除去すること（「脱水」又は「脱水素化处理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（「加酸素化处理」ともいう。）が重要である。 $\text{V}_{\text{O}}\text{H}$ が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0279】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、又は 100°C 以上 400°C 以下の範囲が好ましい。

【0280】

また、上記過剰酸素領域を有する絶縁体と、酸化物 530 と、を接して加熱処理、マイクロ波処理、又は RF 処理のいずれか一又は複数の処理を行っても良い。当該処理を行うことで、酸化物 530 中の水、又は水素を除去することができる。例えば、酸化物 530 において、 $\text{V}_{\text{O}}\text{H}$ の結合が切断される反応が起きる、別言すると「 $\text{V}_{\text{O}}\text{H} \rightarrow \text{V}_{\text{O}} + \text{H}$ 」という反応が起きて、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して H_2O として、酸化物 530、又は酸化物 530 近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体 542a 及び導電体 542b にゲッタリングされる場合がある。

【0281】

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、又は、基板側に RF を印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成することができ、基板側に RF を印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物 530、又は酸化物 530 近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を 133 Pa 以上、好ましくは 200 Pa 以上、さらに好ましくは 400 Pa 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（ $\text{O}_2 / (\text{O}_2$

+Ar))が50%以下、好ましくは10%以上30%以下で行うとよい。

【0282】

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損(Vo)の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。又は、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行った後に行ってもよい。

10

【0283】

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $Vo + O \rightarrow null$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素に供給された酸素が反応することで、当該水素をH₂Oとして除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合してVoHが形成されるのを抑制することができる。

20

【0284】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子等)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

【0285】

絶縁体522が、酸素又は不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524、又は酸化物530が有する酸素と反応することを抑制することができる。

【0286】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム(SrTiO₃)、又は(Ba, Sr)TiO₃(BST)等のいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

30

【0287】

特に、不純物、及び酸素等の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料であるアルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)等を用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出、又はトランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

40

【0288】

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

50

【0289】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、又は酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体520を得ることができる。

【0290】

なお、図20A及び図20Bのトランジスタ500では、3層の積層構成からなる第2のゲート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、又は4層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

10

【0291】

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。

【0292】

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、ALD (Atomic Layer Deposition) 法で行なってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

20

【0293】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが好ましくは2 eV以上、より好ましくは2.5 eV以上の金属酸化物を用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0294】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構成物から、酸化物530bへの不純物の拡散を抑制することができる。

30

【0295】

なお、酸化物530は、各金属原子の原子数比が異なる複数の酸化物層の積層構成を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

40

【0296】

また、酸化物530aの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530aの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

【0297】

ここで、酸化物530a及び酸化物530bの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a及び酸化物530bの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

50

【0298】

具体的には、酸化物530aと酸化物530bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いるとよい。

【0299】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530aを上述の構成とすることで、酸化物530aと酸化物530bとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

【0300】

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタル等の金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

【0301】

また、図20Bでは、導電体542a、及び導電体542bを単層構成として示したが、2層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

【0302】

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構成、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

【0303】

また、図20Bに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として、領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0304】

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、領域543a（領域543b）に導電体542a（導電体542b）に含まれる金属と、酸化物530の成

10

20

30

40

50

分とを含む金属化合物層が形成される場合がある。このような場合、領域 5 4 3 a（領域 5 4 3 b）のキャリア密度が増加し、領域 5 4 3 a（領域 5 4 3 b）は、低抵抗領域となる。

【0305】

絶縁体 5 4 4 は、導電体 5 4 2 a、及び導電体 5 4 2 b を覆うように設けられ、導電体 5 4 2 a、及び導電体 5 4 2 b の酸化を抑制する。このとき、絶縁体 5 4 4 は、酸化物 5 3 0 の側面を覆い、絶縁体 5 2 4 と接するように設けられてもよい。

【0306】

絶縁体 5 4 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体 5 4 4 として、窒化酸化シリコン又は窒化シリコン等も用いることができる。

【0307】

特に、絶縁体 5 4 4 として、アルミニウム、又はハフニウム的一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体 5 4 2 a、及び導電体 5 4 2 b が耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない材料である場合、絶縁体 5 4 4 は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0308】

絶縁体 5 4 4 を有することで、絶縁体 5 8 0 に含まれる水、及び水素等の不純物が酸化物 5 3 0 b に拡散することを抑制することができる。また、絶縁体 5 8 0 が有する過剰酸素により、導電体 5 4 2 a、及び導電体 5 4 2 b が酸化するのを抑制することができる。

【0309】

絶縁体 5 4 5 は、第 1 のゲート絶縁膜として機能する。絶縁体 5 4 5 は、上述した絶縁体 5 2 4 と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

【0310】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

【0311】

過剰酸素を含む絶縁体を絶縁体 5 4 5 として設けることにより、絶縁体 5 4 5 から、酸化物 5 3 0 b のチャネル形成領域に効果的に酸素を供給することができる。また、絶縁体 5 2 4 と同様に、絶縁体 5 4 5 中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体 5 4 5 の膜厚は、1 nm 以上 20 nm 以下とすることが好ましい。また、絶縁体 5 4 5 の形成前及び／又は形成後に、前述したマイクロ波処理を行なってもよい。

【0312】

また、絶縁体 5 4 5 が有する過剰酸素を、効率的に酸化物 5 3 0 へ供給するために、絶縁体 5 4 5 と導電体 5 6 0 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 5 4 5 から導電体 5 6 0 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 5 4 5 から導電体 5 6 0 への過剰酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 5 6 0 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 5 4 4 に用いることができる材料を用いればよい。

【0313】

なお、絶縁体 545 は、第 2 のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、high-k 材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

【0314】

第 1 のゲート電極として機能する導電体 560 は、図 20B 及び図 20C では 2 層構成として示しているが、単層構成でもよいし、3 層以上の積層構成であってもよい。

【0315】

導電体 560a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560a が酸素の拡散を抑制する機能を持つことにより、絶縁体 545 に含まれる酸素により、導電体 560b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、導電体 560a として、酸化物 530 に適用できる酸化物半導体を用いることができる。その場合、導電体 560b をスパッタリング法で成膜することで、導電体 560a の電気抵抗値を低下させて導電体にする

【0316】

また、導電体 560b は、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 560b は積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

【0317】

絶縁体 580 は、絶縁体 544 を介して、導電体 542a、及び導電体 542b 上に設けられる。絶縁体 580 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 580 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等を有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

【0318】

絶縁体 580 は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体 580 を設けることで、絶縁体 580 中の酸素を酸化物 530 へと効率良く供給することができる。なお、絶縁体 580 中の水又は水素等の不純物濃度が低減されていることが好ましい。

【0319】

絶縁体 580 の開口は、導電体 542a と導電体 542b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、及び導電体 542a と導電体 542b に挟まれた領域に、埋め込まれるように形成される。

【0320】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比

の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

【0321】

絶縁体 574 は、絶縁体 580 の上面、導電体 560 の上面、及び絶縁体 545 の上面に接して設けられることが好ましい。絶縁体 574 をスパッタリング法で成膜することで、絶縁体 545、及び絶縁体 580 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 530 中に酸素を供給することができる。

【0322】

例えば、絶縁体 574 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

10

【0323】

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

【0324】

また、絶縁体 574 の上に、層間膜として機能する絶縁体 581 を設けることが好ましい。絶縁体 581 は、絶縁体 524 等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

20

【0325】

また、絶縁体 581、絶縁体 574、絶縁体 580、及び絶縁体 544 に形成された開口に、導電体 540a、及び導電体 540b を配置する。導電体 540a 及び導電体 540b は、導電体 560 を挟んで対向して設ける。導電体 540a 及び導電体 540b は、後述する導電体 546、及び導電体 548 と同様の構成である。

【0326】

絶縁体 581 上には、絶縁体 582 が設けられている。絶縁体 582 は、酸素又は水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 582 には、絶縁体 514 と同様の材料を用いることができる。例えば、絶縁体 582 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

30

【0327】

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

【0328】

また、絶縁体 582 上には、絶縁体 586 が設けられている。絶縁体 586 は、絶縁体 379 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 586 として、酸化シリコン膜、又は酸化窒化シリコン膜等を用いることができる。

40

【0329】

また、絶縁体 520、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、絶縁体 574、絶縁体 581、絶縁体 582、及び絶縁体 586 には、導電体 546、及び導電体 548 等が埋め込まれている。

【0330】

導電体 546、及び導電体 548 は、容量 600、トランジスタ 500、又はトランジスタ 550 と接続するプラグ、又は配線としての機能を有する。導電体 546、及び導電体 548 は、導電体 328、及び導電体 330 と同様の材料を用いて設けることができる。

50

【0331】

また、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、又は水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性が高い絶縁体でトランジスタ500を包み込むことで、外部から水分、及び水素が侵入するのを防止することができる。又は、複数のトランジスタ500をまとめて、水素、又は水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体522又は絶縁体514に達する開口を形成し、絶縁体522又は絶縁体514に接するように上述のバリア性が高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため、好適である。なお、水素、又は水に対するバリア性が高い絶縁体としては、例えば、絶縁体522又は絶縁体514と同様の材料を用いればよい。

10

【0332】

続いて、トランジスタ500の上方には、容量600が設けられている。容量600は、導電体610と、導電体620と、絶縁体630とを有する。

【0333】

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

【0334】

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

20

【0335】

本実施の形態では、導電体612、及び導電体610を単層構成で示したが、当該構成に限定されず、2層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

30

【0336】

絶縁体630には、強誘電体を用いることができる。絶縁体630には、例えば上記実施の形態で示した強誘電体層12に用いることができる材料と同様の材料を用いることができる。また、絶縁体630は、図1B1乃至図1B4に示すような、強誘電体層と、常誘電体層と、の積層構成としてもよい。

【0337】

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立する、タングステン又はモリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構成と同時に形成する場合は、低抵抗金属材料であるCu（銅）又はAl（アルミニウム）等を用いればよい。

40

【0338】

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640は、絶縁体379と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0339】

50

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

【0340】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせる実施することができる。

【0341】

(実施の形態4)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物(以下、酸化物半導体ともいう。)について説明する。

【0342】

金属酸化物は、インジウム又は亜鉛の少なくとも一方を含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズ等が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウム、コバルト等から選ばれた一種、又は複数種が含まれていてもよい。

【0343】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図21Aを用いて説明を行う。図21Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0344】

図21Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(Cloud-Aligned Composite)が含まれる。なお、「Crystalline」の分類には、single crystal、poly crystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpoly crystalが含まれる。

【0345】

なお、図21Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystal line phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」、及び「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

【0346】

なお、膜又は基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」に分類されるCAAC-IGZO膜のGIXD(Grazing-Incidence XRD)測定で得られるXRDスペクトルを図21Bに示す。なお、GIXD法は、薄膜法又はSeemann-Bohlin法ともいう。以降、図21Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。図21Bの縦軸をIntensity、横軸を 2θ とする。なお、図21Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3[原子数比]近傍である。また、図21Bに示すCAAC-IGZO膜の厚さは、500nmである。

【0347】

図21Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を

10

20

30

40

50

示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$ 近傍に、c軸配向を示すピークが検出される。なお、図21Bに示すように、 $2\theta = 31^\circ$ 近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

【0348】

また、膜又は基板の結晶構造は、極微電子線回折法（NBED：Nano Beam Electron Diffraction）によって観察される回折パターン（極微電子線回折パターンともいう。）にて評価することができる。CAAC-IGZO膜の回折パターンを、図21Cに示す。図21Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図21Cに示すCAAC-IGZO膜の組成は、In：Ga：Zn＝4：2：3〔原子数比〕近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

10

【0349】

図21Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

【0350】

<<酸化物半導体の構造>>

なお、酸化物半導体は、結晶構造に着目した場合、図21Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体（a-like OS：amorphous-like oxide semiconductor）、非晶質酸化物半導体、等が含まれる。

20

【0351】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

【0352】

[CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、又はCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

30

【0353】

なお、上記複数の結晶領域のそれぞれは、1つ又は複数の微小な結晶（最大径が10nm未満である結晶）で構成される。結晶領域が1つの微小な結晶で構成されている場合、当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

40

【0354】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタン等から選ばれた一種、又は複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M，Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M，Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分

50

解能TEM像において、格子像として観察される。

【0355】

CAAC-Os膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$ 又はその近傍に検出される。なお、c軸配向を示すピークの位置(2θ の値)は、CAAC-Osを構成する金属元素の種類、組成等により変動する場合がある。

【0356】

また、例えば、CAAC-Os膜の電子線回折パターンにおいて、複数の輝点(スポット)が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット(ダイレクトスポットともいう。)を対称中心として、点対称の位置に観測される。

10

【0357】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形等の格子配列を有する場合がある。なお、CAAC-Osにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリー)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-Osが、a-b面方向において酸素原子の配列が稠密でないこと、又は金属原子が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

20

【0358】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶(polycrystal)といわれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下等を引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-Osは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-Osを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

【0359】

CAAC-Osは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は、不純物の混入、又は欠陥の生成等によって低下する場合があるため、CAAC-Osは、不純物又は欠陥(酸素欠損等)の少ない酸化物半導体ともいえる。従って、CAAC-Osを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-Osを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-Osは、製造工程における高い温度(所謂サーマルバジェット)に対しても安定である。したがって、OsトランジスタにCAAC-Osを用いると、製造工程の自由度を広げることが可能となる。

30

【0360】

[nc-Os]

nc-Osは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。別言すると、nc-Osは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-Osは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Os又は非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-Os膜に対し、XRD装置を用いて構造解析を行うと、 $\theta/2\theta$ スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-Os膜に対し、ナノ結晶よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回

40

50

折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、 $nc-OS$ 膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径（例えば 1 nm 以上 30 nm 以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

【0361】

[a-like OS]

a-like OSは、 $nc-OS$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、 $nc-OS$ 及び $CAC-OS$ と比べて、結晶性が低い。また、a-like OSは、 $nc-OS$ 及び $CAC-OS$ と比べて、膜中の水素濃度が高い。

10

【0362】

<<酸化物半導体の構成>>

次に、上述の $CAC-OS$ の詳細について、説明を行う。なお、 $CAC-OS$ は材料構成に関する。

【0363】

[CAC-OS]

$CAC-OS$ とは、例えば、金属酸化物を構成する元素が、 0.5 nm 以上 10 nm 以下、好ましくは、 1 nm 以上 3 nm 以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つ又は複数の金属元素が偏在し、該金属元素を有する領域が、 0.5 nm 以上 10 nm 以下、好ましくは、 1 nm 以上 3 nm 以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

20

【0364】

さらに、 $CAC-OS$ とは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成（以下、クラウド状ともいう。）である。つまり、 $CAC-OS$ は、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0365】

ここで、 $In-Ga-Zn$ 酸化物における $CAC-OS$ を構成する金属元素に対する In 、 Ga 、及び Zn の原子数比のそれぞれを、 $[In]$ 、 $[Ga]$ 、及び $[Zn]$ と表記する。例えば、 $In-Ga-Zn$ 酸化物における $CAC-OS$ において、第1の領域は、 $[In]$ が、 $CAC-OS$ 膜の組成における $[In]$ よりも大きい領域である。また、第2の領域は、 $[Ga]$ が、 $CAC-OS$ 膜の組成における $[Ga]$ よりも大きい領域である。又は、例えば、第1の領域は、 $[In]$ が、第2の領域における $[In]$ よりも大きく、且つ、 $[Ga]$ が、第2の領域における $[Ga]$ よりも小さい領域である。また、第2の領域は、 $[Ga]$ が、第1の領域における $[Ga]$ よりも大きく、且つ、 $[In]$ が、第1の領域における $[In]$ よりも小さい領域である。

30

【0366】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物等が主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物等が主成分である領域である。つまり、上記第1の領域を、 In を主成分とする領域と言い換えることができる。また、上記第2の領域を、 Ga を主成分とする領域と言い換えることができる。

40

【0367】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0368】

例えば、 $In-Ga-Zn$ 酸化物における $CAC-OS$ では、エネルギー分散型X線分光法（EDX: Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、 In を主成分とする領域（第1の領域）と、 Ga を主成分とする領域（第2の領域）とが、偏在し、混合している構造を有するこ

50

とが確認できる。

【0369】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性が、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流(I_{on})、高い電界効果移動度(μ)、及び良好なスイッチング動作を実現することができる。

10

【0370】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0371】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0372】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

20

【0373】

トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のキャリア濃度は $1 \times 10^{17} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体という場合がある。

30

【0374】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。

【0375】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0376】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

40

【0377】

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

【0378】

酸化物半導体において、第14族元素の一つである、シリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体における、シリコン又は炭素の濃度と、酸化物半導体との界面近傍の、シリコン又は炭素の濃度(二次イオン

50

質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる濃度) を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0379】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0380】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

【0381】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満にする。

【0382】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0383】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせる実施することができる。

【0384】

(実施の形態5)

本実施の形態では、上記実施の形態に示す半導体装置等が形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

【0385】

<半導体ウェハ>

初めに、半導体装置等が形成された半導体ウェハの一例を、図22Aを用いて説明する。

【0386】

図22Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

【0387】

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化しても

10

20

30

40

50

よい。この工程により、ウェハ４８０１の反り等を低減し、部品としての小型化を図ることができる。

【０３８８】

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインという場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

【０３８９】

ダイシング工程を行うことにより、図２２Ｂに示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくするようにすることが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

【０３９０】

なお、本発明の一態様の素子基板の形状は、図２２Ａに図示した半導体ウェハ４８００の形状に限定されない。例えば、矩形の形状の半導体ウェハであってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

【０３９１】

<電子部品>

図２２Ｃに電子部品４７００及び電子部品４７００が実装された基板（実装基板４７０４）の斜視図を示す。図２２Ｃに示す電子部品４７００は、モールド４７１１内にチップ４８００ａを有している。チップ４８００ａとして、本発明の一態様に係る記憶装置等を用いることができる。

【０３９２】

図２２Ｃは、電子部品４７００の内部を示すために、一部を省略している。電子部品４７００は、モールド４７１１の外側にランド４７１２を有する。ランド４７１２は電極パッド４７１３と電氣的に接続され、電極パッド４７１３はチップ４８００ａとワイヤ４７１４によって電氣的に接続される。電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板４７０２上で電氣的に接続されることで実装基板４７０４が完成する。

【０３９３】

図２２Ｄに電子部品４７３０の斜視図を示す。電子部品４７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ ｐａｃｋａｇｅ）又はＭＣＭ（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品４７３０は、パッケージ基板４７３２（プリント基板）上にインターポーザ４７３１が設けられ、インターポーザ４７３１上に半導体装置４７３５、及び複数の半導体装置４７１０が設けられている。

【０３９４】

半導体装置４７１０としては、例えば、チップ４８００ａ、上記実施の形態で説明した半導体装置、広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）等とすることができる。また、半導体装置４７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡ、記憶装置等の集積回路（半導体装置）を用いることができる。

【０３９５】

パッケージ基板４７３２は、セラミック基板、プラスチック基板、又はガラスエポキシ基板等を用いることができる。インターポーザ４７３１は、シリコンインターポーザ、樹脂インターポーザ等を用いることができる。

【０３９６】

10

20

30

40

50

インターポーザ 4731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ 4731 は、インターポーザ 4731 上に設けられた集積回路をパッケージ基板 4732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ 4731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 4732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、T S V (Through Silicon Via) を用いることもできる。

【0397】

インターポーザ 4731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

【0398】

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

【0399】

また、シリコンインターポーザを用いたS i P又はM C M等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5 Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

【0400】

また、電子部品4730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ4731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品4730では、半導体装置4710と半導体装置4735の高さを揃えることが好ましい。

【0401】

電子部品4730を他の基板に実装するため、パッケージ基板4732の底部に電極4733を設けてもよい。図22Dでは、電極4733を半田ボールで形成する例を示している。パッケージ基板4732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現できる。また、電極4733を導電性のピンで形成してもよい。パッケージ基板4732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現できる。

【0402】

電子部品4730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、又はQFN(Quad Flat Non-leaded package)等の実装方法を用いることができる。

【0403】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせることで実施することができる。

【0404】

(実施の形態6)

本実施の形態では、本発明の一態様に係る半導体装置の応用例について説明する。

10

20

30

40

50

【0405】

本発明の一態様に係る半導体装置は、例えば、各種電子機器（例えば、情報端末、コンピュータ、スマートフォン、電子書籍端末、デジタルスチルカメラ、ビデオカメラ、録画再生装置、ナビゲーションシステム、ゲーム機等）の記憶装置に適用できる。また、イメージセンサ、IoT（Internet of Things）、ヘルスケア等に用いることもできる。なお、ここで、コンピュータとは、タブレット型のコンピュータ、ノート型のコンピュータ、及びデスクトップ型のコンピュータの他、サーバシステムのような大型のコンピュータを含むものである。

【0406】

本発明の一態様に係る半導体装置を有する電子機器の一例について説明する。なお、図23A乃至図23J、図24A乃至図24Eには、当該半導体装置を有する電子部品4700又は電子部品4730が各電子機器に含まれている様子を図示している。

10

【0407】

〔携帯電話〕

図23Aに示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

【0408】

情報端末5500は、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイル（例えば、ウェブブラウザの使用時のキャッシュ等）を保持することができる。

20

【0409】

〔ウェアラブル端末〕

また、図23Bには、ウェアラブル端末の一例である情報端末5900が図示されている。情報端末5900は、筐体5901、表示部5902、操作スイッチ5903、操作スイッチ5904、バンド5905等を有する。

【0410】

ウェアラブル端末は、先述した情報端末5500と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

30

【0411】

〔情報端末〕

また、図23Cには、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、表示部5302と、キーボード5303と、を有する。

【0412】

デスクトップ型情報端末5300は、先述した情報端末5500と同様に、本発明の一態様に係る半導体装置を適用することで、アプリケーションの実行時に生成される一時的なファイルを保持することができる。

40

【0413】

なお、上述では、電子機器としてスマートフォン、ウェアラブル端末、デスクトップ用情報端末を例として、それぞれ図23A乃至図23Cに図示したが、スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、ウェアラブル端末、デスクトップ用情報端末以外の情報端末としては、例えば、PDA（Personal Digital Assistant）、ノート型情報端末、ワークステーション等が挙げられる。

【0414】

〔電化製品〕

また、図23Dには、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。

50

電気冷凍冷蔵庫５８００は、筐体５８０１、冷蔵室用扉５８０２、冷凍室用扉５８０３等を有する。例えば、電気冷凍冷蔵庫５８００は、ＩｏＴ（Ｉｎｔｅｒｎｅｔ ｏｆ Ｔｈｉｎｇｓ）に対応した電気冷凍冷蔵庫である。

【０４１５】

電気冷凍冷蔵庫５８００に本発明の一態様に係る半導体装置を適用することができる。電気冷凍冷蔵庫５８００は、電気冷凍冷蔵庫５８００に保存されている食材、その食材の消費期限等の情報を、インターネット等を通じて、情報端末等に送受信することができる。電気冷凍冷蔵庫５８００は、当該情報を送信する際に生成される一時的なファイルを、当該半導体装置に保持することができる。

【０４１６】

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電気オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器等が挙げられる。

【０４１７】

〔ゲーム機〕

また、図２３Ｅには、ゲーム機の一例である携帯ゲーム機５２００が図示されている。携帯ゲーム機５２００は、筐体５２０１、表示部５２０２、ボタン５２０３等を有する。

【０４１８】

更に、図２３Ｆには、ゲーム機の一例である据え置き型ゲーム機７５００が図示されている。据え置き型ゲーム機７５００は、本体７５２０と、コントローラ７５２２を有する。なお、本体７５２０には、無線又は有線によってコントローラ７５２２を接続することができる。また、図２３Ｆには示していないが、コントローラ７５２２は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネル、スティック、回転式つまみ、又はスライド式つまみ等を備えることができる。また、コントローラ７５２２は、図２３Ｆに示す形状に限定されず、ゲームのジャンルに応じて、コントローラ７５２２の形状を様々に変更してもよい。例えば、ＦＰＳ（Ｆｉｒｓｔ Ｐｅｒｓｏｎ Ｓｈｏｏｔｅｒ）等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲーム等では、楽器、音楽機器等を模した形状のコントローラを用いることができる。更に、据え置き型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォン等を備えて、ゲームプレイヤーのジェスチャー、及び／又は音声によって操作する形式としてもよい。

【０４１９】

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイ等の表示装置によって、出力することができる。

【０４２０】

携帯ゲーム機５２００又は据え置き型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機５２００又は低消費電力の据え置き型ゲーム機７５００を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【０４２１】

更に、携帯ゲーム機５２００又は据え置き型ゲーム機７５００に上記実施の形態で説明した半導体装置を適用することによって、ゲームの実行中に発生する演算に必要な一時ファイル等の保持をおこなうことができる。

【０４２２】

ゲーム機の一例として図２３Ｅに携帯ゲーム機を示す。また、図２３Ｆに家庭用の据え置き型ゲーム機を示す。なお、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置され

10

20

30

40

50

るアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシン等が挙げられる。

【0423】

〔移動体〕

上記実施の形態で説明した半導体装置は、移動体である自動車、及び自動車の運転席周辺に適用することができる。

【0424】

図23Gには移動体の一例である自動車5700が図示されている。

【0425】

自動車5700の運転席周辺には、スピードメーター又はタコメーター、及び走行距離、燃料計、ギア状態、エアコンの設定等を表示することで、様々な情報を提供するインストゥルメントパネルが備えられている。また、運転席周辺には、それらの情報を示す表示装置が備えられていてもよい。

【0426】

特に当該表示装置には、自動車5700に設けられた撮像装置（図示しない。）からの映像を映し出すことによって、ピラー等で遮られた視界、運転席の死角等を補うことができ、安全性を高めることができる。すなわち、自動車5700の外側に設けられた撮像装置からの画像を表示することによって、死角を補い、安全性を高めることができる。

【0427】

上記実施の形態で説明した半導体装置は、情報を一時的に保持することができる。よって、当該半導体装置を、自動車5700の自動運転システム、又は道路案内、危険予測等を行うシステム等における、必要な一時的な情報の保持に用いることができる。当該表示装置には、道路案内、危険予測等の一時的な情報を表示する構成としてもよい。また、自動車5700に備え付けられたドライビングレコーダの映像を保持する構成としてもよい。

【0428】

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）等も挙げることができる。

【0429】

〔カメラ〕

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

【0430】

図23Hには、撮像装置の一例であるデジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作スイッチ6243、シャッターボタン6244等を有し、また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、レンズ6246を筐体6241から取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置、又はビューファインダー等を別途装着することができる構成としてもよい。

【0431】

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。

【0432】

〔ビデオカメラ〕

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

【0433】

図23Iには、撮像装置の一例であるビデオカメラ6300が図示されている。ビデオカメラ6300は、第1の筐体6301、第2の筐体6302、表示部6303、操作スイ

10

20

30

40

50

ッチ6304、レンズ6305、接続部6306等を有する。操作スイッチ6304及びレンズ6305は第1の筐体6301に設けられており、表示部6303は第2の筐体6302に設けられている。そして、第1の筐体6301と第2の筐体6302とは、接続部6306により接続されており、第1の筐体6301と第2の筐体6302の間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1の筐体6301と第2の筐体6302との間の角度に従って切り替える構成としてもよい。

【0434】

ビデオカメラ6300で撮影した映像を記録する際、データの記録形式に応じたエンコードを行う必要がある。上述した半導体装置を利用することによって、ビデオカメラ6300は、エンコードの際に発生する一時的なファイルの保持を行うことができる。

【0435】

〔ICD〕

上記実施の形態で説明した半導体装置は、植え込み型除細動器（ICD）に適用することができる。

【0436】

図23Jは、ICDの一例を示す断面模式図である。ICD本体5400は、バッテリー5401と、電子部品4700と、レギュレータと、制御回路と、アンテナ5404と、右心房へのワイヤ5402、右心室へのワイヤ5403とを少なくとも有している。

【0437】

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

【0438】

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善せず、速い心室頻拍、又は心室細動等が発生したままである場合は、電気ショックによる治療が行われる。

【0439】

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、当該センサ等によって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間等を電子部品4700に記憶することができる。

【0440】

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーが機能させることができるため、補助電源としても機能する。

【0441】

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

【0442】

〔PC用の拡張デバイス〕

上記実施の形態で説明した半導体装置は、PC（Personal Computer）等の計算機、情報端末用の拡張デバイスに適用することができる。

【0443】

図24Aは、当該拡張デバイスの一例として、持ち運びのできる、情報の記憶が可能なチップが搭載された、PCに外付けする拡張デバイス6100を示している。拡張デバイス6100は、例えば、USB（Universal Serial Bus）等でPCに接

10

20

30

40

50

続することで、当該チップによる情報の記憶を行うことができる。なお、図24Aは、持ち運びが可能な形態の拡張デバイス6100を図示しているが、本発明の一態様に係る拡張デバイスは、これに限定されず、例えば、冷却用ファン等を搭載した比較的大きい形態の拡張デバイスとしてもよい。

【0444】

拡張デバイス6100は、筐体6101、キャップ6102、USBコネクタ6103及び基板6104を有する。基板6104は、筐体6101に収納されている。基板6104には、上記実施の形態で説明した半導体装置等を駆動する回路が設けられている。例えば、基板6104には、電子部品4700、コントローラチップ6106が取り付けられている。USBコネクタ6103は、外部装置と接続するためのインターフェースとして機能する。

10

【0445】

【SDカード】

上記実施の形態で説明した半導体装置は、情報端末、又はデジタルカメラ等の電子機器に取り付けが可能なSDカードに適用することができる。

【0446】

図24BはSDカードの外観の模式図であり、図24Cは、SDカードの内部構造の模式図である。SDカード5110は、筐体5111、コネクタ5112及び基板5113を有する。コネクタ5112が外部装置と接続するためのインターフェースとして機能する。基板5113は筐体5111に収納されている。基板5113には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板5113には、電子部品4700、コントローラチップ5115が取り付けられている。なお、電子部品4700とコントローラチップ5115とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、電子部品に備えられている書き込み回路、ロードライバ、読み出し回路等は、電子部品4700でなく、コントローラチップ5115に組み込んだ構成としてもよい。

20

【0447】

基板5113の裏面側にも電子部品4700を設けることで、SDカード5110の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板5113に設けてもよい。これによって、外部装置とSDカード5110との間で無線通信を行うことができ、電子部品4700のデータの読み出し、書き込みが可能となる。

30

【0448】

【SSD】

上記実施の形態で説明した半導体装置は、情報端末等電子機器に取り付けが可能なSSD(Solid State Drive)に適用することができる。

【0449】

図24DはSSDの外観の模式図であり、図24Eは、SSDの内部構造の模式図である。SSD5150は、筐体5151、コネクタ5152及び基板5153を有する。コネクタ5152が外部装置と接続するためのインターフェースとして機能する。基板5153は筐体5151に収納されている。基板5153には、半導体装置及び半導体装置を駆動する回路が設けられている。例えば、基板5153には、電子部品4700、メモリチップ5155、コントローラチップ5156が取り付けられている。基板5153の裏面側にも電子部品4700を設けることで、SSD5150の容量を増やすことができる。メモリチップ5155にはワークメモリが組み込まれている。例えば、メモリチップ5155には、DRAMチップを用いればよい。コントローラチップ5156には、プロセッサ、ECC回路等が組み込まれている。なお、電子部品4700と、メモリチップ5155と、コントローラチップ5156と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、適宜回路構成を変更してもよい。例えば、コントローラチップ5156にも、ワークメモリとして機能するメモリを設けてもよい。

40

【0450】

50

【計算機】

図 2 5 A に示す計算機 5 6 0 0 は、大型の計算機の例である。計算機 5 6 0 0 には、ラック 5 6 1 0 にラックマウント型の計算機 5 6 2 0 が複数格納されている。

【0 4 5 1】

計算機 5 6 2 0 は、例えば、図 2 5 B に示す斜視図の構成とすることができる。図 2 5 B において、計算機 5 6 2 0 は、マザーボード 5 6 3 0 を有し、マザーボード 5 6 3 0 は、複数のスロット 5 6 3 1、複数の接続端子を有する。スロット 5 6 3 1 には、P C カード 5 6 2 1 が挿されている。加えて、P C カード 5 6 2 1 は、接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 を有し、それぞれ、マザーボード 5 6 3 0 に接続される。

【0 4 5 2】

図 2 5 C に示す P C カード 5 6 2 1 は、C P U、G P U、半導体装置等を備えた処理ボードの一例である。P C カード 5 6 2 1 は、ボード 5 6 2 2 を有する。また、ボード 5 6 2 2 は、接続端子 5 6 2 3 と、接続端子 5 6 2 4 と、接続端子 5 6 2 5 と、半導体装置 5 6 2 6 と、半導体装置 5 6 2 7 と、半導体装置 5 6 2 8 と、接続端子 5 6 2 9 と、を有する。なお、図 2 5 C には、半導体装置 5 6 2 6、半導体装置 5 6 2 7、及び半導体装置 5 6 2 8 以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置 5 6 2 6、半導体装置 5 6 2 7、及び半導体装置 5 6 2 8 の説明を参酌すればよい。

【0 4 5 3】

接続端子 5 6 2 9 は、マザーボード 5 6 3 0 のスロット 5 6 3 1 に挿することができる形状を有しており、接続端子 5 6 2 9 は、P C カード 5 6 2 1 とマザーボード 5 6 3 0 とを接続するためのインターフェースとして機能する。接続端子 5 6 2 9 の規格としては、例えば、P C I e 等が挙げられる。

【0 4 5 4】

接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 は、例えば、P C カード 5 6 2 1 に対して電力供給、信号入力等を行うためのインターフェースとすることができる。また、例えば、P C カード 5 6 2 1 によって計算された信号の出力等を行うためのインターフェースとすることができる。接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 のそれぞれの規格としては、例えば、U S B (U n i v e r s a l S e r i a l B u s)、S A T A (S e r i a l A T A)、S C S I (S m a l l C o m p u t e r S y s t e m I n t e r f a c e) 等が挙げられる。また、接続端子 5 6 2 3、接続端子 5 6 2 4、接続端子 5 6 2 5 から映像信号を出力する場合、それぞれの規格としては、H D M I (登録商標) 等が挙げられる。

【0 4 5 5】

半導体装置 5 6 2 6 は、信号の入出力を行う端子 (図示しない。) を有しており、当該端子をボード 5 6 2 2 が備えるソケット (図示しない。) に対して差し込むことで、半導体装置 5 6 2 6 とボード 5 6 2 2 を電氣的に接続することができる。

【0 4 5 6】

半導体装置 5 6 2 7 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 7 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 7 としては、例えば、F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、G P U、C P U 等が挙げられる。半導体装置 5 6 2 7 として、例えば、電子部品 4 7 3 0 を用いることができる。

【0 4 5 7】

半導体装置 5 6 2 8 は、複数の端子を有しており、当該端子をボード 5 6 2 2 が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置 5 6 2 8 とボード 5 6 2 2 を電氣的に接続することができる。半導体装置 5 6 2 8 としては、例えば、記憶装置等が挙げられる。半導体装置 5 6 2 8 として、例えば、電子部品 4 7 0 0 を用いることができる。

10

20

30

40

50

【0458】

計算機5600は並列計算機としても機能できる。計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

【0459】

上記の各種電子機器等に、本発明の一態様の半導体装置を用いることにより、電子機器の消費電力を低減することができる。

【0460】

本実施の形態に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態、又は実施例等と適宜組み合わせる実施することができる。

【実施例】

【0461】

本実施例では、図20A乃至図20Cに示すトランジスタ500を有する、オフ電流測定TEG (Test Element Group) サンプル及び、容量リーク電流測定TEGサンプルを作製し、温度依存性を評価した。

【0462】

[オフ電流測定]

まず、トランジスタ500を有するオフ電流測定TEGサンプルの構成について説明する。図20A乃至図20Cに示すように、サンプルは、基板（図示せず）の上に配置された絶縁体512と、絶縁体512上の絶縁体514と、絶縁体514の上に配置された絶縁体516と、絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530bに離間して設けられた領域543a及び領域543bと、領域543aの上に配置された導電体542aと、領域543bの上に配置された導電体542bと、導電体542a、導電体524b、及び絶縁体524の上に配置された絶縁体544と、絶縁体544の上に配置された絶縁体580と、酸化物530bの上に配置された絶縁体545と、絶縁体545の上に配置された導電体560と、絶縁体580及び導電体560の上に配置された絶縁体574と、絶縁体574の上に配置された絶縁体581と、を有する。

【0463】

酸化物530aとして、DCスパッタリング法で成膜した、膜厚が10nmのIn-Ga-Zn酸化物を用いた。なお、酸化物530aの成膜には、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いた。

【0464】

酸化物530bとして、DCスパッタリング法で成膜した、膜厚が15nmのIn-Ga-Zn酸化物を用いた。なお、酸化物530bの成膜には、In:Ga:Zn=1:1:2 [原子数比] のターゲットを用いた。

【0465】

絶縁体545は、4層の積層構造とした。絶縁体545の1層目は、ALD法で成膜した、膜厚が1nmの酸化アルミニウムとした。絶縁体545の2層目は、CVD法で成膜した、膜厚が5nmの酸化窒化シリコンとした。絶縁体545の3層目は、ALD法で成膜した、膜厚が1.5nmの酸化ハフニウムとした。絶縁体545の4層目は、ALD法で成膜した、膜厚が1nmの窒化シリコンとした。絶縁体545の2層目の成膜後、及び絶縁体545の3層目の成膜後には、それぞれ、マイクロ波処理を行った。マイクロ波処理は、処理ガスとしてアルゴンガス及び酸素ガス用いて処理温度を400℃とし、処理時間を600秒とした。

【0466】

なお、サンプルは上記構成に加えてさらに、導電体540を有する。また、サンプル作製後に窒素雰囲気、温度400℃、8時間の熱処理を行った。以上により、トランジスタ

10

20

30

40

50

500を有する、オフ電流測定TEGサンプル作製した。

【0467】

次に、オフ電流測定TEGの概略を記した回路図を図26に示す。オフ電流TEGは、端子A乃至E、トランジスタ901、トランジスタ902、読み取り回路903、及びノードND2を有する。トランジスタ901は、ノードND2に電位を供給するための書き込みトランジスタである。また、トランジスタ902がオフ電流測定の対象トランジスタである。トランジスタ902として、チャンネル長60nm、及びチャンネル幅60nmの設計値のトランジスタが2万個並列に接続される。つまりトランジスタ902は、チャンネル長60nm、及びチャンネル幅(60nm×20000=1.2mm)の設計値となる。

【0468】

トランジスタ901のソース又はドレインの一方は、端子Aと電氣的に接続される。また、トランジスタ901のソース又はドレインの他方は、ノードND2と電氣的に接続される。また、トランジスタ901のゲートは、端子Bと電氣的に接続される。また、トランジスタ902のソース又はドレインの一方は、ノードND2と電氣的に接続される。また、トランジスタ902のソース又はドレインの他方は、端子Dと電氣的に接続される。また、トランジスタ902のゲートは、端子Cと電氣的に接続される。また、トランジスタ902のボトムゲートは、端子Eと電氣的に接続される。また、読み取り回路903は、ノードND2と電氣的に接続される。読み取り回路903は、ノードND2の電位を常に読み取ることができる。

【0469】

次に、オフ電流の測定方法について説明する。まず、トランジスタ901がオン状態になる電位V11を端子Bに供給してトランジスタ901をオン状態にする。次に、ノードND2の電位がV12となるまで端子Aに電位V12を供給する。本実施例ではV12は1.2Vとした。次に、トランジスタ901がオフ状態となる電位V13を端子Bに供給してトランジスタ901をオフ状態にする。なお、トランジスタ902は、電位-2Vを端子Cに、電位-3Vを端子Eに、電位0Vを端子Dにそれぞれ供給することで常にオフ状態となる。

【0470】

このようにトランジスタ901をオフ状態にした時からの時間経過によるノードND2の電位の変化を読み取り回路903によって読み取ることで、トランジスタ902のリーク電流、つまりオフ電流を算出することができる。具体的には、トランジスタ902のオフ電流を I_{off} 、ノードND2の容量を C_{ND} 、ノードND2の電位変化を ΔV_{ND} 、経過時間を t とすると、 $I_{off} = C_{ND} \times \Delta V_{ND} / t$ で求める。なお、トランジスタ901のチャンネル長は500nm、チャンネル幅は60nmの設計値であり、トランジスタ901のチャンネル幅はトランジスタ902のチャンネル幅の1/20000であることから、トランジスタ901のオフ電流は無視できる。

【0471】

温度150℃の測定環境では、経過時間1時間のノードND2の電位変化 ΔV_{ND} を読み取り、温度125℃の測定環境では、経過時間1時間のノードND2の電位変化 ΔV_{ND} を読み取り、温度100℃の測定環境では、経過時間2時間のノードND2の電位変化 ΔV_{ND} を読み取り、温度85℃の測定環境では、経過時間4時間のノードND2の電位変化 ΔV_{ND} を読み取った。

【0472】

図28にトランジスタ902のオフ電流の温度依存性のグラフを示す。図28の横軸は、絶対温度T[K]の逆数の1000倍を示し、縦軸は、リーク電流(オフ電流)を示す。各温度のトランジスタ902のオフ電流は、図28中にひし型のプロットで示す。温度150℃では、 1.4×10^{-20} (A)のオフ電流、温度125℃では、 2.9×10^{-21} (A)のオフ電流、温度100℃では、 6.9×10^{-22} (A)のオフ電流、温度85℃では、 2.9×10^{-22} (A)のオフ電流がそれぞれ得られた。また、近似直線を実線で示す。近似直線を室温(RT)まで外挿すると、室温では、約 2×10^{-24} (A)と非

10

20

30

40

50

常に小さいオフ電流が推定される結果となった。以上より、オフ電流の温度依存性が確認された。

【0473】

〔容量リーク電流測定〕

次に、トランジスタ500を有する容量リーク電流測定TEGサンプルの構成について説明する。容量リーク電流測定TEGサンプルは、上述の〔オフ電流測定〕で説明したオフ電流測定TEGサンプルの構成に加えて容量の構成が加わる。

【0474】

図27Aに容量の構成の断面図を示す。容量は、トランジスタ500（図示せず）上の導電体910aと、導電体910a上の導電体910bと、導電体910a、及び導電体910bを覆う、誘電体930aと、誘電体930a上の誘電体930bと、誘電体930b上の導電体920a、及び導電体920a上の導電体920bと、導電体920a及び導電体920bを覆う絶縁体983aと、絶縁体983a上の絶縁体983bと、を有する。

10

【0475】

導電体910aとして、スパッタリング法で成膜した、膜厚が30nmのタングステンを用いた。また、導電体910bとして、CVD法で成膜した、膜厚が5nmの窒化チタンを用いた。なお、導電体910a、及び導電体910bは、容量の下部電極として機能する。

【0476】

誘電体930aとして、ALD法によって成膜した膜厚14nmの酸化アルミニウムを用いた。誘電体930bとして、CVD法によって成膜した膜厚7nmの酸化窒化シリコンを用いた。なお、誘電体930a、及び誘電体930bは、容量の誘電体として機能する。

20

【0477】

導電体920aとして、CVD法によって成膜した膜厚10nmの窒化チタンを用いた。導電体920bとして、スパッタリング法によって成膜した膜厚20nmのタングステンを用いた。なお、導電体920a、及び導電体920bは、容量の上部電極として機能する。

【0478】

絶縁体983aとして、ALD法によって成膜した膜厚5nmの酸化アルミニウムを用いた。絶縁体983bとして、スパッタリング法によって成膜した膜厚35nmの酸化アルミニウムを用いた。なお絶縁体983a及び絶縁体983bは、パッシベーション膜として機能する。容量形成後に窒素雰囲気中、温度400℃、8時間の熱処理を行った。以上により、容量リーク電流測定TEGサンプル作製した。

30

【0479】

次に、容量リーク電流測定TEGの概略を記した回路図を図27Bに示す。容量リーク電流測定TEGは、端子A、端子B、端子D、トランジスタ901、容量904、読み取り回路903、及びノードND2を有する。トランジスタ901は、ノードND2に電位を供給するための書き込みトランジスタである。また、容量904が容量リーク電流測定対象の容量である。容量904として、静電容量が4.26fFの、図27Aに示す構成の容量が60000個並列接続される。

40

【0480】

トランジスタ901のソース又はドレインの一方は、端子Aと電気的に接続される。また、トランジスタ901のソース又はドレインの他方は、ノードND2と電気的に接続される。また、トランジスタ901のゲートは、端子Bと電気的に接続される。また、容量904の一方の電極は、ノードND2と電気的に接続される。また、容量904の他方の電極は、端子Dと電気的に接続される。また、読み取り回路903は、ノードND2と電気的に接続される。読み取り回路903は、ノードND2の電位を常に読み取ることができる。

【0481】

50

次に、容量リークの測定方法について説明する。まず、トランジスタ 901 がオン状態になる電位 V_{11} を端子 B に供給してトランジスタ 901 をオン状態にする。次に、ノード ND2 の電位が V_{12} となるまで端子 A に電位 V_{12} を供給する。本実施例では V_{12} は 1.2 V とした。また、端子 D には 0 V を供給した。

【0482】

このようにトランジスタ 901 をオフ状態にした時からの時間経過によるノード ND2 の電位の変化を読み取り回路 903 によって読み取ることで、容量 904 のリーク電流を算出することができる。具体的には、容量リーク電流を I_{CS} 、容量 904 の容量を C_{CS} 、ノード ND2 の電位変化を ΔV_{ND} 、経過時間を t とすると、 $I_{CS} = C_{CS} \times \Delta V_{ND} / t$ で求める。なお、トランジスタ 901 のオフ電流によるノード ND2 の電位の変動は無視できるほど小さい。

【0483】

温度 150℃ の測定環境では、経過時間 1 時間のノード ND2 の電位変化 ΔV_{ND} を読み取り、温度 125℃ の測定環境では、経過時間 4 時間のノード ND2 の電位変化 ΔV_{ND} を読み取り、温度 100℃ の測定環境では、経過時間 8 時間のノード ND2 の電位変化 ΔV_{ND} を読み取った。

【0484】

図 28 に容量 904 のリーク電流の温度依存性のグラフを示す。前述のように、図 28 の横軸は、絶対温度 T [K] の逆数の 1000 倍を示し、縦軸は、リーク電流を示す。各温度の容量 904 のリーク電流は、図 28 中に白丸のプロットで示す。温度 150℃ では、 2.2×10^{-20} (A) のリーク電流、温度 125℃ では、 1.2×10^{-21} (A) のリーク電流、温度 100℃ では、 3.3×10^{-22} (A) のリーク電流がそれぞれ得られた。また、近似直線を破線で示す。近似直線によると温度が低いほど容量リーク電流は減少することを確認した。室温では、非常に小さい容量リーク電流が推定される結果となった。以上より、容量リーク電流の温度依存性が確認された。

【0485】

本実施例に示す構成、方法等は、少なくともその一部を、本明細書中に記載する他の実施の形態等と適宜組み合わせることで実施することができる。

【符号の説明】

【0486】

10：セル、11：容量、12：強誘電体層、12a：強誘電体層、12b：強誘電体層、13a：電極、13b：電極、14：常誘電体層、14a：常誘電体層、14b：常誘電体層、21：トランジスタ、22：トランジスタ、23：トランジスタ、31：配線、32：配線、33：配線、41：配線、42：配線、43：配線、44：配線、51：曲線、52：曲線、60：半導体装置、61：セルアレイ、62：回路、63：回路、100：ニューラルネットワーク、110：演算回路、328：導電体、330：導電体、350：絶縁体、352：絶縁体、354：絶縁体、356：導電体、360：絶縁体、362：絶縁体、364：絶縁体、366：導電体、368：絶縁体、369：絶縁体、370：絶縁体、371：基板、372：ウェル領域、373：絶縁体、374：酸化物層、375：半導体領域、376：導電体、376a：低抵抗領域、376b：低抵抗領域、376c：低抵抗領域、377：絶縁体、378：導電体、379：絶縁体、380：絶縁体、381：絶縁体、382：絶縁体、383：絶縁体、384：絶縁体、385：絶縁体、386：導電体、500：トランジスタ、503：導電体、503a：導電体、503b：導電体、510：絶縁体、512：絶縁体、514：絶縁体、516：絶縁体、518：導電体、520：絶縁体、522：絶縁体、524：絶縁体、524b：導電体、530：酸化物、530a：酸化物、530b：酸化物、540：導電体、540a：導電体、540b：導電体、542a：導電体、542b：導電体、543a：領域、543b：領域、544：絶縁体、545：絶縁体、546：導電体、548：導電体、550：トランジスタ、560：導電体、560a：導電体、560b：導電体、574：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、586：絶縁体、600

：容量、610：導電体、612：導電体、620：導電体、630：絶縁体、640：絶縁体、901：トランジスタ、902：トランジスタ、903：読み取り回路、904：容量、910a：導電体、910b：導電体、920a：導電体、920b：導電体、930a：誘電体、930b：誘電体、983a：絶縁体、983b：絶縁体、4700：電子部品、4702：プリント基板、4704：実装基板、4710：半導体装置、4711：モールド、4712：ランド、4713：電極パッド、4714：ワイヤ、4730：電子部品、4731：インターポーザ、4732：パッケージ基板、4733：電極、4735：半導体装置、4800：半導体ウェハ、4800a：チップ、4801：ウェハ、4801a：ウェハ、4802：回路部、4803：スペーシング、4803a：スペーシング、5110：SDカード、5111：筐体、5112：コネクタ、5113：基板、5115：コントローラチップ、5150：SSD、5151：筐体、5152：コネクタ、5153：基板、5155：メモリチップ、5156：コントローラチップ、5200：携帯ゲーム機、5201：筐体、5202：表示部、5203：ボタン、5300：デスクトップ型情報端末、5301：本体、5302：表示部、5303：キーボード、5400：ICD本体、5401：バッテリー、5402：ワイヤ、5403：ワイヤ、5404：アンテナ、5405：鎖骨下静脈、5406：上大静脈、5500：情報端末、5510：筐体、5511：表示部、5600：計算機、5610：ラック、5620：計算機、5621：PCカード、5622：ボード、5623：接続端子、5624：接続端子、5625：接続端子、5626：半導体装置、5627：半導体装置、5628：半導体装置、5629：接続端子、5630：マザーボード、5631：スロット、5700：自動車、5800：電気冷凍冷蔵庫、5801：筐体、5802：冷蔵庫用扉、5803：冷凍室用扉、5900：情報端末、5901：筐体、5902：表示部、5903：操作スイッチ、5904：操作スイッチ、5905：バンド、6100：拡張デバイス、6101：筐体、6102：キャップ、6103：USBコネクタ、6104：基板、6106：コントローラチップ、6240：デジタルカメラ、6241：筐体、6242：表示部、6243：操作スイッチ、6244：シャッターボタン、6246：レンズ、6300：ビデオカメラ、6301：筐体、6302：筐体、6303：表示部、6304：操作スイッチ、6305：レンズ、6306：接続部、7500：据え置き型ゲーム機、7520：本体、7522：コントローラ

【図面】

【図1A】

【図1B1】

図1A

10

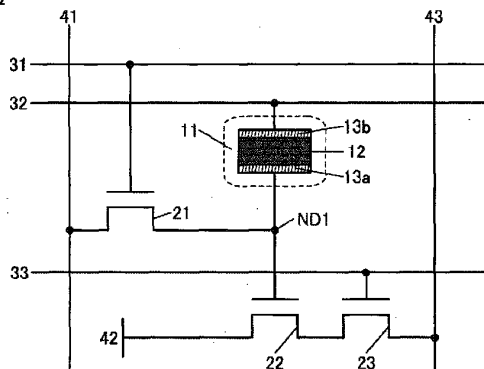
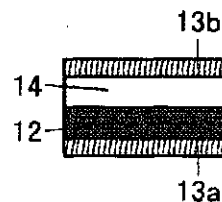


図1B1

11



10

20

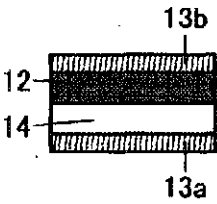
30

40

50

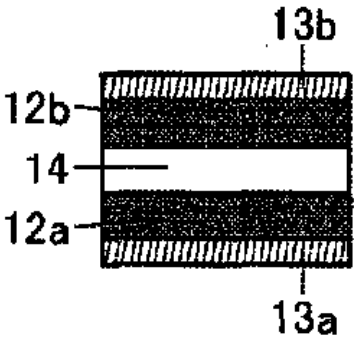
【図 1 B 2】

図1B2
11



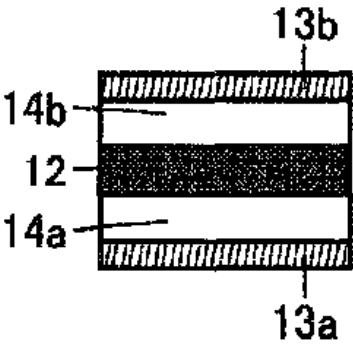
【図 1 B 3】

図1B3
11



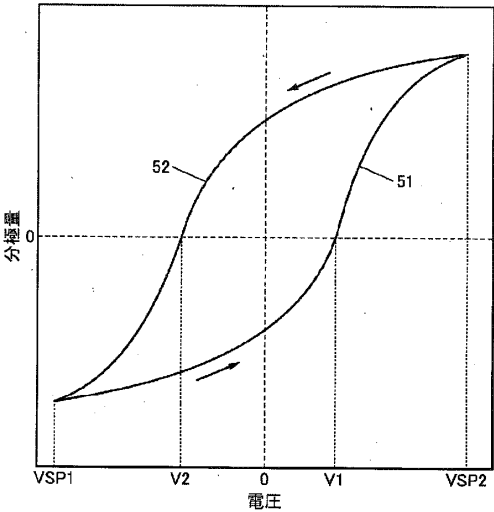
【図 1 B 4】

図1B4
11



【図 2】

図2



10

20

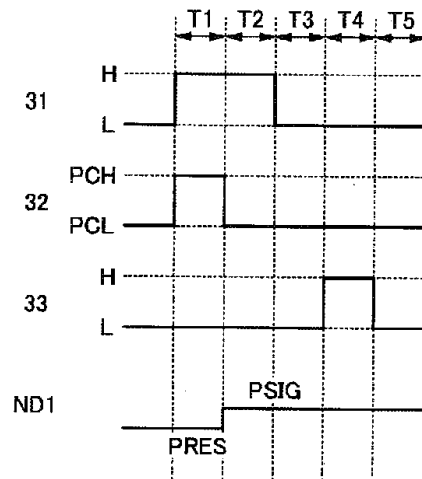
30

40

50

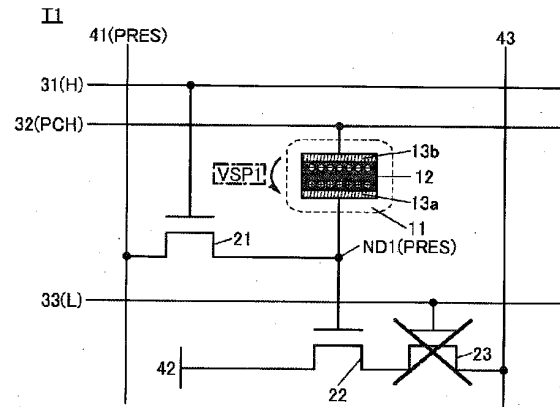
【図 3】

图3



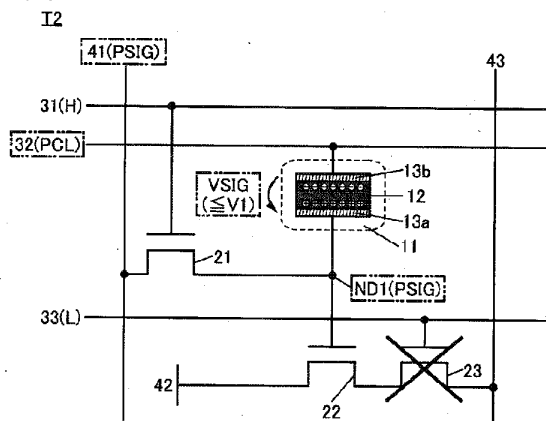
【図 4 A】

図4A



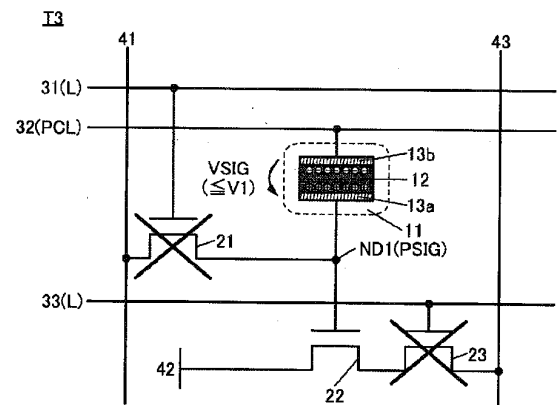
【図 4 B】

图4B

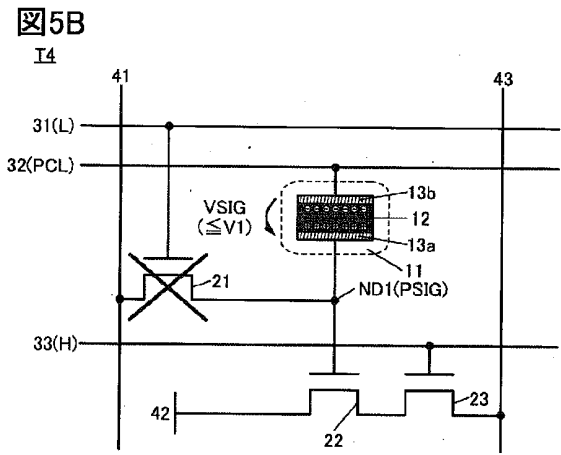


【図 5 A】

図5A

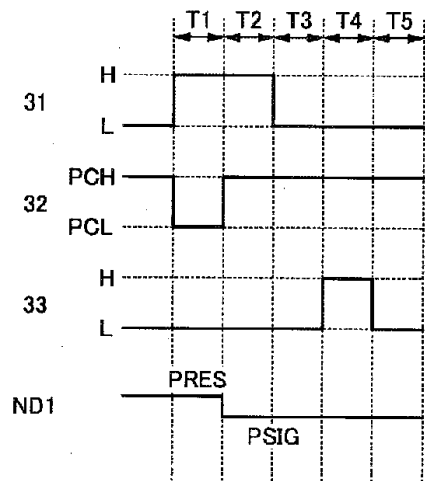


【図 5 B】



【図 6】

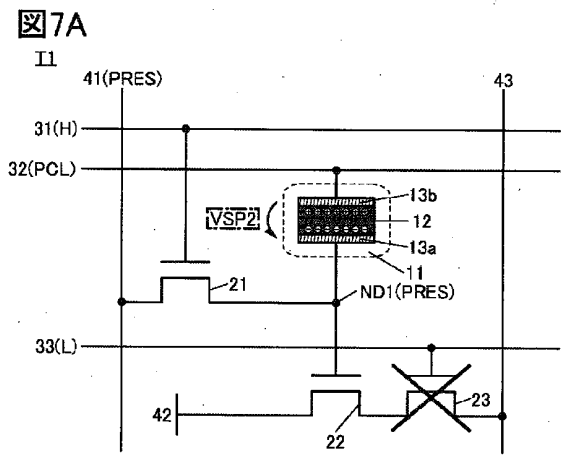
図 6



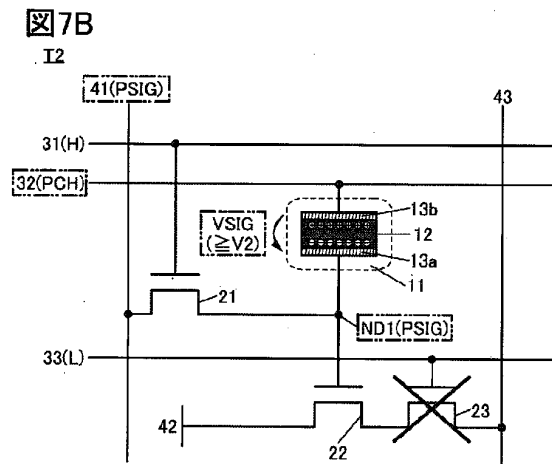
10

20

【図 7 A】



【図 7 B】

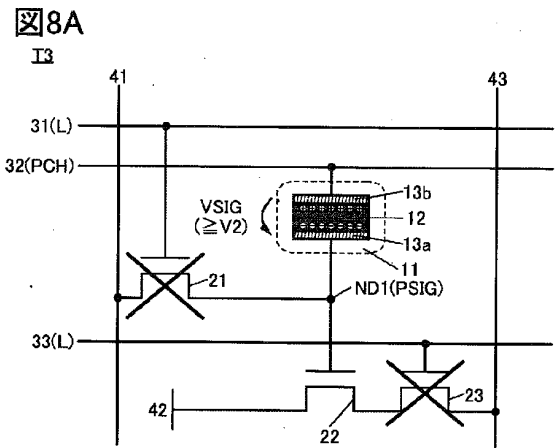


30

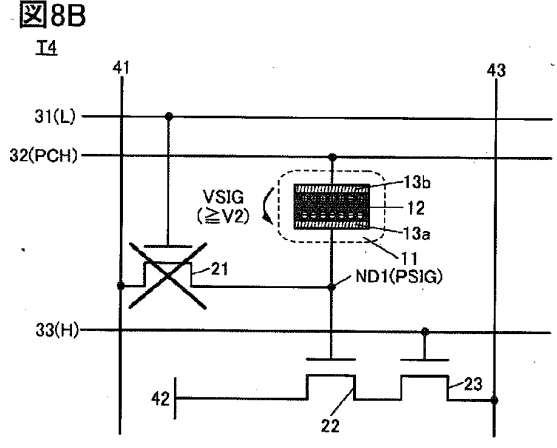
40

50

【図 8 A】

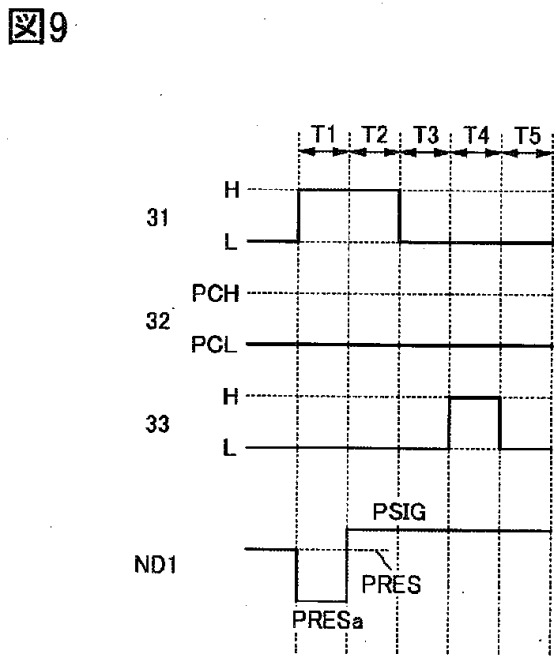


【図 8 B】

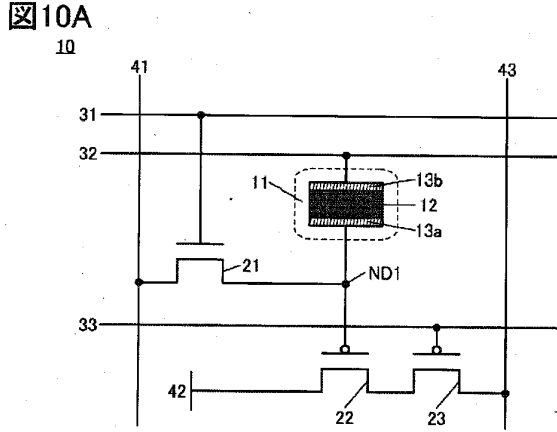


10

【図 9】



【図 10 A】



20

30

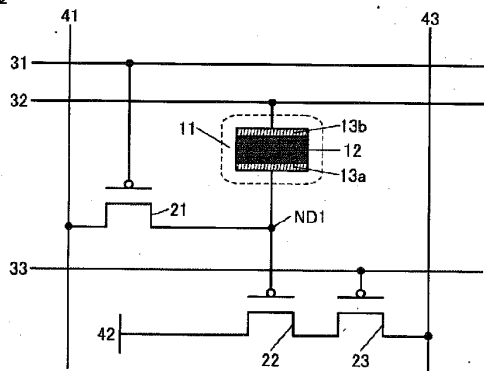
40

50

【図 10 B】

図10B

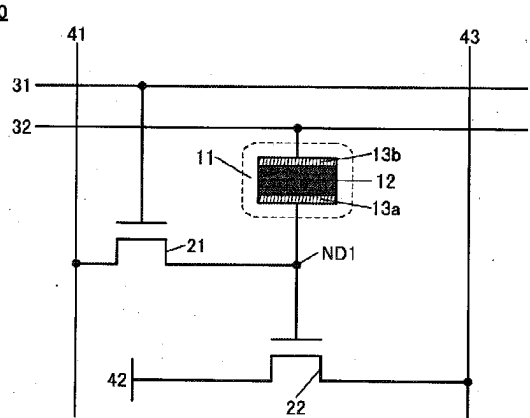
10



【図 11 A】

図11A

10

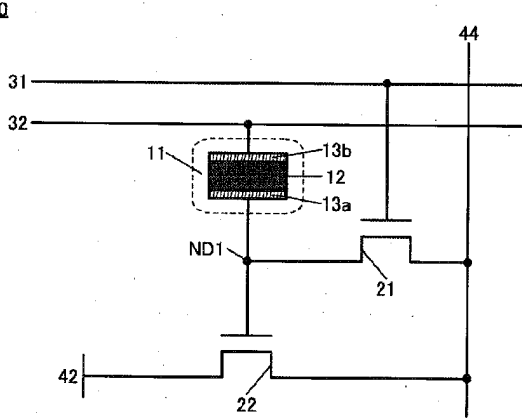


10

【図 11 B】

図11B

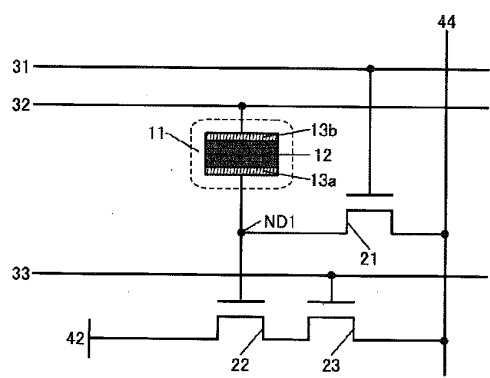
10



【図 12 A】

図12A

10



20

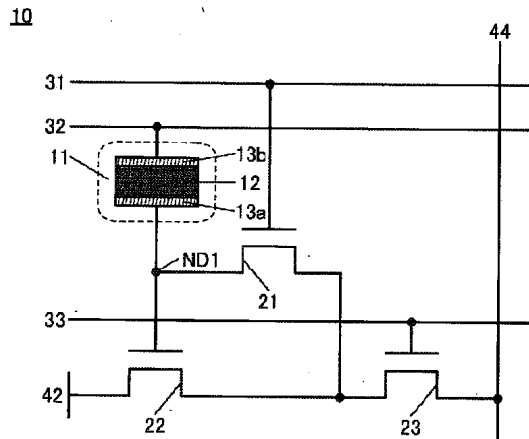
30

40

50

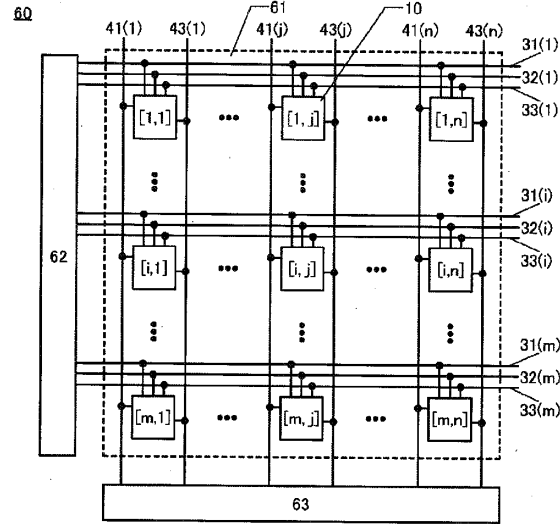
【図 1 2 B】

図12B



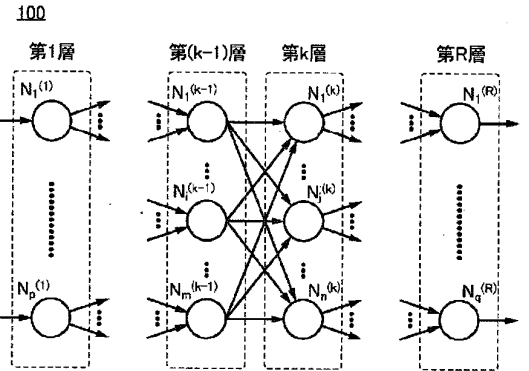
【図 1 3】

図13



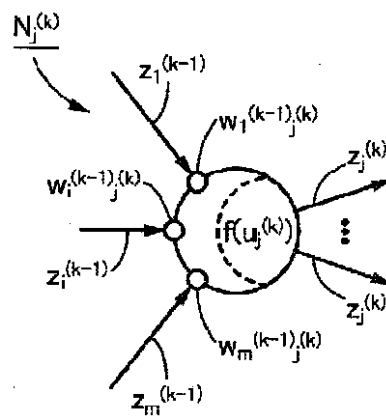
【図 1 4 A】

図14A



【図 1 4 B】

図14B



10

20

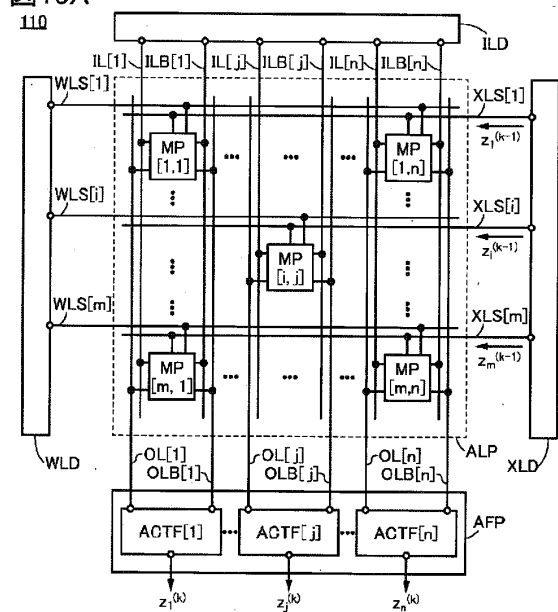
30

40

50

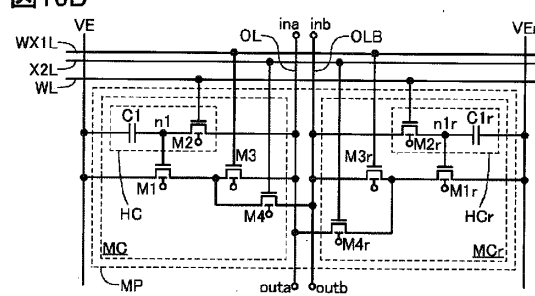
【図 15 A】

図15A



【図 15 B】

图 15B

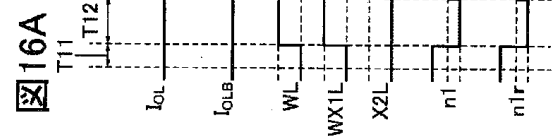


10

20

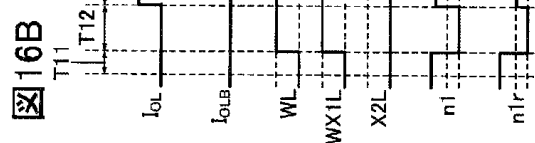
【図 16 A】

图 16A



【図 16 B】

16B 16B

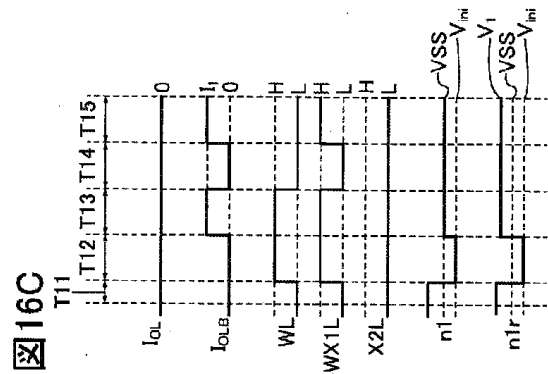


30

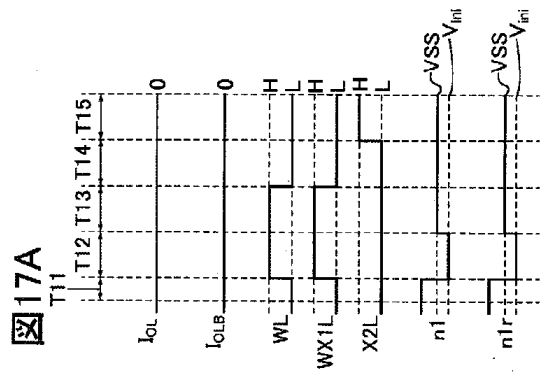
40

50

【図 16 C】

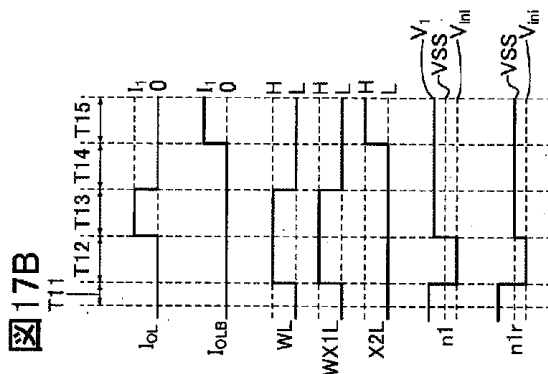


【図 17 A】

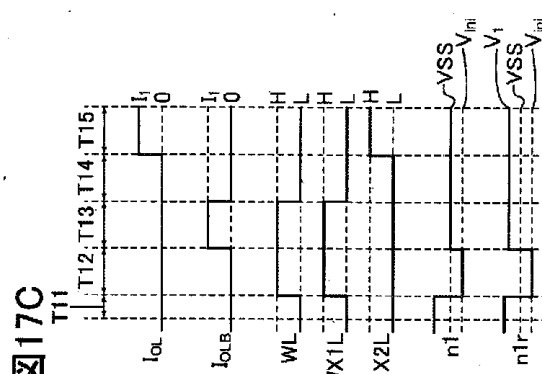


10

【図 17 B】



【図 17 C】



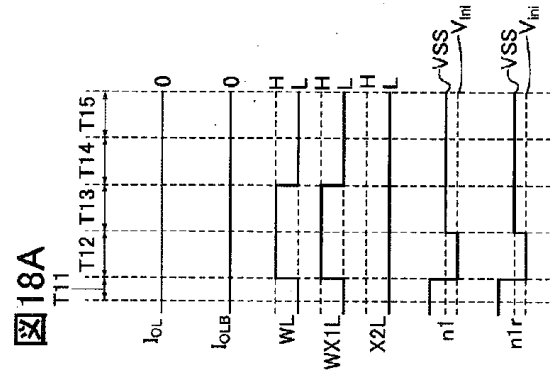
20

30

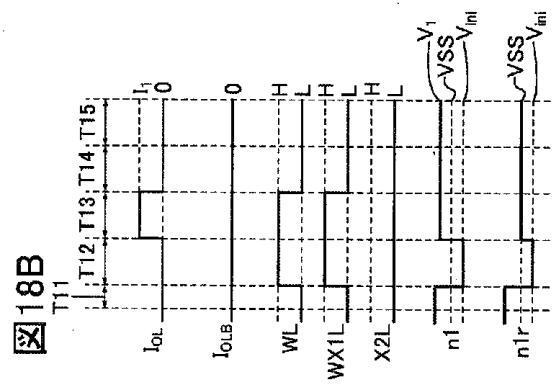
40

50

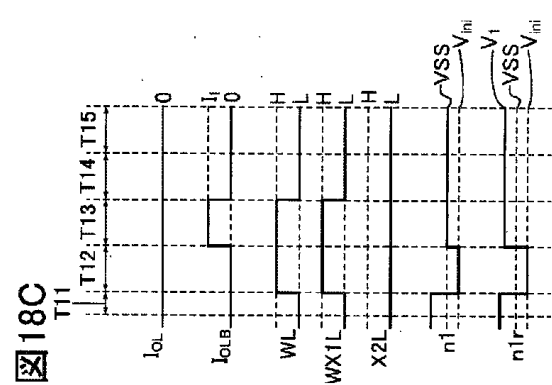
【図 18 A】



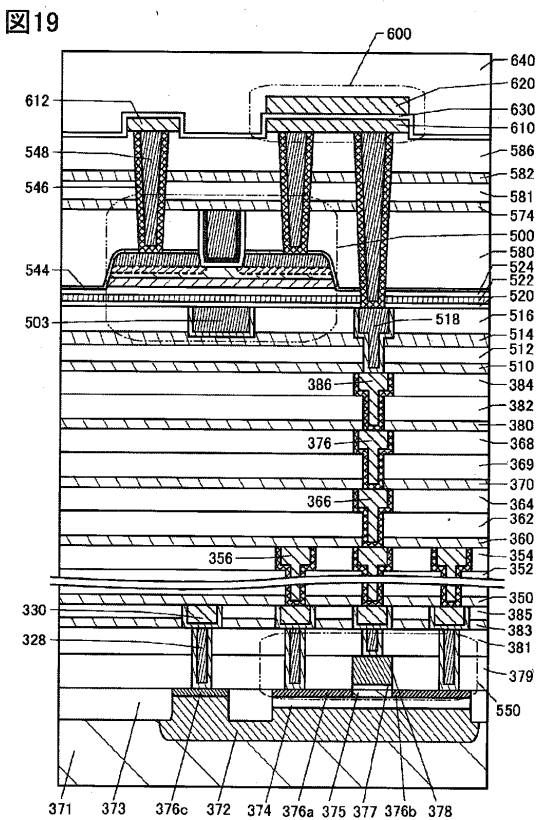
【図 18 B】



【図 18 C】



【図 19】



10

20

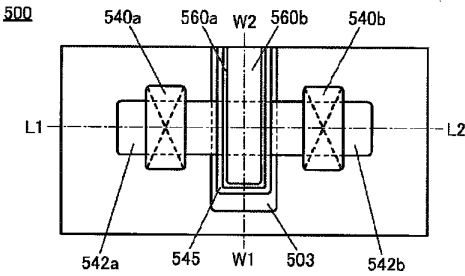
30

40

50

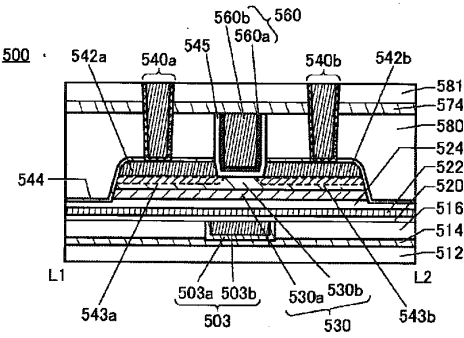
【図 2 0 A】

図20A



【図 2 0 B】

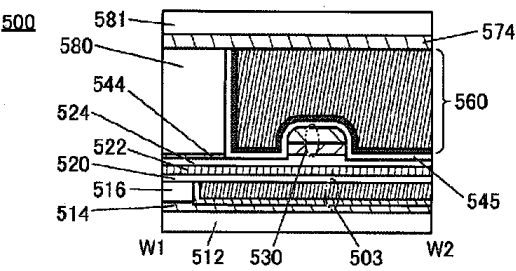
図20B



10

【図 2 0 C】

図20C



【図 2 1 A】

図21A

中間状態 新しい境界領域		
Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
•completely amorphous	•CAAC •nc •CAC Single crystalと poly crystalは 除く	•single crystal •poly crystal

20

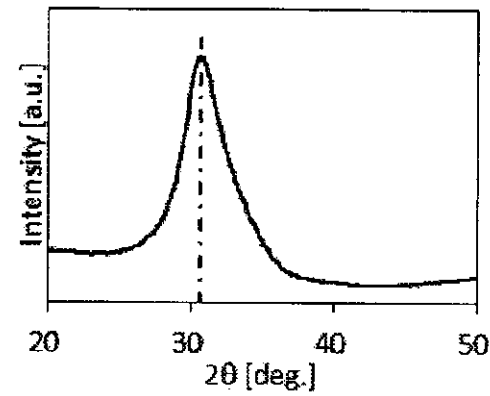
30

40

50

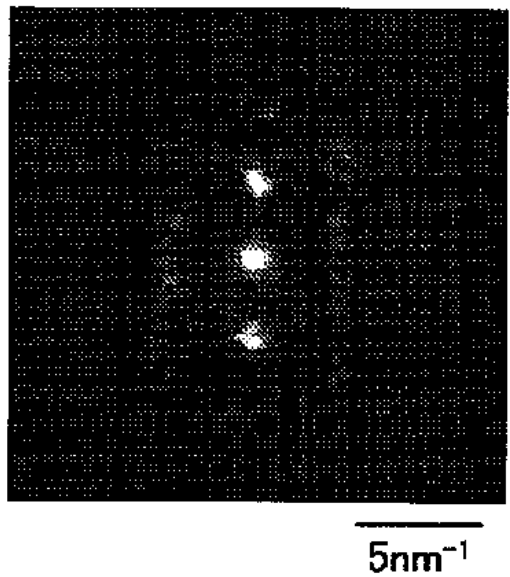
【図 2 1 B】

図21B



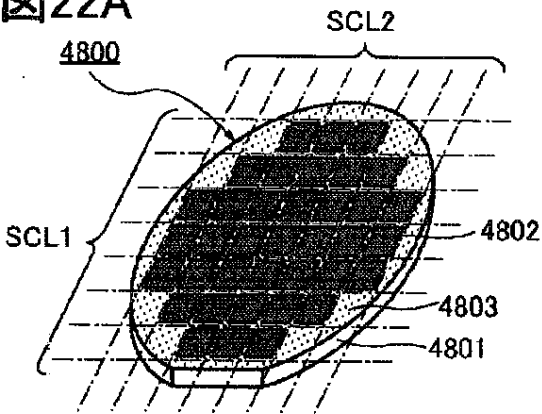
【図 2 1 C】

図21C



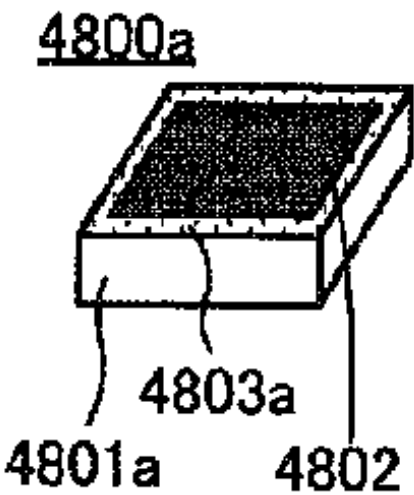
【図 2 2 A】

図22A



【図 2 2 B】

図22B



10

20

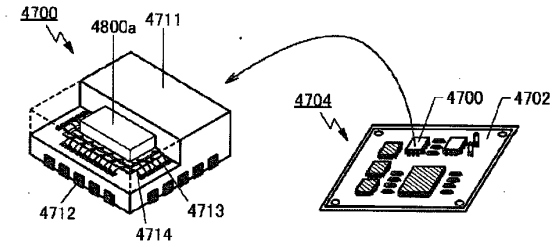
30

40

50

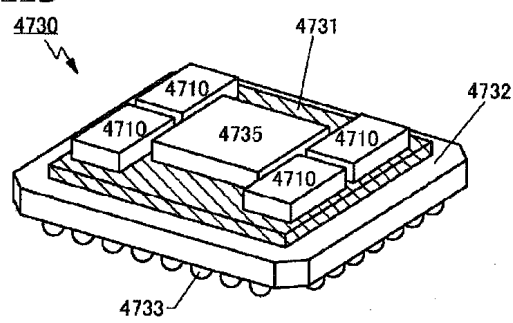
【図 2 2 C】

図 22C



【図 2 2 D】

図 22D

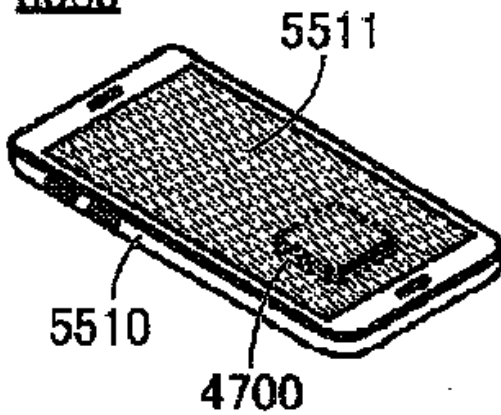


10

【図 2 3 A】

図 23A

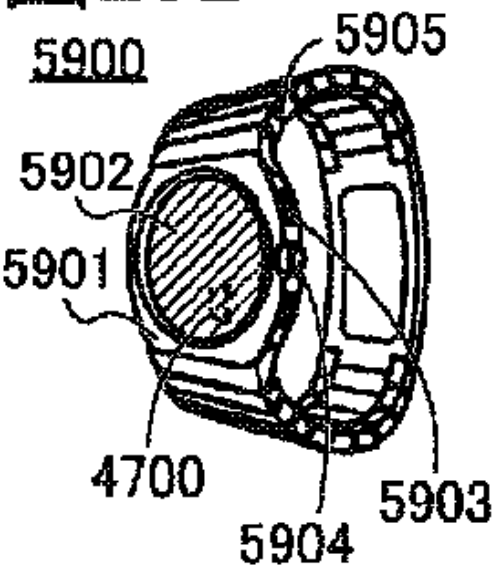
5500



【図 2 3 B】

図 23B

5900



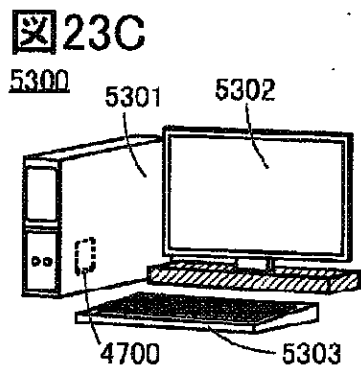
20

30

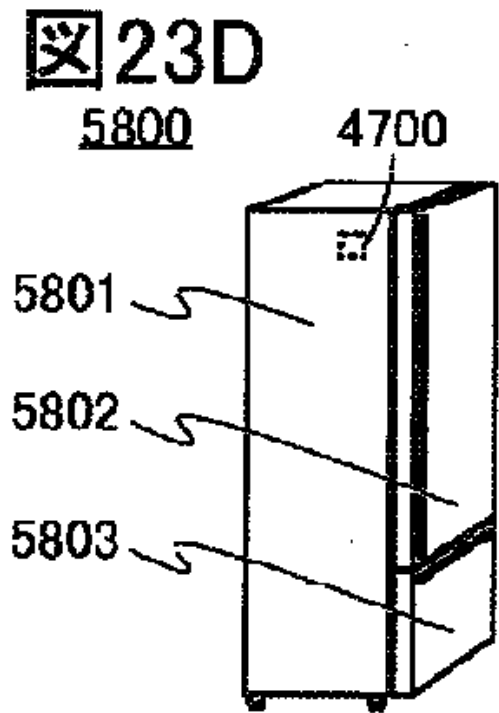
40

50

【図 2 3 C】



【図 2 3 D】



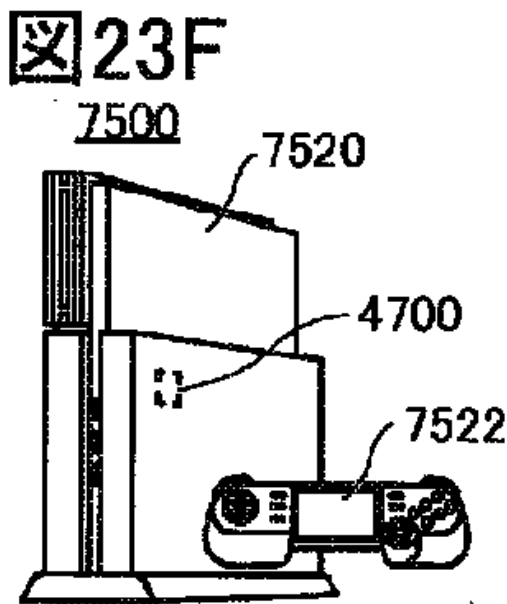
10

20

【図 2 3 E】



【図 2 3 F】

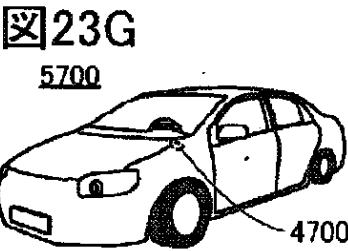


30

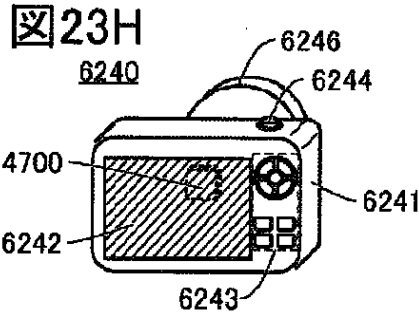
40

50

【図 2 3 G】

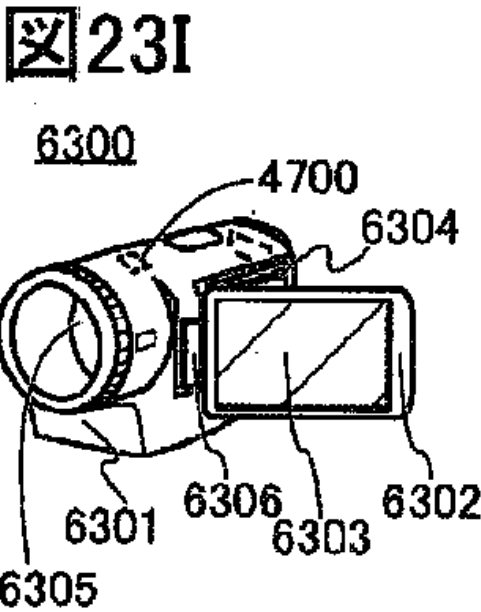


【図 2 3 H】

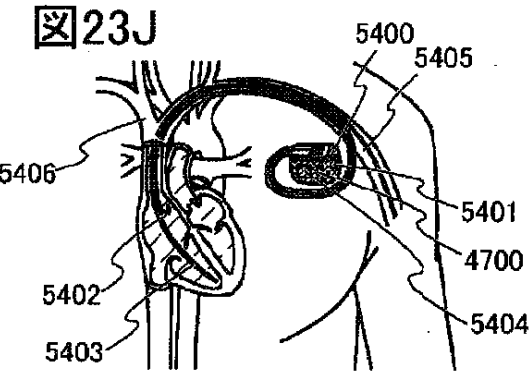


10

【図 2 3 I】



【図 2 3 J】



20

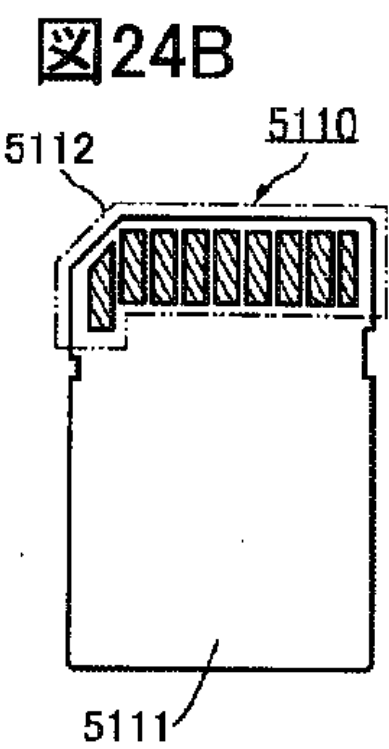
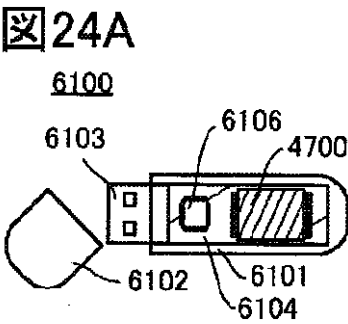
30

40

50

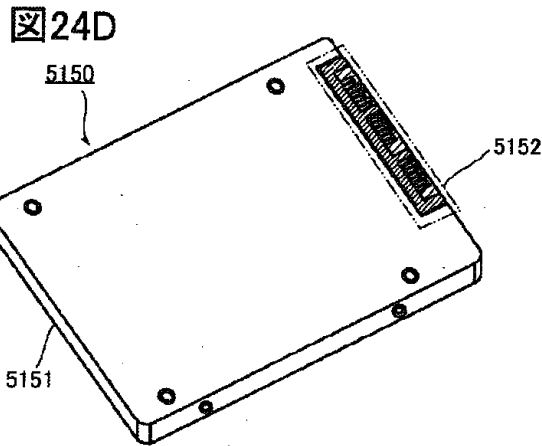
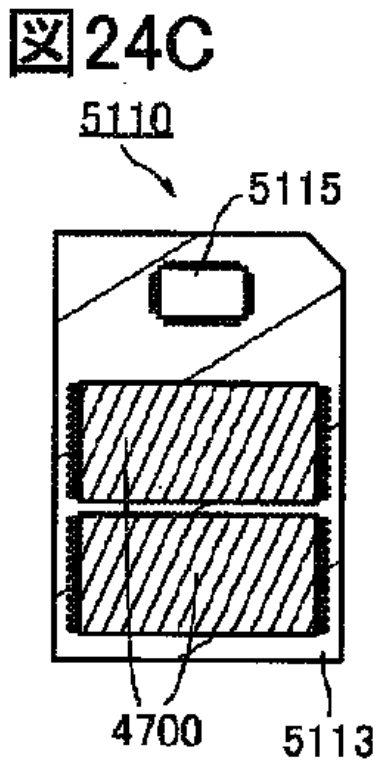
【図 2 4 A】

【図 2 4 B】



【図 2 4 C】

【図 2 4 D】



10

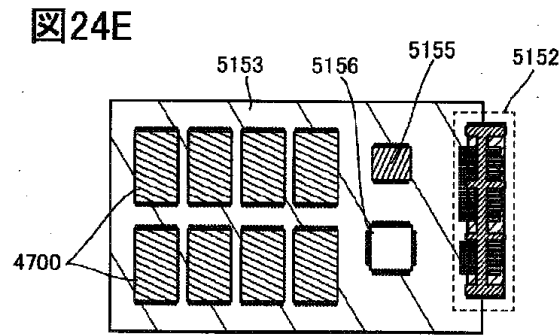
20

30

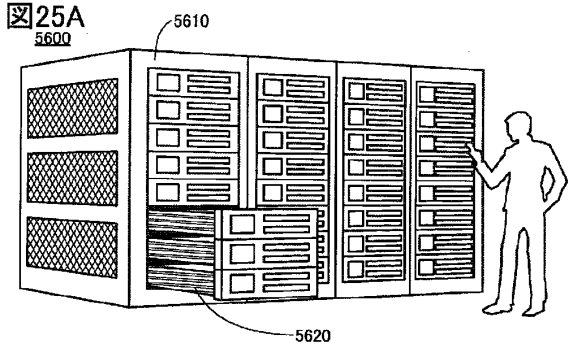
40

50

【図 2 4 E】

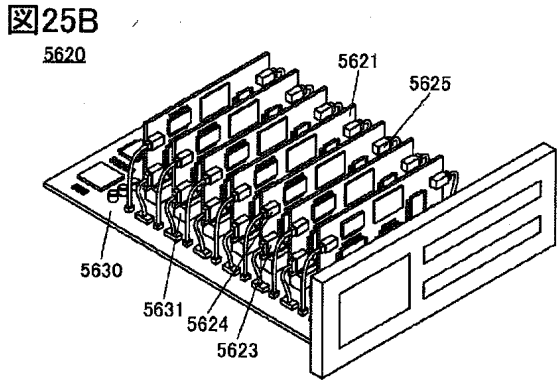


【図 2 5 A】

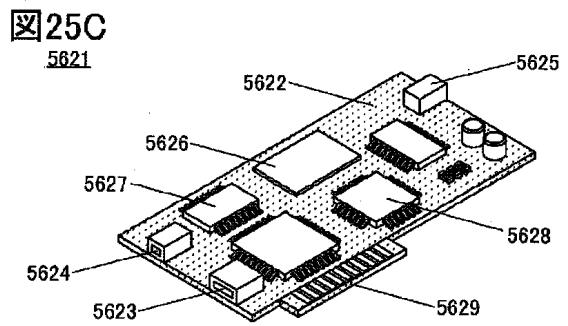


10

【図 2 5 B】



【図 2 5 C】



20

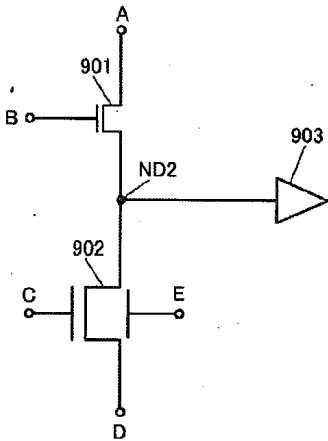
30

40

50

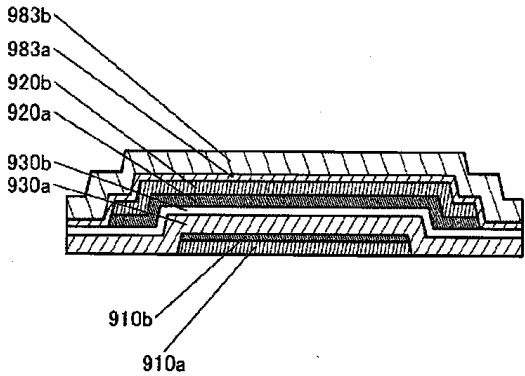
【図 2 6】

図26



【図 2 7 A】

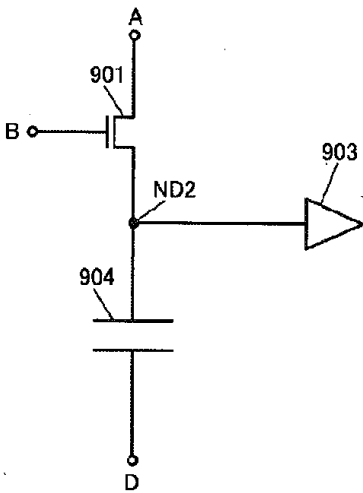
図27A



10

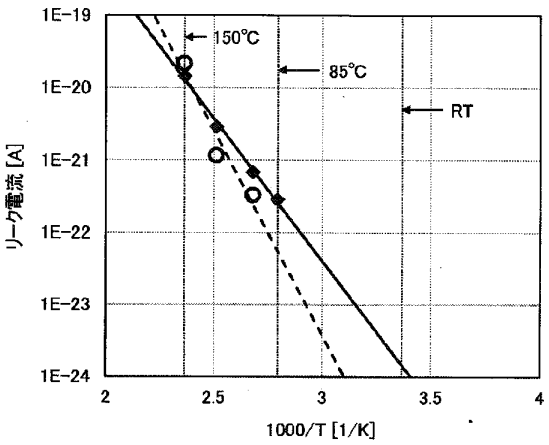
【図 2 7 B】

図27B



【図 2 8】

図28



30

40

50

フロントページの続き

- (56)参考文献 特表 2 0 1 4 - 5 0 3 9 3 0 (J P , A)
特開平 9 - 3 2 6 1 9 6 (J P , A)
特開平 8 - 9 7 3 8 6 (J P , A)
- (58)調査した分野 (Int.Cl., D B 名)
- | | |
|---------|-----------|
| G 1 1 C | 1 1 / 2 2 |
| G 1 1 C | 1 1 / 5 6 |
| H 1 0 B | 5 1 / 3 0 |