

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 8월 10일 (10.08.2017)



(10) 국제공개번호
WO 2017/135734 A1

- (51) 국제특허분류:
H03H 7/01 (2006.01) H03H 1/00 (2006.01)
H03H 7/42 (2006.01)
- (21) 국제출원번호: PCT/KR2017/001194
- (22) 국제출원일: 2017년 2월 3일 (03.02.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0015070 2016년 2월 5일 (05.02.2016) KR
- (71) 출원인: 주식회사 아모텍 (AMOTECH CO., LTD.)
[KR/KR]; 21629 인천시 남동구 남동서로 380, 남동공단 5블록 1롯트 (남촌동), Incheon (KR).
- (72) 발명자: 김중수 (KIM, Jong Soo); 21909 인천시 연수구 학나래로 118번길 10, A동 501호 (선학동), Incheon (KR). 류재수 (RYU, Jae Su); 02846 서울시 성북구 보문로 38길 11, 101동 2302호 (동소문동 5가, 돈암동일하이빌), Seoul (KR). 황윤호 (HWANG, Yoon Ho); 04580 서울시 중구 왕십리로 39길 30, 103동 204호 (신당동, 한진그랑빌아파트), Seoul (KR).

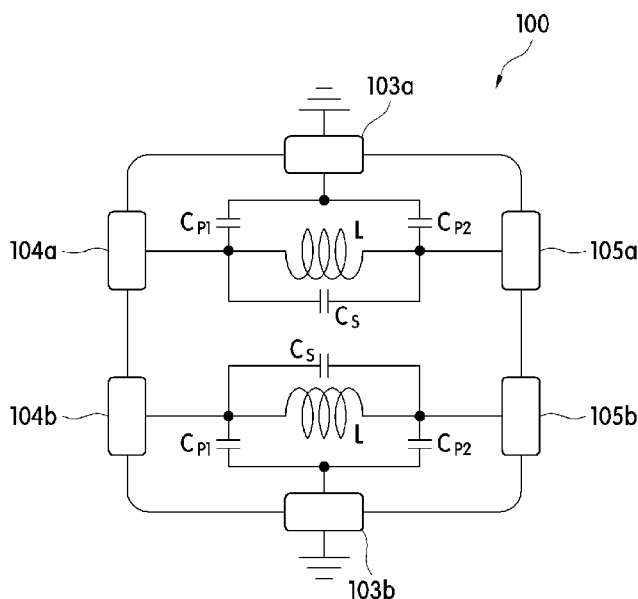
- (74) 대리인: 특허법인 이룸리온 (ERUUM & LEEON INTELLECTUAL PROPERTY LAW FIRM); 06575 서울시 서초구 사평대로 108 3층 (반포동), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: FILTER FOR BOTH DIFFERENTIAL MODE AND COMMON MODE

(54) 발명의 명칭: 차동 및 공통 모드 검용 필터

[도5]



(57) Abstract: A filter for both a differential mode and a common mode is provided. A filter for both a differential mode and a common mode according to an embodiment of the present invention comprises: a pair of series inductors having a plurality of coil patterns; two pairs of parallel capacitors connected to opposite ends of the pair of inductors, respectively; and a pair of series capacitors connected to the pair of inductors in parallel. Therefore, the filter can be used in both a common mode and a differential mode, and can remove noise without using an additional filter in an application having a comparatively high data processing speed.

(57) 요약서: 차동 및 공통 모드 검용 필터가 제공된다. 본 발명의 일 실시예에 따른 차동 및 공통 모드 검용 필터는 복수의 코일패턴으로 이루어진 한 쌍의 직렬 인덕터; 상기 한 쌍의 인덕터 각각의 양단에 연결되는 두 쌍의 병렬 커패시터; 및 상기 한 쌍의 인덕터와 병렬 연결되는 한 쌍의 직렬 커패시터;를 포함한다. 이에 의하면, 공통 모드와 함께 차동 모드에서 검용으로 사용할 수 있으며, 데이터 처리속도가 비교적 고속인 애플리케이션에서 추가적인 필터를 사용하지 않고도 잡음을 제거할 수 있다.

WO 2017/135734 A1



공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

— 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

명세서

발명의 명칭: 차동 및 공통 모드 겸용 필터

기술분야

- [1] 본 발명은 차동 모드 필터에 관한 것으로, 더욱 상세하게는 공통 모드 잡음과 차동 라인에서 체배되는 잡음을 동시에 제거할 수 있는 차동 및 공통 모드 겸용 필터에 관한 것이다.

배경기술

- [2] 최근, 전자기기들은 처리 데이터의 증가로 인하여 처리속도가 고속화되고 있다. 이러한 전자기기들은 고속 처리에 대응하기 위하여 USB, MIPI(Mobile Industry Processor Interface), LVDS(Low voltage differential signaling) 등과 같이 차분 신호(differential pair) 방식을 이용하고 있다.
- [3] 이와 같은 고속 데이터 라인에서 잡음 성분은 두 라인 사이의 신호의 차이로 발생하며, 이때, 공통 모드 필터를 이용하여 이러한 잡음 성분을 제거한다.
- [4] 그러나, 이러한 고속 데이터 환경에서, 회로기판에서의 배치에 따라 두 라인은 서로 상이한 경로를 따라 배치되고, 결과적으로 두 라인 사이의 길이가 상이하게 된다. 이에 의해 두 라인 사이의 시차 발생하게 되거나 임피던스 매칭이 이루어지지 못하게 된다.
- [5] 따라서, 두 라인 사이의 신호의 차를 공통 모드 필터로 제거하는 경우에는 실질적으로 잡음이 제거되지 못한다.
- [6] 이러한 공통 모드 필터는 특히, 2GHz 부근 주파수에서 공통 모드와 차동 모드의 임피던스 차이가 현저하게 줄게 되므로, 공통모드 잡음 차단 효과가 감소하는 동시에 차동모드 신호의 삽입 손실도 증가한다.
- [7] 이와 같이, 데이터의 고속화에 따라 공통 모드뿐만 아니라 차동 모드에서도 공통 모드와 유사한 주파수 특성을 가질 수 있는 필터의 개발이 절실한 실정이다.

발명의 상세한 설명

기술적 과제

- [8] 본 발명은 상기와 같은 점을 감안하여 안출한 것으로, 공통 모드와 함께 차동 모드에 대한 삽입 손실을 동시에 개선하여 두 모드에 겸용으로 사용할 수 있는 차동 및 공통 모드 겸용 필터를 제공하는데 그 목적이 있다.

과제 해결 수단

- [9] 상술한 과제를 해결하기 위하여 본 발명은 복수의 코일패턴으로 이루어진 한 쌍의 직렬 인덕터; 상기 한 쌍의 인덕터 각각의 양단에 연결되는 두 쌍의 병렬 커패시터; 및 상기 한 쌍의 인덕터와 병렬 연결되는 한 쌍의 직렬 커패시터;를 포함하는 차동 및 공통 모드 겸용 필터를 제공한다.
- [10] 본 발명의 바람직한 실시예에 의하면, 상기 두 쌍의 병렬 커패시터는 서로

동일한 값을 갖도록 대칭 구조로 이루어질 수 있다.

- [11] 또한, 상기 한 쌍의 직렬 커패시터와 상기 두 쌍의 병렬 커패시터는 하기의 식을 만족하며,
- [12] $1/2 \times C_{pc} < C_{sc} < 2 \times C_{pc}$
- [13] 여기서, C_{pc} 는 상기 두 쌍의 병렬 커패시터 각각의 커패시턴스이고,
- [14] C_{sc} 는 상기 한 쌍의 직렬 커패시터 각각의 커패시턴스일 수 있다.
- [15] 또한, 상기 한 쌍의 직렬 인덕터 각각의 임피던스는 상기 두 쌍의 병렬 커패시터 각각의 임피던스보다 같거나 클 수 있다.
- [16] 또한, 상기 차동 및 공통 모드 겸용 필터는 상기 한 쌍의 인덕터 각각의 일단에 연결되는 한 쌍의 입력전극; 상기 한 쌍의 인덕터 각각의 타단에 연결되는 한 쌍의 출력전극; 및 상기 한 쌍의 입력전극 및 한 쌍의 출력전극과 직각으로 배치되며, 상기 두 쌍의 병렬 커패시터에 연결되는 한 쌍의 접지전극;을 더 포함할 수 있다.
- [17] 한편, 본 발명은 한 쌍의 코일패턴 및 관통홀이 구비된 복수의 시트가 적층된 적어도 하나의 인덕터부 - 상기 한 쌍의 코일패턴은 상기 관통홀을 통하여 연결되어 한 쌍의 인덕터를 이룸 -; 상기 한 쌍의 인덕터 각각의 일단에 연결되는 한 쌍의 입력전극; 상기 한 쌍의 인덕터 각각의 타단에 연결되는 한 쌍의 출력전극; 상기 한 쌍의 입력전극 및 상기 한 쌍의 출력전극과 직각으로 배치되는 한 쌍의 접지전극; 및 상기 인덕터부의 적어도 일측에 적층 배치되며, 적어도 하나의 전극이 구비된 복수의 시트가 적층된 적어도 하나의 커패시터부;를 포함하는 차동 및 공통 모드 겸용 필터를 제공한다. 여기서, 상기 커패시터부는, 상기 한 쌍의 접지전극에 연결되는 적어도 하나의 제1커패시터 전극; 상기 제1커패시터 전극과 대향하여 배치되며, 상기 한 쌍의 입력전극에 각각 연결되는 한 쌍의 제2커패시터 전극; 및 상기 제1커패시터 전극과 대향하여 배치되며, 상기 한 쌍의 출력전극에 각각 연결되는 한 쌍의 제3커패시터 전극;을 포함하며, 상기 제2커패시터 전극, 상기 제3커패시터 전극, 및 상기 코일패턴 중 서로 대향하는 2개의 전극에 의해 상기 한 쌍의 입력전극과 상기 한 쌍의 출력전극 사이에 한 쌍의 직렬 커패시터를 이룬다.
- [18] 본 발명의 바람직한 실시예에 의하면, 상기 제1커패시터 전극과 상기 한 쌍의 제2커패시터 전극, 및 상기 제1커패시터 전극과 상기 한 쌍의 제3커패시터 전극에 의해 두 쌍의 병렬 커패시터를 이룰 수 있다.
- [19] 또한, 상기 커패시터부는 상기 어느 하나의 제2커패시터 전극과 상기 어느 하나의 제3커패시터 전극의 적어도 일부가 서로 대향하여 배치될 수 있다.
- [20] 또한, 상기 커패시터부는, 상기 두 개의 제1커패시터 전극 사이에 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극이 배치될 수 있다.
- [21] 또한, 상기 커패시터부는 상기 하나의 제1커패시터 전극이 상기 한 쌍의 제2커패시터 전극과 상기 한 쌍의 제3커패시터 전극 사이에 배치될 수 있다.
- [22] 또한, 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극은 동일

시트 상에 이격 배치되고, 상기 하나의 제1커패시터 전극은 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극과 대향하여 배치되며, 상기 인덕터부 중 상기 커패시터부에 가장 근접한 시트의 코일패턴은 상기 한 쌍의 제2커패시터 전극 또는 상기 한 쌍의 제3커패시터 전극과 대향하여 배치되어, 상기 한 쌍의 직렬 커패시터를 이룰 수 있다.

[23] 또한, 상기 인덕터부는 상기 커패시터부의 상측 또는 하측에 배치될 수 있다.

[24] 또한, 상기 인덕터부는 두 개의 커패시터부 사이에 배치될 수 있다.

[25] 또한, 상기 커패시터부는 두 개의 인덕터부 사이에 배치될 수 있다.

[26] 또한, 제1커패시터 전극은 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극보다 폭이 클 수 있다.

[27] 한편, 본 발명은 한 쌍의 입력전극; 상기 한 쌍의 입력전극의 반대측에 구비된 한 쌍의 출력전극; 상기 한 쌍의 입력전극 및 한 쌍의 출력전극과 직각으로 배치되는 한 쌍의 접지전극; 상기 한 쌍의 입력전극과 상기 한 쌍의 출력전극 사이에 각각 직렬 연결되는 한 쌍의 인덕터; 상기 한 쌍의 인덕터 각각의 양단과 상기 접지전극 사이에 병렬 연결되는 두 쌍의 병렬 커패시터; 및 상기 한 쌍의 인덕터와 병렬 연결되는 한 쌍의 직렬 커패시터;를 포함하는 차동 및 공통 모드 겸용 필터를 제공한다.

발명의 효과

[28] 본 발명에 의하면, π 형 필터로 이루어진 공통 모드 필터에 직렬 커패시터를 부과함으로써, 차동 신호에 대한 통과대역을 보상하므로, 공통 모드와 함께 차동 모드에서 겸용으로 사용할 수 있다.

[29] 또한, 본 발명은 공통 모드와 차동 모드에서 겸용으로 사용될 수 있으므로, 데이터 처리속도가 비교적 고속인 애플리케이션에서 추가적인 필터를 사용하지 않고도 잡음을 제거할 수 있다.

도면의 간단한 설명

[30] 도 1은 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터의 사시도,

[31] 도 2는 도 1의 차동 및 공통 모드 겸용 필터의 적층관계를 나타낸 분리사시도,

[32] 도 3은 도 1의 차동 및 공통 모드 겸용 필터의 횡단면도,

[33] 도 4는 도 1의 차동 및 공통 모드 겸용 필터의 종단면도,

[34] 도 5는 도 1의 차동 및 공통 모드 겸용 필터의 등가 회로도,

[35] 도 6은 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터의 삽입손실을 나타낸 주파수 특성 그래프,

[36] 도 7은 종래의 공통 모드 필터의 삽입손실을 나타낸 주파수 특성 그래프,

[37] 도 8 및 도 9는 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터에서 직렬 커패시터와 병렬 커패시터의 커패시턴스의 크기 관계에 따른 차단특성을 설명하기 위한 삽입 손실을 나타낸 주파수 특성 그래프,

[38] 도 10 및 도 11은 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터에서

직렬 커패시터와 병렬 커패시터의 커패시턴스의 크기 관계에 따른 감쇄특성을 설명하기 위한 삽입 손실을 나타낸 주파수 특성 그래프,

- [39] 도 12 및 도 13은 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터에서 직렬 인덕터와 병렬 커패시터의 임피던스의 크기 관계에 따른 통과대역의 평탄 특성을 설명하기 위한 삽입 손실을 나타낸 주파수 특성 그래프,
- [40] 도 14 및 도 15는 도 1의 차동 및 공통 모드 겸용 필터에서 커패시터부의 다양한 예를 나타낸 단면도, 그리고,
- [41] 도 16 내지 도 18은 도 1의 차동 및 공통 모드 겸용 필터에서 커패시터부와 인덕터부의 배치에 대한 다양한 예를 나타낸 단면도이다.

발명의 실시를 위한 형태

- [42] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조부호를 부가한다.
- [43] 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터(100)는 복수의 시트층(101), 접지전극(103a,103b), 입력전극(104a,104b), 출력전극(105a,105b), 인덕터부(110) 및 커패시터부(120)를 포함한다.
- [44] 상기 복수의 시트층(101)은 도 2에 도시된 바와 같이, 패턴이 형성된 시트가 복수 적층된 것으로서, 각각의 시트 상에 형성되는 전극 또는 패턴에 따라 인덕터부(110) 및 커패시터부(120)를 구성한다. 여기서, 상기 인덕터부(110) 및 상기 커패시터부(120)는 한 쌍으로 이루어지며, 각각은 저역통과 필터(102a,102b)를 구성한다.
- [45] 상기 접지전극(103a,103b)은 도 1에 도시된 바와 같이, 한 쌍의 상기 입력전극(104a,104b) 및 한 쌍의 상기 출력전극(105a,105b)과 직각으로 배치되며, 상기 복수의 시트층(101)의 양측에서 한 쌍으로 이루어진다.
- [46] 이러한 접지전극(103a,103b)은 도 3에 도시된 바와 같이, 상기 커패시터부(120)의 일부 전극과 전기적으로 연결된다.
- [47] 상기 입력전극(104a,104b)은 상기 복수의 시트층(101)의 일측에 배치되며 한 쌍으로 이루어진다. 이러한 입력전극(104a,104b)은 쌍으로 이루어진 차분 신호가 입력될 수 있다.
- [48] 상기 출력전극(105a,105b)은 상기 복수의 시트층(101)에서 상기 입력전극(104a,104b)과 대향하여 배치되며 한 쌍으로 이루어진다. 이러한 출력전극(105a,105b)은 필터처리된 신호 쌍이 출력될 수 있다.
- [49] 이와 같이, 상기 입력전극(104a,104b) 및 상기 출력전극(105a,105b)은 도 4에 도시된 바와 같이, 상기 인덕터부(110)의 양단과 전기적으로 연결된다. 즉, 상기

한 쌍의 입력전극(104a,104b)은 상기 인덕터부(110)의 일단에 연결되고, 상기 한 쌍의 출력전극(105a,105b)은 상기 인덕터부(110)의 타단에 연결된다.

[50] 여기서, 상기 입력전극(104a,104b)과 상기 출력전극(105a,105b)은 설명의 편의상 명명된 것 일뿐, 상기 입력전극(104a,104b)과 상기 출력전극(105a,105b)은 그 기능을 반대로서 사용할 수 있다. 즉, 상기 출력전극(105a,105b)에 신호가 입력되고 노이즈 제거된 신호가 상기 입력전극(104a,104b)으로 출력될 수 있다.

[51] 상기 인덕터부(110)는 복수의 시트(101-1~101-10)가 적층된 것으로서, 각각의 시트는 한 쌍의 코일패턴(111~114,111'~114'), 인출패턴(115,116) 및 관통홀(111a~114a,111a'~114a',116a)이 구비된다. 여기서, 한 쌍의 상기 코일패턴(111~114,111'~114')은 각 시트의 상기 관통홀(111a~114a,111a'~114a',116a)을 통하여 연결되어 한 쌍의 인덕터를 이룬다. 이러한 인덕터부(110)는 상기 커패시터부(120)의 상측에 배치될 수 있다.

[52] 이때, 상기 한 쌍의 코일패턴(111~114,111'~114')은 서로 상이한 방향으로 감겨질 수 있다. 즉, 상기 제1저역통과필터(102a)의 상기 코일패턴(111~114,111'~114')과 상기 제2저역통과필터(102b)의 상기 코일패턴(111~114,111'~114')은 서로 상이한 방향으로 감겨질 수 있다. 예를 들면, 상기 제1저역통과필터(102a)의 상기 코일패턴(111~114,111'~114')은 시계방향으로 감겨지고, 상기 제2저역통과필터(102b)의 상기 코일패턴(111~114,111'~114')은 반시계방향으로 감겨질 수 있다.

[53] 이와 같이 상기 한 쌍의 상기 코일패턴(111~114,111'~114')이 서로 상이한 방향으로 배치됨으로써, 전류의 위상이 180도 차이가 발생하므로 상기 코일패턴에 의해 생성되는 자기장이 서로 반대방향이 된다. 따라서, 상기 코일패턴에 의해 방사되는 EMI 노이즈를 상쇄시켜 외부로의 방사를 차단할 수 있다.

[54] 아울러, 상기 인출패턴(115)은 인덕터와 입력전극(104a,104b)을 연결하기 위한 것으로서, 상기 인덕터부(110)에서 최하층 시트(101-10)에 구비될 수 있다. 또한, 상기 인출패턴(116)은 인덕터와 상기 출력전극(105a,105b)을 연결하기 위한 것으로서, 상기 인덕터부(110)에서 최상층 시트(101-1)에 구비될 수 있다.

[55] 여기서, 상기 인덕터부(110)를 이루는 시트의 수는 특정 수에 한정되지 않으며, 상기 코일패턴에 의해 형성되는 인덕터의 용량에 따라 결정될 수 있다. 또한, 각 시트에 구비된 상기 코일패턴은 도 2에 도시된 형상에 한정되지 않으며, 예를 들면, 루프 형태로 이루어질 수 있다.

[56] 상기 커패시터부(120)는 복수의 시트(101-11~101-17)가 적층된 것으로서, 각각의 시트는 적어도 하나의 커패시터 전극(121,121',122, 124,124',125')이 구비된다. 이러한 커패시터부(120)는 상기 인덕터부(110)의 하측에 적층 배치될 수 있다.

[57] 이러한 커패시터부(120)는 제1커패시터 전극(121,121',122), 제2커패시터 전극(124,124'), 제3커패시터 전극(125,125')을 포함한다.

- [58] 상기 제1커패시터 전극(121,121',122)은 상기 한 쌍의 접지전극(103a,103b)에 연결된다. 여기서, 상기 제1커패시터 전극(121)은 시트(101-11) 상에 구비되고, 상기 제1커패시터 전극(122)은 시트(101-14) 상에 구비되며, 상기 제1커패시터 전극(121')은 시트(101-17) 상에 구비될 수 있다.
- [59] 이때, 상기 제1커패시터 전극(121,121',122)은 상기 접지전극(103a,103b)과 연결되어 접지의 역할을 갖기 때문에, 상기 제2커패시터 전극(124,124') 및 상기 제3커패시터 전극(125,125')보다 큰 폭으로 구비될 수 있다.
- [60] 상기 제2커패시터 전극(124,124')은 각각이 한 쌍으로 이루어지며, 상기 제1커패시터 전극(121,121')과 대향하여 배치되고, 상기 한 쌍의 입력전극(104a,104b)에 각각 연결된다. 즉, 상기 제2커패시터 전극(124)은 상기 시트(101-11)의 하측에 배치되는 시트(101-12) 상에 한 쌍으로 구비되고, 상기 제2커패시터 전극(124')은 상기 시트(101-17)의 상측에 배치되는 시트(101-16) 상에 한 쌍으로 구비될 수 있다.
- [61] 상기 제3커패시터 전극(125,125')은 각각이 한 쌍으로 이루어지며, 상기 제1커패시터 전극(122)과 대향하여 배치되고, 상기 한 쌍의 출력전극(105a,105b)에 각각 연결된다. 즉, 상기 제3커패시터 전극(125)은 상기 시트(101-14)의 상측에 배치되는 시트(101-13) 상에 한 쌍으로 구비되고, 상기 제3커패시터 전극(125')은 상기 시트(101-14)의 하측에 배치되는 시트(101-15) 상에 한 쌍으로 구비될 수 있다.
- [62] 여기서, 상기 제1커패시터 전극(121,121',123)은 세 개로 구비되고, 상기 제2커패시터 전극(124,124') 및 상기 제3커패시터 전극(125,125')은 각각 2개의 쌍으로 이루어지진 것으로 도시되고 설명하였으나, 이에 한정되지 않고, 상기 커패시터 전극의 수는 그에 의해 형성되는 커패시터의 용량에 따라 결정될 수 있다. 예를 들면, 도 2에서, 상기 시트(101-15~101-17)는 생략될 수 있고, 결과적으로, 상기 제1커패시터 전극(121'), 상기 제2커패시터 전극(124'), 및 상기 제3커패시터 전극(125')은 생략될 수 있다.
- [63] 이때, 상기 커패시터부(120)는 두 개의 상기 제1커패시터 전극(121,122 또는 121',122) 사이에 상기 제2커패시터 전극(124 또는 124') 및 상기 제3커패시터 전극(125 또는 125')이 배치될 수 있다.
- [64] 이에 의해, 하나의 상기 제1커패시터 전극(121)과 그에 대향하는 상기 한 쌍의 제2커패시터 전극(124)은 상기 한 쌍의 인덕터의 일측에 병렬 연결되는 커패시터(C_{P2})를 형성하며, 다른 하나의 상기 제1커패시터 전극(122)과 그에 대향하는 상기 한 쌍의 제3커패시터 전극(125)은 상기 한 쌍의 인덕터의 타측에 병렬 연결되는 커패시터(C_{P1})를 형성할 수 있다.
- [65] 이와 유사하게, 하나의 상기 제1커패시터 전극(121')과 그에 대향하는 상기 한 쌍의 제2커패시터 전극(124')은 상기 한 쌍의 인덕터의 일측에 병렬 연결되는 커패시터(C_{P1})를 형성하며, 다른 하나의 상기 제1커패시터 전극(122)과 그에 대향하는 상기 한 쌍의 제3커패시터 전극(125')은 상기 한 쌍의 인덕터의 타측에

병렬 연결되는 커패시터(C_{P2})를 형성할 수 있다.

- [66] 이때, 상기 한 쌍의 제2커패시터 전극(124 또는 124')과 상기 한 쌍의 제3커패시터 전극(125 또는 125')은 서로 대향하여 배치되며, 이에 의해 상기 한 쌍의 입력전극(104a,104b)과 상기 한 쌍의 출력전극(105a,105b) 사이에 한 쌍의 직렬 커패시터(C_S)를 이룰 수 있다.
- [67] 이와 같은 차동 및 공통 모드 겸용 필터(100)는 도 5에 도시된 바와 같이, 2개의 저역통과 필터(102a,102b)로 이루어지며, 각각은 직렬 인덕터(L), 2개의 병렬 커패시터(C_{P1}, C_{P2}), 및 직렬 커패시터(C_S)를 포함한다.
- [68] 상기 인덕터(L)는 복수의 코일패턴(111~114,111'~114')으로 이루어지며, 입력전극(104a,104b)과 출력전극(105a,105b) 사이에 직렬 배치된다.
- [69] 상기 병렬 커패시터(C_{P1})는 상기 인덕터(L)와 상기 입력전극(104a,104b)의 연결점과, 접지전극(103a,103b) 사이에 병렬 배치되며, 상기 병렬 커패시터(C_{P2})는 상기 인덕터(L)와 상기 출력전극(105a,105b)의 연결점과, 상기 접지전극(103a,103b) 사이에 병렬 배치될 수 있다.
- [70] 이와 같이, 상기 인덕터(L)와 2개의 병렬 커패시터(C_{P1}, C_{P2})에 의해 π 형 저역통과필터가 구성될 수 있다.
- [71] 상기 직렬 커패시터(C_S)는 상기 입력전극(104a,104b)과 상기 출력전극(105a,105b) 사이에 직렬 배치되어 상기 인덕터(L)와 병렬 배치된다.
- [72] 한편, 상기 π 형 저역통과 필터(102a,102b)의 설계시, 상기 인덕터(L)가 어느 하나의 병렬 커패시터(C_{P1}, C_{P2})보다 낮은 임피던스를 갖는 경우, 통과대역에서 리플 성분이 발생한다는 사실을 모의실험을 통해 지득하였다.
- [73] 따라서, 본 발명의 실시예에 따른 상기 차동 및 공통 모드 겸용 필터(100)는 상기 인덕터(L)의 임피던스를 보상하기 위해 상기 인덕터(L)와 병렬로 상기 직렬 커패시터(C_S)를 구비함으로써, 리플 성분을 제거할 수 있다.
- [74] 즉, 상기와 같은 직렬 커패시터(C_S)에 의해, 차동 신호에 대한 주파수 특성에서 급격한 기울기 특성을 달성할 수 있다. 보다 구체적으로 설명하면, 일반적으로 필터의 컷오프 특성이 급격한 기울기를 가질수록 통과대역에서 많은 리플 성분을 갖게 되지만, 본 발명의 실시예와 같이, 상기 입력전극(104a,104b)과 상기 출력전극(105a,105b) 사이에 상기 직렬 커패시터(C_S)를 구비함으로써, 급격한 기울기 특성을 가지면서도, 통과대역에서의 리플 성분을 제거할 수 있다.
- [75] 도 6 및 도 7에 도시된 바와 같이, 종래의 경우, 차동 모드(Sdd21)와 공통 모드(Scc21)의 삽입 손실이 서로 상이할 뿐만 아니라, 컷오프의 기울기 특성이 완만하며, 통과대역에서 평탄 특성이 확보되지 못했다.
- [76] 반면, 본 발명의 실시예에 따른 차동 및 공통 모드 겸용 필터(100)는 차동 모드와 공통 모드 모두에 대하여 거의 유사한 삽입 손실을 가질 뿐만 아니라, 컷오프의 기울기 특성이 향상되고, 통과 대역에서 리플성분이 거의 없이 평탄 특성이 확보되었다.
- [77] 더욱이, 대부분의 고속 디지털 신호가 운용되는 차동 모드에서, 신호가

고속화됨에 따라, 제거해야 할 잡음 주파수 영역과 통과시켜야 할 신호 영역이 근접함에 따라 필터의 정교한 차단 특성(통상적으로 'Skirt 특성'이라고 함)이 요구되고 있다.

- [78] 이러한 특성을 만족하기 위해서는 상기 π 형 저역통과 필터(102a, 102b)를 이루는 직렬 인덕터, 병렬 커패시터, 및 직렬 커패시터의 용량에 따른 관계가 적절하게 형성되어야 한다는 사실을 모의실험을 통해 지득하였다.
- [79] 여기서, 상기 π 형 저역통과 필터는, 도 8에 도시된 바와 같이, 컷오프의 기울기가 급격하게 형성되어야 우수한 차단 특성을 제공할 수 있다.
- [80] 그러나, 상기 직렬 커패시터(C_s)의 커패시턴스가 상기 병렬 커패시터(C_{P1}, C_{P2})의 커패시턴스에 비하여 너무 작게 되면, 특히, 상기 직렬 커패시터(C_s)의 커패시턴스(C_s)가 상기 병렬 커패시터(C_{P1}, C_{P2})의 커패시턴스(C_{PC})의 절반보다 작은 경우에는, 도 9에 도시된 바와 같이, 컷오프의 기울기가 완만하게 형성되어 인접 주파수의 잡음을 적절하게 감쇄 할 수 없다.
- [81] 아울러, 상기 π 형 저역통과 필터는, 도 10에 도시된 바와 같이, 잡음 감쇄 대역에서 전체적으로 큰 감쇄값을 가져야 우수한 감쇄 특성을 제공할 수 있다.
- [82] 그러나, 상기 직렬 커패시터(C_s)의 커패시턴스가 상기 병렬 커패시터(C_{P1}, C_{P2})의 커패시턴스에 비하여 너무 크게 되면, 특히, 상기 직렬 커패시터(C_s)의 커패시턴스(C_s)가 상기 병렬 커패시터(C_{P1}, C_{P2})의 커패시턴스(C_{PC})의 두배보다 큰 경우에는, 도 11에 도시된 바와 같이, 잡음 감쇄 대역에서 전체적으로 작은 감쇄값을 가져 감쇄특성이 악화된다.
- [83] 따라서, 상기 π 형 저역통과 필터는 차동 모드에서 차단 특성 및 감쇄 특성을 모두 달성하기 위해서 상기 직렬 커패시터(C_s)와 상기 병렬 커패시터(C_{P1}, C_{P2})는 하기의 식을 만족하는 것이 바람직하다:
- [84] $1/2 \times C_{pc} < C_{sc} < 2 \times C_{pc}$
- [85] 여기서, C_{pc} 는 상기 두 쌍의 병렬 커패시터 각각의 커패시턴스이고,
- [86] C_{sc} 는 상기 한 쌍의 직렬 커패시터 각각의 커패시턴스이다.
- [87] 또한, 상기 π 형 저역통과 필터는, 도 12에 도시된 바와 같이, 통과 대역에서 리플이 제거되어야 원하는 평탄 특성을 제공할 수 있다.
- [88] 그러나, 상기 직렬 인덕터(L)의 임피던스가 상기 병렬 커패시터(C_{P1}, C_{P2})의 임피던스에 비하여 작게 되면, 도 13에 도시된 바와 같이, 통과 대역의 고주파 영역에서 리플이 발생되어 원하는 평탄 특성을 제공할 수 없고, 이에 따라 신호의 손실을 야기하게 된다.
- [89] 따라서, 상기 π 형 저역통과 필터는 차동 모드에서 평탄 특성을 달성하기 위해서 상기 직렬 인덕터(L)의 임피던스는 상기 병렬 커패시터(C_{P1}, C_{P2}) 각각의 임피던스보다 같거나 큰 것이 바람직하다.
- [90] 아울러, 고속의 차동 회로에서, 입출력 신호의 방향이 바뀌어 질 수 있기 때문에 대칭적인 구조의 필터 설계를 위해서는 하나의 인덕터(L)와 연결된 두 개의 병렬 커패시터(C_{P1}, C_{P2}) 각각은 서로 동일한 값을 갖는 것이 바람직하다. 즉, 병렬

커패시터(C_{P1}, C_{P2}) 각각은 서로 동일한 값을 갖도록 대칭 구조로 이루어질 수 있다.

- [91] 한편, 본 발명의 일 실시예에 따른 차동 및 공통 모드 겸용 필터(100)는 도 14 및 도 15에 도시된 바와 같이, 커패시터부(120)를 다양하게 구성할 수 있다. 이하에서는 어느 하나의 저역통과 필터(102a, 102b)를 기준으로 설명하며, 따라서 특별히 명시하지 않아도 제2커패시터 전극 및 제3커패시터 전극은 한 쌍으로 이루어짐은 물론이다.
- [92] 예를 들면, 도 14에 도시된 바와 같이, 상기 커패시터부(120)는 하나의 제1커패시터 전극(126)이 제2커패시터 전극(127)과 제3커패시터 전극(128) 사이에 배치될 수 있다. 즉, 상기 제1커패시터 전극(126)과 상기 제2커패시터 전극(124)이 서로 대향하여 배치되므로 하나의 병렬 커패시터(C_{P1})를 형성하고, 상기 제1커패시터 전극(126)과 상기 제3커패시터 전극(128)이 서로 대향하여 배치되므로, 다른 하나의 병렬 커패시터(C_{P2})를 형성한다.
- [93] 이때, 상기 제2커패시터 전극(127)과 상기 제3커패시터 전극(128)은 적어도 일부가 서로 대향하여 배치될 수 있다. 즉, 상기 입력전극(104a)과 상기 출력전극(105a) 사이에서, 상기 제1커패시터 전극(126)은 상기 제2커패시터 전극(127) 및 상기 제3커패시터 전극(128)보다 짧은 길이로 구비되며, 상기 입력전극(104a, 104b)과 상기 출력전극(105a, 105b) 사이의 대략 중앙부에 된다.
- [94] 이에 의해 상기 제1커패시터 전극(126)의 양측 영역에서는 상기 제2커패시터 전극(127)과 상기 제3커패시터 전극(128) 사이에 상기 제1커패시터 전극(126)이 개재되지 않고, 상기 제2커패시터 전극(127)과 상기 제3커패시터 전극(128)이 서로 대향하여 배치되므로, 직렬 커패시터(C_s)를 구현할 수 있다.
- [95] 이와 같은 구성에 의해, 도 2의 커패시터부에 비하여 적은 수의 커패시터 전극만으로도 병렬 커패시터 및 직렬 커패시터 모두를 구현할 수 있다.
- [96] 다른 예로서, 도 15에 도시된 바와 같이, 커패시터부(120)는 상기 제2커패시터 전극(129) 및 상기 제3커패시터 전극(129')이 동일 시트 상에 이격 배치될 수 있다. 여기서, 상기 제2커패시터 전극(129)은 입력전극(104a)에 연결되고, 상기 제3커패시터 전극(129')은 출력전극(105a)에 연결될 수 있다.
- [97] 이때, 제1커패시터 전극(126')은 상기 제2커패시터 전극(129) 및 상기 제3커패시터 전극(129')과 각각 대향하여 배치될 수 있다. 즉, 상기 제1커패시터 전극(126')은 상기 제2커패시터 전극(129) 및 상기 제3커패시터 전극(129')의 하측에서 각각에 대하여 적어도 일부가 대향하도록 배치될 수 있다.
- [98] 이에 의해, 상기 제1커패시터 전극(126')과 상기 제2커패시터 전극(129)이 서로 대향하여 배치되므로, 하나의 병렬 커패시터(C_{P1})를 형성하고, 상기 제1커패시터 전극(121)과 상기 제3커패시터 전극(125)이 서로 대향하여 배치되므로, 다른 하나의 병렬 커패시터(C_{P2})를 형성한다.
- [99] 아울러, 인덕터부(110)에서 상기 커패시터부(120)에 가장 근접한 시트의 코일패턴, 즉 인출패턴(115')은 상기 제3커패시터 전극(125)과 대향하도록 길게

연장형성될 수 있다. 이에 의해, 인출패턴(115')은 상기 제2커패시터 전극(129)과 전기적으로 연결되기 때문에, 인출패턴(115')과 상기 제3커패시터 전극(129')이 서로 대향하여 배치되므로, 직렬 커패시터(C_s)를 형성한다.

- [100] 여기서, 상기 제1커패시터 전극(126')은 상기 제2커패시터 전극(129) 및 상기 제3커패시터 전극(129')을 기준으로 인출패턴(115')에 반대측에 배치되기만 하면, 상기 제1커패시터 전극(129) 및 상기 제3커패시터 전극(129')의 상측에 배치될 수도 있다.
- [101] 이와 같은 구성에 의해, 도 2 및 도 14의 커패시터부에 비하여 적은 수의 시트 적층만으로도 병렬 커패시터 및 직렬 커패시터 모두를 구현할 수 있다.
- [102] 또한, 본 발명의 일 실시예 따른 차동 및 공통 모드 겸용 필터(100)는 도 16 내지 도 18에 도시된 바와 같이, 상기 인덕터부(110)와 상기 커패시터부(120)를 다양하게 적층 배치할 수 있다.
- [103] 예를 들면, 도 16에 도시된 바와 같이, 차동 및 공통 모드 겸용 필터(100)는 인덕터부(110)가 커패시터부(120)의 하측에 배치될 수 있다. 즉, 코일패턴(111~114, 111'~114') 인출패턴(115, 116) 및 상기 관통홀(111a~114a, 111a'~114a')을 구비한 시트(101-1~101-10)를 먼저 적층한 다음, 커패시터 전극(121, 121', 122, 124, 124', 125')을 구비한 시트(101-11~101-17)를 적층함으로써, 상기 차동 및 공통 모드 겸용 필터(100)를 구현할 수 있다.
- [104] 다른 예로서, 도 17에 도시된 바와 같이, 차동 및 공통 모드 겸용 필터(100)는 인덕터부(110)가 두 개의 커패시터부(120a, 120b) 사이에 배치될 수 있다. 즉, 접지전극(103a, 103b)에 각각 연결되는 두 개의 제1커패시터 전극(121, 122), 및 두 개의 상기 제1커패시터 전극(121, 122) 사이에 배치되는 상기 제2커패시터 전극(124) 및 상기 제3커패시터 전극(125)으로 이루어진 하나의 커패시터부(120a)는 상기 인덕터부(110)의 상측에 배치될 수 있다. 또한, 접지전극(103a, 103b)에 각각 연결되는 다른 두 개의 제1커패시터 전극(121', 122'), 및 두 개의 상기 제1커패시터 전극(121', 122') 사이에 배치되는 상기 제2커패시터 전극(124') 및 상기 제3커패시터 전극(125')으로 이루어진 다른 하나의 커패시터부(120b)는 상기 인덕터부(110)의 하측에 배치될 수 있다.
- [105] 또 다른 예로서, 도 18에 도시된 바와 같이, 차동 및 공통 모드 겸용 필터(100)는 커패시터부(120)가 두 개의 인덕터부(110a, 110b) 사이에 배치될 수 있다. 즉, 입력전극(104a)에 연결된 인출패턴(115), 출력전극(105a)에 연결된 인출패턴(116), 및 그 사이에 배치되는 코일패턴(111~114)으로 이루어진 하나의 인덕터부(110a)는 상기 커패시터부(120)의 상측에 배치될 수 있다. 또한, 입력전극(104a)에 연결된 인출패턴(115'), 출력전극(105a)에 연결된 인출패턴(116'), 및 그 사이에 배치되는 코일패턴(111'~114')으로 이루어진 다른 하나의 인덕터부(110b)는 상기 커패시터부(120)의 하측에 배치될 수 있다.
- [106] 이상에서 본 발명의 일 실시예에 대하여 설명하였으나, 본 발명의 사상은 본 명세서에 제시되는 실시 예에 제한되지 아니하며, 본 발명의 사상을 이해하는

당업자는 동일한 사상의 범위 내에서, 구성요소의 부가, 변경, 삭제, 추가 등에 의해서 다른 실시 예를 용이하게 제안할 수 있을 것이나, 이 또한 본 발명의 사상범위 내에 든다고 할 것이다.

청구범위

- [청구항 1] 복수의 코일패턴으로 이루어진 한 쌍의 직렬 인덕터;
상기 한 쌍의 인덕터 각각의 양단에 연결되는 두 쌍의 병렬 커패시터; 및
상기 한 쌍의 인덕터와 병렬 연결되는 한 쌍의 직렬 커패시터;를 포함하는
차동 및 공동 모드 겸용 필터.
- [청구항 2] 제1항에 있어서,
상기 두 쌍의 병렬 커패시터는 서로 동일한 값을 갖도록 대칭 구조로
이루어지는 차동 및 공동 모드 겸용 필터.
- [청구항 3] 제1항에 있어서,
상기 한 쌍의 직렬 커패시터와 상기 두 쌍의 병렬 커패시터는 하기의 식을
만족하며,

$$1/2 \times C_{pc} < C_{sc} < 2 \times C_{pc}$$
여기서, C_{pc} 는 상기 두 쌍의 병렬 커패시터 각각의 커패시턴스이고,
 C_{sc} 는 상기 한 쌍의 직렬 커패시터 각각의 커패시턴스인 차동 및 공동
모드 겸용 필터.
- [청구항 4] 제1항에 있어서,
상기 한 쌍의 직렬 인덕터 각각의 임피던스는 상기 두 쌍의 병렬 커패시터
각각의 임피던스보다 같거나 큰 차동 및 공동 모드 겸용 필터.
- [청구항 5] 제1항에 있어서,
상기 한 쌍의 인덕터 각각의 일단에 연결되는 한 쌍의 입력전극;
상기 한 쌍의 인덕터 각각의 타단에 연결되는 한 쌍의 출력전극; 및
상기 한 쌍의 입력전극 및 한 쌍의 출력전극과 직각으로 배치되며, 상기
두 쌍의 병렬 커패시터에 연결되는 한 쌍의 접지전극;을 더 포함하는 차동
및 공동 모드 겸용 필터.
- [청구항 6] 한 쌍의 코일패턴 및 관통홀이 구비된 복수의 시트가 적층된 적어도
하나의 인덕터부 - 상기 한 쌍의 코일패턴은 상기 관통홀을 통하여
연결되어 한 쌍의 인덕터를 이룸 -;
상기 한 쌍의 인덕터 각각의 일단에 연결되는 한 쌍의 입력전극;
상기 한 쌍의 인덕터 각각의 타단에 연결되는 한 쌍의 출력전극;
상기 한 쌍의 입력전극 및 상기 한 쌍의 출력전극과 직각으로 배치되는 한
쌍의 접지전극; 및
상기 인덕터부의 적어도 일측에 적층 배치되며, 적어도 하나의 전극이
구비된 복수의 시트가 적층된 적어도 하나의 커패시터부;를 포함하며,
상기 커패시터부는,
상기 한 쌍의 접지전극에 연결되는 적어도 하나의 제1커패시터 전극;
상기 제1커패시터 전극과 대향하여 배치되며, 상기 한 쌍의 입력전극에
각각 연결되는 한 쌍의 제2커패시터 전극; 및

상기 제1커패시터 전극과 대향하여 배치되며, 상기 한 쌍의 출력전극에 각각 연결되는 한 쌍의 제3커패시터 전극;을 포함하며,
상기 제2커패시터 전극, 상기 제3커패시터 전극, 및 상기 코일패턴 중 서로 대향하는 2개의 전극에 의해 상기 한 쌍의 입력전극과 상기 한 쌍의 출력전극 사이에 한 쌍의 직렬 커패시터를 이루는 차동 및 공통 모드 검용 필터.

[청구항 7] 제6항에 있어서,
상기 제1커패시터 전극과 상기 한 쌍의 제2커패시터 전극, 및 상기 제1커패시터 전극과 상기 한 쌍의 제3커패시터 전극에 의해 두 쌍의 병렬 커패시터를 이루고,
상기 두 쌍의 병렬 커패시터는 서로 동일한 값을 갖도록 대칭 구조로 이루어지는 차동 및 공동 모드 검용 필터.

[청구항 8] 제7항에 있어서,
상기 한 쌍의 직렬 커패시터와 상기 두 쌍의 병렬 커패시터는 하기의 식을 만족하며,
$$1/2 \times C_{pc} < C_{sc} < 2 \times C_{pc}$$

여기서, C_{pc} 는 상기 두 쌍의 병렬 커패시터 각각의 커패시턴스이고, C_{sc} 는 상기 한 쌍의 직렬 커패시터 각각의 커패시턴스인 차동 및 공동 모드 검용 필터.

[청구항 9] 제7항에 있어서,
상기 한 쌍의 직렬 인덕터 각각의 임피던스는 상기 두 쌍의 병렬 커패시터 각각의 임피던스보다 같거나 큰 차동 및 공동 모드 검용 필터.

[청구항 10] 제6항에 있어서,
상기 커패시터부는 어느 하나의 상기 제2커패시터 전극과 어느 하나의 상기 제3커패시터 전극의 적어도 일부가 서로 대향하여 배치되는 차동 및 공동 모드 검용 필터.

[청구항 11] 제6항에 있어서,
상기 커패시터부는 두 개의 상기 제1커패시터 전극 사이에 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극이 배치되는 차동 및 공동 모드 검용 필터.

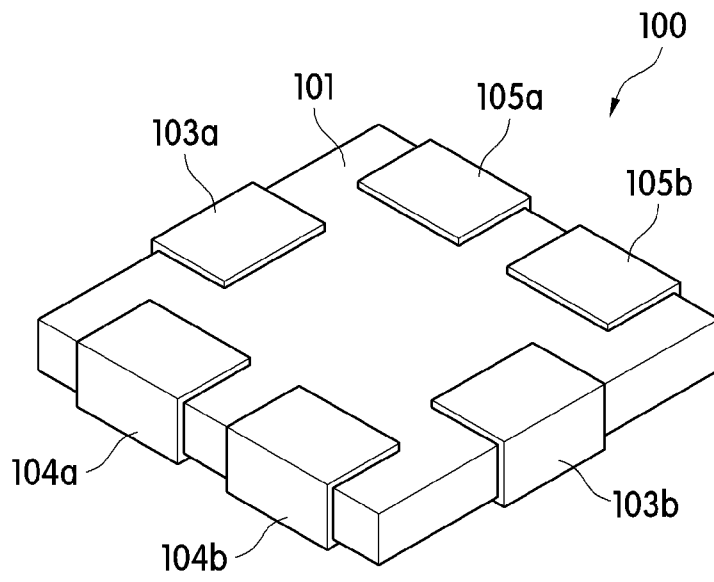
[청구항 12] 제6항에 있어서,
상기 커패시터부는 상기 하나의 제1커패시터 전극이 상기 한 쌍의 제2커패시터 전극과 상기 한 쌍의 제3커패시터 전극 사이에 배치되는 차동 및 공동 모드 검용 필터.

[청구항 13] 제6항에 있어서,
상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의 제3커패시터 전극은 동일 시트 상에 이격 배치되고,
상기 하나의 제1커패시터 전극은 상기 한 쌍의 제2커패시터 전극 및 상기

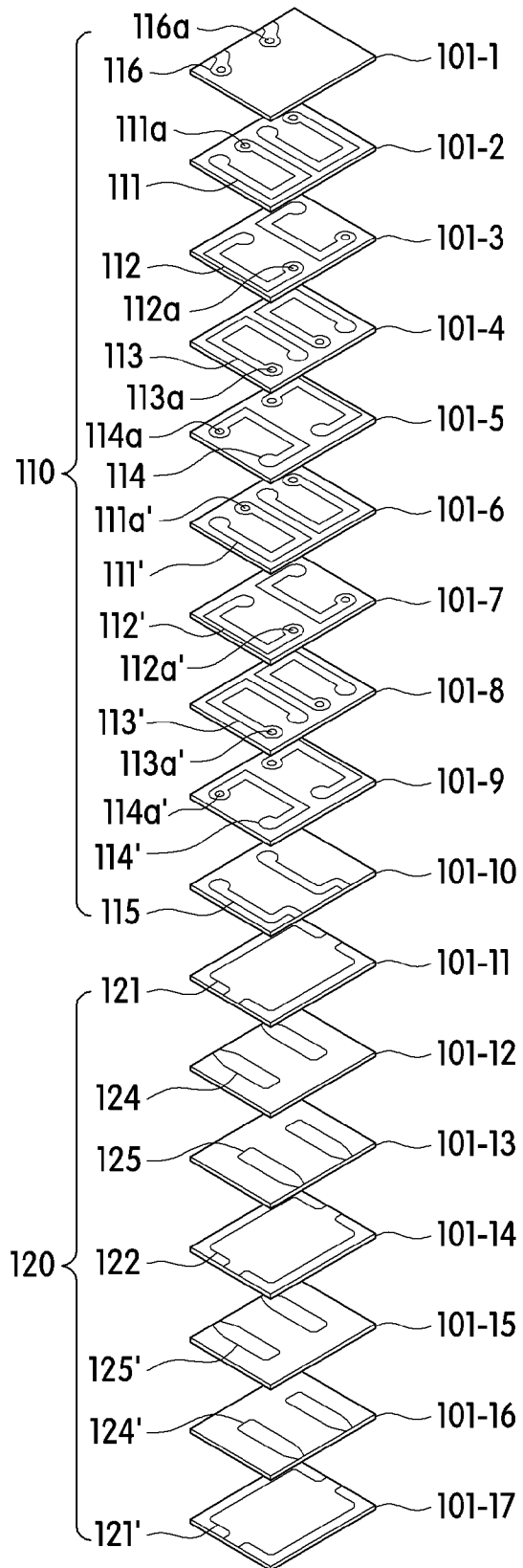
한 쌍의 제3커패시터 전극과 대향하여 배치되며,
 상기 인덕터부 중 상기 커패시터부에 가장 근접한 시트의 코일패턴은
 상기 한 쌍의 제2커패시터 전극 또는 상기 한 쌍의 제3커패시터 전극과
 대향하여 배치되어, 상기 한 쌍의 직렬 커패시터를 이루는 차동 및 공통
 모드 검용 필터.

- [청구항 14] 제6항에 있어서,
 상기 인덕터부는 상기 커패시터부의 상측 또는 하측에 배치되는 차동 및
 공통 모드 검용 필터.
- [청구항 15] 제6항에 있어서,
 상기 인덕터부는 두 개의 커패시터부 사이에 배치되는 차동 및 공통 모드
 검용 필터.
- [청구항 16] 제6항에 있어서,
 상기 커패시터부는 두 개의 인덕터부 사이에 배치되는 차동 및 공통 모드
 검용 필터.
- [청구항 17] 제6항에 있어서,
 상기 제1커패시터 전극은 상기 한 쌍의 제2커패시터 전극 및 상기 한 쌍의
 제3커패시터 전극보다 폭이 큰 차동 및 공통 모드 검용 필터.
- [청구항 18] 한 쌍의 입력전극;
 상기 한 쌍의 입력전극의 반대측에 구비된 한 쌍의 출력전극;
 상기 한 쌍의 입력전극 및 한 쌍의 출력전극과 직각으로 배치되는 한 쌍의
 접지전극;
 상기 한 쌍의 입력전극과 상기 한 쌍의 출력전극 사이에 각각 직렬
 연결되는 한 쌍의 인덕터;
 상기 한 쌍의 인덕터 각각의 양단과 상기 접지전극 사이에 병렬 연결되는
 두 쌍의 병렬 커패시터;
 상기 한 쌍의 인덕터와 병렬 연결되는 한 쌍의 직렬 커패시터;를 포함하는
 차동 및 공통 모드 검용 필터.

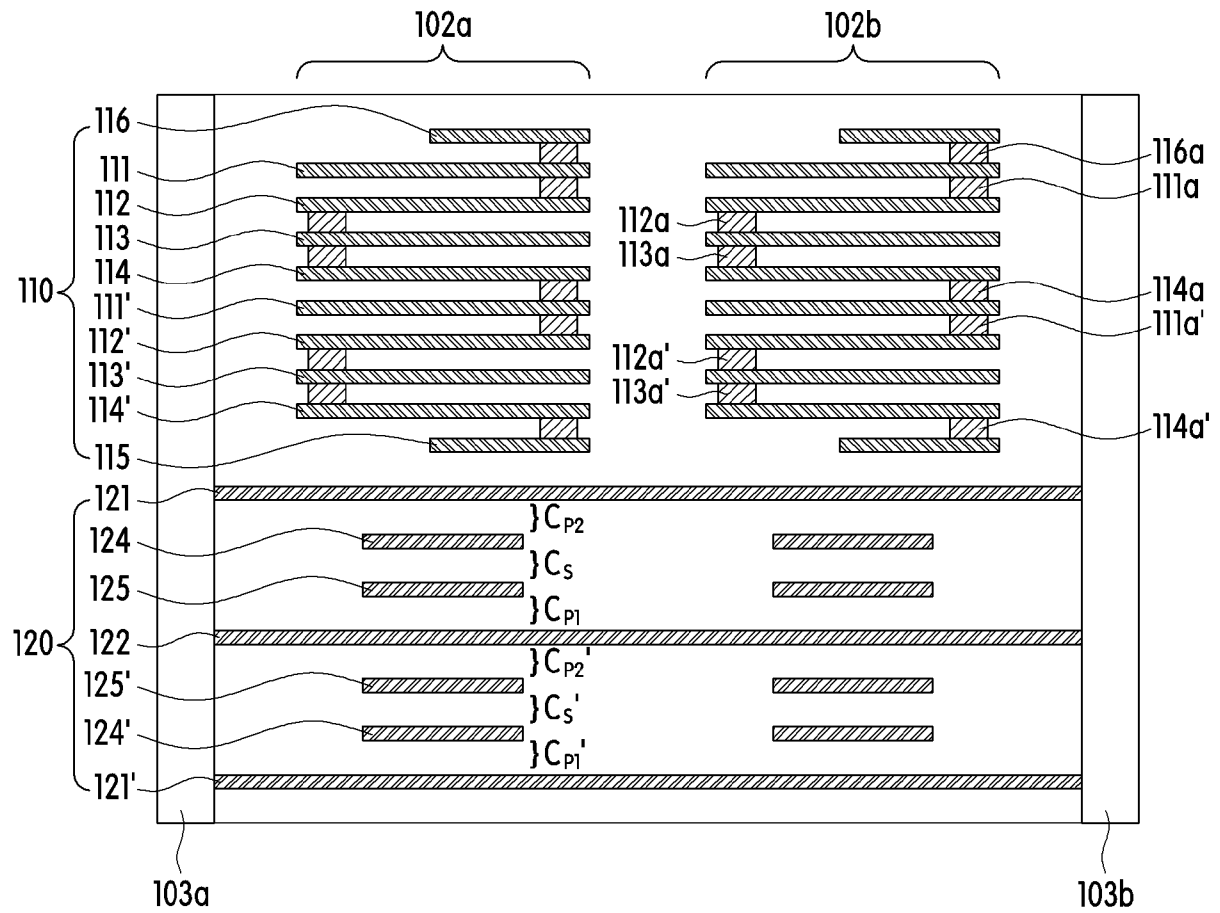
[도1]



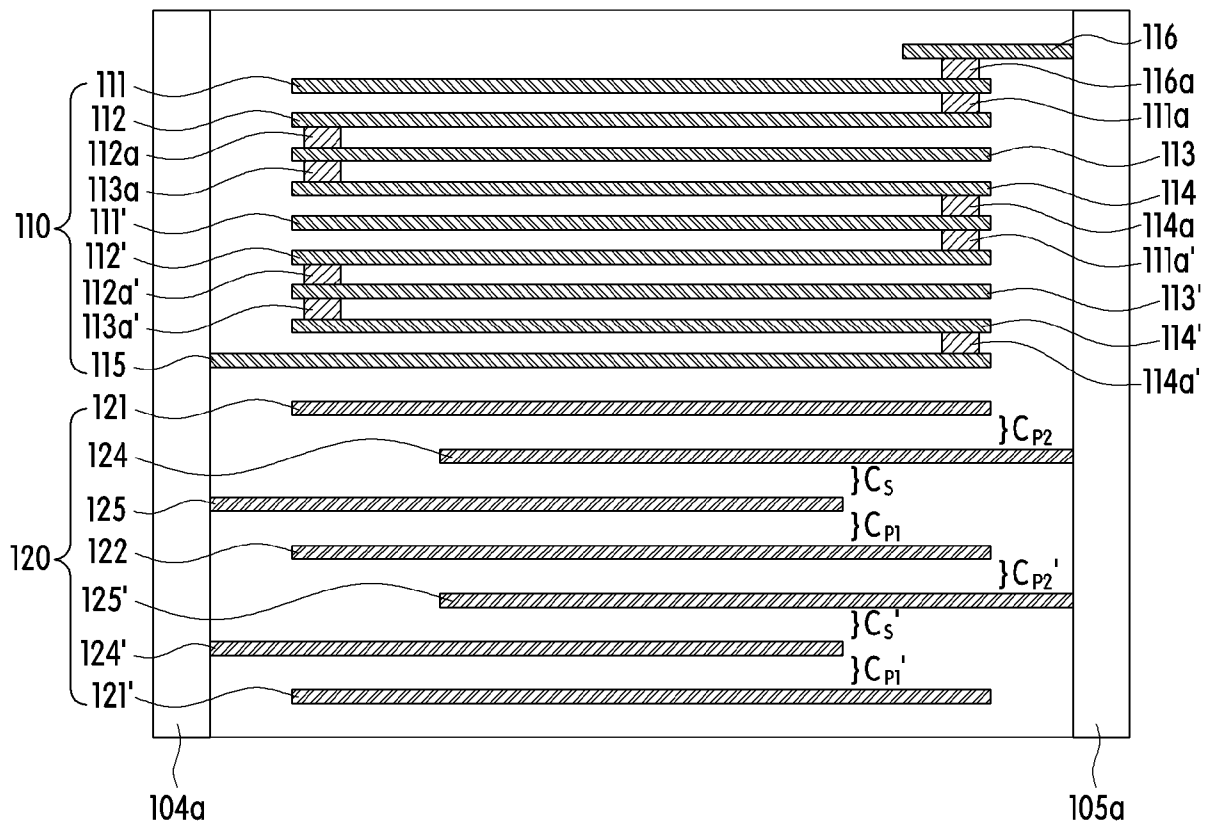
[도2]



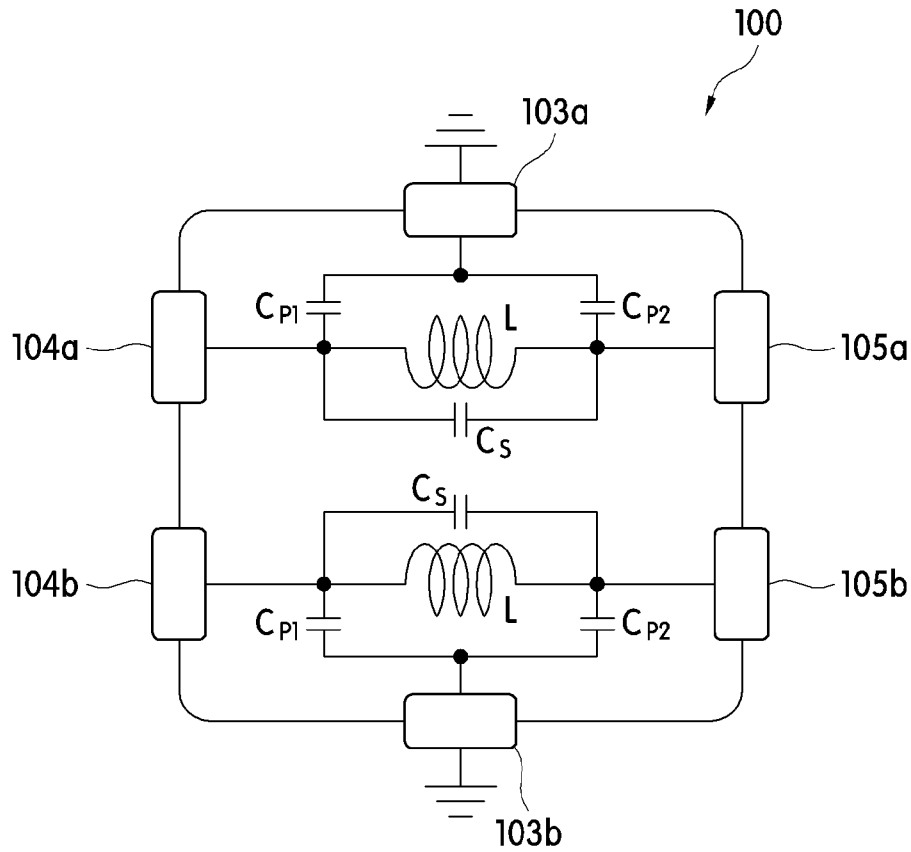
[도3]



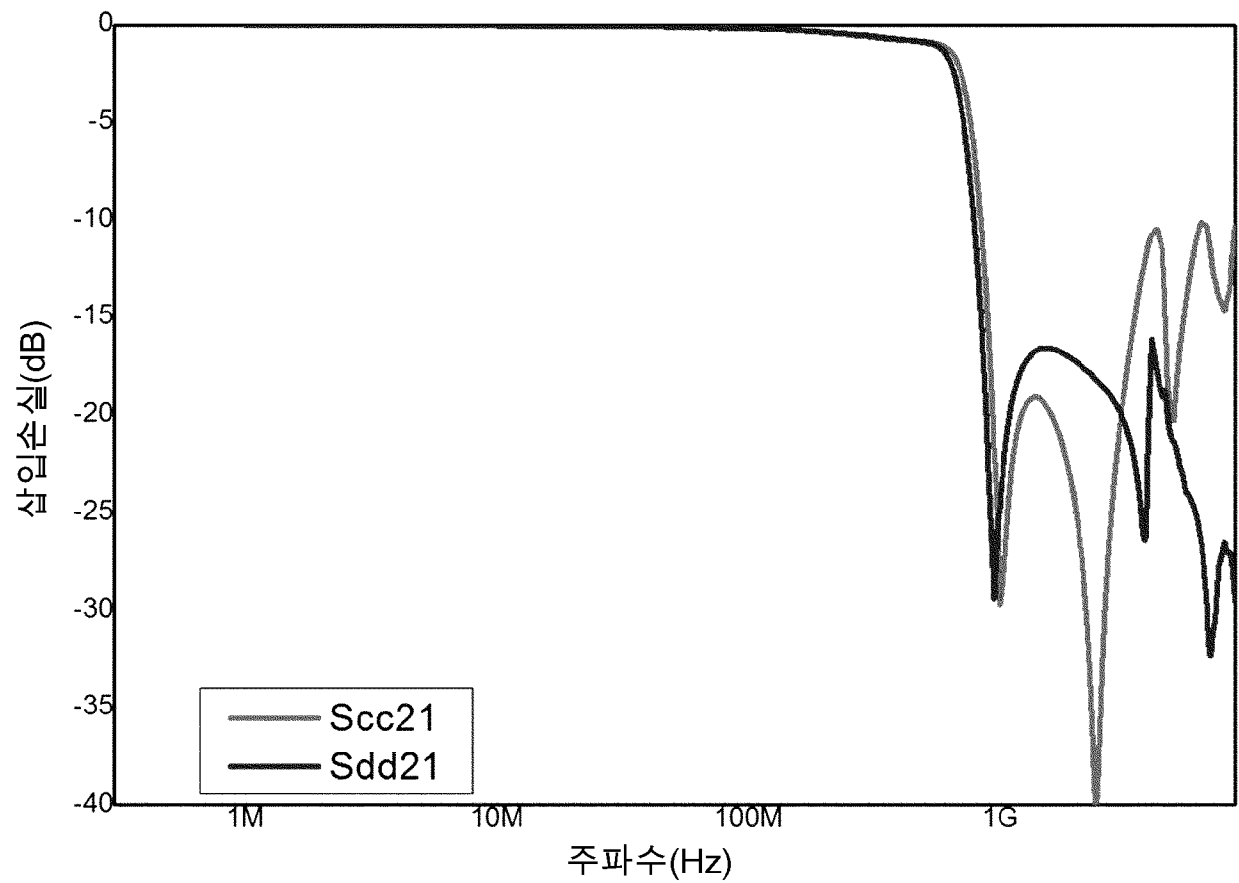
[도4]



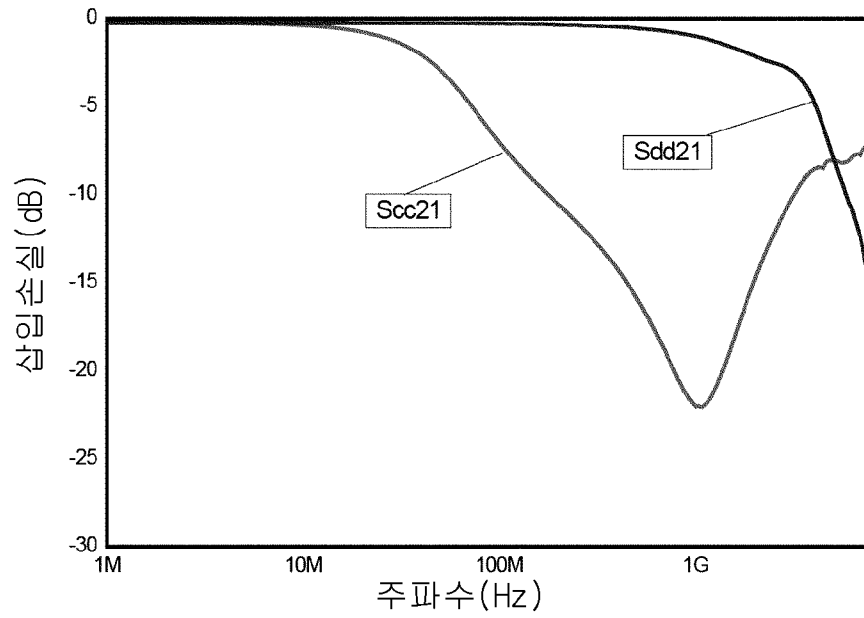
[도5]



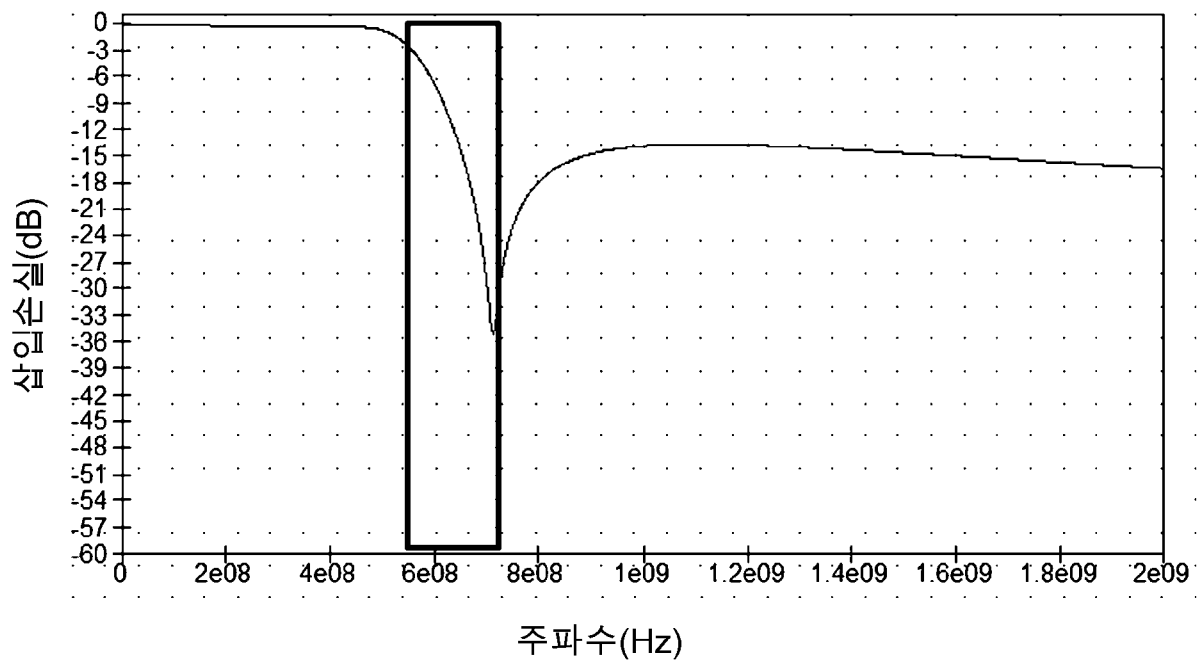
[도6]



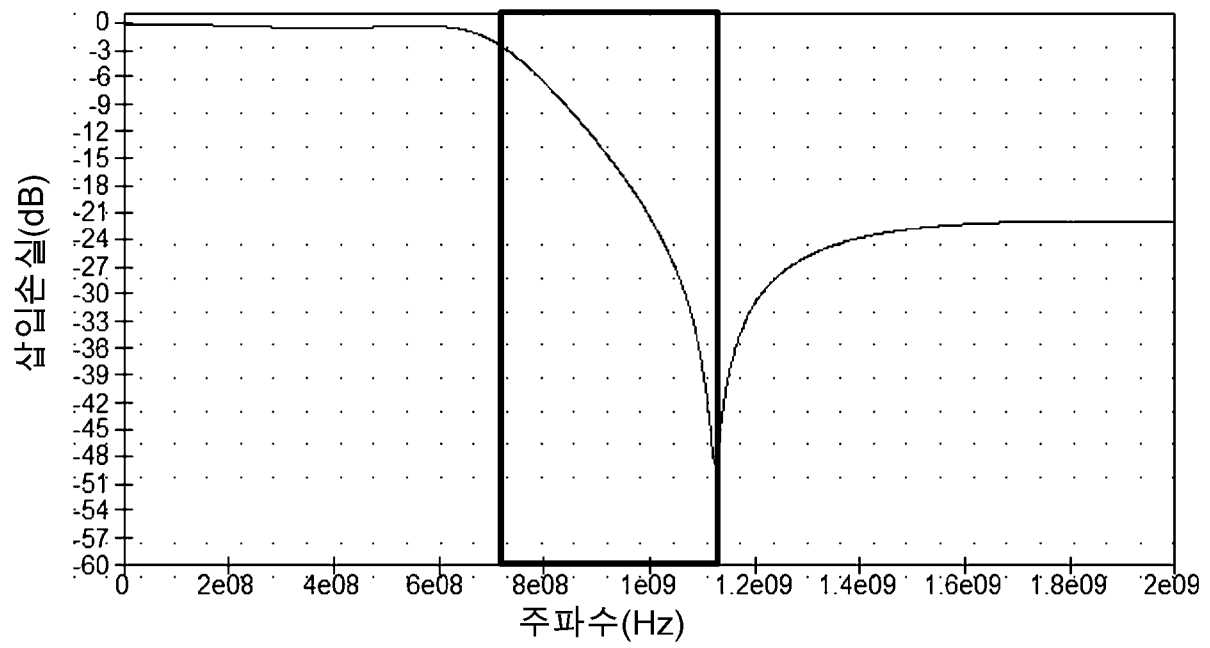
[도7]



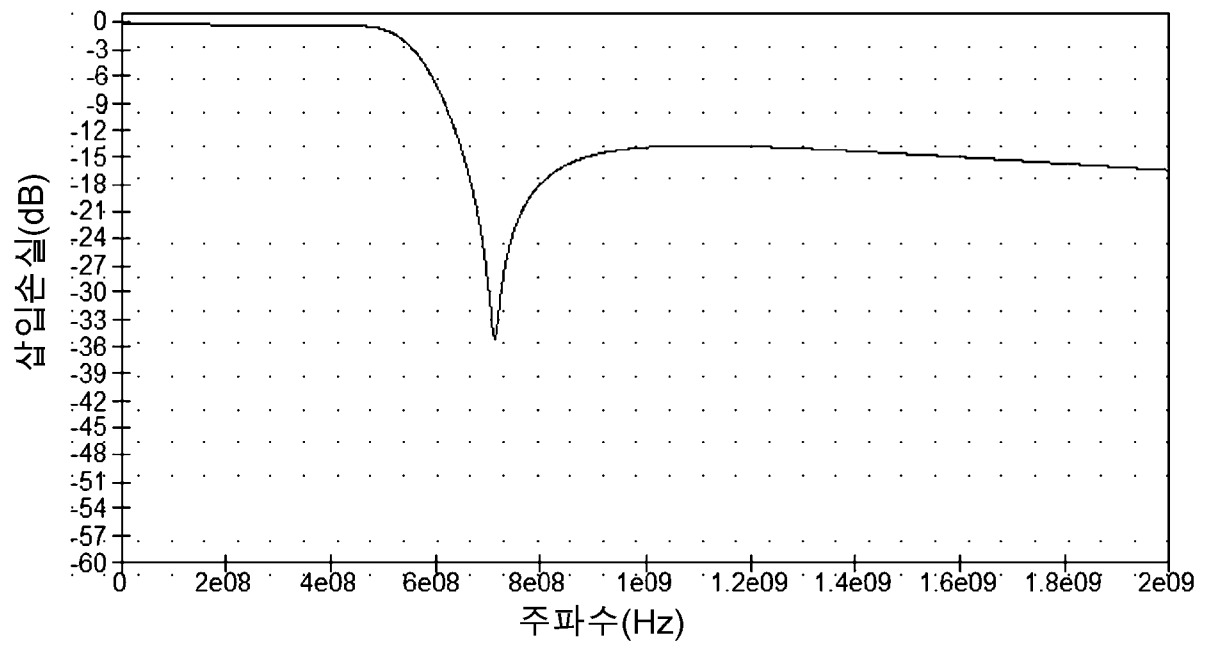
[도8]



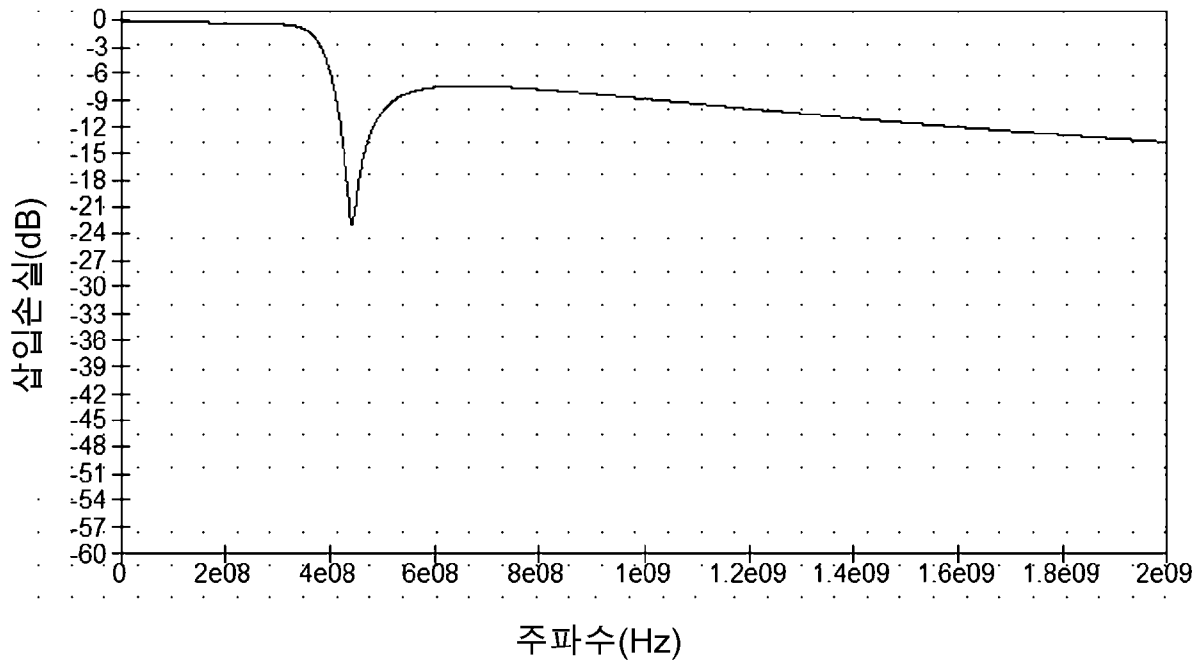
[도9]



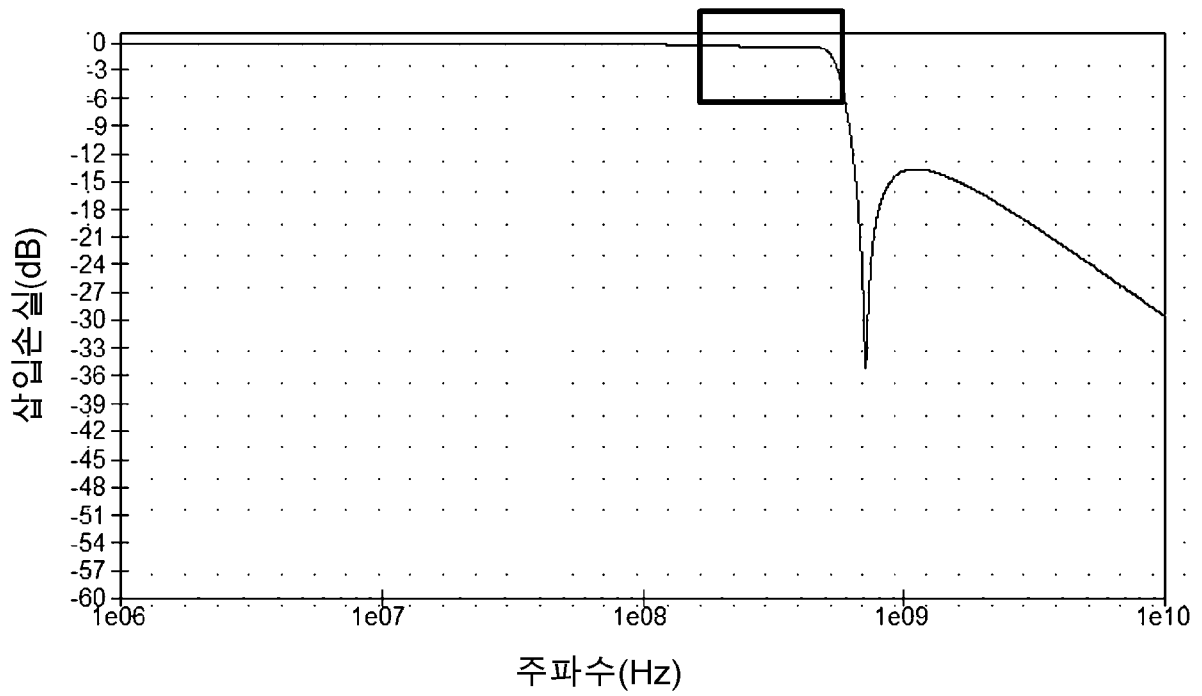
[도10]



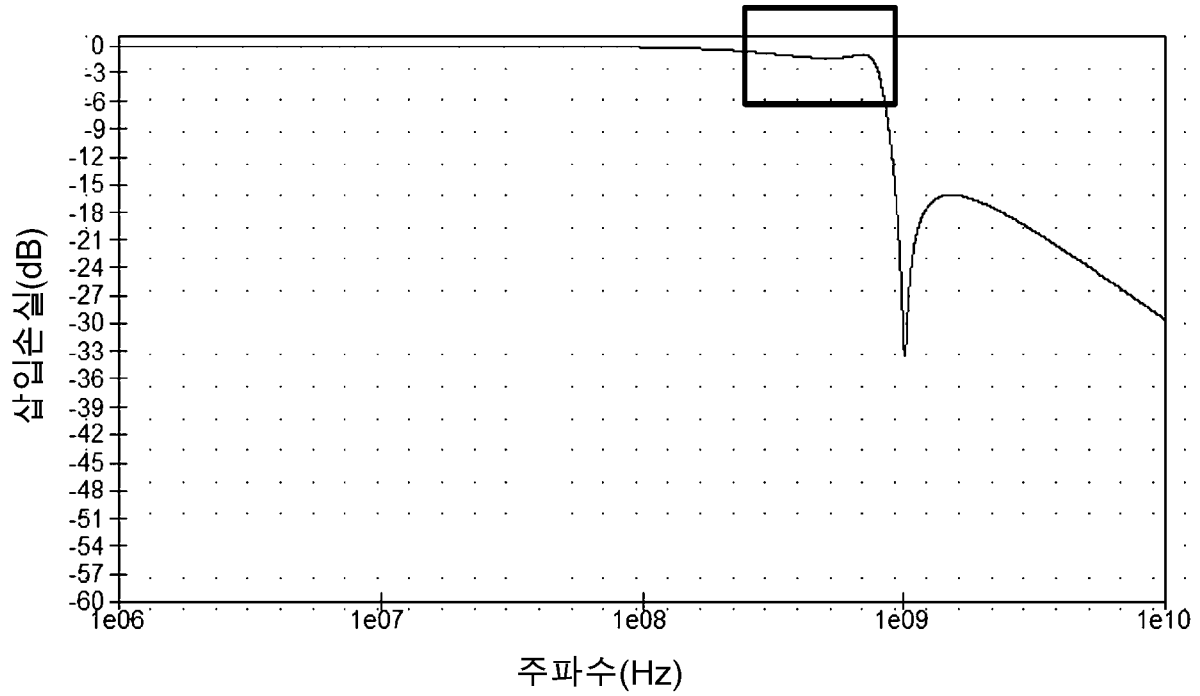
[도11]



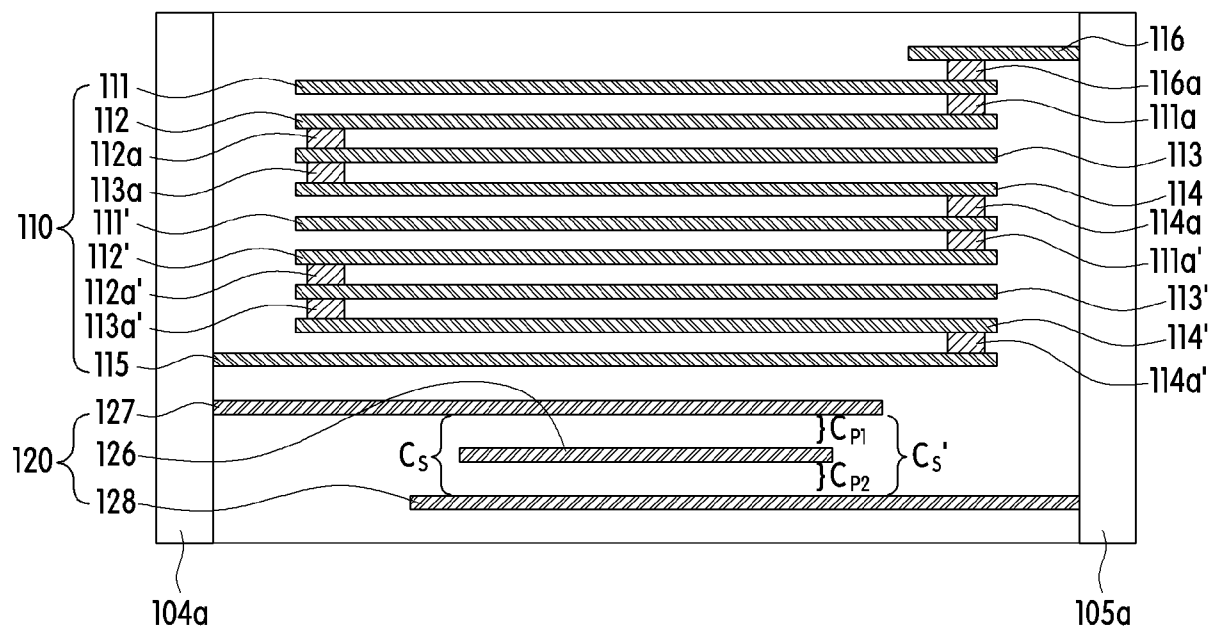
[도12]



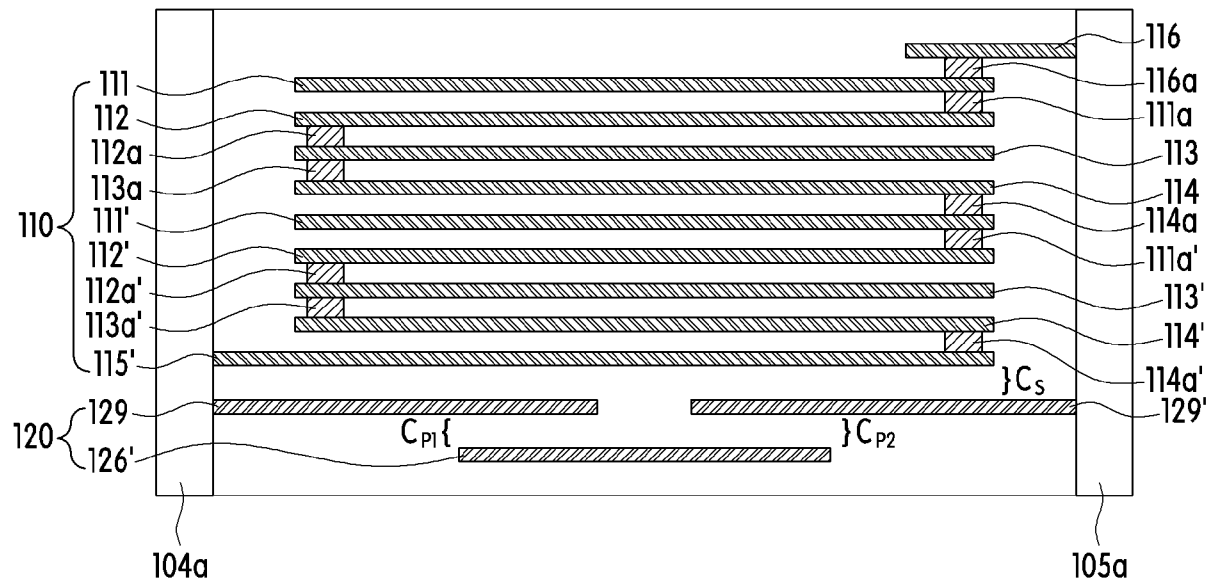
[도13]



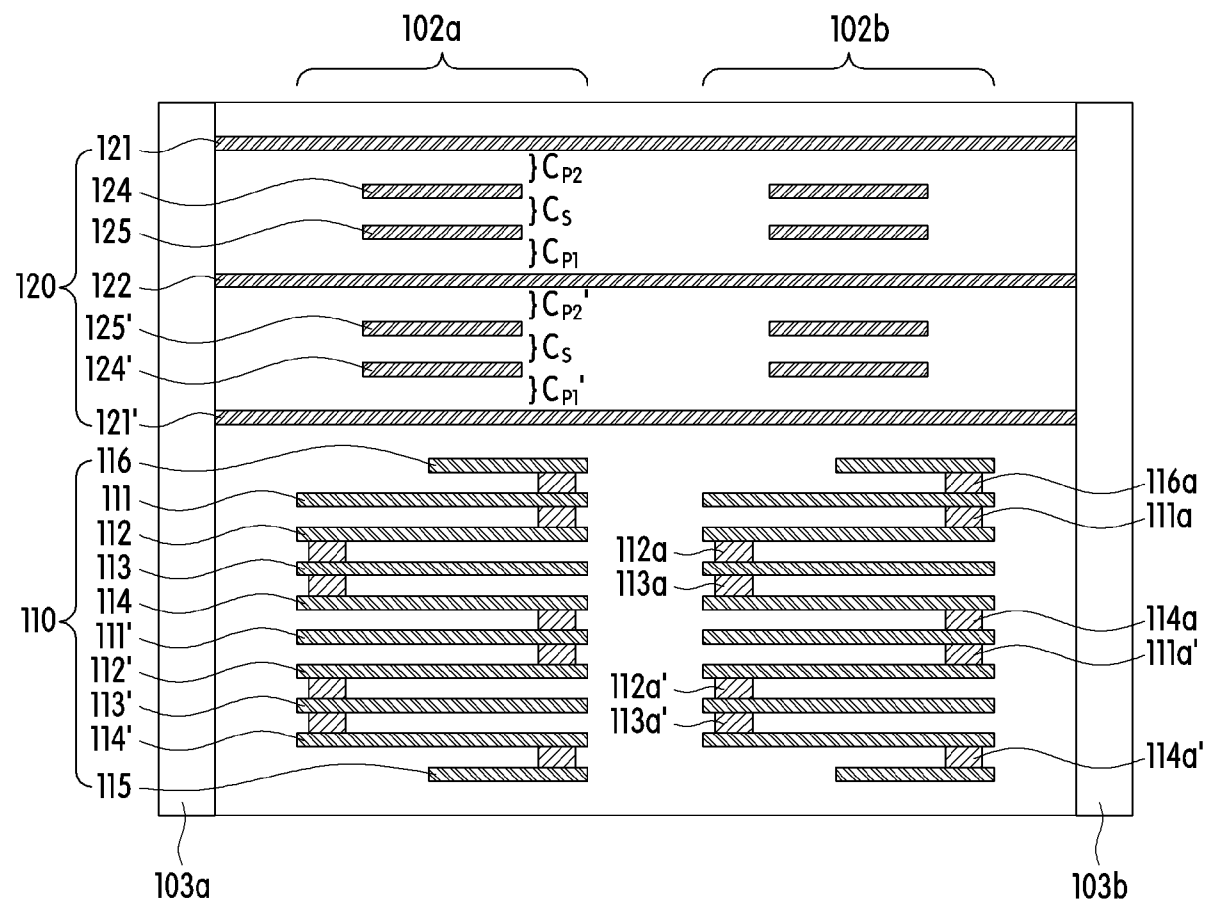
[도14]



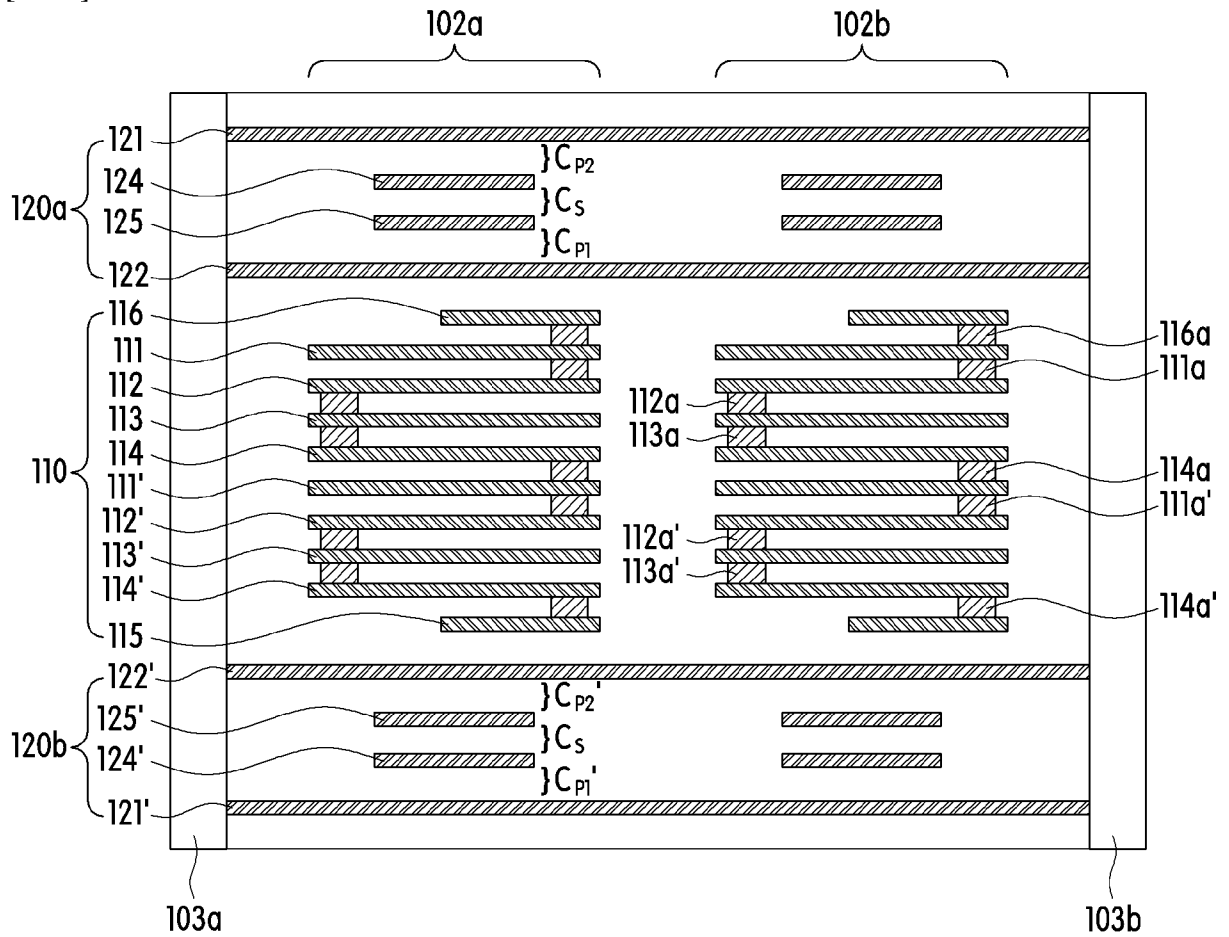
[도15]



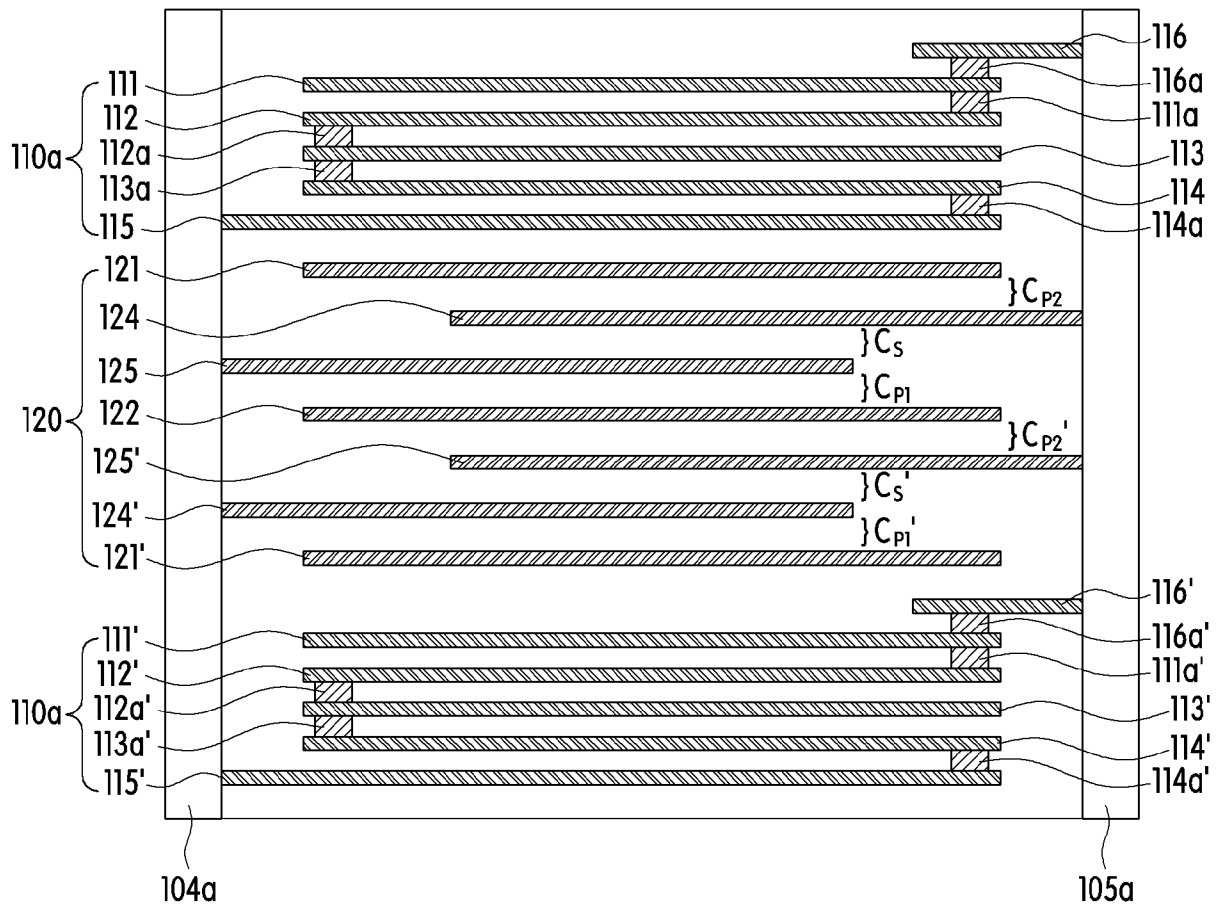
[도16]



[도17]



[도18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/001194

A. CLASSIFICATION OF SUBJECT MATTER

H03H 7/01(2006.01)i, H03H 7/42(2006.01)i, H03H 1/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03H 7/01; H03H 3/007; H03H 7/09; H05B 37/02; H03H 7/00; H02M 1/14; H01P 1/205; H02M 1/12; H03H 7/42; H03H 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: coil pattern, inductor, parallel capacitor, series capacitor, common mode, differential mode, filter, input electrode, output electrode, ground electrode, laminate

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2014-0134938 A (INDUSTRIAL COOPERATION FOUNDATION CHONBUK NATIONAL UNIVERSITY et al.) 25 November 2014 See paragraphs [0044]-[0054]; and figures 3-5.	1-18
A	KR 10-2009-0121337 A (MURATA MANUFACTURING CO., LTD.) 25 November 2009 See paragraphs [0027]-[0100]; and figures 1-4.	1-18
A	KR 10-2012-0070228 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 29 June 2012 See paragraphs [0039]-[0042]; and figure 2.	1-18
A	US 2014-0084791 A1 (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 27 March 2014 See paragraphs [0017]-[0026]; and figure 2.	1-18
A	US 2009-0128258 A1 (XU, Dehong et al.) 21 May 2009 See paragraphs [0028]-[0030]; and figures 7-9.	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 JUNE 2017 (07.06.2017)

Date of mailing of the international search report

07 JUNE 2017 (07.06.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/001194

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2014-0134938 A	25/11/2014	WO 2014-185599 A1	20/11/2014
KR 10-2009-0121337 A	25/11/2009	CN 101682307 A	24/03/2010
		CN 101682307 B	27/03/2013
		EP 2148438 A1	27/01/2010
		JP 4356803 B2	04/11/2009
		TW 200908430 A	16/02/2009
		US 2010-0039189 A1	18/02/2010
		US 7907034 B2	15/03/2011
		WO 2008-143071 A1	27/11/2008
KR 10-2012-0070228 A	29/06/2012	US 2012-0153857 A1	21/06/2012
		US 8508144 B2	13/08/2013
US 2014-0084791 A1	27/03/2014	CN 103683902 A	26/03/2014
		EP 2720355 A1	16/04/2014
		JP 2014-068423 A	17/04/2014
		US 8917021 B2	23/12/2014
US 2009-0128258 A1	21/05/2009	CN 101206947 A	25/06/2008
		CN 101226820 A	23/07/2008
		CN 101226820 B	14/07/2010
		JP 2009-117807 A	28/05/2009
		US 7999633 B2	16/08/2011

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H03H 7/01(2006.01)i, H03H 7/42(2006.01)i, H03H 1/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H03H 7/01; H03H 3/007; H03H 7/09; H05B 37/02; H03H 7/00; H02M 1/14; H01P 1/205; H02M 1/12; H03H 7/42; H03H 1/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 코일패턴, 인덕터, 병렬 커패시터, 직렬 커패시터, 공통 모드, 차동 모드, 필터, 입력전극, 출력전극, 접지전극, 적층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-2014-0134938 A (전북대학교산학협력단 등) 2014.11.25 단락 [0044]-[0054]; 및 도면 3-5 참조.	1-18
A	KR 10-2009-0121337 A (가부시키가이샤 무라타 세이사쿠쇼) 2009.11.25 단락 [0027]-[0100]; 및 도면 1-4 참조.	1-18
A	KR 10-2012-0070228 A (삼성전기주식회사) 2012.06.29 단락 [0039]-[0042]; 및 도면 2 참조.	1-18
A	US 2014-0084791 A1 (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 2014.03.27 단락 [0017]-[0026]; 및 도면 2 참조.	1-18
A	US 2009-0128258 A1 (DEHONG XU 등) 2009.05.21 단락 [0028]-[0030]; 및 도면 7-9 참조.	1-18

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 06월 07일 (07.06.2017)

국제조사보고서 발송일

2017년 06월 07일 (07.06.2017)

ISA/KR의 명칭 및 우편주소



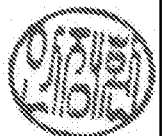
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

안정환

전화번호 +82-42-481-8633



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2014-0134938 A	2014/11/25	WO 2014-185599 A1	2014/11/20
KR 10-2009-0121337 A	2009/11/25	CN 101682307 A	2010/03/24
		CN 101682307 B	2013/03/27
		EP 2148438 A1	2010/01/27
		JP 4356803 B2	2009/11/04
		TW 200908430 A	2009/02/16
		US 2010-0039189 A1	2010/02/18
		US 7907034 B2	2011/03/15
		WO 2008-143071 A1	2008/11/27
KR 10-2012-0070228 A	2012/06/29	US 2012-0153857 A1	2012/06/21
		US 8508144 B2	2013/08/13
US 2014-0084791 A1	2014/03/27	CN 103683902 A	2014/03/26
		EP 2720355 A1	2014/04/16
		JP 2014-068423 A	2014/04/17
		US 8917021 B2	2014/12/23
US 2009-0128258 A1	2009/05/21	CN 101206947 A	2008/06/25
		CN 101226820 A	2008/07/23
		CN 101226820 B	2010/07/14
		JP 2009-117807 A	2009/05/28
		US 7999633 B2	2011/08/16