

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第4194836号
(P4194836)

(45) 発行日 平成20年12月10日(2008.12.10)

(24) 登録日 平成20年10月3日(2008.10.3)

(51) Int.Cl.
GO1D 5/244 (2006.01)

F I
GO1D 5/244 H

請求項の数 18 (全 17 頁)

(21) 出願番号	特願2002-504573 (P2002-504573)	(73) 特許権者	502451328
(86) (22) 出願日	平成12年9月27日 (2000. 9. 27)		バウミュラー アンラーケン・システムテ
(65) 公表番号	特表2004-501378 (P2004-501378A)		ヒニク ゲーエムベーハー ウント コン
(43) 公表日	平成16年1月15日 (2004. 1. 15)		パニー
(86) 国際出願番号	PCT/DE2000/003373		ドイツ国 デー90482 ニューレン
(87) 国際公開番号	W02001/098878		ベルク オステントシュトラーセ 84
(87) 国際公開日	平成13年12月27日 (2001.12.27)	(74) 代理人	100102842
審査請求日	平成16年5月21日 (2004. 5. 21)		弁理士 葛和 清司
(31) 優先権主張番号	100 28 973.8	(74) 代理人	100151068
(32) 優先日	平成12年6月16日 (2000. 6. 16)		弁理士 塩崎 進
(33) 優先権主張国	ドイツ (DE)	(72) 発明者	ローラント ウォルフ
前置審査			ドイツ国 デー95490 ミステルガ
			ウ ヴァルトシュタインリンク 19
		審査官	井上 昌宏
			最終頁に続く

(54) 【発明の名称】 インクリメンタルセンサ・シミュレーションとして、複数の電気パルスを数値設定に基づき自動的に形成する方法

(57) 【特許請求の範囲】

【請求項 1】

パルスを用いて線形変位値または角変位値のシーケンシャルデジタル計数を行う増分エン

コーダーをシミュレートするために、数値設定値 (L (T a)) を用いていくつかの電気パルス (8 a 、 8 b 、 8 c) またはパルスエッジを自動生成する方法であって、値発生器が数値設定値 (L (T a)) を発生し、数値設定値は演算・制御手段により検出され、数値設定値 (L (T a)) に関連して、いくつかの電気パルス (8 a 、 8 b 、 8 c) を出力するパルス切替インタフェースがトリガされ、
値発生器は、繰り返される第 1 サイクルタイム (T a) 内で設定値 (L (T a)) を出力し、第 1 サイクル時間 (T a) の 1 サイクルごとに発生されるパルスまたはパルスエッジの数または周波数は、それぞれの差分値 (L) に基づいて定められ、
演算・制御手段は、プログラミングまたは回路によって各第 1 サイクルタイム (T a) 毎に、

- (a) 現在設定値 (L (T a)) を検出し、
- (b) 前回設定値 (L (T a)) と、追跡した内部的インクリメント値 (L (T k)) とから、差分値 (L) を決定し、
- (c) 内部インクリメント値 (L (T k)) を追跡し、ここにおいて、第 1 サイクルタイム (T a) は、複数の連続する第 2 サイクルタイム (T k) に分割されており、その時間中において関係するインクリメント値 (L (T k)) は設定値 (L (T a)) および /

または差分値 (L) に従って増加カウントまたは減少カウントされ、

(d) 第 2 サイクルタイムの時間内に差分値 (L) をパルス切替インターフェースへの制御信号に変換し、ここにおいて、各第 2 サイクルタイム (T_k) 内においてインクリメント値 ($L (T_k)$) の増減に応じてパルス切替インターフェースは対応するパルス ($8a$ 、 $8b$ 、 $8c$) を出力するようにトリガされるものであって、基準パルス ($8c$) は、演算・制御手段に記憶してある 1 つまたは複数の定数と、インクリメント値 ($L (T_k)$) とを比較して、比較の結果がある条件を満たした場合にパルス切替インターフェースが起動されて、他のパルス ($8a$ 、 $8b$) と同期して、または同期しないで、出力されるものである、

というステップを実行する、前記方法。

10

【請求項 2】

該差分値 (L) は、積分演算プロセスによってひとつの第 1 サイクルタイム (T_a) 内に発生する複数の第 2 サイクルタイム (T_k) にわたって処理され、この複数の第 2 サイクルタイムの各時間内に、パルス切替インターフェースは、処理結果に従いパルスを出力するために起動する請求項 1 記載の方法。

【請求項 3】

総合計としての差分値 (L) は、個別の合計部分値に分けられ、部分値の数は、第 1 サイクルタイムと第 2 サイクルタイムの比 (k) に対応しており、それぞれの第 2 サイクルタイム (T_k) において、合計部分値の個々のものの 1 つが制御信号を出力するものである、請求項 1 又は 2 に記載の方法。

20

【請求項 4】

第 1 サイクルタイム (T_a) において発生する複数の第 2 サイクルタイム (T_k) のそれぞれ、またはいくつかの時間内において、増分値 ($L (T_k)$) は合計部分値によって増減するものである、請求項 3 に記載の方法。

【請求項 5】

合計部分値の積算値及び剰余が形成され、剰余は、第 1 サイクルタイム (T_a) 内に発生する複数の第 2 サイクルタイム (T_k) にわたって、積算プロセスで処理され、第 2 サイクルタイム中の積算結果に従い、対応する合計部分値が増減し、剰余も対応して変化する、請求項 3 または 4 に記載の方法。

【請求項 6】

増分値 ($L (T_k)$) は、長さ・角度計測システムにおける、位置測定値として使用される請求項 1 ~ 5 のいずれかに記載の方法。

30

【請求項 7】

計測系への増分又は位置測定値 ($L (T_k)$) の調整が、第 2 サイクルタイムに相応して、当該計測系のラインカウントの 4 倍のカウントに分解能を向上させることによって行われる、請求項 6 に記載の方法。

【請求項 8】

パルス切替インターフェース制御信号が、現在の第 2 サイクルタイム (T_k) の増分値 ($L (T_{inc})$) と直前の第 2 サイクルタイム (T_k) の増分値 ($L (T_{inc})_{alt}$) との間の増分値の差分値 ($pulse$) の関数として形成される請求項 7 に記載の方法。

40

【請求項 9】

制御信号ないしパルス切替インターフェースが、ステータス変数によって制御され、該ステータス変数は、限られた個数のステータス値を、あらかじめ設定された順序 ($0 - 1 - 2 - 3 - 0 - 1 \dots$) または逆順で経過してゆくことが可能なものであって、一定に保持されるか前後の値によって変化する前記差分値 ($pulse$) に応じて定まるものであり、パルス切替インターフェースの各ステータス値には特定のパルスパターン ($8a$ 、 $8b$ 、 $8c$) が割り当てられる、請求項 8 に記載の方法。

【請求項 10】

電子的駆動制御回路のレギュレーターがそれに接続される、インクリメンタルエンコー

50

ダーをシミュレートする用途に用いるものであって、設定値 ($L(Ta)$) は位置公称値又は実測値であり、かつ/または、値発生器は公称値発生器を成すことを特徴とする、請求項 1 ~ 9 のいずれかに記載の方法。

【請求項 11】

第 1 サイクルタイムと第 2 サイクルタイムとの比 (k) が、 $50 \sim 50000$ 、好ましくは $500 \sim 10000$ である請求項 1 ~ 10 のいずれかに記載の方法。

【請求項 12】

請求項 1 ~ 11 のいずれかに記載の方法を実行するための、パルスまたはパルスエッジを用いて線形変位値または角変位値のシーケンシャルデジタル計数を行うインクリメンタルエンコーダーをシミュレートするために、数値設定値 ($L(Ta)$) を用いて数個の電気パルスないしパルスエッジ ($8a$ 、 $8b$ 、 $8c$) を自動生成するデジタル電子データ処理装置であって、

発生した設定値 ($L(Ta)$) 及び他のパラメータ (k) を等間隔の転送時間で繰り返しロードされ読み取ることが可能な、時間的に離散して動作する 1 つ以上のデータレジスター (10 、 11) と、

該 1 つ以上のデータレジスター (10 、 11) にアクセスし前記設定値 ($L(Ta)$) とともにレジスターの内容を処理するように構成された演算・制御システムと、

前記演算・制御システムによって起動されることができ、パルスのバイナリー切替状態 ($8a$ 、 $8b$ 、 $8c$) を出力するように設計されているパルス形成ロジック (17 、 19 、 21) とを備え、

前記演算・制御システムは、第 1 サンプルングサイクルタイム (Ta) に基づくサンプルングシステムとして機能するようプログラミング的および/または回路的に構成されており、更に、

(a) データレジスター (10 、 11) への周期的な時間離散アクセス、ここにおいてデータレジスター (10 、 11) から演算・制御システムへ設定値を転送する時間間隔は、第 1 サンプルングサイクルタイム (Ta) に対応しているものである、上記アクセスを行う機能と、

(b) 設定値 ($L(Ta)$) よび前回設定値からトラッキングされた内部インクリメント値 ($L(Tk)$) から、差分値 (L) を生成する機能と、

(c) 前記差分値 (L) を、前記第 1 サンプルングサイクルタイム (Ta) の第 2 サイクルタイム (Tk) に対する比 (k) に対応する数の個々の合計部分値へ分解し、前記増分値 ($L(Tk)$) を、該部分値のうちの 1 つの合計部分値を用いて増減カウントする機能と、

(d) トラッキングの一環として第 2 サイクルタイム (Tk) の各時間内に、前記増分値 ($L(Tk)$) の増減に応じてパルス形成ロジック (17 、 19 、 21) を起動させ、対応するパルス ($8a$ 、 $8b$ 、 $8c$) を出力する機能とを有し、さらに基準パルス ($8c$) は、演算・制御手段に記憶してある 1 つまたは複数の定数と、インクリメント値 ($L(Tk)$) とを比較して、比較の結果がある条件を満たした場合にパルス切替インターフェースが起動されて、他のパルス ($8a$ 、 $8b$) と同期して、または同期しないで、出力されるものである、前記デジタル電子データ処理装置。

【請求項 13】

前記演算・制御システムは、減算器と、除算器と、残余除算器および/または他の演算ユニットとを含み、1 つ以上のデータレジスター (10 、 11) に接続可能で第 1 サイクルタイム (Ta) の各時間内に 1 つ以上のデータレジスターからロードし作動して前記差分値 (L) を確定するものである請求項 12 に記載の装置。

【請求項 14】

前記演算・制御システムのサンプルングシステムに設けられ、外部コンポーネント (15 、 $M-Drive$) のための入力を有する割込み装置と、差分値形成を、演算・制御手段における第 2 サイクルタイム (Tk) に基づく演算演算プロセスに優先して開始させるトリガー出力とを更に備える、請求項 12 又は 13 に記載の装置。

【請求項 15】

サンプリングシステムと演算・制御システム的一方又は双方が、一つ以上の複合論理装置 (C P D L) とフィールドプログラマブルゲートアレイ (F P G A) の一方又は双方により構成される請求項 12 ~ 14 のいずれかに記載の装置。

【請求項 16】

サンプリングシステムと演算・制御システム的一方又は双方が、シーケンシャル命令処理を行う一つ以上のプロセッサで構成される請求項 12 ~ 14 のいずれかに記載の装置。

【請求項 17】

パルス形成論理回路は、構造的にサンプリングシステム及び演算・制御システムと統合され、更に選択的に、複合論理装置又はフィールドプログラマブルゲートアレイと統合され

10

るものである、請求項 12 ~ 16 のいずれかに記載の装置。

【請求項 18】

パルス形成ロジック (17、19、21) は、パルス制御信号を論理的にリンクするため、演算・制御システムが、トリガーとしての入力側に接続される別個のスイッチングネットワークで構成される、請求項 12 ~ 16 のいずれかに記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の電気パルスを、数値設定に基づき自動的に形成する方法に関する。この方法は、とりわけ、パルスをシーケンシャルにデジタル計数するためのインクリメンタルセンサをシミュレートするのに適する。

20

【0002】

ここでの計数結果は、リニアシフト値または角度シフト値に相当する。ここでは、値発生器が使用され、この値発生器は、配属された第 1 サイクル時間内で設定値を周期的に形成し、出力する。

【0003】

さらに、この設定値を周期的に検出する計算・制御手段、並びにこれにより制御されるパルス切替インタフェースが使用される。このパルス切替インタフェースは、パルスまたはパルスシーケンスのために、1 つまたは複数の出力端を有している。

30

【0004】

さらに本発明は、前記方法を実施するのに適するデジタル電子データ処理装置にも関する。

【0005】

【従来の技術】

パラレルな電気パルスシーケンスを形成するための方法は、長さ、および角度測定技術のインクリメンタル測定方法で使用される (例えば Alphon Ernst "Digitale Laengen- und Winkelmesstechnik" Verlag Moderne Industrie, Landsberg/Lech, pp.8 ff 参照、「邦訳、長さおよび角度のデジタル測定技術」)。

【0006】

40

ここでは、相互に 90° ずらされた正弦波状サンプリング信号が、コンパレータによって矩形信号に変換され、このとき、相互に 90° 位相のずれた 2 つのパルスシーケンスが得られる。これら 2 つのパルスシーケンスは、カウンタに供給され、ここでまず信号エッジから計数パルスが導出される。

【0007】

同時に信号は、方向弁別器に供給され、この方向弁別器は計数方向を検出し、計数パルスをアップダウンカウンタの増分入力端、または減分入力端に供給する。計数結果は移動距離に相応し、これを表示器に表示し、並びに計算器または制御器に供給することができる。

【0008】

50

パルスまたは測定ステップの計数によって、移動距離を検出するこのような方法は、インクリメンタル測定方法と称される。

【 0 0 0 9 】

レゾルバも公知であり、このレゾルバは、適切な評価回路と関連して、1回転内で絶対的測定システムを実現することができる。ここでは、補間法によって測定ステップが形成され、この測定ステップは、サンプリング信号の1周期の4分の1よりも小さい。公知の補間回路は絶対的測定システムに対するインタフェースの他に選択的にインクリメンタルインタフェースをも有し、これにより、通常の制御部と関連した使用を可能にする。

【 0 0 1 0 】

位置センサとしてのレゾルバの使用と関連して、後置接続された制御電子回路に対して、インクリメンタルセンサ信号をシミュレートし、出力することが公知である（ドイツ国刊行物“Elektronik”分冊8 / 1994、pp.48,pp.60参照）。

10

【 0 0 1 1 】

ここで、インクリメンタルセンサのシミュレーションは、通常は、位置制御回路によって実現される。この位置制御回路は、調整量として目標周波数を周波数発生器に対して出力する。さらなる詳細については、後記する図1の説明を参照されたい。

【 0 0 1 2 】

この公知の解決手段の欠点は、制御回路が制御偏差の存在するときには、動作できないことである。そのため、不利な場合には選択された制御器の制御ダイナミックスによっては静止状態でも、すなわち位置変化を指示すべきでない場合でも、非常に高い出力周波数（トラックのトグルにより1MHzまで）が発生することがあり、この高い周波数は、後続の電子回路にとって解釈が非常に困難となる。

20

【 0 0 1 3 】

制御回路のこの時間特性から、インクリメンタルセンサ・シミュレーションに依存する制御・調整システム全体に、所望しない固有ダイナミックスの生じることがある。

【 0 0 1 4 】

さらなる欠点は、周波数発生器を使用することである。この周波数発生器の出力パルスは、目標周波数または位置周波数を反映するだけであり、インクリメンタルセンサをシミュレートするための位置設定値に直接的関係がない。さらに、所要のハードウェアコストも無視できない。位置制御器、周波数発生器、カウンタ構成素子の他に加算個所も必要である（図1の下部参照）。

30

【 0 0 1 5 】

対策として、制御回路をすでに既存のシグナルプロセッサに実現することも考えられるが、シグナルプロセッサのサンプリング時間が制限されているため、周波数領域が制限され、分解能が低下し、理想的な精度が達成されない。

【 0 0 1 6 】

【非特許文献1】

Alfon Ernst著 "Digitale Laengen- und Winkelmesstechnik" Verlag Moderne Industrie, Landsberg/Lech, pp.8 ff

【非特許文献2】

“Elektronik”分冊8 / 1994、pp.48,pp.60

40

【 0 0 1 7 】

【発明が解決しようとする課題】

本発明の課題は、高分解能、高精度、高安定性、および動作信頼性を備え、さらに所要のハードウェアでのコストを最小にしたインクリメンタルセンサ・シミュレーション方法を提供することである。

【 0 0 1 8 】

さらにこのシミュレーションは、高ダイナミクス特性を以て動作できるようにするべきであり、位置変化と出力パルス周波数との間の関係において、線形性の改善も達成するべき

50

である。さらに、インクリメンタルセンサ・シミュレーションに対して最初に考えられる方法は、この適用領域を越えて、全く一般的に、多数の別の使用可能性に対するパルス形成方法として適用できるようにするべきである。

【 0 0 1 9 】

【課題を解決するための手段】

この課題は、冒頭に述べた構成要件を備える方法において、計算・制御手段を、プログラム技術的にまたは回路技術的に、次のように構成して解決される。すなわち、

それぞれ瞬時の設定値を検出し、瞬時の設定値と先行の設定値またはインクリメンタル値との間の差値を、それぞれ第 1 サイクル時間ごとに検出する。ただし前記インクリメンタル値は、先行の設定値または差値に相当するまで、カウントアップまたはカウントダウンされたものである。

10

【 0 0 2 0 】

差値をバイナリーインタフェースに対する制御信号に変換する。このことは、複数の第 2 サイクル時間内で繰り返され、この複数第 2 サイクル時間の総持続時間は、値発生器の第 1 サイクル時間を上回らないようにする。

【 0 0 2 1 】

それぞれ第 1 サイクル時間ごとに制御されるパルスまたはパルスエッジの数または頻度を、それぞれの差値に相応して、差値に正比例するように選定する。

【 0 0 2 2 】

【発明の実施の形態】

20

新たな解決アプローチでは、従来技術のように制御回路を使用するのではなく、例えばトラック A および B のパルスをインクリメンタルセンサ・シミュレーションの際に、到来する位置設定値に正比例するよう制御して出力するのである。

【 0 0 2 3 】

このように、パルス出力と到来する設定値、とりわけ、位置値とが直接的関係を有することにより、設定値が変化せずに留まっている場合には、パルスないしパルスエッジが出力されないという利点が得られる。制御回路に存在する不可避の固有ダイナミック特性のために、トラックが高周波数でトグルすることが、本発明の解決手段により阻止される。なぜなら、出力されるパルスまたはパルスエッジの数または頻度が、値発生器の有利には順次連続する異なるサイクル時間における 2 つの設定値の差値に従って直接選定されるからである。

30

【 0 0 2 4 】

設定が変化しない場合（これは例えば位置静止状態に相応する）、差値は値ゼロを有する。従って、パルス切替インタフェースはパルスを形成するようには切り替えられない。

【 0 0 2 5 】

本発明の有利な実施例によれば、計算・制御手段の内部で、設定値が、先行する設定値、またはインクリメンタル値に対する差値の積分によってシミュレートされる。このとき、積分計算プロセスは、第 1 サイクル時間内に発生する複数第 2 サイクル時間にわたって、分散して実行される。積分計算プロセスの結果に依存して、この各第 2 サイクル時間内に、パルス切替インタフェースが相応のパルスまたはパルスエッジを出力するように、制御されるべきか否かが検査される。

40

【 0 0 2 6 】

特に有利な方法の変形実施例によれば、計算・制御手段内で可変のインクリメンタル値がコントロールつまり管理される。この可変のインクリメンタル値は、差値に相応して瞬時の設定値に、各サイクル時間内で追従制御される。追従制御プロセスに続いて、次に、増分または減分されたパルス、またはパルスエッジが、パルス切替インタフェースを介して形成される。

【 0 0 2 7 】

絶対的基準、とりわけ絶対的位置を作成するために、インクリメンタル（測定）計数方法では、いわゆる基準パルスを形成するのが通例である。このために本発明の構成では、計

50

算・制御手段に、１つまたは複数の基準定数が格納されている。

【００２８】

この基準定数とインクリメンタル値は、連続的に、有利には、各第２サイクル時間内で比較される。さらに別個に基準パルス出力端がパルス切替インタフェースに設けられていれば、この出力端は、比較条件が満たされる場合に操作される。これにより達成される利点は、基準パルスがその他のパルスシーケンス、例えばインクリメンタルセンサトラックＡおよびＢに同期しても非同期でも、形成できることである。

【００２９】

インクリメンタル値をコントロールおよび管理することのさらなる利点は、インクリメンタル値が、それぞれ第１サイクル時間ごとに発生する複数第２サイクル時間にわたって分散して増大および減少されることである。ここで、インクリメンタル値は、ガイド量と同じように機能する。このガイド量の変化と共に、または差値の絶対値に依存して、パルス切替インタフェースは、相応のパルスまたはパルスエッジを出力するために各第２サイクル時間で制御される。

10

【００３０】

また例えば差値の絶対値が第１サイクル時間ごとに発生する複数第２サイクル時間の数を越えている場合には、パルス切替インタフェースは部分的にしか制御されない。

【００３１】

本発明のパルス形成方法を、インクリメンタルセンサ・シミュレーションとして使用する場合、インクリメンタル値は、有利には仮想インクリメンタル長さ測定システム、または仮想インクリメンタル角度測定システムで出力された位置測定値として解釈される。

20

【００３２】

現代技術で実現される高速の計算・制御手段では、とりわけ第２サイクル時間を非常に短く実現することができるので、インクリメンタル値、または追従制御される設定値、または位置値は、実際のインクリメンタル測定システムの分解能よりも非常に大きな分解能を有することができる。

【００３３】

このことにより、上記の基準パルスまたは「ゼロ」パルスを、上記の従来技術から、公知のインクリメンタルセンサ・シミュレーションの場合よりも、さらに高い精度を以て形成することができる。

30

【００３４】

公知のインクリメンタルセンサ・シミュレーションの場合、基準パルスは、パルストラックのエッジに依存し、かつ同期してトリガされる。

【００３５】

インクリメンタル値または相応の位置値を、実際のインクリメンタルセンサの分解能に相応するよう低減するために、有利な構成によれば、インクリメンタル値または位置測定値が、分解能の低減によって、仮想インクリメンタル測定システムの走査数の４倍に適合される。

【００３６】

本発明により発生された内部インクリメンタル値を追従制御する分解能は、第２サイクル時間の逆数から得られる。第１サイクル時間と第２サイクル時間との比は、本発明の枠内で、例えば、値発生器がシーケンシャル連続実行論理回路またはソフトウェアによって実現されており、計算・制御手段が、プログラミング後に固定配線されたハードウェアにより実現されている場合、５０から５００００の間、有利には、５００から１００００の間にある。

40

【００３７】

択一的にまたは付加的に、非常に高速なプロセッサとこれに基づき、シーケンシャルに連続実行されるソフトウェアによる実現も、本発明の枠内である。

【００３８】

上記課題の解決手段には、一般的に、本発明の技術思想の枠内にあるデジタル電子データ

50

処理装置をも用いる。このデジタル電子データ処理装置は、以下の特徴を有する。

【 0 0 3 9 】

時間的に離散して動作する 1 つまたは複数のデータレジスタが設けられている。このデータレジスタは、等間隔の引き渡し時点で反復的に、（例えば値発生器により）発生された設定値、およびその他のパラメータ（例えば第 1 サイクル時間と第 2 サイクル時間との比、インクリメンタルセンサの走査数、基準パルスに対する出力値等）がロード可能および読み出し可能である。

【 0 0 4 0 】

データレジスタが離散的に動作する場合、引き渡し時点間の期間は、上記（比較的に長い）第 1 サイクル時間に相当する。

10

【 0 0 4 1 】

計算・制御機構を備えた、時間的に離散して動作するサンプリングシステムが設けられている。このサンプリングシステムは、前記データレジスタに各第 1 サイクル時間内でアクセスし、レジスタ内容を、前記第 2 サイクル時間に相当する比較的短い時間内で処理するように構成されている。

【 0 0 4 2 】

パルス状の 2 進切替状態を出力するためのパルス形成論理回路が設けられている。

【 0 0 4 3 】

従って、計算・制御機構を備えるサンプリングシステムは、例えば上記インクリメンタル値を、時間離散的なデータレジスタを備える値発生器システムの場合よりも格段に高い計算速度で処理するために設けられている。

20

【 0 0 4 4 】

本発明の方法に対して、重要な差値を形成するために、計算・制御機構が、減算器、割算器および剰余割算器またはその他の計算ユニットを有し、これらが、第 1 サイクル時間に基づいてデータレジスタから設定値を受け取り、差値を内部で追従制御される設定値またはインクリメンタル値に基づいて計算すると有利である。

【 0 0 4 5 】

有利には値発生システムと、データレジスタおよびサンプリングシステムとの間の時間同期結合（これはインクリメンタルセンサ・シミュレーションを行うためである）を割込装置によって実現する。この割込装置には、計算・制御機構において、第 2 サイクル時間に基づき連続実行される計算プロセスに対して優先権が与えられている。

30

【 0 0 4 6 】

有利には論理パルスゲートは、計算・制御機構で管理され、とりわけ各第 2 サイクル時間の終了時に計算される状態変数によりコントロールされる。この状態変数は、制限された数の状態値に対して、所定の順序で定義されている。この順序は、インクリメンタルセンサ・シミュレーションを行うために適用する際に、運動方向ないし回転方向を表すことができる。

【 0 0 4 7 】

瞬時の第 2 サイクル時間のインクリメンタル値と先行する第 2 サイクル時間のインクリメンタル値との間の相違に応じて、状態変数は一定に保持されるか、または前記の値順序で 1 ステップだけ前方または後方へシフトされる。

40

【 0 0 4 8 】

パルス切替インタフェースによって、状態変数には 1 つの固有のパルスパターンが配属される。このパルスパターンは、例えばゲート出力端において位相シフトされた 2 つの平行なパルスである。

【 0 0 4 9 】

高速のサンプリング時間を、計算・制御機構に対して実現するためには、本発明の方法を、1 つまたは複数の複合論理装置（CPLD - complex programmable logic devices）またはフィールドプログラマブルゲートアレイ（FPGA）にプログラミングすると有利である。

50

【 0 0 5 0 】

パルス形成論理回路に対しては、簡単で安価な実現手段が、例えばプログラマブル論理フィールド、または固定値メモリ（ROM）の形態の回路網によって使用される。しかし、パルス形成論理回路を構造的に計算・制御機構と共に、前記論理装置またはゲートアレイの枠内で集積化すると特に有利である。

【 0 0 5 1 】

本発明に基づくさらなる詳細、特徴、利点および作用は、従来技術からの例と対比した、図面に基づく本発明の有利な実施例の説明から明かとなる。

【 0 0 5 2 】

【実施例】

図 1 によれば、電氣的駆動制御回路に対してインクリメンタルセンサ・シミュレーションは、これまで通常次のように行われている位置センサ、または上位の目標値発生器から位置目標値が、有利にはまずファイン補間器 1 に供給され、続いて正規化が行われる。

【 0 0 5 3 】

ファイン補間器 1 の正規化された出力値は、目標値 / 実際値比較器 2 に供給され、これに並列して、パイロット制御器としての微分器 3 にも供給される。位置制御器 4 は、目標値 / 実際値比較器 2 からの制御偏差から、目標周波数を調整量 5 として計算し、この調整量 5 は、加算素子 6 で微分器 3 からの出力値と加算される。加算結果は周波数発生器 7 に出力される。

【 0 0 5 4 】

この周波数発生器 7 は、この加算結果から、 90° ずらされた 2 つの矩形パルスシーケンス 8 a , 8 b を形成し、これらの矩形パルスシーケンスは、公知の RS 4 8 5 ドライバに供給される。

【 0 0 5 5 】

さらに矩形波発生器 7 は、基準パルスまたはゼロパルス 8 c を形成する。この基準パルスつまりゼロパルス 8 c は、 90° ないし 270° の幅を有する。回転方向は、パルスエッジの固有の順序によって識別される（右回転の場合、パルス U a またはトラック A が、パルス U b またはトラック B に先行し、左回転の場合、パルス U b が、トラック A またはパルスシーケンス U a に先行する）。

【 0 0 5 6 】

ゼロパルスは、周期的に、例えば 1 回転周期ごとに 1 度出力される。このゼロパルスは、パルスシーケンスの一方、例えばパルスシーケンス 8 a または U a と同期することができる。

【 0 0 5 7 】

出力と並行して、パルスは、内部でカウンタ構成素子 9 に供給される。このカウンタ構成素子 9 は、ここから、位置実際値を、目標値 / 実際値比較器 2 の入力端または位置制御器 4 に対して形成する。

【 0 0 5 8 】

実際の実現に対しては、構成素子：ファイン補間器ないし正規化器 1、位置制御器 4、および微分器・パイロット制御部 3 はソフトウェアプログラムとして、マイクロプロセッサにファイルされる。このマイクロプロセッサは、 $60\mu s$ から $2ms$ の間のサンプリング時間により動作することができる。

【 0 0 5 9 】

これに対して、カウンタ 9 と周波数発生器 7 は、純粹にハードウェアとして実現することができる。公知の解決手段の欠点については、冒頭の実施例を参照されたい。

【 0 0 6 0 】

図 2 では、本発明のシステム全体が、2 つの部分システムに分割されている。すなわち、第 1 サンプリング時間または第 1 サイクル時間 T_a による第 1 サンプリングシステムと、第 2 サンプリング時間または第 2 サイクル時間 T_k による第 2 サンプリングシステムである。

10

20

30

40

50

【0061】

この第2サイクル時間 T_k は、第1サイクル時間 T_a より格段に短い。第1サンプリングシステムは、例えば電氣的マルチモータ駆動システムに対するガイド目標値発生器とすることができる。このガイド目標値発生器は、データレジスタ10を介して、第1サンプリング時間 T_a 、位置設定値 $L(T_a)$ 、および2つのサンプリング時間またはサイクル時間 T_a と T_k との比に対するデータを使用する。

【0062】

第1サンプリングシステムの別のデータレジスタ11では、例えばインクリメンタルセンサ・走査数、ゼロパルス位置等の必要データがさらに引き渡される。第1サンプリングシステムは、有利には、シーケンシャルなコマンド処理によるプロセッサ技術で実現される。この場合、典型的サンプリング期間は、 $125\mu s$ から $2ms$ のオーダーで実現される。

10

【0063】

第2サイクル時間 T_k による第2サンプリングシステムは、有利には任意プログラマブルハードウェアとして実現され、従って、非常に高いサンプリングレートで動作することができる(典型値: $T_k < 200ns$)。すなわち、第1システムに対して擬似的に連続する。

【0064】

第1システムは、第1サイクル時間 T_a により、各サイクルで新たな位置設定値を第2サンプリングシステムへ、インクリメンタルセンサ・シミュレーションのために引き渡す。ここで、第1サイクル時間は一定である必要はなく、所定の限界内で、動作中に変化しても良い。このことは、ハードウェアコストを有利に低減する。

20

【0065】

図2では、サイクル時間 T_k による第2サンプリングシステムの計算・制御機構の第1処理ブロック12において、瞬時に得られた位置設定値 $L(T_a)$ と、これまでに内部でインクリメンタル値 $L(T_k)$ としてガイドされ、達成された位置設定値とから差値が計算される。

【0066】

次に、処理ブロック12は、さらにこの差値を個々の和部分値へ分解する。ここで、和部分値は、場合により整数成分「Int」と端数成分(剰余値「REST」)に分解される。

30

【0067】

第2サイクル時間 T_k に相応する時間ループ13の経過後、処理ブロック14により、内部位置値ないしインクリメンタル値 $L(T_k)$ の積分が、整数成分「Int」と端数成分「REST」を考慮して実行される。すなわち、近似的に線形の特性が得られ、このとき情報の失われることはない。ここで分解能は、シミュレートすべきインクリメンタルセンサの走査数の4倍よりも格段に大きくすることができる。

【0068】

割込装置15は、第1サンプリングシステムの要求に対して、第1サイクル時間 T_a が経過したとき、瞬時に得られた位置設定値と、これまで達成された設定値(インクリメンタル値 $L(T_k)$)とからの位置計算のトリガを以て応答することができる。

40

【0069】

同様に、第1サイクル時間(T_a)による第1サンプリングシステムから、処理ブロック16によるストップ初期化を要求することもできる。第1サイクル時間 T_a がまだ経過していないため、初期化が行われなければ、処理ブロック17により、ゼロパルスないし基準パルス8cを出力すべきか否か、そして出力インタフェース19を相応に制御すべきか否かが検査される。

【0070】

処理ブロック17により、さらに位置分解能 $L(T_{inc})$ の計算が行われる。後者の値は、インクリメンタル値 $L(T_k)$ から形成された設定値を表す。しかしこの設定値は、

50

インクリメンタルセンサ・シミュレーションの走査数の4倍を基準にしている。

【0071】

後続の処理ブロック20では、実際のインクリメンタルセンサ分解能に低減された瞬時の位置設定値 $L(T_{inc})$ が、同様に分解能の低減された先行の位置設定値 $L(T_{inc})$ と比較される。このとき、パルスエッジを出力すべきか否かが検査される。

【0072】

検査結果に応じて処理ブロック21では、状態変数「Zustand」が、検査結果から得られたパルスパターンに対してセットされる。これに依存し、出力インタフェース19を介して、固有パターンを有する矩形パルスシーケンス8a, 8bが出力される。

【0073】

さらなる詳細については、図3の詳細表示を参照されたい。ここでは、図2に相応する機能的に同じ構成要素、または処理ブロックには、同じ符号を付してある。ここに示された算術的記述に基づき、当業者であれば、容易に本発明の方法実行フローを詳細に理解することができると思う。

【0074】

図4の拡大表示によれば、処理ブロック12で、周期的に設定された位置値 $L(T_a)$ と、この時点で、シミュレーションにより達成されたインクリメンタル値 $L(T_k)$ とに基づいて、演算

$$L = L(T_a) - L(T_k)$$

$$Int = L / k$$

$$REST = L \% k$$

が実行される。

【0075】

このために、有利には調整部を備える減算器またはその他の計算ユニットが設けられ、この減算器またはその他の計算ユニットは、計算・制御手段において、差値が場合によりオーバーフローするのを問い合わせる。

【0076】

差計算は、本発明では、各第1サイクル時間 T_a の繰り返しにより実行される。その後、差値は $k = T_a / T_k$ に分解される。その結果は、再度、整数成分「Int, Int_neu」と剰余「Rest, Rest_neu」に分割される。剰余値を積分することによって、整数成分は回転方向に応じて場合により1だけ増分または減分される。整数成分のこの増大または減少は、さらに剰余値を比 k だけ低減することになる。

【0077】

図4に算術的に示したこの過程は、設定位置値に含まれる情報が失われてしまうのを確実に阻止する。以下の数値例に基づき、インクリメンタル値の本発明による追従制御が理解されよう。

【0078】

第1サイクル時間 T_a の経過による割り込みが到達した後、例えば次の値が引き渡される：

$$k = 5000$$

$$L(T_a) = 35000$$

これまでに追従制御された瞬時の内部インクリメンタル値 $L(T_k)$ は、例えば27000である。その後一度、次の値が求められる：

$$\text{差値 } L = 35000 - 27000 = 8000$$

$$Int = 8000 / 5000 = 1$$

$$REST = 3000$$

$$Rest_neu = 0$$

以降、各第2サイクル時間 T_k により、トリガされたサンプリングで、内部インクリメンタル値 $L(T_k)$ が次のように変化する：

【0079】

10

20

30

40

50

【表 1】

サンプリングサイクルTk	Rest_neu	Int	L(Tk)
1	3000	1	27001
2	6000 => 1000	1 + 1 = 2	27003
3	4000	1	27004
4	7000 => 2000	1 + 1 = 2	27006
5	5000 => 0	1 + 1 = 2	27008
6	3000	1	27009
7	6000 => 1000	1 + 1 = 2	27011
.....

10

【 0 0 8 0 】

従って、差値 L の和部分値の整数成分の積分が行われ、このときに、新たな内部位置値またはインクリメンタル値 $L(Tk)$ が形成される。この位置値またはインクリメンタル値は、シミュレートすべき実際のインクリメンタルセンサの走査数の 4 倍よりも、この時点で格段に大きな分解能を有する。この高められた分解能または精度による計算方法は、すでに有利である。なぜなら、このことにより、ゼロパルスまたは基準パルスを、これまで公知のインクリメンタルセンサ・シミュレーションの場合よりもさらに高い精度で出力する手段が得られるからである。

20

【 0 0 8 1 】

とりわけ基準パルス 8 c は、図 5、およびそこに図示された処理ブロック 17 の最初の 2 行から分かるように、2 つの矩形パルスシーケンスの経過に依存しないで出力することができる。このことは、従来技術では得られなかったことである。

【 0 0 8 2 】

本発明の方法手段により、比較的に高い精度を有する基準パルス 8 c が出力される。この精度は、実際のインクリメンタルセンサの走査数分解能、またはこれまで公知のインクリメンタルセンサ・シミュレーションのためのシステムよりも高い。

30

【 0 0 8 3 】

本発明では、図 5 に従い、基準パルス 8 c の出力が、トラック信号または矩形パルスシーケンス 8 a , 8 b に対して非同期で行われる。基準パルスを実際のインクリメンタルセンサの分解能または相応に既知のシミュレーションの分解能に相応する精度でだけ出力すべき場合、基準パルス 8 c を、矩形パルスシーケンス 8 a , 8 b に同期して出力することができる（実際のインクリメンタルセンサのような特性）。

【 0 0 8 4 】

処理ブロック 17 により、インクリメンタル値 $L(Tk)$ が、計算・制御手段に格納された基準定数と一致しているか否か、従って一致している場合には、基準パルス 8 c を出力すべきであることを検査した後、インクリメンタル値は、図 5 の処理ブロック 17 の第 2 部分により分解能が、インクリメンタルセンサ分解能の走査数の 4 倍に相応するよう低減される。

40

【 0 0 8 5 】

ここで、走査数は任意に選択することができ、図 2 によれば、第 1 サンプルシステムから別個のデータレジスタ 11 に引き渡すことができる。

【 0 0 8 6 】

図 6 には、続いて相違値「Puls」が、それぞれ分解能の低減された 2 つのインクリメンタル値「 $L(Tinc)$, $L(Tinc)_{alt}$ 」から形成されることが示されてい

50

る（処理ブロック20参照）。

【0087】

別の処理ブロック20aでは、相違値「Puls」が評価され、評価結果に基づいて、固定の順序で設定された4つの状態値を備える状態変数「Zustand」がセットされる。例えば、回転方向または運動方向に応じて、値順序を反対の双方向で経過させることができる。

【0088】

図6の処理ブロック21では、結合論理が状態変数「Zustand」の関数としてセットされ、これにより、トラックエッジA、Bが矩形パルスシーケンス8a、8bに対して得られる。処理ブロック21の結合論理を介して、図示の実施例では、出力インタフェース19が計算されたパルスパターンまたはエッジパターンの出力を行う。

10

【0089】

エッジA、Bは、各新たな第2サイクル時間 T_k によってだけ出力することができるから、このことにより、インクリメンタルセンサ・シミュレーションの理論的な最大可能周波数も定められる（ $F_{max_t} = 1 / (T_k * 4)$ ）。

【0090】

このデータは、さらに1エラー量だけ下方に補正しなければならない。このエラー量は、理想的な第1サイクル時間 T_a と、実際の精度を有する第1サイクル時間との間の変動幅から計算される。

【0091】

20

上側周波数領域において、時間量子化（第2サイクル時間 T_k により定められる）は非常に大きな役目を果たすから、出力周波数の最大設定は、実際には次のように行われる： $F_{max_p} = 1 / (T_k * 4 * a)$ 、ただし $a > 1$ 。第2サイクル時間が典型的な120nsの T_k 値であり、 $a = 4$ の場合、 F_{max_t} は約2MHzであり、実際の F_{max_p} は、500kHz以上である。この周波数領域により、インクリメンタルセンサ・シミュレーションの通常の使用領域は完全にカバーされる。

【0092】

このようにして、インクリメンタルセンサの実際の特性を冒頭に述べた従来技術の場合よりも「忠実に」または「实际的に」シミュレートすることができる。

【0093】

30

高速のサンプリング時間または小さな第2サイクル時間 T_k は、前記経過のプログラミングによって、複雑な論理装置またはフィールドプログラマブルゲートアレイに実現することができる。

【0094】

使用された短縮符号は次のとおり：

$L(T_a)$ - 周期的にインクリメンタルセンサ・シミュレーションに転送される位置設定値。

【0095】

k - 2つのサンプリング時間 T_a と T_k の比。

【0096】

40

T_a - 位置設定値ソースとしての上位制御／調整器のサンプリング時間。

【0097】

T_k - インクリメンタルセンサ・シミュレーションのサンプリング時間。

【0098】

$L(T_k)$ - 積分によりインクリメンタルセンサ・シミュレーションに発生する位置設定値（分解能は $L(T_a)$ と同等）。

【0099】

$L(T_{inc})$ - $L(T_k)$ から形成される位置設定値、ただし、分解能は4*インクリメンタルセンサ・シミュレーションの走査数。

【0100】

50

$L(Ta)_{alt}$, $L(Tinc)_{alt}$ - 1 サイクル時間 T_k だけ前の値。

【図面の簡単な説明】

【図 1】 従来技術から公知のインクリメンタルセンサ・シミュレーションに対するブロック図である。

【図 2】 本発明によるインクリメンタルセンサ・シミュレーションに対する構造ブロック図である。

【図 3】 インクリメンタルセンサ・シミュレーションをソフトウェア構造プログラムの形態で詳細に示す図である。

【図 4】 図 3 の構造プログラムステップを拡大して示す図である。

【図 5】 図 3 の構造プログラムステップを拡大して示す図である。

10

【図 6】 図 3 の構造プログラムステップを拡大して示す図である。

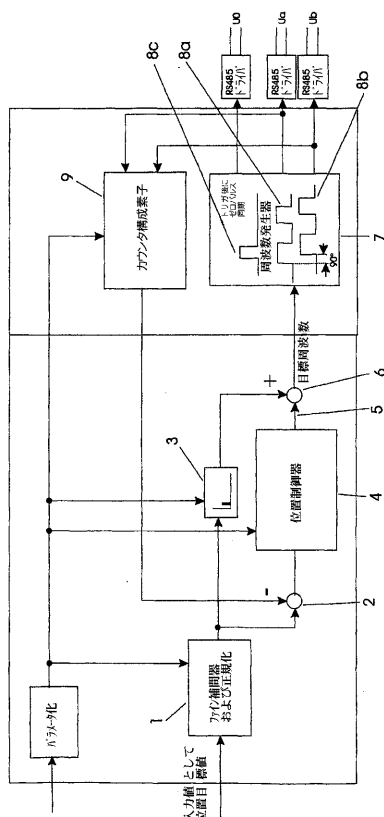
【符号の説明】

- 1 ファイン補間器
- 2 目標値 / 実際値比較器
- 3 微分器
- 4 位置制御器
- 5 調整量
- 6 加算素子
- 7 周波数発生器
- 8 a , 8 b 矩形パルスシーケンス
- 8 c 基準パルスまたはゼロパルス
- 9 カウンタ構成素子
- 10 データレジスタ
- 11 データレジスタ
- 12 処理ブロック
- 13 時間ループ
- 14 処理ブロック
- 15 割込装置
- 16 処理ブロック
- 17 処理ブロック
- 19 出力インタフェース
- 20 , 20 a , 21 処理ブロック
- A , B パルスエッジ

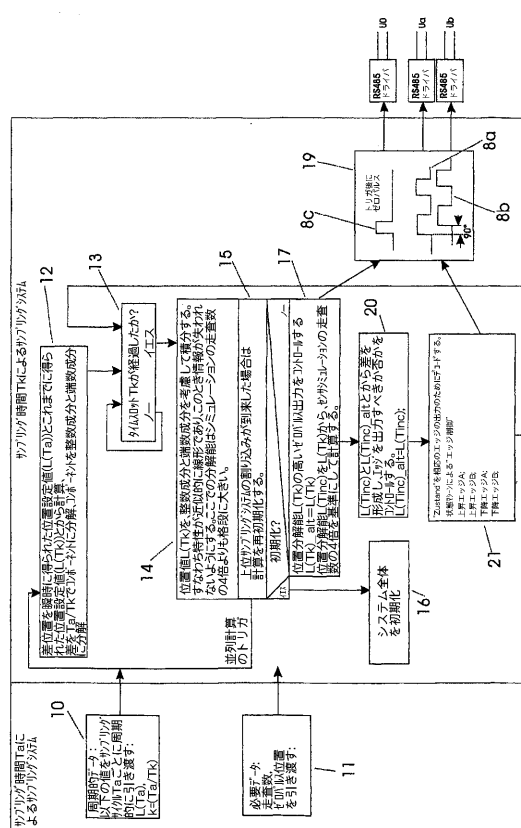
20

30

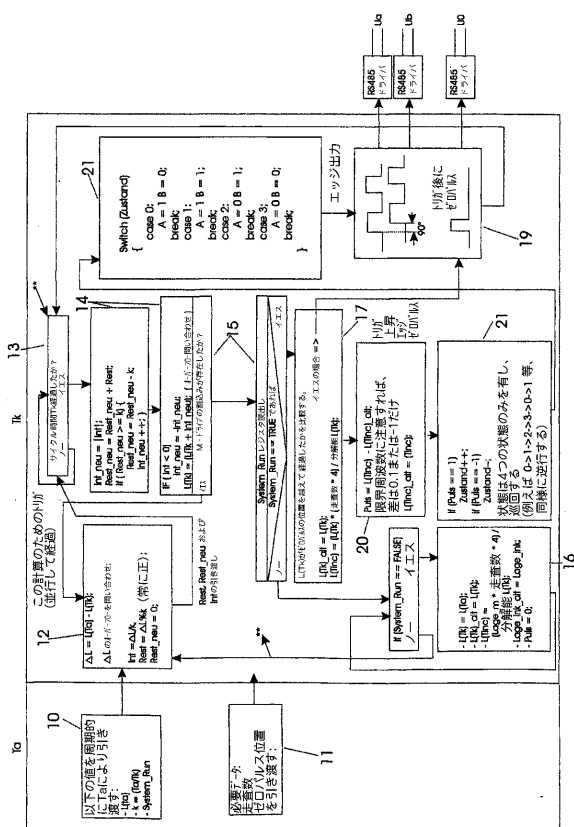
【 図 1 】



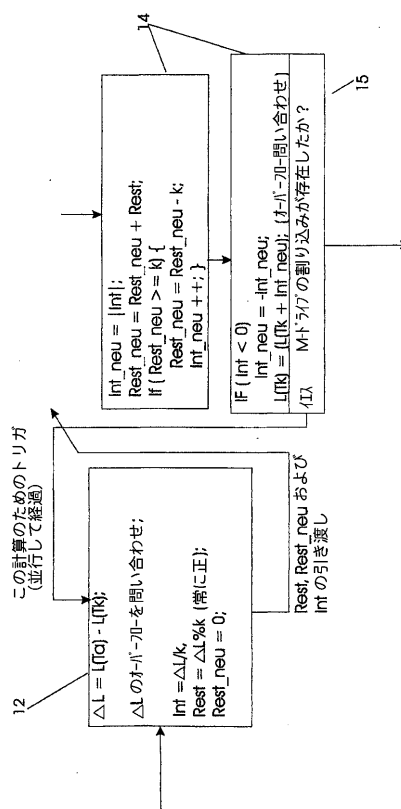
【圖 2】



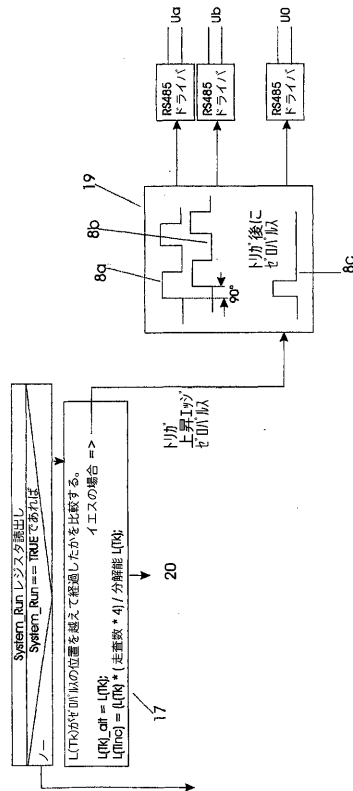
【圖 3】



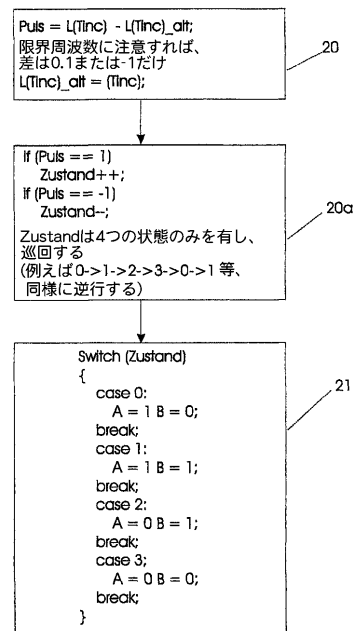
【圖 4】



【図 5】



【図 6】



フロントページの続き

(56)参考文献 特開平 0 5 - 1 3 3 7 6 4 (J P , A)
特開平 0 8 - 0 0 5 4 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G01D5/00 ~ 5/62