

307045

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

德 國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權
1995年 5月24日 195 19 159.5

有關微生物已寄存於： ， 寄存日期： ， 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明（一）

在 DRAM 單元之配置方面，即具動態隨機存取之儲存單元配置，所謂的單電晶體儲存單元幾乎是唯一使用的，一單電晶體儲存單元包含一讀取電晶體和一儲存電容器，儲存在儲存電容器之資訊為表示 0 或 1 邏輯值之電荷形式，經由字元線驅動讀取電晶體，該資訊可以經由位元線讀出。

因為每一代記憶體之儲存密度都要增加，所以每一代單電晶體儲存單元所需要之面積必須減少。因為結構尺寸之縮減限制是由各別技術可生產之最小結構尺寸 F 決定，所以也和單電晶體儲存單元之變更有關。因此，直到 1MBit 這一代，讀取電晶體和儲存電容器均製成平面型組件。從 4MBit 記憶體這一代開始，就需要使用三維配置之讀取電晶體和儲存電容器，使進一步減少面積，在溝渠 (trench) 中製造儲存電容器是可能的 (例如，參考 Yamada K. 等人發表在 Pro. Intern. Electronic Devices and Materials IEDM 等 85 期，P. 702 之論文：A deep trenched capacitor technology for 4 MBit DRAMS)。

並已提出一種以堆疊形電容器形式製造儲存電容器 (例如，參考 Kawamoto, Y. 等人發表在 1990 年 Techn. Digest of VLSI Symposium, P. 13 之論文：A $1.28 \mu m^2$ Shielded Memory Cell Technology for 64 MBit DRAMs)，在此種多晶矽結構，例如，一種與基板接觸之冠狀結構或圓柱結構在字元線上形成，此多晶矽結構形成記憶體節點，設置電容器電介質，和電容器平板，此種設計之優點

五、發明說明(>)

為與邏輯程序有相當高的相容性。

在1 GBit這一代DRAM儲存單元之面積必須只有 $0.2 \mu m^2$ ，在此情形下之儲存電容器必須有20到30fF之電容值，以1 GBit這一代可用的這種單元面積，只要以有相當複雜的多晶矽結構即可在堆疊型電容器內達到此種電容值。此外，因為它們的構形，所以這些複雜的結構經常難以製造。

並已提出另一種方法，就是使用具有高介電常數之電介質以達到增加每單位表面積之電容，尤其是順電材料和鐵電材料都是適合當作具有高介電常數之電介質(例如，參考W0 93/12542)。

本發明之目的在明確規定一種DRAM單元配置，包含以單電晶體儲存單元當作儲存單元，且可以1 GBit這一代所需的包裝密度生產，另一目的則提供此種DRAM單元配置之製程。

該目的可以利用申請專利範圍第1項之DRAM單元配置反申請專利範圍第7項之製程達成，本發明其他發展請見其他的申請專利範圍。

根據本發明之DRAM單元配置，設置了單電晶體儲存單元，其中讀取電晶體設計成垂直式MOS電晶體，亦即，垂直式MOS電晶體其中一源極/汲極區鄰接半導體基板的主表面，其中製造DRAM單元配置。另一源極/汲極區則鄰接一埋入的位元線，在主表面上，電容器電介質排列在鄰接該主表面之源極/汲極區表面，而單元平板排

五、發明說明()

列在此電容器電介質之上，鄰接主表面之源極／汲極區還當作由電容器平板，電容器電介質和源極／汲極區所形成之儲存電容器的記憶體節點使用。

MOS電晶體之通道區排列在半導體基板中，且備有閘極電介質和一閘極，閘極連接到字元線，閘極和字元線埋入基板且利用絕緣結構與源極／汲極區，位元線和通道區隔絕。

DRAM單元配置最好在半導體基板內製成，該基板至少在DRAM單元配置區中含有單晶矽，並可以是連續的單晶矽晶圓及SOI基板，其在矽晶圓上含一絕緣層，而在此絕緣層上有一單晶矽薄層。

電容器電介質最好以具有相對介電常數 ϵ_r 在100和1000之間的材料形成。

根據本發明之DRAM單元配置可以平面或具有平坦構形(topology)之表面產生，所以鐵電材料或順電材料層可以當作電容器電介質使用。鐵電材料和順電材料層具有高的相對介電常數 ϵ_r ，在500到1000之範圍內。若這些層利用濺鍍沈積，則它們只可使用在平坦表面或平坦構形之表面上，即使用CVD或具有較佳邊緣覆蓋性之溶膠製程，複雜的3D結構也不能產生該層所要求之厚度。鈦酸鋇、鈦酸鋅、鈦酸鋁或鈦酸鎵都是當作電容器電介質使用之較佳材料，從W093/12542所知道之材料更適合當作電容器電介質，因為這些電介質具有高的相對介電常數，所以即使用大約 0.2 到 $0.4 \mu\text{m}^2$ 之面積，也可以達到20

五、發明說明(4)

到 30 fF 之所需電容值。

半導體基板最好有排列成行列之半導體材料的堆疊，然後垂直式 MOS 電晶體至少沿著這些堆疊的一側，製出其方式為閘極電介質和閘極僅部分覆蓋各堆疊之一側且平行於半導體基板之主表面。若它們各自部分覆蓋著鄰接的堆疊側面，則特別有利於垂直式 MOS 電晶體之產生。

根據一實例，位元線各在相鄰的堆疊列之間延伸，連到閘極之各字元線在相鄰的堆疊行之間延伸，一絕緣結構設在字元線和位元線之間，字元線還與工作之電晶體區隔絕。

堆疊最好使用兩個蝕刻步驟產生，此例中，首先蝕刻基本上平行延伸之第一溝渠，在第二次蝕刻步驟中，蝕刻跨越第一溝渠且基本上也平行延伸之第二溝渠。若第一溝渠和第二溝渠之尺寸為各溝渠之寬度等於相鄰溝渠之間的距離，且若該寬度是根據各技術之最小可生產的結構尺寸 F 而選擇，則一個儲存單元之面積等於 $4F^2$ ，此意即為在 $0.18 \mu m$ 之技術中，各儲存單元需要 $0.13 \mu m^2$ 之面積。

藉由下面圖式說明實例之輔助更詳細說明本發明。

✓圖 1 為在第一溝渠和位元線形成之後，通過基板之截面圖。

✓圖 2 為在第二溝渠形成之後通過基板，且平行於位元線之長度的截面圖。

✓圖 3 為在蝕刻垂直式 MOS 電晶體之開口後，平行於位元

五、發明說明(5)

線，並在相鄰位元線之間，通過基板之截面圖。

✓圖4為在開通孔洞以形成垂直式MOS電晶體之後，垂直於位元線，通過基板之截面圖。

✓圖5為在開極氧化層、開極、電容器電介質和電容器平板形成之後，垂直於位元線，通過基板之截面圖。

✓圖6為在開極氧化層、開極、字元線、電容器電介質和電容器平板形成之後，垂直於位元線且平行字元線，通過字元線和基板之截面圖。

✓圖7為具有第一溝渠和第二溝渠之基板，以及形成垂直式MOS電晶體孔洞的遮罩開口之略圖。

例如，至少在DRAM單元配置區摻雜P濃度為 $5 \times 10^{17} \text{ cm}^{-3}$ 之單晶矽基板2的主表面1中，整個表面產生 n^+ 摻雜區3，該 n^+ 摻雜區3比方說由離子佈植所形成，其摻雜濃度比方說為 $1 \times 10^{20} \text{ cm}^{-3}$ ， n^+ 摻雜區之深度比方說為 $0.5 \mu\text{m}$ 。

藉使用溝渠遮罩，如 SiO_2 和光阻劑(未示出)，在主表面1蝕刻第一溝渠4，第一溝渠4基本上平行延伸，其深度比方為 $0.8 \mu\text{m}$ ，第一溝渠4之寬度比方說等於 $F=180 \text{ nm}$ ，而相鄰溝渠4之間分開的距離，比方說等於於 $F=180 \text{ nm}$ ，第一溝渠4平行於主表面1延伸，越過整個單元區域，且比方說其長度為 $100 \mu\text{m}$ ，第一溝渠4之深度必須至少大到使第一溝渠4穿通 n^+ 摻雜區3(見圖1)。

n^+ 摻雜之位元線5利用離子佈植在第一溝渠4之底部形成，位元線5之摻雜濃度，比方說至少 $\geq 10^{20} \text{ cm}^{-3}$

五、發明說明 (b)

，深度則比方說為 $0.2 \mu m$ 。

然後，第一溝渠 4 用第一絕緣結構 6 (比方說 SiO_2) 充填，第一絕緣結構 6 比方說以 SiO_2 層之保形沈積接著再平面化而形成。

然後使用第二溝渠遮罩蝕刻第二溝渠 7，其基本上是以直角越過第一溝渠 4。第二溝渠 7 所蝕刻之深度與第一溝渠 4 相同，基本上位元線的表面在第二溝渠 7 曝露出來，然後第二溝渠 7 用第二絕緣結構 8 充填，第二絕緣結構 8 大約延伸到 n^+ 摻雜區 3 之高度為止，第二絕緣結構 8 比方說以 SiO_2 層之保形沈積然後再回蝕刻而形成 (見圖 2，其中示出一截面垂直圖 1 所示之截面，且平行於位元線 5，在兩相鄰位元線 5 之間)。

每兩對相鄰的第一溝渠 4 和第二溝渠 7 形成一矽堆疊，其主表面 1 之區域中具有 n^+ 摻雜區 3，在第二溝渠 7 之下，基板材料 2 是 P 摻雜的。

SiO_2 之遮罩 9 產生遮罩開口 10，此遮罩開口 10 基本上具有平行主表面 1 之方形橫截面，且以格子狀排列，垂直式 MOS 電晶體之配置由遮罩開口界定，遮罩開口 10 排列成使其各與堆疊之一的一角重疊，遮罩開口 10 方形橫截面之側面長度等於第一溝渠 4 和第二溝渠 7 之寬度，在各種情形下，遮罩開口 10 之中心相對於鄰接的第一溝渠 4 和第二溝渠 7 中心偏移 $1/2$ 側面長度，溝渠 4，7 之寬度和分開之距離各等於最小可生產結構尺寸 F，而遮罩開口 10 之側面長度也等於最小可生產結構尺寸 F，

五、發明說明(1)

在各種情形下，遮罩開口10之中心相對於溝渠4、7之中心偏移 $1/2F$ ，在此例中，事實上採用對準精密度比最小可生產結構尺寸還小，在1Gbit技術中，最小可生產結構尺寸 F 等於 180nm ，而可能之對準精密度約為 $1/3f$ 。

在相對於矽而選擇性地蝕刻 SiO_2 之非等向性蝕刻製程中，例如使用反應離子蝕刻，蝕刻孔洞11，自主表面1延伸到位元線5之高度為止(見圖3和圖4)孔洞11具有鈎形橫截面，可由三個小方塊所構成，在非等向性蝕刻之製程期間，不見的第四個小方塊由未經蝕刻之矽堆疊產生該堆疊之側面曝露在孔洞11中。

✓在遮罩9移除之後，在比方 800°C 進行熱氧化以形成閘極氧化層12，然後在所有曝露之矽表面產生 SiO_2 ，而後產生摻雜的多晶矽之閘極13和字元線14，為此，一多晶矽層比方說由原地摻雜式沈積產生，該層與孔洞11一樣厚，且在第二絕緣結構8之上充填第二溝渠7寬度方向，然後回蝕刻摻雜的多晶矽層，例如用反應離子蝕刻，直到到達在主表面1之下字元線14之高度，而字元線14之尺寸由蝕刻時間設定，字元線14之結構則自行對準。

✓第三絕緣結構15利用另一 SiO_2 層之沈積和回蝕刻在字元線上形成，第三絕緣結構15之高度低於主表面1，使得在任何情形下，都會在堆疊之 n^+ 摻雜區3的側面產生階梯(參考圖5和圖6)，這些階梯之高度比方為 0.2 到 $0.5\mu\text{m}$ 。

五、發明說明(8)

接著加入電容器電介質16，該電容器電介質之厚度比方為50nm，為此，相對介電常數 ϵ_r 在500和1000範圍之內的連續鐵電材料或順電材料比方說利用濺鍍、CVD沈積或溶膠製程加入，電容器電介質最好至少包含鈦酸鉬、鈦酸鋁或鈦酸銻酸鉛其中之一，當第三絕緣結構15回蝕刻時，電容器電介質16排列在曝露的矽表面上之 n^+ 摻雜區3的區域，在當電容器電介質16的材料與矽之間有反應的危險或電容器電介質16之材料擴散進入矽，或其他因電容器電介質16之材料使矽發生退化時，至少 n^+ 摻雜區3之曝露面以一中間層(例如TiN、 RuO_2 、Pt或W)覆蓋。

若電容器電介質16之材料容易產生漏電流到儲存電容器不能接受的程度，則得建構該電容器電介質16，在此例中，電容器電介質16總是在第三絕緣結構15或第一絕緣結構6之上中斷。

例如一多晶矽、TiN、Pt、W或 RuO_2 之連續的電容器平板17加在電容器電介質16之上，該電容器平板17至少覆蓋第一和第二溝渠之區域。

圖7示出第一溝渠4和第二溝渠7在基板2上之略圖，遮罩開口10之位置特別以點劃線在圖7中框出來，為了更清楚起見，示於圖1、2、3、4、5和6之截面利用點劃參考線I、II、III、IV、V和VI表示。

因為第一溝渠4平行延伸且具有相等的寬度和間距，例如其最小結構尺寸 $F=180nm$ ，而且同樣地，第二溝渠

五、發明說明(9)

7 也是有相等的寬度和間距，例如其最小結構尺寸 $F = 180\text{nm}$ ，每一儲存單元所需要之空間 $(2 \times \text{溝渠寬度})^2$ 比方說為 $4F^2 = 0.13\mu\text{m}^2$ 。

除了電容器電介質之可能的結構之外，根據本發明，產生 DRAM 單元之配置需要三個對齊之光罩，在此情形下，使用在蝕刻第一溝渠 4 和第二溝渠 7 之二個光罩其對齊並不重要，只有使用在蝕刻孔洞 11 之遮罩 9 才必須精確地對準。

當電容器電介質所使用之材料具有足夠高的相對介電常數 ϵ_r 時，第三絕緣結構 15 可以在主表面 1 之位階終止而形成。

根據本發明之 DRAM 單元配置中， n^+ 摻雜區 3，位元線 5 和基板 2 夾在當中，和閘極氧化層 12 及閘極 13 一起，總是形成一垂直式 MOS 電晶體， n^+ 摻雜區 3，電容器電介質 16 和電容器平板 17 形成儲存電容器，而 n^+ 摻雜區 3 同時當作垂直式 MOS 電晶體之源極 / 汲極區和儲存電容器之記憶節點使用，此可以節省空間。而且，根據製程，垂直式 MOS 電晶體之源極 / 汲極區和儲存電容器之記憶節點，互相電性連接，其中就堆疊型電容器而論，為了要將多晶矽結構連到基板，存在於已往技術中之重要的接觸孔洞蝕刻需求得以免除。

五、發明說明(10)

[符號說明]

- 1.....主表面
- 2.....基板
- 3..... n^+ 摻雜區
- 4.....第一溝渠
- 5.....位元線
- 6.....第一絕緣結構
- 7.....第二溝渠
- 8.....第二絕緣結構
- 9.....遮罩
- 10.....遮罩開口
- 11.....孔洞
- 12.....閘極氧化層
- 13.....閘極
- 14.....字元線
- 15.....第三絕緣結構
- 16.....電容器電介質
- 17.....電容器平板

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

四、中文發明摘要(發明之名稱：動態隨機存取記憶體單元之配置及其製造方法)

對於各儲存單元而言，DRAM單元之配置包含一垂直式MOS電晶體，鄰接埋入位元線(5)之第一源極/汲極區，連接到埋入字元線之閘極(13)，及第二源極/汲極區(3)鄰接一基板主表面(1)基板主表面上排列一電容器電介質(16)，尤其是鐵電材料或順電材料層，和一電容器平板(17)所以第二源極/汲極區(3)還可以當作記憶節點，該DRAM單元之配置可以產生 $4F^2$ 之儲存單元面積。

(參考圖5)

英文發明摘要(發明之名稱：DRAM cell arrangement and process for its production.)

For each storage cell, the DRAM cell arrangement comprises a vertical MOS transistor, the first source/drain region of which adjoins a buried bit line (5), the gate electrode (13) of which is connected to a buried word line and the second source/drain region (3) of which adjoins a substrate main surface (1) on which a capacitor dielectric (16) which is, in particular, a ferroelectric or paraelectric layer, and a capacitor plate (17) are arranged, so that the second source/drain region (3) additionally acts as a memory node. The DRAM cell arrangement can be produced with a storage cell area of $4F^2$.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

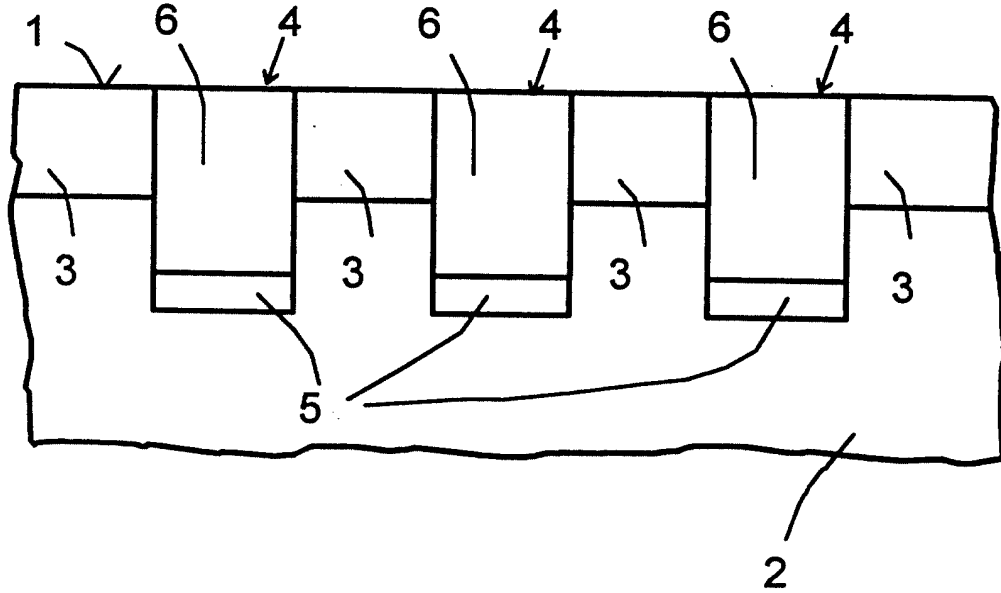
訂

線

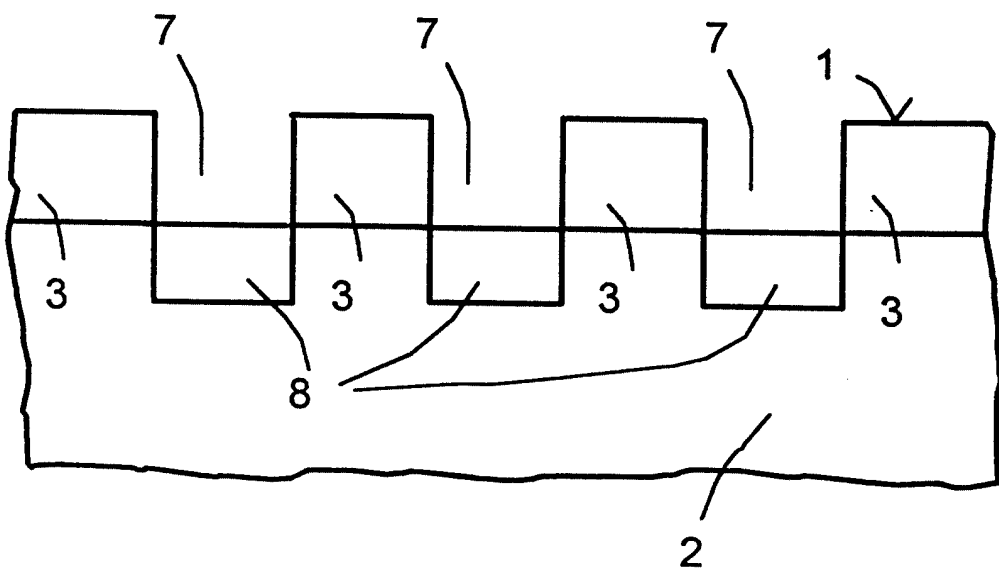


1/4

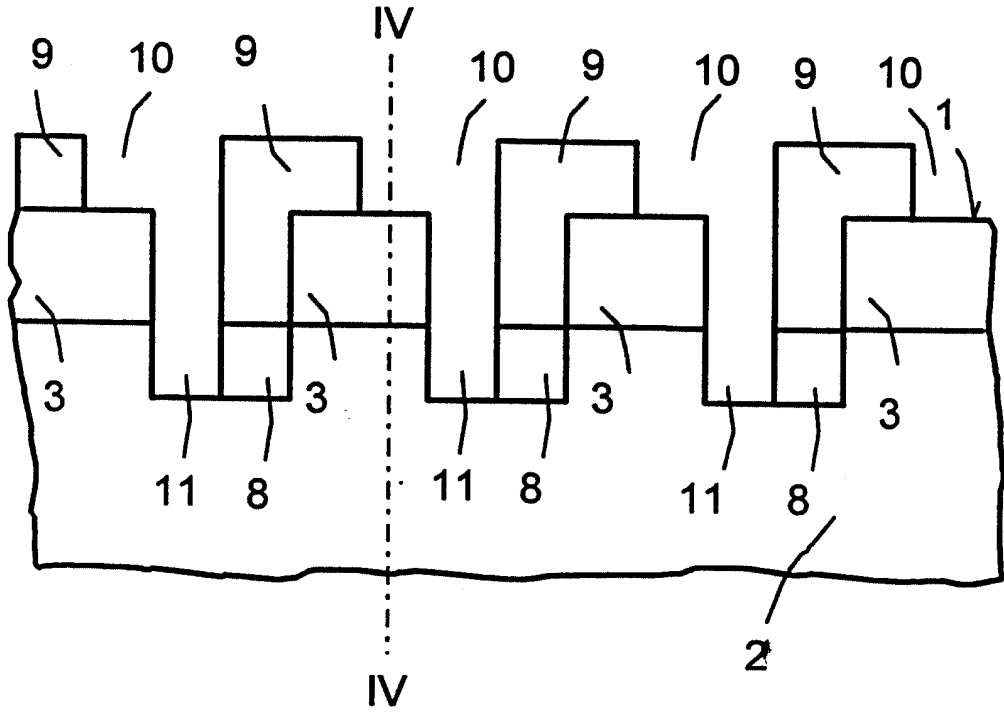
第 1 圖



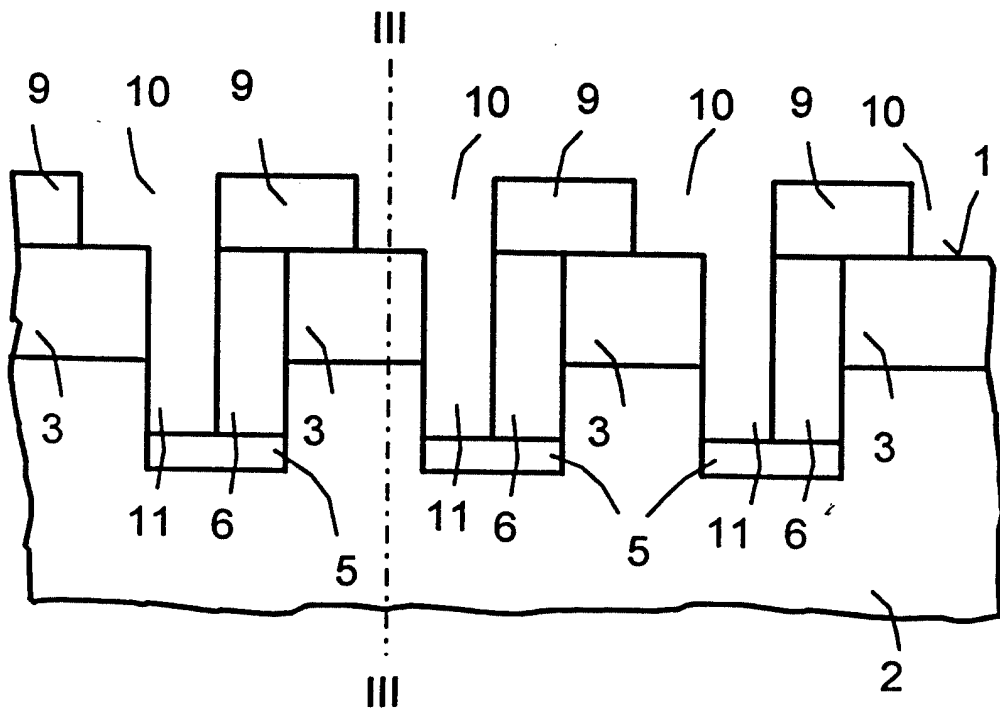
第 2 圖



第 3 圖

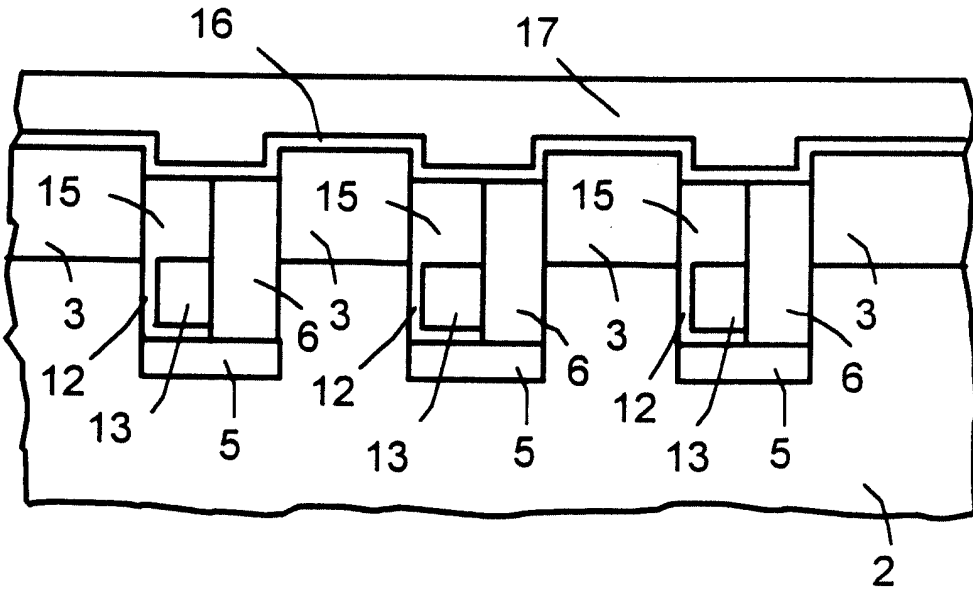


第 4 圖



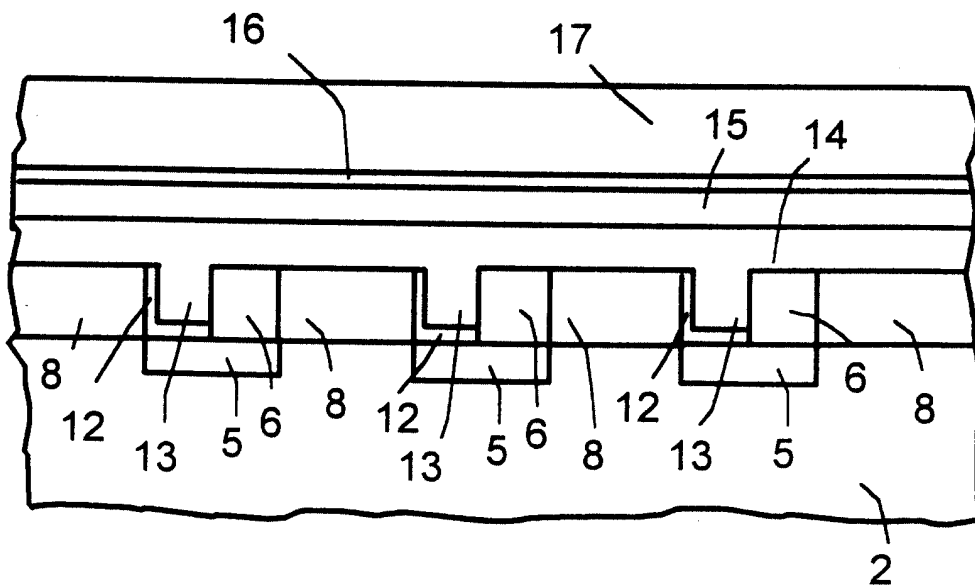
86. 1. - 3 修正
 年 月 日
 補充

第 5 圖

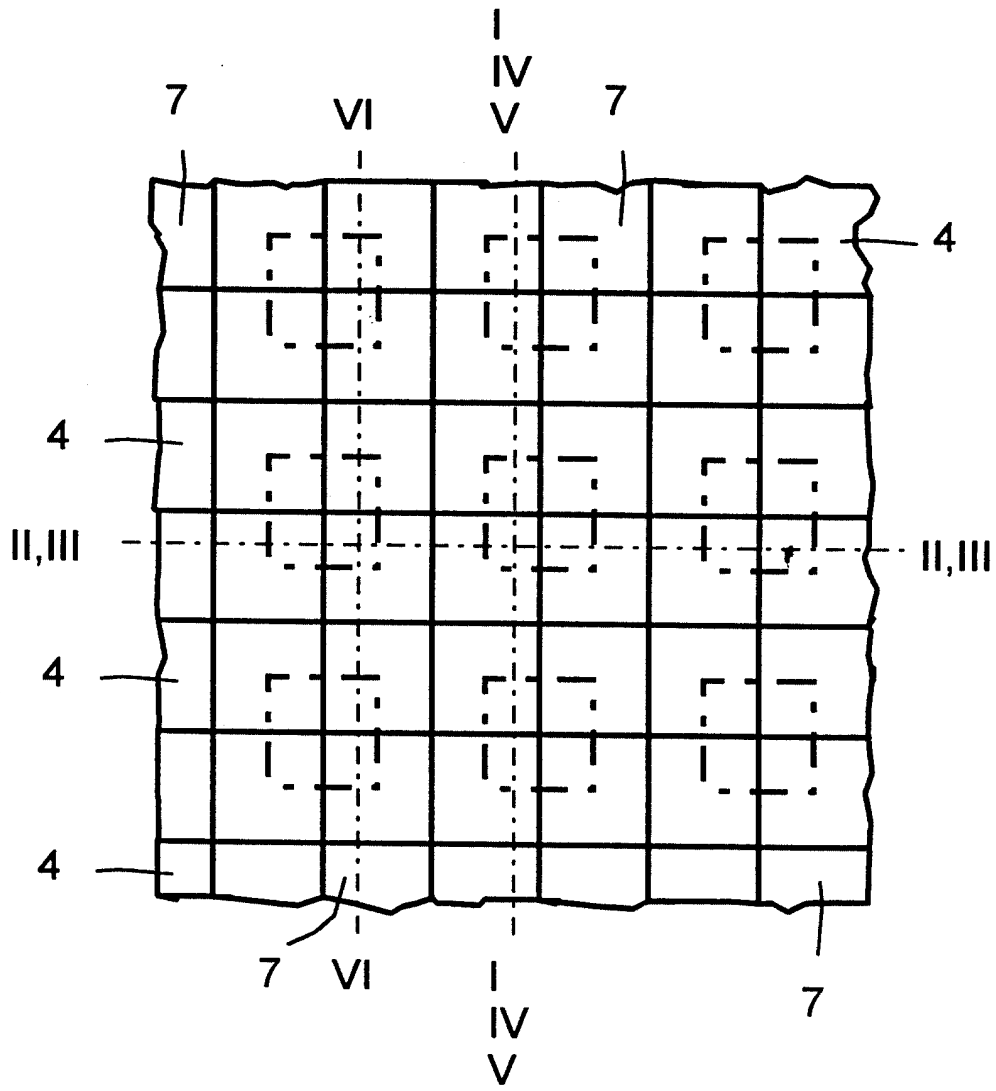


煩請委員明示 86. 1. - 3
 年 月 日所提之
 修正本有無變更實質內容是否准予修正。

第 6 圖



第 7 圖



公告本

307045

申請日期	85.3.18
案 號	85103200
類 別	H01L 27/108 Int.Cl.

(以上各欄由本局填註)

A4
C4
86年1月3日 修正
補充

發 明 專 利 說 明 書 307045

一、發明 名稱	中 文	動態隨機存取記憶體單元之配置及其製造方法
	英 文	DRAM cell arrangement and process for its production.
二、發明 創作人	姓 名	<ol style="list-style-type: none"> 1. 路德李希 Dr. Lothar Risch 2. 法蘭茲霍夫曼 Dr. Franz Hofmann 3. 伍爾夫康羅伊斯納 Dr. Wolfgang Rosner 4. 伍爾夫康克勞茲奈德 Dr. Wolfgang Krautshneider
	國 籍	1.-4. 皆屬德國
	住、居所	<ol style="list-style-type: none"> 1. 德國紐彼堡 85579 提茲安街 27號 2. 德國慕尼黑市 80995 赫伯街 25B號 3. 德國慕尼黑 81739 海茲曼街 2號 4. 德國霍亨唐 83104 歐伯廣場 50號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 80333 威田巴黎廣場 2 號
	代 表 人 姓 名	納特布斯克 (Natebusch) 歐姆克 (Ohmke)

經濟部中央標準局員工消費合作社印製

裝 訂 線

六、申請專利範圍

86年1月-3日修正
補充

第 85103200 號「動態隨機存取記憶體單元之配置及其製造方法」專利案 (88年1月修正)

六 申請專利範圍

1. 一種 DRAM 單元配置，其儲存單元各含一讀取電晶體和一儲存電容器，

1.-3 讀取電晶體設計成垂直式 MOS 電晶體，整個在半導體基板 (2) 中，在各種情形下，其一源極 / 汲極區 (3) 鄰接於半導體基板 (2) 之表面 (1)，而在各種情形下，其另一源極 / 汲極區 (5) 鄰接於埋於半導體基板 (2) 內的位元線 (5)，而且閘極 (13) 連到埋於半導體基板 (2) 內並且越過位元線 (5) 之字元線 (14)，

各儲存電容器由鄰接主表面 (1) 的其中一源極 / 汲極區 (3) 構建成記憶節點，一電容器電介質 (16) 置於和一電容器平板 (17)。

2. 如申請專利範圍第 1 項之 DRAM 單元配置，

- 其中半導體基板 (2) 至少在 DRAM 單元配置之區域中摻雜成第一傳導型，
- 其中半導體基板 (2) 包含以行列方式排列且鄰接半導體基板 (2) 主表面 (1) 之堆疊，
- 其中各堆疊之區域 (3) 摻雜成與第一傳導型相反之第二傳導型，區域 (2) 則摻雜成第一傳導型，摻雜成第二傳導型之區域 (3) 分別鄰接主表面 (1)，在主表

煩請委員明示 86 年 月 日所提之修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

六、申請專利範圍

面(1)之區域，各堆疊之側面、及摻雜成第一傳導型之區域(2)排列在摻雜成第二傳導型之區域(3)之下，鄰接堆疊之側面，並連接到摻雜成為第一傳導型之半導體基板(2)之區域，

- 其中埋入位元線(5)基本上是平行延伸，且各自排列在相鄰的堆疊列之間，
- 其中埋入的字元線(14)基本上是平行延伸，越過位元線(5)，並各自排列在相鄰的堆疊行之間，
- 其中，至少分別沿著堆疊之一側面，設置一閘極氧化層(12)和一閘極(13)，而且部份覆蓋各側面，因而形成垂直於主表面之MOS電晶體，
- 其中沿著其中一堆疊行排列的閘極(13)，均各電性連至其中一字元線(14)，
- 其中電容器電介質置於堆疊之上，
- 其中連續的電容器平板(17)置於電容器電介質(16)之上，
- 其中摻雜成第二傳導型之堆疊區域(3)，在各種情形下，都同時當作記憶節點和其中一垂直式MOS電晶體之源極/汲極區，
- 其中設置字元線(14)和閘極(13)與位元線(5)，矽堆疊(2,3)和電容器平板(17)絕緣的絕緣結構。

3. 如申請專利範圍第1項或第2項之DRAM單元配置，其

六、申請專利範圍

中電容器電介質(16)是由具有相對介電常數 ϵ_r 在100和1000之間的材料所形成。

4. 如申請專利範圍第1項或第2項之DRAM單元配置，其中電容器電介質(16)設計成全表面層。

5. 如申請專利範圍第1項或第2項之DRAM單元配置，其中絕緣結構(6,15)僅部份填滿相鄰之矽堆疊間之區域，使矽堆疊之側面以主表面(1)區域之電容器電介質(16)部分覆蓋。

6. 如申請專利範圍第1項或第2項之DRAM單元配置，

- 其中位元線(5)和字元線(14)的寬度，以及相鄰位元線(5)之間和相鄰字元線(14)之間的距離，基本上都是相同的，
- 其中在各種情形下，垂直式MOS電晶體之閘極氧化層(12)部分覆蓋二相互鄰接的堆疊之側面。

7. 如申請專利範圍第1項或第2項之DRAM單元配置，

- 其中半導體基板(2)至少在DRAM單元配置之區域包含單晶矽，
- 其中絕緣結構由 SiO_2 所組成，
- 其中位元線(5)設計成在半導體基板(2)內之摻雜區，
- 其中閘極(13)和字元線(14)由摻雜的多晶矽組成。

8. 一種DRAM單元配置之製造方法，

- 其中製造各具有一讀取電晶體和一儲存電容器的儲

六、申請專利範圍

存單元，

- 其中在半導體基板(2)內製造埋入的位元線(5)和埋入的字元線(14)，
- 其中讀取電晶體在半導體基板內形成為垂直式MOS電晶體，其源極/汲極區(3)分別鄰接半導體基板(2)之主表面(1)，而其另一源極/汲極區(5)分別鄰接其中一埋入的位元線(5)，且其閘極(13)連到其中一埋入的字元線(14)，
- 其中，為了形成儲存電容器，電容器電介質(16)和電容器平板(17)加在鄰接主表面(1)的源極/汲極區(3)之上，使鄰接主表面(1)的源極/汲極區(3)同時當作記憶節點作用。

9. 如申請專利範圍第8項之製造方法，其中電容器電介質(16)由具有相對介電常數 ϵ γ 在100和1000之間的材料形成。

10. 如申請專利範圍第8項或第9項之製造方法，其中電容器電介質(16)形成為一連續層。

M. 如申請專利範圍第8項或第9項之製造方法，

- 其中至少在DRAM單元配置區摻雜成第一傳導型之半導體基板(2)內，形成一摻雜成與第一傳導型相反之第二傳導型之區域，且鄰接半導體基板(2)之主表面(1)，

六、申請專利範圍

- 其中在半導體基板(2)內製造基本上平行延伸之第一溝渠(4),
- 其中在第一溝渠(4)之底部製造位元線(5),
- 其中第一溝渠(4)用第一絕緣結構(6)充填,
- 其中製造第二溝渠(7)越過第一溝渠(4), 而且至少延伸到位元線(5)之表面, 製造半導體材料堆疊分別排列在兩相鄰的第一溝渠(4)和兩相鄰的第二溝渠(7)之間,
- 其中第二溝渠用第二絕緣結構(8)充填, 其高度小於第一溝渠(7)之深度,
- 其中進行一非等向性蝕刻, 其選擇性相對於半導體材料堆疊, 攻取第一絕緣結構(6)和第二絕緣結構(8), 且其中蝕刻孔洞(11)從主表面(1)延伸到位元線(5)之高度, 而且在任何情形下, 至少在與第二溝渠(7)之一鄰接的堆疊之一側面, 有一部分曝露出來,
- 其中在堆疊的曝露側製造閘極氧化層(12),
- 其中在孔洞處製造各充填孔洞(11)之閘極電極(13),
- 其中在第二溝渠(7)處製造位元線(14), 其各電性連接到沿著各第二溝渠(7)排列之閘極(13),
- 其中在第二溝渠(7)處製造第三絕緣結構(15),
- 其中製造一電容器電介質(16), 至少覆蓋主表面(1)

六、申請專利範圍

區域之堆疊表面，

- 其中製造一電容器平板(17)，至少覆蓋堆疊。

12. 如申請專利範圍第11項之製造方法，

- 其中第一絕緣結構(6)和第三絕緣結構(15)形成為在堆疊之高度終結，
- 其中，在蝕刻過程中，相對於該堆疊，選擇性地回蝕刻第一絕緣結構(6)和第三絕緣結構(15)，由電容器電介質(16)所覆蓋之階梯在堆疊側面處產生。

13. 如申請專利範圍第11項之製造方法，

- 其中第一溝渠(4)和第二溝渠(7)基本上形成相同寬度，而相鄰溝渠(4, 7)之間隔基本上等於溝渠之寬度，
- 其中使用基本上具有方形遮罩開口(10)之遮罩(9)蝕刻孔洞(11)，該方形遮罩開口(10)之側邊長度基本上等於溝渠(4, 7)之寬度，
- 其中方形遮罩開口(10)之中心點，相對於第一溝渠(4)和第二溝渠(7)之中心偏移排列一小於溝渠(4, 7)寬度之距離。

14. 如申請專利範圍第11項之製造方法，

- 其中至少在DRAM單元配置之區域包含單晶矽之基板當作半導體基板(2)使用，
- 其中絕緣結構(6, 8, 15)係由 SiO_2 形成，
- 其中位元線和摻雜成第二傳導型之區域(3)由離子

六、申請專利範圍

佈植形成，

- 其中字元線 (14) 和閘極 (13) 由摻雜的多晶矽形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線