

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月10日(10.09.2020)



(10) 国際公開番号

WO 2020/179450 A1

(51) 国際特許分類:
G02F 1/1343 (2006.01) *G02F 1/13357* (2006.01)

(21) 国際出願番号: PCT/JP2020/006510

(22) 国際出願日: 2020年2月19日(19.02.2020)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-041735 2019年3月7日(07.03.2019) JP

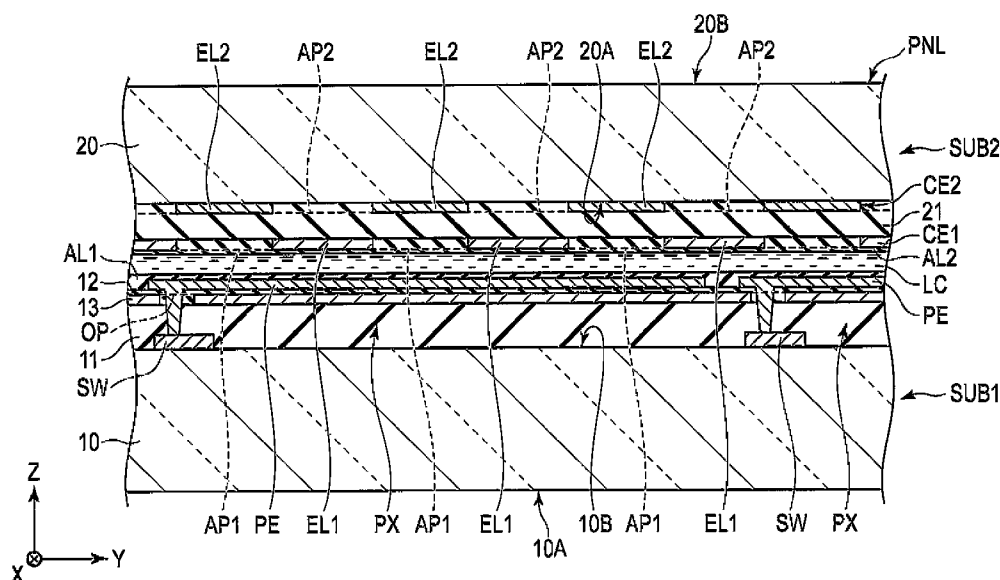
(71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者:池田 幸次郎(IKEDA, Kojiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 中村 天風(NAKAMURA, Tenfu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 奥山 健太郎(OKUYAMA, Kentaro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人:特許業務法人スズエ国際特許事務所(S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The purpose of the present embodiment is to provide a display device in which a reduction in display quality can be suppressed. This display device is provided with: a first substrate provided with a first transparent substrate, a switching element, and a pixel electrode electrically connected to the switching element; a second substrate provided with a second transparent substrate, a first common electrode, a second common electrode having the same potential as the first common electrode, and an insulating film located between the first common electrode and the second common

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

electrode; and a liquid crystal layer located between the first substrate and the second substrate and including polymer and liquid crystal molecules. The first common electrode is located between the liquid crystal layer and the insulating film, and provided with a first opening part and a first electrode part, and the second common electrode is located between the insulating film and the second transparent substrate, and provided with a second electrode part overlapping the first opening part.

(57) 要約: 本実施形態の目的は、表示品位の低下を抑制することができる表示装置を提供することにある。本実施形態の表示装置は、第1透明基板と、スイッチング素子と、前記スイッチング素子と電気的に接続された画素電極と、を備えた第1基板と、第2透明基板と、第1共通電極と、前記第1共通電極と同電位の第2共通電極と、前記第1共通電極と前記第2共通電極との間に位置する絶縁膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、を備え、前記第1共通電極は、前記液晶層と前記絶縁膜との間に位置し、第1開口部と、第1電極部と、を備え、前記第2共通電極は、前記絶縁膜と前記第2透明基板との間に位置し、前記第1開口部と重畳する第2電極部を備えている。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 近年、光に対して散乱性あるいは透明性を呈する光変調素子を備えた照明装置が種々提案されている。一例では、光変調素子は、光変調層として高分子分散液晶層を備えている。光変調素子は、導光板の背後に配置され、導光板の側面から入射した光を散乱するものである。

先行技術文献

特許文献

[0003] 特許文献1：特開2012-151081号公報

特許文献2：国際公開第2013/168639号

発明の概要

発明が解決しようとする課題

[0004] 本実施形態の目的は、表示品位の低下を抑制することが可能な表示装置を提供することにある。

課題を解決するための手段

[0005] 本実施形態によれば、

第1透明基板と、スイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、を備えた第1基板と、第2透明基板と、第1共通電極と、前記第1共通電極と同電位の第2共通電極と、前記第1共通電極と前記第2共通電極との間に位置する絶縁膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、を備え、前記第1共通電極は、前記液晶層と前記絶縁膜との間に位置し、第1開口部と、第1電極部と、を備え、前記第2共通電極は、前記絶縁膜と前記第2透明基板との間に位置し、前記第1開口部と重畳する第2電極部を

備えている、表示装置が提供される。

本実施形態によれば、

第1透明基板と、スイッチング素子と、前記スイッチング素子と電氣的に接続された第1画素電極及び第2画素電極と、前記第1画素電極と前記第2画素電極との間に位置する絶縁膜と、を備えた第1基板と、第2透明基板と、共通電極と、を備えた第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、を備え、前記第1画素電極は、前記絶縁膜と前記液晶層との間に位置し、第1開口部と、第1電極部と、を備え、前記第2画素電極は、前記第1透明基板と前記絶縁膜との間に位置し、前記第1開口部と重畳する第2電極部を備えている、表示装置が提供される。

本実施形態によれば、

第1基板と、第2基板と、前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、前記第2基板の側面と対向する発光素子と、を備え、前記第1基板または前記第2基板は、透明基板と、第1透明電極と、前記第1透明電極と同電位の第2透明電極と、前記第1透明電極と前記第2透明電極との間に位置する絶縁膜と、を備え、前記第1透明電極及び前記第2透明電極はそれぞれ、複数の開口部を有し、前記第1透明電極の開口部と、前記第2透明電極の開口部とは互いに重畳せず、前記第1透明電極は、第1開口部と、第3開口部と、を備え、前記第1開口部は、前記発光素子と第3開口部との間に位置し、前記第3開口部より大きい幅を有する、表示装置が提供される。

発明の効果

[0006] 本実施形態によれば、表示品位の低下を抑制することが可能な表示装置を提供することができる。

図面の簡単な説明

[0007] [図1]図1は、本実施形態の表示装置DSPの一構成例を示す平面図である。

[図2]図2は、図1に示した表示パネルPNLの第1構成例を示す断面図であ

る。

[図3]図3は、図2に示した画素PXの一例を示す平面図である。

[図4]図4は、図2に示した第1共通電極CE1及び第2共通電極CE2の一例を示す平面図である。

[図5]図5は、図4に示した第1共通電極CE1及び第2共通電極CE2が重畳した状態を示す平面図である。

[図6]図6は、本実施形態の表示装置DSPの一例を示す断面図である。

[図7]図7は、画素PX1乃至PX3の一例を示す断面図である。

[図8]図8は、画素PX3における電界分布及び液晶分子の配向状態を模式的に示す図である。

[図9]図9は、画素PX1における電界分布及び液晶分子の配向状態を模式的に示す図である。

[図10]図10は、図8に示した画素PX3における輝度分布及び液晶分子の配向状態を模式的に示す図である。

[図11]図11は、図9に示した画素PX1における輝度分布及び液晶分子の配向状態を模式的に示す図である。

[図12]図12は、画素PX2における電界分布及び液晶分子の配向状態を模式的に示す図である。

[図13]図13は、第2構成例を示す断面図である。

[図14]図14は、第3構成例を示す断面図である。

[図15]図15は、第4構成例を示す断面図である。

[図16]図16は、第1共通電極CE1及び第2共通電極CE2に電圧を印加するための給電構造を示す断面図である。

[図17]図17は、第5構成例を示す断面図である。

[図18]図18は、図17に示した共通電極CEに電圧を印加するための給電構造を示す断面図である。

発明を実施するための形態

[0008] 以下、本実施形態について、図面を参照しながら説明する。なお、開示は

あくまで一例に過ぎず、当業者において、発明の主旨を保っての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

[0009] 図1は、本実施形態の表示装置DSPの一構成例を示す平面図である。一例では、第1方向X、第2方向Y、及び、第3方向Zは、互いに直交しているが、90度以外の角度で交差していてもよい。第1方向X及び第2方向Yは、表示装置DSPを構成する基板の主面と平行な方向に相当し、第3方向Zは、表示装置DSPの厚さ方向に相当する。第3方向Zを示す矢印の先端側に表示装置DSPを観察する観察位置があるものとし、この観察位置から、第1方向X及び第2方向Yで規定されるX-Y平面に向かって見ることを平面視という。

[0010] 本実施形態においては、表示装置DSPの一例として、高分子分散型液晶を適用した液晶表示装置について説明する。表示装置DSPは、表示パネルPNLと、配線基板1と、ICチップ2と、発光素子LDと、を備えている。

[0011] 表示パネルPNLは、第1基板SUB1と、第2基板SUB2と、液晶層LCと、シールSEと、を備えている。第1基板SUB1及び第2基板SUB2は、X-Y平面と平行な平板状に形成されている。第1基板SUB1及び第2基板SUB2は、平面視で、重畳している。第1基板SUB1及び第2基板SUB2は、シールSEによって接着されている。液晶層LCは、第1基板SUB1と第2基板SUB2との間に保持され、シールSEによって封止されている。図1において、液晶層LC及びシールSEは、異なる斜線で示している。

[0012] 図1において拡大して模式的に示すように、液晶層LCは、ポリマー31と、液晶分子32と、を含む高分子分散型液晶を備えている。一例では、ポリマー31は、液晶性ポリマーである。ポリマー31は、第1方向Xに沿って延出した筋状に形成されている。液晶分子32は、ポリマー31の隙間に分散され、その長軸が第1方向Xに沿うように配向される。ポリマー31及び液晶分子32の各々は、光学異方性あるいは屈折率異方性を有している。ポリマー31の電界に対する応答性は、液晶分子32の電界に対する応答性より低い。

[0013] 一例では、ポリマー31の配向方向は、電界の有無にかかわらずほとんど変化しない。一方、液晶分子32の配向方向は、液晶層LCにしきい値以上の高い電圧が印加された状態では、電界に応じて変化する。液晶層LCに電圧が印加されていない状態では、ポリマー31及び液晶分子32のそれぞれの光軸は互いに平行であり、液晶層LCに入射した光は、液晶層LC内でほとんど散乱されることなく透過する（透明状態）。液晶層LCに電圧が印加された状態では、ポリマー31及び液晶分子32のそれぞれの光軸は互いに交差し、液晶層LCに入射した光は、液晶層LC内で散乱される（散乱状態）。

[0014] 表示パネルPNLは、画像を表示する表示部DAと、表示部DAを囲む額縁状の非表示部NDAと、を備えている。シールSEは、非表示部NDAに位置している。表示部DAは、第1方向X及び第2方向Yにマトリクス状に配列された画素PXを備えている。

図1において拡大して示すように、各画素PXは、スイッチング素子SW、画素電極PE、共通電極CE、液晶層LC等を備えている。スイッチング素子SWは、例えば薄膜トランジスタ（TFT）によって構成され、走査線G及び信号線Sと電氣的に接続されている。

走査線Gは、第1方向Xに並んだ画素PXの各々におけるスイッチング素子SWと電氣的に接続されている。信号線Sは、第2方向Yに並んだ画素PXの各々におけるスイッチング素子SWと電氣的に接続されている。画素電

極P Eは、スイッチング素子S Wと電氣的に接続されている。共通電極C Eは、複数の画素電極P Eに対して共通に設けられている。画素電極P Eの各々は、第3方向Zにおいて共通電極C Eと対向している。液晶層L C（特に、液晶分子3 2）は、画素電極P Eと共通電極C Eとの間に生じる電界によって駆動される。容量C Sは、例えば、共通電極C Eと同電位の電極、及び、画素電極P Eと同電位の電極の間に形成される。

[0015] 後に説明するが、走査線G、信号線S、スイッチング素子S W、及び、画素電極P Eは、第1基板S U B 1に設けられ、共通電極C Eは、第2基板S U B 2に設けられている。第1基板S U B 1において、走査線G及び信号線Sは、配線基板1あるいはI Cチップ2と電氣的に接続されている。

[0016] 配線基板1は、第1基板S U B 1の延出部E xに電氣的に接続されている。配線基板1は、折り曲げ可能なフレキシブルプリント回路基板である。I Cチップ2は、配線基板1に電氣的に接続されている。I Cチップ2は、例えば、画像表示に必要な信号を出力するディスプレイドライバなどを内蔵している。なお、I Cチップ2は、延出部E xに電氣的に接続されてもよい。

[0017] 発光素子L Dは、平面視で延出部E xに重畳している。複数の発光素子L Dは、第1方向Xに沿って間隔をおいて並んでいる。

[0018] [第1構成例]

図2は、図1に示した表示パネルP N Lの第1構成例を示す断面図である。液晶層L Cは、第1基板S U B 1と第2基板S U B 2との間に設けられている。

第1基板S U B 1は、第1透明基板1 0と、絶縁膜1 1及び1 2と、容量電極1 3と、スイッチング素子S Wと、画素電極P Eと、配向膜A L 1と、を備えている。第1透明基板1 0は、主面（下面）1 0 Aと、主面1 0 Aの反対側の主面（上面）1 0 Bと、を備えている。スイッチング素子S Wは、主面1 0 B側に配置されている。絶縁膜1 1は、スイッチング素子S Wを覆っている。なお、図1に示した走査線G及び信号線Sは、第1透明基板1 0と絶縁膜1 1との間に配置されているが、ここでは図示を省略している。容

量電極 13 は、絶縁膜 11 及び 12 の間に配置されている。画素電極 PE は、絶縁膜 12 と配向膜 AL1 との間において、画素 PX 毎に配置されている。画素電極 PE は、容量電極 13 の開口部 OP を介してスイッチング素子 SW と電氣的に接続されている。画素電極 PE は、絶縁膜 12 を挟んで、容量電極 13 と重畳し、画素 PX の容量 CS を形成している。配向膜 AL1 は、画素電極 PE を覆っている。配向膜 AL1 は、液晶層 LC に接している。

[0019] 第2基板 SUB2 は、第2透明基板 20 と、第1共通電極 CE1 と、第2共通電極 CE2 と、絶縁膜 21 と、配向膜 AL2 と、を備えている。第2透明基板 20 は、主面（下面）20A と、主面 20A の反対側の主面（上面）20B と、を備えている。第2透明基板 20 の主面 20A は、第1透明基板 10 の主面 10B と向かい合っている。なお、第2基板 SUB2 は、走査線 G、信号線 S、及び、スイッチング素子 SW の直上に遮光層を備えていてもよい。

[0020] 絶縁膜 21 は、第1共通電極 CE1 と第2共通電極 CE2 との間に設けられている。一例では、絶縁膜 21 は、透明な有機絶縁膜であるが、無機絶縁膜であってもよい。第1共通電極 CE1 及び第2共通電極 CE2 は、複数の画素 PX に亘って配置され、第3方向 Z において、複数の画素電極 PE と対向している。

[0021] 第1共通電極 CE1 は、液晶層 LC と絶縁膜 21 との間に設けられている。第1共通電極 CE1 は、第1開口部 AP1 と、第1開口部 AP1 を規定する第1電極部 EL1 と、を備えている。換言すると、第1共通電極 CE1 のうち、第1開口部 AP1 ではない領域を第1電極部 EL1 とする。配向膜 AL2 は、第1共通電極 CE1 を覆っている。配向膜 AL2 は、第1開口部 AP1 において絶縁膜 21 に接している。また、配向膜 AL2 は、液晶層 LC に接している。

第2共通電極 CE2 は、第1共通電極 CE1 と同電位であり、後述するが、非表示部 NDA において互いに電氣的に接続されている。また、第1共通電極 CE1 及び第2共通電極 CE2 は、容量電極 13 と電氣的に接続されて

おり、容量電極 13 とは同電位である。第 2 共通電極 CE 2 は、絶縁膜 21 と第 2 透明基板 20 との間に設けられている。第 2 共通電極 CE 2 は、第 1 開口部 AP 1 と重畳する第 2 電極部 EL 2 を備えている。図 2 に示した例では、第 2 共通電極 CE 2 は、第 2 電極部 EL 2 によって規定される第 2 開口部 AP 2 を備えている。なお、第 2 共通電極 CE 2 のうち、第 2 開口部 AP 2 ではない領域を第 2 電極部 EL 2 とする。絶縁膜 21 は、第 2 開口部 AP 2 において第 2 透明基板 20 に接している。第 1 電極部 EL 1 は、第 2 開口部 AP 2 と重畳している。

第 3 方向 Z において、画素電極 PE は、第 1 電極部 EL 1 と対向し、また、第 1 開口部 AP 1 では第 2 電極部 EL 2 と対向している。

[0022] 第 1 透明基板 10 及び第 2 透明基板 20 は、ガラス基板やプラスチック基板などの絶縁基板である。絶縁膜 11 は、シリコン酸化物、シリコン窒化物、シリコン酸窒化物、アクリル樹脂などの透明な絶縁材料によって形成されている。一例では、絶縁膜 11 は、無機絶縁膜及び有機絶縁膜を含んでいる。絶縁膜 12 は、シリコン窒化物などの無機絶縁膜である。容量電極 13、画素電極 PE、第 1 共通電極 CE 1、及び、第 2 共通電極 CE 2 は、インジウム錫酸化物 (ITO) やインジウム亜鉛酸化物 (IZO) などの透明導電材料によって形成された透明電極である。配向膜 AL 1 及び AL 2 は、例えば第 1 方向 X に沿って配向処理されている。なお、配向処理とは、ラビング処理であってもよいし、光配向処理であってもよい。

[0023] 図 3 は、図 2 に示した画素 PX の一例を示す平面図である。走査線 G は第 1 方向 X に延出し、信号線 S は第 2 方向 Y に延出している。スイッチング素子 SW は、走査線 G 及び信号線 S の交差部に設けられている。スイッチング素子 SW は、半導体層 SC を備えている。半導体層 SC は、走査線 G と一体のゲート電極 SWG に重畳している。信号線 S と一体のソース電極 SWS、及び、ドレイン電極 SWD は、それぞれ半導体層 SC と電氣的に接続されている。画素電極 PE は、隣接する走査線 G の間、及び、隣接する信号線 S の間に設けられている。画素電極 PE は、ドレイン電極 SWD に重畳し、スイ

タッチング素子SWと電氣的に接続されている。

[0024] 図4は、図2に示した第1共通電極CE1及び第2共通電極CE2の一例を示す平面図である。ここでは、第1方向X及び第2方向Yにそれぞれ2個ずつ並んだ4個の画素電極PEを点線で示している。

[0025] 図4(A)に示すように、第1共通電極CE1は、1個の画素電極PEに重畳する3個の第1開口部AP1を備えている。複数の第1開口部AP1は、それぞれ第1方向Xに延出し、第2方向Yに並んでいる。なお、複数の第1開口部AP1は、第1方向Xに並び、それぞれ第2方向Yに延出してもよい。第1開口部AP1の形状は、図4に示した例の長方形に限定されるものではなく、正方形、円形、楕円形など他の形状であってもよい。第1共通電極CE1は、1個の画素電極PEに重畳する領域において、第1方向X及び第2方向Yに並んだ複数の第1開口部AP1を備えていてもよい。第1電極部EL1は、第1開口部AP1を規定し、各画素電極PEに重畳している。また、第1電極部EL1の一部は、第1方向X及び第2方向Yに隣接する画素電極PEに跨って重畳している。

[0026] 図4(B)に示すように、第2共通電極CE2は、1個の画素電極PEに重畳する4個の第2開口部AP2を備えている。また、一部の第2開口部AP2は、第2方向Yに隣接する画素電極PEに跨って重畳している。第2開口部AP2は、第1電極部EL1と重畳する領域に形成されている。複数の第2開口部AP2は、それぞれ第1方向Xに延出し、第2方向Yに並んでいる。なお、第2開口部AP2のレイアウト及び形状については、第1開口部AP1と同様に、図示した例に限定されるものではない。第2電極部EL2は、第2開口部AP2を規定し、各画素電極PEに重畳している。第2電極部EL2は、少なくとも第1開口部AP1と重畳する領域に形成されている。換言すると、第2電極部EL2の形状は、第1開口部AP1の形状に合わせて適宜変形されてもよい。

[0027] 図5は、図4に示した第1共通電極CE1及び第2共通電極CE2が重畳した状態を示す平面図である。

第1共通電極CE1はドットパターンで示し、第2共通電極CE2は斜線で示している。画素電極PEの各々は、第1電極部EL1と重畳するとともに、第1開口部AP1においては第2電極部EL2と重畳している。平面視において、第1電極部EL1と第2電極部EL2との間に隙間がないことが望ましい。

[0028] 図6は、本実施形態の表示装置DSPの一例を示す断面図である。なお、表示パネルPNLについては、主要部のみを図示し、第1共通電極CE1及び第2共通電極CE2は簡略化して図示している。

[0029] 第2透明基板20は、第2方向Yにおいて、発光素子LDと対向する側面20Cを備えている。発光素子LDは、配線基板Fに電氣的に接続されている。発光素子LDは、例えば、発光ダイオードであり、詳述しないが、赤発光部、緑発光部、及び、青発光部を備えている。

[0030] 次に、図6を参照しながら、発光素子LDから出射される光L1について説明する。

発光素子LDは、側面20Cに向けて光L1を出射する。発光素子LDから出射された光L1は、第2方向Yを示す矢印の向きに沿って進行し、側面20Cから第2透明基板20に入射する。第2透明基板20に入射した光L1は、繰り返し反射されながら、表示パネルPNLの内部を進行する。電圧が印加されていない液晶層LCに入射した光L1は、ほとんど散乱されることなく液晶層LCを透過する。また、電圧が印加された液晶層LCに入射した光L1は、液晶層LCで散乱される。表示装置DSPは、主面10A側から観察可能であるとともに、主面20B側からも観察可能である。また、表示装置DSPは、主面10A側から観察した場合であっても、主面20B側から観察した場合であっても、表示装置DSPを介して、表示装置DSPの背景を観察可能である。

[0031] 図6に示した表示パネルPNLにおいて、発光素子LDに近接した画素PX3、画素PX3よりも発光素子LDから離間した画素PX1、画素PX1よりも発光素子LDから離間した画素PX2について、それぞれの構成を説

明する。例えば、画素P X 1は表示パネルP N Lのほぼ中央に位置していてもよい。

[0032] 図7は、画素P X 1乃至P X 3の一例を示す断面図である。なお、ここでは、画素P X 1乃至P X 3の主要部のみを図示している。

[0033] 画素P X 1において、第1共通電極C E 1は、第1開口部A P 1と、第1電極部E L 1と、を備えている。第1開口部A P 1は、第2方向Yに沿って幅W 1 1を有している。第1電極部E L 1は、第2方向Yに沿って幅W 1 2を有している。第2共通電極C E 2は、第1電極部E L 1と重畳する第2開口部A P 2と、第1開口部A P 1と重畳する第2電極部E L 2と、を備えている。第2開口部A P 2の幅は幅W 1 2と同等であり、第2電極部E L 2の幅は幅W 1 1と同等である。画素電極P E 1は、第1電極部E L 1及び第2電極部E L 2と重畳している。第1開口部A P 1及び第2開口部A P 2は、第3方向Zにおいて互いに重畳せず、また、第1電極部E L 1及び第2電極部E L 2も互いに重畳していない。なお、第1開口部A P 1及び第2開口部A P 2のそれぞれの一部が重畳してもよいし、第1電極部E L 1及び第2電極部E L 2のそれぞれの一部が重畳してもよい。

[0034] 画素P X 2において、第1共通電極C E 1は、第3開口部A P 3と、第3開口部A P 3を規定する第3電極部E L 3と、を備えている。換言すると、画素P X 2の第1共通電極C E 1のうち、第3開口部A P 3ではない領域を第3電極部E L 3とする。第3電極E L 3は、第1電極部E L 1と一体的に形成され、第1電極部E L 1とは同電位である。第3開口部A P 3は、第2方向Yに沿って、幅W 1 1とは異なる幅W 2 1を有している。第3電極部E L 3は、第2方向Yに沿って、幅W 1 2とは異なる幅W 2 2を有している。

第2共通電極C E 2は、第4開口部A P 4と、第4開口部A P 4を規定する第4電極部E L 4と、を備えている。換言すると、画素P X 2の第2共通電極C E 1のうち、第4開口部A P 4ではない領域を第4電極部E L 4とする。第4電極E L 4は、第2電極部E L 2と一体的に形成され、第2電極部

EL2とは同電位である。第4開口部AP4は第3電極部EL3と重畳し、第4電極部EL4は第3開口部AP3と重畳している。第4開口部AP4の幅は幅W22と同等であり、第4電極部EL4の幅は幅W21と同等である。画素電極PE2は、第3電極部EL3及び第4電極部EL4と重畳している。

[0035] 第1共通電極CE1において、第1開口部AP1は、第2方向Yに沿って、発光素子LDと第3開口部AP3との間に設けられている。第3開口部AP3の幅W21は、第1開口部AP1の幅W11より小さい。また、第1電極部EL1は、第2方向Yに沿って、発光素子LDと第3電極部EL3との間に設けられている。第3電極部EL3の幅W22は、第1電極部EL1の幅W12より小さい。

[0036] 画素電極PE2に重畳する第3開口部AP3の個数は、画素電極PE1に重畳する第1開口部AP1の個数よりも多い。また、第3開口部AP3を規定する第3電極部EL3のエッジの本数は、第1開口部AP1を規定する第1電極部EL1のエッジの本数よりも多い。つまり、第1共通電極CE1は、画素PX1よりも画素PX2において、より細分化されている。

[0037] 画素PX3において、第1共通電極CE1は、第5電極部EL5を備えている。第5電極EL5は、第1電極部EL1と一体的に形成され、第1電極部EL1とは同電位である。なお、第1共通電極CE1は、第5開口部を備えていてもよいが、ここでは図示を省略している。第2共通電極CE2は、第5電極部EL5と重畳する第6開口部AP6を備えている。なお、第2共通電極CE2は、第1共通電極CE1が第5開口部を備えている場合に、第5開口部と重畳する第6電極部を備えていることが望ましい。画素電極PE3は、第5電極部EL5と重畳している。第2共通電極CE2が第6電極部を備えている場合には、画素電極PE3は、第6電極と重畳する。

[0038] 図8は、画素PX3における電界分布及び液晶分子の配向状態を模式的に示す図である。画素PX3に電圧が印加された際には、画素電極PE3と第1共通電極CE1の第5電極部EL5との間に電界が形成される。このとき

、等電位面の各々は、 $X-Y$ 平面とほぼ平行である。つまり、画素電極 PE_3 と第5電極部 EL_5 との間には、第3方向 Z にほぼ平行な電気力線が形成される。液晶分子 LM は、正の誘電率異方性を有しており、その長軸が電気力線に沿うように配向する。つまり、画素電極 PE_3 と第5電極部 EL_5 との間の液晶層 LC において、ほぼすべての液晶分子 LM は、第3方向 Z に沿うように配向している。

[0039] 図9は、画素 PX_1 における電界分布及び液晶分子の配向状態を模式的に示す図である。画素 PX_1 に電圧が印加された際には、画素電極 PE_1 と第1共通電極 CE_1 の第1電極部 EL_1 との間、及び、画素電極 PE_1 と第2共通電極 CE_2 の第2電極部 EL_2 との間にそれぞれ電界が形成される。このとき、画素電極 PE_1 と第1電極部 EL_1 との間の等電位面は、 $X-Y$ 平面とほぼ平行である。画素電極 PE_1 と第2電極部 EL_2 との間の等電位面の間隔は、第3方向 Z に広がり、一部の等電位面が第1開口部 AP_1 を超えて第2電極部 EL_2 に向かって形成される。第1電極部 EL_1 と第2電極部 EL_2 との境界（あるいは第1電極部 EL_1 のエッジ E_1 ）付近では、等電位面は、 $X-Y$ 平面に対して傾斜する。

画素電極 PE_1 と第1電極部 EL_1 との間の液晶分子 LM は、第3方向 Z に沿うように配向している。第1電極部 EL_1 と第2電極部 EL_2 との境界付近では、傾斜した等電位面の影響を受けて、液晶分子 LM は、第3方向 Z に対して斜めに配向している。

[0040] 図10は、図8に示した画素 PX_3 における輝度分布及び液晶分子の配向状態を模式的に示す図である。図中の輝度分布 B_3 は、画素 PX_3 に電圧が印加された際に、発光素子から画素 PX_3 に伝播された光の散乱強度の分布に相当する。画素電極 PE_3 と第5電極部 EL_5 との間において、輝度 BA は、場所によらず、ほぼ一定となる。

[0041] 図11は、図9に示した画素 PX_1 における輝度分布及び液晶分子の配向状態を模式的に示す図である。図中の輝度分布 B_1 は、画素 PX_1 に電圧が印加された際に、発光素子から画素 PX_1 に伝播された光の散乱強度の分布

に相当する。第1電極部E L 1と第2電極部E L 2との境界付近において、画素P X 3の輝度B Aより高い輝度B Bが得られる。例えば、輝度B Bは、輝度B Aの1.3～1.5倍である。このような輝度の増加は、第1電極部E L 1と第2電極部E L 2との境界付近において、第3方向Zに対して斜めに配向した液晶分子L Mによってもたらされるものである。

なお、画素電極P E 1と第1電極部E L 1との間、及び、画素電極P E 1と第2電極部E L 2との間において、液晶分子L Mが第3方向Zに沿って配向した領域では、画素P X 3と同等の輝度B Aが得られる。

したがって、画素P X 1及び画素P X 3に同一輝度の光が伝播された場合には、画素P X 1における散乱光の輝度は、画素P X 3における散乱光の輝度より大きくなる。

[0042] 図12は、画素P X 2における電界分布及び液晶分子の配向状態を模式的に示す図である。画素P X 2に電圧が印加された際には、画素電極P E 2と第1共通電極C E 1の第3電極部E L 3との間、及び、画素電極P E 2と第2共通電極C E 2の第4電極部E L 4との間にそれぞれ電界が形成される。第3電極部E L 3と第4電極部E L 4との境界付近では、等電位面は、X-Y平面に対して傾斜する。第3電極部E L 3と第4電極部E L 4との境界付近では、傾斜した等電位面の影響を受けて、液晶分子L Mは、第3方向Zに対して斜めに配向している。画素電極P E 2と第3電極部E L 3との間、及び、画素電極P E 2と第4電極部E L 4との間においては、液晶分子L Mは、第3方向Zに沿うように配向している。

[0043] 図7を参照して説明したように、画素P X 2における第3開口部A P 3の個数は、画素P X 1における第1開口部A P 1の個数よりも多い。つまり、第3電極部E L 3と第4電極部E L 4との境界の個数は、第1電極部E L 1と第2電極部E L 2との境界の個数よりも多い。このため、画素P X 2において輝度が増加する領域は、画素P X 1において輝度が増加する領域より大きい。したがって、画素P X 1及び画素P X 2に同一輝度の光が伝播された場合には、画素P X 2における散乱光の輝度は、画素P X 1における散乱光

の輝度より大きくなる。

[0044] 本実施形態の表示装置DSPは、発光素子LDからの光L1が第2基板SUB2の側面20Cから入射し、表示パネルPNLを伝播する方式である。このような表示装置DSPにおける輝度分布に着目すると、発光素子LDから離れるほど輝度が低下する傾向にある。

画素PX1に伝播される光の輝度を第1輝度と称し、画素PX1より発光素子LDに近接する画素PX3に伝播される光の輝度を第3輝度と称する。第1輝度は、第3輝度より低い。一方で、画素PX1における散乱光の輝度は、画素PX3における散乱光の輝度より大きい。このため、画素PX1及び画素PX3において、表示に寄与する光量を同等化することができる。

画素PX1より発光素子LDから離間した画素PX2に伝播される光の輝度を第2輝度と称する。第2輝度は、第1輝度より低い。一方で、画素PX2における散乱光の輝度は、画素PX1における散乱光の輝度より大きい。このため、画素PX1及び画素PX2において、表示に寄与する光量を同等化することができる。したがって、輝度の低下に伴う表示品位の低下を抑制することができる。

[0045] また、本実施形態によれば、第2共通電極CE2は、第1電極部EL1と重畳する第2開口部AP2を備えている。このため、第2共通電極CE2が光吸収性の透明電極であったとしても、第2開口部AP2を備えていない場合と比較して、電極面積を低減することができ、光吸収を抑制することができる。

[0046] [第2構成例]

図13は、第2構成例を示す断面図である。図13に示す第2構成例の第2基板SUB2は、図2に示した第1構成例の第2基板SUB2と比較して、透明層TLを備えた点で相違している。なお、図13では、第2基板SUB2及び液晶層LCを図示し、第1基板の図示を省略している。

[0047] 透明層TLは、第2電極部EL2と第2透明基板20との間に設けられている。透明層TLは、第2透明基板20及び第2電極部EL2にそれぞれ接

している。また、図示しないが、第2共通電極CE2の他の電極部と第2透明基板20との間にも同様の透明層TLが設けられている。なお、第2電極部EL2と透明層TLとの間に、他の部材が介在していてもよい。絶縁膜21は、第2電極部EL2及び透明層TLを覆っている。

透明層TLは、例えば、シロキサン系樹脂や、フッ素系樹脂などの透明な有機材料によって形成された絶縁層である。屈折率に関して、透明層TLの屈折率 n_{TL} は、第2透明基板20の屈折率 n_{20} より低い。なお、第1透明基板10の屈折率 n_{10} は、屈折率 n_{20} と同等である。例えば、屈折率 n_{10} 及び n_{20} は1.5程度であり、屈折率 n_{TL} は、1.0以上1.5以下である。

[0048] 第2透明基板20に入射した光のうち、第2電極部EL2に向かう光L11は、第2透明基板20と透明層TLとの界面で反射され、第2電極部EL2に到達しない。第2開口部APに向かう光L12は、絶縁膜21を透過して液晶層LCに入射する。

[0049] このような第2構成例によれば、第1構成例と同様の効果が得られる。また、第2共通電極CE2の光吸収性が絶縁膜21の光吸収性より高い場合であったとしても、第2共通電極CE2での光L11の吸収を抑制することができ、発光素子LDからの光の利用効率の低下を抑制することができる。

[0050] [第3構成例]

図14は、第3構成例を示す断面図である。図14に示す第3構成例の第2基板SUB2は、図13に示した第2構成例の第2基板SUB2と比較して、第2開口部AP2において絶縁膜21と第2透明基板20との間に透明層TLを備えた点で相違している。なお、図14では、第2基板SUB2及び液晶層LCを図示し、第1基板の図示を省略している。透明層TLは、絶縁膜21及び第2透明基板20にそれぞれ接している。また、図示しないが、第2共通電極CE2の他の開口部にも同様の透明層TLが設けられている。透明層TLの材料は、第2構成例で説明したのと同様の材料が適用可能である。透明層TLの屈折率は、第2透明基板20の屈折率より低い。

[0051] 第2透明基板20に入射した光のうち、第2開口部AP2に向かう光L21は、第2透明基板20と透明層TLとの界面で反射され、第2開口部AP2を介して絶縁膜21に到達しない。第2電極部EL2に向かう光L22は、第2電極部EL2を透過して液晶層LCに入射する。

[0052] このような第3構成例によれば、第1構成例と同様の効果が得られる。また、絶縁膜21の光吸収性が第2共通電極CE2の光吸収性より高い場合であったとしても、絶縁膜21での光L21の吸収を抑制することができ、発光素子LDからの光の利用効率の低下を抑制することができる。

[0053] [第4構成例]

図15は、第4構成例を示す断面図である。図15に示す第4構成例の表示パネルPNLは、図2に示した第1構成例の表示パネルPNLと比較して、第2共通電極CE2が開口部を有していない点で相違している。すなわち、第2共通電極CE2は、第1開口部AP1及び第1電極部EL1と重畳している。

このような第4構成例においても、第1構成例と同様に、画素PXに電圧が印加された際には、第1電極部EL1のエッジE1付近で散乱光の輝度が増加する。したがって、第4構成例において、第1構成例と同様の効果が得られる。

[0054] [給電構造]

図16は、第1共通電極CE1及び第2共通電極CE2に電圧を印加するための給電構造を示す断面図である。

[0055] 第1基板SUB1は、コモン電圧(Vcom)を供給する給電線FLと、給電線FLと電氣的に接続された給電パッドPDと、を備えている。給電線FLは、例えば走査線Gあるいは信号線Sと同一材料によって形成されている。給電パッドPDは、例えば画素電極PEと同一材料によって形成されている。給電線FL及び給電パッドPDは、非表示部NDAに設けられている。図16に示した例では、給電線FLは、延出部Exに設けられている。給電パッドPDは、絶縁膜11及び12を貫通する貫通孔CH1において給電

線FLに接している。給電パッドPDは、配向膜AL1から露出している。

[0056] 第2基板SUB2において、第1共通電極CE1は、給電パッドPDと重畳する第1接続部CN1を備えている。第1接続部CN1は、第1電極部EL1などの各電極部と一体的に形成されている。第2共通電極CE2は、第1接続部CN1と重畳する第2接続部CN2を備えている。第2接続部CN2は、第2電極部EL2などの各電極部と一体的に形成されている。第1接続部CN1は、絶縁膜21を貫通する貫通孔CH2において第2接続部CN2に接している。これにより、第1接続部CN1及び第2接続部CN2は、互いに電氣的に接続される。

[0057] 接続部材CMは、給電パッドPD及び第1接続部CN1にそれぞれ接している。これにより、給電パッドPD及び第1接続部CN1は、互いに電氣的に接続される。このような接続部材CMは、例えば金メッキなどが施された導電粒子であり、シールSEに含まれている。つまり、給電パッドPD及び第1接続部CN1は、シールSEが設けられる領域に配置され、第1基板SUB1及び第2基板SUB2が接着される際に、接続部材CMによって互いに電氣的に接続される。

[0058] このような給電構造によれば、給電線FLにコモン電圧が供給された際に、給電パッドPD、接続部材CM、及び、第1接続部CN1を介して第1共通電極CE1にコモン電圧を印加することができるとともに、第2接続部CN2を介して第2共通電極CE2にも同一のコモン電圧を印加することができる。

[0059] [第5構成例]

図17は、第5構成例を示す断面図である。図17に示す第5構成例の表示パネルPNLは、図7に示した第1構成例の表示パネルPNLと比較して、画素電極が2層化された点で相違している。なお、共通電極CEは、単層であり、図17に示した例では、配向膜AL2と絶縁膜21との間に設けられている。但し、第5構成例においても、図7に示したように、第1共通電極CE1及び第2共通電極CE2が設けられていてもよい。

[0060] 画素P X 1は、スイッチング素子SW 1と、スイッチング素子SW 1と電氣的に接続された第1画素電極PE 1 1及び第2画素電極PE 1 2と、を備えている。第1画素電極PE 1 1は、絶縁膜1 2と液晶層LCとの間に設けられ、配向膜AL 1によって覆われている。第2画素電極PE 1 2は、第1透明基板1 0と絶縁膜1 2との間に設けられている。第2画素電極PE 1 2は、絶縁膜1 1の貫通孔CH 1 1においてスイッチング素子SW 1と電氣的に接続されている。第1画素電極PE 1 1は、絶縁膜1 2の貫通孔CH 1 2において第2画素電極PE 1 2に接している。このため、第1画素電極PE 1 1及び第2画素電極PE 1 2は、同電位である。

画素P X 2においても同様に、第3画素電極PE 1 3は絶縁膜1 2と液晶層LCとの間に設けられ、第4画素電極PE 1 4は第1透明基板1 0と絶縁膜1 2との間に設けられている。第3画素電極PE 1 3及び第4画素電極PE 1 4は、スイッチング素子SW 2と電氣的に接続され、同電位である。

画素P X 3においても同様に、第5画素電極PE 1 5は絶縁膜1 2と液晶層LCとの間に設けられ、第6画素電極PE 1 6は第1透明基板1 0と絶縁膜1 2との間に設けられている。第5画素電極PE 1 5及び第6画素電極PE 1 6は、スイッチング素子SW 3と電氣的に接続され、同電位である。

[0061] 画素P X 1において、第1画素電極PE 1 1は、第1開口部AP 1 1と、第1開口部AP 1 1を規定する第1電極部EL 1 1と、を備えている。第1開口部AP 1 1は、第2方向Yに沿って幅W 3 1を有している。第1電極部EL 1 1は、第2方向Yに沿って幅W 3 2を有している。第2画素電極PE 1 2は、第2開口部AP 1 2と、第2開口部AP 1 2を規定する第2電極部EL 1 2と、を備えている。第2開口部AP 1 2は第1電極部EL 1 1と重畳し、第2電極部EL 1 2は第1開口部AP 1 1と重畳している。第2開口部AP 1 2の幅は幅W 3 2と同等であり、第2電極部EL 1 2の幅は幅W 3 1と同等である。共通電極CEは、第1電極部EL 1 1及び第2電極部EL 1 2と重畳している。

[0062] 画素P X 2において、第3画素電極PE 1 3は、第3開口部AP 1 3と、

第3開口部AP13を規定する第3電極部EL13と、を備えている。第3開口部AP13は、第2方向Yに沿って、幅W31とは異なる幅W41を有している。第3電極部EL13は、第2方向Yに沿って、幅W32とは異なる幅W42を有している。

第4画素電極PE14は、第4開口部AP14と、第4開口部AP14を規定する第4電極部EL14と、を備えている。第4開口部AP14は第3電極部EL13と重畳し、第4電極部EL14は第3開口部AP13と重畳している。第4開口部AP14の幅は幅W42と同等であり、第4電極部EL14の幅は幅W41と同等である。共通電極CEは、第3電極部EL13及び第4電極部EL14と重畳している。

[0063] 第1画素電極PE11は、第2方向Yに沿って、発光素子LDと第3画素電極PE13との間に設けられている。第1開口部AP11は、第2方向Yに沿って、発光素子LDと第3開口部AP13との間に設けられている。第3開口部AP13の幅W41は、第1開口部AP11の幅W31より小さい。また、第1電極部EL11は、第2方向Yに沿って、発光素子LDと第3電極部EL13との間に設けられている。第3電極部EL13の幅W42は、第1電極部EL11の幅W32より小さい。

[0064] 第3画素電極PE13における第3開口部AP13の個数は、第1画素電極PE11における第1開口部AP11の個数よりも多い。また、第3開口部AP13を規定する第3電極部EL13のエッジの本数は、第1開口部AP11を規定する第1電極部EL11のエッジの本数よりも多い。つまり、第3画素電極PE13は、第1画素電極PE11よりも細分化されている。

[0065] このような第5構成例においても、上記の第1構成例と同様の効果が得られる。

[0066] [給電構造]

図18は、図17に示した共通電極CEに電圧を印加するための給電構造を示す断面図である。

第1基板SUB1は、コモン電圧(Vcom)を供給する給電線FLと、

給電線FLと電氣的に接続された接続部CNと、接続部CNと電氣的に接続された給電パッドPDと、を備えている。給電線FLは、例えば走査線Gあるいは信号線Sと同一材料によって形成されている。接続部CNは、例えば第2画素電極PE12と同一材料によって形成されているが、第2画素電極PE12とは電氣的に絶縁されている。給電パッドPDは、例えば第1画素電極PE11と同一材料によって形成されているが、第1画素電極PE11とは電氣的に絶縁されている。給電線FL、接続部CN、及び、給電パッドPDは、非表示部NDAに設けられている。接続部CNは給電線FLに接し、給電パッドPDは絶縁膜12を貫通する貫通孔CH3において接続部CNに接している。給電パッドPDは、配向膜AL1から露出している。

共通電極CEは、非表示部NDAにおいて、給電パッドPDと重畳している。シールSEに含まれる接続部材CMは、給電パッドPD及び共通電極CEにそれぞれ接している。これにより、給電パッドPD及び共通電極CEは、互いに電氣的に接続される。

このような給電構造によれば、給電線FLにコモン電圧が供給された際に、接続部CN、給電パッドPD、及び、接続部材CMを介して共通電極CEにコモン電圧を印加することができる。

[0067] 本実施形態において、上記の第1構成例では、第2透明基板20が透明基板に相当し、第1共通電極CE1が第1透明電極に相当し、第2共通電極CE2が第2透明電極に相当する。第5構成例では、第1透明基板10が透明基板に相当し、第1画素電極PE11が第1透明電極に相当し、第2画素電極PE12が第2透明電極に相当する。

[0068] 以上説明したように、本実施形態によれば、表示品位の低下を抑制することが可能な表示装置を提供することができる。

[0069] なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行

うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

[0070] 本明細書にて開示した構成から得られる表示装置の一例を以下に付記する。

(1)

第1透明基板と、スイッチング素子と、前記スイッチング素子と電氣的に接続された画素電極と、を備えた第1基板と、

第2透明基板と、第1共通電極と、前記第1共通電極と同電位の第2共通電極と、前記第1共通電極と前記第2共通電極との間に設けられた絶縁膜と、を備えた第2基板と、

前記第1基板と前記第2基板との間に設けられ、ポリマー及び液晶分子を含む液晶層と、を備え、

前記第1共通電極は、前記液晶層と前記絶縁膜との間に設けられ、第1開口部と、第1電極部と、を備え、

前記第2共通電極は、前記絶縁膜と前記第2透明基板との間に設けられ、前記第1開口部と重畳する第2電極部を備えている、表示装置。

(2)

前記第2共通電極は、前記第1電極部と重畳する第2開口部を備えている、(1)に記載の表示装置。

(3)

前記第1共通電極は、第3開口部と、第3電極部と、を備え、

前記第2共通電極は、前記第3開口部と重畳する第4電極部を備え、

前記第3開口部の幅は、前記第1開口部の幅とは異なる、(1)または(2)に記載の表示装置。

(4)

前記第2共通電極は、前記第3電極部と重畳する第4開口部を備えている、(3)に記載の表示装置。

(5)

発光素子を備え、

前記第2透明基板は、前記発光素子と対向する側面を備え、

前記第1開口部は、前記発光素子と前記第3開口部との間に設けられ、

前記第3開口部の幅は、前記第1開口部の幅より小さい、(3)または(4)に記載の表示装置。

(6)

前記第2基板は、前記第2電極部と前記第2透明基板との間に設けられた透明層を備え、

前記透明層は、前記第2透明基板に接し、前記第2透明基板より低い屈折率を有している、(1)乃至(5)のいずれか1項に記載の表示装置。

(7)

前記第2基板は、前記第2開口部において前記絶縁膜と前記第2透明基板との間に設けられた透明層を備え、

前記透明層は、前記第2透明基板に接し、前記第2透明基板より低い屈折率を有している、(2)に記載の表示装置。

(8)

前記第1基板は、給電パッドを備え、

前記第1共通電極は、前記給電パッドと重畳する第1接続部を備え、

前記第2共通電極は、前記第1接続部と重畳する第2接続部を備え、

前記第1接続部は、前記絶縁膜の貫通孔において前記第2接続部に接し、

前記給電パッドと前記第1接続部とを電氣的に接続する接続部材を備えている、(1)乃至(7)のいずれか1項に記載の表示装置。

(9)

前記第1基板と前記第2基板とを接着するシールを備え、

前記接続部材は、前記シールに含まれている、(8)に記載の表示装置。

(10)

第1透明基板と、スイッチング素子と、前記スイッチング素子と電氣的に

接続された第1画素電極及び第2画素電極と、前記第1画素電極と前記第2画素電極との間に設けられた絶縁膜と、を備えた第1基板と、

第2透明基板と、共通電極と、を備えた第2基板と、

前記第1基板と前記第2基板との間に設けられ、ポリマー及び液晶分子を含む液晶層と、を備え、

前記第1画素電極は、前記絶縁膜と前記液晶層との間に設けられ、第1開口部と、第1電極部と、を備え、

前記第2画素電極は、前記第1透明基板と前記絶縁膜との間に設けられ、前記第1開口部と重畳する第2電極部を備えている、表示装置。

(11)

前記第2画素電極は、前記第1電極部と重畳する第2開口部を備えている、(10)に記載の表示装置。

(12)

前記第1基板は、前記絶縁膜と前記液晶層との間に設けられた第3画素電極と、前記第1透明基板と前記絶縁膜との間に設けられ前記第3画素電極と同電位の第4画素電極と、を備え、

前記第3画素電極は、第3開口部と、第3電極部と、を備え、

前記第4画素電極は、前記第3開口部と重畳する第4電極部を備え、

前記第3開口部の幅は、前記第1開口部の幅とは異なる、(10)または(11)に記載の表示装置。

(13)

前記第4画素電極は、前記第3電極部と重畳する第4開口部を備えている、(12)に記載の表示装置。

(14)

発光素子を備え、

前記第2透明基板は、前記発光素子と対向する側面を備え、

前記第1開口部は、前記発光素子と前記第3開口部との間に設けられ、

前記第3開口部の幅は、前記第1開口部の幅より小さい、(12)または

(13)に記載の表示装置。

(15)

前記第2画素電極は、前記絶縁膜の貫通孔において前記第1画素電極に接している、(10)乃至(14)のいずれか1項に記載の表示装置。

(16)

第1基板と、

第2基板と、

前記第1基板と前記第2基板との間に設けられ、ポリマー及び液晶分子を含む液晶層と、

前記第2基板の側面と対向する発光素子と、を備え、

前記第1基板または前記第2基板は、透明基板と、第1透明電極と、前記第1透明電極と同電位の第2透明電極と、前記第1透明電極と前記第2透明電極との間に設けられた絶縁膜と、を備え、

前記第1透明電極及び前記第2透明電極はそれぞれ、複数の開口部を有し、

前記第1透明電極の開口部と、前記第2透明電極の開口部とは互いに重畳せず、

前記第1透明電極は、第1開口部と、第3開口部と、を備え、

前記第1開口部は、前記発光素子と第3開口部との間に設けられ、前記第3開口部より大きい幅を有する、表示装置。

符号の説明

- [0071] D S P …表示装置 P N L …表示パネル L D …発光素子
 S U B 1 …第1基板 S U B 2 …第2基板
 L C …液晶層 3 1 …ポリマー 3 2 …液晶分子
 P E …画素電極 C E …共通電極
 1 0 …透明基板 2 0 …透明基板

請求の範囲

- [請求項1] 第1透明基板と、スイッチング素子と、前記スイッチング素子と電気的に接続された画素電極と、を備えた第1基板と、
- 第2透明基板と、第1共通電極と、前記第1共通電極と同電位の第2共通電極と、前記第1共通電極と前記第2共通電極との間に位置する絶縁膜と、を備えた第2基板と、
- 前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、を備え、
- 前記第1共通電極は、前記液晶層と前記絶縁膜との間に位置し、第1開口部と、第1電極部と、を備え、
- 前記第2共通電極は、前記絶縁膜と前記第2透明基板との間に位置し、前記第1開口部と重畳する第2電極部を備えている、表示装置。
- [請求項2] 前記第2共通電極は、前記第1電極部と重畳する第2開口部を備えている、請求項1に記載の表示装置。
- [請求項3] 前記画素電極は、前記第1開口部及び前記第2開口部に重畳する、請求項2に記載の表示装置。
- [請求項4] 前記第1開口部の幅は、前記第2電極部の幅と同等であり、
- 前記第2開口部の幅は、前記第1電極部の幅と同等である、請求項2に記載の表示装置。
- [請求項5] 前記第1共通電極は、第3開口部と、第3電極部と、を備え、
- 前記第2共通電極は、前記第3開口部と重畳する第4電極部を備え、
- 前記第3開口部の幅は、前記第1開口部の幅とは異なる、請求項1に記載の表示装置。
- [請求項6] 前記第2共通電極は、前記第3電極部と重畳する第4開口部を備えている、請求項5に記載の表示装置。
- [請求項7] 発光素子を備え、
- 前記第2透明基板は、前記発光素子と対向する側面を備え、

前記第 1 開口部は、前記発光素子と前記第 3 開口部との間に位置し、
前記第 3 開口部の幅は、前記第 1 開口部の幅より小さい、請求項 5 に記載の表示装置。

[請求項 8] 前記第 2 基板は、前記第 2 電極部と前記第 2 透明基板との間に位置する透明層を備え、
前記透明層は、前記第 2 透明基板に接し、前記第 2 透明基板より低い屈折率を有している、請求項 1 に記載の表示装置。

[請求項 9] 前記第 2 基板は、前記第 2 開口部において前記絶縁膜と前記第 2 透明基板との間に位置する透明層を備え、
前記透明層は、前記第 2 透明基板に接し、前記第 2 透明基板より低い屈折率を有している、請求項 2 に記載の表示装置。

[請求項 10] 前記第 1 基板は、給電パッドを備え、
前記第 1 共通電極は、前記給電パッドと重畳する第 1 接続部を備え、
前記第 2 共通電極は、前記第 1 接続部と重畳する第 2 接続部を備え、
前記第 1 接続部は、前記絶縁膜の貫通孔において前記第 2 接続部に接し、
前記給電パッドと前記第 1 接続部とを電氣的に接続する接続部材を備えている、請求項 1 に記載の表示装置。

[請求項 11] 前記第 1 基板と前記第 2 基板とを接着するシールを備え、
前記接続部材は、前記シールに含まれている、請求項 10 に記載の表示装置。

[請求項 12] 第 1 透明基板と、スイッチング素子と、前記スイッチング素子と電氣的に接続された第 1 画素電極及び第 2 画素電極と、前記第 1 画素電極と前記第 2 画素電極との間に位置する絶縁膜と、を備えた第 1 基板と、

第2透明基板と、共通電極と、を備えた第2基板と、

前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、を備え、

前記第1画素電極は、前記絶縁膜と前記液晶層との間に位置し、第1開口部と、第1電極部と、を備え、

前記第2画素電極は、前記第1透明基板と前記絶縁膜との間に位置し、前記第1開口部と重畳する第2電極部を備えている、表示装置。

[請求項13] 前記第2画素電極は、前記第1電極部と重畳する第2開口部を備えている、請求項12に記載の表示装置。

[請求項14] 前記第1基板は、前記絶縁膜と前記液晶層との間に位置する第3画素電極と、前記第1透明基板と前記絶縁膜との間に位置し前記第3画素電極と同電位の第4画素電極と、を備え、

前記第3画素電極は、第3開口部と、第3電極部と、を備え、

前記第4画素電極は、前記第3開口部と重畳する第4電極部を備え、

前記第3開口部の幅は、前記第1開口部の幅とは異なる、請求項12に記載の表示装置。

[請求項15] 前記第4画素電極は、前記第3電極部と重畳する第4開口部を備えている、請求項14に記載の表示装置。

[請求項16] 発光素子を備え、

前記第2透明基板は、前記発光素子と対向する側面を備え、

前記第1開口部は、前記発光素子と前記第3開口部との間に位置し、

前記第3開口部の幅は、前記第1開口部の幅より小さい、請求項14に記載の表示装置。

[請求項17] 前記第2画素電極は、前記絶縁膜の貫通孔において前記第1画素電極に接している、請求項12に記載の表示装置。

[請求項18] 第1基板と、

第2基板と、

前記第1基板と前記第2基板との間に位置し、ポリマー及び液晶分子を含む液晶層と、

前記第2基板の側面と対向する発光素子と、を備え、

前記第1基板または前記第2基板は、透明基板と、第1透明電極と、前記第1透明電極と同電位の第2透明電極と、前記第1透明電極と前記第2透明電極との間に位置する絶縁膜と、を備え、

前記第1透明電極及び前記第2透明電極はそれぞれ、複数の開口部を有し、

前記第1透明電極の開口部と、前記第2透明電極の開口部とは互いに重畳せず、

前記第1透明電極は、第1開口部と、第3開口部と、を備え、

前記第1開口部は、前記発光素子と第3開口部との間に位置し、前記第3開口部より大きい幅を有する、表示装置。

[請求項19]

前記第1透明電極は、第1電極部を備え、

前記第2透明電極は、前記第1開口部に重畳する第2電極部と、前記第1電極部に重畳する第2開口部と、を備え、

前記第1開口部の幅は、前記第2電極部の幅と同等であり、

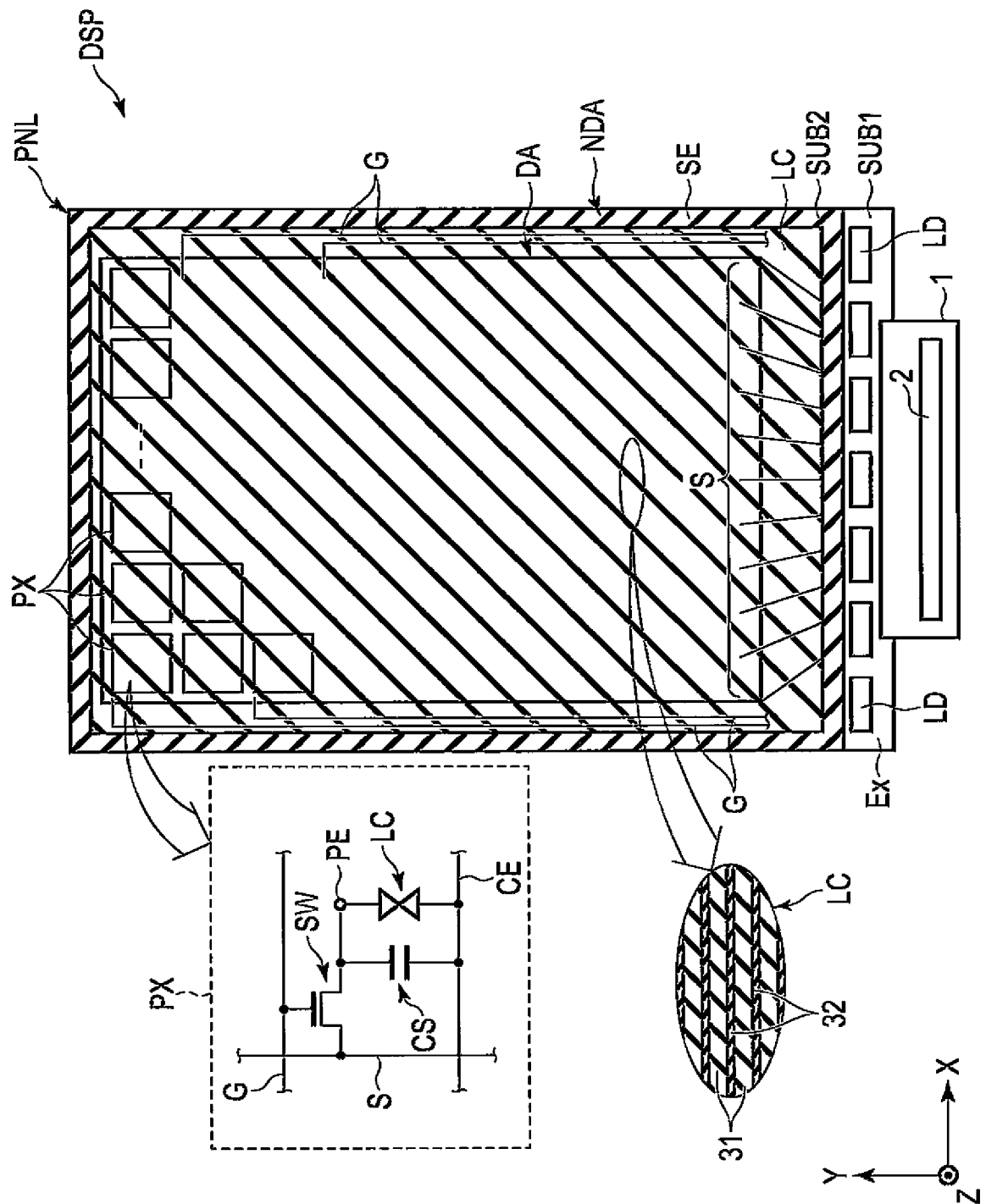
前記第2開口部の幅は、前記第1電極部の幅と同等である、請求項18に記載の表示装置。

[請求項20]

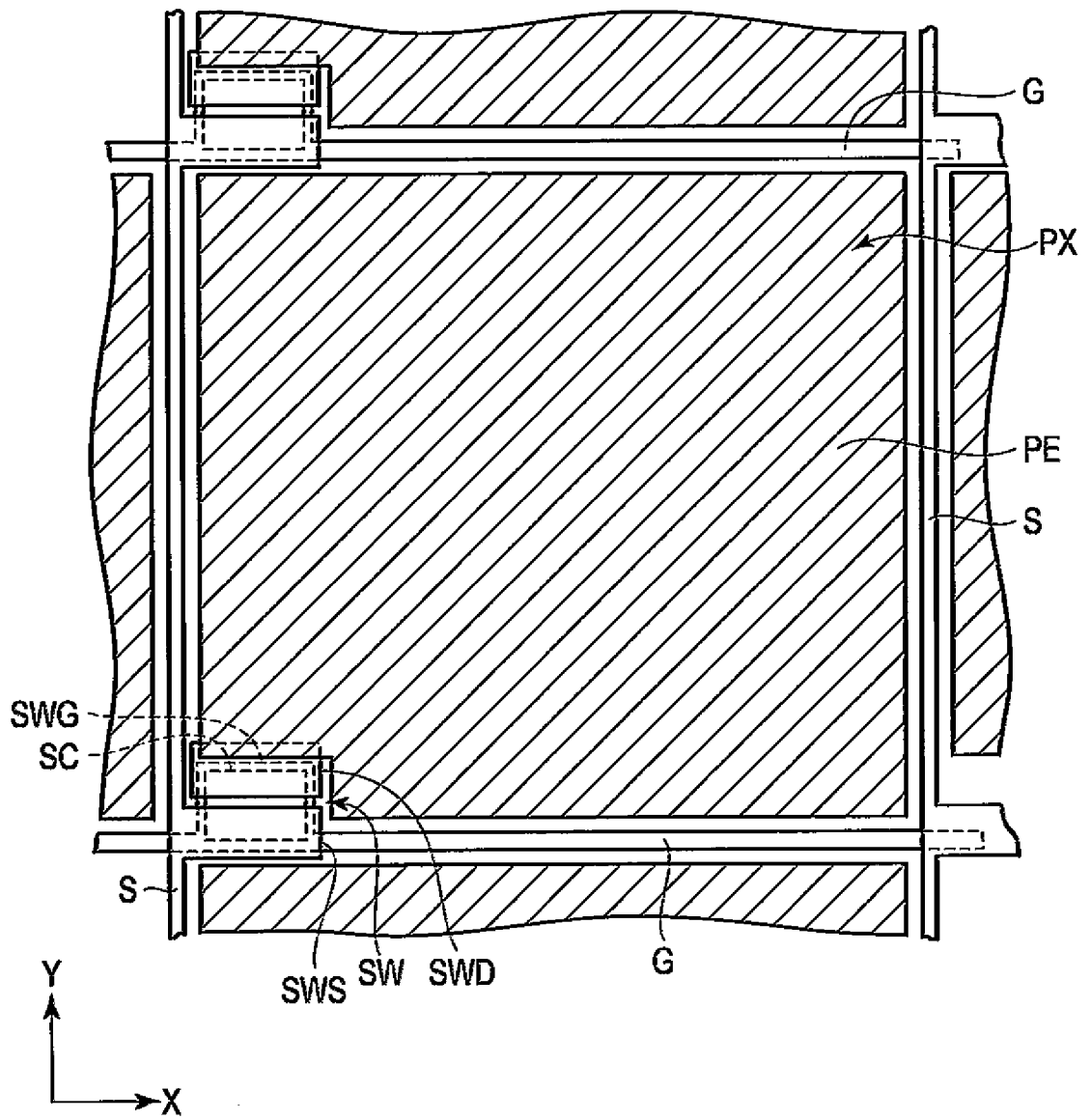
前記第2透明電極は、前記第1開口部に重畳する第2電極部と、前記第3開口部に重畳する第4電極部と、を備え、

前記第2電極部の幅は、前記第4電極部の幅より大きい、請求項18に記載の表示装置。

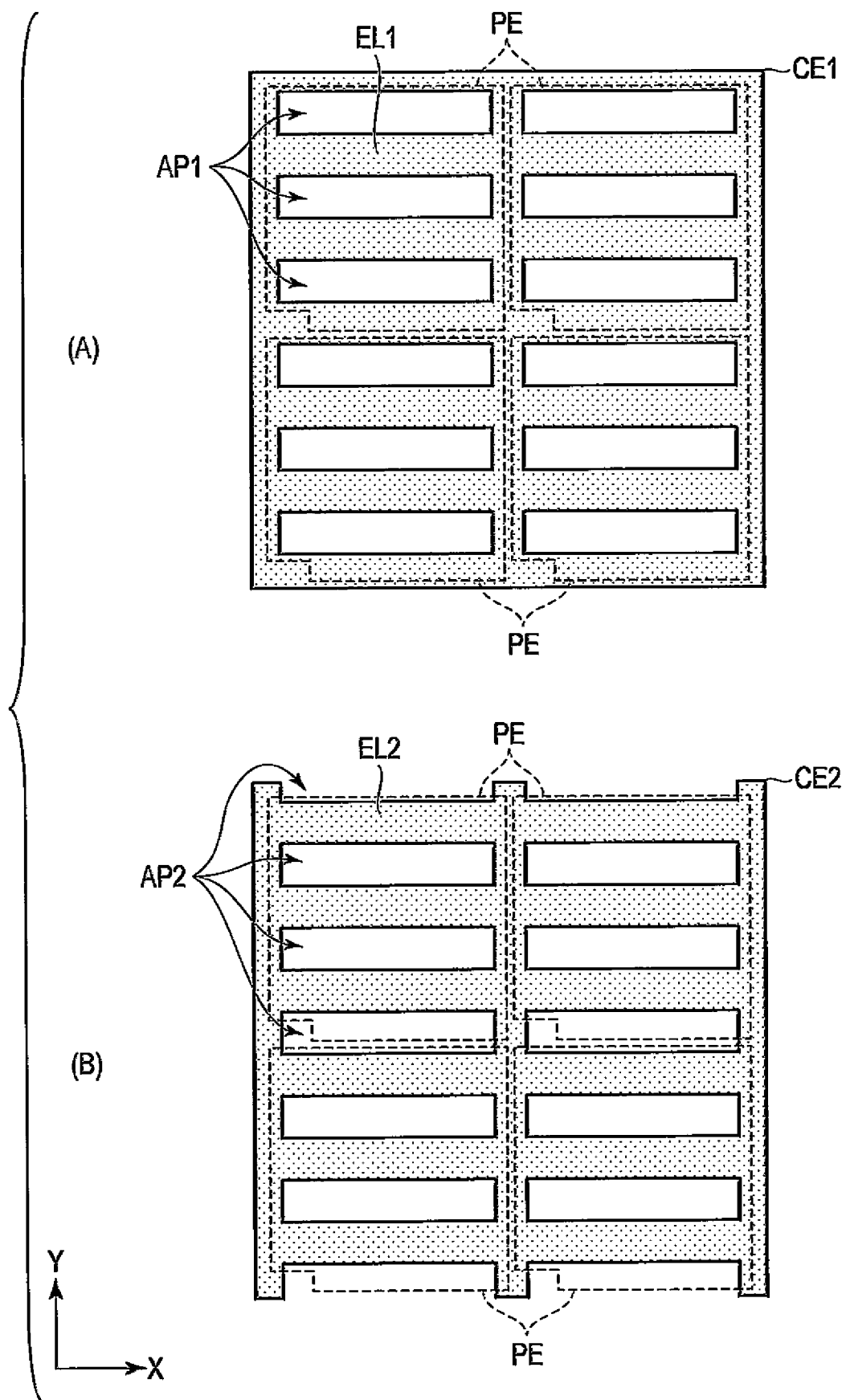
[図1]



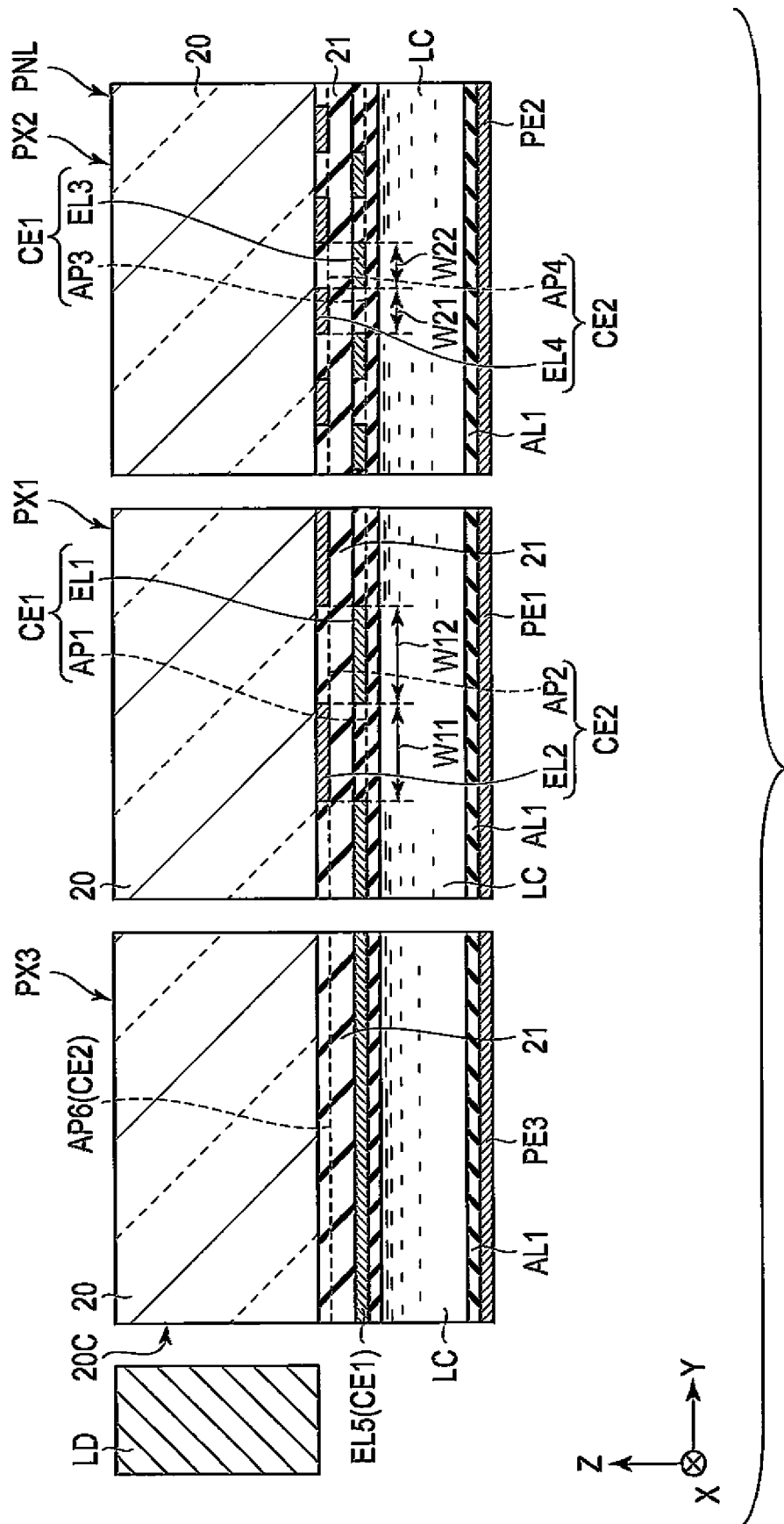
[図3]



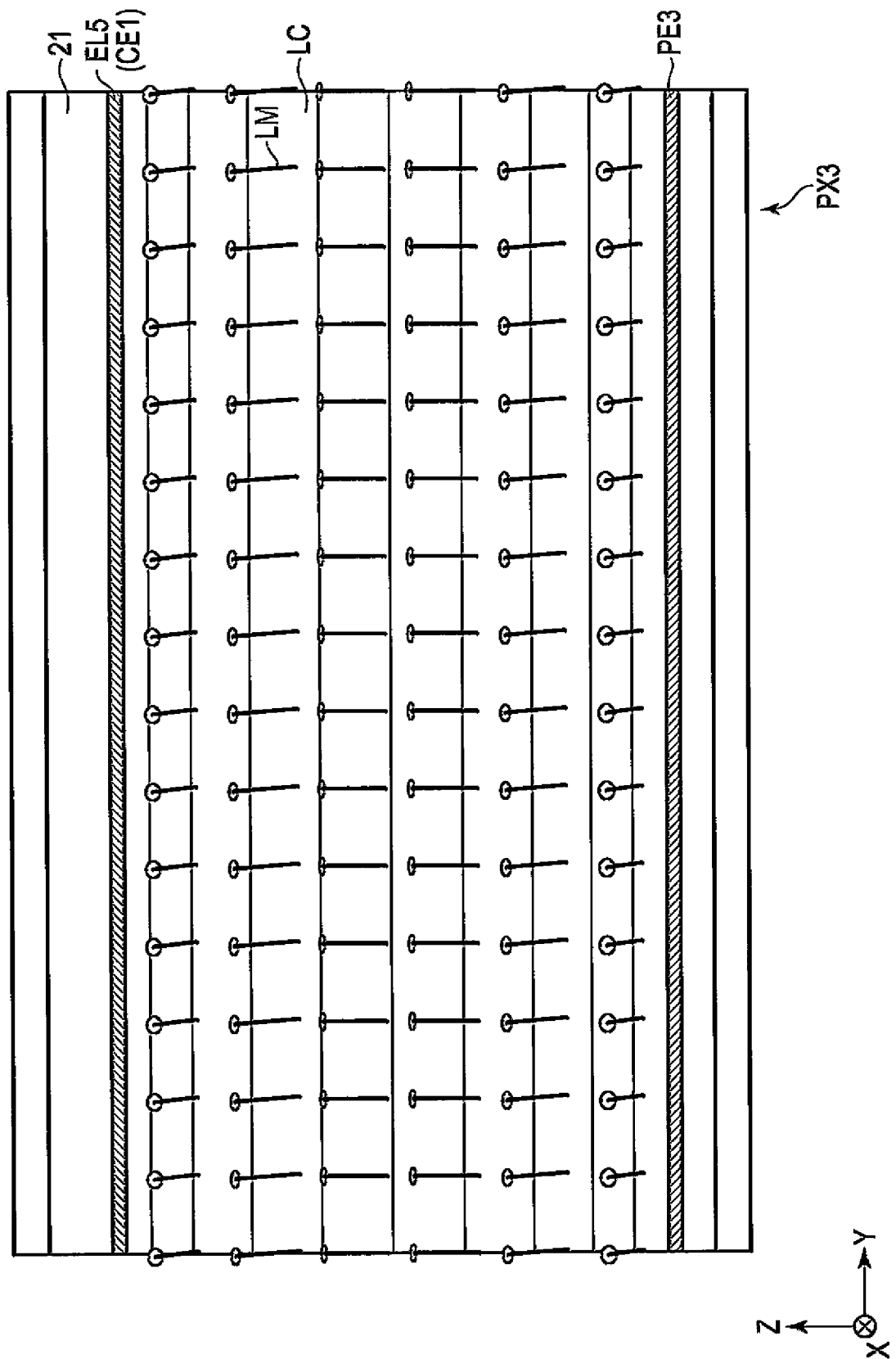
[図4]



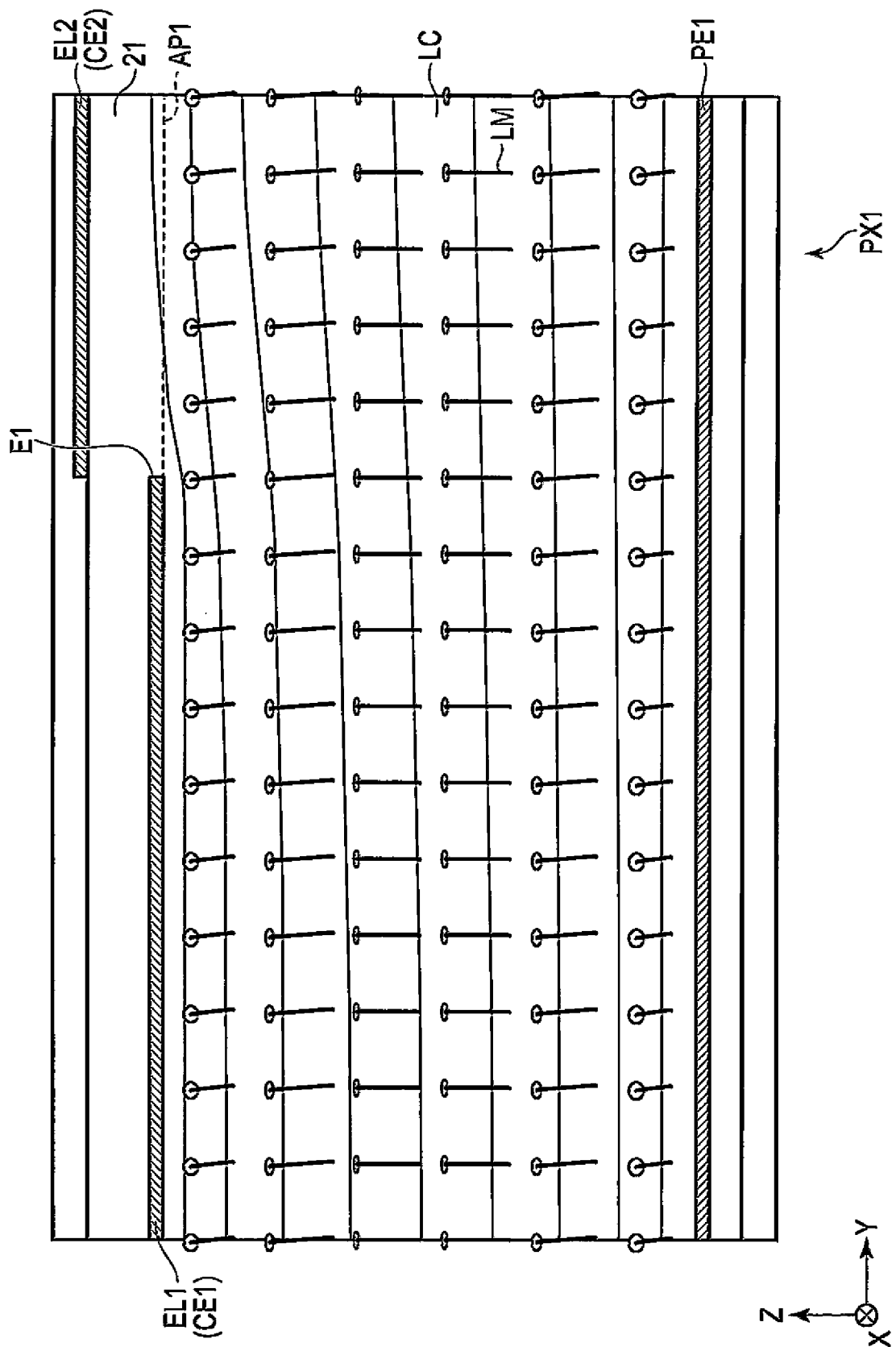
[図7]



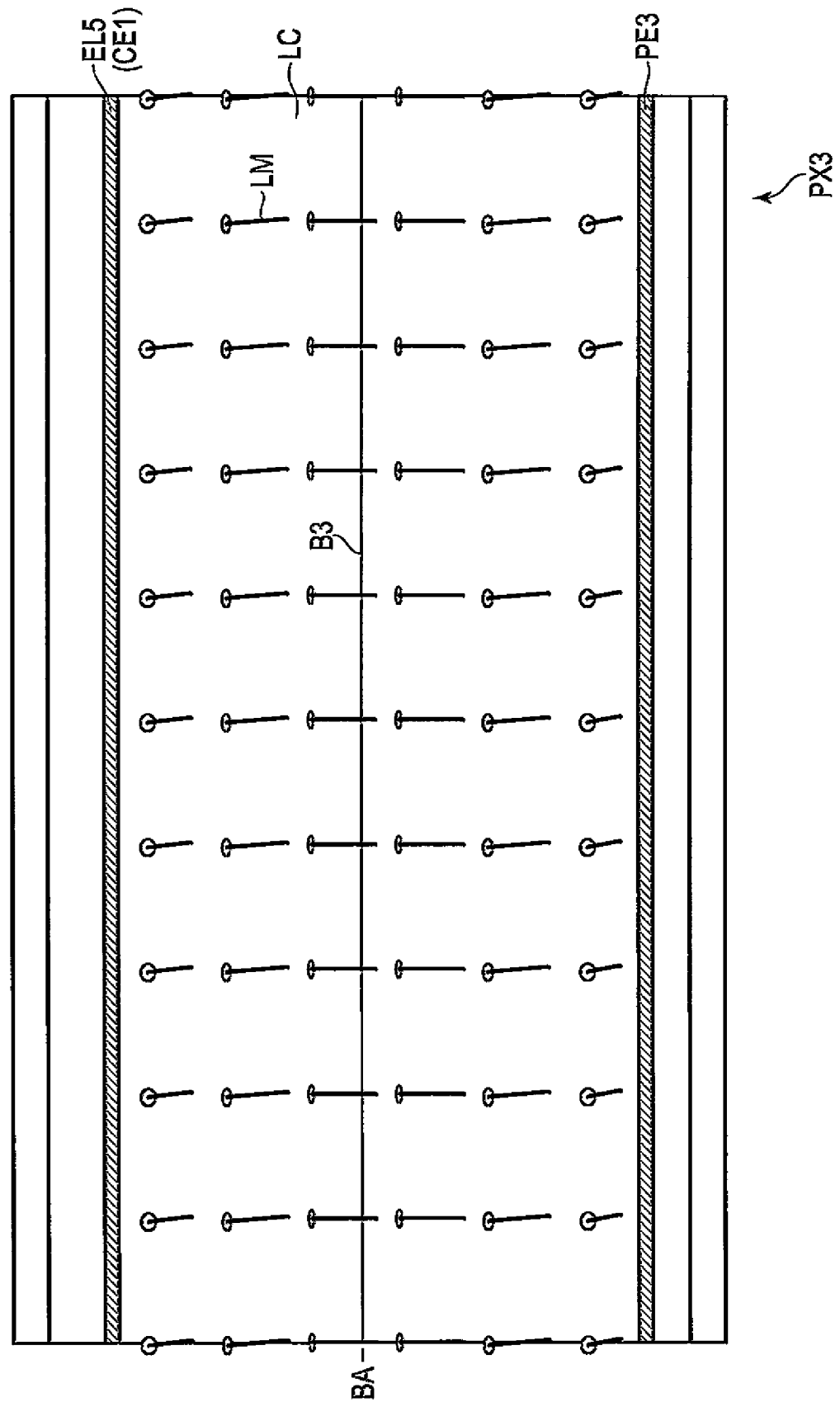
[図8]



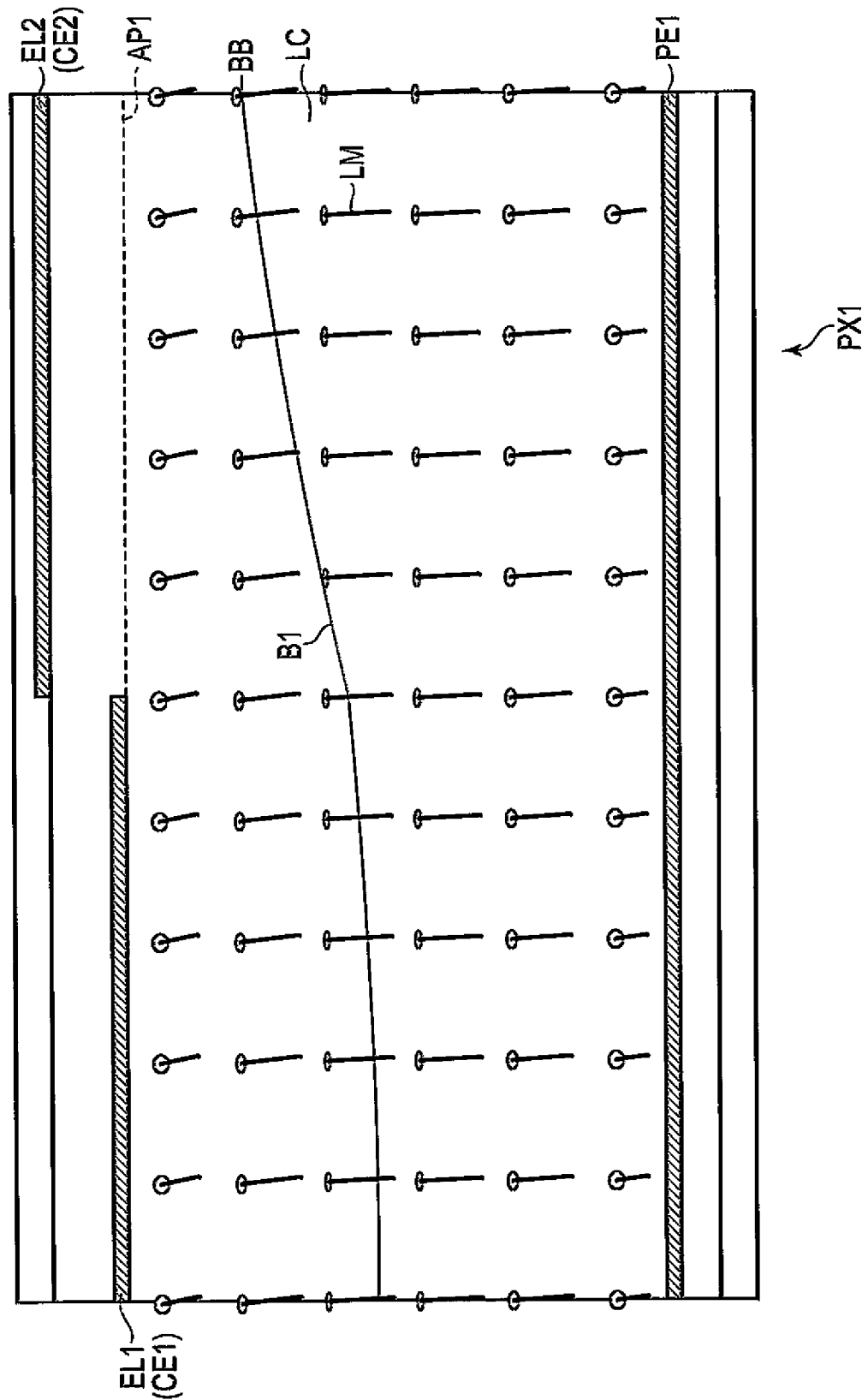
[図9]



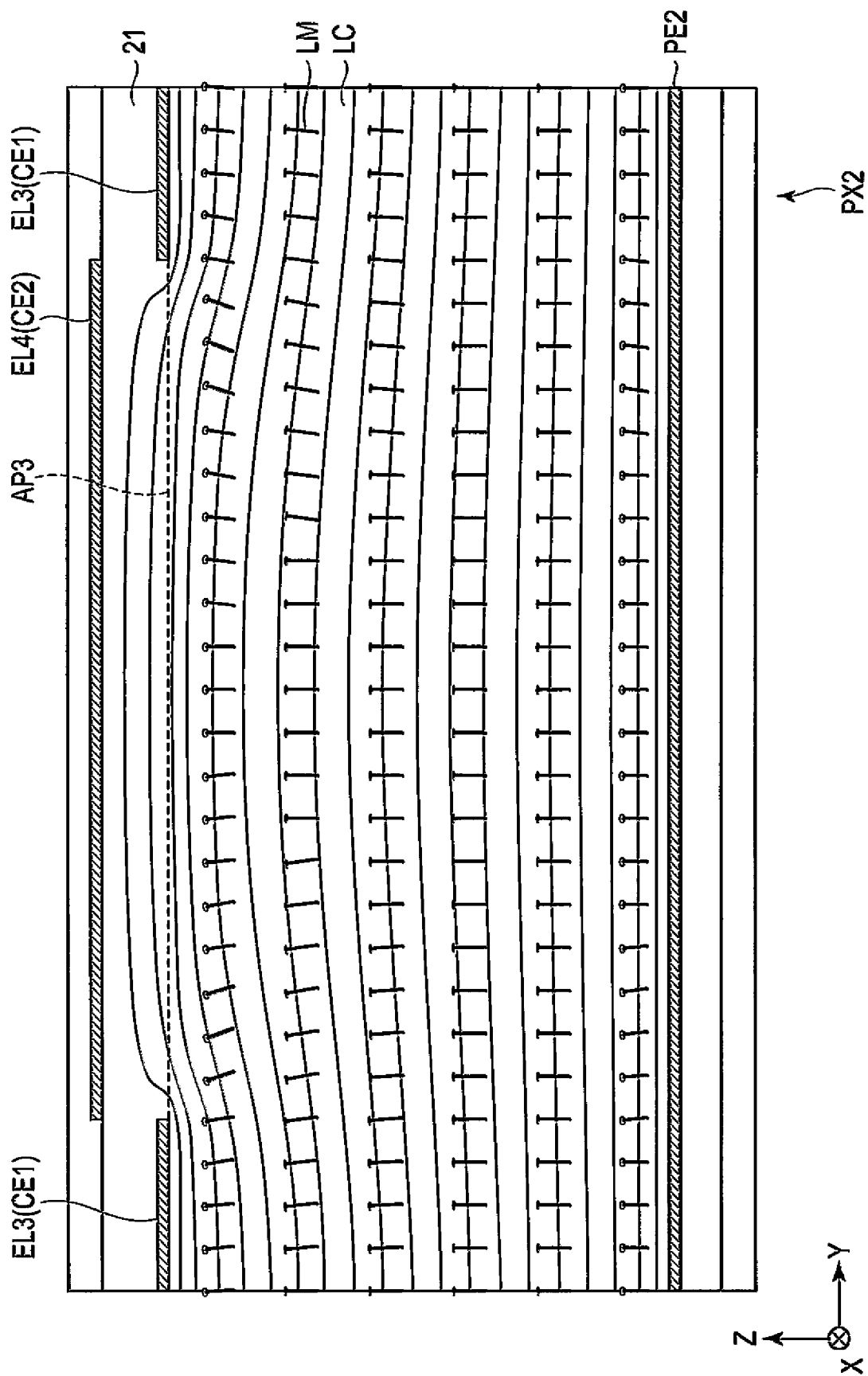
[図10]



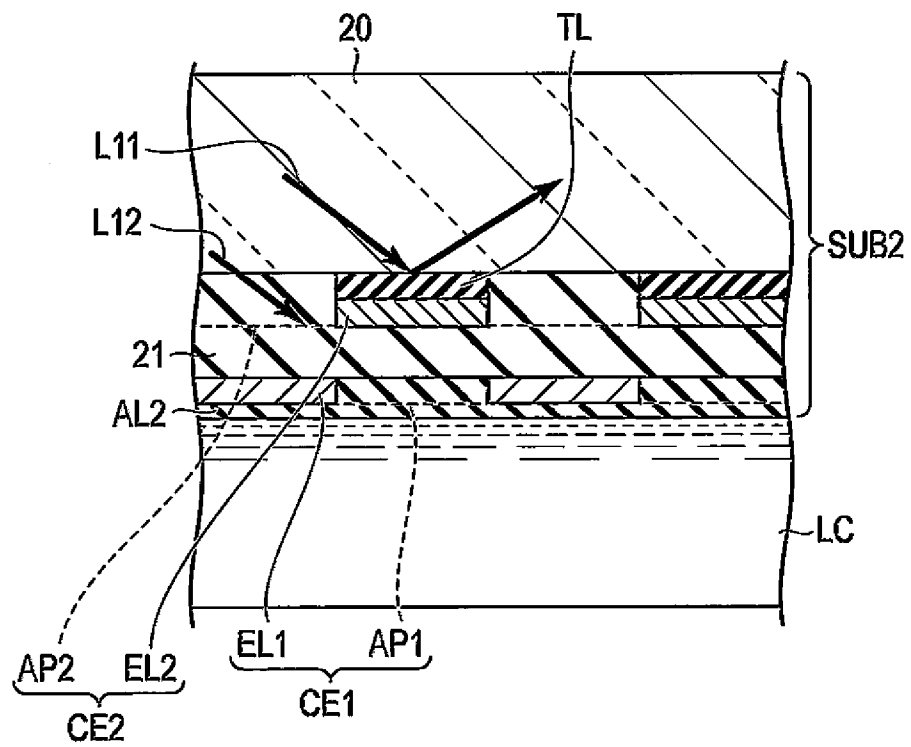
[図11]



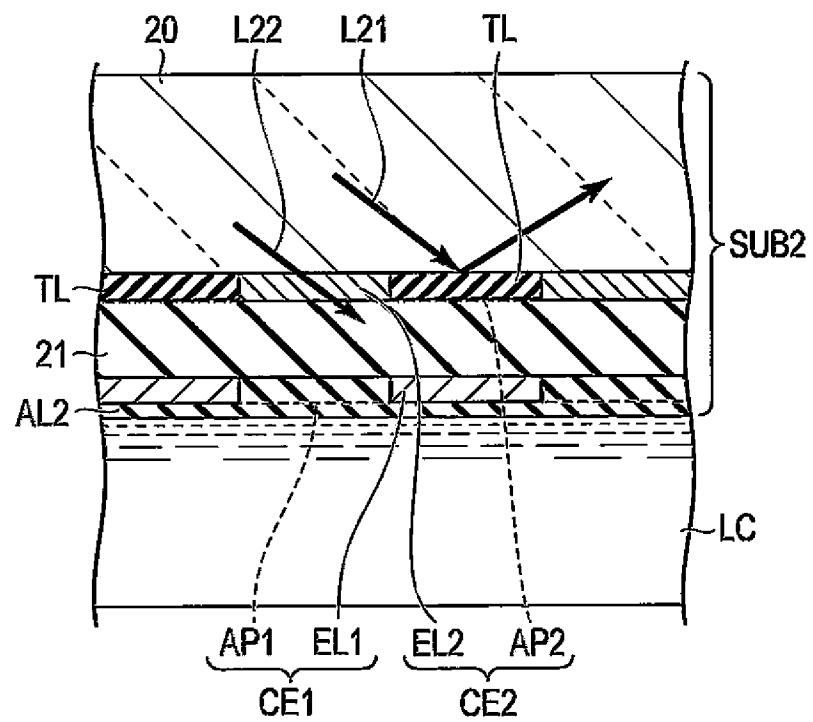
[図12]



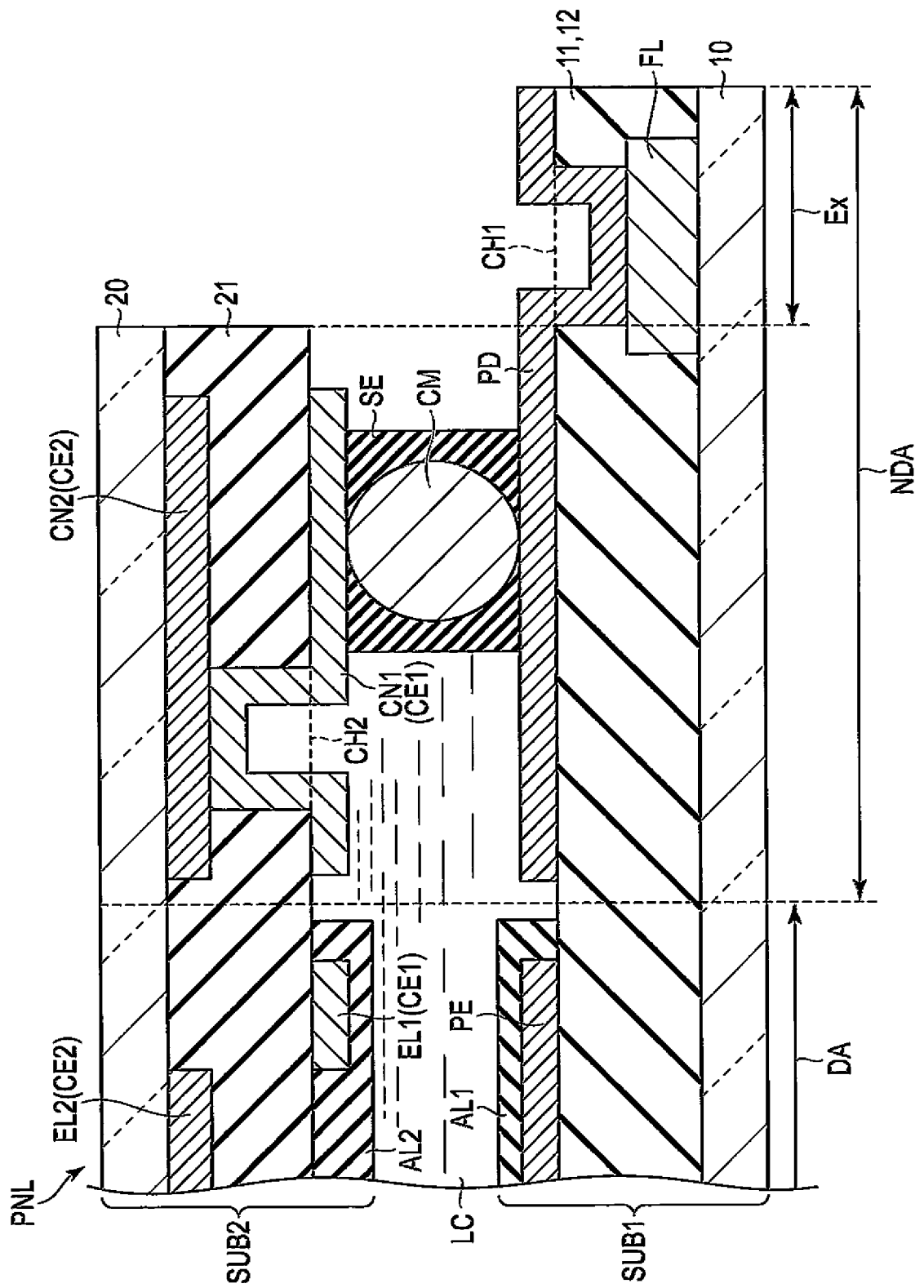
[図13]



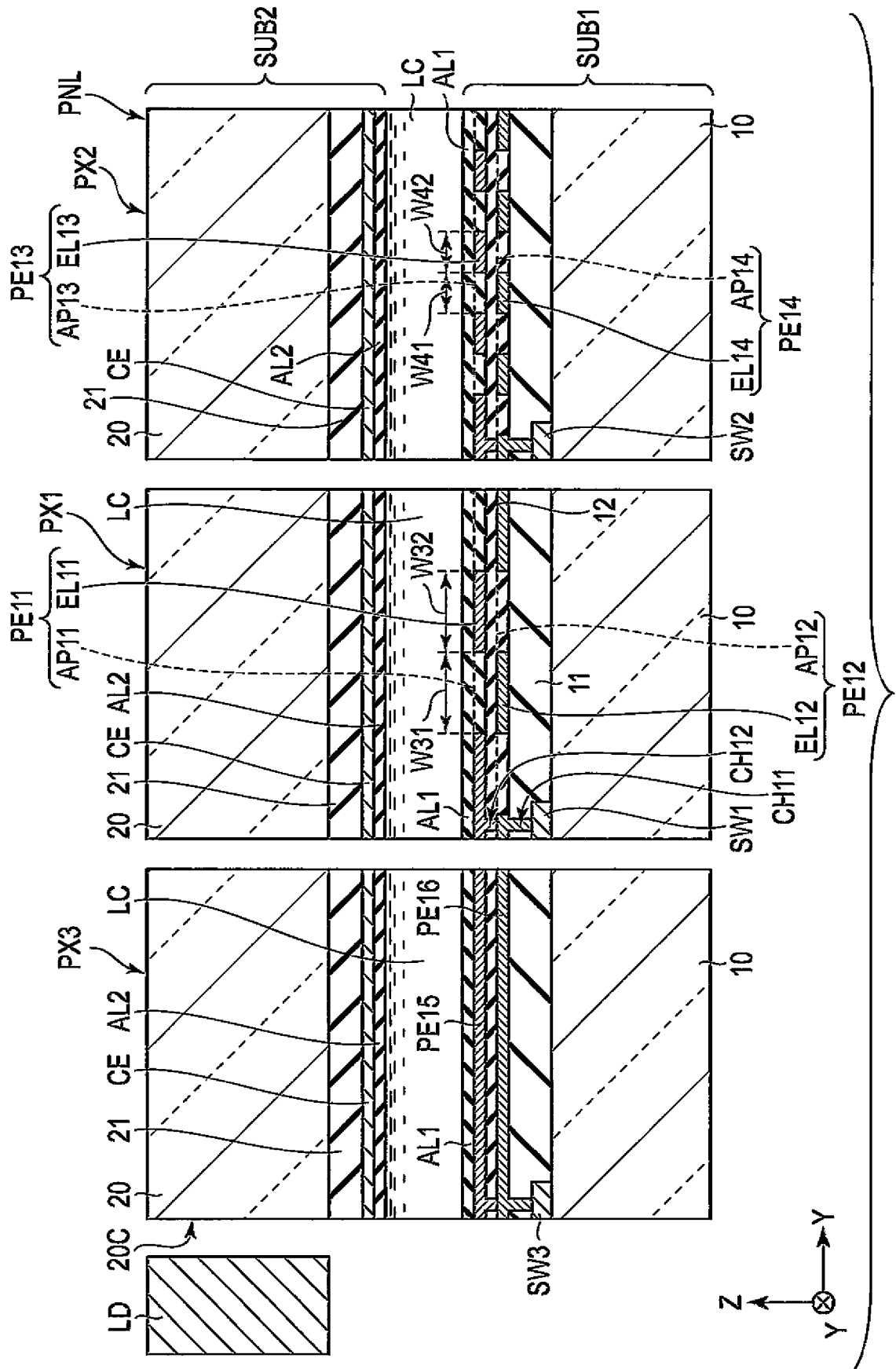
[図14]



[図16]



[図17]



[illegible]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/006510

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1343 (2006.01) i, G02F1/13357 (2006.01) i
FI: G02F1/1343, G02F1/13357

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/133-1/1334, 1/13357, 1/1339-1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Japio-GPG/FX

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2013-257522 A (ORTUS TECHNOLOGY CO., LTD.) 26 December 2013, paragraphs [0001], [0014]-[0045], fig. 2, 3, paragraphs [0001], [0014]-[0045], fig. 2, 3	12 13-17
X A	JP 2003-107438 A (CANON INC.) 09 April 2003, paragraphs [0001], [0127]-[0131], fig. 5, paragraphs [0001], [0127]-[0131], fig. 5	12, 13 14-17
A	JP 2016-57592 A (JAPAN DISPLAY INC.) 21 April 2016, paragraphs [0082]-[0088], fig. 10, 11	1-11, 18-20
A	JP 2016-48330 A (KYOCERA DISPLAY CORP.) 07 April 2016, paragraphs [0025]-[0039], fig. 1	1-11, 18-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
02.04.2020

Date of mailing of the international search report
14.04.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2020/006510**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-83179 A (SEIKO EPSON CORP.) 10 April 2008, paragraphs [0020]-[0035], [0043]-[0045], fig. 2, 3, 9	1-11, 18-20
A	JP 2003-107506 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 09 April 2003, paragraphs [0141]-[0148], fig. 23	1-11, 18-20
A	JP 5-289067 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 05 November 1993, paragraphs [0012]-[0045], fig. 6	14-20
A	JP 8-62586 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 08 March 1996, paragraphs [0015]-[0031], fig. 1	14-20
A	KR 10-2011-0111595 A (INDUSTRIAL COOPERATION FOUNDATION CHONBUK NATIONAL UNIVERSITY) 12 October 2011, paragraphs [0006]-[0063], fig. 2	14-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/006510

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2013-257522 A	26.12.2013	(Family: none)	
JP 2003-107438 A	09.04.2003	US 2002/0054251 A1 paragraphs [0002], [0153]-[0157], fig. 5A, 5B	
JP 2016-57592 A	21.04.2016	US 2016/0077389 A1 paragraphs [0093]- [0099], fig. 10, 11	
JP 2016-48330 A	07.04.2016	(Family: none)	
JP 2008-83179 A	10.04.2008	US 2008/0079856 A1 paragraphs [0037]- [0053], [0061]-[0063], fig. 1-3, 9	
JP 2003-107506 A	09.04.2003	US 2002/0105613 A1 paragraphs [0187]- [0195], fig. 23 WO 2002/050603 A1 KR 10-2002-0062859 A CN 1371016 A KR 10-2008-0002736 A SG 114524 A TW 544649 B	
JP 5-289067 A	05.11.1993	(Family: none)	
JP 8-62586 A	08.03.1996	(Family: none)	
KR 10-2011-0111595 A	12.10.2011	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/1343(2006.01)i; G02F 1/13357(2006.01)i FI: G02F1/1343; G02F1/13357		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G02F1/133-1/1334, 1/13357, 1/1339-1/1368		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） Japio-GPG/FX		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-257522 A（株式会社 オルタステクノロジー） 26.12.2013（2013-12-26） 段落[0001], [0014]-[0045], 図2, 3	12
A	段落[0001], [0014]-[0045], 図2, 3	13-17
X	JP 2003-107438 A（キヤノン株式会社） 09.04.2003（2003-04-09） 段落[0001], [0127]-[0131], 図5	12, 13
A	段落[0001], [0127]-[0131], 図5	14-17
A	JP 2016-57592 A（株式会社 ジャパンディスプレイ） 21.04.2016（2016-04-21） 段落[0082]-[0088], 図10, 11	1-11, 18-20
A	JP 2016-48330 A（京セラディスプレイ株式会社） 07.04.2016（2016-04-07） 段落[0025]-[0039], 図1	1-11, 18-20
A	JP 2008-83179 A（セイコーエプソン株式会社） 10.04.2008（2008-04-10） 段落[0020]-[0035], [0043]-[0045], 図2, 3, 9	1-11, 18-20
A	JP 2003-107506 A（松下電器産業株式会社） 09.04.2003（2003-04-09） 段落[0141]-[0148], 図23	1-11, 18-20
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 02.04.2020		国際調査報告の発送日 14.04.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 横井 亜矢子 2L 9706 電話番号 03-3581-1101 内線 3295

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 5-289067 A (松下電器産業株式会社) 05.11.1993 (1993 - 11 - 05) 段落[0012]-[0045], 図6	14-20
A	JP 8-62586 A (松下電器産業株式会社) 08.03.1996 (1996 - 03 - 08) 段落[0015]-[0031], 図1	14-20
A	KR 10-2011-0111595 A (INDUSTRIAL COOPERATION FOUNDATION CHONBUK NATIONAL UNIVERSITY) 12.10.2011 (2011 - 10 - 12) 段落[0006]-[0063], 図2	14-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/006510

引用文献			公表日	パテントファミリー文献	公表日
JP	2013-257522	A	26.12.2013	(ファミリーなし)	
JP	2003-107438	A	09.04.2003	US 2002/0054251 A1 段落[0002],[0153]-[0157], 図5A, 5B	
JP	2016-57592	A	21.04.2016	US 2016/0077389 A1 段落[0093]-[0099], 図10, 11	
JP	2016-48330	A	07.04.2016	(ファミリーなし)	
JP	2008-83179	A	10.04.2008	US 2008/0079856 A1 段落[0037]-[0053],[0061]- [0063], 図1-3, 9	
JP	2003-107506	A	09.04.2003	US 2002/0105613 A1 段落[0187]-[0195], 図23 WO 2002/050603 A1 KR 10-2002-0062859 A CN 1371016 A KR 10-2008-0002736 A SG 114524 A TW 544649 B	
JP	5-289067	A	05.11.1993	(ファミリーなし)	
JP	8-62586	A	08.03.1996	(ファミリーなし)	
KR	10-2011-0111595	A	12.10.2011	(ファミリーなし)	