(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2015 年 11 月 5 日 (05.11.2015)

WIPO | PCT

(10) 国际公布号
WO 2015/165124 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2014/076783

(22) 国际申请日: 2014 年 5 月 5 日 (05.05.2014)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201410177821.2 2014 年 4 月 29 日 (29.04.2014) CN

(71) 申请人: **深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.)** [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(72) 发明人: **肖军城 (XIAO, Juncheng)**; 中国广东省深圳市光明新区塘明大道 9-2 号施北娜, Guangdong 518132 (CN)。

(74) 代理人: **深圳翼盛智成知识产权事务所(普通合伙) (ESSEN PATENT&TRADEMARK AGENCY)**; 中国广东省深圳市福田区天安数码城数码时代大厦 A 座 1409, Guangdong 518040 (CN)。

(81) **指定国** (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) **指定国** (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: GATE DRIVER FOR NARROW-FRAME LIQUID CRYSTAL DISPLAY

(54) **发明名称** : 用于窄边框液晶显示器的栅极驱动器

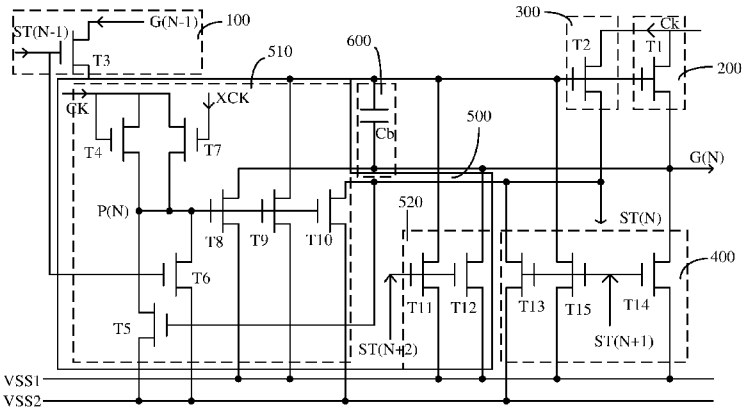

图 3A / Fig. 3A

(57) **Abstract**: The framework of a circuit is effectively simplified via the effect of a pull-down circuit on signals in a gate driver, thus actually achieving a design of an ultra-narrow frame gate driver. In addition, the transistor of a first pull-down holding circuit (510) employs connection of equivalent transistors to effectively reduce voltage shift, extend the operation time of a GOA circuit, and extend the service life of a liquid crystal display. Furthermore, reducing the number of transistors and signals utilized by the first pull-down holding circuit (510) and a second pull-down holding circuit (520) shortens the RC delay of the circuit, effectively reduces the power consumption of the circuit, and more effectively reduces the energy consumption of the liquid crystal display.

(57) **摘要**: 在栅极驱动器中利用下拉保持电路对信号的作用，实现对电路的架构有效的删减，能真正的做到超窄边框栅极驱动器的设计。此外，第一下拉保持电路（510）的晶体管采用等效二极管的连接方式可以有效降低电压偏移作用，延长 GOA 电路的操作时间，增加液晶显示器的使用寿命。最后，减少第一（510）和第二下拉保持电路（520）使用的晶体管和信号数量，可以减小电路的 RC 延迟，可以有效地降低电路的功耗，更加有效的降低液晶显示器的能耗。

WO 2015/165124 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

发明名称: 用于窄边框液晶显示器的栅极驱动器

技术领域

[1] 本发明涉及平面显示领域，尤其一种用于窄边框液晶显示器的栅极驱动器。

背景技术

[2] GOA（Gate Driver On Array）电路是利用薄膜晶体管液晶显示器Array制程将栅极驱动器制作在薄膜晶体管阵列基板上，以实现逐行扫描的驱动方式。

[3] GOA电路主要由上拉电路（Pull-up circuit）、上拉控制电路（Pull-up control circuit）、下传电路(Transfer circuit)、下拉电路（Pull-down circuit）、下拉保持电路（Pull-down Holding circuit）、以及负责电位抬升的上升电路(Boost circuit)组成。

[4] 上拉电路主要负责将输入的时钟信号（Clock）输出至薄膜晶体管(thin film transistor，TFT)的栅极，作为液晶显示器的驱动信号。上拉控制电路负责控制上拉电路的打开，一般是由上级GOA电路传递来的信号作用。下拉电路负责在输出扫描信号后，快速地将扫描信号(亦即薄膜晶体管的栅极的电位)拉低为低电平。下拉保持电路则负责将扫描信号和上拉电路的信号（亦即施加于Q点的信号）保持在关闭状态（即设定的负电位），通常有两个下拉保持电路交替作用。上升电路则负责Q点电位的二次抬升，这样确保上拉电路的G(N)正常输出。

[5] 传统GOA电路存在如下不足之处：（1）电路的TFT和信号线的数量较多，这对不利于窄边框显示装置甚至无边框显示装置的设计；（2）较多TFT和信号线的数量，必然会增加RC效应，会使得电路具有较高的能耗，对于低能耗需求的标准较难满足，不能达到未来绿色环保的设计要求。

对发明的公开

技术问题

[6] 有鉴于此，本发明的目的是提供一种使用较少TFT的栅极驱动器，以解决现有技术的问题。

问题的解决方案

技术解决方案

[7] 本发明提供一种栅极驱动器，其包含：数个移位缓存单元，所述数个移位缓存单元系以串联的方式耦接，每一移位缓存单元用来依据第一时钟信号、第二时钟信号以及该每一移位缓存单元的前一个移位缓存单元的驱动信号脉冲，在所述每一移位缓存单元的输出端输出输出信号脉冲。每一移位缓存单元包含：一上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于第一时钟信号，漏极耦接于该输出端，用来依据该第一时钟信号，由该输出端提供该输出信号脉冲；一下传电路，其包含第二晶体管，其栅极耦接于该第一节点，源极耦接于第一时钟信号，漏极耦接于驱动信号端，用来依据该第一时钟信号，由该驱动信号端输出驱动信号脉冲；一上拉控制电路，其包含第三晶体管，其栅极耦接于该每一移位缓存单元的前一个移位缓存单元的输出信号端，源极耦接于该每一移位缓存单元的前一个移位缓存单元的驱动信号端，漏极耦接于该第一节点，用来依据该每一移位缓存单元的前一个移位缓存单元的该驱动信号脉冲，导通该上拉电路；一上升电路，耦接于该第一节点和该输出端之间，用来抬升该第一节点的电位；一第一下拉保持电路，耦接于该第一节点、该第一时钟信号、第一固定电压以及第二固定电压，用来依据维持该第一节点的低电平；一第二下拉保持电路，耦接于该第一节点、该每一移位缓存单元的下两个移位缓存单元的驱动信号端、该第一固定电压以及该第二固定电压，用来依据该每一移位缓存单元的下两个移位缓存单元的驱动信号，下拉该第一节点的电位；以及一下拉电路，耦接于该第一固定电压、该驱动信号端以及该每一移位缓存单元的下一个移位缓存单元的驱动信号端，用来下拉该第一节点的电位至该第一固定电压。

[8] 依据本发明，所述第一下拉保持电路包含：第四晶体管，其栅极耦接于该第一时钟信号，源极耦接于第一时钟信号，漏极耦接于第二节点；第五晶体管，其栅极耦接于该驱动信号端，源极耦接于该第二节点，漏极耦接于该第二电源电压；第六晶体管，其栅极耦接于该每一移位缓存单元的前一个移位缓存单元的驱动信号端，源极耦接于该第二节点，漏极耦接于该第二电源电压；第七晶体管，其栅极耦接于该第二时钟信号或是该第二节点，源极耦接于该第一时钟信

号，漏极耦接于该第二节点；第八晶体管，其栅极耦接于该第二节点，源极耦接于该输出端，漏极耦接于该第一电源电压；第九晶体管，其栅极耦接于该第二节点，源极耦接于该第一节点，漏极耦接于该第一电源电压；以及第十晶体管，其栅极耦接于该第二节点，源极耦接于该驱动信号端，漏极耦接于该第二电源电压。

[9] 依据本发明，所述第二下拉保持电路包含： 第十一晶体管，其栅极耦接于该每一移位缓存单元的下两个移位缓存单元的驱动信号端，源极耦接于该第一节点，漏极耦接于该第一电源电压。

[10] 依据本发明，所述第二下拉保持电路另包含：第十二晶体管，其栅极耦接于该每一移位缓存单元的下两个移位缓存单元的驱动信号端，源极耦接于该输出端，漏极耦接于该第一电源电压。

[11] 依据本发明，所述下拉电路包含：第十三晶体管，其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于该驱动信号端，漏极耦接于该第二电源电压。

[12] 依据本发明，所述下拉电路另包含：第十四晶体管，其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于该输出端，漏极耦接于该第一电源电压。

[13] 依据本发明，所述下拉电路另包含：第十五晶体管，其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于该第一节点，漏极耦接于该第一电源电压。

[14] 依据本发明，所述下拉电路另包含：第十五晶体管，其栅极耦接于该每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于该第一节点；以及第十六晶体管，其栅极和源极皆耦接于该第十五晶体管的漏极，漏极耦接于该第一电源电压。

[15] 依据本发明，所述上升电路是一电容。

[16] 依据本发明，该第一固定电压的电压大于该第二固定电压。

发明的有益效果

有益效果

[17] 相较于现有技术，本发明的栅极驱动器将下拉保持电路和信号的有效结合，可以对电路的架构有效的删减，能真正的做到超窄边框栅极驱动器的设计。此外，第一下拉保持电路的第七晶体管采用等效二极管的连接方式可以有效低降低第二节点P(N)的电压偏移作用，延长GOA电路的操作时间，增加液晶显示器的使用寿命。最后，减少第一和第二下拉保持电路使用的晶体管和信号数量，可以减小电路的RC延迟，可以有效地降低电路的功耗，更加有效的降低液晶显示器的能耗。

对附图的简要说明

附图说明

[18] 图1是本发明的液晶显示器的功能方块图。

[19] 图2是本发明的栅极驱动器的移位缓存单元的方块图。

[20] 图3A是图2移位缓存单元的第一实施例的电路图。

[21] 图3B是图3A所示各种输入信号、输出信号和节点电压的时序图。

[22] 图4A是图2移位缓存单元的第二实施例的电路图。

[23] 图4B是图4A所示各种输入信号、输出信号和节点电压的时序图。

[24] 图5A是图2移位缓存单元的第三实施例的电路图。

[25] 图5B是图5A所示各种输入信号、输出信号和节点电压的时序图。

[26] 图6A是图2移位缓存单元的第四实施例的电路图。

[27] 图6B是图6A所示各种输入信号、输出信号和节点电压的时序图。

[28] 图7A是图2移位缓存单元的第五实施例的电路图。

[29] 图7B是图7A所示各种输入信号、输出信号和节点电压的时序图。

[30] 图8A是图2移位缓存单元的第六实施例的电路图。

[31] 图8B是图8A所示各种输入信号、输出信号和节点电压的时序图。

[32] 图9A是图2移位缓存单元的第七实施例的电路图。

[33] 图9B是图9A所示各种输入信号、输出信号和节点电压的时序图。

[34] 图10A是图2移位缓存单元的第八实施例的电路图。

[35] 图10B是图10A所示各种输入信号、输出信号和节点电压的时序图。

[36] 图11A是图2移位缓存单元的第九实施例的电路图。

[37] 图11B是图11A所示各种输入信号、输出信号和节点电压的时序图。

实施该发明的最佳实施例

本发明的最佳实施方式

[38] 为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的优选实施例及其附图进行详细描述。

[39] 请参阅图1，图1是本发明的液晶显示器10的功能方块图。液晶显示器10包含液晶显示面板12、栅极驱动器(gate driver)14以及源极驱动器(source driver)16。液晶显示面板12包含数个像素(pixel)，而每一个像素包含三个分别代表红绿蓝(RGB)三原色的像素单元20构成。以一个1024 × 768分辨率的液晶显示面板12来说，共需要1024 × 768 × 3个像素单元20组合而成。栅极驱动器14输出扫描信号使得每一行的晶体管22依序开启，同时源极驱动器16则输出对应的数据信号至一整列的像素单元20使其充电到各自所需的电压，以显示不同的灰阶。当同一行充电完毕后，栅极驱动器14便将该行的扫描信号关闭，然后栅极驱动器14再输出扫描信号将下一行的晶体管22打开，再由源极驱动器16对下一行的像素单元20进行充放电。如此依序下去，直到液晶显示面板12的所有像素单元20都充电完成，再从第一列开始充电。

[40] 在目前的液晶显示面板设计中，栅极驱动器14等效上为移位寄存器(shift register)，其目的即每隔一固定间隔输出扫描信号至液晶显示面板12。以一个1024 × 768分辨率的液晶显示面板12以及60Hz的更新频率为例，每一个画面的显示时间约为1/60=16.67ms。所以每一个扫描信号的脉波约为16.67ms/768=21.7μs。而源极驱动器16则在这21.7μs的时间内，将像素单元20充放电到所需的电压，以显示出相对应的灰阶。

[41] 请参阅图2，图2是本发明的栅极驱动器14的移位缓存单元SR(N)的方块图。栅极驱动器14包含数个串接(cascade-connected)的移位缓存单元SR(N)， N为0或正整数。移位缓存单元SR(N)用来依据第一时钟信号CK、一第二时钟信号XCK以及每一移位缓存单元SR(N)之前一级移位缓存单元SR(N-1)的驱动信号脉冲ST(N-1)输出每一移位缓存单元SR(N) 的扫描信号。当第一级移位缓存单元100(1)自输入端ST(0)接收到起始脉冲(start

pulse)后，移位缓存单元100(1)就会隔一标准时钟(clock cycle)输出产生输出信号脉冲ST(1)，接下来，每一移位缓存单元SR(N)依据第一时钟信号CK、第二时钟信号XCK以及每一移位缓存单元SR(N) 的前一级移位缓存单元SR(N-1)于驱动信号端ST(N-1)输出的驱动信号脉冲，以每隔一标准时钟于输出端OUT(N)输出该每一移位缓存单元SR(N)的输出信号，该输出信号即扫描信号脉冲，用来输出并开启对应的像素单元112的晶体管。第一时钟信号CK与第二时钟信号XCK的相位相差180度。

[42] 每一移位缓存单元SR(N)包含上拉控制电路(pull-up control circuit)100、上拉电路(pull-up circuit)200、下传电路(transfer circuit)300、下拉电路(pull-down circuit)400以及下拉保持电路500。下拉保持电路500包含第一下拉保持电路510和第二下拉保持电路520。

[43] 请参阅图3A，图3A是图2移位缓存单元SR(N)的第一实施例的电路图。上拉电路200可以是第一晶体管T1，其栅极耦接于第一节点Q(N)，源极耦接于第一时钟信号CK，漏极耦接于该输出端G(N)，用来依据第一时钟信号CK，由输出端G(N)提供输出信号脉冲。下传电路300可以是第二晶体管T2，其栅极耦接于该第一节点Q(N)，源极耦接于第一时钟信号CK，漏极耦接于驱动信号端ST(N)，用来依据第一时钟信号CK，由驱动信号端ST(N)输出驱动信号脉冲。上拉控制电路100可以是第三晶体管T3，其栅极耦接于前一个移位缓存单元SR(N-1)的输出信号端G(N-1)，源极耦接于前一个移位缓存单元SR(N-1)的驱动信号端ST(N-1)，漏极耦接于第一节点Q(N)，用来依据前一个移位缓存单元SR(N-1)的驱动信号脉冲，导通上拉电路200。上升电路600可以是一电容Cb，其耦接于第一节点Q(N)和输出端G(N)之间，用来抬升第一节点的电位Q(N)。第一下拉保持电路510耦接于第一节点G(N)、第一时钟信号CK、第一固定电压VSS1以及第二固定电压VSS2，用来依据维持第一节点Q(N)的低电平。第二下拉保持电路520耦接于第一节点Q(N)、每一移位缓存单元的下两个移位缓存单元SR(N+2)的驱动信号端ST(N+2)、第一固定电压VSS1以及第二固定电压VSS2，用来依据每一移位缓存单元的下两个移位缓存单元SR(N+2)的驱动信号，下拉第一节点Q(N)的电位。下拉电路400耦接于第一固定电压VSS1、驱动信号端ST(N)以及每一移位缓存单元的下一个移位

缓存单元SR(n+1)的驱动信号端ST(n+1)，用来下拉第一节点Q(N)的电位至第一固定电压VSS1。较佳实施例中，第一固定电压VSS1的电压大于第二固定电压VSS2。

[44] 第一下拉保持电路510包含第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管T10。第四晶体管T4的栅极耦接于第一时钟信号CK，源极耦接于第一时钟信号CK，漏极耦接于第二节点P(N)。第五晶体管T5的栅极耦接于该驱动信号端ST(N)，源极耦接于该第二节点P(N)，漏极耦接于第二电源电压VSS2。第六晶体管T6的栅极耦接于前一个移位缓存单元SR(N-1)的驱动信号端ST(N-1)，源极耦接于第二节点P(N)，漏极耦接于第二电源电压VSS2。第七晶体管T7的栅极耦接于第二时钟信号XCK，源极耦接于该第一时钟信号CK，漏极耦接于第二节点P(N)。第八晶体管T8的栅极耦接于第二节点P(N)，源极耦接于输出端G(N)，漏极耦接于第一电源电压VSS1。第九晶体管T9的栅极耦接于第二节点P(N)，源极耦接于第一节点Q(N)，漏极耦接于第一电源电压VSS1。第十晶体管T10的栅极耦接于第二节点P(N)，源极耦接于驱动信号端ST(N)，漏极耦接于第二电源电压VSS2。

[45] 第二下拉保持电路520包含第十一晶体管T11和第十二晶体管T12。第十一晶体管T11的栅极耦接于该每一移位缓存单元的下两个移位缓存单元SR(N+2)的驱动信号端ST(N+2)，源极耦接于第一节点Q(N)，漏极耦接于第一电源电压VSS1。第十二晶体管T12的栅极耦接于该每一移位缓存单元的下两个移位缓存单元SR(N+2)的驱动信号端ST(N+2)，源极耦接于输出端G(N)，漏极耦接于第一电源电压VSS1。

[46] 下拉电路400包含第十三晶体管T13、第十四晶体管T14和第十五晶体管T15。第十三晶体管T13的栅极耦接于该每一移位缓存单元的下一个移位缓存单元SR(n+1)的驱动信号端ST(n+1)，源极耦接于驱动信号端ST(N)，漏极耦接于第二电源电压VSS2。第十四晶体管T14的栅极耦接于该每一移位缓存单元的下一个移位缓存单元SR(n+1)的驱动信号端ST(n+1)，源极耦接于输出端G(N)，漏极耦接于第一电源电压VSS1。第十五晶体管T15的栅极耦接于每一移位缓存单元的下一个移位缓存单元SR(n+1)的驱动信号端ST(n+1)，源极耦接于第一节点Q(N)，漏极耦接于

第一电源电压VSS1。

[47] 请一并参阅图3A和图3B。图3B是图3A所示各种输入信号、输出信号和节点电压的时序图。第八晶体管T8用来将输出端G(N) 维持在低电平。第九晶体管T9用来将第一节点Q(N) 维持在低电平。第五晶体管T5用来当驱动信号端ST(N)处于高电平的时候将第二节点P(N)

的电位下拉。第六晶体管T6用来当驱动信号端ST(N-1)处于高电平的时候将第二节点P(N) 的电位下拉，从而关闭作用期间的下拉保持电路510，以防止对第一节点Q(N)和输出端G(N)输出的影响。第二固定电压VSS2的电位低于第一固定电压VSS1 (VSS2<VSS1)的目的是为了通过两段分压原理降低第二节点P(N)的电位。因此第二节点P(N)在作用期间的电位被拉得越低，则第八晶体管T8和第九晶体管T9将会更有效地关闭而不导通，可防止对输出端G(N)的放电导致输出异常。第十二晶体管T12和第十一晶体管T11分别用来在输出端G(N)输出后，在下一时段时下拉第一节点Q(N)和输出端G(N)的电位，以确保第一节点Q(N)和输出端G(N)的电位能快速下拉。

[48] 从图3B可以看出，输出端G(N)会被拉到第一固定电压VSS1一样的低电平，第二节点P(N)在第一节点Q(N)和输出端G(N)处于高电平时会被拉到比第一固定电压VSS2更低的电平。这样第八晶体管T8和第九晶体管T9的栅极-源极电压Vgs=VSS2-VSS1<0，可以有效地降低第八晶体管T8和第九晶体管T9的漏电流。

[49] 请参阅图4A和图4B。图4A是图2移位缓存单元SR(N)的第二实施例的电路图。图4B是图4A所示各种输入信号、输出信号和节点电压的时序图。图4A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图4A和图3A的差异在于，下拉电路400另包含第十六晶体管T16，且第十五晶体管T15和第十六晶体管T16的连结也不相同。第十五晶体管T15的栅极耦接于该每一移位缓存单元的下一个移位缓存单元SR(n+1)的驱动信号端ST(n+1)，源极耦接于该第一节点Q(N)。第十六晶体管T16的栅极和源极皆耦接于该第十五晶体管T15的漏极，漏极耦接于第一电源电压VSS1。图4A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[50] 请参阅图5A和图5B。图5A是图2移位缓存单元的第三实施例的电路图。图5B是图5A所示各种输入信号、输出信号和节点电压的时序图。图5A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图5A和图3A的差异在于，第一下拉保持电路510的第七晶体管T7的栅极耦接于第二节点P(N)，可以减小第一时钟信号CK和第二时钟信号XCK信号之间的跨线串扰。相较于图3B，跟据第七晶体管T7的波形，第二节点P(N)能更有效的放电。图5A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[51] 请参阅图6A和图6B。图6A是图2移位缓存单元的第四实施例的电路图。图6B是图6A所示各种输入信号、输出信号和节点电压的时序图。图6A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图6A和图3A的差异在于，第二下拉保持电路520没有第十二晶体管T12可以进一步减少晶体管的数量，以减少RC延迟。图6A的移位缓存单元SR(N)与图3A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[52] 请参阅图7A和图7B。图7A是图2移位缓存单元的第五实施例的电路图。图7B是图7A所示各种输入信号、输出信号和节点电压的时序图。图6A的移位缓存单元SR(N)与图7A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图7A和图6A的差异在于，第一下拉保持电路510的第七晶体管T7的栅极耦接于第二节点P(N)，可以减小第一时钟信号CK和第二时钟信号XCK信号之间的跨线串扰。相较于图6B，跟据第七晶体管T7的波形，第二节点P(N)能更有效的放电。图7A的移位缓存单元SR(N)与图6A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[53] 请参阅图8A和图8B。图8A是图2移位缓存单元的第六实施例的电路图。图8B是图8A所示各种输入信号、输出信号和节点电压的时序图。图8A的移位缓存单元SR(N)与图6A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图8A和图6A的差异在于，下拉电路400没有第十五晶体管T15可以进一步减少晶体管的数量，以减少RC延迟。图8A的移位缓存单元SR(N)与图6

A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[54] 请参阅图9A和图9B。图9A是图2移位缓存单元的第七实施例的电路图。图9B是图9A所示各种输入信号、输出信号和节点电压的时序图。图9A的移位缓存单元SR(N)与图8A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图9A和图8A的差异在于，第一下拉保持电路510的第七晶体管T7的栅极耦接于第二节点P(N)，可以减小第一时钟信号CK和第二时钟信号XCK信号之间的跨线串扰。相较于图8B，跟据第七晶体管T7的波形，第二节点P(N)能更有效的放电。图9A的移位缓存单元SR(N)与图8A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[55] 请参阅图10A和图10B。图10A是图2移位缓存单元的第八实施例的电路图。图10B是图10A所示各种输入信号、输出信号和节点电压的时序图。图10A的移位缓存单元SR(N)与图8A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图10A和图8A的差异在于，下拉电路400没有第十四晶体管T14可以进一步减少晶体管的数量，以减少RC延迟。图10A的移位缓存单元SR(N)与图8A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[56] 请参阅图11A和图11B。图11A是图2移位缓存单元的第九实施例的电路图。图11B是图11A所示各种输入信号、输出信号和节点电压的时序图。图11A的移位缓存单元SR(N)与图10A的移位缓存单元SR(N)具有相同标号组件者，其操作原理相同，在此不另赘述。图11A和图10A的差异在于，第一下拉保持电路510的第七晶体管T7的栅极耦接于第二节点P(N)，可以减小第一时钟信号CK和第二时钟信号XCK信号之间的跨线串扰。相较于图10B，跟据第七晶体管T7的波形，第二节点P(N)能更有效的放电。图11A的移位缓存单元SR(N)与图10A的移位缓存单元SR(N)的运作原理相同和达成效果相同，在此不另赘述。

[57] 相较于现有技术，本发明的栅极驱动器将下拉保持电路和信号的有效结合，可以对电路的架构有效的删减，能真正的做到超窄边框栅极驱动器的设计。此外，第一下拉保持电路的第七晶体管采用等效二极管的连接方式可以有效低降低第二节点的电压偏移作用，延长GOA电路的操作时间，增加液晶显示器的使用

寿命。最后，减少第一和第二下拉保持电路使用的晶体管和信号数量，可以减小电路的RC延迟，可以有效地降低电路的功耗，更加有效的降低液晶显示器的能耗。

[58] 综上所述，虽然本发明已以较佳实施例揭露如上，但该较佳实施例并非用以限制本发明，该领域的普通技术人员，在不脱离本发明的精神和范围内，均可作各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

发明实施例

本发明的实施方式

[59]

工业实用性

[60]

序列表自由内容

[61]

权利要求书

[权利要求 1] 一种栅极驱动器，其包含：

数个移位缓存单元，所述数个移位缓存单元系以串联的方式耦接，每一移位缓存单元用来依据第一时钟信号、第二时钟信号以及所述每一移位缓存单元的前一个移位缓存单元的驱动信号脉冲，在所述每一移位缓存单元的输出端输出输出信号脉冲，每一移位缓存单元包含：

上拉电路，其包含第一晶体管，其栅极耦接于第一节点，源极耦接于第一时钟信号，漏极耦接于所述输出端，用来依据所述第一时钟信号，由所述输出端提供所述输出信号脉冲；

下传电路，其包含第二晶体管，其栅极耦接于所述第一节点，源极耦接于第一时钟信号，漏极耦接于驱动信号端，用来依据所述第一时钟信号，由所述驱动信号端输出驱动信号脉冲；

上拉控制电路，其包含第三晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的输出信号端，源极耦接于所述每一移位缓存单元的前一个移位缓存单元的驱动信号端，漏极耦接于所述第一节点，用来依据所述每一移位缓存单元的前一个移位缓存单元的所述驱动信号脉冲，导通所述上拉电路；

上升电路，耦接于所述第一节点和所述输出端之间，用来抬升所述第一节点的电位；

第一下拉保持电路，耦接于所述第一节点、所述第一时钟信号、第一固定电压以及第二固定电压，用来依据维持所述第一节点的低电平；

第二下拉保持电路，耦接于所述第一节点、所述每一移位缓存单元的下两个移位缓存单元的驱动信号端、所述第一固定电压以及所述第二固定电压，用来依据所述每一移位缓存单元的下两个移位缓存单元的驱动信号，下拉所述第一节点的电位；以及

下拉电路，耦接于所述第一固定电压、所述驱动信号端以及所述

每一移位缓存单元的下一个移位缓存单元的驱动信号端，用来下拉所述第一节点的电位至所述第一固定电压。

[权利要求 2] 如权利要求1所述的栅极驱动器，其中所述第一下拉保持电路包含：

第四晶体管，其栅极耦接于所述第一时钟信号，源极耦接于第一时钟信号，漏极耦接于第二节点；

第五晶体管，其栅极耦接于所述驱动信号端，源极耦接于所述第二节点，漏极耦接于所述第二电源电压；

第六晶体管，其栅极耦接于所述每一移位缓存单元的前一个移位缓存单元的驱动信号端，源极耦接于所述第二节点，漏极耦接于所述第二电源电压；

第七晶体管，其栅极耦接于所述第二时钟信号或是所述第二节点，源极耦接于所述第一时钟信号，漏极耦接于所述第二节点；

第八晶体管，其栅极耦接于所述第二节点，源极耦接于所述输出端，漏极耦接于所述第一电源电压；

第九晶体管，其栅极耦接于所述第二节点，源极耦接于所述第一节点，漏极耦接于所述第一电源电压；以及

第十晶体管，其栅极耦接于所述第二节点，源极耦接于所述驱动信号端，漏极耦接于所述第二电源电压。

[权利要求 3] 如权利要求1所述的栅极驱动器，其中所述第二下拉保持电路包含：

第十一晶体管，其栅极耦接于所述每一移位缓存单元的下两个移位缓存单元的驱动信号端，源极耦接于所述第一节点，漏极耦接于所述第一电源电压。

[权利要求 4] 如权利要求3所述的栅极驱动器，其中所述第二下拉保持电路另包含：

第十二晶体管，其栅极耦接于所述每一移位缓存单元的下两个移位缓存单元的驱动信号端，源极耦接于所述输出端，漏极耦接于

所述第一电源电压。

[权利要求 5] 如权利要求1所述的栅极驱动器，其中所述下拉电路包含：

第十三晶体管，其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于所述驱动信号端，漏极耦接于所述第二电源电压。

[权利要求 6] 如权利要求5所述的栅极驱动器，其中所述下拉电路另包含：

第十四晶体管，其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于所述输出端，漏极耦接于所述第一电源电压。

[权利要求 7] 如权利要求6所述的栅极驱动器，其中所述下拉电路另包含：

第十五晶体管，其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于所述第一节点，漏极耦接于所述第一电源电压。

[权利要求 8] 如权利要求6所述的栅极驱动器，其中所述下拉电路另包含：

第十五晶体管，其栅极耦接于所述每一移位缓存单元的下一个移位缓存单元的驱动信号端，源极耦接于所述第一节点；以及

第十六晶体管，其栅极和源极皆耦接于所述第十五晶体管的漏极，漏极耦接于所述第一电源电压。

[权利要求 9] 如权利要求1所述的栅极驱动器，其中所述上升电路是一电容。

[权利要求 10] 如权利要求1所述的栅极驱动器，其中所述第一固定电压的电压大于所述第二固定电压。

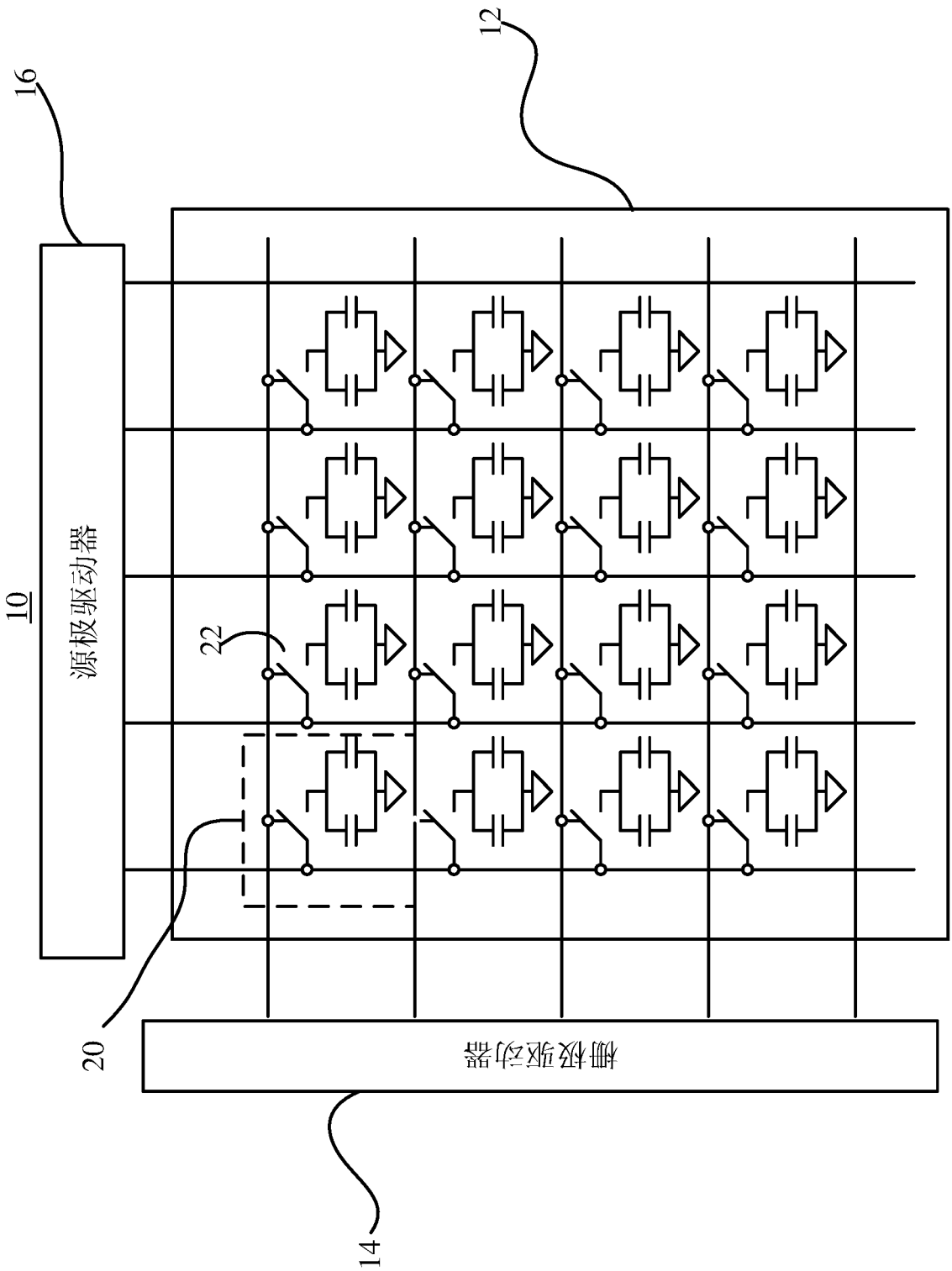

图 1

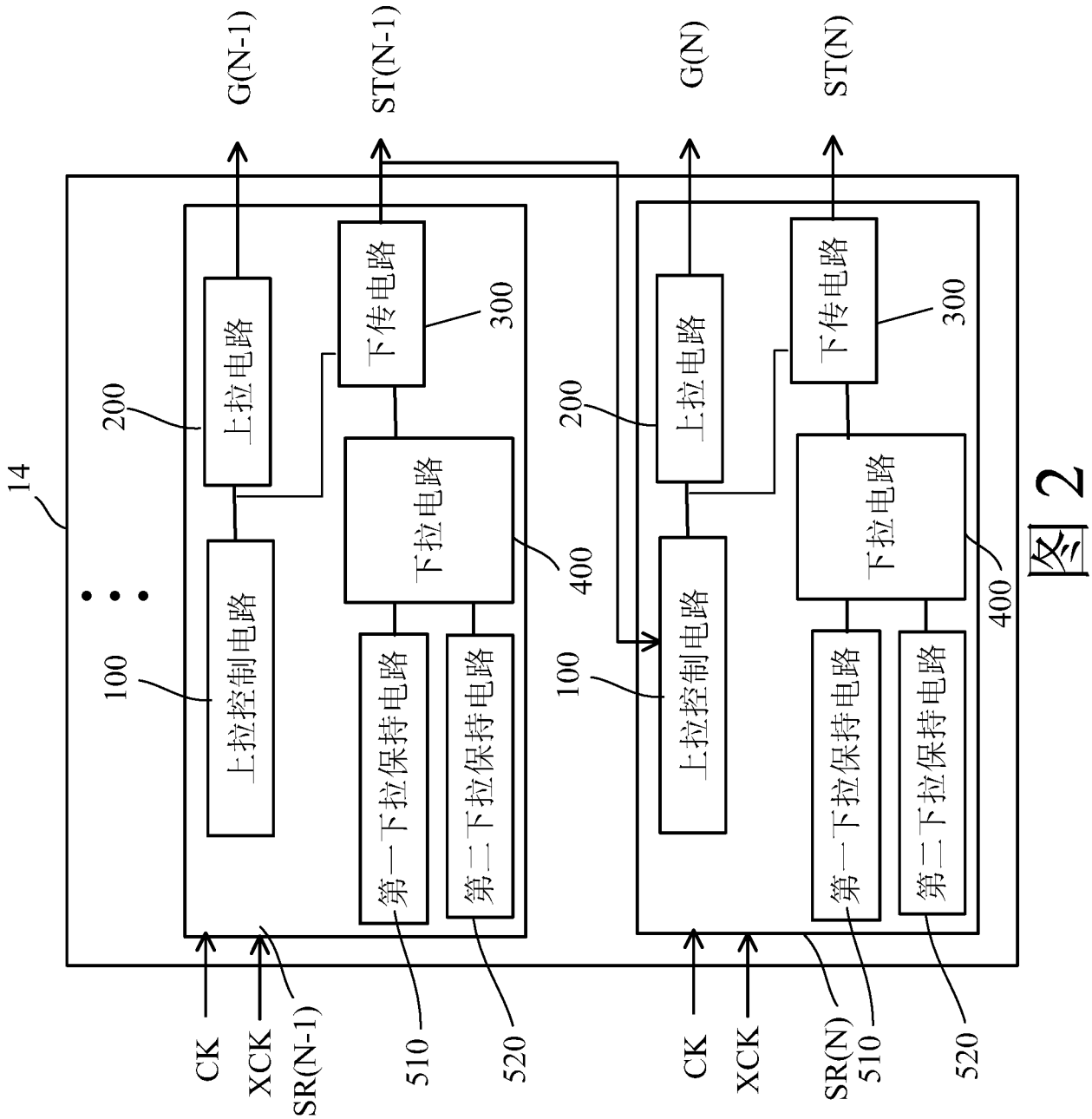
14
G(N-1)
ST(N-1)
G(N)
ST(N)
上拉电路
下传电路
上拉控制电路
下拉电路
第一下拉保持电路
第二下拉保持电路
200
300
100
400
510
520
CK
XCK
SR(N-1)
SR(N)

图 2

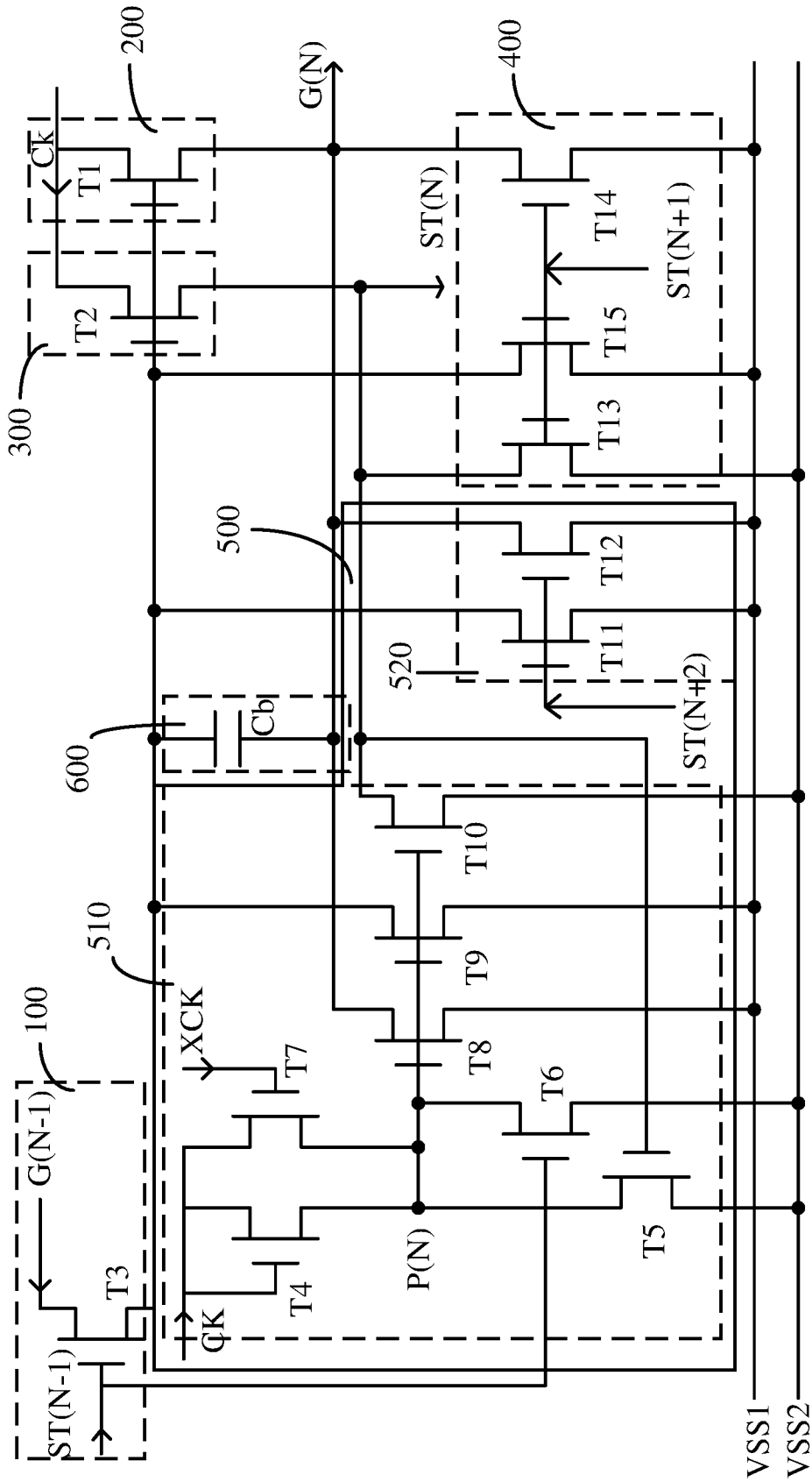
200
G(N)
400
CK
T1
ST(N)
T14
ST(N+1)
T2
T15
300
T13
500
T12
T11
520
ST(N+2)
Cbl
600
T10
510
T9
XCK
T7
T8
T6
100
G(N-1)
T3
T4
P(N)
T5
GK
ST(N-1)
VSS1
VSS2

图 3A

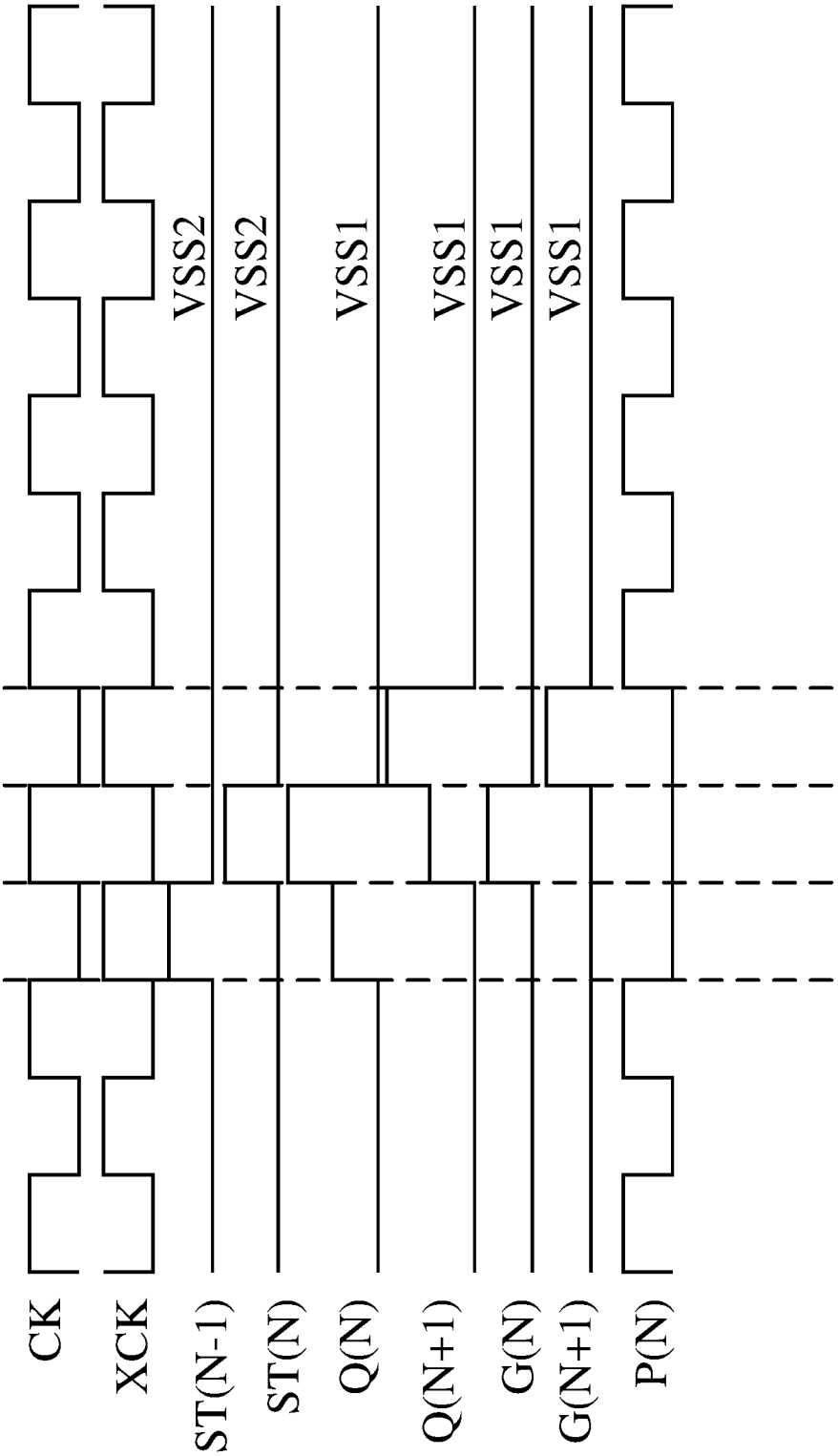

图 3B

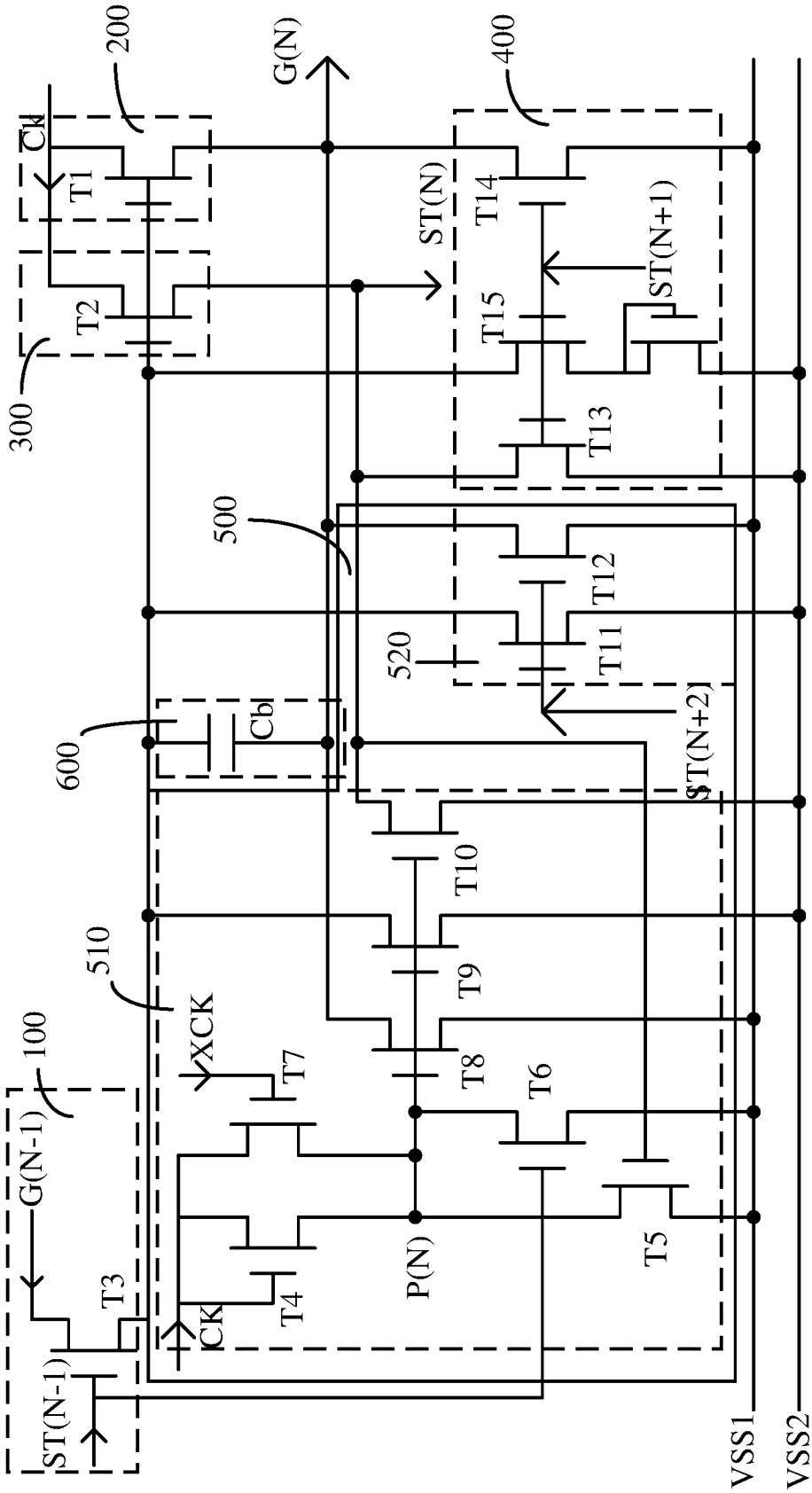
200
G(N)
400
Ca
T1
T2
ST(N)
T14
ST(N+1)
T15
300
T13
500
T12
520
T11
ST(N+2)
600
Cb
T10
510
T9
XCK
T7
T8
T6
100
G(N-1)
T3
T4
P(N)
T5
CK
ST(N-1)
VSS1
VSS2

图 4A

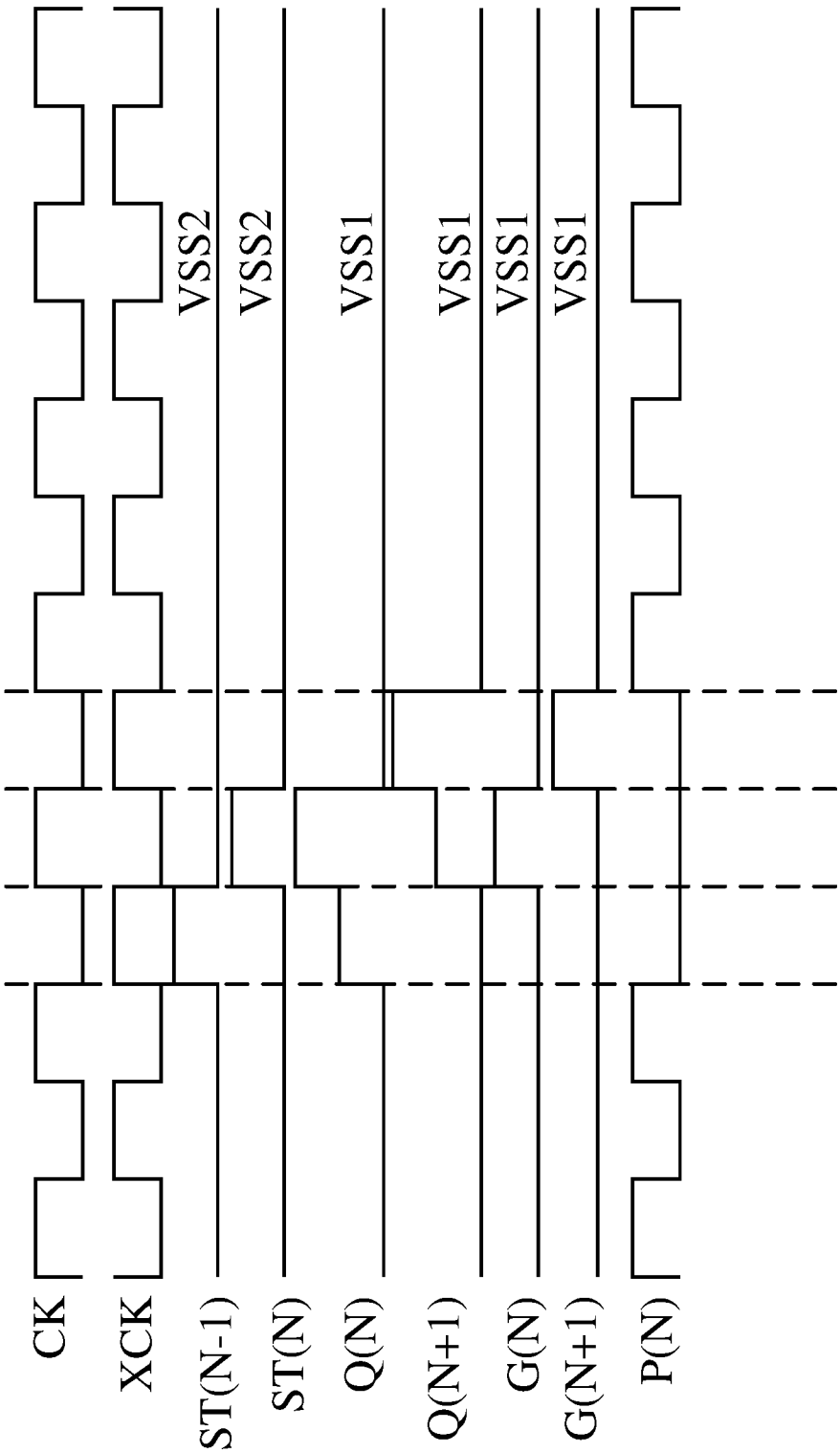

图 4B

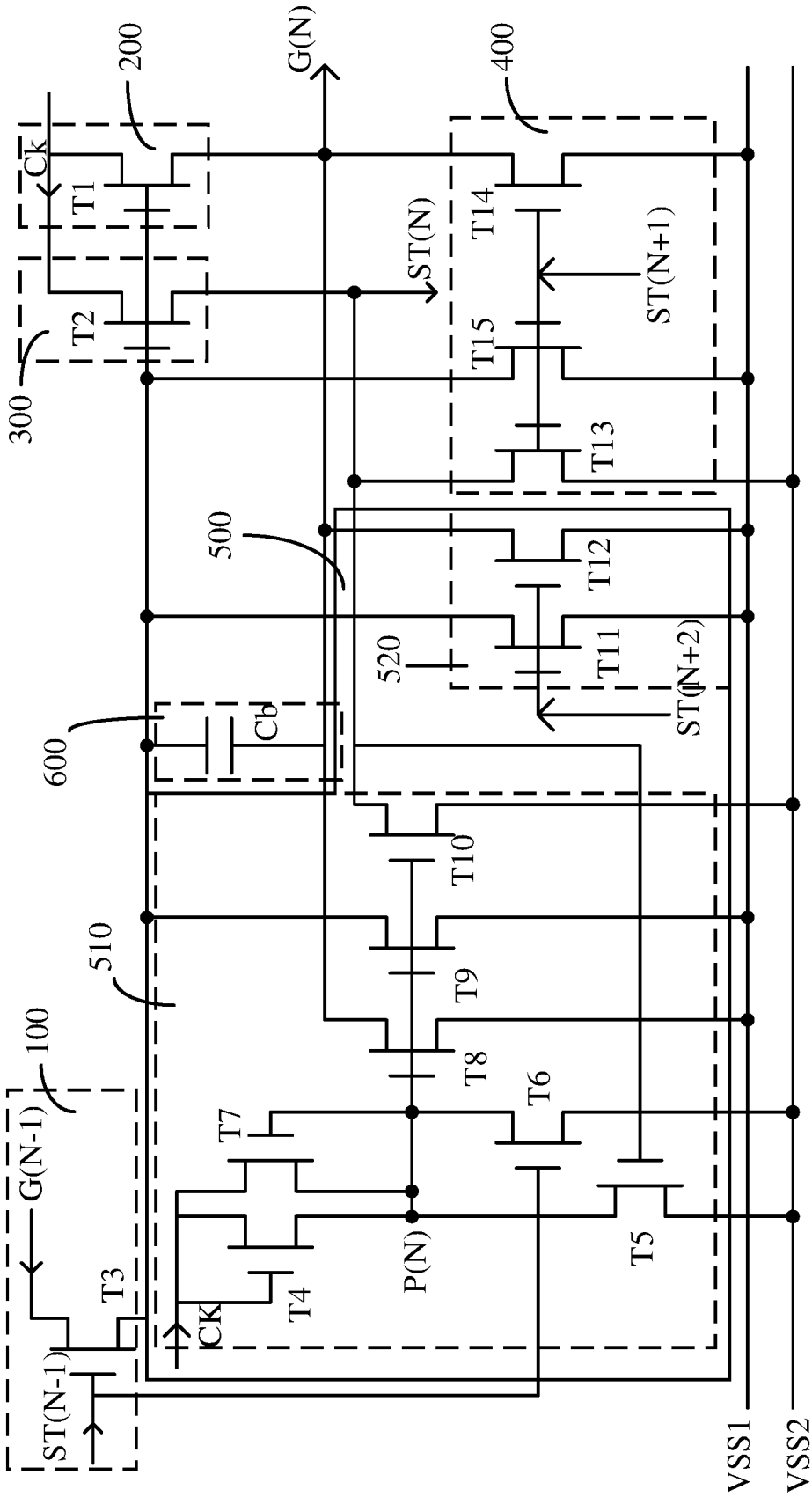
200
G(N)
400
Ck
T1
T2
300
ST(N)
T14
ST(N+1)
T15
T13
500
T12
520
T11
ST(N+2)
600
Cb
T10
510
T9
T8
T6
T7
100
G(N-1)
T3
T4
CK
P(N)
T5
ST(N-1)
VSS1
VSS2

图 5A

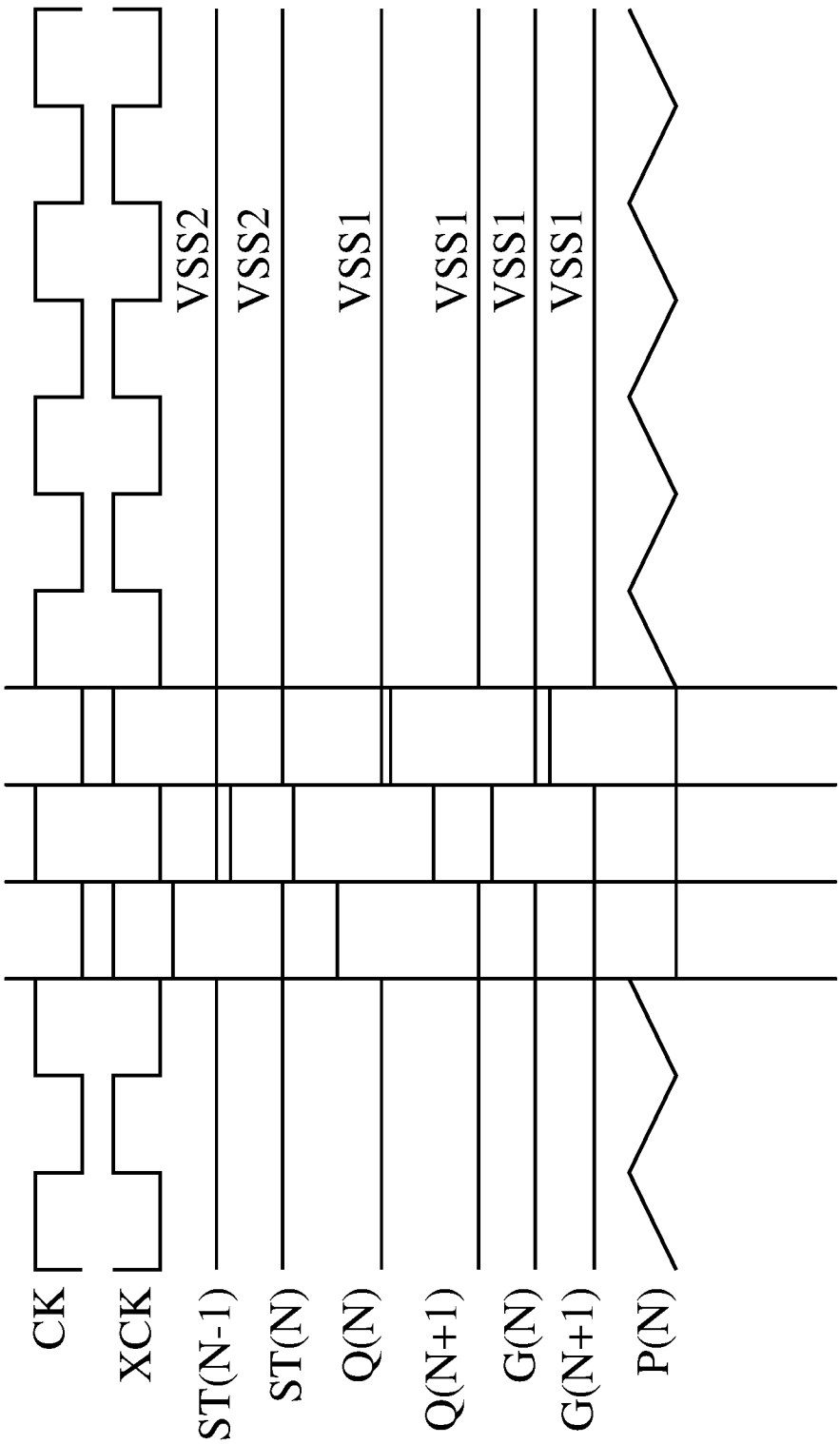

图 5B

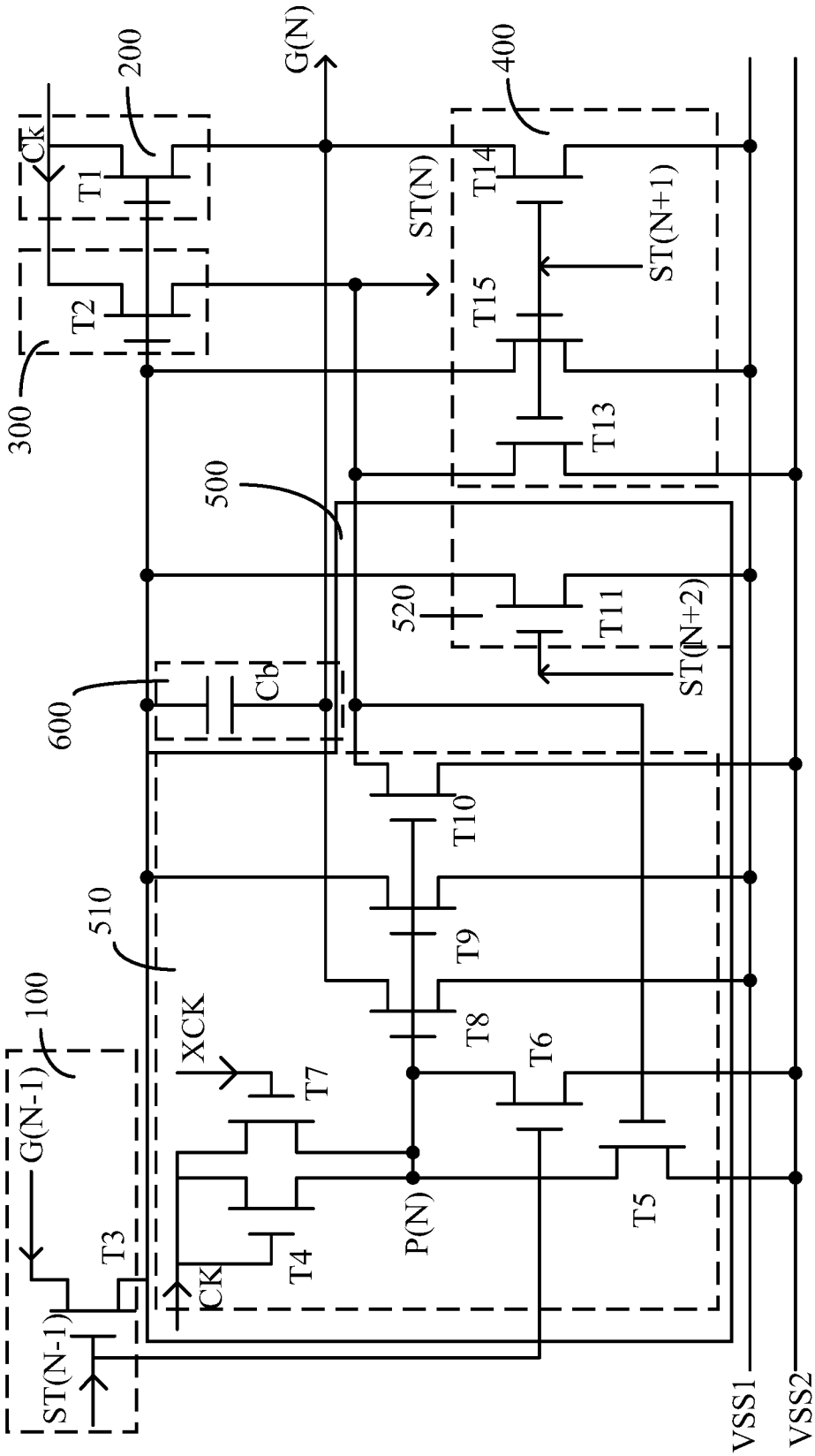
G(N)
200
400
Ck
T1
T2
ST(N)
T14
T15
ST(N+1)
T13
300
500
520
T11
ST(N+2)
Cb
600
T10
510
T9
T8
T6
XCK
T7
100
G(N-1)
T3
T4
P(N)
T5
CK
ST(N-1)
VSS1
VSS2

图 6A

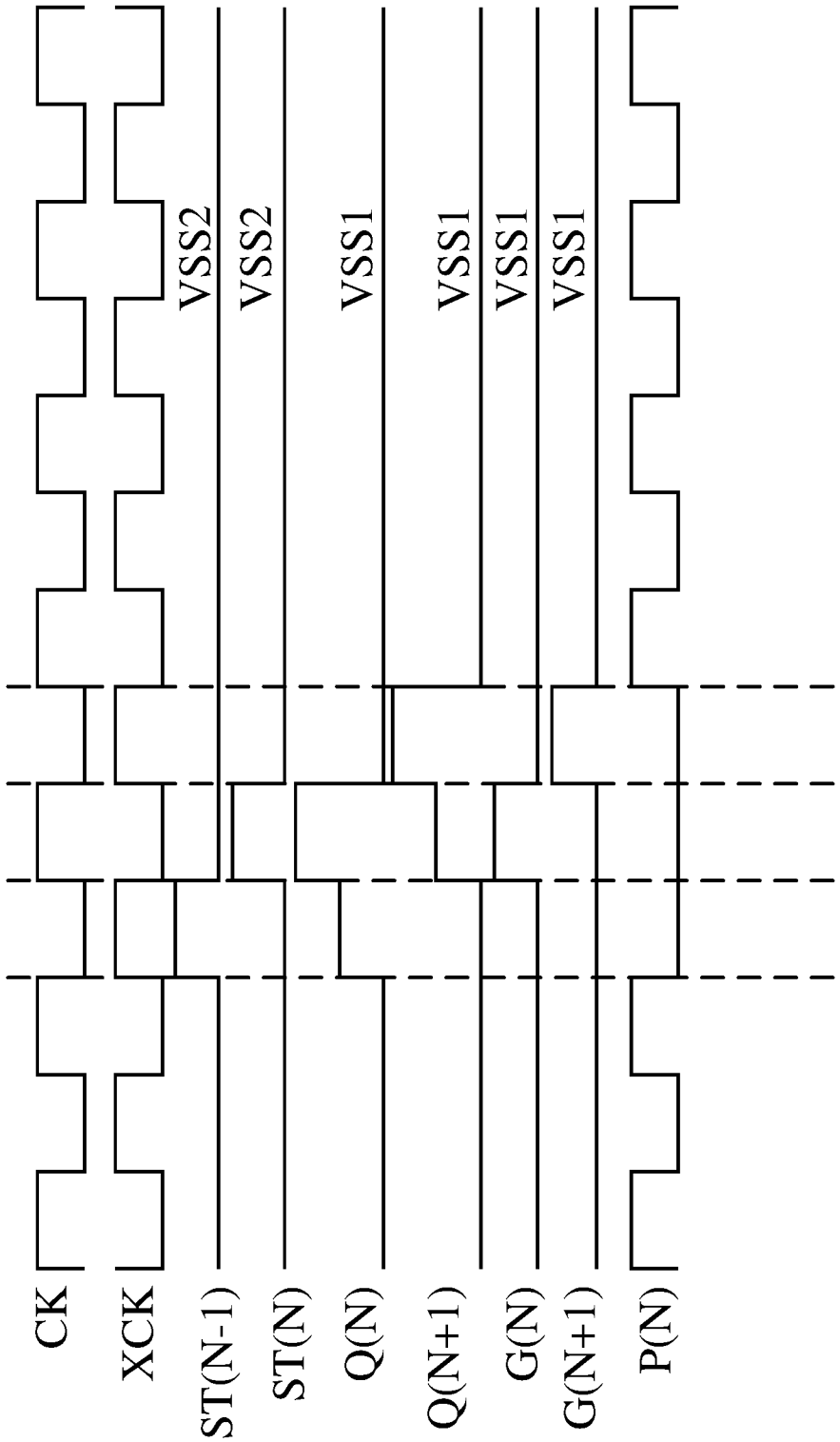

图 6B

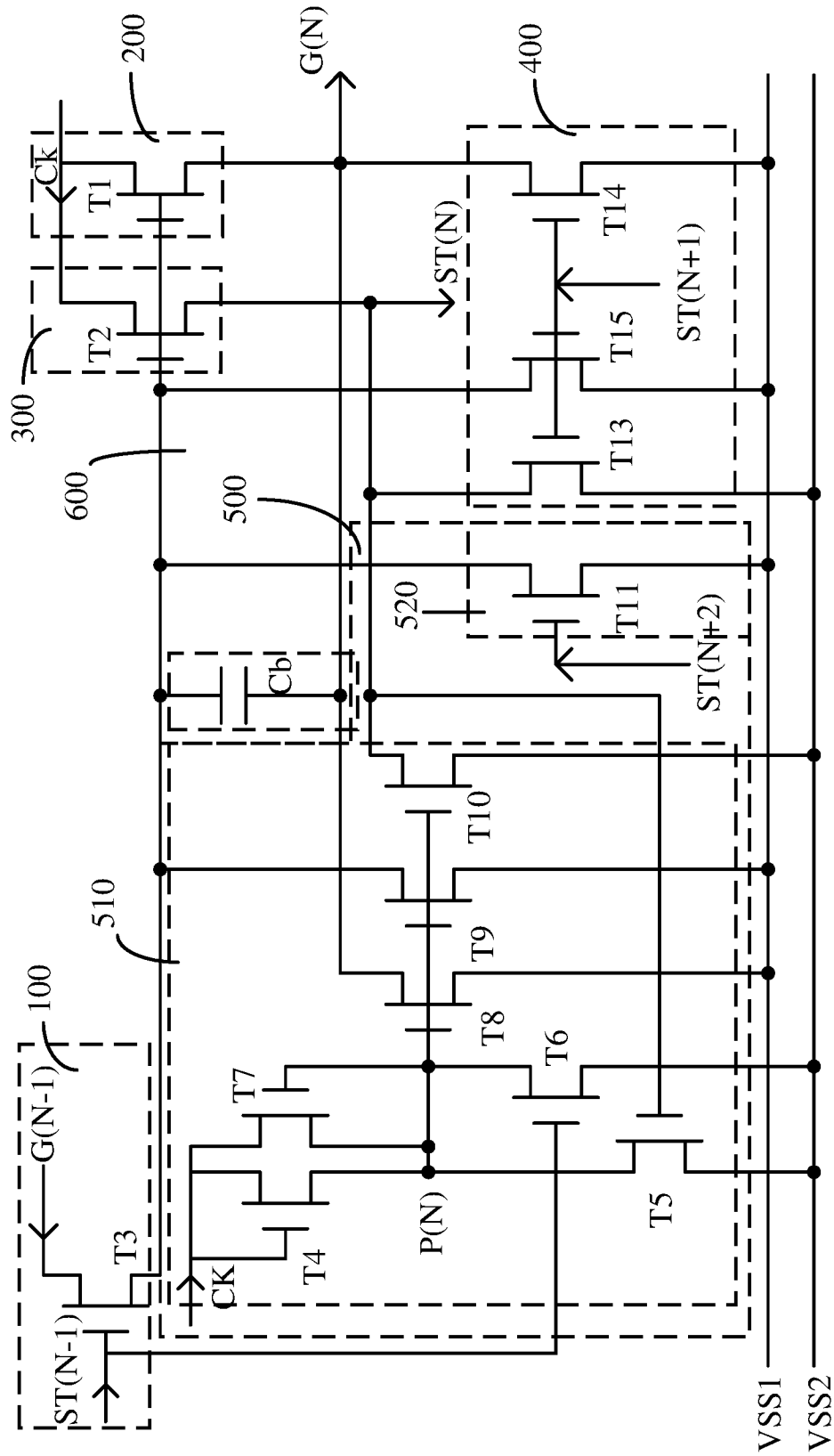
200
G(N)
400
Ck
T1
T2
ST(N)
T14
T15
ST(N+1)
T13
300
600
500
520
T11
ST(N+2)
Cb
T10
510
T9
T8
T6
100
G(N-1)
T7
T5
T3
T4
P(N)
CK
ST(N-1)
VSS1
VSS2

图 7A

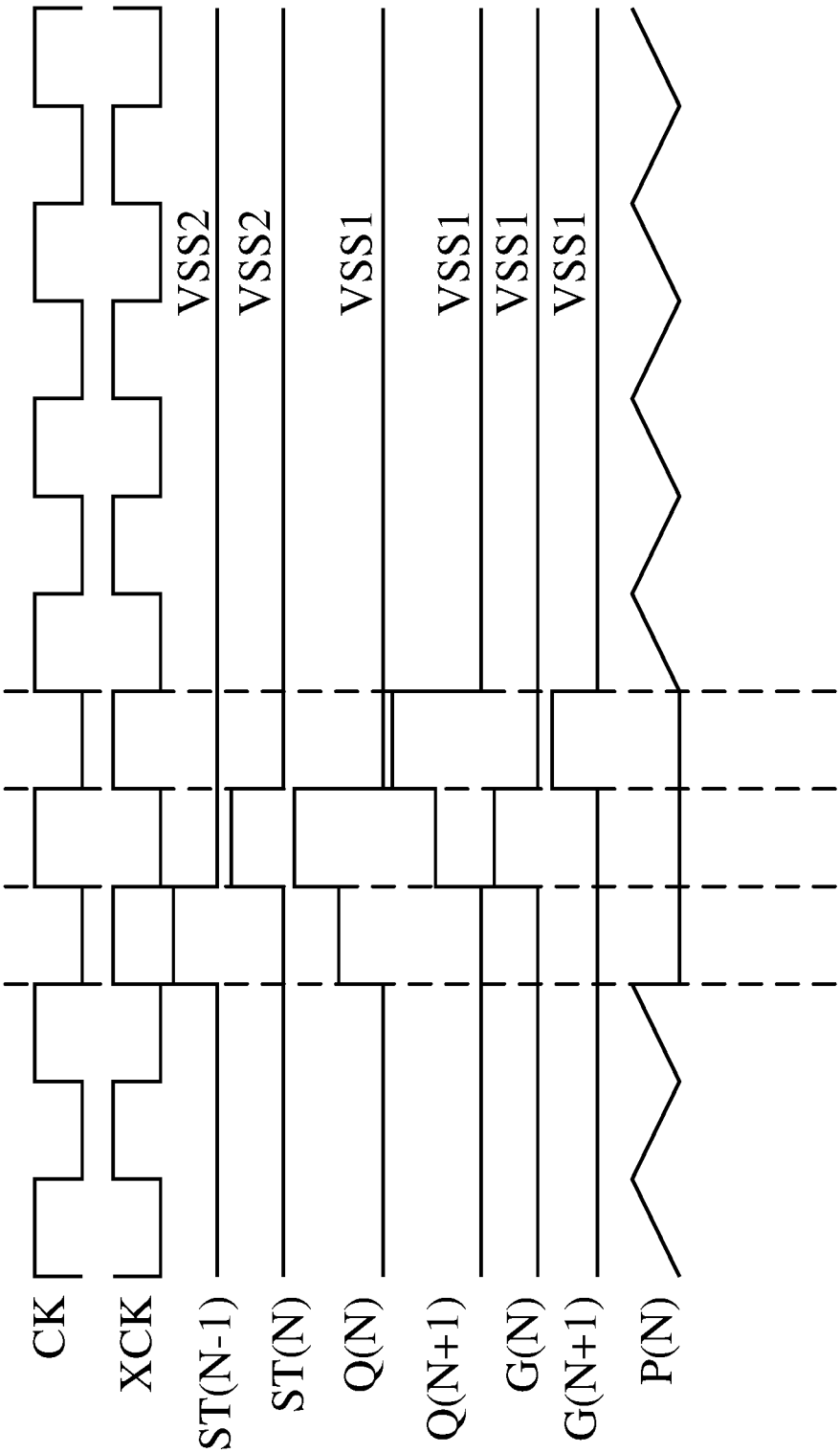

图 7B

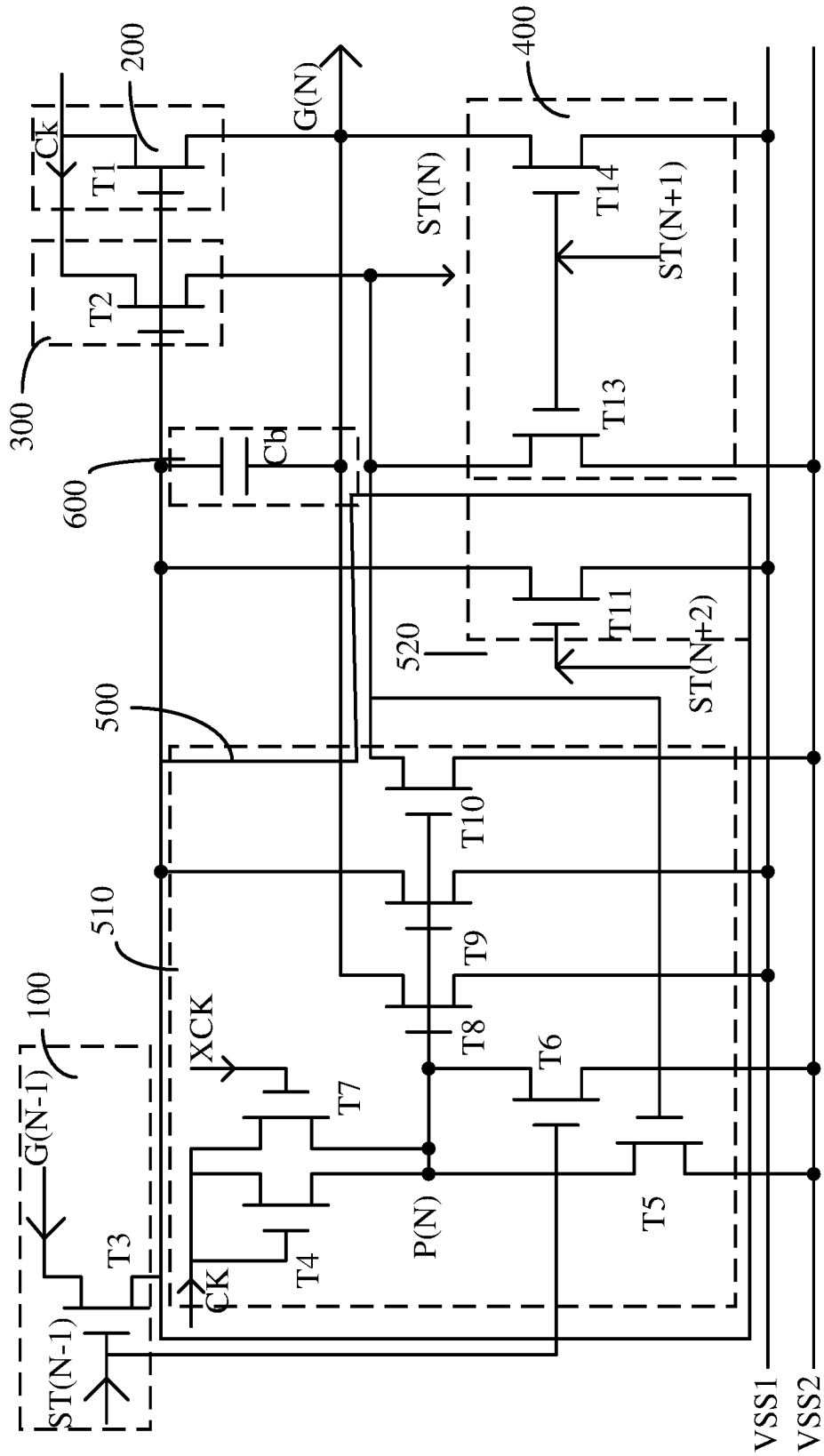
200
CK
T1
T2
300
600
Cb
G(N)
400
ST(N)
T14
ST(N+1)
T13
520
T11
ST(N+2)
500
T10
510
T9
T8
T6
100
XCK
T7
G(N-1)
T3
T4
P(N)
T5
CK
ST(N-1)
VSS1
VSS2

图 8A

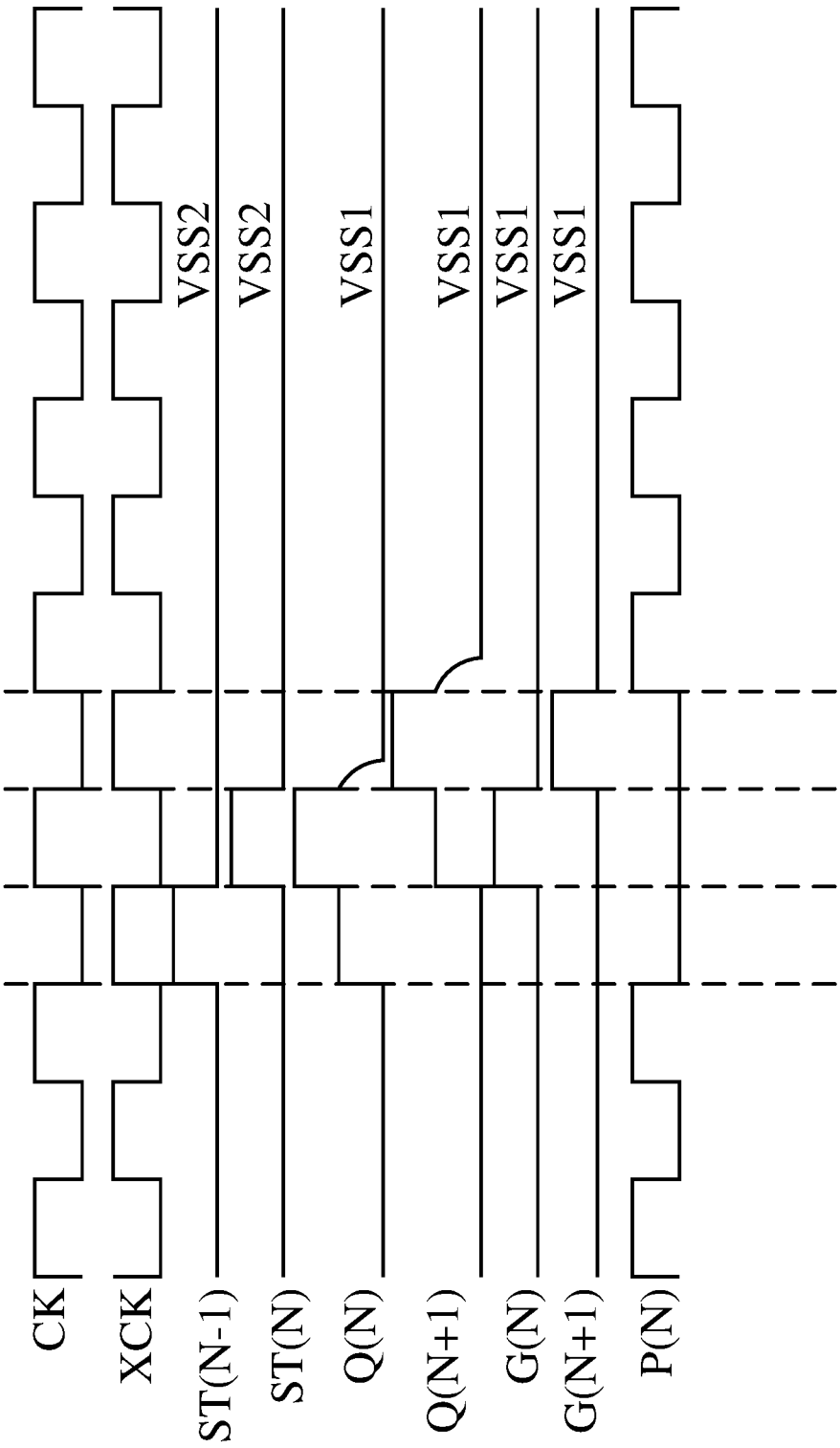

图 8B

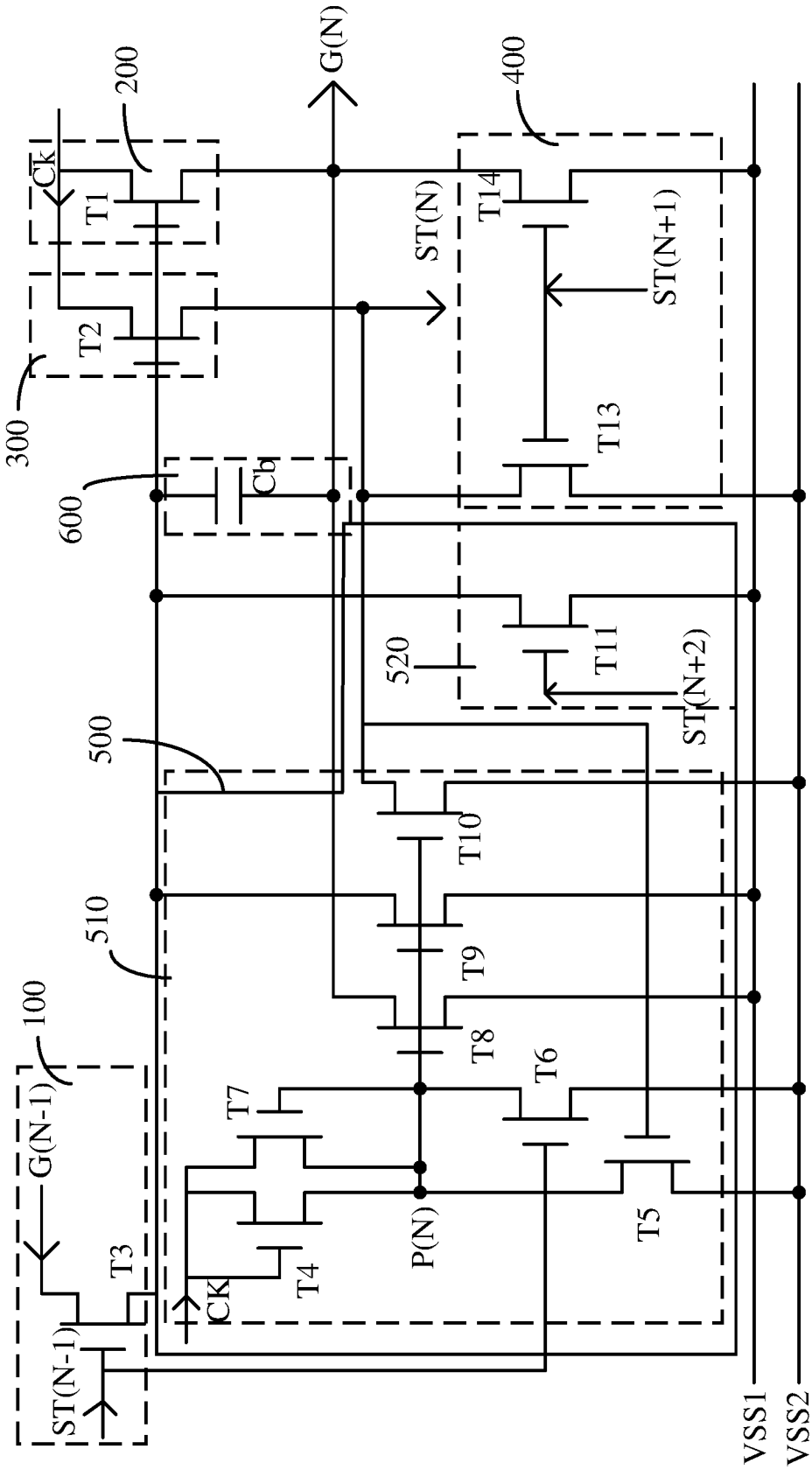
G(N)
200
400
Ck
T1
T2
300
600
Cb
ST(N)
T14
ST(N+1)
T13
520
T11
ST(N+2)
500
T10
510
T9
T8
T6
T7
T5
100
G(N-1)
T3
T4
CK
P(N)
ST(N-1)
VSS1
VSS2

图 9A

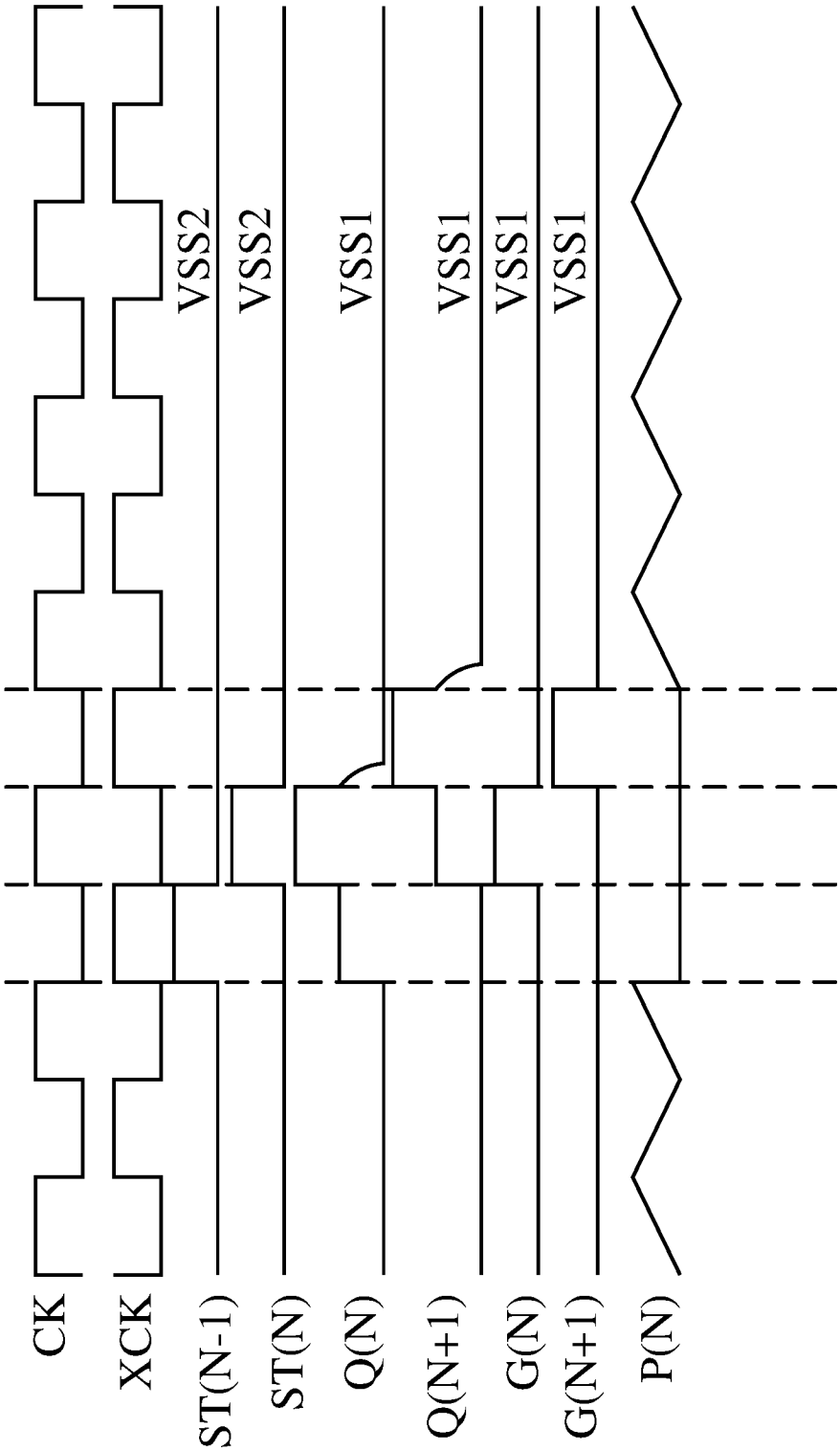

图 9B

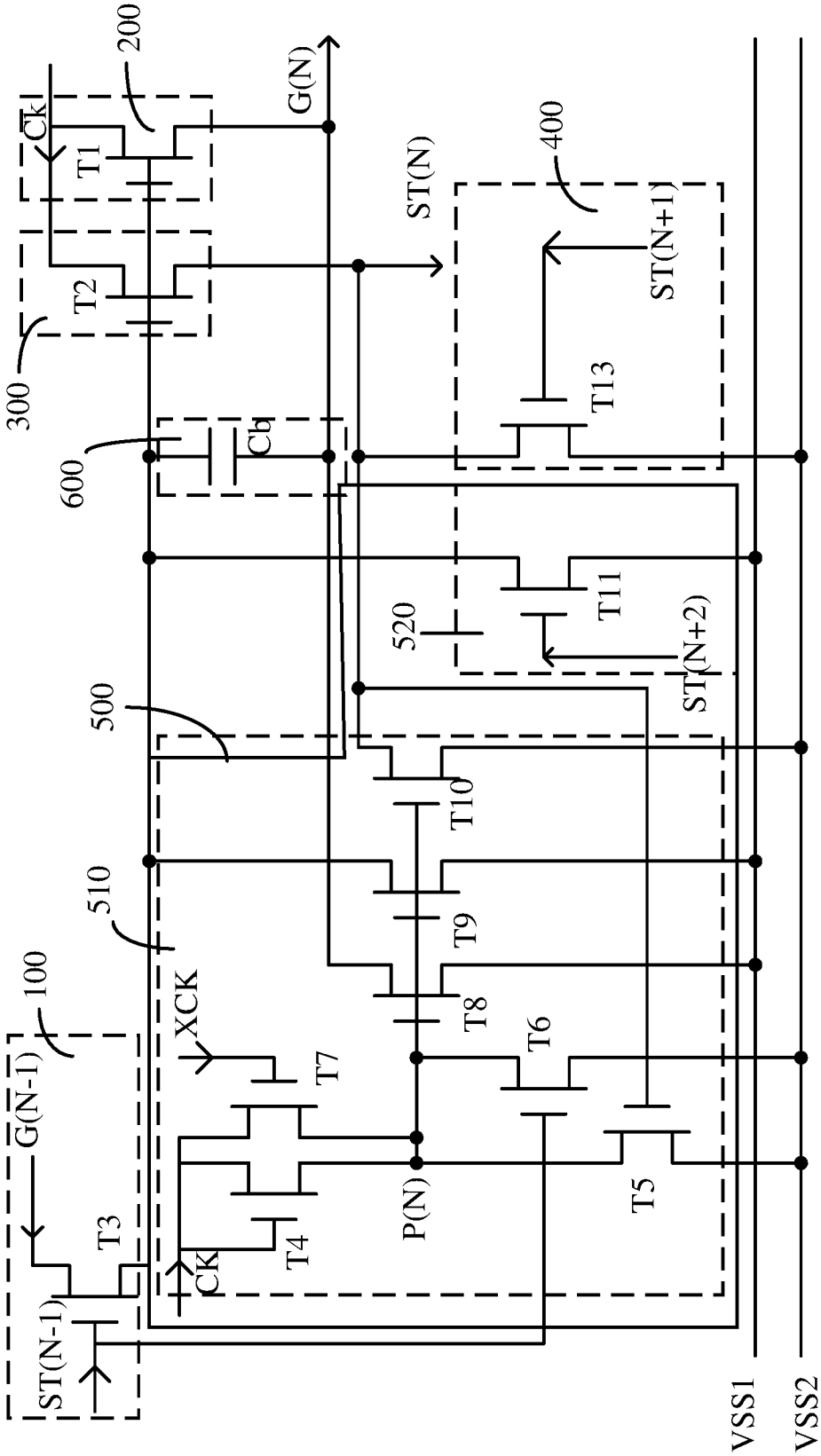
200
Ck
T1
T2
300
G(N)
ST(N)
400
ST(N+1)
T13
600
Cb
520
T11
ST(N+2)
500
T10
510
T9
T8
T6
T7
XCK
100
G(N-1)
T3
T4
CK
P(N)
T5
ST(N-1)
VSS1
VSS2

图 10A

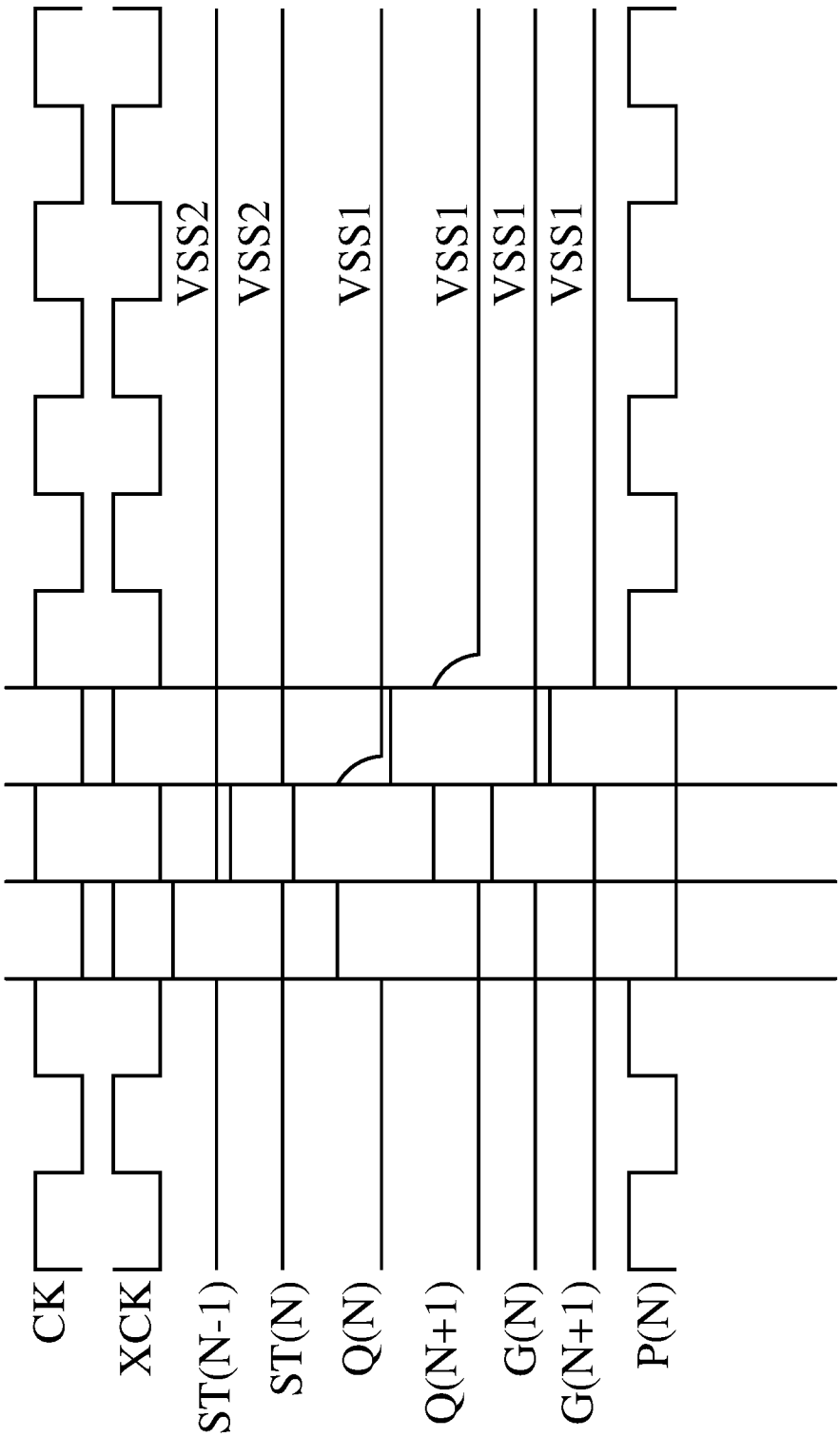

图 10B

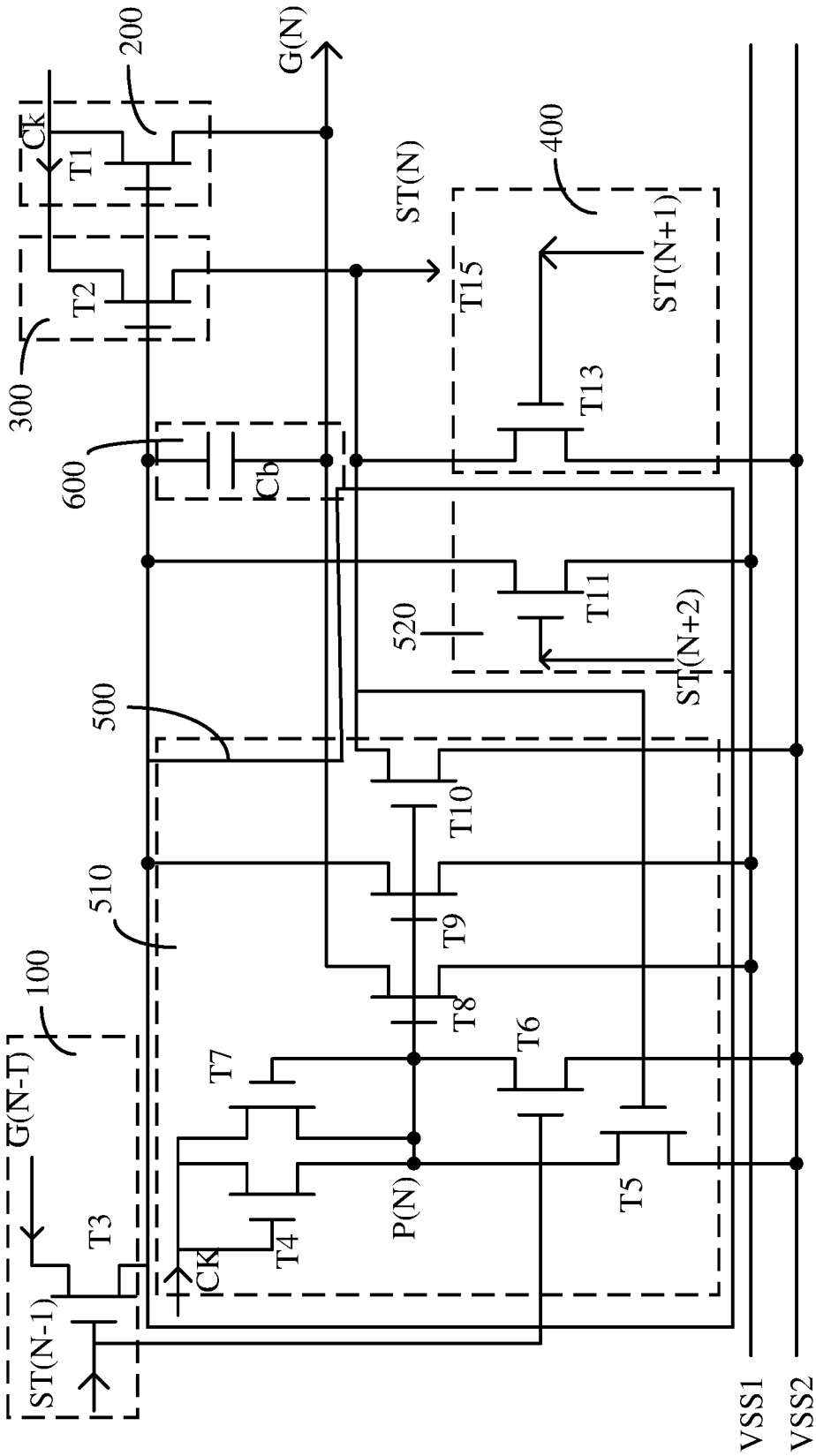
G(N)
200
CK
T1
T2
300
600
Cb
ST(N)
400
T15
T13
ST(N+1)
520
T11
ST(N+2)
500
T10
510
T9
T8
T6
T7
T5
P(N)
T4
T3
CK
100
G(N-1)
ST(N-1)
VSS1
VSS2

图 11A

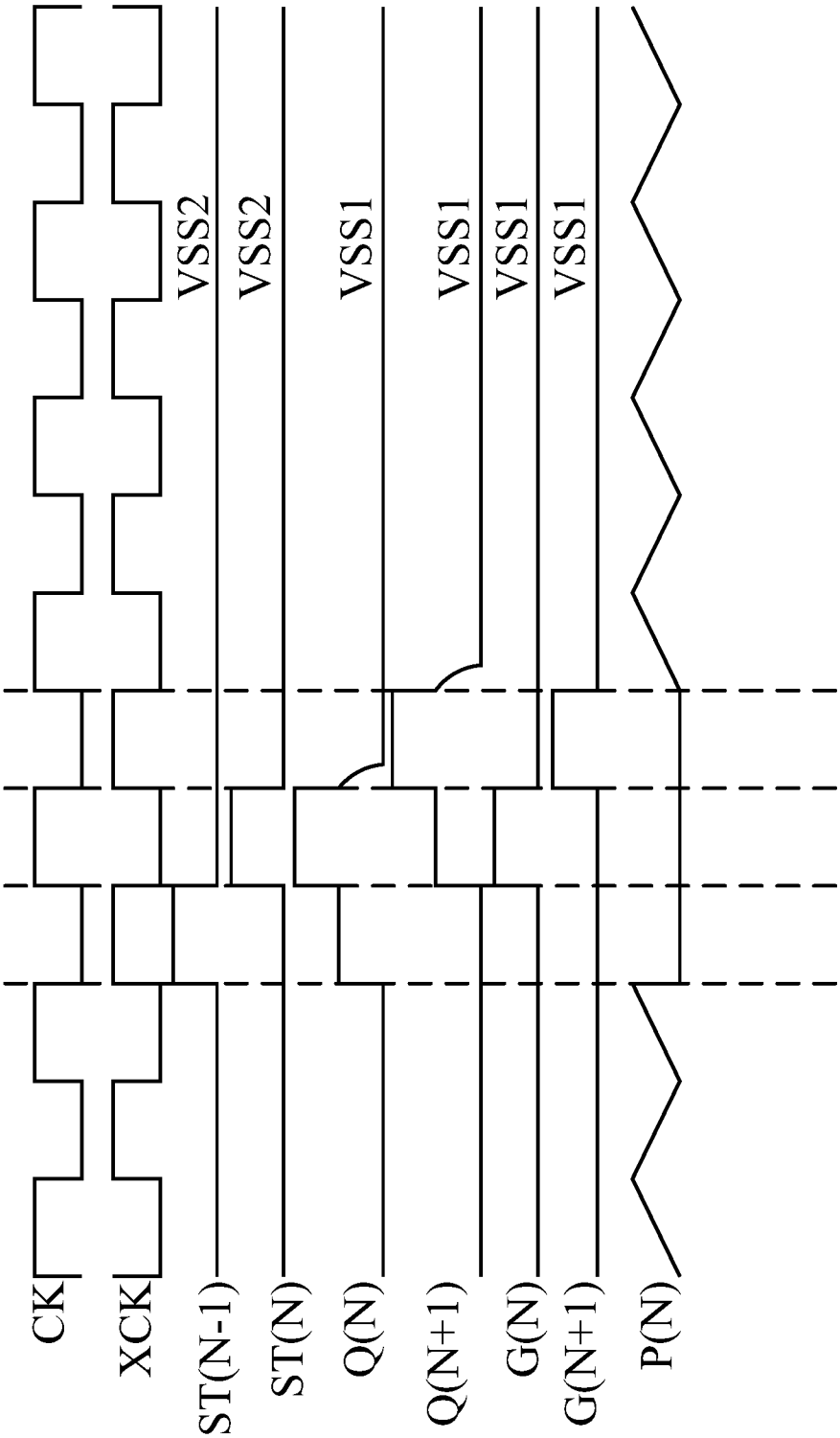

图 11B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/076783

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/-; G09G5/-; G02F1/133-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: pullup, tft, gate driver?, pull-up, pull, scan+ driver?, row driver?, up, GOA, tft, transistor, narrow, pull-down, off, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103680453 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECH) 26 March 2014 (26.03.2014) description, paragraphs [0049]-[0055]	1, 3, 4, 9, 10
Y	CN 103680453 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECH) 26 March 2014 (26.03.2014) description, paragraphs [0049]-[0055]	2, 5-8
Y	CN 103500550 A (AU OPTRONICS CORP.) 08 January 2014 (08.01.2014) description , paragraphs [0053]-[0054], and figure 4	2
Y	CN 103021360 A ((AU OPTRONICS CORP.) 03 April 2013 (03.04.2013) description, paragraph [0004], and figure 2	5-8
A	KR 20110000469 A (LG DISPLAY CO LTD) 03 January 2011 (03.01.2011) the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 October 2014 (15.10.2014)	16 January 2015 (16.01.2015)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
CHANG, Qing
Telephone No. (86-10) 62085778

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/076783

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103680453 A	26 March 2014	None	
CN 103500550 A	08 January 2014	None	
CN 103021360 A	03 April 2013	US 2014103983 A1	17 April 2014
		TW 201415802 A	16 April 2014
KR 20110000469 A	03 January 2011	None	

国际检索报告

国际申请号
PCT/CN2014/076783

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-,G09G5/-,G02F1/133-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;VEN:pullup，tft，gate driver?，pull-up，扫描，晶体管，pull，scan+ driver?，闸极，row driver，华星，友达，门极，up，栅极，下拉，上拉,保持，电压，偏移，窄，边框，GOA，tft, transistor, narrow, pull-down, off, volgate

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 103680453 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014-03-26) 说明书第[0049]-[0055]段	1，3-4，9-10
Y	CN 103680453 A (深圳市华星光电技术有限公司) 2014年 3月 26日 (2014-03-26) 说明书第[0049]-[0055]段	2，5-8
Y	CN 103500550 A (友达光电股份有限公司) 2014年 1月 08日 (2014-01-08) 说明书[0053]-[0054]，附图4	2
Y	CN 103021360 A (友达光电股份有限公司) 2013年 4月 03日 (2013-04-03) 说明书第[0004]段，附图2	5-8
A	KR 20110000469 A (LG DISPLAY CO LTD) 2011年 1月 03日 (2011-01-03) 全文	1-10

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2014年 10月 15日	2015年 1月 16日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451	常青 电话号码 (86-10)62085778

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/076783

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103680453	A	2014年 3月 26日	无			
CN	103500550	A	2014年 1月 08日	无			
CN	103021360	A	2013年 4月 03日	US	2014103983	A1	2014年 4月 17日
				TW	201415802	A	2014年 4月 16日
KR	20110000469	A	2011年 1月 03日	无			