

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月16日(16.08.2012)



(10) 国際公開番号

WO 2012/108122 A1

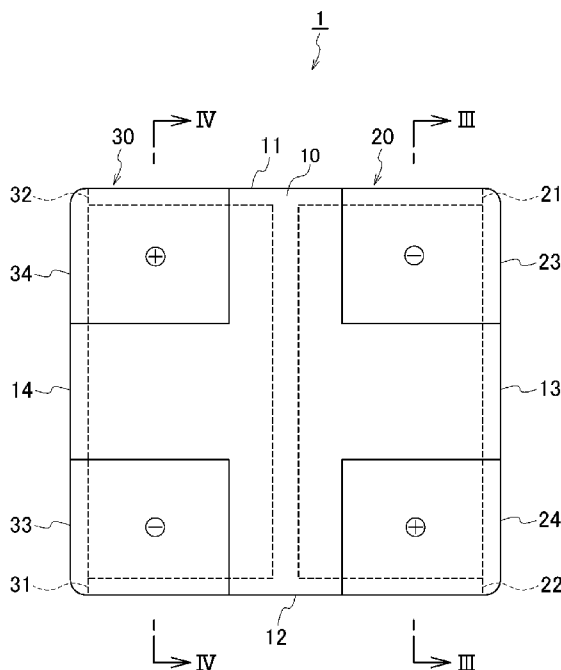
- (51) 国際特許分類:
H01G 4/12 (2006.01) H01G 4/38 (2006.01)
H01G 4/30 (2006.01)
- (21) 国際出願番号: PCT/JP2012/000077
- (22) 国際出願日: 2012年1月10日(10.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-024588 2011年2月8日(08.02.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社村田製作所(Murata Manufacturing Co., Ltd.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 市村 崇(ICHIMURA, Takashi) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 山長 功(YAMANAGA, Ko) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 上田 和弘(UEDA, Kazuhiro); 〒1020074 東京都千代田区九段南3丁目7番13号 九段小家ビル7階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ

[続葉有]

(54) Title: CAPACITOR ARRAY AND METHOD FOR INSTALLING CAPACITOR ARRAY

(54) 発明の名称: コンデンサアレイ、及び、コンデンサアレイの実装方法

[図2]



(57) Abstract: Provided is a capacitor array that can reduce the source impedance at the anti-resonant frequency while keeping the source impedance at the resonant frequency low, and that can be further reduced in size. The capacitor array (1) includes: a ceramic sintered element (10); a low-ESR capacitor element (30) and a high-ESR capacitor element (20) that are arranged in the ceramic sintered element (10), the high-ESR capacitor element having a higher ESR than the low-ESR capacitor element (30); and external electrodes (23, 24) and external electrodes (33, 34) provided in pairs for the respective capacitor elements (20, 30) and provided on the side surfaces (11, 12) of the ceramic sintered element (10). At the time of installation onto a multilayer substrate, the external electrode (23) and the external electrode (34), as well as the external electrode (24) and the external electrode (33), that are adjacent to one another in the arrangement direction of the capacitor elements (20, 30) are connected to the opposite polarities of a power source.

(57) 要約:

[続葉有]

WO 2012/108122 A1



ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー 添付公開書類:

ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, — 国際調査報告 (条約第 21 条(3))
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げる
ことができ、かつ、サイズをより小型化することが可能なコンデンサアレイを提供する。コンデンサ
アレイ(1)は、セラミック焼結体(10)と、該セラミック焼結体(10)内に配設される低ESR
コンデンサ素子(30)及び該低ESRコンデンサ素子(30)よりもESRが高い高ESRコンデン
サ素子(20)と、コンデンサ素子(20, 30)毎に対となってセラミック焼結体(10)の側面
(11, 12)に設けられた外部電極(23, 24)、外部電極(33, 34)とを備える。コンデン
サ素子(20, 30)の配列方向に沿って隣り合う外部電極(23)と外部電極(34)、及び、外部
電極(24)と外部電極(33)とは、多層基板に実装される際に、接続される電源の極性が互いに異
なる。

明 細 書

発明の名称：

コンデンサアレイ、及び、コンデンサアレイの実装方法

技術分野

[0001] 本発明は、1つの誘電体素体内に複数のコンデンサ素子が配設されたコンデンサアレイ、及び、該コンデンサアレイの実装方法に関する。

背景技術

[0002] デジタル回路では、ICやLSIの動作中の負荷変動を吸収したり、ノイズを除去するため、電源－グランド間にデカップリングコンデンサが挿入されている。電圧変動を抑制する観点から、電源インピーダンスは可能な限り低い方がよく、よってデカップリングコンデンサのインピーダンスも低いことが望ましい。

[0003] ところで、現実のコンデンサには、容量成分（ESC（Equivalent Series Capacitance））の他、等価直列インダクタンス（ESL（Equivalent Series Inductance））や等価直列抵抗（ESR（Equivalent Series Resistance））が存在する。そのため、デカップリングコンデンサが実装された多層プリント基板（以下、単に「多層基板」という）では、デカップリングコンデンサの容量（ESC）と、多層基板の配線等のインダクタンス（L成分）及びデカップリングコンデンサのESLとによる共振（直列共振）、及び、多層基板の電源プレーン－グランドプレーン間の容量と、多層基板の配線等のインダクタンス（L成分）及びデカップリングコンデンサのESLによる反共振（並列共振）が起きる。

[0004] よって、電源インピーダンスは、共振周波数を境にして、低周波側では、周波数が高くなるに従って低くなるが、高周波側では、周波数が高くなるほど高くなる傾向を示す。すなわち、電源インピーダンスは、共振周波数付近で谷型の特性を示す。一方、電源インピーダンスは、反共振周波数を境にし

て、低周波側では周波数が高くなるに従って高くなるが、高周波側では周波数が高くなるほど低くなる。すなわち、反共振周波数付近で山型の特性を示す。ここで、共振周波数では、インピーダンスが極小となり低く保たれるため、電圧変動は小さくなるが、反共振周波数では、インピーダンス極大となりが高くなるため、電圧変動が大きくなる。このような反共振を抑制する方法としては、デカップリングコンデンサの等価直列抵抗を大きくする（Q値を低くする）ことが考えられる。

[0005] ここで、小容量積層セラミックコンデンサ素子と、等価直列抵抗が大きな大容量積層セラミックコンデンサ素子とを組み合わせた複合積層セラミックコンデンサが特許文献1に開示されている。この複合積層セラミックコンデンサは、大容量積層セラミックコンデンサ素子の外部電極の等価直列抵抗の抵抗値を、小容量積層セラミックコンデンサ素子における外部電極の等価直列抵抗の抵抗値よりも大きくするとともに、大容量積層セラミックコンデンサ素子と小容量積層セラミックコンデンサ素子とを所定の間隔以上の隙間部を設けて結合したものである。

先行技術文献

特許文献

[0006] 特許文献1：特開2001-185446号公報

発明の概要

発明が解決しようとする課題

[0007] 上述した複合積層セラミックコンデンサによれば、大容量積層セラミックコンデンサ素子における等価直列抵抗が大きいため、周波数に対して穏やかなインピーダンス特性を示し、高周波特性を向上させることができる。しかしながら、大容量積層セラミックコンデンサ素子の電極と小容量積層セラミックコンデンサ素子の電極とが結合されているため、両素子を流れる電流の流れる向きが同じになる。そのため、隙間部の間隔を小さくすると、電磁気的な結合が生じ、一方の素子に流れている電流が他方の素子に流れるおそれ

がある。そのため、上述した複合積層セラミックコンデンサでは、小型化を図ることが困難である。

[0008] 本発明は、上記問題点を解消する為になされたものであり、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げることができ、かつ、サイズをより小型化することが可能なコンデンサアレイを提供することを目的とする。

課題を解決するための手段

[0009] 本発明に係るコンデンサアレイは、多層基板の電源－グランド間に実装されるコンデンサアレイであって、誘電体素体と、誘電体素体内に配設された複数のコンデンサ素子と、コンデンサ素子ごとに対となって誘電体素体の側面に設けられた外部電極とを備え、複数のコンデンサ素子が、等価直列抵抗の値が異なる少なくとも2種類のコンデンサ素子を含み、複数のコンデンサ素子の配列方向に沿って隣り合う外部電極が、多層基板に実装される際に、接続される電源の極性が互いに異なることを特徴とする。

[0010] 本発明に係るコンデンサアレイによれば、コンデンサアレイを構成する複数のコンデンサ素子が、等価直列抵抗（ESR）の値が異なる少なくとも2種類のコンデンサ素子を含んでいる。すなわち、他のコンデンサ素子よりもESRの値が高いコンデンサ素子を含んでいる。そのため、該コンデンサアレイが実装された際に、電源からグランドに流れる電流は、反共振周波数の付近以外の周波数（共振周波数を含む）ではESRの値が小さい方のコンデンサ素子（以下「低ESRコンデンサ素子」ともいう）を通り、反共振周波数の付近の周波数ではESRの値が高い方のコンデンサ素子（以下「高ESRコンデンサ素子」ともいう）を通る。そのため、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを下げるができる。また、本発明に係るコンデンサアレイによれば、多層基板に実装される際に、配列方向に沿って隣り合う外部電極に接続される電源の極性（＋、－）が互いに異なる。よって、隣り合うコンデンサ素子を流れる電流の向きが逆になり、相互インダクタンスが打ち消し合う方向に発生する。すなわ

ち、コンデンサ素子間の電磁気的な結合を抑制することができるため、隣り合うコンデンサ素子とコンデンサ素子との間隔をより小さくすることができる。これらの結果、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げることができ、かつ、よりサイズを小型化することが可能となる。

[0011] 本発明に係るコンデンサアレイは、2つのコンデンサ素子を含み、一方のコンデンサ素子の等価直列抵抗の値が、他方のコンデンサ素子の等価直列抵抗の値よりも高いことが好ましい。

[0012] この場合、上述したように、電源からグラウンドに流れる電流は、反共振周波数の付近以外の周波数（共振周波数を含む）では低ESRコンデンサ素子を通り、反共振周波数の付近の周波数では高ESRコンデンサ素子を通る。そのため、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを下げるができる。また、1つの低ESRコンデンサ素子と、1つの高ESRコンデンサ素子とでコンデンサアレイが構成されるため、より小型化を図ることができる。

[0013] 本発明に係るコンデンサアレイでは、複数のコンデンサ素子に含まれる等価直列抵抗の値が高い方のコンデンサ素子の数が、等価直列抵抗の値が低い方のコンデンサ素子の数以上であることが好ましい。

[0014] このようにすれば、並列に接続される高ESRコンデンサ素子の数が多くなる。そのため、より多くの高ESRコンデンサ素子のESLが並列に接続されることとなり、高ESRコンデンサ素子全体のESLがより低減される。その結果、反共振周波数での電源インピーダンスを効果的に低減することができる。

[0015] 本発明に係るコンデンサアレイでは、等価直列抵抗の値が高い方のコンデンサ素子の外部電極が、該コンデンサ素子の内部電極に接続される下地電極と、該下地電極を覆うように形成される抵抗皮膜と、該抵抗皮膜を覆うように形成されるメッキ層とを有することが好ましい。

[0016] この場合、高ESRコンデンサ素子の外部電極には、下地電極とメッキ層

との間に、当該下地電極を覆うように抵抗皮膜が形成される。そのため、該抵抗皮膜の抵抗値を調節することにより、コンデンサ素子のESR値を適切な値まで高めることができる。

[0017] 本発明に係るコンデンサアレイの実装方法は、上記いずれかのコンデンサアレイの実装方法であって、複数のコンデンサ素子の配列方向に沿って隣り合う外部電極に接続される電源の極性が互いに異なるように、コンデンサアレイを多層基板の電源－グランド間に実装することを特徴とする。

[0018] 本発明に係るコンデンサアレイの実装方法によれば、高ESRコンデンサ素子と低ESRコンデンサ素子とが、並列に、電源－グランド間に実装される。そのため、電源からグランドに流れる電流は、上述したように、反共振周波数の付近以外の周波数（共振周波数を含む）では低ESRコンデンサ素子を通り、反共振周波数の付近の周波数では高ESRコンデンサ素子を通る。よって、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを低減することができる。また、コンデンサ素子の配列方向に沿って隣り合う外部電極に接続される電源の極性が互いに異なるように実装されるため、隣り合うコンデンサ素子を流れる電流の向きが逆になり、コンデンサ素子間の電磁気的な結合を抑制することができる。

発明の効果

[0019] 本発明によれば、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げることができ、かつ、サイズをより小型化することが可能となる。

図面の簡単な説明

[0020] [図1]実施形態に係るコンデンサアレイの斜視図である。

[図2]実施形態に係るコンデンサアレイの平面図である。

[図3]図1，2のⅠⅠⅠ－ⅠⅠⅠ線に沿った断面図である。

[図4]図1，2のⅠⅤ－ⅠⅤ線に沿った断面図である。

[図5]実施形態に係るコンデンサアレイが実装された多層基板の要部拡大図である。

[図6]実施形態に係るコンデンサレイが実装された多層基板の電源インピーダンスの周波数特性を示す図である。

発明を実施するための形態

[0021] 以下、図面を参照して本発明の好適な実施形態について詳細に説明する。なお、各図において、同一要素には同一符号を付して重複する説明を省略する。

[0022] まず、図1～4を併せて用いて、実施形態に係るコンデンサレイ1の構成について説明する。図1は、コンデンサレイ1の外観を示す斜視図であり、図2は、コンデンサレイ1の平面図である。また、図3は、図1、2のⅠⅠⅠ－ⅠⅠⅠ線に沿った縦断面図であり、図4は、図1、2のⅠⅤ－ⅠⅤ線に沿った縦断面図である。

[0023] コンデンサレイ1は、直方体形状のセラミック焼結体10（請求の範囲に記載の誘電体素体に相当）と、該セラミック焼結体10内に配設された2個の積層セラミックコンデンサ素子20、30（請求の範囲に記載のコンデンサ素子に相当）を備えている。セラミック焼結体10は、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 などを主成分とする誘電体セラミックから形成されている。なお、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分が添加されていてもよい。

[0024] 2個の積層セラミックコンデンサ素子20、30は、互いに等価直列抵抗（ESR）の値が異なるように形成されている。具体的には、積層セラミックコンデンサ素子20は、積層セラミックコンデンサ素子30よりもESR値が高く設定されている。ここで、積層セラミックコンデンサ素子20（以下「高ESRコンデンサ素子20」という）のESR値は、100mΩよりも高く、例えば、所望する電源インピーダンス特性に応じて200～700mΩ程度に設定される。なお、本実施形態では、高ESRコンデンサ素子20のESR値を400mΩに設定した。一方、積層セラミックコンデンサ素子30（以下「低ESRコンデンサ素子30」という）のESR値は、例え

ば、 $100\text{ m}\Omega$ 以下に設定される。なお、本実施形態では、低ESRコンデンサ素子30のESR値を $10\text{ m}\Omega$ に設定した。

[0025] 図2, 3に示されるように、高ESRコンデンサ素子20は、セラミック層を介して厚み方向に積層された複数の内部電極21, 22を有している。内部電極21及び内部電極22は、略矩形の薄膜状に形成されており、セラミック層を介して互いに対向するように、交互に積層されている。内部電極21, 22は、例えば、Ni、Cu、Ag、Pd、Ag-Pd合金、Auなどから形成される。ここで、セラミック焼結体10の側面11, 12には、一对の外部電極23, 24が配設されており、内部電極21は、セラミック焼結体10の一方の側面11に引き出され、外部電極23と接続されている。内部電極22は、セラミック焼結体10の他方の側面12に引き出され、外部電極24と接続されている。

[0026] 一对の外部電極23と外部電極24とは、セラミック焼結体10を挟んで対向するように、該セラミック焼結体10の側面11, 12に形成されている。なお、外部電極23及び外部電極24の構成は同一であるので、ここでは、外部電極23を主にして説明する。外部電極23(24)は、内部電極21(22)に接続される下地電極23a(24a)と、該下地電極23a(24a)を覆うように形成される抵抗皮膜23b(24b)と、該抵抗皮膜23b(24b)を覆うように形成されるニッケルメッキ層23c(24c)及びスズメッキ層23d(24d)と含んで構成されている。なお、外部電極23(24)を構成する下地電極23a(24a)、抵抗皮膜23b(24b)、ニッケルメッキ層23c(24c)、及びスズメッキ層23d(24d)それぞれは、側面11(12)から、該側面11(12)と直交する側面13及び上下の主面に回り込むように形成されている。

[0027] 内部電極21(22)に接続される下地電極23a(24a)は、例えば、Cu、Ni、Ag、Pd、Ag-Pd合金、Auなどを含む導電性ペーストを焼き付けることによって形成される。

[0028] 抵抗皮膜23b(24b)は、抵抗成分を含有する抵抗ペーストを焼き付

けることによって形成される。抵抗皮膜 23b (24b) が形成されることにより高 ESR コンデンサ素子 20 の容量に対して抵抗成分が直列に入ることとなり、高 ESR コンデンサ素子 20 の ESR が高くなる。なお、抵抗成分としては、例えば、 In-Sn 複合酸化物 (ITO)、 La-Cu 複合酸化物、 Sr-Fe 複合酸化物、 Ca-Sr-Ru 複合酸化物などの複合酸化物が用いられる。また、抵抗皮膜 23b (24b) には、例えば B-Si 系ガラス、B-Si-Zn 系ガラスなどのガラスが添加される。さらに、抵抗皮膜 23b (24b) に、Ni、Cu、Mo、Cr、Nb などの金属や、 Al_2O_3 、 TiO_2 、 ZrO_2 、 ZnO_2 などの金属酸化物を添加することにより、比抵抗等を調整してもよい。

[0029] 抵抗皮膜 23b (24b) の外表面には、該抵抗皮膜 23b (24b) を覆うように、耐はんだ喰われ性を有するニッケルメッキ層 23c (24c)、及び、該ニッケルメッキ層 23c (24c) を覆い、はんだに対する濡れ性を良好とするためのスズメッキ層 23d (24d) が形成される。

[0030] 外部電極 23 は、多層基板に実装される際に、電源のマイナス (−) 極 (グランド) に接続されるグランド端子となる。また、外部電極 24 は、電源のプラス (+) 極に接続される電源端子となる。

[0031] 一方、図 2, 4 に示されるように、低 ESR コンデンサ素子 30 は、セラミック層を介して厚み方向に積層された複数の内部電極 31, 32 を有している。内部電極 31 及び内部電極 32 は、略矩形の薄膜状に形成されており、セラミック層を介して互いに対向するように、交互に積層されている。内部電極 31, 32 は、例えば、Ni、Cu、Ag、Pd、Ag-Pd 合金、Au などから形成されている。ここで、セラミック焼結体 10 の側面 11, 12 には、一对の外部電極 33, 34 が配設されており、内部電極 32 は、セラミック焼結体 10 の一方の側面 11 に引き出され、外部電極 34 と接続されている。内部電極 31 は、セラミック焼結体 10 の他方の側面 12 に引き出され、外部電極 33 と接続されている。

[0032] 一对の外部電極 33 と外部電極 34 とは、セラミック焼結体 10 を挟んで

対向するように、該セラミック焼結体 10 の側面 11, 12 に形成されている。なお、外部電極 33 及び外部電極 34 の構成は同一であるので、ここでは、外部電極 33 を主にして説明する。外部電極 33 (34) は、内部電極 31 (32) に接続される下地電極 33a (34a) と、該下地電極 33a (34a) を覆うように形成されるニッケルメッキ層 33c (34c) 及びスズメッキ層 33d (34d) と含んで構成されている。すなわち、外部電極 33 (34) は、上述した外部電極 23 (24) とは、抵抗皮膜 23b (24b) を有しない点で異なっている。そのため、低 ESR コンデンサ素子 30 の ESR 値は、高 ESR コンデンサ素子 20 の ESR 値よりも小さくなる。

[0033] なお、外部電極 33 (34) を構成する下地電極 33a (34a)、ニッケルメッキ層 33c (34c)、及びスズメッキ層 33d (34d) それぞれは、側面 12 (11) から、該側面 12 (11) と直交する側面 14 及び上下の主面に回り込むように形成されている。

[0034] 内部電極 31 (32) に接続される下地電極 33a (34a) は、上述した下地電極 23a (24a) と同様に、例えば、Cu、Ni、Ag、Pd、Ag-Pd 合金、Au などを含む導電性ペーストを焼き付けることによって形成される。

[0035] 下地電極 33a (34a) の外表面には、該下地電極 33a (34a) を覆うように、耐はんだ喰われ性を有するニッケルメッキ層 33c (34c)、及び、該ニッケルメッキ層 33c (34c) を覆い、はんだに対する濡れ性を良好とするためのスズメッキ層 33d (34d) が形成される。

[0036] 外部電極 33 は、多層基板に実装される際に、電源のマイナス (-) 極 (グランド) に接続されるグランド端子となる。また、外部電極 34 は、電源のプラス (+) 極に接続される電源端子となる。ここで、上述したように、外部電極 23 は、電源のマイナス (-) 極に接続されるグランド端子であり、外部電極 24 は、電源のプラス (+) 極に接続される電源端子である。よって、2 個のコンデンサ素子、すなわち、高 ESR コンデンサ素子 20 及び

低ESRコンデンサ素子30の配列方向に沿って隣り合う外部電極23と外部電極34とは、多層基板に実装される際に、接続される電源の極性が互いに異なるように実装される。同様に、外部電極24と外部電極33とは、多層基板に実装される際に、接続される電源の極性が互いに異なるように実装される。

[0037] ここで、多層基板100に実装されたコンデンサレイ1の様子を図5に示す。図5は、コンデンサレイ1が実装された多層基板100の要部拡大図である。多層基板100には、コンデンサレイ1の他、電源、ICやLSI等の電子部品（図示省略）が実装されている。多層基板100は、電源プレーン、及び、該電源プレーンと誘電体層を介して対向して配置されるグラウンドプレーンを内層として有している。多層基板100には、例えば銅箔などから形成され、電源（ICなどの電源ピン）－グラウンド間にコンデンサレイ1を接続するためのプリント配線（電源配線）110、111、112、113が形成されている。

[0038] プリント配線110の一端には、はんだ付けによってコンデンサレイ1の外部電極23が接続されている。このプリント配線110の他端は、ビア120と接続されている。ビア120は、プリント配線110の他端と多層基板100のグラウンドプレーンとを接続するものである。これにより、コンデンサレイ1の外部電極23は、グラウンドに接続される。また、プリント配線111の一端には、はんだ付けによってコンデンサレイ1の外部電極24が接続されている。このプリント配線111の他端は、ビア121と接続されている。ビア121は、プリント配線111の他端と多層基板100の電源プレーンとを接続するものである。これにより、コンデンサレイ1の外部電極24は、電源（ICの電源ピン）に接続される。

[0039] 同様に、プリント配線112の一端には、はんだ付けによってコンデンサレイ1の外部電極33が接続されている。このプリント配線112の他端は、ビア122と接続されている。ビア122は、プリント配線112の他端と多層基板100のグラウンドプレーンとを接続するものである。これによ

り、コンデンサレイ 1 の外部電極 3 3 は、グラウンドに接続される。また、プリント配線 1 1 3 の一端には、はんだ付けによってコンデンサレイ 1 の外部電極 3 4 が接続されている。このプリント配線 1 1 3 の他端は、ビア 1 2 3 と接続されている。ビア 1 2 3 は、プリント配線 1 1 3 の他端と多層基板 1 0 0 の電源プレーンとを接続するものである。これにより、コンデンサレイ 1 の外部電極 3 4 は、電源（IC の電源ピン）に接続される。

[0040] 上述したようにコンデンサレイ 1 が実装されることにより、高 ESR コンデンサ素子 2 0 と低 ESR コンデンサ素子 3 0 とが、並列に、かつ極性が逆向きに電源ーグラウンド間に挿入される。そのため、電源からグラウンドに流れる電流は、反共振周波数の付近以外の周波数（共振周波数を含む）では ESR が低い低 ESR コンデンサ素子 3 0 を通り、反共振周波数の付近の周波数ではインピーダンスが低い高 ESR コンデンサ素子 2 0 を通る。よって、共振周波数でのインピーダンスが低く保たれたまま、反共振周波数でのインピーダンスが低減される。

[0041] また、上述したように、多層基板 1 0 0 に実装される際に、高 ESR コンデンサ素子 2 0 及び低 ESR コンデンサ素子 3 0 の配列方向に沿って隣り合う外部電極 2 3 と外部電極 3 4 とは、接続される電源の極性が互いに異なる。同様に、外部電極 2 4 と外部電極 3 3 とは、接続される電源の極性が互いに異なる。よって、図 5 に一点鎖線の矢印で示されるように、高 ESR コンデンサ素子 2 0 を流れる電流の向きと、低 ESR コンデンサ素子 3 0 を流れる電流の流れる向きとが逆になる。その結果、相互インダクタンスが打ち消し合う方向に発生し、コンデンサ素子間の電磁気的な結合が抑制される。

[0042] ここで、本実施形態に係るコンデンサレイ 1 による電源インピーダンスの低減効果を確認するために、コンデンサレイ 1 を電源ーグラウンド間に実装した多層基板 1 0 0 の電源インピーダンスを測定した。また、比較例として、低 ESR コンデンサのみを実装した場合の電源インピーダンス、及び、高 ESR コンデンサのみを実装したときの電源インピーダンスを併せて測定した。なお、多層基板 1 0 0 として、電源プレーンーグラウンドプレーン間容

量が800 pF、電源プレーンのインダクタンスが20 pHのものをを用いた。また、コンデンサレイ1としては、ESLが200 pH、容量が0.1 μ F、ESRが400 m Ω の高ESRコンデンサ素子20と、ESLが200 pH、容量が0.1 μ F、ESRが10 m Ω の低ESRコンデンサ素子30とを有するものをを用いた。一方、比較例としての低ESRコンデンサとして、ESLが200 pH、容量が0.1 μ F、ESRが10 m Ω のものをを用いた。また、比較例としての高ESRコンデンサとして、ESLが200 pH、容量が0.1 μ F、ESRが400 m Ω のものをを用いた。

[0043] コンデンサレイ1が実装された多層基板100、低ESRコンデンサのみが実装された多層基板、及び、高ESRコンデンサのみが実装された多層基板それぞれの電源インピーダンスの周波数特性（測定結果）を図6に示す。図6に示されたグラフの横軸は周波数（Hz）であり、縦軸はインピーダンス（ Ω ）である。また、図6のグラフでは、実施形態に係るコンデンサレイ1を用いたときの測定結果を実線で、低ESRコンデンサのみを用いたときの測定結果を破線で、高ESRコンデンサのみを用いたときの測定結果を一点鎖線でそれぞれ示した。

[0044] 図6に破線で示されるように、低ESRコンデンサのみを用いた場合、共振周波数（約12 MHz）でのインピーダンスは低く（約13 m Ω ）抑えられているが、反共振周波数（約500 MHz）ではピークが生じ、インピーダンスが急激に増大（約100 Ω ）している。

[0045] 一方、図6に一点鎖線で示されるように、高ESRコンデンサのみを用いた場合、反共振周波数（約500 MHz）でのインピーダンスは比較的低く（約3 Ω ）抑えられている。しかしながら、反共振周波数よりも低周波数側、特に60 MHzよりも低い周波数領域で、インピーダンスが増大（約250～400 m Ω ）している。

[0046] 図6に実線で示されるように、本実施形態に係るコンデンサレイ1が実装されている場合、共振周波数（約16 MHz）でのインピーダンスは比較的低く（約22 m Ω ）抑えられている。また、反共振周波数（約500 MHz

z)でのインピーダンスも比較的低く(約5.5Ω)抑えられている。このように、本実施形態に係るコンデンサレイ1によれば、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを低減できることが確認された。

[0047] 本実施形態に係るコンデンサレイ1は、ESR値が高い高ESRコンデンサ素子20と、ESR値が低い低ESRコンデンサ素子30とを有している。そのため、コンデンサレイ1が実装された場合、電源からグラウンドに流れる電流は、反共振周波数の付近以外の周波数(共振周波数を含む)ではESRが低い低ESRコンデンサ素子30を通り、反共振周波数の付近の周波数ではインピーダンスが低い高ESRコンデンサ素子20を通る。そのため、共振周波数でのインピーダンスを低く保ったまま、反共振周波数でのインピーダンスを下げるができる。また、本実施形態によれば、多層基板100に実装される際に、高ESRコンデンサ素子20及び低ESRコンデンサ素子30の配列方向に沿って隣り合う外部電極23と外部電極34とは、接続される電源の極性が互いに異なる。同様に、外部電極24と外部電極33とは、接続される電源の極性が互いに異なる。よって、高ESRコンデンサ素子20を流れる電流の向きと、低ESRコンデンサ素子30を流れる電流の流れる向きとが逆になる。その結果、相互インダクタンスが打ち消し合う方向に発生し、コンデンサ素子間の電磁気的な結合が抑制される。よって、隣り合う高ESRコンデンサ素子20と低ESRコンデンサ素子30との間隔をより小さくすることができる。これらの結果、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げることができ、かつ、サイズをより小型化することが可能となる。

[0048] また、本実施形態によれば、1個の低ESRコンデンサ素子30と、1個の高ESRコンデンサ素子20とでコンデンサレイ1が構成されるため、より小型化を図ることができる。

[0049] 本実施形態によれば、高ESRコンデンサ素子20の外部電極23, 24には、下地電極23a, 24aとニッケルメッキ層23c, 24cとの間に

、下地電極 23 a, 24 a を覆うように抵抗皮膜 23 b, 24 b が形成されている。そのため、該抵抗皮膜 23 b, 24 b の抵抗値を調節することにより、比較的容易に高 ESR コンデンサ素子 20 の ESR 値を適切な値まで高くすることができる。

[0050] 本実施形態に係る多層基板 100 によれば、コンデンサアレイ 1 が電源ーグラウンド間に実装されているため、共振周波数での電源インピーダンスを低く保ったまま反共振周波数での電源インピーダンスを下げる事が可能となる。

[0051] 以上、本発明の実施の形態について説明したが、本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、上記実施形態では、2 個のコンデンサ素子 20, 30 を含む 4 端子のコンデンサアレイ 1 を例にして説明したが、コンデンサアレイに含まれるコンデンサ素子の数は 2 個には限られない。例えば、コンデンサアレイは、3 個のコンデンサ素子（6 端子）、4 個のコンデンサ素子（8 端子）、又は、それ以上の数のコンデンサ素子を含んでいてもよい。

[0052] その際に、コンデンサ素子の配列方向に沿って隣り合う電極は、多層基板に実装される際に接続される電源の極性が互いに異なるように配設される。また、その際に、コンデンサアレイは、1 個以上の高 ESR コンデンサ素子を含むものとする。ただし、高 ESR コンデンサ素子の数は、低 ESR コンデンサ素子の数以上であることが好ましい。そのようにすれば、並列に接続される高 ESR コンデンサ素子の数が多くなる。そのため、より多くの高 ESR コンデンサ素子の ESL が並列に接続されることとなり、高 ESR コンデンサ素子全体の ESL がより低減される。その結果、反共振周波数での電源インピーダンスを効果的に低減することができる。

[0053] 上記実施形態では、外部電極 23 及び外部電極 24 の双方に抵抗皮膜 23 b, 24 b を設ける構成としたが、いずれか一方の外部電極にのみ抵抗皮膜を設ける構成としてもよい。

[0054] また、実装される際にグラウンドに接続される外部端子 23 と外部端子 34

とは、内部で接続されていてもよい。その際に、抵抗皮膜は外部端子 2 4 側にのみ設けられる。

[0055] 上記実施形態では、高 ESR コンデンサ素子 2 0 の内部電極 2 1, 2 2 として、略矩形に形成されたものを用いたが、ESR を調節するために、外部電極 2 3, 2 4 (下地電極 2 3 a, 2 4 a) との接続部が狭窄された形状の内部電極を用いてもよい。

符号の説明

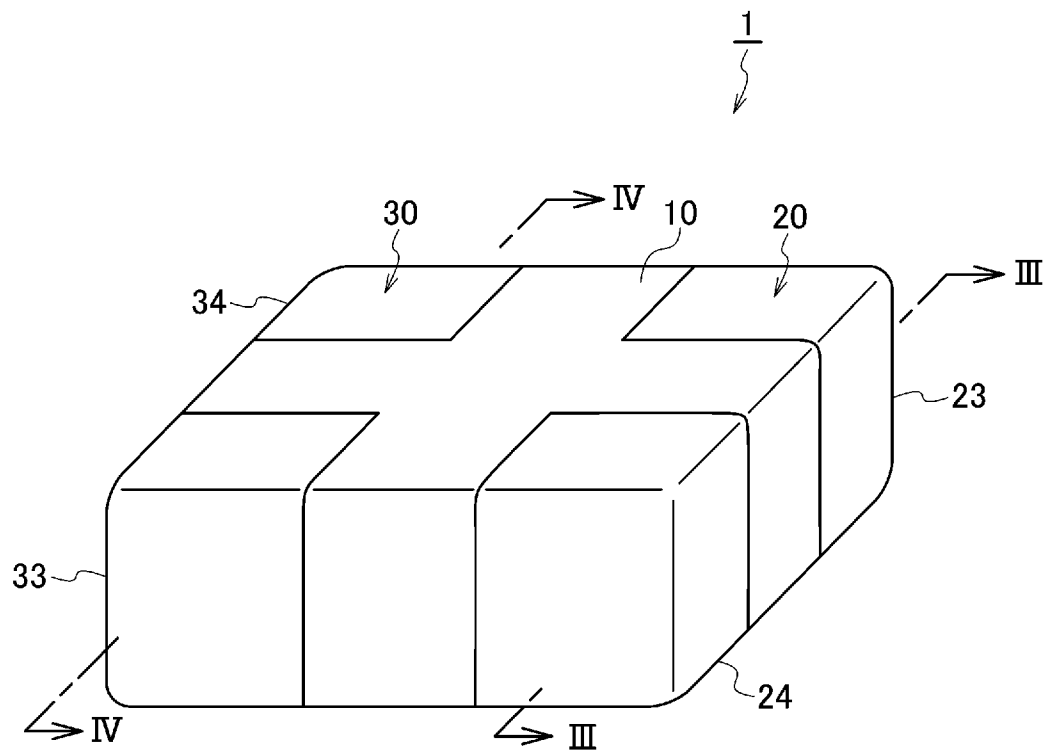
- [0056] 1 コンデンサアレイ
- 1 0 セラミック焼結体
- 2 0 高 ESR コンデンサ素子
- 3 0 低 ESR コンデンサ素子
- 2 1, 2 2, 3 1, 3 2 内部電極
- 2 3, 3 3 外部電極 (グランド端子)
- 2 4, 3 4 外部電極 (電源端子)
- 2 3 a, 2 4 a, 3 3 a, 3 4 a 下地電極
- 2 3 b, 2 4 b 抵抗皮膜
- 2 3 c, 2 4 c, 3 3 c, 3 4 c ニッケルメッキ層
- 2 3 d, 2 4 d, 3 3 d, 3 4 d スズメッキ層
- 1 0 0 多層基板
- 1 1 0, 1 1 1, 1 1 2, 1 1 3 電源配線
- 1 2 0, 1 2 1, 1 2 2, 1 2 3 ビア

請求の範囲

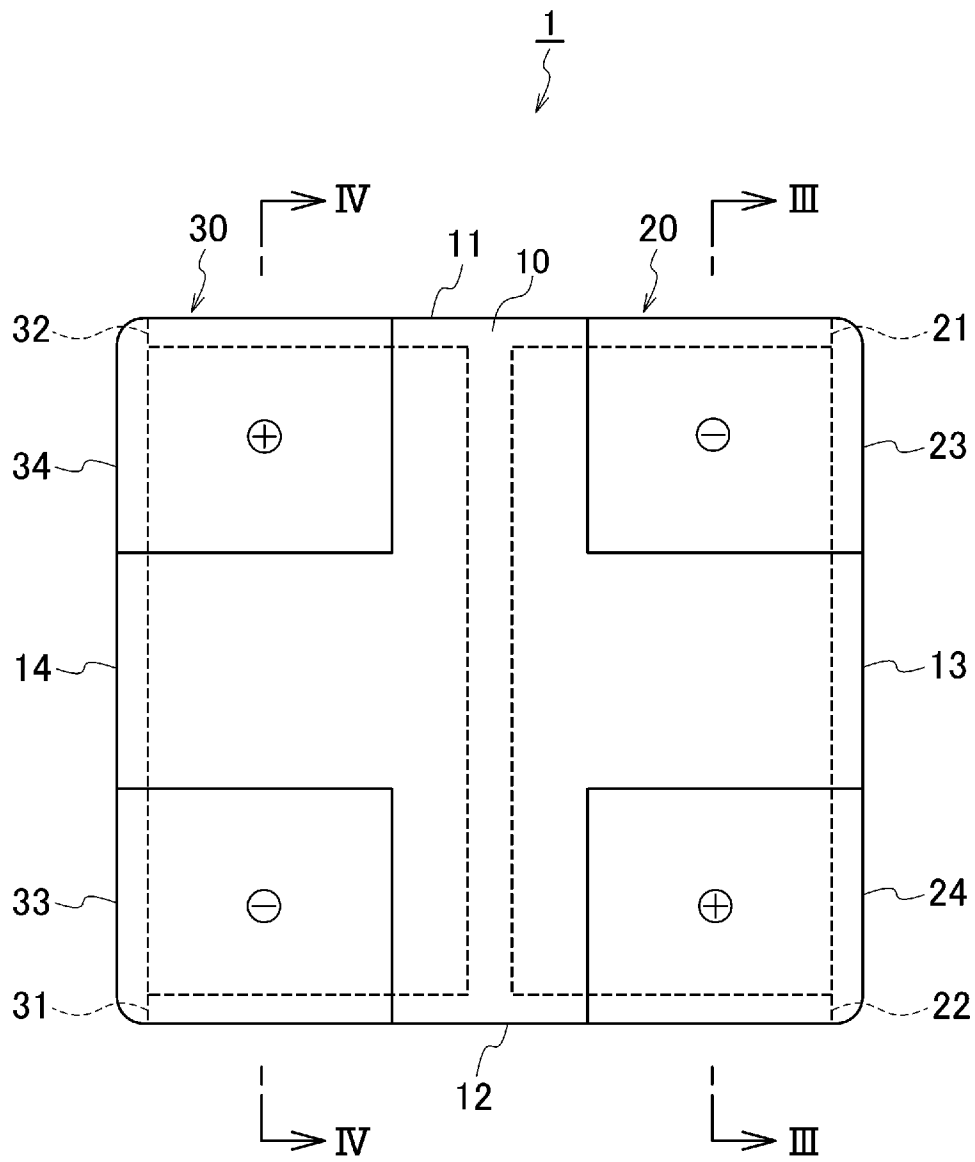
- [請求項1] 多層基板の電源－グランド間に実装されるコンデンサレイであって、
誘電体素体と、
前記誘電体素体内に配設された複数のコンデンサ素子と、
前記コンデンサ素子ごとに対となつて前記誘電体素体の側面に設けられた外部電極と、を備え、
前記複数のコンデンサ素子は、等価直列抵抗の値が異なる少なくとも2種類のコンデンサ素子を含み、
前記複数のコンデンサ素子の配列方向に沿って隣り合う前記外部電極は、前記多層基板に実装される際に、接続される電源の極性が互いに異なることを特徴とするコンデンサレイ。
- [請求項2] 2つの前記コンデンサ素子を含み、一方のコンデンサ素子の等価直列抵抗の値が、他方のコンデンサ素子の等価直列抵抗の値よりも高いことを特徴とする請求項1に記載のコンデンサレイ。
- [請求項3] 前記複数のコンデンサ素子に含まれる等価直列抵抗の値が高い方のコンデンサ素子の数は、等価直列抵抗の値が低い方のコンデンサ素子の数以上であることを特徴とする請求項1に記載のコンデンサレイ。
- [請求項4] 等価直列抵抗の値が高い方のコンデンサ素子の外部電極は、該コンデンサ素子の内部電極に接続される下地電極と、該下地電極を覆うように形成される抵抗皮膜と、該抵抗皮膜を覆うように形成されるメッキ層と、を有することを特徴とする請求項1～3のいずれか1項に記載のコンデンサレイ。
- [請求項5] 請求項1～4のいずれか1項に記載のコンデンサレイの実装方法であって、
前記複数のコンデンサ素子の配列方向に沿って隣り合う前記外部電極に接続される電源の極性が互いに異なるように、前記コンデンサ

レイを前記多層基板の電源－グランド間に実装することを特徴とする
コンデンサレイの実装方法。

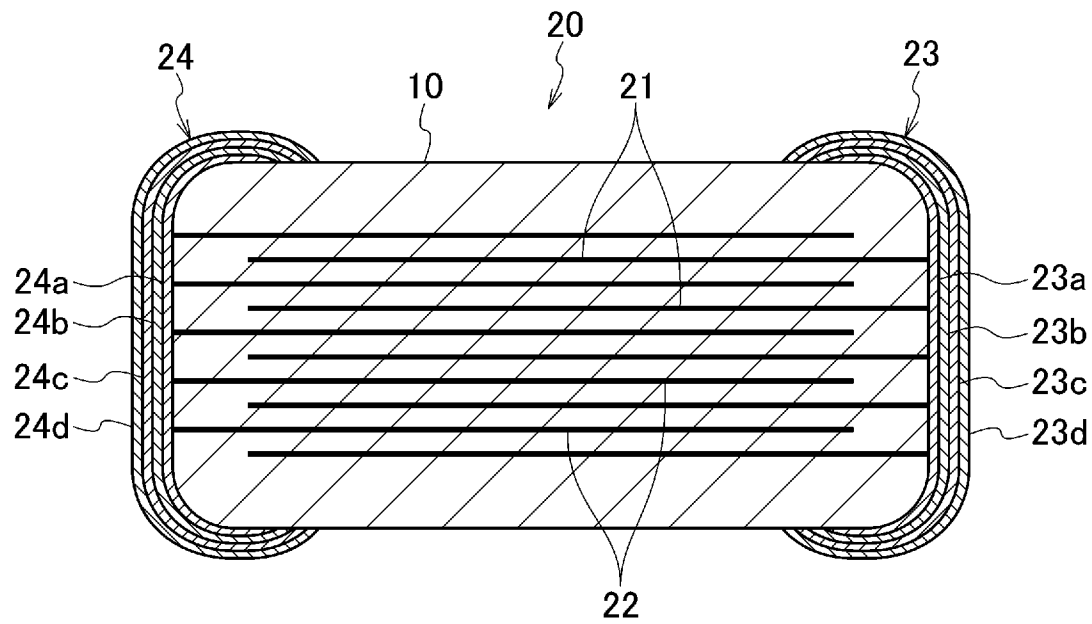
[図1]



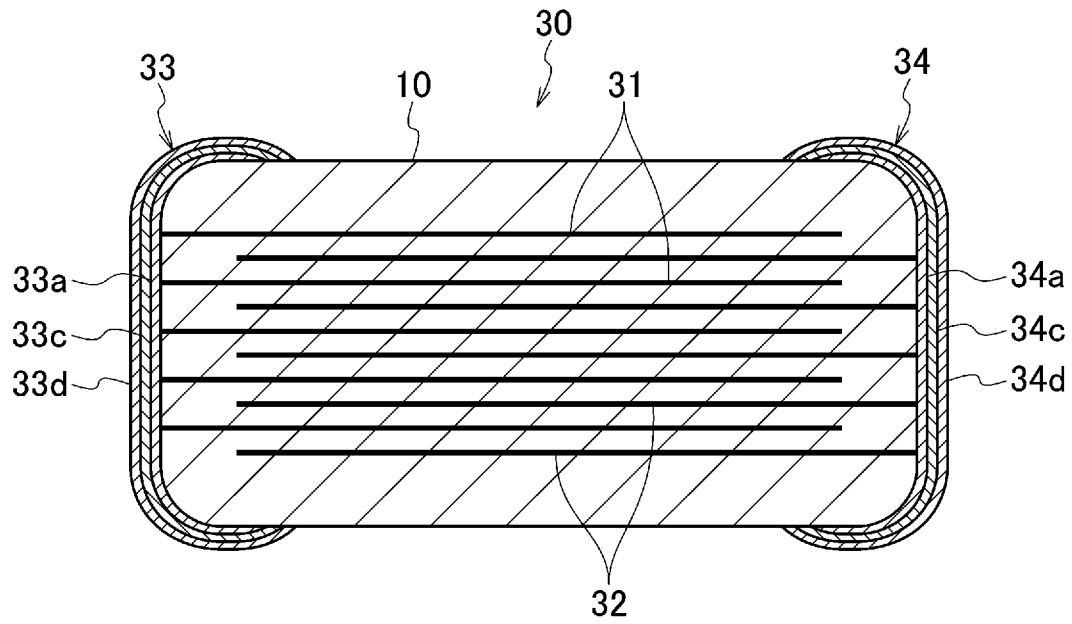
[図2]

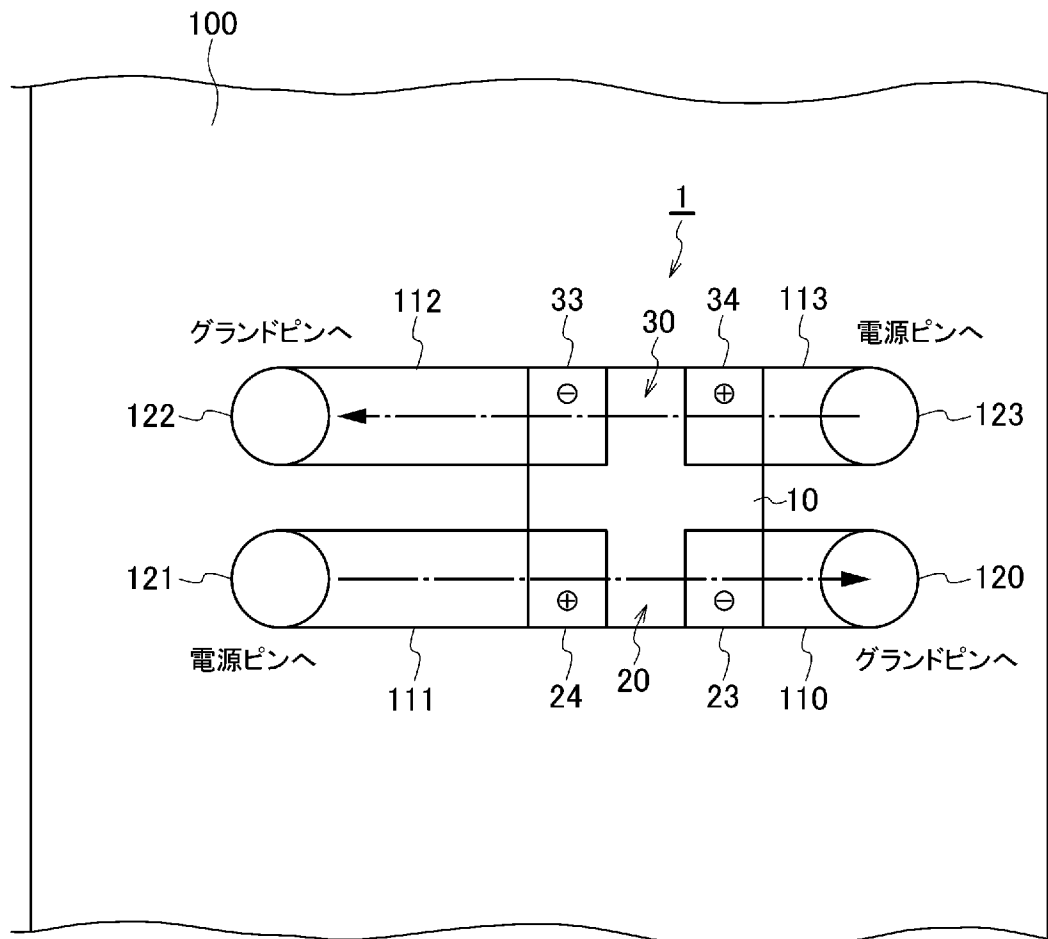


[図3]

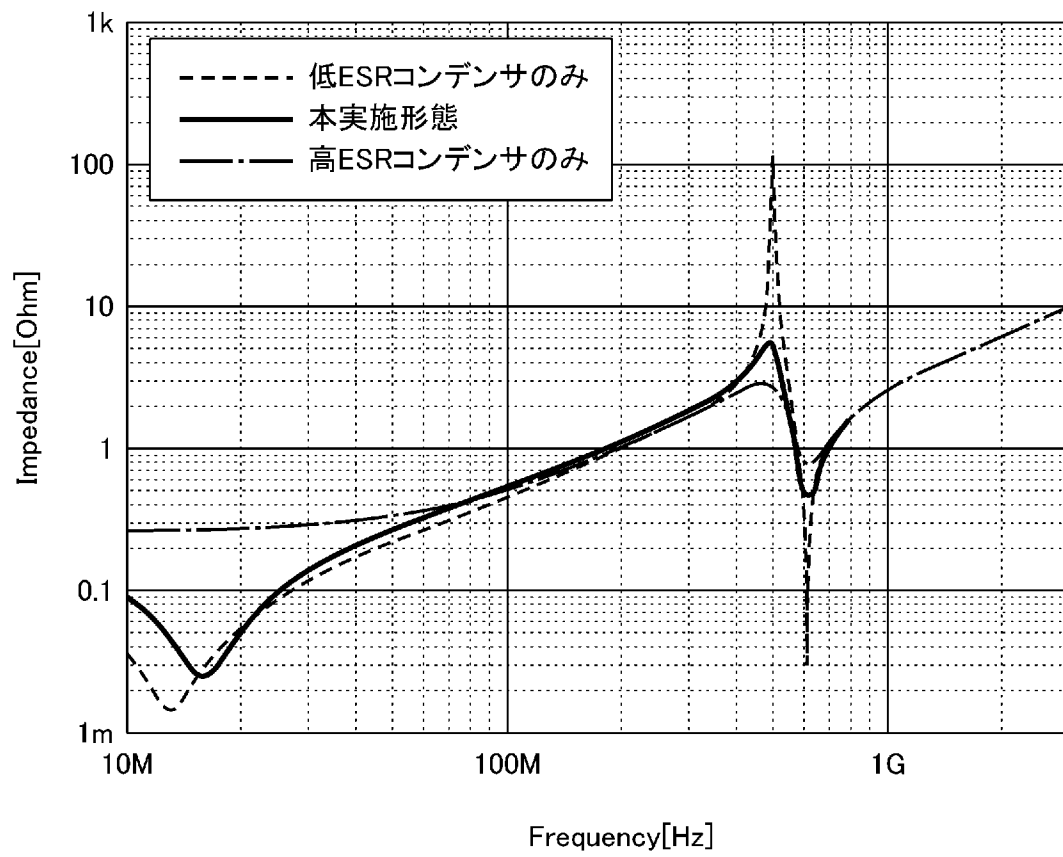


[図4]





[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000077

A. CLASSIFICATION OF SUBJECT MATTER

H01G4/12(2006.01) i, H01G4/30(2006.01) i, H01G4/38(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01G4/12, H01G4/30, H01G4/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-21797 A (TDK Corp.), 31 January 2008 (31.01.2008), claims; paragraphs [0008], [0115] to [0135]; fig. 9, 10 & US 2008/0013250 A1 & KR 10-2008-0006497 A & CN 101106019 A	1-3, 5 4
Y	JP 2005-51226 A (Murata Mfg. Co., Ltd.), 24 February 2005 (24.02.2005), paragraphs [0037] to [0052]; fig. 4 & US 2005/0012200 A1	4

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 April, 2012 (04.04.12)Date of mailing of the international search report
17 April, 2012 (17.04.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01G4/12(2006.01)i, H01G4/30(2006.01)i, H01G4/38(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01G4/12, H01G4/30, H01G4/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2008-21797 A (T D K株式会社) 2008.01.31, 特許請求の範囲, 段落【0008】、【0115】－【0135】、図9、図10 & US 2008/0013250 A1	1-3, 5
Y	& KR 10-2008-0006497 A & CN 101106019 A	4
Y	JP 2005-51226 A (株式会社村田製作所) 2005.02.24, 段落【0037】－【0052】、図4 & US 2005/0012200 A1	4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 4 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

田中 晃洋

電話番号 03-3581-1101 内線 3551

5 D

3 8 0 0