

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 29/786	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월25일 10-0503581 2005년07월15일
---	-------------------------------------	--

(21) 출원번호	10-2003-7000738	(65) 공개번호	10-2003-0029108
(22) 출원일자	2003년01월17일	(43) 공개일자	2003년04월11일
번역문 제출일자	2003년01월17일		
(86) 국제출원번호	PCT/JP2002/004750	(87) 국제공개번호	WO 2002/95834
국제출원일자	2002년05월16일	국제공개일자	2002년11월28일

(81) 지정국

국내특허 : 중국, 일본, 대한민국, 미국,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스, 터키,

(30) 우선권주장	JP-P-2001-00149453	2001년05월18일	일본(JP)
	JP-P-2002-00065794	2002년03월11일	일본(JP)

(73) 특허권자 산요덴키가부시키키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 요네다기요시
일본570-8677오사카후모리구찌시2쵸메게이한-혼도리5-5산요덴키가부시키키가이샤

야마다쯔토무
일본570-8677오사카후모리구찌시2쵸메게이한-혼도리5-5산요덴키가부시키키가이샤

유다신지
일본570-8677오사카후모리구찌시2쵸메게이한-혼도리5-5산요덴키가부시키키가이샤

스즈끼고지
일본570-8677오사카후모리구찌시2쵸메게이한-혼도리5-5산요덴키가부시키키가이샤

(74) 대리인 주성민
 이중희
 구영창

심사관 : 임동우

(54) 박막 트랜지스터 및 액티브 매트릭스형 표시 장치 및 이들의 제조 방법

요약

게이트 절연막(5)을 관통하는 제1 콘택트홀(6)을 형성하고, 게이트 절연막(5) 상에 게이트 전극(7g)을 형성하고, 동시에 제1 콘택트홀 내에는 제1 콘택트(7s, 7d)를 형성한다. 층간 절연막(8)을 관통하는 제2 콘택트홀(9)을 형성하고, 제2 콘택트홀(9) 내에 제2 콘택트(10)를 형성한다. 평탄화막(26)을 관통하는 제3 콘택트홀(11)을 형성하고, 제3 콘택트홀(11) 내

에 전극(40)을 형성한다. 전극(40)과 반도체막(3)을 전기적으로 접속하기 위해서 복수의 콘택트홀을 이용함으로써, 각 콘택트홀은 어스펙트비를 작게 할 수 있어, 수율 향상, 콘택트의 상면과 저면의 면적 차의 저감에 의한 고집적화 등을 실현한다.

대표도

도 3

색인어

박막 트랜지스터, 액티브 매트릭스형 표시 장치, 콘택트홀, 톱 게이트, 마스크, 이온 주입

명세서

기술분야

본 발명은 박막 트랜지스터(Thin Film Transistor: 이하 TFT라고 함) 및 이것을 구비한 액티브 매트릭스형 표시 장치, 및 이들의 제조 방법에 관한 것이다.

배경기술

액정 표시 장치나, 또한 최근 주목받고 있는 유기 일렉트로 루미네센스 표시 장치 등에 있어서, 고정밀한 표시를 실현하기 위해서 각 화소에 스위치 소자를 형성한, 소위 액티브 매트릭스형 표시 장치가 알려져 있다.

도 1A~ 도 1I는 종래의 액티브 매트릭스형 액정 표시 장치의 제조 공정 단면도이다.

공정 A(도 1A): 절연 기판(310) 상에, 비정질 실리콘(amorphous Silicon: 이하, 「a-Si」 이라고 함)막(320)을 형성한다.

공정 B(도 1B): 이 a-Si막(320)의 표면에 레이저를 조사함으로써, a-Si을 용융 재결정화하여 다결정 실리콘(poly Silicon: 이하, 「poly-Si」 이라고 함)막을 형성한다. 그리고, 포토리소그래피 및 에칭을 이용하여 poly-Si막을 섬 형상으로 패터닝하여, 반도체막(330)을 형성한다.

공정 C(도 1C): 절연 기판(310) 및 반도체막(330) 상에, 제1 절연막으로서, SiO₂막으로 이루어지는 게이트 절연막(340)을 형성한다. 게이트 절연막(340) 상에, 크롬(Cr)으로 이루어지는 금속막을 형성하고, 포토리소그래피 및 에칭을 이용하여 게이트 절연막(340) 상의 반도체막(330)의 중앙 부분에 대응하여 중첩되는 위치에 게이트 전극(350)을 형성한다.

공정 D(도 1D): 반도체막(330)에 대하여, 게이트 전극(350)을 마스크로 하여 P형 또는 N형의 불순물을 주입한다. 그 후, 주입된 불순물을 활성화시키기 위해서 가열 처리를 실시하여, 반도체막(330)에 소스 영역(330a) 및 드레인 영역(330b)을 형성한다.

이렇게 해서, 반도체 소자인 poly-Si TFT가 형성된다.

공정 E(도 1E): 게이트 절연막(340) 및 게이트 전극(350) 상에, 제2 절연막으로서, SiO₂막(360a) 및 SiN막(360b)의 2층으로 이루어지는 층간 절연막(360)을 형성한다.

공정 F(도 1F): 게이트 절연막(340) 및 층간 절연막(360)을 관통하고, 소스 영역(330a) 및 드레인 영역(330b)을 노출하도록, 제1 콘택트홀(370)을 형성한다. 드레인 영역(330b)을 노출하는 제1 콘택트홀(370)에는 알루미늄(Al)으로 이루어지고, 지면의 수직 방향으로 연장되는 배선(380)을 형성한다.

공정 G(도 1G): 제1 콘택트홀(370) 및 층간 절연막(360), 배선(380)의 위에, 유기계 재료로 이루어지는 평탄화막(390)을 형성하여 표면을 평탄화한다.

공정 H(도 1H): 평탄화막(390)을 관통하고, 소스 영역(330a)을 노출하는 제2 콘택트홀을 형성하고, 이 제2 콘택트홀에 ITO(Indium Tin Oxide: 산화 인듐 주석)로 이루어지고, 소스 영역(330a)에 접속되어 평탄화막(390) 상으로 확산되는 화소 전극(400)을 형성한다.

공정 I(도 1I): 화소 전극(400) 및 평탄화막(390) 상에 폴리이미드, SiO₂ 등으로 이루어지고, 액정을 배향시키는 배향막(410)을 형성한다.

이와 같이 하여, 액티브 매트릭스형 액정 표시 장치의 TFT 기판이 완성된다. 액정 표시 장치는 TFT 기판과 공통 전극이 형성된 대향 기판 사이에 액정을 끼워 구성된다.

상기한 제조 방법에서는 TFT의 소스 영역(330a)과 화소 전극(400)을 접속하는 제2 콘택트홀은, 평탄화막(390) 및 층간 절연막(360)을 개구하여 형성되기 때문에, 개구 직경에 비하여 깊은, 즉 어스펙트비가 큰 것으로 된다. 그 때문에, 제2 콘택트홀 형성 시에, 소스 영역(330a)에 도달할 때까지 평탄화막(390)을 완전히 제거할 수 없는 경우가 있다. 반대로, 평탄

화막(390)을 완전하게 제거하기 위해서, 에칭을 행하는 시간을 길게 설정하면, 평탄화막(390) 및 층간 절연막(360)과 반도체막(330) 사이에서, 완전하게 선택적인 에칭을 할 수 없기 때문에, 반도체막(330) 상의 소스 영역(330a)의 표면이 거칠게 되는 등, 에칭의 가감이 어렵고, 콘택트홀의 깊이나 크기에 오차가 생기기 쉬워져, 수율을 낮추는 원인의 하나가 되었다.

또한, 콘택트홀은 화학 반응을 이용한 에칭을 이용하여 형성하기 때문에, 콘택트홀의 상단의 면적은 저면의 면적보다 커진다. 그 차는 콘택트홀이 깊을수록 커지기 때문에, 깊은 콘택트홀을 형성하기 위해서는 상단에 넓은 면적을 확보할 필요가 있어, 고집적화를 저해하였다.

본 발명은 상기 과제를 해결하기 위해서 이루어진 것으로, 콘택트홀의 용이하고 또한 확실한 형성을 가능하게 하여 수율을 향상시키고, 또한 고집적화를 한층 더 도모하는 것을 목적으로 한다.

본 발명의 다른 목적은 박막 트랜지스터의 제조에 있어서, 불순물 도핑 시의 마스크 재료의 경화를 방지하는 것이다.

<발명의 개시>

본 발명은 상기 목적을 달성하기 위해서 이루어진 것으로 다음과 같은 특징을 갖는다.

즉, 본 발명은 박막 트랜지스터의 제조 방법에 관한 것으로, 절연 기판 상에 섬 형상의 반도체막을 형성하는 공정과, 상기 절연 기판 및 상기 반도체막 상에 상기 반도체막을 덮어 제1 절연막을 형성하는 공정과, 상기 제1 절연막을 관통하고, 상기 반도체막의 일부를 노출하는 적어도 1개의 제1 콘택트홀을 형성하는 공정과, 상기 제1 절연막 상 및 상기 제1 콘택트홀 내에 제1 도전체막을 형성하고, 그 제1 도전체막을 에칭하여 상기 반도체막의 일부에 중첩되는 게이트 전극 및 상기 제1 콘택트홀 내에 상기 반도체막에 전기적으로 접속된 제1 콘택트를 동시에 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 적어도 상기 제2 절연막을 관통하고, 상기 제1 콘택트의 일부를 노출하는 제2 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 제1 콘택트에 전기적으로 접속된 소정 형상의 배선 및 제2 콘택트를 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 적어도 상기 제2 절연막을 관통하고, 상기 제1 콘택트 및 상기 반도체막의 일부를 노출하는 적어도 2개의 제2 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 반도체막에 전기적으로 접속된 소정 형상의 배선 및 제2 콘택트를 형성하는 공정을 더 포함한다.

본 발명의 다른 양태는, 박막 트랜지스터를 이용한 액티브 매트릭스형 표시 장치에 관한 것이다. 구체적으로는, 박막 트랜지스터를 갖는 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 절연 기판 상에 섬 형상의 반도체막을 형성하는 공정과, 상기 절연 기판 및 상기 반도체막 상에 상기 반도체막을 덮어 제1 절연막을 형성하는 공정과, 상기 제1 절연막을 관통하고, 상기 반도체막의 일부를 노출하는 적어도 하나의 제1 콘택트홀을 형성하는 공정과, 상기 제1 절연막 상 및 상기 제1 콘택트홀 내에 제1 도전체막을 형성하고, 그 제1 도전체막을 에칭하여 상기 반도체막의 일부에 중첩되는 게이트 전극 및 상기 제1 콘택트홀 내에 상기 반도체막에 전기적으로 접속된 제1 콘택트를 동시에 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 적어도 상기 제2 절연막을 관통하고, 상기 제1 콘택트의 일부를 노출하는 제2 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 제1 콘택트에 전기적으로 접속된 소정 형상의 배선 및 제2 콘택트를 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제2 절연막과 상기 제2 콘택트와 상기 배선의 위에 하층의 구조에 의해 형성된 요철을 평탄화하는 평탄화막을 형성하는 공정과, 상기 평탄화막을 관통하고, 상기 제2 콘택트를 노출하는 제3 콘택트홀을 형성하는 공정과, 상기 평탄화막 상에 상기 제3 콘택트홀을 통하여, 상기 제2 콘택트에 전기적으로 접속되는 전극을 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 적어도 상기 제2 절연막을 관통하고, 상기 제1 콘택트 및 상기 반도체막의 일부를 노출하는 적어도 2개의 제2 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 반도체막에 전기적으로 접속된 소정 형상의 배선 및 제2 콘택트를 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제2 절연막과 상기 제2 콘택트와 상기 배선의 위에, 하층의 구조에 의해 형성된 요철을 평탄화하는 평탄화막을 형성하는 공정과, 상기 평탄화막을 관통하고, 제2 콘택트를 노출하는 제3 콘택트홀을 형성하는 공정과, 상기 평탄화막 상에 상기 제3 콘택트홀을 통하여, 상기 제2 콘택트에 전기적으로 접속되는 전극을 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 상기 제2 절연막을 관통하고, 상기 제1 콘택트를 노출하는 제2 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 제1 콘택트에 전기적으로 접속된 소정 형상의 배선을 형성하는 공정과, 상기 제2 절연막과 상기 제2 콘택트

와 상기 배선의 위에 하층의 구조에 의해 형성된 요철을 평탄화하는 평탄화막을 형성하는 공정과, 적어도 상기 평탄화막을 관통하는 제3 콘택트홀을 형성하는 공정과, 상기 평탄화막 상에 상기 제3 콘택트홀을 통하여, 상기 반도체막에 전기적으로 접속되는 전극을 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제3 콘택트홀은 상기 평탄화막 및 상기 제2 절연막을 관통하여 상기 제1 콘택트를 노출하고, 상기 전극은 상기 제3 콘택트홀을 통하여, 상기 제1 콘택트에 전기적으로 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치의 제조 방법에 있어서, 상기 제1 절연막과 상기 게이트 전극과 상기 제1 콘택트를 덮어 제2 절연막을 형성하는 공정과, 상기 제2 절연막을 관통하고 상기 제1 콘택트를 노출하는 제2 콘택트홀과, 상기 제2 절연막 및 상기 제1 절연막을 관통하고 상기 반도체막을 노출하는 제3 콘택트홀을 형성하는 공정과, 상기 제2 절연막 상 및 상기 제2 콘택트홀 내, 상기 제3 콘택트홀 내에 제2 도전체막을 형성하고, 소정 영역을 에칭하여 상기 제1 콘택트에 전기적으로 접속된 제2 콘택트와 상기 반도체막에 전기적으로 접속된 소정 형상의 배선을 형성하는 공정과, 상기 제2 절연막 및 상기 제2 콘택트, 상기 배선의 위에 하층의 구조에 의해 형성된 요철을 평탄화하는 평탄화막을 형성하는 공정과, 상기 평탄화막을 관통하고, 상기 제2 콘택트를 노출하는 제4 콘택트홀을 형성하는 공정과, 상기 평탄화막 상에 상기 제4 콘택트홀을 통하여, 상기 제2 콘택트에 전기적으로 접속되는 전극을 형성하는 공정을 포함한다.

본 발명의 다른 양태에서는, 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체막으로 이루어지는 능동층과, 게이트 절연막, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터로서, 상기 반도체막은 절연 기판 상에 형성되고, 상기 반도체막을 덮어 상기 게이트 절연막이 형성되고, 상기 게이트 절연막 상의 채널 대응 영역에 상기 게이트 전극이 형성되고, 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역 중 적어도 한쪽에는 제1 콘택트홀이 형성되고, 상기 소스 대응 영역 및 드레인 대응 영역 중 적어도 한쪽에 형성된 상기 제1 콘택트홀에는 상기 게이트 전극과 동일 재료로 이루어지고, 대응하는 상기 반도체막의 소스 영역 또는 드레인 영역에 전기적으로 접속된 제1 콘택트가 매립되고, 상기 소스 전극 및 상기 드레인 전극의 대응하는 어느 하나 또는 양쪽이 상기 제1 콘택트를 통하여 대응하는 상기 반도체막의 상기 소스 영역 또는 드레인 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터에 있어서, 상기 제1 콘택트홀은 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역의 각각에 개구되고, 상기 제1 콘택트홀의 각각에는 상기 제1 콘택트가 매립되고, 상기 소스 전극은 대응하는 상기 제1 콘택트를 통하여 상기 반도체막의 소스 영역에 접속되고, 상기 드레인 전극은 대응하는 상기 제1 콘택트를 통하여 상기 반도체막의 드레인 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터에 있어서, 상기 소스 전극 및 상기 드레인 전극은, 상기 제1 콘택트 및 상기 게이트 전극을 덮은 층간 절연막의 상기 제1 콘택트 대응 영역에 각각 개구된 제2 콘택트홀에서 대응하는 상기 소스 영역과 상기 드레인 영역에 접속된다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터에 있어서, 상기 제1 콘택트홀은 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역 중 어느 한쪽에 개구되고, 상기 제1 콘택트홀에는 상기 제1 콘택트가 매립되고, 상기 소스 전극 및 상기 드레인 전극 중 어느 한쪽이 상기 제1 콘택트를 통하여 대응하는 상기 반도체막의 소스 영역 또는 드레인 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터에 있어서, 상기 소스 전극 및 상기 드레인 전극의 다른 쪽은, 상기 게이트 전극 및 상기 게이트 절연막을 덮어 형성된 층간 절연막과, 상기 게이트 절연막과의 대응 영역에, 상기 반도체막 표면이 바닥부에 노출하도록 개구된 제2 콘택트홀을 통하여 상기 반도체막의 대응하는 드레인 영역 또는 소스 영역에 접속된다.

본 발명의 다른 양태에서는, 상기 박막 트랜지스터에 있어서, 상기 게이트 전극 및 상기 제1 콘택트는 고용점 금속 재료이다.

본 발명의 다른 양태에서는, 채널 영역, 소스 영역 및 드레인 영역을 포함하는 반도체막으로 이루어지는 능동층과, 게이트 절연막, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터가 이용된 액티브 매트릭스형 표시 장치로서, 상기 반도체막은 절연 기판 상에 형성되고, 상기 반도체막을 덮어 상기 게이트 절연막이 형성되고, 상기 게이트 절연막 상의 채널 대응 영역에 상기 게이트 전극이 형성되고, 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역에는 각각 제1 콘택트홀이 형성되고, 상기 소스 대응 영역 및 드레인 대응 영역에 형성된 상기 제1 콘택트홀 중 적어도 한쪽에는 상기 게이트 전극과 동일 재료로 이루어지고, 대응하는 상기 반도체막의 소스 영역 또는 드레인 영역에 전기적으로 접속된 제1 콘택트가 매립되고, 상기 소스 전극 및 상기 드레인 전극 중 어느 하나 또는 양쪽이 상기 제1 콘택트를 통하여 대응하는 상기 반도체막의 상기 소스 영역 또는 드레인 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 제1 콘택트홀은 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역의 각각에 개구되고, 상기 제1 콘택트홀의 각각에는 상기 제1 콘택트가 매립되고, 상기 소스 전극 및 상기 드레인 전극은, 상기 제1 콘택트 및 상기 게이트 전극을 덮은 층간 절연막의 상기 제1 콘택트 대응 영역에 각각 개구된 제2 콘택트홀로 대응하는 상기 소스 영역과 상기 드레인 영역에 접속된다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극을 덮어 평탄화 절연막이 더 형성되고, 상기 평탄화 절연막의 상기 소스 전극 및 상기 드레인 전극 중 어느 한쪽의 대응 영역에 제3 콘택트홀이 형성되고, 상기 제3 콘택트홀로, 대응하는 상기 소스 전극 및 상기 드레인 전극 중 어느 하나와 화소 전극이 전기적으로 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 제1 콘택트홀은 상기 게이트 절연막의 소스 대응 영역 및 드레인 대응 영역 중 어느 한쪽에 개구되고, 상기 제1 콘택트홀에는 상기 제1 콘택트가 매립되고, 상기 소스 전극 및 상기 드레인 전극 중 어느 한쪽이 상기 제1 콘택트를 통하여 대응하는 상기 반도체막의 소스 영역 또는 드레인 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극의 다른 쪽은, 상기 게이트 전극 및 상기 게이트 절연막을 덮어 형성된 중간 절연막과, 상기 게이트 절연막과의 대응 영역에, 상기 반도체막 표면이 바닥부에 노출하도록 개구된 제2 콘택트홀을 통하여 상기 반도체막의 대응하는 드레인 영역 또는 소스 영역에 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 소스 전극 및 상기 드레인 전극을 덮어 평탄화 절연막이 더 형성되고, 상기 평탄화 절연막의 상기 소스 전극 및 상기 드레인 전극 중 어느 한쪽의 대응 영역에 제3 콘택트홀이 형성되고, 상기 제3 콘택트홀로 대응하는 상기 소스 전극 및 상기 드레인 전극 중 어느 하나와 화소 전극이 전기적으로 접속되어 있다.

본 발명의 다른 양태에서는, 상기 액티브 매트릭스형 표시 장치에 있어서, 상기 게이트 전극 및 상기 제1 콘택트는 고용점 금속 재료이다.

이상과 같은 본 발명에 따르면, 평탄화막 등, 두꺼운 막 상에 형성되는 화소 전극과, 박막 트랜지스터의 능동층 등에 이용되는 반도체막과의 전기적 접속을, 예를 들면 단계적으로 형성된 제1, 제2, 제3 콘택트홀을 각각 매립하는 제1 콘택트, 제2 콘택트, 제3 콘택트를 통하여 행한다. 이에 의해 각 콘택트홀은 각각 얇고, 어스펙트비가 작은 홀로 할 수 있다. 콘택트홀이 얇으면, 개구 시, 에칭에 필요한 시간이 짧고, 형성이 용이하며, 각 콘택트의 상면 및 저면의 면적을 작게 할 수 있으며, 또한 상면과 저면의 면적 차를 작게 하여 고집적화를 도모할 수 있다.

또한 각 콘택트에 이용하는 도전체는, 콘택트홀 개구를 위해 에칭 제거되는 막에 대하여 선택비가 큰 것이 많아, 선택적인 에칭을 할 수 있다. 이 때문에, 에칭에 의해 홀 저면에 노출되는 막의 특성 열화를 방지할 수도 있다. 또한, 제1 콘택트는 게이트 전극과 동시에 형성되고, 제2 콘택트는 배선과 동시에 형성되기 때문에, 공정 수를 증가시키지 않고, 상기 효과를 발휘할 수 있다.

본 발명의 다른 양태는, 능동층보다 게이트 전극이 상층에 형성되는 탑 게이트형의 트랜지스터의 제조 방법으로서, 상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 그 능동층의 원하는 영역을 선택적으로 레지스트 마스크에 의해 덮고 나서 그 능동층에 불순물을 주입하고, 상기 불순물 주입 후, 상기 레지스트 마스크를 제거하고 나서 상기 능동층을 덮어 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극을 형성한다.

본 발명의 다른 양태에서는, 능동층보다 게이트 전극이 상층에 형성되는 탑 게이트형의 트랜지스터의 제조 방법으로서, 상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 레지스트 마스크에 의해 그 능동층의 채널 영역 및 저농도 불순물 주입 영역이 되는 영역을 선택적으로 덮어, 그 능동층에 불순물을 고농도로 주입하고, 상기 불순물의 고농도 주입 후, 상기 레지스트 마스크를 제거하고 나서 상기 능동층을 덮어 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극을 형성하고, 상기 게이트 전극의 형성 후, 그 게이트 전극을 마스크로 하여, 상기 능동층에 불순물을 저농도로 주입한다.

본 발명의 또 다른 양태는, 상기 각 탑 게이트형 트랜지스터의 제조 방법에 있어서, 상기 능동층은 비정질 실리콘층을 형성한 후, 그 실리콘층을 다결정화하여 얻은 다결정 실리콘층이다.

본 발명의 또 다른 양태에서는, 상기 각 탑 게이트형 트랜지스터의 제조 방법에 있어서, 상기 고농도 및 저농도로 주입하는 불순물은 n형(n 도전형) 불순물이다.

이와 같이 본 발명의 다른 형태에서는, 불순물 주입(도핑) 공정, 적어도 고농도 불순물 주입 공정을 게이트 절연막 형성 공정보다 전에 실행하여, 트랜지스터 능동층에 직접 불순물을 도핑한다. 이 때문에, 도핑하는 불순물의 가속 에너지는 능동층의 소정 깊이까지 도달 가능한 정도의 낮은 레벨로 할 수 있다. 불순물 이온의 가속 에너지를 작게 할 수 있으면, 레지스트 마스크는 고농도로 불순물이 도핑되는 환경에서도 경화되는 것이 방지되어, 도핑 공정 종료 후에 확실하게 제거할 수 있다.

또한, 불순물의 저농도 도핑에 대해서는, 게이트 전극을 마스크로 하여 실행하는 것으로 하면, 게이트 전극에 대하여 채널 및 저농도 불순물 영역을 자기 정합적으로 형성할 수 있고, 기생 용량이 작은 트랜지스터를 형성할 수 있다.

본 발명의 다른 형태는, 능동층보다 게이트 전극이 상층에 형성되는 탑 게이트형의 트랜지스터로서, 상호 도전형이 다른 트랜지스터의 제조 방법에 있어서, 상기 능동층을 형성하고, 상기 능동층을 덮어 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극 재료층을 형성하고, 그 게이트 전극 재료층을 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 전역을 덮고, 상기 제2 도전형 트랜지스터의 형성 영역에서는 게이트 전극의 형상으로 패터닝하고, 상기 게이트 전극 재료층의 패터닝 후, 그 게이트 전극 재료층을 마스크로 하여, 상기 제2 도전형 트랜지스터의 상기 능동층에 상기 제2 도전형 불순물을 선택적으로 주입한다. 이 제2 도전형 불순물의 주입 후, 상기 제1 도전형 트랜지스터의 형성 영역의 상기 게이트 전극 재료층을 게이트 전극 형상으로 패터닝한다.

이와 같이 다른 도전형 불순물의 도핑 시에는, 고에너지에 의한 불순물 도핑 환경에 놓여도 경화하지 않고, 제거 시에 박리 등이 남지 않는 자신의 게이트 전극 재료층에 의해 능동층 영역을 마스크함으로써, 고농도 불순물을 도핑한 후에, 마스크로 이용한 게이트 전극 재료층을 원하는 게이트 전극의 형상으로 정확하게 패터닝할 수 있다. 또한, 제1 및 제2 도전형의 어느 트랜지스터에 있어서도, 자신의 게이트 전극을 마스크로 하여 불순물을 도핑하기 때문에, 게이트 전극과 채널 영역이 자기 정합되기 때문에, 기생 용량이 작은 트랜지스터를 형성할 수 있다.

본 발명의 다른 양태에서는, 능동층보다 게이트 전극이 상층에 형성되는 탑 게이트형의 트랜지스터로서, 상호 도전형이 다른 트랜지스터의 제조 방법에 있어서, 상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 채널 형성 영역을 덮고, 또한 제2 도전형 트랜지스터의 형성 영역에서는 그

능동층의 형성 영역을 덮는 레지스트 마스크를 형성하고 나서, 상기 능동층에 제1 도전형 불순물을 주입한다. 제1 도전형 불순물의 주입 후, 상기 레지스트 마스크를 제거하여, 상기 능동층을 덮는 게이트 절연막을 형성한다. 다음으로, 이 게이트 절연막 상에 게이트 전극 재료층을 형성하고, 그 게이트 전극 재료층을 상기 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 전역을 덮고, 상기 제2 도전형 트랜지스터의 형성 영역에서는 게이트 전극의 형상으로 패터닝하고, 상기 게이트 전극 재료층의 패터닝 후, 그 게이트 전극 재료층을 마스크로 하여, 상기 능동층에 상기 제2 도전형 불순물을 주입한다. 이 제2 도전형 불순물의 주입 후, 상기 제1 도전형 트랜지스터의 형성 영역의 상기 게이트 전극 재료층을 게이트 전극 형상으로 패터닝한다.

본 발명의 다른 양태에서는, 능동층보다 게이트 전극이 상층에 형성되는 탑 게이트형의 트랜지스터로서, 상호 도전형이 다른 트랜지스터의 제조 방법에 있어서, 상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 채널 형성 영역 및 그 채널 형성 영역에 인접하여 형성되는 저농도 불순물 주입 영역을 덮고, 또한 제2 도전형 트랜지스터의 형성 영역에서는 그 능동층의 형성 영역을 덮는 레지스트 마스크를 형성하고 나서, 상기 능동층에 제1 도전형 불순물을 고농도로 주입한다. 상기 제1 도전형 불순물의 고농도 주입 후, 상기 레지스트 마스크를 제거하여, 상기 능동층을 덮는 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 게이트 전극 재료층을 형성하고, 그 게이트 전극 재료층을 상기 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 전역을 덮고, 상기 제2 도전형 트랜지스터의 형성 영역에서는 게이트 전극의 형상으로 패터닝한다. 상기 게이트 전극의 패터닝 후, 그 게이트 전극을 마스크로 하여, 상기 능동층에 상기 제2 도전형 불순물을 고농도로 주입하고, 상기 제1 도전형 트랜지스터의 형성 영역의 상기 게이트 전극 재료층을 게이트 전극 형상으로 패터닝한 후, 그 게이트 전극을 마스크로 하여 상기 능동층에 저농도로 제1 도전형 불순물을 도핑한다.

본 발명의 다른 양태에서는, 상기 탑 게이트형 트랜지스터의 제조 방법에 있어서, 상기 제1 도전형 불순물은 n 도전형 불순물이고, 상기 제2 도전형 불순물은 p 도전형 불순물이다.

이와 같이 제1 도전형 불순물의 주입 공정, 특히 고농도 주입 공정을 게이트 절연막 형성 공정보다 전에 실행하고, 트랜지스터 능동층에 직접 불순물을 도핑함으로써, 도핑하는 불순물의 가속 에너지를 능동층의 소정 깊이까지 도달 가능한 정도의 낮은 레벨로 할 수 있다. 불순물 이온의 가속 에너지를 작게 할 수 있으면, 레지스트 마스크는 고농도로 불순물이 도핑되는 환경에 놓여도 경화되는 것이 방지되고, 도핑 공정 종료 후에 확실하게 제거할 수 있다. 또한, 다른 도전형 불순물(제2 도전형 불순물)의 주입 공정 시에는 자신의 게이트 전극이 되는 재료층에서 능동층을 마스크해 둔다. 상술된 바와 같이 게이트 전극 재료층이면, 고에너지로의 고농도 불순물 주입으로 노출되어도, 경화하여 박리하기 어렵게 된다고 하는 문제가 발생하지 않는다. 따라서, 레지스트 마스크는 고에너지로의 불순물 주입으로 노출되지 않고, 또한 고에너지 조건에서의 불순물 주입은 게이트 전극 재료층을 마스크로 하여 이용하므로, 다른 도전형의 트랜지스터가 동시에 형성되는 디바이스에 있어서, 마스크의 박리가 남지 않고, 각 트랜지스터를 형성할 수 있다.

또한, 제1 도전형 불순물의 저농도 주입은 제2 도전형 불순물의 주입 시에 마스크로 하여 이용한 게이트 전극 재료층을 소정 게이트 전극의 형상으로 패터닝하고 나서 이 게이트 전극을 마스크로 하여 실행함으로써, 제1 도전형 트랜지스터에 있어서, 게이트 전극에 대하여 채널 및 저농도 불순물 영역을 자기 정합적으로 형성할 수 있어, 기생 용량이 작은 트랜지스터를 형성할 수 있다.

도면의 간단한 설명

도 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H 및 1I는 종래의 액티브 매트릭스형 표시 장치의 TFT 기관의 제조 공정 단면도.

도 2A, 2B, 2C, 2D, 2E, 2F, 2G, 2H, 2I, 2J, 2K, 2L 및 2M은 본 발명의 제1 실시예에 따른 액티브 매트릭스형 표시 장치의 TFT 기관의 제조 공정 단면도.

도 3은 본 발명의 제1 실시예에 따른 액티브 매트릭스형 표시 장치의 단면도.

도 4는 본 발명의 제2 실시예에 따른 액티브 매트릭스형 표시 장치의 TFT 기관의 단면도.

도 5 및 도 6은 본 발명의 제3 실시예에 따른 액티브 매트릭스형 표시 장치의 TFT 기관의 단면도.

도 7A, 7B, 7C, 7D, 7E는 관련 기술에 따른 TFT의 제조 공정을 도시하는 도면.

도 8은 본 발명의 제4 실시예에 따른 액티브 매트릭스형 LCD의 개략 회로 구성을 도시하는 도면.

도 9A, 9B, 9C는 본 발명의 제4 실시예에 따른 TFT의 제조 공정을 도시하는 도면.

도 10A, 10B, 10C는 도 9C에 계속되는 본 발명의 제4 실시예에 따른 TFT의 제조 공정을 도시하는 도면.

도 11 및 도 12는 본 발명의 제4 실시예 및 제5 실시예에 따른 TFT의 액티브 매트릭스형 표시 장치에 있어서의 적용예를 도시하는 도면.

도 13A, 13B, 13C, 13D는 동일 기관 상에 형성되는 n-ch형 및 p-ch형 TFT의 관련 기술에 따른 제조 공정을 설명하는 도면.

도 14A, 14B, 14C, 14D는 본 발명의 제5 실시예에 따른 TFT의 제조 공정을 도시하는 도면.

도 15A, 15B, 15C, 15D는 도 14D에 계속되는 본 발명의 제5 실시예에 따른 TFT의 제조 공정을 도시하는 도면.

〈발명을 실시하기 위한 최량의 형태〉

이하, 도면을 이용하여 본 발명의 최량의 실시예(이하 실시예라고 함)에 대하여 설명한다.

〈제1 실시예〉

도 2A~도 2M, 도 3은 본 발명의 제1 실시예에 따른 액티브 매트릭스형 표시 장치의 제조 방법을 도시하고 있다.

공정 1(도 2A): 석영 유리, 무알카리 유리 등으로 이루어지는 절연 기판(1) 상의 전면에, SH_4 (실란)나 Si_2H_6 (디실란)을 포함하는 가스를 이용한 플라즈마 CVD(Chemical Vapor Deposition: 화학 기상 성장)법을 이용하여 a-Si막(2)을 형성한다.

공정 2(도 2B): a-Si막(2)의 표면에 레이저 빔 L을 조사하여 어닐링 처리를 행하고, a-Si을 용융 재결정화하여 poly-Si으로 이루어지는 반도체막(3)을 형성한다. 여기서, 레이저의 조사 에너지 밀도 및 조사 횟수에 따라 poly-Si의 입경이 변화하므로, 레이저 빔 L은 입경이 최대가 되도록 그 에너지 밀도를 최적화해 둔다.

공정 3(도 2C): 반도체막(3) 상에 포토레지스트막을 형성하고, 노광을 행한다. 포토레지스트막은, 감광된 부분이 제거되고, 마스크에 차광된 부분만이 남아, 섬 형상으로 패터닝된다. 에칭에 의해, 포토레지스트막으로 덮여 있지 않는 영역의 반도체막(3)을 제거하고, 반도체막(3) 및 포토레지스트막을 섬 형상으로 패터닝한다. 남은 포토레지스트막의 양단이 노출하도록, 마스크를 행하여 재차 노광하고, 감광한 포토레지스트막의 양단 부분을 제거하여 레지스트(4)를 형성한다. 레지스트(4)로 덮여 있지 않는 반도체막(3)에 대하여 불순물을 주입한다. 주입하는 불순물은 형성해야 할 TFT의 타입에 따라 P형 또는 N형을 선택하면 되지만, 이하 N형을 예로 들어 설명한다. 불순물 주입 후, 레지스트(4)를 제거한다. 반도체막(3)의 레지스트(4)에 덮여 있었던 부분이 채널 영역(3ch)이 된다. 불순물이 주입된 반도체막(3)에 대하여, RTA(Rapid Thermal Anneal: 급속 열 어닐링)법에 의한 어닐링을 행한다. RTA법에 의한 어닐링에 의해, 불순물이 활성화하여 소스 영역(3s) 및 드레인 영역(3d)을 형성할 수 있다.

공정 4(도 2D): 절연 기판(1) 및 반도체막(3) 상에, 제1 절연막으로서 SiO_2 막으로 이루어지는 게이트 절연막(5)을 플라즈마 CVD법을 이용하여 형성 온도 350°C, 막 두께 1000Å 형성한다.

공정 5(도 2E): 포토리소그래피 및 에칭을 이용하여 게이트 절연막(5)을 관통하고, 소스 영역(3s) 및 드레인 영역(3d)을 노출하도록, 제1 콘택트홀(6)(6s, 6d)을 형성한다.

공정 6(도 2F): 게이트 절연막(5) 및 제1 콘택트홀(6) 상에 제1 도전체막으로서, 크롬(Cr), 몰리브덴(Mo) 등의 고용점 금속으로 이루어지는 금속막을 스퍼터링법에 의해 2000Å 형성한다. 다음으로, 포토리소그래피 및 에칭을 이용하여 게이트 절연막(5)의 채널 영역 3ch에 중첩되는 영역에 게이트 전극(7g)을 형성하고, 동시에 제1 콘택트홀(6)(6s, 6d)에 게이트 전극(7g)과 동일 재료로 이루어지는 제1 콘택트(7s, 7d)를 형성한다.

공정 7(도 2G): 게이트 절연막(5)과 게이트 전극(7g) 및 제1 콘택트(7s, 7d) 상에, 플라즈마 CVD법을 이용하여 SiO_2 막(8a) 및 SiN막(8b)으로 이루어지는 층간 절연막(8)을 형성한다. 여기서, SiO_2 막의 두께는 2000Å, SiN막의 두께는 1000Å이다.

공정 8(도 2H): 포토리소그래피 및 에칭을 이용하여 층간 절연막(8)을 관통하고, 제1 콘택트(7s, 7d)를 노출하도록 제2 콘택트홀(9)(9s, 9d)을 형성한다. 이 때, 제1 콘택트(7s, 7d)는 금속이므로, SiO_2 막이나 SiN막에 대하여 충분히 큰 비율로 선택적인 에칭을 행할 수 있어, 제1 콘택트(7s, 7d)는 에칭 스톱퍼의 역할을 한다. 그 때문에, 층간 절연막(8)을 에칭하는 시간을 충분히 확보하여, 제2 콘택트홀(9) 내의 층간 절연막(8)을 완전하게 제거할 수 있다.

공정 9(도 2I): 층간 절연막(8) 및 제2 콘택트홀(9) 상에 제2 도전체막으로서, 알루미늄(Al) 등으로 이루어지는 금속막을 스퍼터링법에 의해 3000Å 형성하고, 포토리소그래피 및 에칭을 이용하여 제2 콘택트홀(9s)에 제2 콘택트(13)(여기서는 소스 전극(13s))를 형성하고, 동시에 제2 콘택트홀(19d)에 지면에 수직인 방향으로 연장되는 제2 콘택트(13)(배선, 여기서는 드레인 전극 겸용 배선(13d))를 형성한다.

공정 10(도 2J): 층간 절연막(8) 및 제2 콘택트(13)(13s, 13d) 상에, 유기계 재료로 이루어지는 평탄화 절연막(26)을 형성하여, 제2 콘택트(13)에 의한 요철을 매립하여 표면을 평탄화한다.

공정 11(도 2K): 또한, 포토리소그래피 및 에칭을 이용하여 평탄화막(26)을 관통하고, 제2 콘택트(13s)를 노출하도록 제3 콘택트홀(11)을 형성한다. 이 경우도, 콘택트홀(11)의 저면에 해당하는 제2 콘택트(13s)가 금속이므로, 선택비가 커, 저면이 거칠게 되는 경우는 거의 없다. 또한, 평탄화막(26)만을 개구하면 되므로, 제3 콘택트홀(11)을 보다 얇게 형성할 수 있어, 홀의 상단과 저면의 면적의 차(직경의 차)는 보다 작아진다.

공정 12(도 2L): 평탄화막(26) 및 제3 콘택트홀(11) 상에 투명 도전체막, 예를 들면 ITO를 형성한다. 그리고, 포토리소그래피 및 에칭을 이용하여 제3 콘택트홀(11)에, 제2 콘택트(13s)에 전기적으로 접속되어 평탄화막(26) 상으로 확산되는 화소 전극(40)을 형성한다.

공정 13(도 2M): 평탄화막(26) 및 화소 전극(40) 상에, 폴리이미드, SiO₂ 등으로 이루어지고, 액정을 배향시키는 배향막(14)을 형성한다.

이렇게 해서, TFT를 구비한 액티브 매트릭스형 액정 표시 장치의 편측의 TFT 기판이 완성된다.

공정 14(도 3): 석영 유리 또는 무알카리 유리로 이루어지는 절연 기판인 대향 기판(41) 상에, 순서대로 ITO막 등의 투명 전극으로 이루어지는 대향 전극(43)을 기판 전면에서 형성한 후, 그 위에 폴리이미드, SiO₂ 등으로 이루어지고, 액정을 배향하는 배향막(45)을 형성한다. 그리고, 상술한 TFT 기판에 대향한 위치에 대향 기판(41)을 배치하고, TFT 기판과 대향 기판(41) 사이에, 또한 이들의 주변 부분에, 접착성을 갖는 수지로 이루어지는 시일제(47)를 이용하여 양 기판을 접착하고, 양 기판 사이에 액정(35)을 충전하여 액티브 매트릭스형의 액정 표시 장치가 완성된다.

본 실시예에서, 화소 전극(제3 콘택트)(40)과 반도체막(3)과의 전기적 콘택트 구조는 제1 콘택트(7s), 제2 콘택트(13)(여기서는 소스 전극(13s)), 또한 제3 콘택트(40)를 통한 단계적 구조이다. 배선(13)(여기서는 드레인 전극 겹층)과 반도체막(3)과의 전기적 콘택트 구조는 제1 콘택트(7d), 제2 콘택트(13d)를 통한 단계적 구조이다. 이들과 같은 단계적 접속 구조로 함으로써, 각 콘택트홀은 깊게 할 필요가 없기 때문에 얇게 할 수 있으며, 또한 이 콘택트홀에 매립하는 콘택트는 두껍게 할 필요가 없다.

예를 들면, 공정 4에서, 제1 콘택트홀(6)을 형성할 때에 개구하는 것은 게이트 절연막(5)만이고, 그 두께는 1000Å이다. 따라서, 에칭을 행하는 시간을 게이트 절연막(5)이 관통되도록 충분히 긴 시간으로 설정해도, 제1 콘택트홀(6)의 어스펙트비가 작고, 깊이의 오차를 작게 억제할 수 있어, 반도체막(3)의 표면 특성을 크게 열화시키지 않는다. 또한, 제1 콘택트(7s, 7d)는 게이트 전극(7g)과 동시에 동일 재료를 이용하여 형성하기 때문에, 공정 수를 늘리지 않는다. 또한, 공정 8에서, 제2 콘택트홀(9)을 형성할 때에는 층간 절연막(8)만을 개구하고, 그 두께는 3000Å이다. 제2 콘택트(13s)는 배선(13d)과 동시에 형성되기 때문에, 여기서도 공정 수를 늘리지 않는다.

따라서, 본 실시예에서는 각 콘택트홀(6, 9, 11)은 전체의 공정 수를 늘리지 않고 종래의 콘택트홀(370)에 비하여 어스펙트비가 작은 얇은 홀로 할 수 있으며, 각 콘택트의 상면의 면적을 종래보다 작게 하여, 집적도를 향상시킬 수 있다.

<제2 실시예>

다음으로, 제2 실시예에 대하여 설명한다. 도 4는 제2 실시예에 따른 제조 공정에 의해 형성된 TFT 기판의 단면도이다. 도 2A~도 2G에 도시한 공정 7까지는 제1 실시예와 마찬가지로 설명을 생략한다.

공정 8: 포토리소그래피 및 에칭을 이용하여 층간 절연막(8)을 관통하고, 제1 콘택트(7d)를 노출하도록 제2 콘택트홀(9)(9d)을 형성한다.

공정 9: 층간 절연막(8) 및 제2 콘택트홀 상에 스퍼터링법에 의해, 제2 도전체막으로서 금속막을 3000Å 형성하고, 포토리소그래피 및 에칭을 이용하여 제2 콘택트홀에 지면에 수직인 방향으로 연장되는 배선(13d)을 형성한다.

공정 10: 층간 절연막(8) 및 배선(13d)을 덮어, 평탄화 절연막(26)을 형성한다.

공정 11: 포토리소그래피 및 에칭을 이용하여 평탄화막(26) 및 층간 절연막(8)을 관통하고, 바닥부에 제1 콘택트(7s)가 노출하도록 제3 콘택트홀을 형성한다.

공정 12: 평탄화막(26) 및 제3 콘택트홀 상에 투명 도전체막을 형성한다. 그리고, 포토리소그래피 및 에칭을 이용하여 제3 콘택트홀에, 제1 콘택트(7s)에 전기적으로 접속되고 평탄화막(26) 상으로 확산되는 화소 전극(40)을 형성한다.

이와 같이 하여, 도 4에 도시한 바와 같이 화소 전극(40)과 제1 콘택트(7s)를 직접 접속해도 된다. 그러나, 상술한 제1 실시예와 같이 층간 절연막(8)에 제2 콘택트홀(9)을 개구하고, 여기에 제2 콘택트를 형성하면, 공정 10에서 제3 콘택트홀이 층간 절연막을 관통할 필요가 없어, 그 막 두께 3000Å 분만큼 얇게 형성할 수 있기 때문에, 본 발명의 효과를 확실하게 얻을 수 있다.

또, 제1 실시예 및 제2 실시예에서 제1 콘택트는 소스 영역용과 드레인 영역용으로서 하나의 TFT당 2개(7s, 7d) 형성되어 있지만, 본 발명은 이에 한정되지 않으며, 제1 콘택트는 소스 영역용 또는 드레인 영역용 중 어느 하나만이어도 되고, 물론 2개보다 많아도 상관없다.

<제3 실시예>

다음으로, 1TFT당 제1 콘택트의 수가 상기 제1 실시예 및 제2 실시예와 다른 제3 실시예에 대하여 설명한다. 도 5 및 도 6은 제3 실시예에 따른 제조 공정에 의해 형성된 TFT 기판의 단면도이다. 도 2A~도 2D에 도시한 공정 4까지는 제1 실시예와 마찬가지로, 설명을 생략한다.

공정 5: 포토리소그래피 및 에칭을 이용하여 도 2E에서 게이트 절연막(5)을 관통하고, 소스 영역(3s)의 일부가 노출되도록 제1 콘택트홀(6s)만을 형성한다.

공정 6: 게이트 절연막(5) 및 제1 콘택트홀 상에, 스퍼터링법에 의해, 제1 도전체막으로서 금속막을 2000Å 형성하고, 포토리소그래피 및 에칭을 이용하여 게이트 절연막(5)의 채널 영역 3ch에 대응하여 중첩되는 영역에 게이트 전극(7g)을 형성하고, 동시에 제1 콘택트홀(6s)에 게이트 전극(7g)과 동일 재료로 이루어지는 제1 콘택트(7s)를 형성한다(도 2F 참조).

공정 7: 게이트 절연막(5) 및 제1 콘택트(7s) 상에, 플라즈마 CVD법을 이용하여 SiO₂막(8a) 및 SiN막(8b)의 적층 구조로 이루어지는 층간 절연막(8)을 형성한다.

공정 8: 포토리소그래피 및 에칭을 이용하여 층간 절연막(8)을 관통하고, 도 2H의 제1 콘택트(7s)만을 노출하도록 제2 콘택트홀(9s)을 형성한다. 또한, 동시에 층간 절연막(8)의 반도체막(3)의 드레인 영역(3d)에 대응하는 영역에, 층간 절연막(8)을 관통하는 제2 콘택트홀(9d₁)을 형성한다. 또한, 포토리소그래피 및 에칭을 이용하여 게이트 절연막(5)을 관통하고, 반도체막(3)의 드레인 영역(3d)을 노출하도록 제2 콘택트홀(9d₂)을 형성한다(도 5 참조).

공정 9: 층간 절연막(8) 및 제2 콘택트홀(9s) 및 제2 콘택트홀(9d₁, 9d₂) 상에, 스퍼터링법에 의해, 제2 도전체막으로서 금속막을 3000Å 형성하고, 도 5에 도시한 바와 같이 제2 콘택트홀(9s)을 매립하도록 제2 콘택트(13s)를 형성하고, 제2 콘택트홀(9d₁, 9d₂)을 매립하도록 지면에 수직인 방향으로 연장되는 배선(13d)을 형성한다.

공정 10: 층간 절연막(8)과 제2 콘택트(13s) 및 배선(13d) 상에, 평탄화막(26)을 형성한다.

공정 11: 포토리소그래피 및 에칭을 이용하여 평탄화막(26)을 관통하고, 제2 콘택트(13s)를 노출하도록 제3 콘택트홀(11)을 형성한다.

공정 12: 평탄화막(26) 및 제3 콘택트홀(11) 상에 투명 도전체막을 형성한다. 그리고, 포토리소그래피 및 에칭을 이용하여 제3 콘택트홀(11)을 매립하고, 또한 제2 콘택트(7s)와 접속하여 평탄화막(26) 상으로 확산되는 화소 전극(40)을 형성한다.

이와 같이 하여, 도 5에 도시한 바와 같이 배선(13d)과 드레인 영역(3d)을 제2 콘택트홀(9d₁, 9d₂)에서 직접 접속해도 된다. 또한, 도 5와는 반대로 도 6에 도시한 바와 같이 제2 콘택트(13s)와 소스 영역(3s)을 제2 콘택트홀(9d₁, 9d₂)에서 직접 접속해도 된다.

또, 이상의 각 실시예에서는 액티브 매트릭스형 액정 표시 장치를 예로 들었지만, 본 발명은 다른 TFT를 이용한 액티브 매트릭스형 장치에도 실시할 수 있다. 예를 들면, EL 표시 장치와 같은 다른 타입의 액티브 매트릭스형 표시 장치의 EL 소자를 동작시키기 위한 TFT 등에도 적용할 수 있다. 또한, 상기 표시 장치 이외에도, 이미지 센서나 지문 센서에도 응용할 수 있다.

또한, 이상의 제1 실시예~제3 실시예에서는, 소스 영역이 콘택트를 통하여 화소 전극(40)에 접속되는 예를 설명하였지만, 드레인 영역이 콘택트를 통하여 화소 전극(40)에 접속되는 경우에 대해서도 마찬가지로 단계적인 콘택트 구조의 채용에 의해 어스펙트비가 작은 콘택트홀에 의해 확실한 콘택트를 실현할 수 있다. 또한, 회로 구성에 따라서는 화소 전극에 직접 접속되지 않는 TFT도 있으며, 이러한 TFT에서는, 제2 콘택트(13)는, 각각 소스 전극 또는 배선(13s)으로서, 드레인 전극 또는 배선(13d)으로서 그대로 이용된다.

<제4 실시예>

다음으로, 본 발명의 제4 실시예에 대하여 설명한다. 상기 제1 실시예에서, 도 2C 및 도 2D에 도시한 바와 같이 반도체막(3)에의 불순물의 주입은 게이트 절연막(5)의 형성 전에 행하고 있다. 제4 실시예에서도 이 제1 실시예와 같이 게이트 절연막을 형성하기 전에 TFT의 능동층으로의 불순물 주입, 특히 고농도 불순물 주입 처리를 실행한다. 이와 같이 게이트 절연막의 형성보다 먼저 불순물을 주입함으로써, 게이트 절연막을 관통하여 그 하층의 능동층에 불순물을 도달시키기 위해 필요한 높은 불순물 가속 에너지를 불필요하게 하여, 불순물 주입 마스크인 레지스트층의 필요 이상의 경화를 방지한다.

액티브 매트릭스형의 표시 장치의 각 화소에 형성되는 스위치 소자로서, 상술한 바와 같은 TFT가 잘 알려져 있으며, 이 TFT 내, 능동층에 poly-Si를 채용한, 소위 poly-Si TFT는 능동층에 비정질 실리콘(a-Si)을 이용하는 경우보다, 높은 도전율이 실현되기 때문에 응답성이 양호하고, 또한 게이트 전극을 이용하여 능동층에 채널, 소스 및 드레인 영역을 자기 정합적으로 형성 가능하기 때문에, 소자 면적을 작게 할 수 있으며, 또한 CMOS(Complementary Metal Oxide Semiconductor) 회로를 구성하는 것이 용이하다. 이 때문에, 고정밀의 디스플레이용 스위치로서 우수하고, 또한 화소용 TFT가 형성되는 기판 상에, 마찬가지로의 TFT로 이루어지는 CMOS 회로를 구성하고, 표시부를 구동하는 드라이버 회로를 내장할 수 있다.

poly-Si은 단결정 Si와 달리 반도체막 중(결정 내 및 결정 입계)에 결함이 많다. 한편, 불순물로서 인(P) 등이 도핑되어 있는 n 채널(n-ch) TFT는 드라이버 회로의 CMOS 회로의 한쪽에 이용됨과 함께, 화소용 TFT에 채용되는 경우가 많다. 화소용 TFT에 채용되는 n-ch형 TFT에서는 캐리어의 트랩이 되는 poly-Si 중의 상기 결함을 통한 누설 전류가 문제가 된다. 또한, 저온 프로세스로 형성한 poly-Si TFT는 염가의 유리 기판 상에 형성할 수 있고, 저비용으로 대형화가 가능하게 되는 등 매우 우수한 특징이 있는 한편, 게이트 절연막에 대해서도 저온으로 형성하기 때문에, 열 산화막과 같은 치밀한 막이 되지 않는다. 이 때문에, 주변의 드라이버 회로에 이용되는 n-ch형 TFT에서는 핫 캐리어(전자)에 의한 TFT의 특성 열화가 문제가 된다. 이상과 같은 이유에서, 저온 poly-Si TFT는 n-ch형에 대해서는 드레인 영역과 채널 영역 사이에 저농도의 불순물 주입 영역을 갖는 LDD(Lightly Doped Drain) 구조가 채용된다.

도 7A~도 7E는 LCD의 화소 TFT에 채용된 LDD 구조의 poly-Si으로 이루어지는 TFT의 관련 기술에 따른 제조 공정을 도시하고 있다. 우선, 유리 기판(10) 상에 a-Si층(12)을 형성하고, 이 a-Si층(12)을 레이저 어닐링에 의해 다결정화한다. 다음으로, 얻어진 poly-Si층을 각 TFT의 능동층(14)의 형상으로 패터닝하고, 이 능동층(14)을 덮어 SiO₂ 등의 게이트 절연막(16)을 형성한다(도 7A).

게이트 절연막(16)의 형성 후, 게이트 전극 재료를 형성하고, 도 7B와 같이 게이트 전극(18)의 형상으로 패터닝한다. 또한, 레지스트층(20)을 기판 전체에 형성한 후, 도 7C와 같이 게이트 전극(18)의 전극 길이(도면의 가로 방향)보다 일정 거리만큼 길게 덮도록 이 레지스트층(20)을 포토리소그래피로 선택적으로 남긴다. 드라이버 회로가 동일 기판에 내장되는 경우에는, CMOS 회로의 p 채널 TFT의 능동층에 대해서도 이 레지스트층(20)에 의해 덮는다. 남은 레지스트층(20)을 마스크로 하여, 게이트 절연막(16)을 통과시켜 인 등의 불순물을 고농도로 능동층(14)에 도핑(주입)한다. 이에 의해, 능동층(14)의 마스크로 덮여 있지 않는 영역에는 고농도로 n형 불순물이 도핑되고, 후에 소스 영역 및 드레인 영역(14s, 14d)을 구성하는 고농도 불순물 영역(N⁺ 영역)이 형성된다.

다음으로, 도 7D에 도시한 바와 같이 마스크로서의 레지스트층(20)을 제거하고, 노출된 게이트 전극(18)을 마스크로 하여, 인 등의 불순물을 저농도로 능동층(14)에 도핑한다. 이에 의해, 능동층(14)의 게이트 전극(18)의 바로 아래의 불순물이 도핑되지 않은 진성 영역의 양측에서, 최초의 고농도 불순물 도핑 공정에서 형성된 N⁺ 영역 사이에, 저농도 불순물(LD) 영역(N⁻ 영역)이 형성된다. 또, 능동층(14)에 도핑된 불순물은 후에 어닐링 처리에 의해 활성화된다.

활성화 처리 후, 게이트 전극(18)을 포함하는 기판 전체를 덮도록 층간 절연막(22)을 형성하고, 층간 절연막(22) 및 게이트 절연막(16)의 소스, 드레인 영역(14s, 14d)의 대응 영역을 관통하도록 콘택트홀을 형성하고, 전극-배선 재료를 형성하여 패터닝하고, 상기 콘택트홀로, 소스 영역(14s)과 접속되는 소스 전극(30s)과, 드레인 영역(14d)과 접속되는 드레인 전극(30d)이 형성된다.

이상과 같은 방법에 의해, LDD 구조의 톱 게이트형 TFT가 얻어지고, 높은 온 전류를 흘리는 한편, 오프 전류가 적고, 특성이 갖추어진 TFT가 더 얻어진다.

이상과 같은 방법에 의해, LDD 구조의 TFT를 제조한 경우, 고농도 불순물 영역(14s, 14d)을 형성하기 위해서는, 도 7C에 도시한 바와 같이 불순물이 게이트 절연막(16)을 통과하여 능동층(14)에 도달할 수 있도록 하기 위해서, 높은 에너지로 불순물을 가속시킬 필요가 있다.

그러나, 고가속으로 고농도의 불순물을 도핑한 경우, 마스크로 이용한 레지스트층(20)에도 불순물이 다량이며, 고가속되어 도핑됨으로써, 통상 이용되는 레지스트 수지는 경화된다. 레지스트층(20)이 경화되면, 다음의 LD 영역 형성을 위해 레지스트층(20)을 제거할 때, 박리가 남기 쉬워진다. 이 레지스트 박리를 저감시키기 위해서는 박리를 위한 시간을 필요로 하고, 또한 박리가 남게 되면, 디바이스의 특성, 신뢰성 및 수율에 나쁜 영향을 준다.

이에 대하여, 이하에 설명하는 제4 실시예의 방법에 따르면, 불순물 도핑 시의 마스크가 되는 층의 경화를 방지할 수 있다.

본 발명의 제4 실시예에 따른 TFT는 액티브 매트릭스형 표시 장치(예를 들면, LCD나 유기일렉트로 루미네스스 표시 장치)에 있어서 각 화소에 채용되는 스위치 소자로서의 화소 TFT나, 이 스위치 소자와 동일 기판에 동시에 형성되는 드라이버 회로의 CMOS 구조로 되는 TFT에, 또한 이들 양쪽에 채용할 수 있다.

도 8은 액티브 매트릭스형 LCD의 화소 스위치 소자 및 드라이버 회로 소자에 본 실시예에 따른 TFT를 채용한 경우에서의, LCD의 회로 구성을 개략적으로 도시하고 있다. LCD는 한 쌍의 기판 사이에 액정이 봉입되어 구성되고, 한쪽 기판의 표시부에는 매트릭스 형태로 복수의 화소가 배치되고, 화소마다 개별의 화소 전극이 배치되고, 이 화소 전극에 접속된 화소 스위치로서의 poly-Si이 능동층에 이용된 더블 게이트형의 TFT1, 이 TFT1에 데이터 신호를 공급하는 데이터 라인 DL2, TFT1을 선택하여 동작시키는 게이트 라인 GL3을 갖는다. 또한, 기판의 표시부의 외측에는 드라이버 회로로서, H 드라이버 및 V 드라이버가 배치되어 있다. 양 드라이버 모두, 화소부 TFT와 동일한 poly-Si을 능동층에 이용한 TFT를 구비하고, H 드라이버는 소정 타이밍에서 각 데이터 라인에 표시 데이터 신호를 출력하고, V 드라이버는 게이트 라인 GL3에 순차적으로 게이트 신호를 출력한다. LCD의 다른 쪽의 기판에는 대향 전극이 형성되어 있으며, 이 대향 전극과 각 화소 전극 사이에 화소 용량(액정 용량) CLC가 구성되어 있다. 또한, 각 화소에는 1표시 기간 중에 액정 용량 CLC에서의 전하 유지를 보조하기 위해서, 화소 TFT1에 대하여 액정 용량 CLC과 병렬로 보조 용량 Cs가 형성되어 있다.

다음으로, 상기 도 8과 같은 화소 스위치 소자 및 드라이버 회로 소자로서 이용되는 본 실시예에 따른 TFT의 제조 공정에 대하여, 도 9A~도 9C 및 도 10A~10C를 이용하여 설명한다. 또, 이들 도면에 도시하는 TFT는 액티브 매트릭스형 LCD의 드라이버 영역에 형성되는 CMOS 구성의 TFT와, 화소 영역에 형성되는 화소 TFT이다.

유리 기판(10) 상에는 도시하지 않지만, 예를 들면 SiN_x막과 SiO₂막으로 이루어지는 버퍼층이 형성되고, 이 버퍼층 상에 a-Si층(12)을 형성하고, 이 a-Si층(12)에 엑시머 레이저 빔을 조사하여 다결정화 어닐링한다. 어닐링에 의해 얻어진 poly-Si층을 다음에 각 TFT의 능동층(14)의 형상으로 패터닝한다(도 9A).

관련 기술에서는, 다음으로, 능동층(14)을 덮어 SiO₂ 등의 게이트 절연막을 형성하지만, 본 실시예에서는 게이트 절연막을 성막하기 전에, 불순물 도핑 시의 마스크로, 도 9B에 도시한 바와 같은 능동층(14) 상의 소정 영역을 덮는 레지스트층(20)을 형성한다. 이 레지스트층(20)은, 예를 들면 노블락 수지계의 포지티브 레지스트이다. 기판 전체에, 능동층(14)을 직접 덮도록 레지스트재를 배치하고, 포토레지스트에 의해 선택적으로 레지스트층을 남김으로써 도 9B와 같은 패턴으로 한다. 본 실시예에서는 이 레지스트층(20)은 후에 n 채널 TFT의 채널, LD(Lightly Doped) 영역이 되는 영역, 그리고 p 채널 TFT의 능동층(14) 전역을 덮는다.

레지스트층(20)을 형성·패터닝한 후, 이 레지스트층(20)을 마스크로 하여, 능동층(14)에 다이렉트로, 인 등의 n 도전형 불순물을 고농도로 도핑하고, 후에 소스 및 드레인 영역(14s, 14d)을 구성하는 고농도 불순물 영역(N⁺ 영역)을 형성한다. 도핑 시에, 능동층(14)의, 레지스트층(20)에 덮여 있지 않는 영역에서는 이 능동층(14)의 표면이 노출되어 있어, 불순물이 노출되는 능동층(14)에 직접 주입할 수 있다. 따라서, 불순물에 인가하는 가속 에너지는 능동층(14)의 소정 깊이까지 도달하는 데 필요한 크기로 충분하고, 종래와 같이 게이트 절연막을 통과시켜 주입하는 경우와 비교하여 매우 작게 할 수 있다.

레지스트층(20)을 마스크로 하여 고농도로 불순물을 능동층(14)에 도핑한 후, 이 레지스트층(20)을 예를 들면 애싱과 웨트 박리에 의해 제거한다. 상술된 바와 같이 레지스트층(20)을 마스크로 하여 고농도로 불순물을 도핑하지만, 본 실시예에서는 주입되는 불순물의 가속 에너지를 최소한으로 할 수 있어, 이러한 조건의 도핑 공정이면, 레지스트층(20)의 제거는 레지스트를 남김없이 확실하게 행해진다. 또, n 채널 TFT에 대하여 그 채널에 저농도의 p 도전형 불순물을 도핑하는 경우에는, 이 레지스트층(20)의 형성 전에 도핑을 실행한다.

능동층(14) 표면으로부터 레지스트층(20)을 제거한 후, 도 9C에 도시한 바와 같이 능동층(14)을 덮어 게이트 절연막(16)을 형성하고, 그 후 도 10A에 도시한 바와 같이 게이트 절연막(16) 상에, 게이트 전극 재료를 형성하고, 원하는 게이트 전극(18)의 형상으로 패터닝한다.

게이트 전극(18)의 패터닝 후, 도 10B에 도시한 바와 같이 이 게이트 전극(18)을 마스크로 하여, 능동층(14)에 대하여, 게이트 절연막(16)을 통과시켜 인 등의 n 도전형 불순물의 고농도 도핑을 행한다. 이에 의해, 게이트 전극(18)에 덮이지 않고, 또한 고농도 도핑 시에 레지스트층(20)에 덮여 있던 영역에만 선택적으로 저농도의 불순물 도핑이 행해진다. 즉, 게이트 전극 바로 아래 영역(채널 영역)의 양 외측에는 능동층(14)의 N⁺ 영역(14s, 14d) 사이에, 게이트 전극(18)에 대하여 자기 정합적으로 저농도 불순물(LD) 영역(N⁻ 영역)이 형성된다.

이와 같이 본 실시예에서는, LD 영역에 대하여, 채널 영역과의 경계를 게이트 전극(18)에 대하여 자기 정합적으로 형성할 수 있기 때문에, 마스크 레지스트층의 위치 어긋남을 고려한 얼라인먼트 여유를 종래의 LDD TFT의 제조 방법과 비교하여 특별히 크게 할 필요는 없다. 게이트 전극 바로 아래의 채널 영역단을 기준으로 한 N⁻ 영역의 폭(LD 거리)은 레지스트층(20)과 게이트 전극(18)의 위치 어긋남에 의해 변동된다. 그러나, 예를 들면 도 10B에서, 게이트 전극 위치가 소스측으로 어긋남으로써, 채널 영역과 소스 영역(14s) 사이의 LD 거리는, 목표보다 작아지지만, 그만큼 채널 영역과 드레인 영역(14d) 사이의 LD 거리가 목표보다 커진다. 따라서, 소스-드레인 거리는 위치 어긋남이 일어나도 변동하지 않고, 소스측과 드레인측에서 온 전류가 커져서, 결과적으로 TFT의 온 전류는 변화하지 않는다. 또, LD 거리는 미리 마스크의 위치 어긋남을 고려하여 설정하기 때문에, 오프 전류, 즉 누설 전류에 대해서는 마스크 어긋남이 일어나도 충분히 작은 범위로 억제할 수 있어, TFT의 신뢰성 확보를 충분히 달성할 수 있다.

여기서, 동일 기관 상에 형성되는 p-ch형 TFT의 능동층 내에 인 이온(N 도전형)이 존재해도 그것이 소량이면 전기 특성에 큰 영향을 주지 않기 때문에, 도 10B에 도시하는 인 이온의 저농도 도핑 공정에서는 p-ch형 TFT를 특별히 마스크하지 않고 도핑을 행하고 있다. 그러나, 이 p-ch형 TFT의 형성 영역을 레지스트층으로 덮어 실행해도 된다. 만일, p-ch형 TFT의 형성 영역을 레지스트층으로 덮고 인 이온의 저농도 도핑을 행한 경우, 이 레지스트층은 게이트 절연막(16)을 통과 가능하게 가속된 이온에 노출되게 된다. 그러나, 높은 가속 에너지가 공급되고 있어도, 그 농도가 낮으면 레지스트층에 최종적으로 미치는 손상(경화)은 적다. 이 때문에, 고농도 영역(14s, 14d)의 형성 시에 이용한 마스크 레지스트층과 거의 동등한 박리성, 즉 남김없이 이 레지스트층을 제거할 수 있다.

n-ch형 TFT의 능동층(14)에 n 도전형 불순물을 도핑한 후에는, 도면에서는 생략하였지만, n-ch형 TFT의 형성 영역을 마스크하고 p-ch형 TFT의 능동층(14)에 붕소(B) 등의 p 도전형 불순물을 도핑한다. 이 p 도전형 불순물의 도핑에 대해서도, 물론 상술한 바와 같이 게이트 절연막(16)의 형성 전에 실행하면 보다 바람직하다. 그러나, 예를 들면, 질량 분석을 하여 이온을 주입하는, 즉 이온 주입을 이용하여 붕소 이온을 주입하면, 그 붕소 이온은 인 이온에 비하여 작아, 붕소 이온이 도핑되는 레지스트 마스크가 받는 손상의 정도는 비교적 가볍다. 즉, 인 이온이 고농도·고에너지로 도핑된 레지스트 마스크보다, 붕소 이온의 고농도·고에너지로 도핑된 레지스트 마스크가 경화되기 어렵다. 또한, 붕소 이온 도핑 후, 불순물을 더 도핑하는 공정을 필요로 하지 않기 때문에, 다수의 레지스트 경화가 발생해도 후 공정에 미치는 영향이 작다. 따라서, 상기한 바와 같이 n-ch형 TFT의 형성 영역을 마스크하고, p-ch형 TFT의 능동층(14)에 붕소(B) 등의 p 도전형 불순물을 도핑할 수 있다.

이상과 같이 하여 필요한 영역에 전부 불순물을 도핑한 후에는, 이 도핑된 불순물을 활성화하기 위한 활성화 어닐링 처리가 행해진다. 불순물의 활성화 처리 후, 층간 절연막(22)을 게이트 전극(18)을 포함하는 기관 전체를 덮도록 형성하고, 층간 절연막(22) 및 게이트 절연막(16)의 소스, 드레인 영역(14s, 14d)의 대응 영역을 관통하도록 콘택트홀을 형성하고, 또한 전극 재료를 형성하여 패터닝하고, 상기 콘택트홀로, 소스 영역(14s)과 접속되는 소스 전극(30s)과, 드레인 영역(14d)과 접속되는 드레인 전극(30d) 또는 이들과 일체의 신호 배선을 형성한다.

소스 전극(30s) 및 드레인 전극(30d)의 형성 후에는, 도 11에 도시한 바와 같이 기관 전면을 덮고 아크릴 수지 등의 수지 재료로 이루어지는 평탄화 절연막(26)을 형성하고, 그 소스 전극(30s)의 대응 영역에 콘택트홀을 형성한다. 그리고, 예를 들면 ITO 등의 화소 전극 재료를 형성하고, 각 화소의 형상으로 패터닝함으로써 화소 전극(40)을 얻는다. 마지막으로, 기관 전면을 덮도록 배향막(28)을 형성하여, 제1 기관을 완성한다. 제1 기관의 완성 후, 이 제1 기관을 공통 전극 및 배향막 등이 형성된 제2 기관과 접합하고, 기관 사이에 액정을 봉입함으로써 LCD 셀이 완성된다.

또한, 상술한 TFT는 표시 소자로서 유기 EL 소자를 채용한 액티브 매트릭스형 OLED의 각 화소 TFT 및 드라이버 회로 TFT에도 채용 가능하다. 또, 도 12에 도시한 바와 같이 유기 EL 소자(50)는 양극(52)과, Al 등의 금속 재료로 이루어지는 음극(56) 사이에, 유기 화합물이 이용된 발광층을 적어도 갖는 유기층(54)(예를 들면, 정공 수송층/발광층/전자 수송층의 적층체)이 형성되어 구성된다.

OLED에 적용하는 경우, TFT는 도 9A~9C 및 도 10A~10C와 마찬가지로의 공정으로 형성하면 되고, 그 후 도 11과 마찬가지로, 각 TFT의 소스 전극(30s) 및 드레인 전극(30d)을 포함하는 기관 전면을 덮어 아크릴 수지 등의 수지 재료로 이루어지는 펄타하 절연막(26)을 형성한다. 다음으로, 유기 EL 소자(50)에 전류를 공급하는 TFT의 소스 또는 드레인 전극의 대응 영역에 콘택홀을 형성하고, 양극 재료로서, 예를 들면 ITO 등의 투명 도전성 재료를 형성하고, 각 화소의 형상으로 패터닝함으로써 각 화소 개별의 양극(화소 전극)(52)을 얻는다. 이와 같이 본 발명의 제4 실시예에 따른 TFT는 액티브 매트릭스형의 OLED에도 적용 가능하다.

다음으로, 불순물의 도핑 조건과 마스크가 되는 레지스트층의 박리성의 관계에 대하여 그 일례를 설명한다. poly-Si 능동층(14)에 대하여, 5% 농도의 PH_3 을 재료로 이용하여 이온 도핑하는 경우, 종래와 같이 게이트 절연막(16)을 개재하여 N^+ 영역을 형성하기 위해서는(이하, 스루 주입이라고 함), 90keV 정도의 가속 에너지로, 주입 측에서의 인 이온 농도를 $6 \times 10^{14} \text{cm}^{-2}$ 정도로 설정할 필요가 있다. 이에 대하여, 제4 실시예와 같이 게이트 절연막(16)을 개재시키지 않고 능동층(14)에 직접 주입하는 경우(이하, 다이렉트 주입이라고 함), 가속 에너지는 최대 15keV로 족하고, 또한 주입 측에서의 인 이온 농도는 $2 \times 10^{14} \text{cm}^{-2}$ 정도로 족하다.

종래의 스루 주입의 조건(90keV, $6 \times 10^{14} \text{cm}^{-2}$)으로 노출된 레지스트층(도 7C)은 애싱 및 웨트 박리를 거쳐도 완전하게 제거할 수 없어 레지스트가 남았다. 이에 대하여, 제4 실시예와 같은 다이렉트 주입의 조건(15keV, $2 \times 10^{14} \text{cm}^{-2}$)으로 노출된 레지스트층(도 9B)은 애싱 및 웨트 박리를 거쳐 레지스트를 남김없이 확실하게 제거할 수 있었다. 또한, 다이렉트 주입으로 함으로써, 가속 에너지도 작고, 사용 이온 농도도 낮아, 제조 비용의 저감도 가능하게 되었다.

또, 상술된 바와 같이 LD 영역에의 저농도 불순물 도핑은, 제4 실시예에서도 종래와 마찬가지로, 게이트 절연막(16)을 통과시켜 능동층(14)에 도핑하지만, 그 주입 조건은 가속 에너지가 90keV, P 이온 농도가 $3 \times 10^{13} \text{cm}^{-2}$ 정도이고, 고농도 스루 주입과 비교하면, 가속 에너지는 동등하지만, 주입 이온 농도가 1자리수 적다. 따라서, 이러한 이온 주입 환경에 노출되는, 예를 들면 드라이버 회로의 p-ch형 TFT 형성 영역을 덮는 레지스트층 등에 대하여, 이 레지스트층은 N^+ 영역의 다이렉트 주입의 경우와 거의 동등한 박리성이 달성되었다.

제4 실시예에서는 게이트 절연막(16) 형성 전에 고농도 불순물 도핑을 실행하기 때문에, 게이트 절연막(16)의 N^+ 대응 영역과 N^- 대응 영역에서 이온 도핑에 노출되는 환경은 동일하게 된다. 상기한 다이렉트 주입 조건 하에서는 능동층(14)의 N^+ 영역에서의 주입 인 농도는 $1 \times 10^{19} \text{cm}^{-3}$ 정도, 능동층(14)의 N^- (LD) 영역에서의 주입 인 농도는 $1 \times 10^{18} \text{cm}^{-3}$ 정도이지만, 한편 게이트 절연막(16)을 통한 도핑 처리는 저농도 도핑만이므로, 게이트 절연막(16) 중의 인 농도는 게이트 절연막(16)의 N^+ 대응 영역에서도 N^- 대응 영역에서도, 양쪽의 영역 모두 $1 \times 10^{17} \text{cm}^{-3}$ 정도이다. 게이트 절연막 내의 인 농도는, 대략 도 10B에 도시하는 저농도 도핑에 있어서 막 속에서 정지하는 인 이온으로 결정된다. 한편, 종래와 같이 게이트 절연막(16)을 개재하여 고농도 도핑을 실행한 경우, 게이트 절연막(16)의 N^+ 대응 영역은 고농도 도핑과 저농도 도핑의 양방에 노출되므로, 게이트 절연막(16)의 N^- 대응 영역에서의 막 내 인 농도보다 높게, 예를 들면 게이트 절연막(16)의 N^+ 대응 영역의 인 농도는 $1 \times 10^{18} \text{cm}^{-3}$ 정도 이상으로 된다. 이와 같이 종래의 게이트 절연막(16)은 그 막 내의 인 농도가 높고, TFT의 내압의 저하 등, 손상의 저하가 우려되지만, 제4 실시예의 방법에 따르면, 이를 방지할 수 있다.

<제5 실시예>

제5 실시예는 상기 제4 실시예와 마찬가지로 고농도 불순물 도핑 시에 도핑 마스크층이 경화되는 것을 방지한다. 또한, 제5 실시예에서는 poly-Si TFT를 이용하여 동일 기관 상에 n-ch형 TFT와 p-ch형 TFT 양쪽을 형성하는 디바이스에 있어서, n-ch형 TFT뿐만 아니라, p-ch형 TFT에 대해서도, 이온 도핑에 이용되는 마스크에 제거를 곤란하게 하는 경화가 발생하는 것을 방지하는 방법을 제안한다. 또, 이하 도면을 참조하여 제5 실시예에 대하여 설명하지만, 상기 제4 실시예 등에 있어서 이미 설명한 구성에 대응하는 부분에는 동일 부호를 붙인다.

poly-Si TFT는 상술된 바와 같이 CMOS 회로를 구성하는 것이 용이하다. 이 때문에, poly-Si TFT는 고정밀한 디스플레이용 화소 스위치(화소용 TFT) 외, 이 화소용 TFT와 동일한 기관 상에, 마찬가지로 TFT로 이루어지는 CMOS 회로를 구성하고, 표시부를 구동하는 드라이버 회로를 내장하는 표시 장치 등에 이용된다.

도 13A~도 13D는 이러한 드라이버 내장형 LCD용 화소 TFT와, 드라이버 회로 중의 CMOS 구조의 TFT의 관련 기술에 따른 제조 공정을 도시하고 있다. 우선, 유리 기관 상에 a-Si층을 형성하고, 이 a-Si층을 레이저 어닐링에 의해 다결정화한다. 다음으로, 얻어진 poly-Si층을 각 TFT의 능동층(140)의 형상으로 패터닝하고, 이 능동층(140)을 덮어 SiO_2 등의 게이트 절연막(160)을 형성한다. 게이트 절연막(160)의 형성 후, 게이트 전극 재료를 형성하고, 도 13A와 같이 게이트 전극(180)의 형상으로 패터닝한다.

n-ch형 TFT는 드라이버 회로의 CMOS 회로의 한쪽에 이용됨과 함께 화소용 TFT에 채용된다. 그리고, 제4 실시예에서 설명한 바와 같이 드라이버 회로의 n-ch형 TFT에서는, 저온에서 성막된 게이트 절연막은 막의 치밀성이 낮은 것에 기인하는 핫 캐리어(전자)에 의한 TFT의 특성 열화를 방지할 필요가 있으며, 화소용 n-ch TFT에서는 poly-Si 내에 많은 결정 결함에 기인한 누설 전류를 저감시킬 필요가 있다. 이 때문에, 저온 poly-Si를 이용한 n-ch형 TFT는 드레인 영역과 채널 영역 사이에 저농도의 불순물 영역을 갖는 LDD(Lightly Doped Drain) 구조가 채용된다.

n-ch형 TFT에 대해서는 이러한 LDD 구조로 하기 위해서, 게이트 전극(180)의 패터닝 후, 레지스트층(200)을 n-ch형 TFT 영역의 게이트 전극(180)의 전극 길이(도 13B 가로 방향)를 일정 거리만큼 길게 덮고, 또한 p-ch형 TFT 영역은 전역을 덮도록 마스크가 되는 레지스트층(200n)을 선택적으로 남긴다. 그 후, 게이트 절연막(160)을 통과시켜 고농도로 인 등 n 도전성 불순물을 도핑한다. 이에 의해, 레지스트층(200n)으로 덮여 있지 않은 영역, 즉 후에 소스 영역(140s), 드레인 영역(140d)이 되는 고농도 불순물 영역(N^+ 영역)이 형성된다.

다음으로, 이 레지스트층(200n)을 제거하고, 도 13C에 도시한 바와 같이 노출된 게이트 전극(180)을 마스크로, 게이트 절연막(160)을 통과시켜, 능동층(140)에 n 도전형 불순물을 저농도로 도핑한다. 이에 의해, 능동층(140)의 게이트 전극(180)의 바로 아래의 진성 영역과 N^+ 영역 사이에 저농도 불순물(LD) 영역(N^- 영역)이 형성된다.

n-ch형 TFT의 능동층(140)에 불순물 도핑 후, 이번은 도 13D에 도시한 바와 같이 이 n-ch형 TFT의 형성 영역을 선택적으로 덮는 레지스트층(200p)을 형성한다. 그리고, p-ch형 TFT의 능동층(140)에 게이트 전극(180)을 마스크로 하여, 게이트 절연막(160)을 통과시켜 붕소 등의 p 도전형 불순물을 고농도로 도핑한다.

n-ch형 TFT, p-ch형 TFT의 각 능동층(140)에 각각 불순물을 도핑한 후, 게이트 전극(180)을 포함하는 기판 전면을 덮도록 층간 절연막(22)을 형성하여, 불순물의 활성화 어닐링을 행한다. 또한, 상기 층간 절연막(22) 및 게이트 절연막(160)을 관통하도록 필요한 영역에 컨택트홀을 형성하고, 전극·배선 재료를 형성하여 패터닝하고, 상기 컨택트홀로, 소스 영역(140s)과 접속되는 소스 전극, 드레인 영역(140d)과 접속되는 드레인 전극을 형성한다.

이상과 같은 공정을 거쳐, 동일 기판 상에 튼 게이트형의 n-ch형 및 p-ch형 TFT를 각각 형성할 수 있다.

n-ch형 및 p-ch형 TFT의 능동층(140)에, 각각 고농도로 불순물을 도핑하는 경우에는, 불순물이 게이트 절연막(160)을 통과하여 능동층(140)에 도달하도록 높은 에너지로 불순물을 가속시킨다. 그러나, 이와 같이 고가속으로의 고농도의 불순물에 노출됨으로써, 레지스트층(200)(200n, 200p)으로서 통상 이용되는 레지스트 수지에는 과도한 경화가 발생된다.

이러한 레지스트층의 경화는 도 13B에 도시한 바와 같이 n-ch형 TFT의 소스 영역(140s), 드레인 영역(140d)에 고농도 불순물 도핑을 행할 때에 형성되는 레지스트층(200n)뿐만 아니라, 도 13D에 도시한 바와 같이 p-ch형 TFT의 소스 영역(140s), 드레인 영역(140d)에 p 도전형 불순물을 고농도 불순물 도핑할 때, n-ch형 TFT를 덮어 형성되는 레지스트층(200p)에도 발생한다.

상술된 바와 같이, 동일 기판 상에 n-ch형 TFT와 p-ch형 TFT 양쪽을 형성하는 장치에서는, 특히 한쪽 도전형의 TFT 형성을 위한 고농도 불순물 도핑 시에는 레지스트 마스크에 의해 다른쪽 도전형의 TFT를 덮을 필요가 있기 때문에, 종래의 제조 방법에서는 상기한 바와 같은 레지스트층의 경화에 의한 악영향을 피할 수 없었다.

이에 대하여, 제5 실시예에서는 도전형이 다른 복수 종류의 튼 게이트형의 트랜지스터를 제조하는 경우, 자신의 도전형과는 다른 불순물을 높은 에너지로 도핑할 때에, 자신의 게이트 전극이 되는 층을 패터닝하지 않고, 능동층을 덮는 마스크층으로서 이용한다. 이러한 방법에 의해, 불순물 도핑 시의 마스크가 되는 층의 경화를 확실하게 방지할 수 있어, 제5 실시예는 액티브 매트릭스형 표시 장치의 각 화소 TFT, 및 이 화소 TFT와 동일 기판에 동시에 형성되는 드라이버 회로의 CMOS TFT 등의 제조 방법으로서 매우 우수하다. 또, 액티브 매트릭스형 LCD의 화소 스위치 소자 및 드라이버 회로 소자에 제5 실시예에 따른 TFT를 채용한 경우의 LCD의 개략 회로 구성은, 상술의 도 8과 같게 된다.

이하, 제5 실시예에 따른 화소 TFT 및 드라이버 회로용 TFT로서 이용되는 복수의 도전형의 TFT의 제조 방법에 대하여 도 14A~도 14D 및 도 15A~도 15D를 참조하여 설명한다. 또, 도 14A~도 15D에 도시하는 TFT는 액티브 매트릭스형 LCD의 드라이버 영역에 형성되는 CMOS 구성의 TFT와, 화소 영역에 형성되는 화소 TFT이다.

유리 기판(10) 상에는 도시하지 않지만, 예를 들면 SiN_x 막과 SiO_2 막으로 이루어지는 버퍼층이 형성되고, 이 버퍼층 상에 a-Si층(12)을 형성하고, 이 a-Si층(12)에 엑시머 레이저 빔을 조사하여 다결정화 어닐링한다. 어닐링에 의해 얻어진 poly-Si층을 다음에 각 TFT의 능동층(14)의 형상으로 패터닝한다(도 14A).

관련 기술에서는, 다음으로 능동층(14)을 덮어 SiO_2 등의 게이트 절연막을 형성하지만, 제5 실시예에서는 게이트 절연막을 성막하기 전에, 불순물 도핑 시의 마스크로, 도 14B에 도시한 바와 같은 능동층(14) 상의 소정 영역을 덮는 레지스트층(20)을 형성한다. 이 레지스트층(20)은, 예를 들면 노블락 수지계의 포지티브 레지스트이다. 기판 전체에, 능동층(14)을 직접 덮도록 레지스트재를 배치하고, 포토레지스트에 의해 선택적으로 레지스트층을 남김으로써 도 14B와 같은 패턴으로 한다. 본 실시예에서는 이 레지스트층(20)은 후에 n 채널 TFT의 채널, 및 이 채널에 인접하여 LD(Lightly Doped) 영역이 되는 영역, 그리고 p 채널 TFT의 능동층(14) 전역을 덮는다.

레지스트층(20)을 형성·패터닝한 후, 이 레지스트층(20)을 마스크로 하여, 능동층(14)에 다이렉트로 인 등의 n 도전형 불순물을 고농도로 도핑하고, 후에 소스 및 드레인 영역(14s, 14d)을 구성하는 고농도 불순물 영역(N^+ 영역)을 형성한다. 도핑 시에, 능동층(14)의 레지스트층(20)으로 덮여 있지 않는 영역에서는 이 능동층(14)의 표면이 노출되어 있어, 불순물은 이 노출된 능동층(14)에 직접 주입된다. 따라서, 제4 실시예에서도 설명한 바와 같이 불순물에 공급되는 가속 에너지는 능동층(14)의 소정 깊이까지 도달하는 데 필요한 크기로 충분하고, 게이트 절연막을 통과시켜 주입하는 경우와 비교하여 매우 작게 할 수 있다.

레지스트층(20)을 마스크로 하여 고농도로 불순물을 능동층(14)에 도핑한 후, 이 레지스트층(20)을, 예를 들면 에싱과 웨트 박리에 의해 제거한다. 상술된 바와 같이 레지스트층(20)을 마스크로 하여 고농도로 불순물을 도핑하지만, 제5 실시예에서는 주입되는 불순물의 가속 에너지를 최소한으로 할 수 있어, 이러한 조건의 도핑 공정이면, 레지스트층(20)의 제거는 레지스트를 남기지 않고 확실하게 행해진다. 또, n 채널 TFT에 대하여 그 채널에 저농도의 p 도전형 불순물을 도핑하는 경우에는 이 레지스트층(20)의 형성 전에 도핑을 실행한다.

능동층(14)의 표면으로부터 레지스트층(20)을 제거한 후, 도 14C에 도시한 바와 같이 능동층(14)을 덮어 CVD에 의해 게이트 절연막(16)을 형성한다.

게이트 절연막(16) 상에는 Mo나 Cr 등의 고용점 금속으로 이루어지는 게이트 전극 재료층을 형성한다. 도 14D에 도시한 바와 같이 이 게이트 전극 재료층은 n-ch형 TFT의 형성 영역에서는 마스크층(18_{MA})으로서 기능하도록 해당 TFT 중 적어도 능동층(14) 전역을 덮고, 또한 p-ch형 TFT의 형성 영역에서는 게이트 전극(18p)의 형상으로 패터닝한다(게이트 전극 제1 패터닝). 또, 화소 TFT의 전부가 n-ch형 TFT로 구성되는 경우, 삼 형상으로 배치되는 각 화소 TFT를 마스크층(18_{MA})이 개별적으로 덮는 형상으로 해도 되지만, 상기 마스크층(18_{MA})을 화소 영역 전역을 공통적으로 덮도록 패터닝하면, 마스크층(18_{MA})의 패터닝 정밀도 완화 등이 가능하게 되고, 제조 프로세스 간략화의 관점에서 바람직하다.

게이트 전극의 제1 패터닝 후, 도 15A에 도시한 바와 같이 n-ch형 TFT 형성 영역의 마스크층(18_{MA})과 p-ch형 TFT 형성 영역의 게이트 전극(18p)을 마스크로 하여, 능동층(14)에 대하여 게이트 절연막(16)을 통과시켜 붕소 등의 p 도전형 불순물의 고농도 도핑을 행한다. 이에 의해, p-ch형 TFT의 형성 영역에서는 능동층(14) 중에 선택적으로 p 도전형 불순물이 도핑되어, 게이트 전극(18p)에 대하여 자기 정합적으로 소스·드레인 영역(14s, 14d)을 구성하는 p 도전형 불순물 주입 영역(P⁺)이 형성된다. 또, n-ch형 TFT의 형성 영역에서는 능동층(14)이 게이트 전극 재료층으로 이루어지는 마스크층(18_{MA})에 의해 덮여, p 도전형 불순물이 도핑되는 것이 방지된다.

p 도전형 불순물의 도핑 후, 다음으로, n-ch형 TFT의 능동층(14)을 덮는 마스크층(게이트 전극 재료층)(18_{MA})을 n-ch형 TFT의 게이트 전극의 형상으로 패터닝한다(게이트 제2 패터닝). 구체적으로는, 예를 들면 기판 전면에 감광성 레지스트층을 형성하고, 포토리소그래피에 의해, 도 15B에 도시한 바와 같이 n-ch형 TFT의 형성 영역을 덮는 마스크층(18_{MA}) 내, 제거해야 할 영역(게이트 전극·배선 이외의 영역)에만, 레지스트층(19)을 남긴다. 그리고, 이 레지스트층(19)에 대하여 선택 에칭성이 있는 에칭 가스를 이용하여 드라이 에칭을 행하여, 레지스트층(19) 및 레지스트층(19)에 덮인 마스크층(18_{MA})을 선택적으로 에칭 제거한다. 이러한 에칭 처리에 의해, n-ch형 TFT의 형성 영역에서도, 원하는 패턴의 게이트 전극(18n)이 형성된다. 또, 얼라이먼트 여유를 위해, 이 레지스트층(19)은 실제로 마스크층(18_{MA})을 제거해야 할 영역보다 조금 크게 형성된다. 따라서, 게이트 전극 제2 패터닝 후에는 도 15C에 도시한 바와 같이 n-ch형 TFT의 능동층(14)의 주위 영역에서 게이트 절연막(16)의 표면이 다소 에칭된다. 또, 웨트 에칭에 의해 마스크층(18_{MA})을 에칭하여, 원하는 게이트 전극(18n)의 패턴을 형성해도 된다.

n-ch형 TFT의 게이트 전극(18n)의 패터닝 종료 후, 다음으로, 도 15D에 도시한 바와 같이 게이트 전극(18n)을 마스크로 하여, n 도전형 불순물의 저농도 도핑을 행한다. 이 도핑 처리에 의해, n-ch형 TFT 영역에서는 게이트 전극(18n)에 덮이지 않고, 또한 n 도전형 불순물의 고농도 도핑 시에 레지스트층(20)으로 덮여 있는 영역에만 선택적으로 저농도의 불순물이 주입된다. 즉, 게이트 전극 바로 아래 영역(채널 영역)의 양 외측에는 능동층(14)의 N⁺ 영역(14s, 14d) 사이에, 게이트 전극(18n)에 대하여 자기 정합적으로 저농도 불순물(LD) 영역(N⁻ 영역)이 형성된다. 이와 같이 LD 영역에 대하여, 그 채널 영역과의 경계를 게이트 전극(18n)에 대하여 자기 정합적으로 형성할 수 있기 때문에, 마스크 레지스트층의 위치 어긋남을 고려한 얼라이먼트 여유를 관련 기술의 제조 방법과 비교하여 특별히 크게 할 필요는 없다. 게이트 전극(18n) 바로 아래의 채널 영역단을 기준으로 한 N⁻ 영역의 폭(LD 거리)은 레지스트층(20)과 게이트 전극(18n)과의 위치 어긋남에 의해 변동되며, 예를 들면 도 15D에서, 게이트 전극(18n)의 형성 위치가 소스측으로 어긋나면, 채널 영역과 소스 영역(14s) 사이의 LD 거리는 목표보다 작아진다. 그러나, 그만큼 채널 영역과 드레인 영역(14d) 사이의 LD 거리가 목표보다 커진다. 따라서, 소스·드레인 거리는 위치 어긋남이 일어나도 변동하지 않고, 소스측과 드레인측에서 온 전류의 변동이 캔슬되어, 결과적으로 TFT의 온 전류는 변화하지 않는다. 또한, LD 거리는 미리 마스크의 위치 어긋남을 고려하여 설정되기 때문에, 오프 전류, 즉 누설 전류에 대해서는 마스크 어긋남이 일어나도 충분히 작은 범위로 억제할 수 있어, TFT의 신뢰성 확보를 충분히 달성할 수 있다.

또, p-ch형 TFT의 능동층 내에 n 도전형 불순물(예를 들면, 인 이온)이 존재하고 있어도 그것이 소량이면 전기 특성에 큰 영향을 주지 않는다. 이 때문에, 제5 실시예에서는 n 도전형 불순물의 저농도 도핑 시에는 도 15C에 도시한 바와 같이 p-ch형 TFT를 특별히 마스크하지 않고 도핑을 행하고 있다. 또, 이 p-ch형 TFT의 형성 영역을 레지스트층으로 덮고 실행해도 된다. 이 레지스트층은 게이트 절연막(16)을 통과 가능하게 가속된 이온에 노출되지만, 주입 농도가 낮고, 레지스트층이 받는 손상(경화)은 작기 때문에 레지스트층을 확실하게 제거할 수 있다.

이상과 같이 하여 n-ch형 TFT, p-ch형 TFT가 필요한 영역에 각각 불순물을 도핑한 후에는 층간 절연막(22)을 게이트 전극(18n, 18p)을 포함한 기판 전체를 덮도록 형성한다. 다음으로, 도핑된 불순물을 활성화하기 위한 활성화 어닐링 처리를 행한다. 또, 본 실시예에서는 게이트 절연막(16) 및 층간 절연막(22)에 포함되는 수소를 poly-Si 능동층에 도입하여 능동층 내의 결정 결함을 중단하기 위한 수소화 어닐링을 이 활성화 어닐링 처리와 동시에 행한다.

이들 어닐링 처리 후, 층간 절연막(22) 및 게이트 절연막(16)의 소스, 드레인 영역(14s, 14d)의 대응 영역을 관통하도록 콘택트홀을 형성하고, 또한 Al 등의 전극 재료를 형성하여 패터닝하고, 도 15D에 도시한 바와 같이 상기 콘택트홀로, 소스 영역(14s)과 접속되는 소스 전극(30s)과, 드레인 영역(14d)과 접속되는 드레인 전극(30d) 또는 이들과 일체의 신호 배선을 형성한다.

소스 전극(30s) 및 드레인 전극(30d) 형성 후에는, 상술한 도 11에 도시한 바와 같이 기판 전면을 덮어 아크릴 수지 등의 수지 재료로 이루어지는 평탄화 절연막(26)을 형성하고, 소스 전극(30s)의 대응 영역에 콘택트홀을 형성한다. 다음으로, 예를 들면 ITO 등의 화소 전극 재료를 형성하고 각 화소의 형상으로 패터닝함으로써 화소 전극(40)을 얻는다. 마지막으로, 기판 전면을 덮도록 배향막(28)을 형성하여, LCD의 제1 기판을 완성한다. 제1 기판의 완성 후, 이 제1 기판을 공통 전극 및 배향막 등이 형성된 제2 기판과 접합하고, 기판 사이에 액정을 봉입함으로써, LCD 셀이 완성된다.

또한, 제5 실시예에 따른 TFT는 제4 실시예와 마찬가지로, 표시 소자로서 유기 EL 소자를 채용한 액티브 매트릭스형 OLED의 각 화소 TFT 및 드라이버 회로 TFT에도 채용 가능하다. 또, 상술한 도 12에 도시한 바와 같이 이 유기 EL 소자(50)는 양극(52)과 음극(56) 사이에, 유기 발광층을 적어도 갖는 유기층(54)이 형성되어 구성된다.

이러한 OLED에 적용하는 TFT는, 제5 실시예의 도 14A~도 15D와 마찬가지로 순서로 형성하면 되고, 그 후 도 11과 마찬가지로, 각 TFT의 소스 전극(30s) 및 드레인 전극(30d)을 포함한 기관 전면을 덮고 아크릴 수지 등의 수지 재료로 이루어지는 평탄화 절연막(26)을 형성한다. 다음으로, 유기 EL 소자(50)에 전류를 공급하는 TFT의 소스 또는 드레인 전극의 대응 영역에 콘택트홀을 형성하고, 양극 재료로서, 예를 들면 ITO 등의 투명 도전성 재료를 형성하고, 각 화소의 형상으로 패터닝함으로써 각 화소 개별의 양극(화소 전극)(52)을 얻는다.

다음으로, 불순물의 도핑 조건과 마스크가 되는 레지스트층의 박리성의 관계에 대하여 설명한다. poly-Si 능동층(14)에 대하여, 5% 농도의 PH_3 을 재료로 이용하여 이온 도핑하는 경우, 종래의 스루 주입 조건은 제4 실시예에서 설명한 바와 같이 90keV 정도의 가속 에너지로, 주입 측에서의 인 이온 농도는 $6 \times 10^{14} \text{cm}^{-2}$ 정도로 설정할 필요가 있다. 이에 대하여, 제5 실시예에서도 채용하는 게이트 절연막(16)을 개재시키지 않은 다이렉트 주입에 따르면, 가속 에너지는 최대 15keV로 족하고, 또한 주입 측에서의 인 이온 농도는 $2 \times 10^{14} \text{cm}^{-2}$ 정도로 족하다.

또한, 제4 실시예에서 설명한 바와 같이 스루 주입(90keV, $6 \times 10^{14} \text{cm}^{-2}$)에 노출된 레지스트층(도 13B)은 애싱 및 웨트 박리를 거쳐도 완전하게 제거할 수 없어 레지스트가 남는다. 그러나, 제5 실시예에서도, n 도전형 불순물의 고농도 주입에 있어서는 다이렉트 주입(15keV, $2 \times 10^{14} \text{cm}^{-2}$)이 채용되고, 레지스트층(도 14B)은 애싱 및 웨트 박리를 거쳐 레지스트를 남김없이 확실하게 제거할 수 있었다.

또한, 제5 실시예에서는 p 도전형 불순물의 고농도 주입 시에, n-ch형 TFT 영역을 게이트 전극 재료층(18_{MA})에 의해 마스크한다(도 15A). 이 p 도전형 불순물의 주입 시에, 이 p 도전형 불순물은 이미 형성되어 있는 게이트 절연막(16)을 통과시키기 위해서 높은 에너지로 가속하였다. 그러나, 이러한 스루 주입 조건 하에서도 레지스트 재료와 달리 게이트 전극 재료층(18_{MA})은 경화하지 않아, 후의 패터닝 처리 시에, 박리 등은 일어나지 않았다. 이것으로도, 자신의 도전형과는 다른 불순물을 높은 에너지로 도핑할 때에는 자신의 게이트 전극이 되는 층을 패터닝에 능동층을 덮는 마스크로 하여 이용함으로써, 마스크의 박리가 남는 문제를 간단히 해소할 수 있음이 확인되었다.

또, LD 영역에의 저농도 불순물 도핑은, 제5 실시예에서 게이트 절연막(16)을 통과하는 주입 조건으로 행하며, 예를 들면 가속 에너지 90keV, P 이온 농도 $3 \times 10^{13} \text{cm}^{-2}$ 정도이다. 고농도 스루 주입과 비교하면, 가속 에너지는 동등하지만, 주입 이온 농도가 1자릿수 적다. 따라서, 이 n 도전형 불순물의 저농도 도핑 시에, 드라이버 회로의 p-ch형 TFT 형성 영역을 레지스트 마스크로 덮었다고 해도, 상술한 바와 같이 저농도의 불순물에 노출될 뿐이어서, 이러한 레지스트층의 경화는 적어 충분한 박리성을 달성할 수 있다. 또한, 제5 실시예에서는 도 15C에 도시한 바와 같이 LD 영역 형성을 위한 저농도 불순물 도핑 공정 전에, 이미 p-ch형 TFT의 소스 드레인 영역에는 p 도전형 불순물의 고농도 도핑이 실행되어 있으며(도 15A), 이러한 p 도전형 소스·드레인 영역에 대하여, 저농도로 n 도전형 불순물이 도핑되어도 TFT 특성에 큰 영향을 미치지 않는다. 따라서, n 도전형 불순물의 저농도 도핑 시에는 p-ch형 TFT에 대해서도, n-ch형 TFT와 마찬가지로, 소스 드레인 영역은 특별히 마스크하지 않고, 패터닝된 게이트 전극(18p, 18n)을 각각 채널 영역에 대한 마스크로 하여 실행한다. 따라서, 제5 실시예의 방법에 따르면, 저농도 불순물 도핑 시에, 다소나마 경화할 가능성이 있는 레지스트 마스크를 형성할 필요가 없다.

그런데, 제5 실시예에서도, 제4 실시예와 마찬가지로 게이트 절연막(16) 형성 전에 고농도 불순물 도핑을 실행하기 때문에, 게이트 절연막(16)의 N^+ 대응 영역과 N^- 대응 영역은 인의 저농도 도핑에 노출되는 것만으로, 이온 도핑으로 노출되는 환경은 동일하게 된다. 따라서, 능동층(14)에서는 그 N^+ 영역에 주입되는 인 농도는 $1 \times 10^{19} \text{cm}^{-3}$ 정도, N^- 영역에 주입되는 인 농도는 $1 \times 10^{18} \text{cm}^{-3}$ 정도인 반면, 게이트 절연막(16)에 있어서의 인 농도는 N^+ 대응 영역에서도 N^- 대응 영역에서도, 양 영역 모두 $1 \times 10^{17} \text{cm}^{-3}$ 정도이다. 이 때문에, 막 내의 인 농도가 높은 게이트 절연막(16)에서는 TFT의 내압 저하 등, 손상의 저하가 우려되지만, 제5 실시예에서는 이러한 문제점을 방지할 수 있다. 또, n-ch형 TFT 형성 영역은 p 도전형 불순물 도핑 시에 게이트 전극 재료층에서 마스크되므로, n-ch형 TFT의 게이트 절연막(16) 내에는 p 도전형 불순물이 포함되어 있지 않다. 반대로, p-ch형 TFT의 게이트 절연막(16)은 상술된 바와 같이 n 도전형 불순물의 저농도 도핑으로 노출되는 경우, 막 내에는 p 도전형 불순물과 n 도전형 불순물이 소량 존재한다.

<발명의 효과>

본 발명에 따르면, 평탄화막 등, 두꺼운 막 상에 형성되는 화소 전극과, TFT 능동층 등에 이용되는 반도체막과의 전기적 접촉을, 단계적으로 형성된 복수의 콘택트홀, 및 이것을 각각 매립하는 콘택트 재료에 의해 행한다. 따라서, 이에 의해 상기 화소 전극과 반도체막과의 층간 거리가 커도, 각 콘택트홀은 각각 어스펙트비가 작은 홀로 할 수 있어, 콘택트홀은 단시간의 에칭으로 형성할 수 있으며, 각 콘택트의 상면 및 저면의 면적을 작게 할 수 있고, 또한 상면과 저면의 면적 차를 작게 하여 고집적화를 도모할 수 있다.

또한, 각 콘택트에 이용하는 도전체는, 그 위에 형성되는 콘택트홀 개구를 위해 에칭 제거되는 막에 대하여 선택비가 큰 것이 많아, 선택적인 에칭을 할 수 있다. 따라서, 에칭에 의해 홀 저면에 노출되는 막의 특성 열화를 방지할 수도 있다. 또한, 제1 콘택트를 게이트 전극과 동시에 형성함으로써, 또한 제2 콘택트를 배선과 동시에 형성함으로써, 공정 수를 늘리지 않고 신뢰성이 높은 콘택트를 형성할 수 있다.

또한, 본 발명의 다른 형태에 따르면, 불순물 도핑 시에 이용한 레지스트 마스크의 박리가 남는 것을 방지할 수 있다. 또한, 게이트 전극에 대하여 채널 영역 및 저농도 불순물 영역을 자기 정합적으로 형성할 수 있기 때문에, 작은 면적으로 신뢰성이 높은 트랜지스터를 효율적으로 제조할 수 있다.

본 발명의 다른 형태에 따르면, CMOS 구조 등, 도전형이 다른 2종류의 TFT를 동일 기관 상에 형성하는 경우에, 한쪽 도전형 불순물의 도핑은 게이트 절연막 형성 전에 행하고, 다른 쪽 도전형 불순물의 도핑은 게이트 절연막 형성 이후라도, 마

스크로서 게이트 전극 재료를 이용함으로써, 다른 도전형 불순물 중 어느 도핑 처리에 대해서도, 도핑 마스크 재료의 박리가 남는 문제를 완전하게 해소할 수 있다. 또한, 게이트 전극에 대하여 채널 영역 및 저농도 불순물 영역을 자기 정합적으로 형성할 수 있어, 작은 면적으로 신뢰성이 높은 트랜지스터를 효율적으로 제조할 수 있다.

산업상 이용 가능성

본 발명은, 예를 들면 컬러 액정 표시 장치나, 컬러 EL 표시 장치 등의 컬러 표시 장치나, 기타 반도체 디바이스의 TFT에 적합하다.

(57) 청구의 범위

청구항 1.
삭제

청구항 2.
삭제

청구항 3.
삭제

청구항 4.
삭제

청구항 5.
삭제

청구항 6.
삭제

청구항 7.
삭제

청구항 8.
삭제

청구항 9.
삭제

청구항 10.
삭제

청구항 11.
삭제

청구항 12.
삭제

청구항 13.
삭제

청구항 14.
삭제

청구항 15.
삭제

청구항 16.
삭제

청구항 17.
삭제

청구항 18.
삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.

능동층보다 게이트 전극이 상층에 형성되는 톱 게이트형의 트랜지스터의 제조 방법에 있어서,

상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 레지스트 마스크재에 의해 그 능동층의 채널 영역 및 저농도 불순물 주입 영역이 되는 영역을 선택적으로 덮어, 그 능동층에 불순물을 고농도로 주입하고,

상기 불순물의 고농도 주입 후, 상기 레지스트 마스크재를 제거하고 나서 상기 능동층을 덮어 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 게이트 전극을 형성하고,

상기 게이트 전극의 형성 후, 그 게이트 전극을 마스크로 하여, 상기 능동층에 불순물을 저농도로 주입하는 것을 특징으로 하는 톱 게이트형 트랜지스터의 제조 방법.

청구항 28.

제27항에 있어서,

상기 능동층은 비정질 실리콘층을 형성한 후, 그 실리콘층을 다결정화하여 얻은 다결정 실리콘층인 톱 게이트형 트랜지스터의 제조 방법.

청구항 29.

능동층보다 게이트 전극이 상층에 형성되는 톱 게이트형의 트랜지스터의 제조 방법에 있어서,

상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 레지스트 마스크재에 의해 그 능동층의 채널 영역 및 저농도 불순물 주입 영역이 되는 영역을 선택적으로 덮어, 그 능동층에 n형 불순물을 고농도로 주입하고,

상기 n형 불순물의 고농도 주입 후, 상기 레지스트 마스크재를 제거하고 나서 상기 능동층을 덮어 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 게이트 전극을 형성하고,

상기 게이트 전극의 형성 후, 그 게이트 전극을 마스크로 하여, 상기 능동층에 상기 n형 불순물을 저농도로 주입하는 것을 특징으로 하는 튜프 게이트형 트랜지스터의 제조 방법.

청구항 30.

제29항에 있어서,

상기 능동층은 비정질 실리콘층을 형성한 후, 그 실리콘층을 다결정화하여 얻은 다결정 실리콘층인 튜프 게이트형 트랜지스터의 제조 방법.

청구항 31.

제30항에 있어서,

하나의 기판에는 상기 n형 불순물이 주입되는 상기 능동층의 다결정화 처리와 동시에 다결정화 처리하여 얻어진 다결정 실리콘층으로 이루어지는 능동층을 형성하고,

이 능동층에, 상기 n형 불순물의 주입 처리와는 별도로 p형 불순물을 주입하는 것을 특징으로 하는 튜프 게이트형 트랜지스터의 제조 방법.

청구항 32.

능동층보다 게이트 전극이 상층에 형성되는 튜프 게이트형의 트랜지스터로서, 상호 도전형이 다른 트랜지스터의 제조 방법에 있어서,

상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 채널 형성 영역을 덮고, 또한 제2 도전형 트랜지스터의 형성 영역에서는 그 능동층의 형성 영역을 덮는 레지스트 마스크를 형성하고 나서, 상기 능동층에 제1 도전형 불순물을 주입하고,

상기 제1 도전형 불순물의 주입 후, 상기 레지스트 마스크를 제거하여, 상기 능동층을 덮는 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 게이트 전극 재료층을 형성하고, 그 게이트 전극 재료층을 상기 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 전역을 덮고, 상기 제2 도전형 트랜지스터의 형성 영역에서는 게이트 전극의 형상으로 패터닝하고,

상기 게이트 전극 재료층의 패터닝 후, 그 게이트 전극 재료층을 마스크로 하여, 상기 능동층에 상기 제2 도전형 불순물을 주입하고,

상기 제2 도전형 불순물의 주입 후, 상기 제1 도전형 트랜지스터의 형성 영역의 상기 게이트 전극 재료층을 게이트 전극 형상으로 패터닝한 후, 상기 게이트 전극을 마스크로 하여, 상기 능동층에 상기 제1 도전형 불순물을 도핑하는 것을 특징으로 하는 튜프 게이트형 트랜지스터의 제조 방법

청구항 33.

제32항에 있어서,

상기 제1 도전형 불순물은 n 도전형 불순물이고,

상기 제2 도전형 불순물은 p 도전형 불순물인 것을 특징으로 하는 튜프 게이트형 트랜지스터의 제조 방법.

청구항 34.

능동층보다 게이트 전극이 상층에 형성되는 튜프 게이트형의 트랜지스터로서, 상호 도전형이 다른 트랜지스터의 제조 방법에 있어서,

상기 능동층을 형성한 후, 그 능동층을 덮는 게이트 절연막의 형성 전에, 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 채널 형성 영역 및 그 채널 형성 영역에 인접하여 형성되는 저농도 불순물 주입 영역을 덮고, 또한 제2 도전형 트랜지스터의 형성 영역에서는 그 능동층의 형성 영역을 덮는 레지스트 마스크를 형성하고 나서, 상기 능동층에 제1 도전형 불순물을 고농도로 주입하고,

상기 제1 도전형 불순물의 고농도 주입 후, 상기 레지스트 마스크재를 제거하여, 상기 능동층을 덮는 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 게이트 전극 재료층을 형성하고, 그 게이트 전극 재료층을 상기 제1 도전형 트랜지스터의 형성 영역에서는 그 능동층의 전역을 덮고, 상기 제2 도전형 트랜지스터의 형성 영역에서는 게이트 전극의 형상으로 패터닝하고,

상기 게이트 전극의 패터닝 후, 그 게이트 전극을 마스크로 하여, 상기 능동층에 상기 제2 도전형 불순물을 고농도로 주입하고,

상기 제1 도전형 트랜지스터의 형성 영역의 상기 게이트 전극 재료층을 게이트 전극 형상으로 패터닝한 후, 그 게이트 전극을 마스크로 하여 상기 능동층에 저농도로 제1 도전형 불순물을 도핑하는 것을 특징으로 하는 튕 게이트형 트랜지스터의 제조 방법.

청구항 35.

제34항에 있어서,

상기 제1 도전형 불순물은 n 도전형 불순물이고,

상기 제2 도전형 불순물은 p 도전형 불순물인 것을 특징으로 하는 튕 게이트형 트랜지스터의 제조 방법.

청구항 36.

삭제

청구항 37.

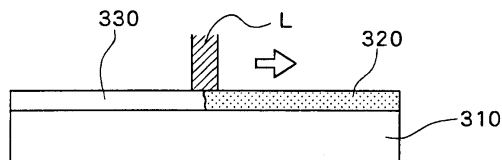
삭제

도면

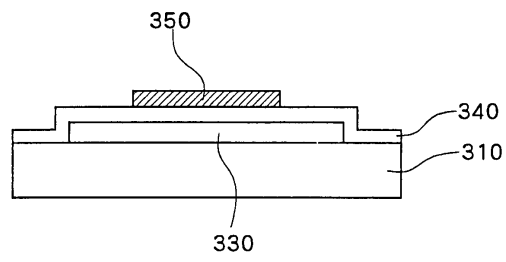
도면1A



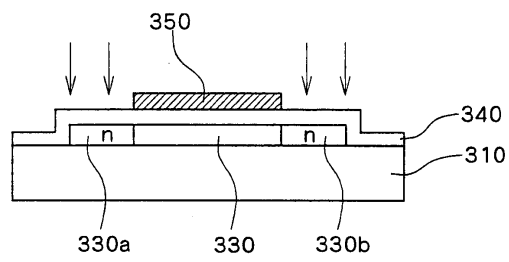
도면1B



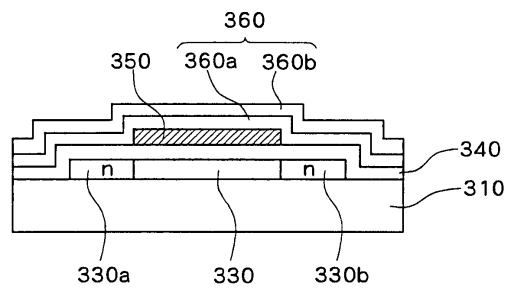
도면1C



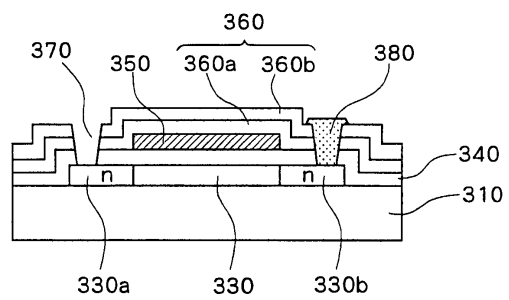
도면1D



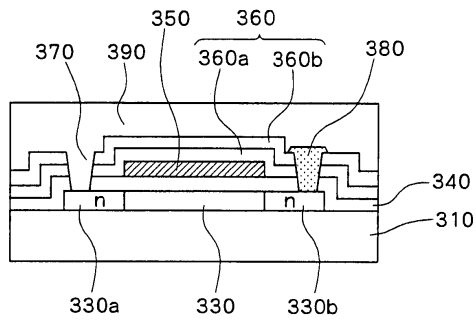
도면1E



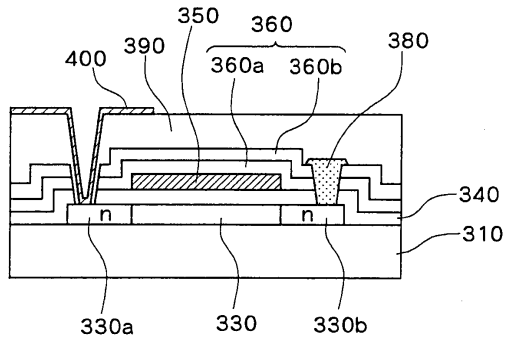
도면1F



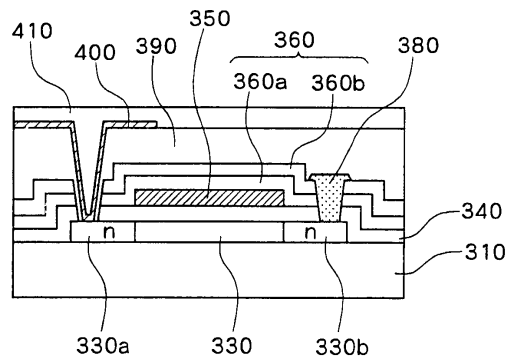
도면1G



도면1H



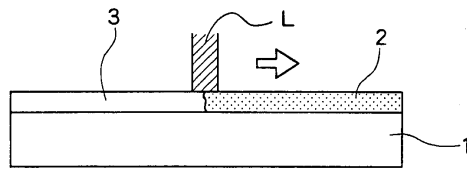
도면1I



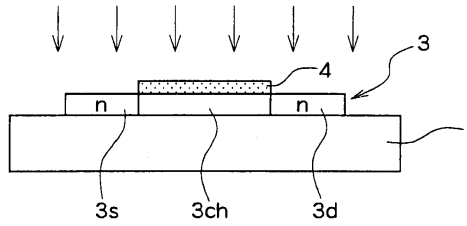
도면2A



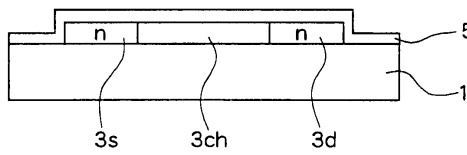
도면2B



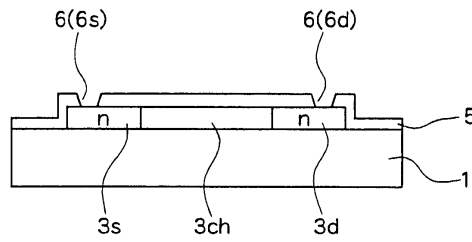
도면2C



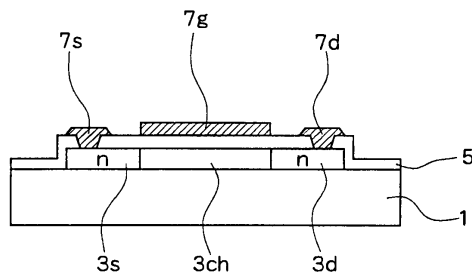
도면2D



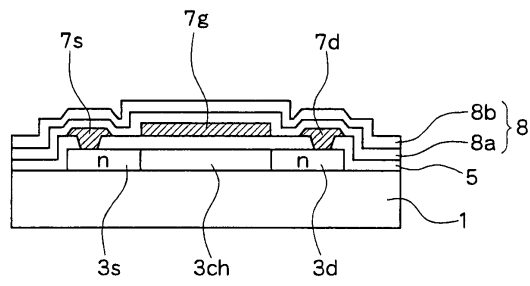
도면2E



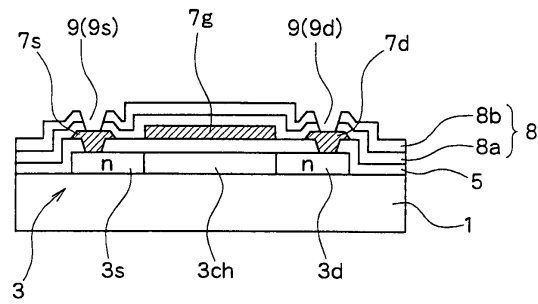
도면2F



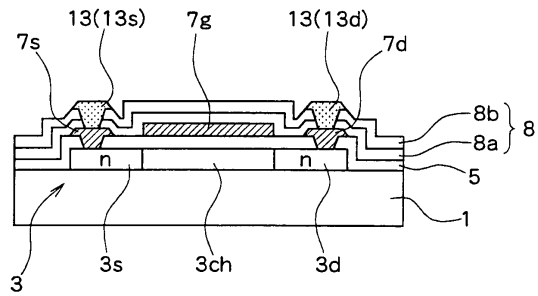
도면2G



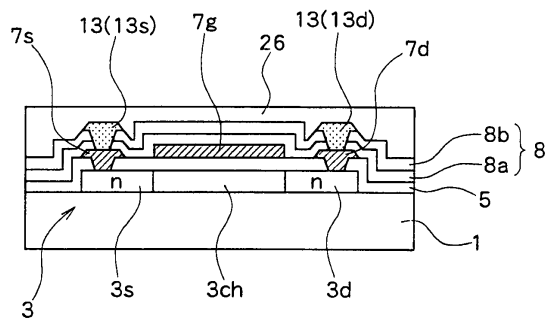
도면2H



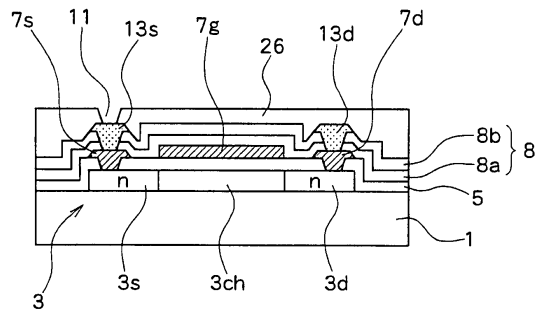
도면2I



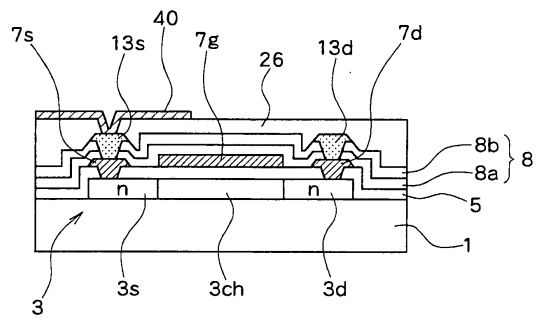
도면2J



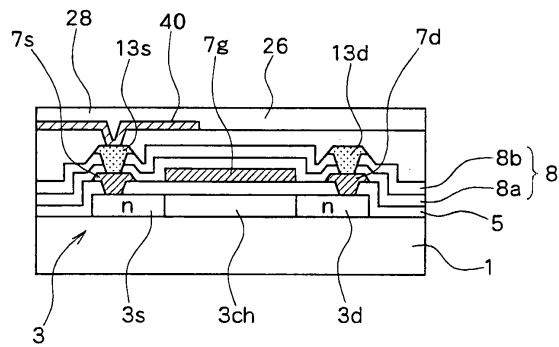
도면2K



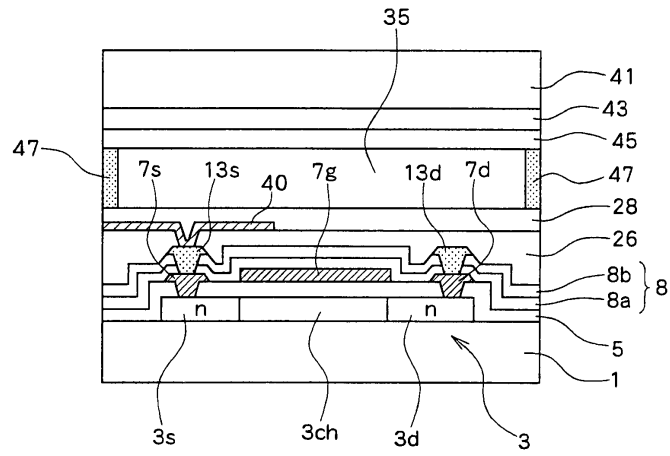
도면2L



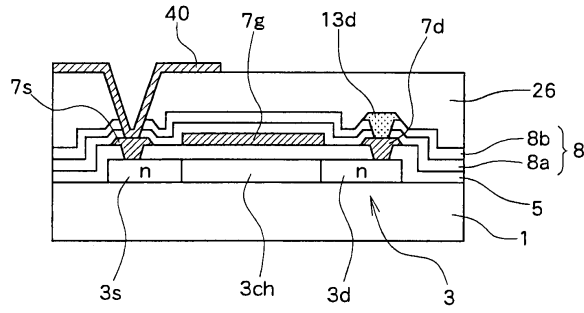
도면2M



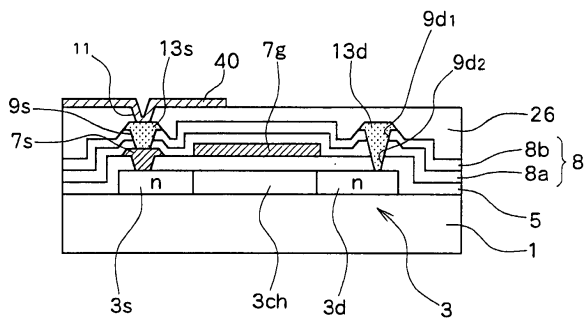
도면3



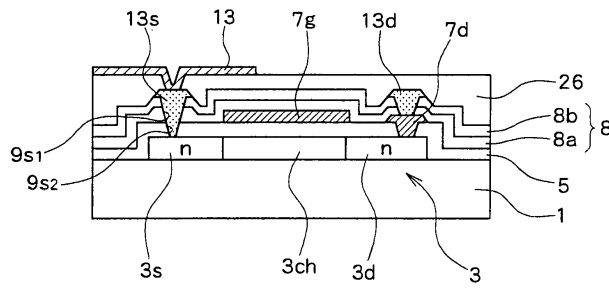
도면4



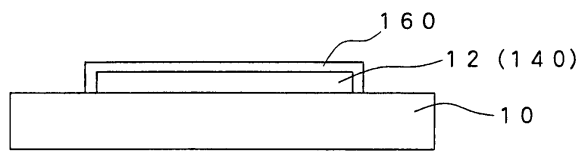
도면5



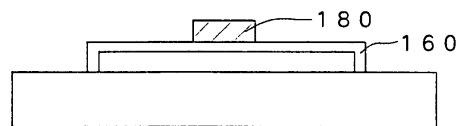
도면6



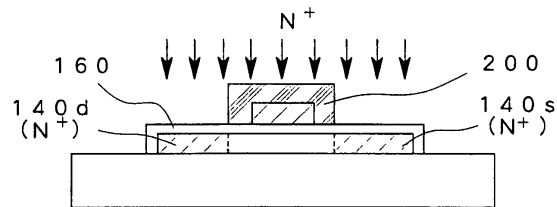
도면7A



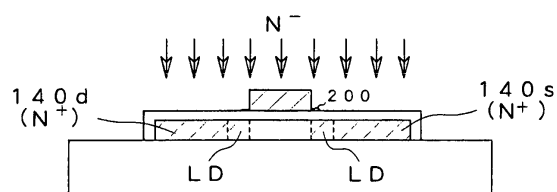
도면7B



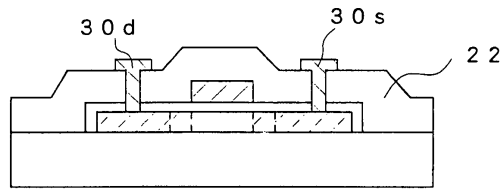
도면7C



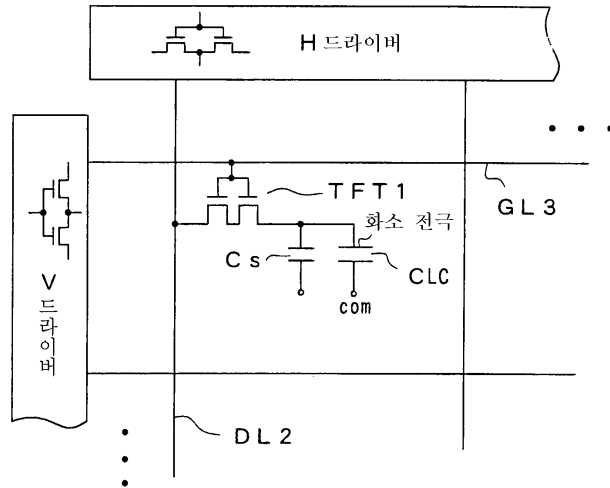
도면7D



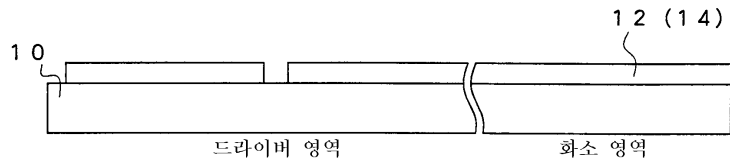
도면7E



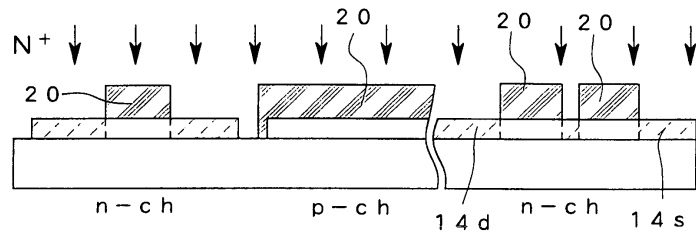
도면8



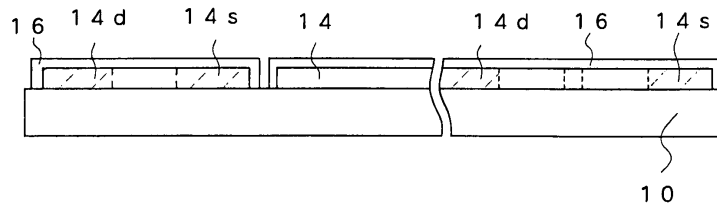
도면9A



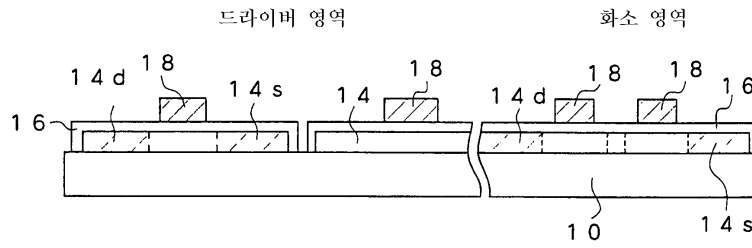
도면9B



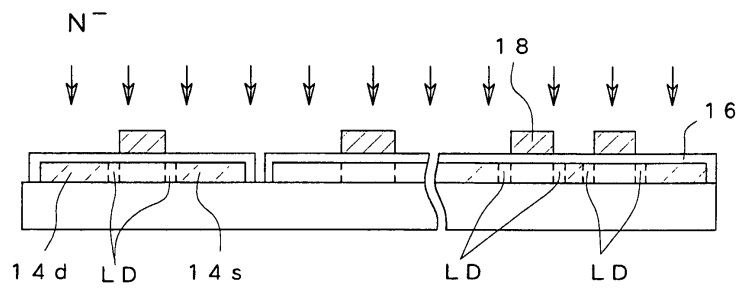
도면9C



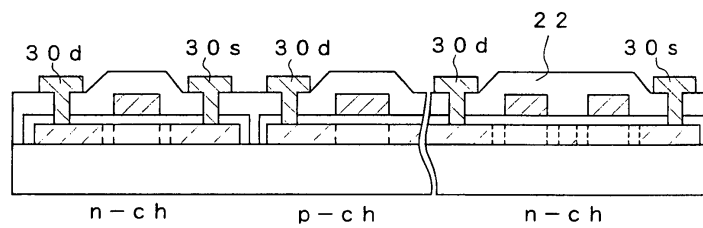
도면10A



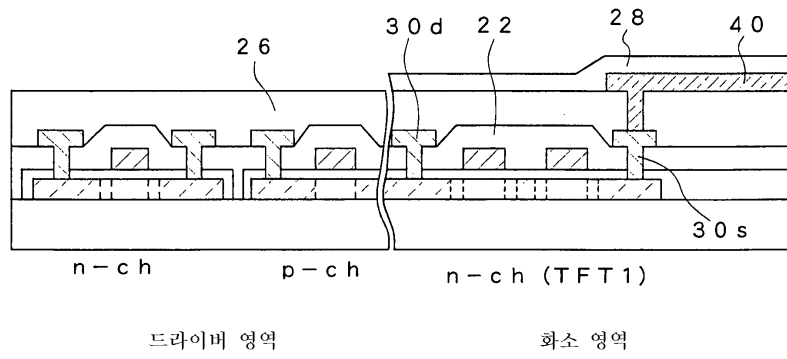
도면10B



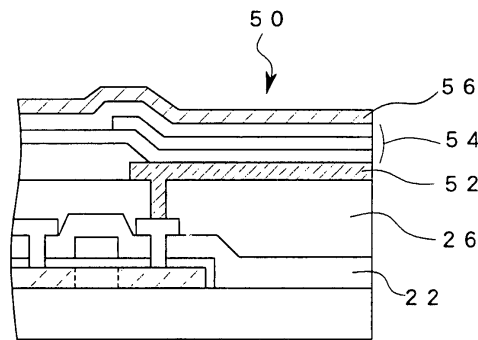
도면10C



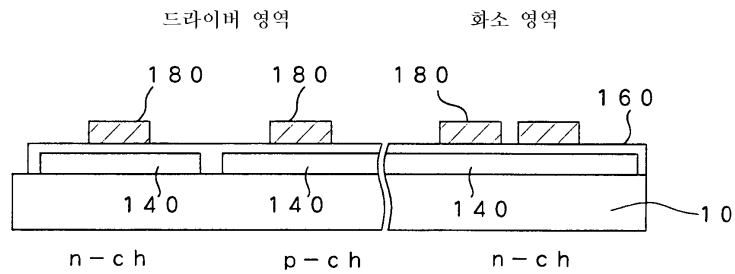
도면11



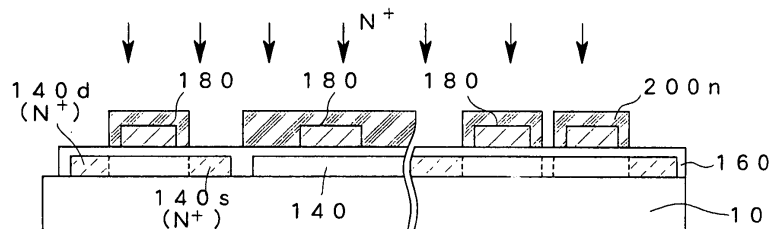
도면12



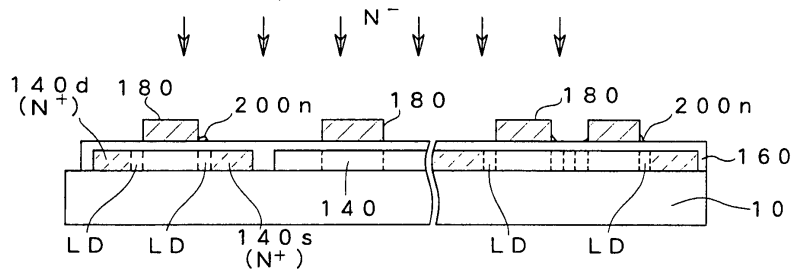
도면13A



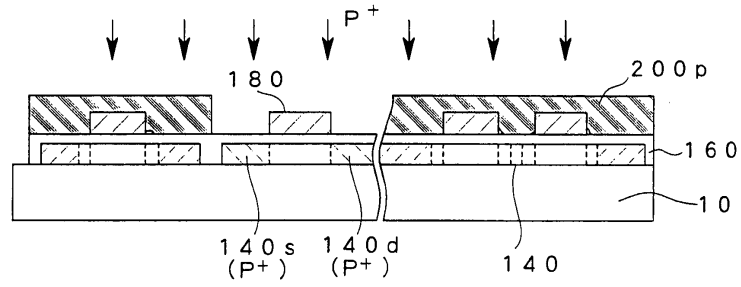
도면13B



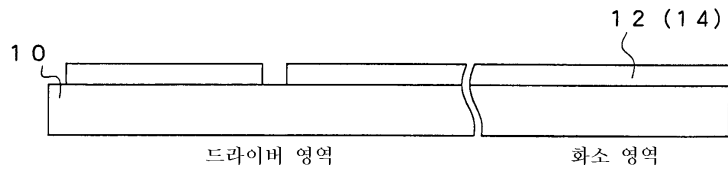
도면13C



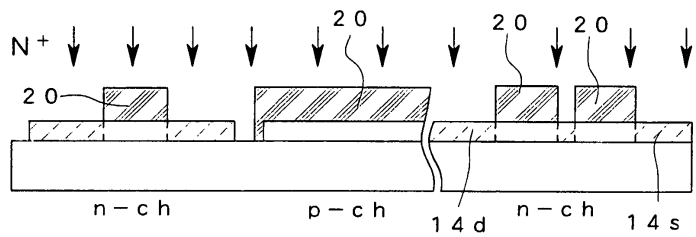
도면13D



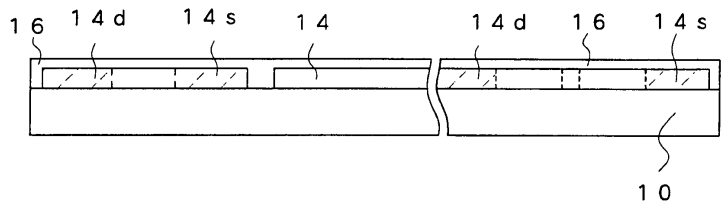
도면14A



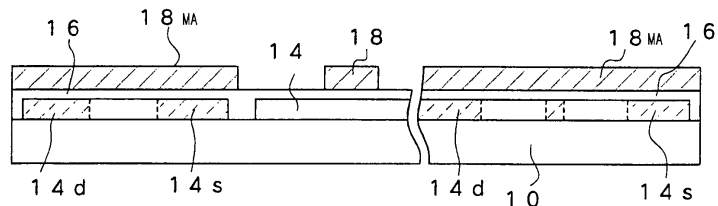
도면14B



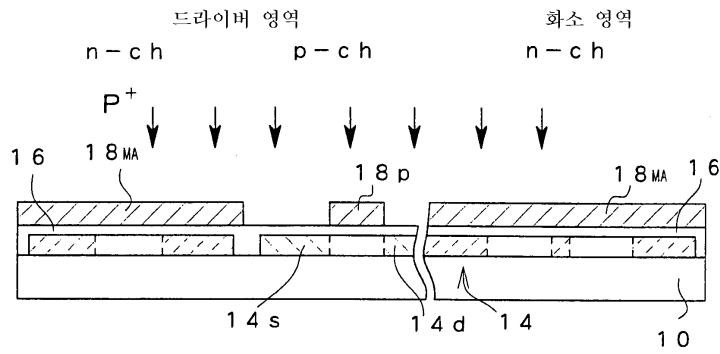
도면14C



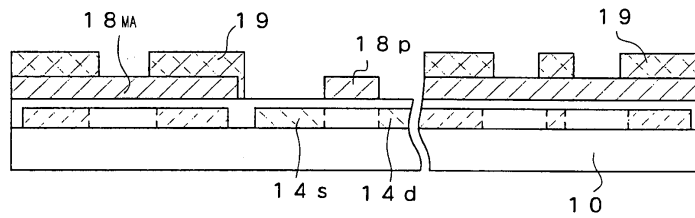
도면14D



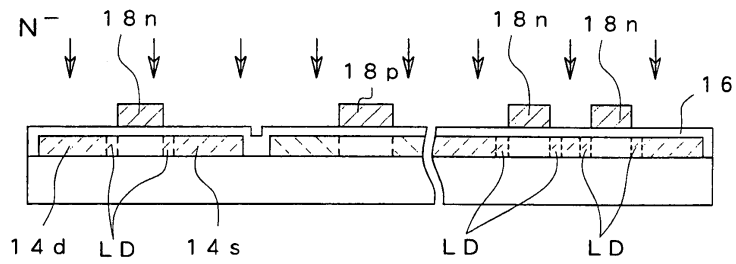
도면15A



도면15B



도면15C



도면15D

