

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



(10) 国際公開番号

WO 2018/167601 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/1156 (2017.01)
H01L 21/8234 (2006.01) H01L 29/786 (2006.01)
H01L 21/8242 (2006.01) H01L 29/788 (2006.01)
H01L 27/088 (2006.01) H01L 29/792 (2006.01)
H01L 27/108 (2006.01)

特願 2017-047822 2017年3月13日(13.03.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2018/051416

(22) 国際出願日: 2018年3月6日(06.03.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2017-047831 2017年3月13日(13.03.2017) JP

特願 2017-047833 2017年3月13日(13.03.2017) JP

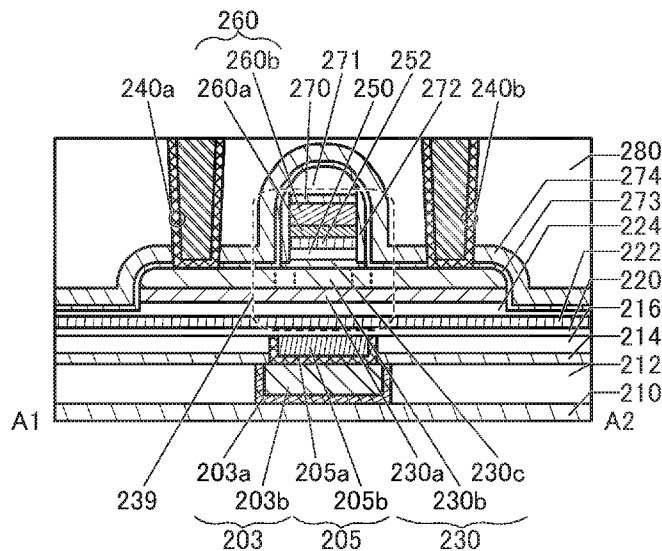
(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei);
〒2430036 神奈川県厚木市長谷398 株式会
社半導体エネルギー研究所内 Kanagawa (JP).
種村和幸(TANEMURA, Kazuki); 〒2430036 神
奈川県厚木市長谷398 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 松
林大介(MATSUBAYASHI, Daisuke); 〒2430036
神奈川県厚木市長谷398 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 村

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法

(B)

[図01]



(57) Abstract: Provided is a semiconductor device which is microfabricated and is highly integrated. The present invention comprises: an oxide semiconductor having a first region, a second region, and a third region adjacent to the first region and the second region; a first insulating body on the oxide semiconductor; a conductive body on the first insulating body; a second insulating body on the oxide semiconductor, on the first insulating body, and on the conductive body; and a third insulating body on the second insulating body. The first region is in contact with the first insulating body, and overlaps the third insulating body via the first insulating body and the conductive body. The second region is in contact with the second insulating body, and overlaps the third insulating body via the second insulating body. The second insulating body is made of a metal oxide. The third insulating body contains hydrogen or nitrogen.



川努(MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 竹内敏彦(TAKEUCHI, Toshihiko); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP). 駒形大樹(KOMAGATA, Hiroki); 〒2430036 神奈川県厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 要約書 微細化、高集積化された半導体装置を提供する。第1の領域、第2の領域、および第1の領域と第2の領域と隣接する第3の領域を有する酸化物半導体と、酸化物半導体上の第1の絶縁体と、第1の絶縁体上の導電体と、酸化物半導体、第1の絶縁体、および導電体上の第2の絶縁体と、第2の絶縁体上の第3の絶縁体と、を有し、第1の領域は、第1の絶縁体と接し、かつ第1の絶縁体、および導電体を介して、第3の絶縁体と重畳し、第2の領域は、第2の絶縁体と接し、かつ第2の絶縁体を介して、第3の絶縁体と重畳し、第2の絶縁体は金属酸化物であり、第3の絶縁体は水素、または窒素を含む。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

[0002]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

[0003]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、トランジスタのキャリア移動度の向上を目的として、電子親和力（または伝導帯下端準位）が異なる酸化物半導体層を積層させる技術が開示されている（特許文献2および特許文献3参照。）。

[0009]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積した集積回路の要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

[0010]

また、トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ。）に関する研究が盛んに行われている。

[0011]

IGZOに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造およびnc (nanocrystalline) 構造が見出された（非特許文献1乃至非特許文献3参照。）。非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、CAAC構造およびnc構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献4および非特許文献5に示されている。

[0012]

さらに、IGZOを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献6参照。）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献7および非特許文献8参照。）。

[先行技術文献]

[特許文献]

[0013]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-124360号公報

[特許文献3] 特開2011-138934号公報

[非特許文献]

[0014]

[非特許文献1] S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183-186

[非特許文献2] S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4 S, p. 04ED18-1-04ED18-10

[非特許文献3] S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p. 151-154

[非特許文献4] S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p. Q3012-Q3022

[非特許文献5] S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p. 155-164

[非特許文献6] K. Kato et al., "Japanese Journal of A

pp l i e d P h y s i c s”, 2012, v o l u m e 51, p. 021201-1-021201-7

[非特許文献7] S. Matsuda et al., “2015 Symposium on VLSI Technology Digest of Technical Papers”, 2015, p. T216-T217

[非特許文献8] S. Amano et al., “SID Symposium Digest of Technical Papers”, 2010, v o l u m e 41, i s s u e 1, p. 626-629

発明の概要

発明が解決しようとする課題

[0015]

本発明の一態様は、微細化または高集積化が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置を提供することを課題の一つとする。

[0016]

本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。本発明の一態様は、情報の書き込み速度が速い半導体装置を提供することを課題の一つとする。本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

[0017]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0018]

本発明の一態様は、第1の領域、第2の領域、および第1の領域と第2の領域と隣接する第3の領域を有する酸化物半導体と、酸化物半導体上の第1の絶縁体と、第1の絶縁体上の導電体と、酸化物半導体、第1の絶縁体、および導電体上の第2の絶縁体と、第2の絶縁体上の第3の絶縁体と、を有し、第1の領域は、第1の絶縁体と接し、かつ第1の絶縁体、および導電体を介して、第3の絶縁体と重畳し、第2の領域は、第2の絶縁体と接し、かつ第2の絶縁体を介して、第3の絶縁体と重畳し、第2の絶縁体は金属酸化物であり、第3の絶縁体は水素、または窒素を含む膜である半導体装置である。

[0019]

本発明の一態様は、第1の領域、第2の領域、第3の領域、第4の領域、および第5の領域を有する酸化物半導体と、酸化物半導体上の第1の絶縁体と、第1の絶縁体上の第1の導電体と、酸化物半導体、第1の絶縁体、および第1の導電体上の第2の絶縁体と、第2の絶縁体上の第3の絶縁体と、第3の絶縁体上の第2の導電体と、を有し、第1の領域、および第2の領域は、第2の絶縁体と接し、かつ第2の絶縁体を介して、第3の絶縁体と重畳し、第5の領域は、第1の絶縁体と接し、かつ第1の絶縁体、および導電体を介して、第3の絶縁体と重畳し、第1の領域、および第5の領域は、第2

の領域を挟んで配置され、第3の領域は、第5の領域と第1の領域との間に配置され、第4の領域は、第5の領域と第2の領域との間に配置され、第2の導電体は、第2の絶縁体、および第3の絶縁体を介して、第1の領域と重畳し、第2の絶縁体は金属酸化物であり、第3の絶縁体は水素、または窒素を含む膜である半導体装置である。

[0020]

また、上記態様において、第2の絶縁体は、酸化アルミニウムであってもよい。

[0021]

また、上記態様において、第3の絶縁体は、窒化シリコンであってもよい。

[0022]

また、上記態様において、第2の絶縁体の膜厚は0.5 nm以上3.0 nm以下であってもよい。

[0023]

また、上記態様において、第2の絶縁体は、原子層堆積（ALD法）により、成膜されてもよい。

[0024]

本発明の一態様は、第1の領域、第2の領域、および第1の領域と第2の領域と隣接する第3の領域を有する第1の酸化物半導体と、第1の酸化物半導体上の第1の絶縁体と、第1の絶縁体上の第1の導電体と、を有する第1のトランジスタと、第4の領域、第5の領域、および第4の領域と第5の領域と隣接する第6の領域を有する第2の酸化物半導体と、第6の領域と重畳する第2の絶縁体と、第2の絶縁体上の第2の導電体と、を有する第2のトランジスタと、第1の酸化物半導体、第2の酸化物半導体、第1の絶縁体、第2の絶縁体、第1の導電体、および第2の導電体上の第3の絶縁体と、第3の絶縁体上の第4の絶縁体と、を有し、第1の領域、および第4の領域は、第1の絶縁体と接し、かつ第1の絶縁体、および導電体を介して、第3の絶縁体と重畳し、第2の領域、および第5の領域は、第3の絶縁体と接し、かつ第3の絶縁体を介して、第4の絶縁体と重畳し、第6の領域は単層である領域を有し、第3の絶縁体は金属酸化物であり、第4の絶縁体は水素、または窒素を含む膜である半導体装置である。

発明の効果

[0025]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0026]

または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

[0027]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0028]

[図1] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図2] 本発明の一態様に係る半導体装置の断面図。

[図3] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図4] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図5] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図6] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図7] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図8] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図9] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図10] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図11] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図12] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図13] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図14] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図15] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図16] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図17] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図18] 本発明の一態様に係る半導体装置の作製方法を示す上面図、および断面図。

[図19] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図20] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図21] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図22] 本発明の一態様に係る半導体装置の上面図、および断面図。

[図23] 本発明の一態様に係る半導体装置の回路図および断面図。

[図24] 本発明の一態様に係る半導体装置の回路図および断面図。

[図25] 本発明の一態様に係る記憶装置の構成を示す断面図。

[図26] 本発明の一態様に係る半導体装置の断面図。

[図27] 本発明の一態様に係る記憶装置の構成を示す断面図。

[図28] 本発明の一態様に係る半導体装置の断面図。

[図29] 本発明の一態様に係る半導体装置の上面図。

[図30] 本発明の一態様に係る半導体装置の作製方法を示す断面図。

[図31] 本発明の一態様に係る半導体装置の作製方法を示す断面図。

[図32] 本発明の一態様に係る半導体装置の作製方法を示す断面図。

[図33] 本発明の一態様に係る記憶装置の回路図および断面図。

[図34] 本発明の一態様に係る半導体装置の断面図。

[図35] 本発明の一態様に係る記憶装置の構成を示す断面図。

[図36] 本発明の一態様に係る記憶装置の構成例を示すブロック図。

[図37] 本発明の一態様に係る記憶装置の構成例を示す回路図。

[図38] 本発明の一態様に係る記憶装置の構成例を示すブロック図。

[図39] 本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。

〔図 4 0〕 本発明の一態様に係る半導体装置の構成例を示すブロック図。

〔図 4 1〕 本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

〔図 4 2〕 本発明の一態様に係る半導体装置の構成例を示すブロック図。

〔図 4 3〕 本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

〔図 4 4〕 本発明の一態様に係る A I システムの構成例を示すブロック図。

〔図 4 5〕 本発明の一態様に係る A I システムの応用例を説明するブロック図。

〔図 4 6〕 本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。

〔図 4 7〕 本発明の一態様に係る電子機器を示す図。

〔図 4 8〕 本実施例に係るトランジスタの $V_g - I_d$ 測定結果を示す図。

発明を実施するための形態

〔0029〕

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

〔0030〕

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

〔0031〕

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

〔0032〕

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル形成領域を有しており、チャンネル形成領域を介してソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

〔0033〕

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

〔0034〕

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオ

ン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0035]

チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

[0036]

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、「実効的なチャンネル幅」ともいう。)と、トランジスタの上面図において示されるチャンネル幅(以下、「見かけ上のチャンネル幅」ともいう。)と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0037]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0038]

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅(SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

[0039]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS(Density of States)が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素など

がある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0040]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0041]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0042]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0043]

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、その閾値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、0Vよりも大きいものとする。

[0044]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0045]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、当該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0046]

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む。）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう。）などに分類される。例えば、トラ

ンジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FETあるいはOS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0047]

(実施の形態1)

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

[0048]

<半導体装置の構成例>

図1(A)、図1(B)、および図1(C)は、本発明の一態様に係るトランジスタ200、およびトランジスタ200周辺の上面図および断面図である。

[0049]

図1(A)は、トランジスタ200を有する半導体装置の上面図である。また、図1(B)、および図1(C)は当該半導体装置の断面図である。ここで、図1(B)は、図1(A)にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル長方向の断面図でもある。また、図1(C)は、図1(A)にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャンネル幅方向の断面図でもある。図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0050]

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体210、絶縁体212、絶縁体280を有する。また、トランジスタ200と電氣的に接続し、配線として機能する導電体203(導電体203a、および導電体203b)、およびプラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。

[0051]

なお、導電体203は、絶縁体212の開口の内壁に接して導電体203aが形成され、さらに内側に導電体203bが形成されている。ここで、導電体203の上面の高さと、絶縁体212の上面の高さは同程度にできる。なお、トランジスタ200では、導電体203aおよび導電体203bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体203bのみを設ける構成にしてもよい。

[0052]

また、導電体240は、絶縁体280の開口の内壁に接して形成されている。ここで、導電体240の上面の高さと、絶縁体280の上面の高さは同程度にできる。なお、トランジスタ200では、導電体240が単層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、2層以上の積層構造でもよい。

[0053]

[トランジスタ200]

図1に示すように、トランジスタ200は、基板(図示せず)の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230の上に配置さ

れた絶縁体 250 と、絶縁体 250 上に配置された絶縁体 252 と、絶縁体 252 の上に配置された導電体 260（導電体 260 a、および導電体 260 b）と、導電体 260 の上に配置された絶縁体 270 と、絶縁体 270 上に配置された絶縁体 271 と、少なくとも絶縁体 250、および導電体 260 の側面に接して配置された絶縁体 272 と、酸化物 230、および絶縁体 272 と接して配置された絶縁体 273 と、絶縁体 273 を介して酸化物 230 上に配置された絶縁体 274 と、を有する。

[0054]

なお、トランジスタ 200 では、酸化物 230 a、および酸化物 230 b、および酸化物 230 c を積層する構成について示しているが、本発明はこれに限られるものではない。また、酸化物 230 b の単層、酸化物 230 b と酸化物 230 a の 2 層構造、酸化物 230 b と酸化物 230 c の 2 層構造、または 3 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 200 では、導電体 260 a および導電体 260 b を積層する構成について示しているが、本発明はこれに限られるものではない。

[0055]

酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。

[0056]

酸化物半導体は、水素、または窒素が添加されると、キャリア密度が増加する。また、酸化物半導体は、水素が添加されると、金属原子と結合する酸素と反応して水になり、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリア密度が増加する。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。つまり、窒素、または水素が添加された酸化物半導体は、n 型となり、低抵抗化される。

[0057]

したがって、酸化物 230 を選択的に低抵抗化することで、島状に加工した酸化物 230 は、キャリア密度が低い半導体として機能する領域と、ソース領域、またはドレイン領域として機能する低抵抗化した領域を設けることができる。

[0058]

ここで、図 1（B）における破線で囲む、酸化物 230 b において選択的に低抵抗化したチャネル近傍の領域 239 の拡大図を図 2 に示す。

[0059]

図 2 に示すように、酸化物 230 b は、トランジスタ 200 のチャネル形成領域として機能する領域 234 と、ソース領域またはドレイン領域として機能する領域 231（領域 231 a、および領域 231 b）との間に、領域 232（領域 232 a、および領域 232 b）を有する。ソース領域またはドレイン領域として機能する領域 231 は、キャリア密度が高い、低抵抗化した領域である。また、チャネル形成領域として機能する領域 234 は、ソース領域またはドレイン領域として機能する領域 231 よりも、キャリア密度が低い領域である。また、領域 232 は、ソース領域またはドレイン領域として機能する領域 231 よりもキャリア密度が低く、チャネル形成領域として機能する領域 234 よりもキャリア密度が高い領域である。すなわち、領域 232 は、チャネル形成領域と、ソース領域またはドレイン領域との間の接合領域（junction region）としての機能を有する。なお、領域 232 は、ゲート電極として機能する導電体 260 と重なる、いわゆるオーバーラップ領域（Lov 領域ともいう。）として機能する場合がある。

[0060]

接合領域を設けることで、ソース領域またはドレイン領域として機能する領域231と、チャンネル形成領域として機能する領域234との間に高抵抗領域が形成されず、トランジスタのオン電流を大きくすることができる。

[0061]

なお、図1、および図2では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られることなく、例えば、これらの領域は酸化物230a、および酸化物230cにも、形成されていてもよい。また、図1、および図2では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が酸化物230bの表面近傍では導電体260側に張り出し、酸化物230aの下面近傍では、導電体240a側または導電体240b側に後退する形状になる場合がある。

[0062]

酸化物230を選択的に低抵抗化するには、例えば、ゲート電極として機能する導電体260をマスクとして、水素、または窒素などを含む膜を、酸化物230のソース領域、およびドレイン領域（領域231）と近接して設けるとよい。水素、または窒素などを含む膜から、水素、または窒素を酸化物230の領域231に拡散することで低抵抗化を図ることができる。一方、ゲート電極として機能する導電体260をマスクとしているため、酸化物230の導電体260と重畳する領域（領域234）は、水素、および窒素の添加が抑制される。また、領域231と領域234の間には、水素、および窒素が拡散することで、接合領域（領域232）が形成される。

[0063]

ここで、酸化物230に、過剰な水素、または窒素が添加された場合、領域234にも、水素、または窒素が拡散する場合がある。つまり、本来、チャンネル形成領域として設計した領域まで、低抵抗化し、ソース領域とドレイン領域とが導通してしまうという問題が発生する。

[0064]

そこで、酸化物230上に、水素、または窒素などを含む膜が直に接しない構造とすればよい。例えば、水素、または窒素の拡散を抑制する金属酸化膜を、酸化物230と水素、または窒素などを含む膜との間に設けるとよい。例えば、図1、および図2に示すように、絶縁体273として金属酸化膜を設け、絶縁体274として、水素、または窒素などを含む膜を設けるとよい。絶縁体274を、絶縁体273を介して、酸化物230の領域231上に設けることで、過剰な水素、または窒素が、酸化物230の領域234へと添加されることを防止することができる。

[0065]

したがって、絶縁体273、および絶縁体274の膜厚は、用いた材質に応じて、適宜調整するとよい。

[0066]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0067]

金属酸化膜は、膜の状態や材質により、バリア性が異なる。したがって、金属酸化膜の膜厚、および成膜条件などを調整することで、水素、および窒素の適切な添加量を調整することができる。特に、

酸化アルミニウムはバリア性が高く、0.5 nm以上であれば、バリア性を呈する。したがって、トランジスタのサイズに応じて、例えば、0.5 nm以上3.0 nm以下、好ましくは0.5 nm以上1.5 nm以下の薄膜であっても、水素、および窒素の拡散を抑制し、適切な添加量を調整することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0068]

例えば、絶縁体274として、窒素を含む絶縁体を用いることができる。例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。特に、窒化シリコン膜は、当該窒化シリコン膜の成膜中、または後の熱履歴により、窒化シリコン膜中の水素を放出することができる。

[0069]

以上より、酸化物230上、および酸化物230上の導電体260上に、絶縁体273を介して、絶縁体274を成膜することで、酸化物230の選択的な低抵抗化を行うことができる。つまり、ゲート電極として機能する導電体260をマスクとすることで、自己整合的に酸化物230は低抵抗化する。そのため、複数のトランジスタ200を同時に形成する場合、トランジスタ間の電気特性バラつきを小さくすることができる。また、トランジスタ200のチャネル長は、導電体260の幅により決定され、導電体260の幅を最小加工寸法とすることにより、トランジスタ200の微細化が可能となる。

[0070]

なお、絶縁体273、および絶縁体274は、必ずしも除去しなくともよい。例えば、絶縁体273、および絶縁体274を残存させることで、層間膜として機能させることができる。また、絶縁体274のみを除去してもよい。

[0071]

酸化物230に、層間膜として機能する絶縁体273、および絶縁体274を成膜し、チャネル形成領域、ソース領域、またはドレイン領域を自己整合的に形成することで、金属材料などを用いたソース電極、およびドレイン電極を別途形成する工程が不要となる。したがって、コストの削減、または工程の短縮が可能となる。

[0072]

さらに、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置が提供できる。

[0073]

以上より、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0074]

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の詳細な構成について説明する。

[0075]

導電体203は、図1(A)、および図1(C)に示すように、チャネル幅方向に延伸されており、導電体205に電位を印加する配線として機能する。なお、導電体203は、絶縁体214および絶縁体216に埋め込まれて設けることが好ましい。

[0076]

導電体205は、酸化物230、および導電体260と、重なるように配置する。また、導電体205は、導電体203の上に接して設けるとよい。

[0077]

ここで、導電体260は、第1のゲート(トップゲートともいう。)電極として機能する場合がある。また、導電体205は、第2のゲート(ボトムゲートともいう。)電極として機能する場合がある。その場合、導電体205に印加する電位を、導電体260に印加する電位と、連動させず、独立して変化させることで、トランジスタ200の閾値電圧を制御することができる。特に、導電体205に負の電位を印加することにより、トランジスタ200の閾値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体260に印加する電圧が0Vのときのドレイン電流を小さくすることができる。

[0078]

つまり、導電体203上に導電体205を設けることで、第1のゲート電極、および配線としての機能を有する導電体260と、導電体203との距離を適宜設計することが可能となる。つまり、導電体203と導電体260の間に絶縁体214および絶縁体216などが設けられ、導電体203と導電体260の間の寄生容量を低減し、絶縁耐圧を高めることができる。

[0079]

また、導電体203と導電体260の間の寄生容量を低減することで、トランジスタのスイッチング速度を向上させ、高い周波数特性を有するトランジスタにすることができる。また、導電体203と導電体260の間の絶縁耐圧を高めることで、トランジスタ200の信頼性を向上させることができる。よって、絶縁体214および絶縁体216の膜厚を大きくすることが好ましい。なお、導電体203の延伸方向はこれに限られず、例えば、トランジスタ200のチャネル長方向に延伸されてもよい。

[0080]

なお、導電体205は、図1(A)に示すように、酸化物230、および導電体260と重なるように配置する。また、導電体205は、酸化物230における領域234よりも、大きく設けるとよい。特に、図1(C)に示すように、導電体205は、酸化物230の領域234におけるチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0081]

上記構成を有することで、導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界と、がつながることで、閉回路を形成し、酸化物230に形成されるチャネル形成領域を覆うことができる。

[0082]

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての

機能を有する導電体205の電界によって、領域234のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel* (*S-channel*) 構造とよぶ。

[0083]

また、導電体205は、絶縁体214および絶縁体216の開口の内壁に接して導電体205aが形成され、さらに内側に導電体205bが形成されている。ここで、導電体205aおよび導電体205bの上面の高さと、絶縁体216の上面の高さは同程度にできる。なお、トランジスタ200では、導電体205aおよび導電体205bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体205bのみを設ける構成にしてもよい。

[0084]

ここで、導電体205aおよび導電体203aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

[0085]

導電体205a、および導電体203aが酸素の拡散を抑制する機能を持つことにより、導電体205bおよび導電体203bが酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。したがって、導電体205a、および導電体203aとしては、上記導電性材料を単層または積層とすればよい。これにより、絶縁体210より基板側から、水素、水などの不純物が、導電体203、および導電体205を通じて、トランジスタ200側に拡散するのを抑制することができる。

[0086]

また、導電体205bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体205bを単層で図示したが、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0087]

また、導電体203bは、配線として機能するため、導電体205bより導電性が高い導電体を用いることが好ましい。例えば、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体203bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0088]

特に、導電体203に、銅を用いることが好ましい。銅は抵抗が小さいため、配線等に用いることが好ましい。一方、銅は拡散しやすいため、酸化物230に拡散することで、トランジスタ200の特性を低下させる場合がある。そこで、例えば、絶縁体214には、銅の透過性が低い酸化アルミニウム、または酸化ハフニウムなどの材料を用いることで、銅の拡散を抑えることができる。

[0089]

なお、導電体205は必ずしも設けなくともよい。その場合、導電体203の一部が第2のゲート電極として機能することができる。

[0090]

絶縁体210および絶縁体214は、水または水素などの不純物が、基板側からトランジスタに混入するのを防ぐバリア絶縁膜として機能することが好ましい。したがって、絶縁体210および絶縁体214は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

[0091]

例えば、絶縁体210として酸化アルミニウムなどを用い、絶縁体214として窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体210および絶縁体214よりも基板側からトランジスタ側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体210および絶縁体214よりも基板側に、拡散するのを抑制することができる。

[0092]

また、導電体203の上に導電体205を積層して設ける構成にすることにより、導電体203と導電体205の間に絶縁体214を設けることができる。ここで、導電体203bに銅など拡散しやすい金属を用いても、絶縁体214として窒化シリコンなどを設けることにより、当該金属が絶縁体214より上の層に拡散するのを防ぐことができる。

[0093]

また、層間膜として機能する絶縁体212、絶縁体216、および絶縁体280は、絶縁体210、または絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0094]

例えば、絶縁体212、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛(PZT)、チタン酸ストロンチウム(SrTiO_3)または(Ba , Sr) TiO_3 (BST)などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0095]

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

[0096]

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素領域を有する絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、信頼性を向上させることができる。

[0097]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ molecules/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ molecules/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ molecules/cm}^3$ 、または $3.0 \times 10^{20} \text{ molecules/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0098]

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0099]

絶縁体222が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は、絶縁体220側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

[0100]

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba , Sr) TiO_3 (BST) などのいわゆる h i g h - k 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、h i g h - k 材料を用いることで物理膜厚を保ち、トランジスタ動作時のゲート電位の低減が可能となる。

[0101]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、トランジスタ200の周辺部から酸化物230への水素等の不純物の混入を防ぐ層として機能する。

[0102]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0103]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、h i g h - k 材料の絶縁体と222組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0104]

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよ

い。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0105]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230a上に、酸化物230bを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bに対する不純物の拡散を抑制することができる。また、酸化物230c下に、酸化物230bを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bに対する不純物の拡散を抑制することができる。

[0106]

また、酸化物230は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、 I_n に対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、 I_n に対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対する I_n の原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対する I_n の原子数比より大きいことが好ましい。なお、元素Mは金属元素とする。また、酸化物230cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を、用いることができる。

[0107]

また、酸化物230aおよび酸化物230cの伝導帯下端のエネルギーが、酸化物230bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物230aおよび酸化物230cの電子親和力が、酸化物230bの電子親和力より小さいことが好ましい。

[0108]

ここで、酸化物230a、酸化物230b、および酸化物230cにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0109]

具体的には、酸化物230aと酸化物230b、酸化物230bと酸化物230cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物230bが $I_n-Ga-Zn$ 酸化物の場合、酸化物230aおよび酸化物230cとして、 $I_n-Ga-Zn$ 酸化物、 $Ga-Zn$ 酸化物、酸化ガリウムなどを用いるとよい。

[0110]

このとき、キャリアの主たる経路は酸化物230bとなる。酸化物230aと酸化物230bとの界面、および酸化物230bと酸化物230cとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0111]

また、酸化物230は、領域231、領域232、および領域234を有することが好ましい。なお、領域231の少なくとも一部は、絶縁体273を介して絶縁体274と接し、水素、および窒素などの不純物のうち、少なくとも一の濃度が領域234よりも大きいことが好ましい。また、領域232は、水素、および窒素などの不純物のうち、少なくとも一の濃度が、領域234よりも大きく、かつ

領域 2 3 1 よりも小さいことが好ましい。

[0 1 1 2]

つまり、領域 2 3 1、および領域 2 3 2 は、酸化物 2 3 0 として設けられた金属酸化物に、不純物を添加した領域である。なお、領域 2 3 1 は、領域 2 3 4 よりも、導電性が高い。また、領域 2 3 2 は、領域 2 3 1 よりも導電性が低く、領域 2 3 4 よりも導電性が高い。

[0 1 1 3]

酸化物 2 3 0 上に、絶縁体 2 7 3 を介して、不純物となる元素を含む絶縁体 2 7 4 を成膜することで、領域 2 3 1、および領域 2 3 2 に、不純物を添加することができる。つまり、領域 2 3 1 は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。よって、領域 2 3 1 は、上記元素の一つまたは複数を含む構成にすればよい。

[0 1 1 4]

トランジスタ 2 0 0 において、領域 2 3 2 を低抵抗化した場合、ソース領域およびドレイン領域として機能する領域 2 3 1 と、チャンネルが形成される領域 2 3 4 との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域 2 3 2 を有することで、チャンネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されることを抑制できる。また、領域 2 3 2 を有することで、非導通時のリーク電流を小さくすることができる。

[0 1 1 5]

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0 1 1 6]

したがって、トランジスタ 2 0 0 をオンさせると、領域 2 3 1 a、または領域 2 3 1 b は、ソース領域、またはドレイン領域として機能する。一方、領域 2 3 4 の少なくとも一部は、チャンネルが形成される領域として機能する。領域 2 3 1 と、領域 2 3 4 の間に領域 2 3 2 を有することで、トランジスタ 2 0 0 において、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

[0 1 1 7]

また、酸化物 2 3 0 の側面と、酸化物 2 3 0 の上面との間に、湾曲面を有する。つまり、酸化物 2 3 0 の側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう。）。湾曲面は、例えば、酸化物 2 3 0 b の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とすることが好ましい。

[0 1 1 8]

酸化物 2 3 0 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。例えば、領域 2 3 4 となる金属酸化物としては、バンドギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0 1 1 9]

なお、本明細書等において、窒素有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0120]

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

[0121]

例えば、酸化物230として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、インジウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物230として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0122]

絶縁体250は、ゲート絶縁体として機能する。絶縁体250は、酸化物230cの上面に接して配置することが好ましい。絶縁体250は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析 (TDS分析) にて、酸素分子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下の範囲が好ましい。

[0123]

具体的には、過剰酸素領域を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素有する酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0124]

加熱により酸素が放出される絶縁体を、絶縁体250として、酸化物230cの上面に接して設けることにより、酸化物230bの領域234に効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体250中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体250の膜厚は、1nm以上20nm以下とするのが好ましい。

[0125]

また、絶縁体250が有する過剰酸素領域の酸素を、効率的に酸化物230へ供給するために、絶縁体252は酸素拡散を抑制することが好ましい。酸素の拡散を抑制する絶縁体252を設けることで、導電体260への酸素の拡散が抑制される。つまり、酸化物230へ供給する酸素量の減少を抑制することができる。また、過剰酸素領域の酸素による導電体260の酸化を抑制することができる。

[0126]

また、絶縁体250、および絶縁体252は、ゲート絶縁体の一部としての機能を有する場合がある。したがって、絶縁体250に酸化シリコンや酸化窒化シリコンなどを用いる場合、絶縁体252は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とするこ

とで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

[0127]

上記積層構造とすることで、導電体260からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、絶縁体250と、絶縁体252との物理的な厚みにより、導電体260と、酸化物230との間の距離を保つことで、リーク電流を抑制することができる。また、絶縁体250、および絶縁体252との積層構造を設けることで、導電体260と酸化物230との間の物理的な距離、および導電体260から酸化物230へかかる電界強度を、容易に適宜調整することができる。

[0128]

具体的には、絶縁体252として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0129]

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱履歴において、結晶化しにくいことが好ましい。

[0130]

第1のゲート電極として機能する導電体260は、導電体260a、および導電体260a上の導電体260bを有する。導電体260aは、導電体205aと同様に、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0131]

導電体260aが酸素の拡散を抑制する機能を持つことにより、絶縁体250、および絶縁体252が有する過剰酸素領域の酸素により、導電体260bが酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。

[0132]

また、導電体260bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体260は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体260bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0133]

また、例えば、導電体260aとして、導電性酸化物を用いることができる。例えば、酸化物230として用いることができる金属酸化物を用いることが好ましい。特に、 $In-Ga-Zn$ 系酸化物のうち、導電性が高い、金属の原子数比が $[In]:[Ga]:[Zn]=4:2:3$ から4.1、およびその近傍値のものを用いることが好ましい。このような導電体260aを設けることで、導電体26

0 b への酸素の透過を抑制し、酸化によって導電体 2 6 0 b の電気抵抗値が増加することを防ぐことができる。

[0 1 3 4]

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体 2 5 0、および絶縁体 2 5 2 に酸素を添加することで、酸化物 2 3 0 の領域 2 3 4 に酸素を供給することが可能となる。これにより、酸化物 2 3 0 の領域 2 3 4 の酸素欠損を低減することができる。

[0 1 3 5]

上記導電性酸化物を導電体 2 6 0 a として用いる場合、導電体 2 6 0 b には、導電体 2 6 0 a に窒素などの不純物を添加し、導電体 2 6 0 a の導電性を向上できる導電体を用いることが好ましい。例えば、導電体 2 6 0 b は、窒化チタンなどを用いることが好ましい。また、導電体 2 6 0 b を、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

[0 1 3 6]

また、図 1 (C) に示すように、導電体 2 0 5 が、酸化物 2 3 0 のチャネル幅方向の端部よりも外側の領域において、延伸している場合、導電体 2 6 0 は、当該領域において、絶縁体 2 5 0 を介して、重畳していることが好ましい。つまり、酸化物 2 3 0 の側面の外側において、導電体 2 0 5 と、絶縁体 2 5 0 と、導電体 2 6 0 とは、積層構造を形成することが好ましい。

[0 1 3 7]

上記構成を有することで、導電体 2 6 0、および導電体 2 0 5 に電位を印加した場合、導電体 2 6 0 から生じる電界と、導電体 2 0 5 から生じる電界と、がつながることで、閉回路を形成し、酸化物 2 3 0 に形成されるチャネル形成領域を覆うことができる。

[0 1 3 8]

つまり、第 1 のゲート電極としての機能を有する導電体 2 6 0 の電界と、第 2 のゲート電極としての機能を有する導電体 2 0 5 の電界によって、領域 2 3 4 のチャネル形成領域を電氣的に取り囲むことができる。

[0 1 3 9]

また、導電体 2 6 0 b の上に、バリア膜として機能する絶縁体 2 7 0 を配置してもよい。絶縁体 2 7 0 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電体 2 6 0 の酸化を防ぐことができる。また、導電体 2 6 0 および絶縁体 2 5 0 を介して、水または水素などの不純物が酸化物 2 3 0 に混入することを防ぐことができる。

[0 1 4 0]

また、絶縁体 2 7 0 上に、ハードマスクとして機能する絶縁体 2 7 1 を配置することが好ましい。絶縁体 2 7 0 を設けることで、導電体 2 6 0 の加工の際、導電体 2 6 0 の側面が概略垂直、具体的には、導電体 2 6 0 の側面と基板表面のなす角を、75 度以上 100 度以下、好ましくは 80 度以上 95 度以下とすることができる。導電体をこのような形状に加工することで、次に形成する絶縁体 2 7 2 を所望の形状に形成することができる。

[0 1 4 1]

バリア膜として機能する絶縁体 2 7 2 は、絶縁体 2 5 0、絶縁体 2 5 2、導電体 2 6 0、および絶縁体 2 7 0 の側面に接して設ける。

[0 1 4 2]

ここで、絶縁体 272 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体 250、および絶縁体 252 中の酸素が外部に拡散することを防ぐことができる。また、絶縁体 250、および絶縁体 252 の端部などから酸化物 230 に水素、水などの不純物が混入するのを抑制することができる。したがって、酸化物 230 と、絶縁体 250 との界面における酸素欠損の形成が抑制され、トランジスタ 200 の信頼性を向上させることができる。

[0143]

絶縁体 272 を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で、導電体 260 の上面と側面、絶縁体 250 の側面、および絶縁体 252 の側面を覆うことができる。これにより、導電体 260、絶縁体 250 および絶縁体 252 を介して、水または水素などの不純物が酸化物 230 に混入することを防ぐことができる。したがって、絶縁体 272 は、ゲート電極およびゲート絶縁体の側面を保護するサイドバリアとしての機能を有する。

[0144]

特に、トランジスタが微細化され、チャネル長が 10 nm 以上 30 nm 以下程度に形成されている場合、トランジスタ 200 の周辺に設けられる構造体に含まれる不純物元素が拡散し、領域 231a と、領域 231b と、が電氣的に導通する恐れがある。上記構造とすることで、第 1 のゲート電位が 0 V のときに、ソース領域とドレイン領域が電氣的に導通することを防ぐことができる。

[0145]

絶縁体 273 は、絶縁体 271、絶縁体 272、酸化物 230 および絶縁体 224 を覆って設ける。ここで、絶縁体 273 は、絶縁体 271 および絶縁体 272 の上面に接し、かつ絶縁体 272 の側面に接して設けられる。また、絶縁体 274 は、絶縁体 273 を介して、少なくとも酸化物 230 の領域 231 上に設けられる。

[0146]

絶縁体 274 を、絶縁体 273 を介して、酸化物 230 の領域 231 上に設けることで、過剰な水素、または窒素が、酸化物 230 の領域 234 へと添加されることを防止することができる。

[0147]

したがって、絶縁体 273、および絶縁体 274 の膜厚は、用いた材質に応じて、適宜調整するよい。例えば、絶縁体 273 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0148]

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0149]

例えば、絶縁体 274 として、窒素を含む絶縁体を用いることができる。例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。特に、窒化シリコン膜は、当該窒化シリコン膜の成膜中、または後の熱履歴により、窒化シリコン膜中の水素を放出することができる。

[0150]

絶縁体274の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280の上に絶縁体210と同様の絶縁体を設けてもよい。

[0151]

また、絶縁体280および絶縁体274に形成された開口に、導電体240aおよび導電体240bを配置する。導電体240aおよび導電体240bは、導電体260を挟んで対向して設ける。なお、導電体240aおよび導電体240bの上面の高さは、絶縁体280の上面と、同一平面上としてもよい。

[0152]

導電体240aは、トランジスタ200のソース領域およびドレイン領域の一方として機能する領域231aと接しており、導電体240bはトランジスタ200のソース領域およびドレイン領域の他方として機能する領域231bと接している。よって、導電体240aはソース電極およびドレイン電極の一方として機能でき、導電体240bはソース電極およびドレイン電極の他方として機能できる。領域231aおよび領域231bは低抵抗化されているので、導電体240aと領域231aの接触抵抗、および導電体240bと領域231bの接触抵抗を低減し、トランジスタ200のオン電流を大きくすることができる。

[0153]

なお、絶縁体280および絶縁体274の開口の内壁に接して導電体240aが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231aが位置しており、導電体240aが領域231aと接する。同様に、絶縁体280および絶縁体274の開口の内壁に接して導電体240bが形成されている。当該開口の底部の少なくとも一部には酸化物230の領域231bが位置しており、導電体240bが領域231bと接する。

[0154]

ここで、導電体240a、および導電体240bは、少なくとも酸化物230の上面と接し、さらに酸化物230の側面と接することが好ましい。特に、導電体240a、および導電体240bは、酸化物230のチャネル幅方向と交わる側面において、A3側の側面、およびA4側の側面の双方または一方と接することが好ましい。また、導電体240a、および導電体240bが、酸化物230のチャネル長方向と交わる側面において、A1側（またはA2側）の側面と接する構成にしてもよい。このように、導電体240a、および導電体240bが酸化物230の上面に加えて、酸化物230の側面と接する構成にすることにより、導電体240a、および導電体240bと酸化物230のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体240a、および導電体240bと酸化物230の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

[0155]

導電体240aおよび導電体240bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体240aおよび導電体240bは積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0156]

導電体240aおよび導電体240bを積層構造とする場合、絶縁体274、および絶縁体280と

接する導電体には、導電体 205a などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。当該導電性材料を用いることで、絶縁体 280 より上層から水素、水などの不純物が、導電体 240a および導電体 240b を通じて酸化物 230 に混入するのを抑制することができる。

[0157]

また、図示しないが、導電体 240a の上面、および導電体 240b の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、当該導電体は、積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、当該導電体は、導電体 203 などと同様に、絶縁体に設けられた開口に埋め込むように形成してもよい。

[0158]

<半導体装置の構成材料>

以下では、半導体装置に用いることができる構成材料について説明する。

[0159]

<<基板>>

トランジスタ 200 を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば SOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、導電体または半導体が設けられた絶縁体基板、導電体または絶縁体が設けられた半導体基板、半導体または絶縁体が設けられた導電体基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0160]

また、基板として、可撓性基板を用いてもよい。なお、可撓性基板上にトランジスタを設ける方法としては、非可撓性の基板上にトランジスタを作製した後、トランジスタを剥離し、可撓性基板に転置する方法もある。その場合には、非可撓性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。すなわち、丈夫な半導体装置

を提供することができる。

[0161]

可撓性基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可撓性基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可撓性基板としては、例えば、線膨張率が $1 \times 10^{-3}/K$ 以下、 $5 \times 10^{-5}/K$ 以下、または $1 \times 10^{-5}/K$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可撓性基板として好適である。

[0162]

<<絶縁体>>

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

[0163]

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ち、低電圧化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。

[0164]

また、比誘電率の高い絶縁体としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

[0165]

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

[0166]

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0167]

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

[0168]

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、

窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0169]

例えば、絶縁体273として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0170]

特に、酸化アルミニウムはバリア性が高く、0.5 nm以上3.0 nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。したがって、酸化ハフニウムの膜厚を調整することで、水素、および窒素の適切な添加量を調整することができる。

[0171]

例えば、絶縁体274として、窒素を含む絶縁体を用いることができる。例えば、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。特に、窒化シリコン膜は、当該窒化シリコン膜の成膜中、または後の熱履歴により、窒化シリコン膜中の水素を放出することができる。

[0172]

例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体250は、過剰酸素領域を有する絶縁体であることが好ましい。例えば、過剰酸素領域を有する酸化シリコンまたは酸化窒化シリコンを酸化物230と接する構造とすることで、酸化物230が有する酸素欠損を補填することができる。

[0173]

また、例えば、ゲート絶縁体の一部として機能する絶縁体224および絶縁体252において、アルミニウム、ハフニウム、およびガリウムの一種または複数種の酸化物を含む絶縁体を用いることができる。特に、アルミニウムおよびハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

[0174]

例えば、絶縁体222には、熱に対して安定である酸化シリコンまたは酸化窒化シリコンを用いることが好ましい。ゲート絶縁体として、熱に対して安定な膜と、比誘電率が高い積層構造とすることで、物理膜厚を保持したまま、ゲート絶縁体の等価酸化膜厚（EOT）の薄膜化が可能となる。

[0175]

上記積層構造とすることで、ゲート電極からの電界の影響を弱めることなく、オン電流の向上を図ることができる。また、ゲート絶縁体の物理的な厚みにより、ゲート電極と、チャンネルが形成される領域との間の距離を保つことで、リーク電流を抑制することができる。

[0176]

絶縁体212、絶縁体216、絶縁体271および絶縁体280は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体212、絶縁体216、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体212、絶縁体216、および絶縁体280は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

[0177]

絶縁体210、絶縁体214、絶縁体270、および絶縁体272としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体270および絶縁体272としては、例えば、酸化アルミニウム、酸化ハフニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

[0178]

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0179]

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0180]

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

[0181]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む

導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャンネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

[0182]

導電体260、導電体203、導電体205、および導電体240としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

[0183]

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう。）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0184]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0185]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0186]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0187]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC (Cloud-Aligned Composite)-OSの構成について説明する。

[0188]

なお、本明細書等において、CAAC (c-axis aligned crystal)、および CAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAAC は結晶構造の一例を表し、CAC は機能、または材料の構成の一例を表す。

[0189]

CAC-OS または CAC-metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS または CAC-metal oxide を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（または正孔）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC-OS または CAC-metal oxide に付与することができる。CAC-OS または CAC-metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0190]

また、CAC-OS または CAC-metal oxide は、導電性領域、および絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0191]

また、CAC-OS または CAC-metal oxide において、導電性領域と、絶縁性領域とは、それぞれ 0.5 nm 以上 10 nm 以下、好ましくは 0.5 nm 以上 3 nm 以下のサイズで材料中に分散している場合がある。

[0192]

また、CAC-OS または CAC-metal oxide は、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS または CAC-metal oxide は、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記 CAC-OS または CAC-metal oxide をトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、および高い電界効果移動度を得ることができる。

[0193]

すなわち、CAC-OS または CAC-metal oxide は、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

[0194]

[金属酸化物の構造]

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned

d crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

[0195]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0196]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0197]

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0198]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0199]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0200]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0201]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態

様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、*a-l i k e* OS、*n c*-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0202]

[金属酸化物を有するトランジスタ]

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

[0203]

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0204]

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0205]

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0206]

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0207]

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0208]

なお、トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

[0209]

2009年に、CAAC構造を有するIn-Ga-Zn酸化物(CAAC-IGZOと呼ぶ。)が発見されたことが、非特許文献1および非特許文献2で報告されている。ここでは、CAAC-IGZOは、c軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、CAAC-IGZOを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

[0210]

また、2013年には、nc構造を有するIn-Ga-Zn酸化物(nc-IGZOと呼ぶ。)が発見された(非特許文献3参照。)。ここでは、nc-IGZOは、微小な領域(例えば、1nm以上3nm以下の領域)において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

[0211]

非特許文献4および非特許文献5では、上記のCAAC-IGZO、nc-IGZO、および結晶性の低いIGZOのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いIGZOの薄膜において、電子線が照射される前でさえ、1nm程度の結晶性IGZOが観察されている。よって、ここでは、IGZOにおいて、完全な非晶質構造(completely amorphous structure)の存在を確認できなかった、と報告されている。さらに、結晶性の低いIGZOの薄膜と比べて、CAAC-IGZOの薄膜およびnc-IGZOの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、CAAC-IGZOの薄膜またはnc-IGZOの薄膜を用いることが好ましい。

[0212]

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅1 μm あたりのオフ電流が $y\text{A}/\mu\text{m}$ ($10^{-24}\text{A}/\mu\text{m}$)オーダーである、ことが非特許文献6に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている(非特許文献7参照。)

[0213]

また、金属酸化物を用いたトランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置への応用が報告されている(非特許文献8参照。)。表示装置では、表示される画像が1秒間に数十回切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、アイドルリング・ストップ(IDS)駆動と呼ぶ。

[0214]

CAAC構造およびnc構造の発見は、CAAC構造またはnc構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置およびLSIへの応用研究が進められている。

[0215]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0216]

金属酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、金属酸化物において欠陥準位が形成される。このため、金属酸化物におけるシリコンや炭素の濃度と、金属酸化物との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion M

ass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0217]

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0218]

また、金属酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。したがって、当該金属酸化物において、窒素はできる限り低減されていることが好ましい、例えば、金属酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0219]

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0220]

不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0221]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図3乃至図11を用いて説明する。また、図3乃至図11において、各図の(A)は上面図を示す。また、各図の(B)は(A)に示すA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。

[0222]

まず、基板(図示しない)を準備し、当該基板上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、化学気相成長(CVD:Chemical Vapor Deposition)法、分子線エピタキシー(MBE:Molecular Beam Epitaxy)法、パルスレーザー堆積(PLD:Pulsed Laser Deposition)法またはALD(Atomic Layer Deposition)法などを用いて行うことができる。

[0223]

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、光を利用する光CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0224]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0225]

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法は、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0226]

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0227]

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

[0228]

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上にALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0229]

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD

法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0230]

次に、絶縁体212、および絶縁体210に開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0231]

開口の形成後に、導電体203aとなる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203aとなる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0232]

本実施の形態では、導電体203aとなる導電膜として、スパッタリング法によって窒化タンタルまたは、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203aとしてこのような金属窒化物を用いることにより、後述する導電体203bで銅など拡散しやすい金属を用いても、当該金属が導電体203aから外に拡散するのを防ぐことができる。

[0233]

次に、導電体203aとなる導電膜上に、導電体203bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電体203bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0234]

次に、CMP (Chemical Mechanical Polishing) 処理を行うことで、導電体203aとなる導電膜、ならびに導電体203bとなる導電膜の一部を除去し、絶縁体212が露出する。その結果、開口部のみに、導電体203aとなる導電膜、ならびに導電体203bとなる導電膜が残存する。これにより、上面が平坦な、導電体203aおよび導電体203bを含む導電体203を形成することができる（図3参照。）。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0235]

次に、導電体203上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203bに銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを防ぐことができる。

[0236]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

[0237]

次に、絶縁体214および絶縁体216に、導電体203に達する開口を形成する。開口の形成はウエットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0238]

開口の形成後に、導電体205aとなる導電膜を成膜する。導電体205aとなる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体205aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0239]

本実施の形態では、導電体205aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0240]

次に、導電体205aとなる導電膜上に、導電体205bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0241]

本実施の形態では、導電体205bとなる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

[0242]

次に、CMP処理を行うことで、導電体205aとなる導電膜、ならびに導電体205bとなる導電膜の一部を除去し、絶縁体216が露出する。その結果、開口部のみに、導電体205a、および導電体205bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを含む導電体205を形成することができる（図3参照）。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0243]

次に、絶縁体216、および導電体205上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0244]

本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0245]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミ

ニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

[0246]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0247]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる（図3参照。）。

[0248]

本実施の形態では、絶縁体224として、CVD法によって酸化シリコンを成膜する。

[0249]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。

[0250]

本実施の形態では、加熱処理として、絶縁体224成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行う。

[0251]

上記加熱処理によって、絶縁体222から、絶縁体224に酸素が添加され、絶縁体224に過剰酸素領域を容易に形成することができる。また、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0252]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

[0253]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF (Radio Frequency) を印加する電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。なお、当該プラズマ処理の条件を適宜選択することにより、絶縁体224に含まれる水素や水などの不純物を除去することができる。その場合、加熱処理は行わなくてもよい。

[0254]

次に、絶縁体224上に、酸化物230aとなる酸化膜230Aと、酸化物230bとなる酸化膜230Bを順に成膜する（図4参照。）。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化膜230A、および酸化膜230B上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化膜230Aと酸化膜230Bとの界面近傍を清浄に保つことができる。

[0255]

酸化膜230A、および酸化膜230Bの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0256]

例えば、酸化膜230A、および酸化膜230Bの成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜の成膜をスパッタリング法によって成膜する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

[0257]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。したがって、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

[0258]

また、酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度を得られる。

[0259]

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4 [原子数比] のターゲットを用いて成膜する。また、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1 [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

[0260]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行なった後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

[0261]

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する（図5参照。）。

[0262]

なお、上記工程において、絶縁体224を、島状に加工してもよい。その場合、絶縁体222をエッ

チングストップ膜として用いることができる。

[0263]

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222の上面に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

[0264]

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、酸化物230a、および酸化物230bの側面の端部と酸化物230bの上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0265]

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

[0266]

リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

[0267]

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

[0268]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

[0269]

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

[0270]

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理または、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせで行ってもよい。

[0271]

ウェット洗浄としては、シュウ酸、リン酸またはフッ化水素酸などを炭酸水または純水で希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

[0272]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0273]

次に、絶縁膜224、酸化物230a、および酸化物230bの上に、酸化膜230C、絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する（図6参照。）。

[0274]

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、In：Ga：Zn＝1：3：4 [原子数比] のターゲットを用いて成膜する。

[0275]

次に、絶縁膜250Aを成膜する。絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。本実施例では、絶縁膜250Aとして、CVD法により、酸化窒化シリコンを成膜するとよい。なお、絶縁膜250Aを成膜する際の成膜温度は、350℃以上450℃未満、特に400℃前後とすることが好ましい。絶縁膜250Aを、400℃で成膜することで、不純物が少ない絶縁体を成膜することができる。

[0276]

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、当該酸素プラズマに絶縁膜 250A を曝すことで、絶縁膜 250A、酸化物 230a、酸化物 230b、および酸化膜 230C、へ酸素を導入することができる。

[0277]

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。当該加熱処理によって、絶縁膜 250A の水分濃度および水素濃度を低減させることができる。

[0278]

次に、絶縁膜 250A 上に絶縁膜 252A を成膜する。絶縁膜 252A として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体 222 が、水素および水に対するバリア性を有することで、トランジスタ 200 の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ 200 の内側へ拡散することなく、酸化物 230 中の酸素欠損の生成を抑制することができる。

[0279]

絶縁膜 252A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。

[0280]

また、絶縁膜 252A として金属酸化物を、酸素を含む雰囲気において、スパッタリング法を用いて成膜することで、絶縁膜 250A に酸素を添加し、絶縁膜 250A に過剰酸素領域を形成することができる。絶縁膜 250A に添加された酸素を酸化物 230 に供給することで、酸化物 230 の酸素欠損を補填することができる。

[0281]

ここで、スパッタリング法による絶縁膜 252A の成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

[0282]

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を通過し、被成膜面と接する絶縁膜 250A、および絶縁体 224 に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、一部のイオンは、絶縁膜 250A、および絶縁体 224 内部まで到達する。イオンが絶縁膜 250A、および絶縁体 224 に取り込まれることにより、イオンが取り込まれた領域が絶縁膜 250A、および絶縁体 224 に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁膜 250A、および絶縁体 224 に過剰酸素領域が形成される。

[0283]

絶縁膜 250A、および絶縁体 224 に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁膜 250A、および絶縁体 224 の酸素は、酸化物 230 に供給され、酸化物 230 の酸素欠損を補填することができる。

[0284]

したがって、絶縁膜 252A を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁膜 252A を成膜しながら、絶縁膜 250A、および絶縁体 224 に酸素を導入することができる。特に、絶縁膜 252A に、バリア性を有するアルミニウムおよびハフニウム的一方または双方の酸化物を用いることで、絶縁体 250 に導入した酸素を、効果的に封じ込めることができる。

[0285]

続いて、導電膜 260A、および導電膜 260B を成膜する。導電膜 260A、および導電膜 260B は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。本実施の形態では、導電膜 260A として、CVD 法によって窒化チタンを成膜し、導電膜 205B として、CVD 法によってタングステンを成膜する。

[0286]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本加熱処理によって、絶縁膜 252A から、絶縁膜 250A、および絶縁体 224 に酸素が添加され、絶縁膜 250A、および絶縁体 224 に過剰酸素領域を容易に形成することができる。

[0287]

絶縁膜 270A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。絶縁膜 270A は、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、導電膜 260B の酸化を防ぐことができる。また、導電膜 260A、導電膜 260B および絶縁膜 250A を介して、水または水素などの不純物が酸化物 230a、酸化物 230b、および酸化膜 230C に混入することを防ぐことができる。本実施の形態では、絶縁膜 270A として、ALD 法によって酸化アルミニウムを成膜する。

[0288]

絶縁膜 271A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。ここで、絶縁膜 271A の膜厚は、後の工程で成膜する絶縁膜 272A の膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体 272 を形成する際、導電体 260 の上に絶縁体 271 を、容易に残存させることができる。本実施の形態では、絶縁膜 271A として、CVD 法によって酸化シリコンを成膜する。

[0289]

次に、絶縁膜 271A を、エッチングし、絶縁体 271 を形成する。ここで、絶縁体 271 は、ハードマスクとして機能する。絶縁体 271 を設けることで、絶縁体 250 の側面、導電体 260a の側面、導電体 260b の側面、および絶縁体 270 の側面を、基板に対し、概略垂直に形成することができる。

[0290]

絶縁体 271 をマスクとして、絶縁膜 250A、絶縁膜 252A、導電膜 260A、導電膜 260B、

絶縁膜 270A を、エッチングし、絶縁体 250、絶縁体 252、導電体 260（導電体 260a、および導電体 260b）、および絶縁体 270 を形成する（図 7 参照。）。なお、当該エッチングにより、酸化膜 230C と、絶縁体 250 とが重ならない領域において、酸化膜 230C の一部が除去されていてもよい。この場合、酸化物 230c の絶縁体 250 と重なる領域の膜厚が、絶縁体 250 と重ならない領域の膜厚より厚くなる場合がある。

[0291]

また、絶縁体 250、絶縁体 252、導電体 260a、導電体 260b、絶縁体 270、および絶縁体 271 は、少なくとも一部が、導電体 205 および酸化物 230a、および酸化物 230b と重なるように形成する。

[0292]

また、絶縁体 250 の側面、絶縁体 252 の側面、導電体 260a の側面、導電体 260b の側面、および絶縁体 270 の側面は、同一面内であることが好ましい。

[0293]

また、絶縁体 250 の側面、絶縁体 252 の側面、導電体 260a の側面、導電体 260b の側面、および絶縁体 270 の側面が共有する同一面は、基板に対し、概略垂直であることが好ましい。つまり、断面形状において、絶縁体 250、絶縁体 252、導電体 260a、導電体 260b、および絶縁体 270 は、酸化物 230 の上面に対する角度が、鋭角、かつ大きいほど好ましい。なお、断面形状において、絶縁体 250、絶縁体 252、導電体 260a、導電体 260b、および絶縁体 270 の側面と、酸化物 230 の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体 250、導電体 260a、導電体 260b、および絶縁体 270 の側面と、酸化物 230 の上面のなす角は大きいほど好ましい。

[0294]

なお、上記加工後も、当該ハードマスク（絶縁体 271）は除去せずに後工程を進めてもよい。

[0295]

次に、酸化膜 230C、絶縁体 250、絶縁体 252、導電体 260、絶縁体 270、および絶縁体 271 を覆って、絶縁膜 272A を成膜する（図 8 参照。）。絶縁膜 272A として、被覆性に優れた ALD 法により成膜することが好ましい。ALD 法を用いることで、導電体 260 などにより形成された段差部においても、絶縁体 250、導電体 260、および絶縁体 270 の側面に対して、均一な厚さを有する絶縁膜 272A を形成することができる。

[0296]

次に、絶縁膜 272A に異方性のエッチング処理を行い、絶縁体 250、導電体 260、および絶縁体 270 の側面に接して、絶縁体 272 を形成する（図 9 参照。）。異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された当該絶縁膜を除去して、絶縁体 272 を自己整合的に形成することができる。

[0297]

また、上記エッチングにより、酸化膜 230C を同時にエッチングし、酸化物 230（酸化物 230a、酸化物 230b、および酸化物 230c）を形成する。なお、上記エッチングとは別のエッチング工程で、酸化物 230 を形成してもよい。例えば、上記エッチングがドライエッチング処理の場合、ウェットエッチング処理により、酸化膜 230C を加工するとよい。当該ウェットエッチング処理の溶液により、ドライエッチング時のエッチング残渣を洗浄することができる。

[0298]

また、上記工程により、酸化物230bの絶縁体250と重ならない領域の上部がエッチングされる場合がある。この場合、酸化物230bの絶縁体250と重なる領域の膜厚が、絶縁体250と重ならない領域の膜厚より厚くなる場合がある。

[0299]

また、先の工程で、酸化膜230Cの一部が除去されていた場合、酸化物230は、絶縁体250と重なる領域の膜厚が、絶縁体272と重なる領域の膜厚より厚くなる場合がある。

[0300]

ここで、絶縁体270上に絶縁体271を形成しておくことで、絶縁体270上部の絶縁膜272Aが除去されても、絶縁体270を残存させることができる。また、絶縁体250、導電体260、絶縁体270、および絶縁体271からなる構造体の高さを、酸化物230a、酸化物230b、および酸化膜230Cの高さよりも、高くすることで、酸化膜230Cを介した酸化物230a、酸化物230bの側面の絶縁膜272Aを、除去することができる。さらに、酸化物230a、酸化物230bの端部をラウンド形状にしておくと、酸化物230a、酸化物230bの側面に、酸化膜230Cを介して成膜された絶縁膜272Aを除去するための時間が短縮され、より容易に絶縁体272を形成することができる。

[0301]

また、図示しないが、酸化物230の側面にも絶縁膜272Aが残存していてもよい。その場合、後の工程で成膜する層間膜などの被膜性を高めることができる。また、酸化物230の側面に絶縁体が残存することで、酸化物230に混入する水または水素などの不純物を低減し、酸化物230から酸素が外方拡散するのを防ぐことができる場合がある。

[0302]

また、酸化物230の側面に接して絶縁膜272Aの残存した構造体が形成されていることで、後の工程で、不純物となる元素を含む絶縁体274を成膜し、酸化物230に領域231a、および領域231bを形成する場合、絶縁体274と酸化物230との界面領域は、低抵抗化されないため、リーク電流の発生を抑制することができる。

[0303]

続いて、酸化物230において、領域231、領域232、および領域234を形成する。領域231、および領域232は、酸化物230として設けられた金属酸化物に、不純物を添加した領域である。なお、領域231は、少なくとも、領域234よりも、導電性が高い。

[0304]

領域231、および領域232に、不純物を添加するために、例えば、インジウム、またはガリウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。なお、ドーパントとしては、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0305]

また、領域231、および領域232に、不純物を添加するために、ドーパントを含む膜を絶縁体274として、絶縁体273を介して、領域231上に成膜するとよい。絶縁体274は、上記元素の

一種、または複数種を含む絶縁膜を用いることが好ましい（図10参照。）。

[0306]

具体的には、酸化物230に、金属酸化物を含む絶縁体273を介して、窒素などの不純物となる元素を含む絶縁体274を成膜するとよい。窒素などの不純物となる元素を含む絶縁体は、酸化物230に含まれる酸素を引き抜き、吸収する場合がある。酸化物230から、酸素が引き抜かれると、領域231、および領域232には酸素欠損が生じる。当該酸素欠損に、絶縁体274の成膜や成膜後の熱処理により、絶縁体274の成膜雰囲気に含まれる、水素または窒素などの不純物元素が捕獲され、領域231、および領域232は低抵抗化する。つまり、酸化物230は、絶縁体274と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体274と接しない領域232にも不純物が拡散することで、低抵抗化すると考えられる。

[0307]

したがって、絶縁体274の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0308]

ここで、絶縁体274と酸化物230との間に、絶縁体273を形成することで、窒素、または水素などの不純物元素が、酸化物230に過剰に添加されることを抑制することができる。

[0309]

また、導電体260、絶縁体252および絶縁体250の上面および側面を、絶縁体270および絶縁体272で覆っておくことで、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250を通して、トランジスタ200のチャネル形成領域として機能する領域234に混入することを防ぐことができる。したがって、良好な電気特性を有するトランジスタ200を提供することができる。

[0310]

絶縁体273、および絶縁体274の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。とくに、絶縁体273、及び絶縁体274の成膜には、ALD法を用いると、被覆性または密度を高められるため、好適である。

[0311]

例えば、絶縁体273として、ALD法を用いて成膜した、金属酸化膜を用いることができる。ALD法を用いることで、緻密な薄膜を成膜することができる。金属酸化膜は、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれることが好ましい。本実施の形態では、絶縁体273として、酸化アルミニウムを用いる。

[0312]

なお、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。また、酸化ハフニウムは、酸化アルミニウムよりもバリア性が低い、膜厚を厚くすることによりバリア性を高めることができる。例えば、ALD法を用いて酸化ハフニウムを成膜することで、酸化ハフニウムの膜厚の制御が容易となり、水素、および窒素

の適切な添加量を調整することができる。

[0313]

例えば、絶縁体274として、CVD法を用いて成膜した、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体274として、窒化酸化シリコンを用いる。

[0314]

絶縁体274として、窒化酸化シリコンを用いた場合、領域231a、および領域231bは、領域234より、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)などを用いて測定すればよい。ここで、領域234の水素または窒素の濃度としては、酸化物230bの絶縁体250と重なる領域の中央近傍(例えば、酸化物230bの絶縁体250のチャンネル長方向の両側面からの距離が概略等しい部分)の水素または窒素の濃度を測定すればよい。

[0315]

なお、上記各領域の形成は、他のドーパントの添加方法と合わせて行ってもよい。他のドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

[0316]

また、ドーパントは、プラズマ処理にて添加されてもよい。この場合、プラズマCVD装置、ドライエッチング装置、アッシング装置を用いてプラズマ処理を行い、領域231、および領域232にドーパントを添加することができる。なお、上述した処理を複数組み合わせ、各領域などを形成してもよい。

[0317]

例えば、領域231は、上述の酸素欠損を形成する元素、酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。または、例えば、領域231において、インジウムなどの金属元素を添加し、酸化物230のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。なお、インジウムを添加する場合、少なくとも領域231における元素Mに対するインジウムの原子数比が、領域234の元素Mに対するインジウムの原子数比よりも大きくなる。

[0318]

また、例えば、絶縁体250、絶縁体252、導電体260、絶縁体272、絶縁体270、および絶縁体271をマスクとして、酸化物230にプラズマ処理を行ってもよい。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

[0319]

また、例えば、絶縁膜 272A を成膜した後、絶縁膜 272A を介して、イオンドーピング法により、ドーパントを添加してもよい。絶縁膜 272A は、酸化物 230、絶縁体 250、導電体 260、絶縁体 270 を覆って設けられている。したがって、酸化物 230 の上面に対する垂直方向において、絶縁膜 272A の膜厚は、絶縁体 250、導電体 260、絶縁体 270 の側周辺と、その他の領域において異なる。つまり、絶縁膜 272A の膜厚は、絶縁体 250、導電体 260、絶縁体 270 の側周辺では、その他の領域よりも大きい。つまり、絶縁膜 272A を介して、ドーパントを添加することで、チャネル長が 10 nm から 30 nm 程度に微細化されたトランジスタでも、自己整合的に、領域 231、領域 232 を設けることができる。また、領域 232 は、後工程で行う熱処理などの工程において、領域 231 のドーパントが拡散することにより、形成されてもよい。

[0320]

トランジスタ 200 において、領域 232 を設けることで、ソース領域およびドレイン領域として機能する領域 231 と、チャネルが形成される領域 234 との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域 232 を有することで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域 232 を有することで、非導通時のリーク電流を小さくすることができる。

[0321]

したがって、各領域の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

[0322]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 232 へと拡散し、オン電流を大きくすることができる。

[0323]

次に、絶縁体 274 の上に、絶縁体 280 を成膜する。絶縁体 280 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。または、スピンコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、当該絶縁膜として、酸化窒化シリコンを用いる。

[0324]

次に、絶縁体 280 の一部を除去する。絶縁体 280 は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体 280 は、絶縁体 280 となる絶縁膜として成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体 280 は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP 処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP 処理を用いる。ただし、絶縁体 280 の上面は必ずしも平坦性を有さなくてもよい。

[0325]

次に、絶縁体 280 および絶縁体 274 に、酸化物 230 の領域 231a に達する開口と、酸化物 230 の領域 231b に達する開口と、を形成する。当該開口の形成は、リソグラフィ法を用いて行

えばよい。なお、導電体 240 a、および導電体 240 b が酸化物 230 の上面に接して設けられるように、当該開口を形成する。

[0326]

次に、導電体 240 a、および導電体 240 b となる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0327]

次に、CMP処理を行うことで、導電体 240 a、および導電体 240 b となる導電膜の一部を除去し、絶縁体 280 が露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体 240 a、および導電体 240 b を形成することができる（図 11 参照。）。

[0328]

以上により、トランジスタ 200 を有する半導体装置を作製することができる。図 3 乃至図 11 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 200 を作成することができる。

[0329]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0330]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

[0331]

<半導体装置の変形例>

以下では、図 12、および図 13 を用いて、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

[0332]

図 12 (A)、および図 13 (A) は、トランジスタ 200 を有する半導体装置の上面図である。また、図 12 (B)、図 12 (C)、図 13 (B)、および図 13 (C) は当該半導体装置の断面図である。ここで、図 12 (B)、または図 13 (B) は、図 12 (A)、または図 13 (A) に A1-A2 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル長方向の断面図でもある。また、図 12 (C)、または図 13 (C) は、図 12 (A)、または図 13 (A) に A3-A4 の一点鎖線で示す部位の断面図であり、トランジスタ 200 のチャネル幅方向の断面図でもある。図 12 (A)、および図 13 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0333]

なお、図 12、および図 13 (A) に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0334]

以下、トランジスタ 200 の構成についてそれぞれ図 12、および図 13 (A) を用いて説明する。なお、本項目においても、トランジスタ 200 の構成材料については＜半導体装置の構成例＞で詳細に説明した材料を用いることができる。

[0335]

[半導体装置の変形例 1]

図 12 に示すトランジスタ 200 は、＜半導体装置の構成例＞に示した半導体装置とは、少なくとも酸化物 230c の形状が異なる。

[0336]

具体的には、図 12 に示すように、酸化物 230c は、酸化物 230a、および酸化物 230b を覆って設ける。つまり、酸化物 230b は、酸化物 230a、および酸化物 230c により包囲される。当該構造とすることで、領域 234 において、チャネルが形成される酸化物 230b に不純物が混入することを抑制することができる。

[0337]

また、酸化物 230a の側面と酸化物 230b の側面は同一面上となるように、設けられていることが好ましい。また、酸化物 230c は、酸化物 230a および酸化物 230b を覆って形成されることが好ましい。例えば、酸化物 230c は、酸化物 230a の側面、酸化物 230b の上面および側面、ならびに絶縁体 224 の上面の一部に接して形成される。ここで、酸化物 230c を上面から見ると、酸化物 230c の側面は、酸化物 230a および酸化物 230b の側面の外側に位置する。当該構造とすることで、トランジスタ 200 が、導電体 240 と電氣的に接続する場合、絶縁体 224 上においても、酸化物 230c を介して導通するため、オーミック接触が良好となる。

[0338]

[半導体装置の変形例 2]

以下では、図 13 を用いて、本実施の形態に示すトランジスタの変形例について説明する。

[0339]

図 13 に示すトランジスタ 200 は、一つのゲート電極に対して複数のチャネル形成領域を有することが、図 1 (A)、(B) および (C) に示すトランジスタ 200 の構成と異なる。トランジスタ 200 は、複数のチャネル形成領域を有することで大きなオン電流を得ることができる。また、それぞれのチャネル形成領域は、ゲート電極で覆われた構造、つまり *s-channel* 構造となっているため、それぞれのチャネル形成領域において大きなオン電流を得ることができる。尚、図 13 は、3つのチャネル形成領域を有する一例を示すが、チャネル形成領域の数はこれに限定されない。その他の構成は、上述の図 1 (A)、(B) および (C) に示したトランジスタ 200 の構成を参酌する。

[0340]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0341]

(実施の形態 2)

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の一例について説明する。

[0342]

＜半導体装置の構成例＞

図 14 (A)、図 14 (B)、および図 14 (C) は、本発明の一態様に係るトランジスタ 200、容

量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する半導体装置をセルと称する。

[0343]

本発明の一態様の半導体装置は、トランジスタ200と、容量素子100、層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体240（導電体240a、導電体240b、および導電体240d）とを有する。

[0344]

なお、導電体240a、および導電体240dは、絶縁体280の開口の内壁に接して形成されている。ここで、導電体240a、および導電体240dの上面の高さと、絶縁体280の上面の高さは同程度にできる。なお、トランジスタ200では、導電体240（導電体240a、導電体240b、および導電体240d）が2層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体240は、単層、または3層以上の積層構造でもよい。

[0345]

[セル600]

図14（A）は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図14（B）、および図14（C）はセル600の断面図である。ここで、図14（B）は、図14（A）にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図14（C）は、図14（A）にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。図14（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。なお、図14では、図面の明瞭化のために、一部の構成要素にのみ符号を付してある。

[0346]

図14に示すセル600は、トランジスタ200と、容量素子100とを、同層に設けることで、トランジスタ200を構成する構造の一部が、容量素子100を構成する構造の一部と、併用することができる。つまり、トランジスタ200の構造の一部は、容量素子100の構造の一部として、機能する場合がある。

[0347]

例えば、図14に示すセル600は、トランジスタ200のソース領域またはドレイン領域の一方である領域231bは、容量素子100の第1の電極としての機能を兼ねる。また、容量素子100の誘電体として機能する絶縁体130、および絶縁体132を成膜することで、トランジスタ200における酸化物230の低抵抗領域である領域231、および領域232を設けることができる。

[0348]

また、トランジスタ200に、容量素子100の一部、または全体が、重畳することで、トランジスタ200の投影面積、および容量素子100の投影面積の合計した面積を小さくすることができる。

[0349]

また、トランジスタ200と電氣的に接続する配線、またはプラグとして機能する導電体240bを、容量素子100、およびトランジスタ200が重畳する領域の下部に設けることで、セル600の微細化、または高集積化が容易となる。

[0350]

上記構造を有することで、微細化または高集積化が可能である。また、設計自由度を高くすることが

できる。また、トランジスタ 200 は、容量素子 100 と、同一の工程で形成する。したがって、工程を短縮することができるため、生産性を向上させることができる。

[0351]

＜セルアレイの構造＞

ここで、本実施の形態のセルアレイの一例を、図 23、および図 24 に示す。例えば、図 14 に示すトランジスタ 200、および容量素子 100 を有するセル 600 を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

[0352]

図 23 (A) は、図 14 に示すセル 600 を、マトリクス状に配置した一形態を示す回路図である。図 23 (A) においては、行方向に配置されたセル 600 が有するトランジスタの第 1 のゲートが共通の配線 WL (WL01、WL02、WL03) と電氣的に接続する。また、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方が、共通の配線 BL (BL01 乃至 BL06) と電氣的に接続する。また、各セル 600 が有するトランジスタには第 2 のゲート BG が設けられていてもよい。第 2 のゲート BG に印加される電位により、トランジスタの閾値を制御することができる。また、セル 600 が有する容量の第 1 の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。このとき、容量の第 1 の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル 600 が有する容量の第 2 の電極は、配線 PL と電氣的に接続する。

[0353]

図 23 (B) は、図 23 (A) における、行の一部として WL02 と BL03 に電氣的に接続されたセル 600 a、および WL02 と BL04 に電氣的に接続されたセル 600 b を含む回路 610 を抜き出した断面図である。図 23 (B) は、セル 600 a、およびセル 600 b の断面図を示す。

[0354]

セル 600 a は、トランジスタ 200 a および容量素子 100 a を有している。セル 600 b は、トランジスタ 200 b および容量素子 100 b を有している。

[0355]

図 24 (A) は、図 14 に示すセル 600 を、マトリクス状に配置した回路において、図 23 (A) と異なる形態を示す回路図である。図 24 (A) においては、行方向に隣り合うセル 600 が有するトランジスタのソースおよびドレインの一方が共通の配線 BL (BL01、BL02、BL03) と電氣的に接続する。また、当該 BL は、列方向に配置されたセルが有するトランジスタのソースおよびドレインの一方とも電氣的に接続する。一方、行方向に隣り合うセル 600 が有するトランジスタの第 1 のゲートは、異なる配線 WL (WL01 乃至 WL06) と電氣的に接続する。また、各セル 600 が有するトランジスタには第 2 のゲート BG が設けられていてもよい。第 2 のゲート BG に印加される電位により、トランジスタの閾値を制御することができる。また、セル 600 が有する容量の第 1 の電極は、トランジスタのソースおよびドレインの他方と電氣的に接続する。このとき、容量の第 1 の電極は、トランジスタを構成する構造の一部からなる場合がある。また、セル 600 が有する容量の第 2 の電極は、配線 PL と電氣的に接続する。

[0356]

図 24 (B) は、図 24 (A) における、行の一部として WL04 と BL02 に電氣的に接続されたセル 600 a、および WL03 と BL02 に電氣的に接続されたセル 600 b を含む回路 620 を抜き出した断面図である。図 24 (B) は、セル 600 a、およびセル 600 b の断面図を示す。

[0357]

セル600aは、トランジスタ200aおよび容量素子100aを有している。セル600bは、トランジスタ200bおよび容量素子100bを有している。

[0358]

トランジスタ200aのソースおよびドレインの一方と、トランジスタ200bのソースおよびドレインの一方は、いずれもBL02と電氣的に接続している。

[0359]

上記構成より、ソースおよびドレインの一方と電氣的に接続する配線を共通化することで、セルアレイの占有面積をさらに縮小することができる。

[0360]

[トランジスタ200]

図14に示すように、トランジスタ200は、基板（図示せず。）の上に配置された絶縁体210および絶縁体212と、絶縁体212の上に配置された絶縁体214および絶縁体216と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体203、および導電体209と、絶縁体216と導電体203、および導電体209の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体220、絶縁体222、および絶縁体224に埋め込まれるように配置された導電体240bと、絶縁体224と導電体240bの上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された絶縁体252と、絶縁体252の上に配置された導電体260（導電体260a、および導電体260b）と、導電体260の上に配置された絶縁体270と、絶縁体270上に配置された絶縁体271と、少なくとも絶縁体250、および導電体260の側面に接して配置された絶縁体272と、酸化物230、および絶縁体272と接して配置された絶縁体130と、絶縁体130を介して酸化物230上に配置された絶縁体132と、を有する。

[0361]

また、先の実施の形態で前述したように酸化物230上に、水素、または窒素などを含む膜を直接接しない構造とすることが好ましい。例えば、水素、または窒素の拡散を抑制する金属酸化膜を、酸化物230と水素、または窒素などを含む膜との間に設けるとよい。例えば、図14、および図15に示すように、絶縁体130として金属酸化膜を設け、絶縁体132として、水素、または窒素などを含む膜を設けるとよい。絶縁体132を、絶縁体130を介して、酸化物230の領域231上に設けることで、過剰な水素、または窒素が、酸化物230の領域234へと添加されることを防止することができる。

[0362]

したがって、絶縁体130、および絶縁体132の膜厚は、用いた材質に応じて、適宜調整するとよい。絶縁体130、および絶縁体132は、それぞれ先の実施の形態で前述した絶縁体273、および絶縁体274を援用することができる。

[0363]

なお、絶縁体130、および絶縁体132は、必ずしも除去しなくともよい。例えば、絶縁体130、および絶縁体132を残存させることで、層間膜として機能させることができる。また、絶縁体132のみを除去してもよい。

[0364]

酸化物230に、層間膜として機能する絶縁体130、および絶縁体132を成膜し、チャネル形成領域、ソース領域、またはドレイン領域を自己整合的に形成することで、金属材料などを用いたソース電極、およびドレイン電極を別途形成する工程が不要となる。したがって、コストの削減、または工程の短縮が可能となる。

[0365]

さらに、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置が提供できる。

[0366]

以上より、オン電流が大きい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを有する半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0367]

なお、絶縁体132の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280の上に絶縁体210と同様の絶縁体を設けてもよい。

[0368]

[容量素子100]

図14に示すように、容量素子100は、トランジスタ200と共通の構造を有する構成である。本実施の形態では、トランジスタ200の酸化物230に設けられた領域231bを、容量素子100の電極の一方として機能する容量素子100の例について示す。

[0369]

容量素子100は、酸化物230の領域231bと、領域231b上の絶縁体130と、絶縁体130上の絶縁体132と、絶縁体132上の導電体120と、を有する。ここで、絶縁体130、および絶縁体132の上に、少なくとも一部が酸化物230の領域231bと重なるように、導電体120が配置されることが好ましい。

[0370]

酸化物230の領域231bは、容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。絶縁体130、および絶縁体132は容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。したがって、容量素子100の電極の一方として機能することができる。

[0371]

導電体120は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体120は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

[0372]

また、導電体240dは、容量素子100の電極の一方である導電体120と接している。導電体240dは、導電体240a、と同時に形成することができるため、工程短縮が可能である。

[0373]

＜半導体装置の作製方法＞

次に、本発明に係るトランジスタ200を有する半導体装置について、作製方法を図15乃至図18を用いて説明する。また、図15乃至図18において、各図の(A)は上面図を示す。また、各図の(B)は(A)にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(C)は、(A)にA3-A4の一点鎖線で示す部位に対応する断面図である。

[0374]

まず、基板(図示しない。)を準備し、当該基板上に絶縁体210を成膜する。続いて、絶縁体210上に絶縁体212を成膜する。絶縁体210、および絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0375]

次に、絶縁体212上に絶縁体214を成膜する。続いて、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

[0376]

次に、絶縁体214、および絶縁体216に開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体216に酸化シリコン膜を用いた場合は、絶縁体214は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0377]

開口の形成後に、導電体203a、および導電体209aとなる導電膜を成膜する。当該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203a、および導電体209aとなる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0378]

本実施の形態では、導電体203a、および導電体209aとなる導電膜として、スパッタリング法によって窒化タンタル、または窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203a、および導電体209aとしてこのような金属窒化物を用いることにより、後述する導電体203bで銅など拡散しやすい金属を用いても、当該金属が導電体203aから外に拡散するのを防ぐことができる。

[0379]

次に、導電体203a、および導電体209aとなる導電膜上に、導電体203b、および導電体209bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、P

LD法またはALD法などを用いて行うことができる。本実施の形態では、導電体203b、および導電体209bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0380]

次に、CMP処理を行うことで、導電体203a、および導電体209aとなる導電膜、ならびに導電体203b、および導電体209bとなる導電膜の一部を除去し、絶縁体216が露出する。その結果、開口部のみに、導電体203a、および導電体209aとなる導電膜、ならびに導電体203b、および導電体209bとなる導電膜が残存する。これにより、上面が平坦な、導電体203aおよび導電体203bを含む導電体203、ならびに209aおよび導電体209bを含む導電体209を形成することができる。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0381]

次に、絶縁体216、および導電体203、および導電体209上に絶縁体220、絶縁体222、および絶縁体224を成膜する。

[0382]

次に、絶縁体220、絶縁体222、および絶縁体224に、導電体209に達する開口を形成する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0383]

開口の形成後に、導電体240bとなる導電膜を成膜する。導電体240bとなる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体240bとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0384]

次に、CMP処理を行うことで、導電体240bとなる導電膜の一部を除去し、絶縁体224が露出する。その結果、開口部のみに、導電体240bとなる導電膜が残存する。これにより、上面が平坦な、導電体240bを形成することができる。なお、当該CMP処理により、絶縁体224の一部が除去される場合がある。

[0385]

次に、絶縁体224上に、酸化物230、絶縁体250、導電体260、絶縁体270、絶縁体271、および絶縁体272を形成する。当該構造体の作成方法は、先の実施の形態を援用することができる。

[0386]

続いて、酸化物230において、領域231、領域232、および領域234を形成する。領域231、および領域232は、酸化物230として設けられた金属酸化物に、不純物を添加した領域である。なお、領域231は、少なくとも、領域234よりも、導電性が高い。

[0387]

領域231、および領域232に、不純物を添加するために、例えば、インジウム、またはガリウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。なお、ドーパン

トとしては、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、およびキセノン等がある。

[0388]

例えば、領域231、および領域232に、不純物を添加するために、ドーパントを含む膜を絶縁体132として、絶縁体130を介して、領域231上に成膜するとよい。絶縁体132は、上記元素の一種、または複数種を含む絶縁膜を用いることが好ましい。

[0389]

具体的には、酸化物230に、金属酸化物を含む絶縁体130を介して、窒素などの不純物となる元素を含む絶縁体132を成膜するとよい。窒素などの不純物となる元素を含む絶縁体は、酸化物230に含まれる酸素を引き抜き、吸収する場合がある。酸化物230から、酸素が引き抜かれると、領域231、および領域232には酸素欠損が生じる。当該酸素欠損に、絶縁体132の成膜や成膜後の熱処理により、絶縁体132の成膜雰囲気に含まれる、水素または窒素などの不純物元素が捕獲され、領域231、および領域232は低抵抗化する。つまり、酸化物230は、絶縁体132と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体132と接しない領域232にも不純物が拡散することで、低抵抗化する。

[0390]

したがって、絶縁体132の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0391]

ここで、絶縁体132と酸化物230との間に、絶縁体130を形成することで、窒素、または水素などの不純物元素が、酸化物230に過剰に添加されることを抑制することができる。

[0392]

また、導電体260、絶縁体252および絶縁体250の上面および側面を、絶縁体270および絶縁体272で覆っておくことで、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250を通して、トランジスタ200のチャネル形成領域として機能する領域234に混入することを防ぐことができる。したがって、良好な電気特性を有するトランジスタ200を提供することができる。

[0393]

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物230の領域232へと拡散し、オン電流を大きくすることができる。

[0394]

次に、絶縁体132の上に、導電膜120Aを成膜する(図16参照)。導電膜120Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。本実施の形態では、導電膜120Aとして、CVD法によって、窒化チタンとタングステンを積層して

成膜する。

[0395]

続いて、導電膜120Aを、エッチングし、導電体120を形成する(図17参照。)。導電体120の形成は、リソグラフィ法を用いて行えばよい。なお、導電体120は、少なくとも一部が、絶縁体130、および絶縁体132を介して、酸化物230の領域231と重なるように形成する。

[0396]

次に、絶縁体132、および導電体120の上に、絶縁体280を成膜する(図18参照。)

[0397]

次に、絶縁体280の一部を除去する。絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、絶縁体280となる絶縁膜として成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行になるよう絶縁体などを上面から除去していくことで平坦性を有していてもよい。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

[0398]

次に、絶縁体280、絶縁体130および絶縁体132に、酸化物230の領域231aに達する開口と、絶縁体280に、導電体120に達する開口と、を形成する。なお、導電体240a、および導電体240dが酸化物230の上面に接して設けられるように、当該開口を形成する。

[0399]

次に、導電体240a、および導電体240dとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0400]

次に、CMP処理を行うことで、導電体240a、および導電体240dとなる導電膜の一部を除去し、絶縁体280が露出する。その結果、上記開口のみに、当該導電膜が残存することで上面が平坦な導電体240a、および導電体240dを形成することができる(図14参照。)

[0401]

以上により、トランジスタ200を有する半導体装置を作製することができる。図15乃至図18に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200を作成することができる。

[0402]

本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0403]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0404]

<半導体装置の変形例>

以下では、図19、図20、図21、および図22を用いて、本発明の一態様に係るセル600を有する半導体装置の一例について説明する。

[0405]

各図(A)は、セル600を有する半導体装置の上面図である。また、各図(B)、および各図(C)は当該半導体装置の断面図である。ここで、各図(B)は、各図(A)にA1-A2の一点鎖線で示す部位の断面図であり、セル600のチャネル長方向の断面図でもある。また各図(C)は、各図(A)にA3-A4の一点鎖線で示す部位の断面図であり、セル600のチャネル幅方向の断面図でもある。各図(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0406]

なお、図19、図20、図21、および図22に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0407]

以下、セル600の構成についてそれぞれ図19、図20、図21、および図22を用いて説明する。なお、本項目においても、セル600の構成材料については<半導体装置の構成例>で詳細に説明した材料を用いることができる。

[0408]

[半導体装置の変形例1]

以下では、図19を用いて、本発明の一態様に係るセル600を有する半導体装置の一例について説明する。

[0409]

[セル600]

図19に示すように、セル600は、<半導体装置の構成例>に示した半導体装置とは、少なくとも配線として機能する導電体203と第1のゲート電極として機能する導電体260との間に、導電体205を有する構成であることが異なる。また、配線として機能する導電体209と、プラグとして機能する導電体240bとの間に、導電体207を有する構成であることが異なる。

[0410]

導電体205は、酸化物230における領域234よりも、チャネル幅方向の長さが大きくなるように設けるとよい。特に、導電体205は、酸化物230の領域234がチャネル幅方向の端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物230のチャネル幅方向における側面において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0411]

ここで、導電体260は、第1のゲート電極として機能する場合がある。また、導電体205は、第2のゲート電極として機能する場合がある。したがって、図19(A)に示すように、導電体205は、酸化物230、および導電体260と重なるように配置する。ここで、酸化物230のチャネル幅方向の端部よりも外側の領域においても、導電体205は、導電体260と、重畳するように配置することが好ましい。つまり、酸化物230の側面の外側において、導電体205と、導電体260とは、絶縁体を介して重畳していることが好ましい。

[0412]

また、導電体207（導電体207a、および導電体207b）は、導電体205（導電体205a、および導電体205b）と同時に形成することができる。導電体207を設けることで、絶縁体220、絶縁体222、および絶縁体224のみに開口を設けて、プラグとして機能する導電体240bを形成することができる。よって、生産性を向上させることができる。

[0413]

<半導体装置の変形例2>

以下では、図20を用いて、本発明の一態様に係るセル600を有する半導体装置の一例について説明する。

[0414]

[セル600]

図20に示すように、セル600は、<半導体装置の構成例>に示した半導体装置とは、プラグとして機能する導電体240bが、導電体240a、および導電体240dと、同層に設けられている構成であることが異なる。

[0415]

したがって、絶縁体224に導電体を埋め込む必要がないため、絶縁体224と酸化物230との界面が、加工時に発生する残渣物等で汚染されることなく、清浄に保つことができる。よって、半導体装置の信頼性を向上させることができる。

[0416]

<半導体装置の変形例3>

以下では、図21を用いて、本発明の一態様に係るセル600を有する半導体装置の一例について説明する。

[0417]

[セル600]

図21に示すように、セル600は、<半導体装置の構成例>に示した半導体装置とは、トランジスタ200の形状が異なる。

[0418]

トランジスタ200において、絶縁体130は、サイドバリアとして機能する絶縁体272と兼ねることができる。したがって、絶縁体272を有さなくてもよい場合がある。この場合、絶縁体272を形成しない分だけ工程短縮が可能となる。また、絶縁体272を設けないため、領域232を微細に形成することができる。

[0419]

<半導体装置の変形例4>

以下では、図22を用いて、本発明の一態様に係るセル600を有する半導体装置の一例について説明する。

[0420]

[セル600]

図22に示すように、セル600は、<半導体装置の構成例>に示した半導体装置とは、トランジスタ200の形状が異なる。

[0421]

トランジスタ 200 において、サイドバリアとして機能する絶縁体 272 の代わりに、サイドウォールとして機能する絶縁体 275 を設けてもよい。

[0422]

絶縁体 275 は、比較的誘電率が低いことが好ましい。誘電率が低い材料を用いることで、導電体 120 と、導電体 260 との間に生じる寄生容量を低減することができる。よって、半導体装置の信頼性を向上させることができる。

[0423]

例えば、絶縁体 275 となる膜として、酸化シリコンなどを、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜する。続いて、絶縁体 275 となる膜をエッチバックすることにより、形成することができる。

[0424]

(実施の形態 3)

本実施の形態では、半導体装置の一形態を、図 25 および図 27 を用いて説明する。

[0425]

<記憶装置 1>

図 25 に示す記憶装置は、トランジスタ 300 と、トランジスタ 200、および容量素子 100 を有している。

[0426]

トランジスタ 200 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ 200 は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0427]

図 25 に示す記憶装置において、配線 1001 はトランジスタ 300 のソースと電氣的に接続され、配線 1002 はトランジスタ 300 のドレインと電氣的に接続されている。また、配線 1003 はトランジスタ 200 のソースおよびドレインの一方と電氣的に接続され、配線 1004 はトランジスタ 200 の第 1 のゲートと電氣的に接続され、配線 1006 はトランジスタ 200 の第 2 のゲートと電氣的に接続されている。そして、トランジスタ 300 のゲート、およびトランジスタ 200 のソースおよびドレインの他方は、容量素子 100 の電極の一方と電氣的に接続され、配線 1005 は容量素子 100 の電極の他方と電氣的に接続されている。

[0428]

図 25 に示す記憶装置は、トランジスタ 300 のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0429]

情報の書き込みおよび保持について説明する。まず、配線 1004 の電位を、トランジスタ 200 が導通状態となる電位にして、トランジスタ 200 を導通状態とする。これにより、配線 1003 の電位が、トランジスタ 300 のゲート、および容量素子 100 の電極の一方と電氣的に接続するノード FG に与えられる。すなわち、トランジスタ 300 のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 Low レベル電荷、High レベル電荷という。）のどちらかが与えられるものとする。その後、配線 1004 の電位を、トランジスタ 2

00が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0430]

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

[0431]

次に情報の読み出しについて説明する。配線1001に所定の電位（定電位）を与えた状態で、配線1005に適切な電位（読み出し電位）を与えると、配線1002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上の閾値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上の閾値電圧 V_{th_L} より低くなるためである。ここで、見かけ上の閾値電圧とは、トランジスタ300を「導通状態」とするために必要な配線1005の電位をいうものとする。したがって、配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($>V_{th_H}$) となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($<V_{th_L}$) となっても、トランジスタ300は「非導通状態」のままである。このため、配線1002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

[0432]

<記憶装置1の構造1>

本発明の一態様の記憶装置は、図25に示すようにトランジスタ300、トランジスタ200、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[0433]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0434]

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0435]

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0436]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加

え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0437]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属氧化物材料などの導電性材料を用いることができる。

[0438]

なお、導電体の材料により、仕事関数を定めることで、閾値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

[0439]

なお、図25に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0440]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0441]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0442]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[0443]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0444]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0445]

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素分子に換算した脱離量が、絶縁体324の単位面積当たりに換算して、 $1.0 \times 10^{15} \text{ atom/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atom/cm}^2$ 以下であればよい。

[0446]

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 4 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0447]

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および該導電体の一部がプラグとして機能する場合もある。

[0448]

各プラグ、および配線（導電体 3 2 8、および導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが特に好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0449]

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、および絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線としての機能を有する。なお、導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0450]

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0451]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 0 0 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

[0452]

絶縁体 3 5 0、および導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 6 0、絶縁体 3 6 2、および絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、

絶縁体 3 6 2、および絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ、または配線としての機能を有する。なお、導電体 3 6 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 5 3]

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0 4 5 4]

絶縁体 3 6 4、および導電体 3 6 6 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 7 0、絶縁体 3 7 2、および絶縁体 3 7 4 が順に積層して設けられている。また、絶縁体 3 7 0、絶縁体 3 7 2、および絶縁体 3 7 4 には、導電体 3 7 6 が形成されている。導電体 3 7 6 は、プラグ、または配線としての機能を有する。なお、導電体 3 7 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 5 5]

なお、例えば、絶縁体 3 7 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 7 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 7 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0 4 5 6]

絶縁体 3 7 4、および導電体 3 7 6 上に、配線層を設けてもよい。例えば、図 2 5 において、絶縁体 3 8 0、絶縁体 3 8 2、および絶縁体 3 8 4 が順に積層して設けられている。また、絶縁体 3 8 0、絶縁体 3 8 2、および絶縁体 3 8 4 には、導電体 3 8 6 が形成されている。導電体 3 8 6 は、プラグ、または配線としての機能を有する。なお、導電体 3 8 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

[0 4 5 7]

なお、例えば、絶縁体 3 8 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 8 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 8 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

[0 4 5 8]

絶縁体 3 8 4 上には絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 が、順に積層して設けられている。絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 4、および絶縁体 2 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0459]

例えば、絶縁体210、および絶縁体214には、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0460]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0461]

また、水素に対するバリア性を有する膜として、例えば、絶縁体210、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0462]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[0463]

また、例えば、絶縁体212、および絶縁体216には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212、および絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0464]

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、およびトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電気的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0465]

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0466]

絶縁体216の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図25に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0467]

トランジスタ200の上方には、絶縁体280を設ける。

[0468]

絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0469]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[0470]

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0471]

また、絶縁体220、絶縁体222、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

[0472]

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0473]

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110と、導電体120、および絶縁体130とを有する。

[0474]

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体110は、容量素子100の電極としての機能を有する。なお、導電体112、および導電体110は、同時に形成することができる。

[0475]

導電体112、および導電体110には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜(窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜)等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの

導電性材料を適用することもできる。

[0476]

図25では、導電体112、および導電体110は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0477]

また、導電体112、および導電体110上に、容量素子100の誘電体として、絶縁体130を設ける。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0478]

例えば、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁体130を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

[0479]

絶縁体130上に、導電体110と重畳するように、導電体120を設ける。なお、導電体120は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0480]

導電体120、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0481]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0482]

<記憶装置1の構造2>

本発明の一態様の記憶装置は、図26に示すようにトランジスタ300、およびトランジスタ200、および容量素子100を含むセル600を有する。セル600はトランジスタ300の上方に設けられている。

[0483]

なお、図26に示す半導体装置において、<記憶装置の構造1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0484]

絶縁体 216 の上方には、セル 600 が設けられている。なお、セル 600 の構造は、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図 26 に示すセル 600 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0485]

上記構造により、セル 600 と、トランジスタ 300 との一部、または全体が、重畳することで、記憶装置の投影面積の合計した面積を小さくすることができる。したがって、セル 600 の微細化、または高集積化が容易となる。また、工程短縮が可能となる。

[0486]

<メモリセルアレイの構造>

[0487]

本実施の形態のメモリセルアレイの一例を、図 27 に示す。トランジスタ 200 をメモリセルとして、マトリクス状に配置することで、メモリセルアレイを構成することができる。

[0488]

なお、図 27 に示す記憶装置は、図 25 に示す記憶装置をマトリクス状に配置することで、メモリセルアレイを構成する半導体装置である。

[0489]

図 27 に示す記憶装置では、メモリセル 650a とメモリセル 650b が隣接して配置されている。メモリセル 650a およびメモリセル 650b は、トランジスタ 300、トランジスタ 200、および容量素子 100 を有し、配線 1001、配線 1002、配線 1003、配線 1004、配線 1005、および配線 1006 と電氣的に接続される。また、メモリセル 650a およびメモリセル 650b においても、同様にトランジスタ 300 のゲートと、容量素子 100 の電極の一方と、が電氣的に接続するノードを、ノード FG とする。なお、配線 1002 は隣接するメモリセル 650a とメモリセル 650b で共通の配線である。

[0490]

メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、メモリセルアレイが NOR 型の構成の場合、情報を読み出さないメモリセルのトランジスタ 300 を非導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノード FG に与えられた電荷によらずトランジスタ 300 が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を、情報を読み出さないメモリセルと接続される配線 1005 に与えればよい。または、例えば、メモリセルアレイが NAND 型の構成の場合、情報を読み出さないメモリセルのトランジスタ 300 を導通状態にすることで、所望のメモリセルの情報のみを読み出すことができる。この場合、ノード FG に与えられた電荷によらずトランジスタ 300 が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を、情報を読み出さないメモリセルと接続される配線 1005 に与えればよい。

[0491]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0492]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせて用いることができる。

[0493]

(実施の形態4)

以下では、本発明の一態様に係る容量素子100、トランジスタ200、およびトランジスタ400を有する半導体装置の一例について説明する。

[0494]

<半導体装置の構成例>

図28(A)、および図28(B)は、本発明の一態様に係るトランジスタ200、およびトランジスタ400周辺の断面図であり、図29は当該半導体装置の上面図である。なお、図29の上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0495]

図28(A)は、図29にA1-A2の一点鎖線で示す部位の断面図であり、トランジスタ200、およびトランジスタ400のチャネル長方向の断面図でもある。また、図28(B)は、図29にA3-A4の一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図である。

[0496]

基板201上に形成されたトランジスタ200およびトランジスタ400は、異なる構成を有する。例えば、トランジスタ400は、トランジスタ200と比較して、バックゲート電位およびトップゲート電位が0Vのときのドレイン電流(I_{cut})が小さい構成とすればよい。なお、本明細書等で、 I_{cut} とは、トランジスタのスイッチング動作を制御するゲートの電位が0Vのときのドレイン電流のことを指す。

[0497]

例えば、トランジスタ400をスイッチング素子として、トランジスタ200のバックゲートの電位を制御できる構成とする。これにより、トランジスタ200のバックゲートと接続するノードを所望の電位にした後、トランジスタ400をオフ状態にすることで、トランジスタ200のバックゲートと接続するノードの電荷が消失することを抑制することができる。

[0498]

以下、トランジスタ200とトランジスタ400の構成についてそれぞれ図28、図29、および図30を用いて説明する。なお、トランジスタ200とトランジスタ400の構成材料については<半導体装置の構成材料>で詳細に説明する。

[0499]

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体210、絶縁体212、絶縁体280を有する。また、トランジスタ200と電気的に接続し、配線として機能する導電体203(導電体203a、および導電体203b)、およびプラグとして機能する導電体240(導電体240a、および導電体240b)とを有する。また、トランジスタ400と電気的に接続し、配線として機能する導電体403(導電体403a、および導電体403b)、およびプラグとして機能する導電体440(導電体440a、および導電体440b)とを有する。

[0500]

なお、導電体203、および導電体403は、絶縁体212の開口の内壁に接して導電体203a、および導電体403aが形成され、さらに内側に導電体203b、および導電体403bが形成されている。ここで、導電体203、および導電体403の上面の高さと、絶縁体212の上面の高さは同程度にできる。

[0501]

また、導電体240、および導電体440は、絶縁体280、絶縁体282、および絶縁体286の開口の内壁に接して形成されている。ここで、導電体240、および導電体440の上面の高さと、絶縁体286の上面の高さは同程度にできる。

[0502]

なお、図では、配線、またはプラグとして機能する導電体を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、単層、または3層以上の積層構造としてもよい。

[0503]

[トランジスタ200]

図28、図29および図30に示すように、トランジスタ200は、基板201の上に配置された絶縁体210および絶縁体212と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体205と、絶縁体216と導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250上に配置された絶縁体252と、絶縁体252の上に配置された導電体260（導電体260a、および導電体260b）と、導電体260の上に配置された絶縁体270と、絶縁体270上に配置された絶縁体271と、酸化物230、少なくとも絶縁体250、絶縁体252、および導電体260の側面に接して配置された絶縁体273と、絶縁体273を介して酸化物230上に配置された絶縁体274と、を有する。

[0504]

また、先の実施の形態で前述したように酸化物230上に、水素、または窒素などを含む膜が直に接しない構造とすることが好ましい。例えば、水素、または窒素の拡散を抑制する金属酸化膜を、酸化物230と水素、または窒素などを含む膜との間に設けるとよい。例えば、図28、図29および図30に示すように、絶縁体273として金属酸化膜を設け、絶縁体274として、水素、または窒素などを含む膜を設けるとよい。絶縁体274を、絶縁体273を介して、酸化物230の領域231上に設けることで、過剰な水素、または窒素が、酸化物230の領域234へと添加されることを防止することができる。

[0505]

したがって、絶縁体273、および絶縁体274の膜厚は、用いた材質に応じて、適宜調整するとよい。

[0506]

[トランジスタ400]

次に、トランジスタ200とは異なる電気特性を有するトランジスタ400について説明する。トランジスタ400は、上記のトランジスタ200と並行して作製することができるトランジスタであり、トランジスタ200と同じ層に形成することが好ましい。トランジスタ200と並行して作製することで、余計な工程を増やすことなく、トランジスタ400を作製することができる。

[0507]

図28(A)に示すように、トランジスタ400は、基板201の上に配置された絶縁体210および絶縁体212と、絶縁体214および絶縁体216に埋め込まれるように配置された導電体405(導電体405a、および導電体405b)と、絶縁体216と導電体405の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物430a1および酸化物430a2と、酸化物430a1の上面に接して配置された酸化物430b1と、酸化物430a2の上面に接して配置された酸化物430b2と、絶縁体224の上面、酸化物430a1および酸化物430a2の側面と上面、ならびに酸化物430b1および酸化物430b2の側面と上面に接して配置された酸化物430cと、酸化物430cの上に配置された絶縁体450と、絶縁体450の上に配置された絶縁体452と、絶縁体452上に配置された導電体460aと、導電体460aの上に配置された導電体460bと、導電体460bの上に配置された絶縁体470と、絶縁体470上に配置された絶縁体471と、絶縁体450、絶縁体452、導電体460a、および導電体460b、絶縁体470および絶縁体471の側面と、絶縁体471、および酸化物430cの上面に接して配置された絶縁体273と、絶縁体273上に配置された絶縁体274と、を有する。

[0508]

以下において、酸化物430a1、酸化物430a2、酸化物430b1、酸化物430b2、および酸化物430cをまとめて酸化物430という場合がある。なお、トランジスタ400では、導電体460aおよび導電体460bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体460bのみを設ける構成にしてもよい。

[0509]

ここで、トランジスタ400を構成する導電体、絶縁体、および酸化物は、同じ層のトランジスタ200を構成する導電体、絶縁体、および酸化物と、同じ工程で形成することができる。よって、導電体405(導電体405aおよび導電体405b)は導電体205(導電体205aおよび導電体205b)と、酸化物430(酸化物430a1、酸化物430a2、酸化物430b1、酸化物430b2、および酸化物430c)は酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、絶縁体450は絶縁体250と、絶縁体452は絶縁体252と、導電体460(導電体460aおよび導電体460b)は導電体260(導電体260aおよび導電体260b)と、絶縁体470は絶縁体270と、絶縁体471は絶縁体271と、対応している。そのため、これらのトランジスタ400を構成する導電体、絶縁体、および酸化物は、トランジスタ200と同様の材料を用いて形成することができ、トランジスタ200の構成を参酌することができる。

[0510]

酸化物430cは酸化物430a1および酸化物430b1、ならびに酸化物430a2および酸化物430b2、を覆って形成されることが好ましい。また、酸化物430a1の側面と酸化物430b1の側面が略一致していることが好ましく、酸化物430a2の側面と酸化物430b2の側面が略一致していることが好ましい。例えば、酸化物430cは、酸化物430a1および酸化物430a2の側面、酸化物430b1および酸化物430b2の上面および側面、ならびに絶縁体224の上面の一部に接して形成される。ここで、酸化物430cを上面から見ると、酸化物430cの側面は、酸化物430a1の側面および酸化物430b1の側面、ならびに酸化物430a2の側面および酸化物430b2の側面の外側に位置する。

[0511]

酸化物430a1および酸化物430b1と、酸化物430a2および酸化物430b2は、導電体405、絶縁体450、絶縁体452、および導電体460を挟んで対向して形成される。

[0512]

また、酸化物430b1の側面、または酸化物430b2の側面と、酸化物430b1の上面、または酸化物430b2の上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、酸化物430b1、または酸化物430b2の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

[0513]

酸化物430は、絶縁体273を介して、絶縁体274と重畳する領域を有し、当該領域およびその近傍は、トランジスタ200の領域231、および領域232と同様に、低抵抗化されている。よって、酸化物430a1、酸化物430b1、および酸化物430cの一部または酸化物430a2、酸化物430b2、および酸化物430cの一部は、トランジスタ400のソース領域またはドレイン領域のいずれかとして機能できる。

[0514]

酸化物430cにおいて、酸化物430a1および酸化物430a2と、酸化物430b1および酸化物430b2とに挟まれる領域は、チャネル形成領域として機能する。ここで、酸化物430a1および酸化物430a2と、酸化物430b1および酸化物430b2との距離を大きくすることが好ましく、例えば、トランジスタ200の導電体260のチャネル長方向の長さより大きくすることが好ましい。これにより、トランジスタ400のオフ電流を低減することができる。

[0515]

トランジスタ400の酸化物430cは、トランジスタ200の酸化物230cと同様の材料を用いて形成することができる。つまり、酸化物430cは、酸化物230aまたは酸化物230bに用いることができる金属酸化物を用いることができる。例えば、酸化物430cとして、In-Ga-Zn酸化物を用いる場合、含まれるIn、Ga、Znの原子数比を $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $\text{In}:\text{Ga}:\text{Zn}=1:3:2$ 、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$ 、または $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ などにすることができる。

[0516]

また、酸化物430cをチャネル形成領域に用いたトランジスタは、酸化物230bをチャネル形成領域に用いたトランジスタと異なる電気特性を有することが好ましい。このため、例えば、酸化物430cと酸化物230bにおいて、酸化物の材料、酸化物に含まれる元素の含有比率、酸化物の膜厚、または、酸化物に形成されるチャネル形成領域の幅や長さ、などのいずれかが異なることが好ましい。

[0517]

以下では、酸化物430cに、酸化物230cと同じ金属酸化物を用いた場合について説明する。例えば、酸化物430cとして、絶縁性が比較的高い、Inの原子数比が比較的小さい金属酸化物を用いることが好ましい。酸化物430cとして、このような金属酸化物を用いた場合、酸化物430cにおいて、構成元素中の元素Mの原子数比を、酸化物230bにおける、構成元素中の元素Mの原子数比より大きくすることができる。また、酸化物430cにおいて、Inに対する元素Mの原子数比を、酸化物230bにおける、Inに対する元素Mの原子数比より大きくすることができる。これに

より、トランジスタ400の閾値電圧を0Vより大きくし、オフ電流を低減し、I_{cut}を非常に小さくすることができる。

[0518]

また、トランジスタ400のチャネル形成領域として機能する酸化物430cは、トランジスタ200の酸化物230cなどと同様に、酸素欠損が低減され、水素または水などの不純物が低減されていることが好ましい。これにより、トランジスタ400の閾値電圧を0Vより大きくし、オフ電流を低減し、I_{cut}を非常に小さくすることができる。

[0519]

また、酸化物430cを用いたトランジスタ400の閾値電圧が、第2のゲート電極に負電位を印加していないトランジスタ200より閾値電圧が大きいことが好ましい。トランジスタ400の閾値電圧をトランジスタ200の閾値電圧より大きくするには、例えば、トランジスタ200の酸化物230bとして用いられる金属酸化物は、I_nの原子数比が、酸化物230a、および酸化物430cに用いる金属酸化物よりも、比較的大きい金属酸化物を用いることが好ましい。

[0520]

また、トランジスタ400の酸化物430a1または酸化物430b1と、酸化物430a2または酸化物430b2との間の距離を、トランジスタ200の領域234の幅より大きくすることが好ましい。これにより、トランジスタ400のチャネル長をトランジスタ200のチャネル長より長くできるので、トランジスタ400の閾値電圧を、第2のゲート電極に負電位を印加していないトランジスタ200の閾値電圧より大きくすることができる。

[0521]

また、トランジスタ400では、チャネル形成領域が酸化物430cに形成されるのに対して、トランジスタ200では、チャネル形成領域が酸化物230a、酸化物230b、および酸化物230cに形成される。このため、トランジスタ400のチャネル形成領域における酸化物430の膜厚は、トランジスタ200のチャネル形成領域における酸化物230の膜厚より薄くできる。よって、トランジスタ400の閾値電圧を、第2のゲート電極に負電位を印加していないトランジスタ200の閾値電圧より大きくすることができる。

[0522]

[容量素子100]

また、トランジスタ200およびトランジスタ400の上に容量素子100を設ける構成にしてもよい。本実施の形態では、トランジスタ200に電氣的に接続された導電体110を用いて、容量素子100を形成する例について示す。

[0523]

導電体110、および複数の導電体112上に絶縁体130を配置することが好ましい。絶縁体130は、例えば、酸化アルミニウムまたは酸化窒化シリコンを単層または積層で用いればよい。

[0524]

さらに、絶縁体130の上に、少なくとも一部が導電体110と重なるように、導電体120が配置されることが好ましい。導電体120は、導電体110などと同様に、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体120は積層構造としてもよく、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。なお、導電体120は、導電体203などと同様に、絶縁体に設けられた開口に埋め込むように形成し

てもよい。

[0525]

導電体110は容量素子100の電極の一方として機能し、導電体120は容量素子100の電極の他方として機能する。絶縁体130は容量素子100の誘電体として機能する。

[0526]

また、絶縁体130および導電体120の上に絶縁体150を配置するのが好ましい。絶縁体150は、絶縁体280に用いることができる絶縁体を用いればよい。

[0527]

[半導体装置の回路図]

ここで、本実施の形態に示す半導体装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図33(A)に示す。また、図33(A)に示す配線1003から配線1010などを図28(A)に対応させた断面図を図33(B)に示す。

[0528]

図33(A)、図33(B)に示すように、トランジスタ200は、ゲートが配線1004と、ソースおよびドレインの一方が配線1003と、ソースおよびドレインの他方が容量素子100の電極の一方と電氣的に接続される。また、容量素子100の電極の他方が配線1005と電氣的に接続される。また、トランジスタ400のドレインが配線1010と電氣的に接続される。また、図33(A)、図33(B)に示すように、トランジスタ200のバックゲートと、トランジスタ400のソース、トップゲート、およびバックゲートが、配線1006、配線1007、配線1008、および配線1009を介して電氣的に接続される。

[0529]

ここで、配線1004に電位を印加することで、トランジスタ200のオン状態、オフ状態を制御することができる。トランジスタ200をオン状態として、配線1003に電位を印加することで、トランジスタ200を介して、容量素子100に電荷を供給することができる。このとき、トランジスタ200をオフ状態にすることで、容量素子100に供給された電荷を保持することができる。また、配線1005は、任意の電位を与えることで、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200のバックゲートに負の電位を与え、トランジスタ200の閾値電圧を0Vより大きくし、オフ電流を低減し、 I_{cut} を非常に小さくすることができる。

[0530]

図33(A)に示すように、トランジスタ400のトップゲートおよびバックゲートをソースと接続(ダイオード接続)し、トランジスタ400のソースとトランジスタ200のバックゲートを接続する構成にすることで、配線1010によって、トランジスタ200のバックゲート電位を制御することができる。トランジスタ200のバックゲートの負電位を保持するとき、トランジスタ400のトップゲートーソース間の電位差、およびバックゲートーソース間の電位差は、0Vになる。トランジスタ400のゲート電圧が0Vの時のドレイン電流が非常に小さく、閾値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のバックゲートの負電位を長時間維持することができる。

[0531]

さらに、トランジスタ200のバックゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200のゲート電圧が0Vの時のドレイン電流を非常に小さい状態に維持することができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

[0532]

なお、トランジスタ200、トランジスタ400および容量素子100の接続関係は、図33(A)、図33(B)に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することができる。

[0533]

<半導体装置の作製方法>

次に、本発明に係るトランジスタ200、およびトランジスタ400を有する半導体装置について、作製方法を図30乃至図32を用いて説明する。また、図30乃至図32において、各図の(A)は、図29にA1-A2の一点鎖線で示す部位に対応する断面図である。また、各図の(B)は、図29にA3-A4の一点鎖線で示す部位に対応する断面図である。

[0534]

まず、基板201を準備し、基板201上に絶縁体210を成膜する。絶縁体210の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0535]

本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上にALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、当該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

[0536]

次に絶縁体210上に絶縁体212を成膜する。絶縁体212の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体212として、CVD法によって酸化シリコンを成膜する。

[0537]

次に、絶縁体212に、絶縁体210に達する開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウエットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体210は、絶縁体212をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。例えば、溝を形成する絶縁体212に酸化シリコン膜を用いた場合は、絶縁体210は、エッチングストップ膜として機能する絶縁膜として、窒化シリコン膜、酸化アルミニウム膜、酸化ハフニウム膜を用いるとよい。

[0538]

開口の形成後に、導電体203a、および導電体403aとなる導電膜を成膜する。当該導電膜は、

酸素の透過を抑制する機能を有する導電体を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデントングステン合金との積層膜とすることができる。導電体203a、および導電体403aとなる導電体の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0539]

本実施の形態では、導電体203a、および導電体403aとなる導電膜として、スパッタリング法によって窒化タンタル、または窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体203a、および導電体403aとしてこのような金属窒化物を用いることにより、導電体203b、および導電体403bで銅など拡散しやすい金属を用いても、当該金属が導電体203a、および導電体403aを介して外に拡散するのを防ぐことができる。

[0540]

次に、導電体203a、および導電体403aとなる導電膜上に、導電体203b、および導電体403bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電体203b、および導電体403bとなる導電膜として、銅などの低抵抗導電性材料を成膜する。

[0541]

次に、CMP処理を行うことで、導電体203a、および導電体403aとなる導電膜、ならびに導電体203b、および導電体403bとなる導電膜の一部を除去し、絶縁体212が露出する。その結果、開口部のみに、導電体203a、および導電体403aとなる導電膜、ならびに導電体203b、および導電体403bとなる導電膜が残存する。これにより、上面が平坦な、導電体203aおよび導電体203bを含む導電体203、および導電体403aおよび導電体403bを含む導電体403を形成することができる。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0542]

次に、導電体203、および導電体403上に絶縁体214を成膜する。絶縁体214の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体214として、CVD法によって窒化シリコンを成膜する。このように、絶縁体214として、窒化シリコンなどの銅が透過しにくい絶縁体を用いることにより、導電体203bに銅など拡散しやすい金属を用いても、当該金属が絶縁体214より上の層に拡散するのを防ぐことができる。

[0543]

次に、絶縁体214上に絶縁体216を成膜する。絶縁体216の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁体216として、CVD法によって酸化シリコンを成膜する。

[0544]

次に、絶縁体214および絶縁体216に、導電体203、および導電体403に達する開口を形成する。開口の形成はウエットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。

[0545]

開口の形成後に、導電体205a、および導電体405aとなる導電膜を成膜する。導電体205a、および導電体405aとなる導電膜は、酸素の透過を抑制する機能を有する導電性材料を含むことが好ましい。例えば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体205a、および導電体405aとなる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0546]

本実施の形態では、導電体205a、および導電体405aとなる導電膜として、スパッタリング法によって窒化タンタルを成膜する。

[0547]

次に、導電体205a、および導電体405aとなる導電膜上に、導電体205b、および導電体405bとなる導電膜を成膜する。当該導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0548]

本実施の形態では、導電体205b、および導電体405bとなる導電膜として、CVD法によって窒化チタンを成膜し、当該窒化チタン上にCVD法によってタングステンを成膜する。

[0549]

次に、CMP処理を行うことで、導電体205a、および導電体405aとなる導電膜、ならびに導電体205b、および導電体405bとなる導電膜の一部を除去し、絶縁体216が露出する。その結果、開口部のみに、導電体205a、導電体405a、導電体205b、および導電体405bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを含む導電体205、ならびに導電体405aおよび導電体405bを含む導電体405を形成することができる。なお、当該CMP処理により、絶縁体212の一部が除去される場合がある。

[0550]

次に、絶縁体216、導電体205、および導電体405b上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0551]

本実施の形態では、絶縁体220として、CVD法によって酸化シリコンを成膜する。

[0552]

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222として、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を成膜するとよい。なお、アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、絶縁体222を介してトランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

[0553]

絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用

いて行うことができる。

[0554]

本実施の形態では、絶縁体222として、ALD法によって酸化ハフニウムを成膜する。

[0555]

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0556]

本実施の形態では、絶縁体224として、CVD法によって酸化シリコンを成膜する。

[0557]

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。第1の加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、窒素または不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。

[0558]

上記加熱処理によって、絶縁体222から、絶縁体224に酸素が添加され、絶縁体224に過剰酸素領域を容易に形成することができる。

[0559]

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれのタイミングで行うこともできる。当該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中に行うことが好ましい。また、上記加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

[0560]

ここで、絶縁体224に過剰酸素領域を形成するために、減圧状態で酸素を含むプラズマ処理を行ってもよい。

[0561]

次に、絶縁体224上に、酸化物230a、酸化物430a1、および酸化物430a2となる酸化膜と、酸化物230b、酸化物430b1、および酸化物430b2となる酸化膜を順に成膜する。なお、上記酸化膜は、大気環境にさらさずに連続して成膜することが好ましい。大気開放せずに成膜することで、酸化物230a、酸化物430a1、および酸化物430a2となる酸化膜、および酸化物230b、酸化物430b1、および酸化物430b2となる酸化膜上に大気環境からの不純物または水分が付着することを防ぐことができ、酸化物230a、酸化物430a1、および酸化物430a2となる酸化膜と酸化物230b、酸化物430b1、および酸化物430b2となる酸化膜との界面近傍を清浄に保つことができる。

[0562]

酸化物230a、酸化物430a1、および酸化物430a2となる酸化膜、および酸化物230b、酸化物430b1、および酸化物430b2となる酸化膜の成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0563]

例えば、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜、および酸化物 2 3 0 b、酸化物 4 3 0 b 1、および酸化物 4 3 0 b 2 となる酸化膜の成膜をスパッタリング法によって成膜する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜の成膜をスパッタリング法によって成膜する場合は、上記の In-M-Zn 酸化物ターゲットを用いることができる。

[0564]

特に、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜の成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体 2 2 4 に供給される場合がある。なお、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜のスパッタリングガスに含まれる酸素の割合は 7 0 % 以上、好ましくは 8 0 % 以上、より好ましくは 1 0 0 % とすればよい。

[0565]

また、酸化物 2 3 0 b、酸化物 4 3 0 b 1、および酸化物 4 3 0 b 2 となる酸化膜をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1 % 以上 3 0 % 以下、好ましくは 5 % 以上 2 0 % 以下として成膜すると、酸素欠乏型の金属酸化物が形成される。酸素欠乏型の金属酸化物をチャネル形成領域に用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0566]

本実施の形態では、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$ [原子数比] のターゲットを用いて成膜する。また、酸化物 2 3 0 b、酸化物 4 3 0 b 1、および酸化物 4 3 0 b 2 となる酸化膜として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] のターゲットを用いて成膜する。なお、各酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 2 3 0 に求める特性に合わせて形成するとよい。

[0567]

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜、および酸化物 2 3 0 b、酸化物 4 3 0 b 1、および酸化物 4 3 0 b 2 となる酸化膜中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 4 0 0 °C の温度で 1 時間の処理を行なった後に、連続して酸素雰囲気にて 4 0 0 °C の温度で 1 時間の処理を行う。

[0568]

次に、酸化物 2 3 0 a、酸化物 4 3 0 a 1、および酸化物 4 3 0 a 2 となる酸化膜、および酸化物 2 3 0 b、酸化物 4 3 0 b 1、および酸化物 4 3 0 b 2 となる酸化膜を島状に加工して、酸化物 2 3 0 a、および酸化物 2 3 0 b の積層構造、酸化物 4 3 0 a 1、および酸化物 4 3 0 b 1 の積層構造、ならびに酸化物 4 3 0 a 2、および酸化物 4 3 0 b 2 の積層構造、を形成する (図 3 0 (A)、および図 3 0 (B) 参照。)。なお、当該工程において、絶縁体 2 2 4 の一部が除去される場合がある。

[0569]

なお、上記工程において、絶縁体 2 2 4 を、島状に加工してもよい。その場合、例えば絶縁体 2 2 2 をエッチングストップ膜として用いることができる。

[0570]

ここで、酸化物 2 3 0 a、および酸化物 2 3 0 b は、少なくとも一部が導電体 2 0 5 と重なるように

形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体224の上面に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体224の上面に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、トランジスタ200の小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体224の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体224の上面のなす角は大きいほど好ましい。

[0571]

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、酸化物230a、および酸化物230bの側面の端部と酸化物230b上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

[0572]

また、酸化物430a1、および酸化物430b1の側面と、酸化物430b1の上面、および、酸化物430a2、および酸化物430b2の側面と、酸化物430b2の上面との間に、湾曲面を有する。つまり、酸化物430b1、および酸化物430b2の側面の端部と酸化物430b1、および酸化物430b2の上面の端部は、湾曲していることが好ましい。湾曲面は、例えば、酸化物430b1、または酸化物430b2の端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

[0573]

なお、端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

[0574]

続いて、加熱処理を行ってもよい。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

[0575]

次に、絶縁体224、酸化物230a、および酸化物230bの積層構造、酸化物430a1、および酸化物430b1の積層構造、ならびに酸化物430a2、および酸化物430b2の積層構造の上に、酸化膜230Cを成膜する（図30（C）、および図30（D）参照。）。当該酸化膜の成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

[0576]

酸化膜230Cは、酸化物230aとなる酸化膜の成膜条件と同様の条件を用いて成膜してもよいし、酸化物230bとなる酸化膜の成膜条件と同様の条件を用いて成膜してもよい。また、これらの条件を組み合わせて成膜してもよい。

[0577]

本実施の形態では、酸化膜230Cとして、スパッタリング法によって、 $In:Ga:Zn=4:2:4.1$ [原子数比] のターゲットを用いて成膜する。このとき、酸素の割合を70%以上、好ましくは80%以上、より好ましくは100%として、成膜してもよい。

[0578]

なお、酸化膜230Cは、酸化物230c、および酸化物430cとなる酸化膜に求める特性に合わせて、酸化物230a、酸化物430a1、および酸化物430a2となる酸化膜と同様の成膜方法、または酸化物230b、酸化物430b1、および酸化物430b2となる酸化膜と同様の成膜方法を用いればよい。本実施の形態では、酸化物230c、および酸化物430cとなる酸化膜として、

スパッタリング法によって、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 4.1$ [原子数比] のターゲットを用いて成膜する。

[0579]

次に、酸化膜230Cを島状に加工し、酸化物230cを有する酸化物230、および酸化物430cを形成する(図31(A)、および図31(B)参照。)。ここで、酸化物230cは、酸化物230aおよび酸化物230bを覆って形成することが好ましい。また、酸化物430cは、酸化物430a1、酸化物430b1、酸化物430a2、および酸化物430b2を覆って形成することが好ましい。当該加工はリソグラフィ法を用いて行えばよい。また、当該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。また、リソグラフィ法において、レジストマスクの代わりにハードマスクを用いてもよい。

[0580]

続いて、絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する(図31(C)、および図31(D)参照。)。絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aは、それぞれ先の実施の形態で前述した説明を参酌することができる。

[0581]

次に、絶縁膜271Aを、エッチングし、絶縁体271、および絶縁体471を形成する。ここで、絶縁体271、および絶縁体471は、ハードマスクとして機能する。絶縁体271、および絶縁体471を設けることで、絶縁体250の側面、絶縁体252の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面、ならびに絶縁体450の側面、絶縁体452の側面、導電体460aの側面、導電体460bの側面、および絶縁体470の側面を、基板の上面に対し、概略垂直に形成することができる。

[0582]

絶縁体271、および絶縁体471をマスクとして、絶縁膜250A、絶縁膜252A、導電膜260A、導電膜260B、絶縁膜270Aを、エッチングし、絶縁体250、絶縁体252、導電体260(導電体260a、および導電体260b)、および絶縁体270、ならびに絶縁体450、絶縁体452、導電体460(導電体460a、および導電体460b)、および絶縁体470を形成する(図32(A)、および図32(B)参照。)。なお、当該エッチングにより、酸化物230cと、絶縁体250とが重ならない領域、および、酸化物430cと、絶縁体450とが重ならない領域において、酸化物230c、および酸化物430cの一部が除去されていてもよい。この場合、酸化物230cの絶縁体250と重なる領域の膜厚が、絶縁体250と重ならない領域の膜厚より厚くなる場合がある。また、酸化物430cの絶縁体450と重なる領域の膜厚が、絶縁体450と重ならない領域の膜厚より厚くなる場合がある。

[0583]

また、絶縁体250、絶縁体252、導電体260a、導電体260b、絶縁体270、および絶縁体271は、少なくとも一部が、導電体205および酸化物230a、および酸化物230bと重なるように形成する。

[0584]

また、絶縁体250の側面、絶縁体252の側面、導電体260aの側面、導電体260bの側面、および絶縁体270の側面は、同一面内であることが好ましい。絶縁体450の側面、絶縁体452

の側面、導電体460aの側面、導電体460bの側面、および絶縁体470の側面は、同一面内であることが好ましい。

[0585]

なお、上記加工後も、当該ハードマスク（絶縁体271、および絶縁体471）は除去せずに後工程を進めてもよい。

[0586]

続いて、酸化物230において、領域231、領域232、および領域234を形成する。また、同時に、酸化物430においても、選択的に低抵抗領域を形成する。

[0587]

領域231、および領域232、ならびに酸化物430の一部に、不純物を添加するために、例えば、インジウム、またはガリウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。なお、ドーパントとしては、先の実施の形態で前述した元素を用いることができる。

[0588]

また、領域231、および領域232、ならびに酸化物430の一部に、不純物を添加するために、ドーパントを含む膜を絶縁体274として、絶縁体273を介して、領域231上に成膜するとよい。絶縁体274は、上記元素の一種、または複数種を含む絶縁膜を用いることが好ましい。

[0589]

具体的には、酸化物230c、絶縁体250、絶縁体252、導電体260、絶縁体270、および絶縁体271、ならびに酸化物430c、絶縁体450、絶縁体452、導電体460、絶縁体470、および絶縁体471を覆って、絶縁体273、および絶縁体274を成膜する（図32（C）、および図32（D）参照。）。

[0590]

したがって、酸化物230上、および酸化物430上に、金属酸化物を含む絶縁体273を介して、窒素などの不純物となる元素を含む絶縁体274を成膜するとよい。窒素などの不純物となる元素を含む絶縁体は、酸化物230、ならびに酸化物430に含まれる酸素を引き抜き、吸収する場合がある。酸化物230から、酸素が引き抜かれると、領域231、および領域232には酸素欠損が生じる。当該酸素欠損に、絶縁体274の成膜や成膜後の熱処理により、絶縁体274の成膜雰囲気に含まれる、水素または窒素などの不純物元素が捕獲され、領域231、および領域232は低抵抗化する。つまり、酸化物230、ならびに酸化物430は、絶縁体274と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体274と接しない領域232にも不純物が拡散することで、低抵抗化する。

[0591]

したがって、絶縁体274の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

[0592]

ここで、絶縁体274と酸化物230、ならびに酸化物430との間に、絶縁体273を形成することで、窒素、または水素などの不純物元素が、酸化物230、ならびに酸化物430に過剰に添加されることを抑制することができる。

[0593]

また、導電体260、絶縁体252および絶縁体250の上面および側面を、絶縁体273で覆っておくことで、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体260、絶縁体252および絶縁体250を通して、トランジスタ200のチャネル形成領域として機能する領域234に混入することを防ぐことができる。したがって、良好な電気特性を有するトランジスタ200を提供することができる。

[0594]

次に、絶縁体274の上に、絶縁体280となる絶縁膜を成膜する。

[0595]

次に、絶縁体280となる絶縁膜の一部を除去して、絶縁体280を形成する。

[0596]

続いて、絶縁体280上に、絶縁体282を形成する。絶縁体282は、スパッタリング装置により成膜することが好ましい。例えば、絶縁体282に、バリア性を有する酸化アルミニウムを用いることで、絶縁体282よりも上に形成される構造体から、トランジスタ200、およびトランジスタ400への不純物の拡散を抑制することができる。

[0597]

続いて、絶縁体282上に、絶縁体286を成膜する。例えば、絶縁体286として、CVD法により、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体を形成する。絶縁体286は、絶縁体282よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0598]

続いて、絶縁体286、絶縁体282、および絶縁体280に、トランジスタ200、およびトランジスタ400、および配線などに到達する開口を形成する。

[0599]

次に、導電体240、および導電体440となる導電膜を形成する。例えば、導電体240、および導電体440となる導電膜は、スパッタリング法、CVD法、MBE法またはPLD法、ALD法などを用いて行うことができる。なお、導電体240、および導電体440となる導電膜は、絶縁体280などによって形成される開口を埋めるように成膜する。したがって、CVD法（特にMOCVD法）を用いることが好ましい。また、MOCVD法で成膜する導電体の密着性を高めるために、ALD法などによって成膜した導電体と、CVD法で成膜した導電体との多層膜にすると好ましい場合がある。例えば、導電体240、および導電体440となる導電膜として、窒化チタン、およびタングステンの積層構造とするとよい。

[0600]

続いて、導電体240、および導電体440となる導電膜の不要な部分を除去する。例えば、エッチバック処理、または、CMP処理などにより、絶縁体286が露出するまで、導電体240、および導電体440となる導電膜の一部を除去することで導電体240、および導電体440を形成する。この際、絶縁体286をストッパ層として使用することもでき、絶縁体286が薄くなる場合がある。

[0601]

次に、絶縁体286上に導電体112、および導電体110となる導電膜を成膜する。なお、導電体

112、および導電体110となる導電膜としては、例えば、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれかまたは複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。例えば、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

[0602]

続いて、導電体112、および導電体110となる導電膜をエッチングすることで、導電体112、および導電体110を形成する。当該エッチング処理を、オーバーエッチング処理とすることで、絶縁体286の一部も同時に除去してもよい。

[0603]

続いて、導電体112、および導電体110の側面、および上面を覆う絶縁体130を成膜する。絶縁体130には例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設ける。

[0604]

例えば、酸化アルミニウムなどのhigh-k材料と、酸化窒化シリコンなどの絶縁耐力が大きい材料の積層構造とすることが好ましい。当該構成により、容量素子100は、high-k材料により十分な容量を確保でき、絶縁耐性が向上するため、容量素子100の静電破壊を抑制し、容量素子100の信頼性を向上させることができる。

[0605]

続いて、絶縁体130上に導電体120となる導電膜を成膜する。なお、導電体120となる導電膜の形成は、導電体110と同様の材料および方法で作成することができる。続いて、導電体120となる導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、導電体120を形成する。

[0606]

導電体120は、絶縁体130を介して、導電体110の側面および上面を覆うように設けることが好ましい。当該構成により、導電体110の側面は、絶縁体130を介して、導電体120と面する。したがって、容量素子100において、導電体110の上面および側面の和が容量として機能するため、投影面積当たりの容量が大きな容量素子を形成することができる。

[0607]

続いて、容量素子100を覆う絶縁体150を成膜する（図28参照）。絶縁体150となる絶縁体は、絶縁体286等と同様の材料および方法により形成することができる。

[0608]

以上により、容量素子 100、トランジスタ 200、およびトランジスタ 400 を有する半導体装置を作製することができる。図 30 乃至図 32 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、容量素子 100、トランジスタ 200、およびトランジスタ 400 を作製することができる。

[0609]

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

[0610]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

[0611]

<半導体装置の変形例>

以下では、図 34 を用いて、本実施の形態に示すトランジスタの変形例について説明する。なお、図 34 に示す半導体装置において、<半導体装置の構成例>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。また、本項目においても、半導体装置の構成材料については<半導体装置の構成材料>で詳細に説明した材料を用いることができる。

[0612]

図 34 に示すトランジスタ 200、およびトランジスタ 400 は、<半導体装置の構成例>に示した半導体装置とは、少なくとも絶縁体 272、および絶縁体 472 を有することが異なる。

[0613]

バリア膜として機能する絶縁体 272 は、絶縁体 250、絶縁体 252、導電体 260、および絶縁体 270 の側面に接して設ける。また、バリア膜として機能する絶縁体 472 は、絶縁体 450、絶縁体 452、導電体 460、および絶縁体 470 の側面に接して設ける。

[0614]

ここで、絶縁体 272、および絶縁体 472 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウム、または酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体 250、および絶縁体 252、ならびに絶縁体 450、および絶縁体 452 中の酸素が外部に拡散することを防ぐことができる。また、絶縁体 250、および絶縁体 252、ならびに絶縁体 450、および絶縁体 452 の端部などから酸化物 230 の領域 234、および酸化物 430 のチャネル形成領域に水素、水などの不純物が混入するのを抑制することができる。したがって、酸化物 230 の領域 234 と、絶縁体 250 との界面、ならびに、絶縁体 450 と酸化物 430 のチャネル形成領域との界面における酸素欠損の形成が抑制され、トランジスタ 200、およびトランジスタ 400 の信頼性を向上させることができる。

[0615]

絶縁体 272、および絶縁体 472 を設けることで、水または水素などの不純物、および酸素の透過

を抑制する機能を有する絶縁体で、絶縁体250の側面、絶縁体252の側面、および導電体260の側面、ならびに絶縁体450の側面、絶縁体452の側面、および導電体460の側面を覆うことができる。これにより、酸化物230の領域232、および酸化物430の低抵抗化された領域が形成される範囲を適宜調整することができる。

[0616]

特に、トランジスタが微細化され、チャネル長が10nm以上30nm以下程度に形成されている場合、トランジスタ200の周辺に設けられる構造体に含まれる不純物元素が領域234に拡散し、領域231aと、領域231bと、が電氣的に導通する恐れがある。上記構造とすることで、第1のゲート電位が0Vのときに、ソース領域とドレイン領域が電氣的に導通することを防ぐことができる。

[0617]

(実施の形態5)

本実施の形態では、半導体装置の一形態を、図35を用いて説明する。

[0618]

<記憶装置>

図35に示す半導体装置は、トランジスタ400と、トランジスタ300と、トランジスタ200、および容量素子100を有する記憶装置である。以下に、記憶装置としての一形態を、図35を用いて説明する。

[0619]

トランジスタ200は、チャネル形成領域に金属酸化物を有するトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0620]

図35において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400の第1のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、および配線1009が電氣的に接続されている。

[0621]

図35に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで先の実施の形態で説明したように保持、読み出しが可能である。

[0622]

<記憶装置の構造>

図35は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図35に示す記憶装置において、先の実施の形態に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0623]

本発明の一態様の記憶装置は、図35に示すようにトランジスタ300、トランジスタ200、トランジスタ400および容量素子100を有する。トランジスタ200およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200およびトランジスタ400の上方に設けられている。

[0624]

なお、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400としては、先の実施の形態で説明した半導体装置が有する容量およびトランジスタを用いればよい。なお、図35に示す容量素子100、トランジスタ300、トランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0625]

トランジスタ300の上方には、トランジスタ200、およびトランジスタ400が設けられている。なお、トランジスタ200およびトランジスタ400としては、先の実施の形態で説明した半導体装置が有するトランジスタを用いればよい。なお、図35に示すトランジスタ200およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0626]

また、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、または切断ラインと呼ぶ場合がある。）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。例えば、図35に示す構造500は、ダイシングライン近傍の断面図を示している。

[0627]

例えば、構造500に示すように、トランジスタ200、またはトランジスタ400を有するメモリセルの外縁に設けられるダイシングラインと重なる領域近傍において、絶縁体280、絶縁体274、絶縁体273、絶縁体224、絶縁体222、絶縁体220、絶縁体216、絶縁体214および絶縁体212に、絶縁体210に達する開口を設ける。また、絶縁体280、絶縁体274、絶縁体273、絶縁体224、絶縁体222、絶縁体220、絶縁体216、絶縁体214および絶縁体212の側面、および絶縁体210の底面を覆うように、絶縁体282を設ける。

[0628]

つまり、当該開口部において絶縁体210と、絶縁体282とが接する。このとき、絶縁体210と、絶縁体282と、を同材料および同方法を用いて形成することで、密着性を高めることができる。例えば、酸化アルミニウムを用いることができる。

[0629]

当該構造により、絶縁体214と、絶縁体282で、絶縁体280、トランジスタ200、およびトランジスタ400を包み込むことができる。絶縁体360、絶縁体222、絶縁体282は、酸素、水素、および水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素または水などの不純物が混入し、トランジスタ200、またはトランジスタ400に拡散することを防ぐことができる。

[0630]

また、当該構造により、絶縁体280の過剰酸素が絶縁体282、および絶縁体222の外部に拡散することを防ぐことができる。したがって、絶縁体280の過剰酸素は、効率的にトランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する金属酸化物とすることができる。つまり、トランジスタ200、またはトランジスタ400の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0631]

以上が構成例についての説明である。本構成を用いることで、金属酸化物を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、金属酸化物を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、金属酸化物を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0632]

以上、本実施の形態に示す構成、構造、方法などは、他の実施の形態に示す構成、構造、方法などと適宜組み合わせる用いることができる。

[0633]

(実施の形態6)

本実施の形態では、図36および図37を用いて、本発明の一態様に係る、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、OSトランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSトランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[0634]

NOSRAMでは、メモリセルにOSトランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSトランジスタを有するメモリである。OSトランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0635]

<<NOSRAM>>

図36にNOSRAMの構成例を示す。図36に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[0636]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、ワード線RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット(8値)のデータを記憶する。

[0637]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号(例えば、チップイネーブル信号、書き込みイネーブル信号など)を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[0638]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[0639]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC(デジタル-アナログ変換回路)1663を有する。

[0640]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

[0641]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[0642]

出力ドライバ1670は、セクタ1671、ADC(アナログ-デジタル変換回路)1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[0643]

<メモリセル>

図37(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、ワード線RWL、ビット線BL、ソース線

S L、配線B G Lに電氣的に接続されている。メモリセル1 6 1 1は、ノードS N、O SトランジスタM O 6 1、トランジスタM P 6 1、容量素子C 6 1を有する。O SトランジスタM O 6 1は書き込みトランジスタである。トランジスタM P 6 1は読み出しトランジスタであり、例えばpチャネル型S iトランジスタで構成される。容量素子C 6 1はノードS Nの電位を保持するための保持容量である。ノードS Nはデータの保持ノードであり、ここではトランジスタM P 6 1のゲートに相当する。

[0 6 4 4]

メモリセル1 6 1 1の書き込みトランジスタがO SトランジスタM O 6 1で構成されているため、N O S R A M 1 6 0 0は長時間データを保持することが可能である。

[0 6 4 5]

図3 7 (A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図3 7 (B)に示すように、書き込みビット線W B Lと、読み出しビット線R B Lとを設けてもよい。

[0 6 4 6]

図3 7 (C)乃至図3 7 (E)にメモリセルの他の構成例を示す。図3 7 (C)乃至図3 7 (E)には、書き込み用ビット線と読み出し用ビット線を設けた例を示しているが、図3 7 (A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

[0 6 4 7]

図3 7 (C)に示すメモリセル1 6 1 2は、メモリセル1 6 1 1の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(M N 6 1)に変更したものである。トランジスタM N 6 1はO Sトランジスタであってもよいし、S iトランジスタであってもよい。

[0 6 4 8]

メモリセル1 6 1 1、1 6 1 2において、O SトランジスタM O 6 1はバックゲートの無いO Sトランジスタであってもよい。

[0 6 4 9]

図3 7 (D)に示すメモリセル1 6 1 3は、3 T型ゲインセルであり、ワード線W W L、ワード線R W L、ビット線W B L、ビット線R B L、ソース線S L、配線B G L、配線P C Lに電氣的に接続されている。メモリセル1 6 1 3は、ノードS N、O SトランジスタM O 6 2、トランジスタM P 6 2、トランジスタM P 6 3、容量素子C 6 2を有する。O SトランジスタM O 6 2は書き込みトランジスタである。トランジスタM P 6 2は読み出しトランジスタであり、トランジスタM P 6 3は選択トランジスタである。

[0 6 5 0]

図3 7 (E)に示すメモリセル1 6 1 4は、メモリセル1 6 1 3の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(M N 6 2、M N 6 3)に変更したものである。トランジスタM N 6 2、トランジスタM N 6 3はO Sトランジスタであってもよいし、S iトランジスタであってもよい。

[0 6 5 1]

メモリセル1 6 1 1乃至メモリセル1 6 1 4に設けられるO Sトランジスタは、バックゲートの無いトランジスタでもよいし、バックゲートが有るトランジスタであってもよい。

[0 6 5 2]

容量素子C 6 1の充放電によってデータを書き換えるため、N O S R A M 1 6 0 0は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。ま

た、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[0653]

上記実施の形態に示す半導体装置をメモリセル1611、メモリセル1612、メモリセル1613、メモリセル1614に用いる場合、OSトランジスタMO61、OSトランジスタMO62としてトランジスタ200を用い、容量素子C61、容量素子C62として容量素子100を用い、トランジスタMP61、トランジスタMN62としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0654]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0655]

(実施の形態7)

本実施の形態では、図38および図39を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[0656]

<<DOSRAM1400>>

図38にDOSRAMの構成例を示す。図38に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

[0657]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、グローバルビット線GBLRを有する。

[0658]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、グローバルビット線GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0659]

メモリセルアレイ1422は、N個（Nは2以上の整数）のローカルメモリセルアレイ1425<0>乃至ローカルメモリセルアレイ1425<N-1>を有する。図39（A）にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL L、ビット線BL Rを有する。図39（A）の例では、ロ

ーカルメモリセルアレイ 1 4 2 5 の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0 6 6 0]

図 3 9 (B) にメモリセル 1 4 4 5 の回路構成例を示す。メモリセル 1 4 4 5 はトランジスタ MW 1、容量素子 C S 1、端子 B 1、端子 B 2 を有する。トランジスタ MW 1 は容量素子 C S 1 の充放電を制御する機能をもつ。トランジスタ MW 1 のゲートはワード線に電氣的に接続され、第 1 端子はビット線に電氣的に接続され、第 2 端子は容量素子の第 1 端子に電氣的に接続されている。容量素子 C S 1 の第 2 端子は端子 B 2 に電氣的に接続されている。端子 B 2 には、定電位（例えば、低電源電位）が入力される。

[0 6 6 1]

上記実施の形態に示す半導体装置をメモリセル 1 4 4 5 に用いる場合、トランジスタ MW 1 としてトランジスタ 2 0 0 を用い、容量素子 C S 1 として容量素子 1 0 0 を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0 6 6 2]

トランジスタ MW 1 はバックゲートを備えており、バックゲートは端子 B 1 に電氣的に接続されている。そのため、端子 B 1 の電圧によって、トランジスタ MW 1 の V_{th} を変更することができる。例えば、端子 B 1 の電圧は固定電位（例えば、負の定電位）であってもよいし、D O S R A M 1 4 0 0 の動作に応じて、端子 B 1 の電圧を変化させてもよい。

[0 6 6 3]

トランジスタ MW 1 のバックゲートをトランジスタ MW 1 のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタ MW 1 にバックゲートを設けなくてもよい。

[0 6 6 4]

センスアンプアレイ 1 4 2 3 は、N 個のローカルセンスアンプアレイ 1 4 2 6 < 0 > 乃至ローカルセンスアンプアレイ 1 4 2 6 < N - 1 > を有する。ローカルセンスアンプアレイ 1 4 2 6 は、1 のスイッチアレイ 1 4 4 4、複数のセンスアンプ 1 4 4 6 を有する。センスアンプ 1 4 4 6 には、ビット線対が電氣的に接続されている。センスアンプ 1 4 4 6 は、ビット線対をプリチャージする機能、ビット線対の電位差を増幅する機能、この電位差を保持する機能を有する。スイッチアレイ 1 4 4 4 は、ビット線対を選択し、選択したビット線対とグローバルビット線対と間を導通状態にする機能を有する。

[0 6 6 5]

ここで、ビット線対とは、センスアンプによって、同時に比較される 2 本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される 2 本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線 B L L とビット線 B L R が 1 組のビット線対を成す。グローバルビット線 G B L L とグローバルビット線 G B L R とが 1 組のグローバルビット線対をなす。以下、ビット線対 (B L L, B L R)、グローバルビット線対 (G B L L, G B L R) とも表す。

[0 6 6 6]

(コントローラ 1405)

コントローラ 1405は、DOSRAM 1400の動作全般を制御する機能を有する。コントローラ 1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路 1410、列回路 1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0667]

(行回路 1410)

行回路 1410は、MC-SAアレイ 1420を駆動する機能を有する。デコーダ 1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路 1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[0668]

列セクタ 1413、センスアンプドライバ回路 1414はセンスアンプアレイ 1423を駆動するための回路である。列セクタ 1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ 1413の選択信号によって、各ローカルセンスアンプアレイ 1426のスイッチアレイ 1444が制御される。センスアンプドライバ回路 1414の制御信号によって、複数のローカルセンスアンプアレイ 1426は独立して駆動される。

[0669]

(列回路 1415)

列回路 1415は、データ信号WDA [31:0]の入力を制御する機能、データ信号RDA [31:0]の出力を制御する機能を有する。データ信号WDA [31:0]は書き込みデータ信号であり、データ信号RDA [31:0]は読み出しデータ信号である。

[0670]

グローバルセンスアンプ 1447はグローバルビット線対 (GBLL, GBLR) に電氣的に接続されている。グローバルセンスアンプ 1447はグローバルビット線対 (GBLL, GBLR) 間の電位差を増幅する機能、この電位差を保持する機能を有する。グローバルビット線対 (GBLL, GBLR) へのデータの書き込み、および読み出しは、入出力回路 1417によって行われる。

[0671]

DOSRAM 1400の書き込み動作の概要を説明する。入出力回路 1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ 1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ 1426のスイッチアレイ 1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ 1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ 1425において、行回路 1410によって、対象行のワード線WLが選択され、選択行のメモリセル 1445にローカルセンスアンプアレイ 1426の保持データが書き込まれる。

[0672]

DOSRAM 1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ 1425の1行が指定される。指定されたローカルメモリセルアレイ 1425において、対象行のワード線WLが選択状態となり、メモリセル 1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ 1426によって、各列のビット線対の電位差がデータとして検出され、

かつ保持される。スイッチアレイ 1 4 4 4 によって、ローカルセンスアンプアレイ 1 4 2 6 の保持データのうち、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ 1 4 1 6 は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ 1 4 1 6 の保持データは入出力回路 1 4 1 7 に出力される。以上で、読み出し動作が完了する。

[0 6 7 3]

容量素子 C S 1 の充放電によってデータを書き換えるため、DOSRAM 1 4 0 0 には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル 1 4 4 5 の回路構成が単純であるため、大容量化が容易である。

[0 6 7 4]

トランジスタ MW 1 は OS トランジスタである。OS トランジスタはオフ電流が極めて小さいため、容量素子 C S 1 から電荷がリークすることを抑えることができる。したがって、DOSRAM 1 4 0 0 の保持時間は S i トランジスタを用いた DRAM に比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM 1 4 0 0 は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0 6 7 5]

MC-SA アレイ 1 4 2 0 が積層構造であることによって、ローカルセンスアンプアレイ 1 4 2 6 の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル 1 4 4 5 の保持容量を低減することができる。また、ローカルセンスアンプアレイ 1 4 2 6 にスイッチアレイ 1 4 4 4 を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM 1 4 0 0 のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[0 6 7 6]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0 6 7 7]

(実施の形態 8)

本実施の形態では、図 4 0 から図 4 3 を用いて、本発明の一態様に係る、OS トランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA (フィールドプログラマブルゲートアレイ) について説明する。本実施の形態の FPGA は、コンフィギュレーションメモリ、およびレジスタに OS メモリが適用されている。ここでは、このような FPGA を「OS-FPGA」と呼ぶ。

[0 6 7 8]

<<OS-FPGA>>

図 4 0 (A) に OS-FPGA の構成例を示す。図 4 0 (A) に示す OS-FPGA 3 1 1 0 は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、NOFF (ノーマリオフ) コンピューティングが可能である。OS-FPGA 3 1 1 0 は、コントローラ 3 1 1 1、ワードドライバ 3 1 1 2、データドライバ 3 1 1 3、プログラマブルエリア 3 1 1 5 を有する。

[0 6 7 9]

プログラマブルエリア 3 1 1 5 は、2 個の入出力ブロック (IOB) 3 1 1 7、コア 3 1 1 9 を有する。IOB 3 1 1 7 は複数のプログラマブル入出力回路を有する。コア 3 1 1 9 は、複数のロジック

アレイブロック (LAB) 3120、複数のスイッチアレイブロック (SAB) 3130を有する。LAB 3120は複数のプログラマブルロジックエレメント (PLE) 3121を有する。図40 (B) には、LAB 3120を5個のPLE 3121で構成する例を示す。図40 (C) に示すようにSAB 3130はアレイ状に配列された複数のスイッチブロック (SB) 3131を有する。LAB 3120は自身の入力端子と、SAB 3130を介して4 (上下左右) 方向のLAB 3120に接続される。

[0680]

図41 (A) 乃至図41 (C) を参照して、SB 3131について説明する。図41 (A) に示すSB 3131には、data、data__b、信号context [1:0]、信号word [1:0] が入力される。data、data__bはコンフィギュレーションデータであり、dataとdata__bは論理が相補的な関係にある。OS-FPGA 3110のコンテキスト数は2であり、信号context [1:0] はコンテキスト選択信号である。信号word [1:0] はワード線選択信号であり、信号word [1:0] が入力される配線がそれぞれワード線である。

[0681]

SB 3131は、PRS (プログラマブルルーティングスイッチ) 3133 [0]、PRS 3133 [1] を有する。PRS 3133 [0]、3133 [1] は、相補データを格納できるコンフィギュレーションメモリ (CM) を有する。なお、PRS 3133 [0] とPRS 3133 [1] とを区別しない場合、PRS 3133と呼ぶ。他の要素についても同様である。

[0682]

図41 (B) にPRS 3133 [0] の回路構成例を示す。PRS 3133 [0] とPRS 3133 [1] とは同じ回路構成を有する。PRS 3133 [0] とPRS 3133 [1] とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context [0]、信号word [0] はPRS 3133 [0] に入力され、信号context [1]、信号word [1] はPRS 3133 [1] に入力される。例えば、SB 3131において、信号context [0] が“H”になることで、PRS 3133 [0] がアクティブになる。

[0683]

PRS 3133 [0] は、CM 3135、SiトランジスタM31を有する。SiトランジスタM31は、CM 3135により制御されるパストランジスタである。CM 3135は、メモリ回路3137、メモリ回路3137Bを有する。メモリ回路3137、メモリ回路3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSトランジスタMO31、トランジスタMO32を有する。メモリ回路3137Bは、容量素子CB31、OSトランジスタMOB31、OSトランジスタMOB32を有する。

[0684]

上記実施の形態に示す半導体装置をSAB 3130に用いる場合、OSトランジスタMO31、OSトランジスタMOB31としてトランジスタ200を用い、容量素子C31、容量素子CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0685]

OSトランジスタMO31、OSトランジスタMO32、OSトランジスタMOB31、OSトラン

ジスタMOB 3 2はバックゲートを有し、これらバックゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[0686]

S iトランジスタM3 1のゲートがノードN3 1であり、O SトランジスタMO 3 2のゲートがノードN3 2であり、O SトランジスタMOB 3 2のゲートがノードNB 3 2である。ノードN3 2、ノードNB 3 2はCM3 1 3 5の電荷保持ノードである。O SトランジスタMO 3 2はノードN3 1と信号c o n t e x t [0]用の信号線との間の導通状態を制御する。O SトランジスタMOB 3 2はノードN3 1と低電位電源線V S Sとの間の導通状態を制御する。

[0687]

メモリ回路3 1 3 7、メモリ回路3 1 3 7 Bが保持するデータは相補的な関係にある。したがって、O SトランジスタMO 3 2またはO SトランジスタMOB 3 2のいずれか一方が導通する。

[0688]

図4 1 (C)を参照して、P R S 3 1 3 3 [0]の動作例を説明する。P R S 3 1 3 3 [0]にコンフィギュレーションデータが既書き込まれており、P R S 3 1 3 3 [0]のノードN3 2は“H”であり、ノードNB 3 2は“L”である。

[0689]

信号c o n t e x t [0]が“L”である間はP R S 3 1 3 3 [0]は非アクティブである。この期間に、P R S 3 1 3 3 [0]の入力端子が“H”に遷移しても、S iトランジスタM3 1のゲートは“L”が維持され、P R S 3 1 3 3 [0]の出力端子も“L”が維持される。

[0690]

信号c o n t e x t [0]が“H”である間はP R S 3 1 3 3 [0]はアクティブである。信号c o n t e x t [0]が“H”に遷移すると、CM3 1 3 5が記憶するコンフィギュレーションデータによって、S iトランジスタM3 1のゲートは“H”に遷移する。

[0691]

P R S 3 1 3 3 [0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3 1 3 7のO SトランジスタMO 3 2がソースフォロアであるために、ブースティング(b o o s t i n g)によってS iトランジスタM3 1のゲート電位は上昇する。その結果、メモリ回路3 1 3 7のO SトランジスタMO 3 2は駆動能力を失い、S iトランジスタM3 1のゲートは浮遊状態となる。

[0692]

マルチコンテキスト機能を備えるP R S 3 1 3 3において、CM3 1 3 5はマルチプレクサの機能を併せ持つ。

[0693]

図4 2にP L E 3 1 2 1の構成例を示す。P L E 3 1 2 1はL U T (ルックアップテーブル) ブロック3 1 2 3、レジスタブロック3 1 2 4、セクタ3 1 2 5、CM3 1 2 6を有する。L U Tブロック3 1 2 3は、入力i n A – i n Dに従って内部の1 6ビットCM対の出力をマルチプレクスする構成である。セクタ3 1 2 5は、CM3 1 2 6が格納するコンフィギュレーションデータに従って、L U Tブロック3 1 2 3の出力またはレジスタブロック3 1 2 4の出力を選択する。

[0694]

P L E 3 1 2 1は、パワースイッチ3 1 2 7を介して電圧V D D用の電源線に電氣的に接続されている。パワースイッチ3 1 2 7のオンオフは、CM3 1 2 8が格納するコンフィギュレーションデータ

によって設定される。各 P L E 3 1 2 1 にパワースイッチ 3 1 2 7 を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されない P L E 3 1 2 1 をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

[0695]

N O F F コンピューティングを実現するため、レジスタブロック 3 1 2 4 は、不揮発性レジスタで構成される。P L E 3 1 2 1 内の不揮発性レジスタは O S メモリを備えるフリップフロップ（以下 [O S - F F] と呼ぶ。）である。

[0696]

レジスタブロック 3 1 2 4 は、O S - F F 3 1 4 0 [1]、O S - F F 3 1 4 0 [2] を有する。信号 u s e r _ r e s 、信号 l o a d 、信号 s t o r e が O S - F F 3 1 4 0 [1]、O S - F F 3 1 4 0 [2] に入力される。クロック信号 C L K 1 は O S - F F 3 1 4 0 [1] に入力され、クロック信号 C L K 2 は O S - F F 3 1 4 0 [2] に入力される。図 4 3 (A) に O S - F F 3 1 4 0 の構成例を示す。

[0697]

O S - F F 3 1 4 0 は、F F 3 1 4 1 、シャドウレジスタ 3 1 4 2 を有する。F F 3 1 4 1 は、ノード C K 、ノード R 、ノード D 、ノード Q 、ノード Q B を有する。ノード C K にはクロック信号が入力される。ノード R には信号 u s e r _ r e s が入力される。信号 u s e r _ r e s はリセット信号である。ノード D はデータ入力ノードであり、ノード Q はデータ出力ノードである。ノード Q とノード Q B とは論理が相補関係にある。

[0698]

シャドウレジスタ 3 1 4 2 は、F F 3 1 4 1 のバックアップ回路として機能する。シャドウレジスタ 3 1 4 2 は、信号 s t o r e に従いノード Q 、ノード Q B のデータをそれぞれバックアップし、また、信号 l o a d に従い、バックアップしたデータをノード Q 、ノード Q B に書き戻す。

[0699]

シャドウレジスタ 3 1 4 2 は、インバータ回路 3 1 8 8 、インバータ回路 3 1 8 9 、S i トランジスタ M 3 7 、S i トランジスタ M B 3 7 、メモリ回路 3 1 4 3 、メモリ回路 3 1 4 3 B を有する。メモリ回路 3 1 4 3 、メモリ回路 3 1 4 3 B は、P R S 3 1 3 3 のメモリ回路 3 1 3 7 と同じ回路構成である。メモリ回路 3 1 4 3 は容量素子 C 3 6 、O S トランジスタ M O 3 5 、O S トランジスタ M O 3 6 を有する。メモリ回路 3 1 4 3 B は容量素子 C B 3 6 、O S トランジスタ M O B 3 5 、O S トランジスタ M O B 3 6 を有する。ノード N 3 6 、ノード N B 3 6 は O S トランジスタ M O 3 6 、O S トランジスタ M O B 3 6 のゲートであり、それぞれ電荷保持ノードである。ノード N 3 7 、ノード N B 3 7 は、S i トランジスタ M 3 7 、S i トランジスタ M B 3 7 のゲートである。

[0700]

上記実施の形態に示す半導体装置を L A B 3 1 2 0 に用いる場合、O S トランジスタ M O 3 5 、O S トランジスタ M O B 3 5 としてトランジスタ 2 0 0 を用い、容量素子 C 3 6 、容量素子 C B 3 6 として容量素子 1 0 0 を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0701]

OSトランジスタMO35、OSトランジスタMO36、OSトランジスタMOB35、OSトランジスタMOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[0702]

図43(B)を参照して、OS-FF3140の動作方法例を説明する。

[0703]

(バックアップ (Backup))

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。その後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、ノードQBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

[0704]

(リカバリ (Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。その後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

[0705]

細粒度パワーゲーティングと、OS-FF3140のバックアップ／リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

[0706]

メモリ回路において発生し得るエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

[0707]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0708]

(実施の形態9)

本実施の形態では、図44を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[0709]

図44はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部

4010と、制御部4020と、入出力部4030を有する。

[0710]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

[0711]

制御部4020は、CPU (Central Processing Unit) 4021と、GPU (Graphics Processing Unit) 4022と、PLL (Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

[0712]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0713]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0714]

アナログ演算回路4011はA/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

[0715]

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0716]

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0717]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[0718]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)

y)、MRAM(Magnetoresistive Random Access Memory)などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

[0719]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶することができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0720]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット(8値)以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0721]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速かつ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0722]

FPGA4014は、OSトランジスタを用いたFPGAである。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク(DNN)、畳み込みニューラルネットワーク(CNN)、再帰型ニューラルネットワーク(RNN)、自己符号化器、深層ボルツマンマシン(DBM)、深層信念ネットワーク(DBN)などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

[0723]

FPGA4014はOSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0724]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ(チップ)の上に設けることができる。そのため、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コ

ストで作製することができる。

[0725]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0726]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[0727]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0728]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げるができる。

[0729]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0730]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[0731]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0732]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0733]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。

[0734]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

[0735]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

[0736]

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB（Universal Serial Bus）やI2C（Inter-Integrated Circuit）などを含む。

[0737]

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

[0738]

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する。）ことが非常に難しい。

[0739]

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0740]

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

[0741]

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

[0742]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0743]

(実施の形態10)

＜A I システムの応用例＞

本実施の形態では、上記実施の形態に示すA I システムの応用例について図45を用いて説明を行う。

[0744]

図45(A)は、図44で説明したA I システム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A I システム4041Aである。

[0745]

図45(A)に図示するA I システム4041Aは、複数のA I システム4041__1乃至A I システム4041__n(nは自然数)を有する。A I システム4041__1乃至A I システム4041__nは、バス線4098を介して互いに接続されている。

[0746]

また図45(B)は、図44で説明したA I システム4041を図45(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、A I システム4041Bである。

[0747]

図45(B)に図示するA I システム4041Bは、複数のA I システム4041__1乃至A I システム4041__nを有する。A I システム4041__1乃至A I システム4041__nは、ネットワーク4099を介して互いに接続されている。

[0748]

ネットワーク4099は、A I システム4041__1乃至A I システム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えば、World Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

[0749]

図45(A)、図45(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のA I システムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のA I システムでアナログ信号を処理することができる。別々のA I システムのそれぞれで信号の処理、または学習を行うことで一つのA I システムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができ

る。それぞれのA Iシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるということが期待できる。

[0750]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0751]

(実施の形態11)

本実施の形態は、上記実施の形態に示すA Iシステムが組み込まれたI Cの一例を示す。

[0752]

上記実施の形態に示すA Iシステムは、C P U等のS i トランジスタでなるデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S -F P G AおよびD O S R A M、N O S R A M等のO S メモリを、1のダイに集積することができる。

[0753]

図46に、A Iシステムを組み込んだI Cの一例を示す。図46に示すA IシステムI C 7000は、リード7001および回路部7003を有する。A IシステムI C 7000は、例えばプリント基板7002に実装される。このようなI Cチップが複数組み合わせられて、それぞれがプリント基板7002上で電気的に接続されることで電子部品が実装された基板(実装基板7004)が完成する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態で図25に示すように、積層構造をもち、S i トランジスタ層7031、配線層7032、O S トランジスタ層7033に大別される。O S トランジスタ層7033をS i トランジスタ層7031に積層して設けることができるため、A IシステムI C 7000の小型化が容易である。

[0754]

図46では、A IシステムI C 7000のパッケージにQ F P (Q u a d F l a t P a c k a g e)を適用しているが、パッケージの態様はこれに限定されない。

[0755]

C P U等のデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S -F P G AおよびD O S R A M、N O S R A M等のO S メモリは、全て、S i トランジスタ層7031、配線層7032およびO S トランジスタ層7033に形成することができる。すなわち、上記A Iシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すI Cは、構成する素子が増えても製造プロセスを増やす必要がなく、上記A Iシステムを低コストで組み込むことができる。

[0756]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0757]

(実施の形態12)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図47に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0758]

図47(A)は、自動車の一例を示す外観図である。自動車2980は、車体2981、車輪298

2、ダッシュボード2983、およびライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。

[0759]

図47(B)に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0760]

図47(C)に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。また、ノート型パーソナルコンピュータ2920は、筐体2921の内側にアンテナ、バッテリーなどを備える。

[0761]

図47(D)に示すビデオカメラ2940は、筐体2941、筐体2942、表示部2943、操作スイッチ2944、レンズ2945、および接続部2946等を有する。操作スイッチ2944およびレンズ2945は筐体2941に設けられており、表示部2943は筐体2942に設けられている。また、ビデオカメラ2940は、筐体2941の内側にアンテナ、バッテリーなどを備える。そして、筐体2941と筐体2942は、接続部2946により接続されており、筐体2941と筐体2942の間の角度は、接続部2946により変えることが可能な構造となっている。筐体2941に対する筐体2942の角度によって、表示部2943に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

[0762]

図47(E)にバンゲル型の情報端末の一例を示す。情報端末2950は、筐体2951、および表示部2952等を有する。また、情報端末2950は、筐体2951の内側にアンテナ、バッテリーなどを備える。表示部2952は、曲面を有する筐体2951に支持されている。表示部2952には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末2950を提供することができる。

[0763]

図47(F)に腕時計型の情報端末の一例を示す。情報端末2960は、筐体2961、表示部2962、バンド2963、バックル2964、操作スイッチ2965、入出力端子2966などを備える。また、情報端末2960は、筐体2961の内側にアンテナ、バッテリーなどを備える。情報端末2960は、移動電話、電子メール、文章閲覧および作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

[0764]

表示部2962の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部2962はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部2962に表示されたアイコン2967に触れることで、アプリケーションを起動することができる。操作スイッチ2965は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行および解除、省電力モードの実行および解除など、様々な

機能を持たせることができる。例えば、情報端末2960に組み込まれたオペレーティングシステムにより、操作スイッチ2965の機能を設定することもできる。

[0765]

また、情報端末2960は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末2960は入出力端子2966を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子2966を介して充電を行うこともできる。なお、充電動作は入出力端子2966を介さずに無線給電により行ってもよい。

[0766]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信頼性の高い電子機器を実現することができる。

[0767]

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

[実施例]

[0768]

本実施例では、本発明の一態様に係るトランジスタ200の電気特性($V_g - I_d$ 特性)測定を実施し、先の実施の形態で説明した効果の検証を行った。以下、に結果を示す。

[0769]

本発明の一態様に係るトランジスタ200は、ソース領域またはドレイン領域としての機能を有する領域231aおよび領域231b、および、接合領域としての機能を有する領域232aおよび領域232bに水素を添加して低抵抗化するための絶縁体274が、絶縁体273を介して酸化物230上に成膜されていることで、前述した各領域の低抵抗化を制御できる点に特徴を有する。そこで、本実施例では、絶縁体273の有無、および絶縁体273の膜種を条件振りした各サンプルを準備し、当該各サンプルに形成されたトランジスタの $V_g - I_d$ の測定($V_g - I_d$ 測定)を行うことで、絶縁体273の有無、および絶縁体273の膜種依存性について調査を行った。

[0770]

本実施例で使用したサンプルは、絶縁体273を有さないサンプルA、絶縁体273としてALD法で厚さ1nmの酸化シリコンを成膜したサンプルB、および、絶縁体273としてALD法で厚さ1nmの酸化アルミニウムを成膜したサンプルCの3種類である。当該3サンプルは、前述した絶縁体273の条件振り以外は、同一の作製条件(詳細は、先の実施の形態に記載)で統一されている。

[0771]

$V_g - I_d$ 測定は、上記サンプル上に $1\mu\text{m}^2$ あたり0.23個の密度でマトリクス状に配置されたチャネル長(L)が $0.34\mu\text{m}$ 、チャネル幅(W)が $0.19\mu\text{m}$ (以下、 $L/W=0.34/0.19\mu\text{m}$ と表記する。)のトランジスタを6素子用い、当該トランジスタのソース電位 V_s およびバックゲート電位 V_{bg} を0Vに固定し、ドレイン電位 V_d を+0.1Vと+3.3Vの2水準で、ゲート電位 V_g を-3.3Vから+3.3Vまで0.1V刻みで掃引することにより行った。

[0772]

図48に、各サンプルの $V_g - I_d$ 測定結果を示す。各サンプルとも、測定を行った6個のトランジ

スタの $V_g - I_d$ カーブを重ね書きしている。

[0773]

絶縁体273を有さないサンプルAについては、6個の測定素子間で大きな電気特性ばらつきが見られ、 $V_g = -0.5$ V付近から $V_g - I_d$ カーブの立ち上がりが見え始める素子の他、 $V_g = -3$ Vから -2 Vで $V_g - I_d$ カーブの立ち上がりが見え始める素子や、今回の V_g の掃引範囲内 (-3.3 Vから $+3.3$ V) ではオンオフ特性が得られない素子も見られた。サンプルAについては、絶縁体273を有さず、絶縁体274と酸化物230が直接接する構成であることから、絶縁体274の酸化物230に対する水素添加量のサンプル面内ばらつきが、そのままトランジスタの $V_g - I_d$ 特性ばらつきに反映された可能性がある。すなわち、素子によっては水素添加を行いたくない領域234にまで水素添加がなされたことで領域234が低抵抗化し、当該素子における上述の電気特性不良を誘発した可能性がある。

[0774]

絶縁体273としてALD法で厚さ1 nmの酸化シリコンを成膜したサンプルBについては、測定を行った6個のトランジスタ全てで、今回の V_g の掃引範囲内 (-3.3 Vから $+3.3$ V) においてオンオフ特性が得られない結果となった。トランジスタBは、上述したサンプルAと異なり、酸化物230と絶縁体274との間に絶縁体273を有しているが、トランジスタBよりもオンオフ特性が得られない結果となった。先の実施の形態で説明したように、絶縁体273を導入することの効果として、絶縁体274から酸化物230への水素添加を制御する狙いがあったが、本実施例では逆の結果となった。すべての測定素子でオンオフ特性が得られていないことから、ALD法で成膜した厚さ1 nmの酸化シリコンを絶縁体273に用いると、酸化物230の低抵抗化を促進させている可能性がある。

[0775]

絶縁体273としてALD法で厚さ1 nmの酸化アルミニウムを成膜したサンプルCについては、測定を行った6個のトランジスタ全てにおいて $V_g = 0$ V前後での $V_g - I_d$ カーブの立ち上がりが確認され、良好なオンオフ特性が得られた。上述したサンプルBと異なり、ALD法で成膜した厚さ1 nmの酸化アルミニウムを絶縁体273に用いると、絶縁体274から酸化物230への水素の添加量を狙い通りに制御できている可能性がある。

[0776]

以上のように、本実施例では、本発明の一態様に係るトランジスタ200が、絶縁体273に用いる膜種 (ALD法で1 nm成膜) によって、酸化物230の低抵抗化を制御することが可能であり、絶縁体273を有さない場合よりもサンプル面内での電気特性ばらつきが小さく、かつ良好な電気特性を有するトランジスタ200を提供できることが確認された。

[0777]

以上、本実施例に示す構成、方法などは、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

[符号の説明]

[0778]

100 容量素子、100a 容量素子、100b 容量素子、110 導電体、112 導電体、120 導電体、120A 導電膜、130 絶縁体、132 絶縁体、150 絶縁体、200 トランジスタ、200a トランジスタ、200b トランジスタ、201 基板、203 導電体、

203a 導電体、203b 導電体、205 導電体、205a 導電体、205b 導電体、205B 導電膜、207 導電体、207a 導電体、207b 導電体、209 導電体、209a 導電体、209b 導電体、210 絶縁体、212 絶縁体、214 絶縁体、216 絶縁体、218 導電体、220 絶縁体、222 絶縁体、224 絶縁体、230 酸化物、230a 酸化物、230A 酸化膜、230b 酸化物、230B 酸化膜、230c 酸化物、230C 酸化膜、231 領域、231a 領域、231b 領域、232 領域、232a 領域、232b 領域、234 領域、239 領域、240 導電体、240a 導電体、240b 導電体、240d 導電体、246 導電体、248 導電体、250 絶縁体、250A 絶縁膜、252 絶縁体、252A 絶縁膜、260 導電体、260a 導電体、260A 導電膜、260b 導電体、260B 導電膜、270 絶縁体、270A 絶縁膜、271 絶縁体、271A 絶縁膜、272 絶縁体、272A 絶縁膜、273 絶縁体、274 絶縁体、275 絶縁体、280 絶縁体、282 絶縁体、286 絶縁体、300 トランジスタ、311 基板、313 半導体領域、314a 低抵抗領域、314b 低抵抗領域、315 絶縁体、316 導電体、320 絶縁体、322 絶縁体、324 絶縁体、326 絶縁体、328 導電体、330 導電体、350 絶縁体、352 絶縁体、354 絶縁体、356 導電体、360 絶縁体、362 絶縁体、364 絶縁体、366 導電体、370 絶縁体、372 絶縁体、374 絶縁体、376 導電体、380 絶縁体、382 絶縁体、384 絶縁体、386 導電体、400 トランジスタ、403 導電体、403a 導電体、403b 導電体、405 導電体、405a 導電体、405b 導電体、430 酸化物、430a1 酸化物、430a2 酸化物、430b1 酸化物、430b2 酸化物、430c 酸化物、440 導電体、440a 導電体、440b 導電体、450 絶縁体、452 絶縁体、460 導電体、460a 導電体、460b 導電体、470 絶縁体、471 絶縁体、472 絶縁体、500 構造、600 セル、600a セル、600b セル、610 回路、620 回路、650a メモリセル、650b メモリセル、1001 配線、1002 配線、1003 配線、1004 配線、1005 配線、1006 配線、1007 配線、1008 配線、1009 配線、1010 配線

請求の範囲

[請求項 1]

第 1 の領域、第 2 の領域、および前記第 1 の領域と前記第 2 の領域と隣接する第 3 の領域を有する酸化物半導体と、

前記酸化物半導体上の第 1 の絶縁体と、

前記第 1 の絶縁体上の導電体と、

前記酸化物半導体、前記第 1 の絶縁体、および前記導電体上の第 2 の絶縁体と、

前記第 2 の絶縁体上の第 3 の絶縁体と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と接し、かつ前記第 1 の絶縁体、および前記導電体を介して、前記第 3 の絶縁体と重畳し、

前記第 2 の領域は、前記第 2 の絶縁体と接し、かつ前記第 2 の絶縁体を介して、前記第 3 の絶縁体と重畳し、

前記第 2 の絶縁体は金属酸化物であり、

前記第 3 の絶縁体は水素、または窒素を含む膜であることを特徴とする半導体装置。

[請求項 2]

第 1 の領域、第 2 の領域、第 3 の領域、第 4 の領域、および第 5 の領域を有する酸化物半導体と、

前記酸化物半導体上の第 1 の絶縁体と、

前記第 1 の絶縁体上の第 1 の導電体と、

前記酸化物半導体、前記第 1 の絶縁体、および前記第 1 の導電体上の第 2 の絶縁体と、

前記第 2 の絶縁体上の第 3 の絶縁体と、

前記第 3 の絶縁体上の第 2 の導電体と、を有し、

前記第 1 の領域、および前記第 2 の領域は、前記第 2 の絶縁体と接し、かつ前記第 2 の絶縁体を介して、前記第 3 の絶縁体と重畳し、

前記第 5 の領域は、前記第 1 の絶縁体と接し、かつ前記第 1 の絶縁体、および前記第 1 の導電体を介して、前記第 3 の絶縁体と重畳し、

前記第 3 の領域は、前記第 5 の領域と前記第 1 の領域との間に配置され、

前記第 4 の領域は、前記第 5 の領域と前記第 2 の領域との間に配置され、

前記第 2 の導電体は、前記第 2 の絶縁体、および前記第 3 の絶縁体を介して、前記第 1 の領域と重畳し、

前記第 2 の絶縁体は金属酸化物であり、

前記第 3 の絶縁体は水素、または窒素を含む膜であることを特徴とする半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、

前記第 2 の絶縁体は、酸化アルミニウムであることを特徴とする半導体装置。

[請求項 4]

請求項 1 または請求項 2 において、

前記第 3 の絶縁体は、窒化シリコンであることを特徴とする半導体装置。

[請求項 5]

請求項 1 または請求項 2 において、

前記第 2 の絶縁体の膜厚は 0.5 nm 以上 3.0 nm 以下であることを特徴とする半導体装置。

[請求項 6]

請求項 1 または請求項 2 において、

前記第 2 の絶縁体は、ALD 法により、成膜されたことを特徴とする半導体装置。

[請求項 7]

第 1 の領域、第 2 の領域、および前記第 1 の領域と前記第 2 の領域と隣接する第 3 の領域を有する第 1 の酸化物半導体と、前記第 1 の酸化物半導体上の第 1 の絶縁体と、前記第 1 の絶縁体上の第 1 の導電体と、を有する第 1 のトランジスタと、

第 4 の領域、第 5 の領域、および前記第 4 の領域と前記第 5 の領域と隣接する第 6 の領域を有する第 2 の酸化物半導体と、前記第 6 の領域と重畳する第 2 の絶縁体と、前記第 2 の絶縁体上の第 2 の導電体と、を有する第 2 のトランジスタと、

前記第 1 の酸化物半導体、前記第 2 の酸化物半導体、前記第 1 の絶縁体、前記第 2 の絶縁体、前記第 1 の導電体、および前記第 2 の導電体上の第 3 の絶縁体と、

前記第 3 の絶縁体上の第 4 の絶縁体と、を有し、

前記第 1 の領域は、前記第 1 の絶縁体と接し、かつ前記第 1 の絶縁体、および前記第 1 の導電体を介して、前記第 3 の絶縁体と重畳し、

前記第 4 の領域は、前記第 1 の絶縁体と接し、かつ前記第 1 の絶縁体、および前記第 2 の導電体を介して、前記第 3 の絶縁体と重畳し、

前記第 2 の領域、および前記第 5 の領域は、前記第 3 の絶縁体と接し、かつ前記第 3 の絶縁体を介して、前記第 4 の絶縁体と重畳し、

前記第 6 の領域は単層である領域を有し、

前記第 3 の絶縁体は金属酸化物であり、

前記第 4 の絶縁体は水素、または窒素を含む膜であることを特徴とする半導体装置。

[請求項 8]

請求項 7 において、

前記第 3 の絶縁体は、酸化アルミニウムであることを特徴とする半導体装置。

[請求項 9]

請求項 7 または請求項 8 において、

前記第 4 の絶縁体は、窒化シリコンであることを特徴とする半導体装置。

[請求項 10]

請求項 7 または請求項 8 において、

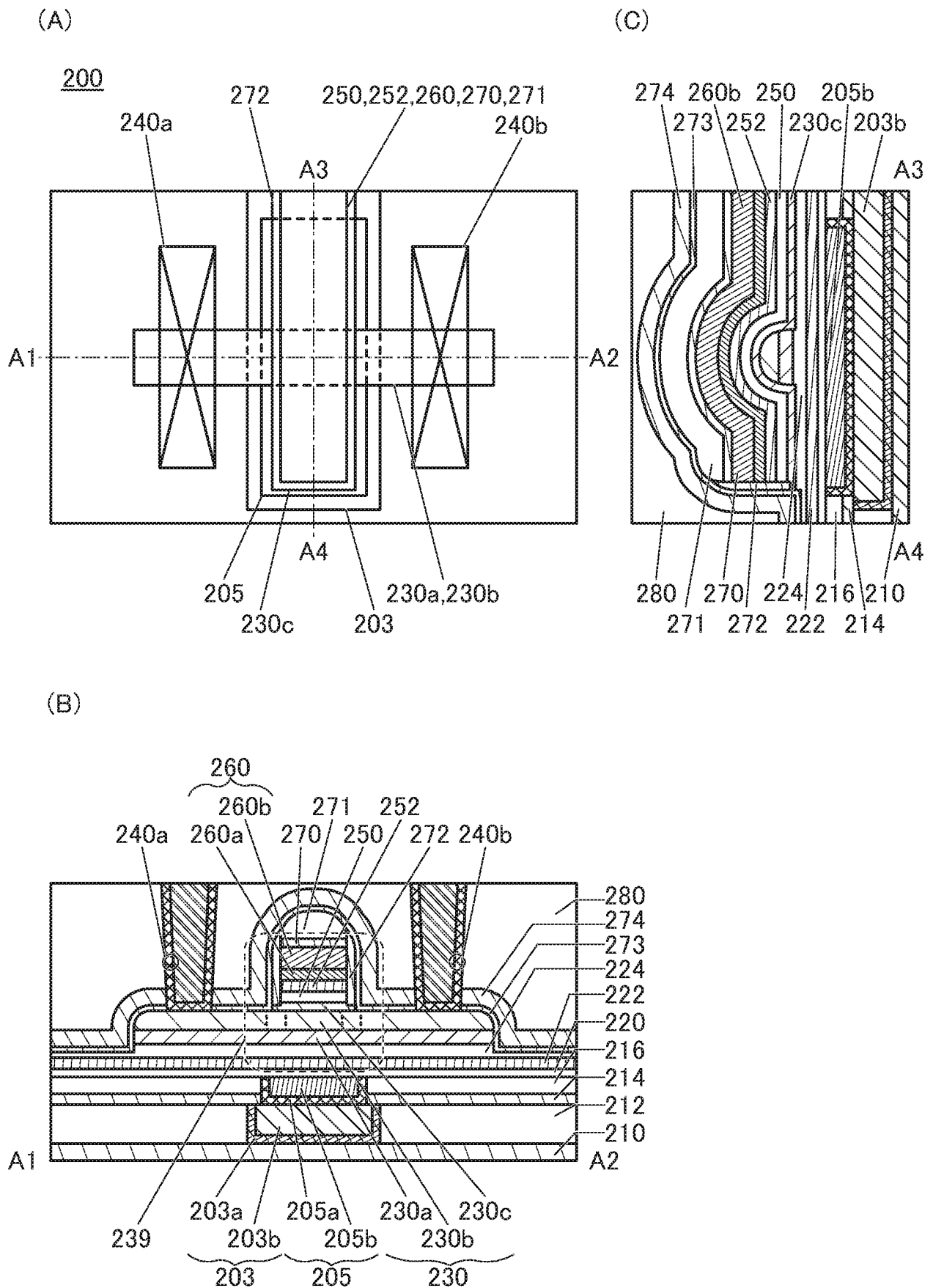
前記第 3 の絶縁体の膜厚は 0.5 nm 以上 3.0 nm 以下であることを特徴とする半導体装置。

[請求項 11]

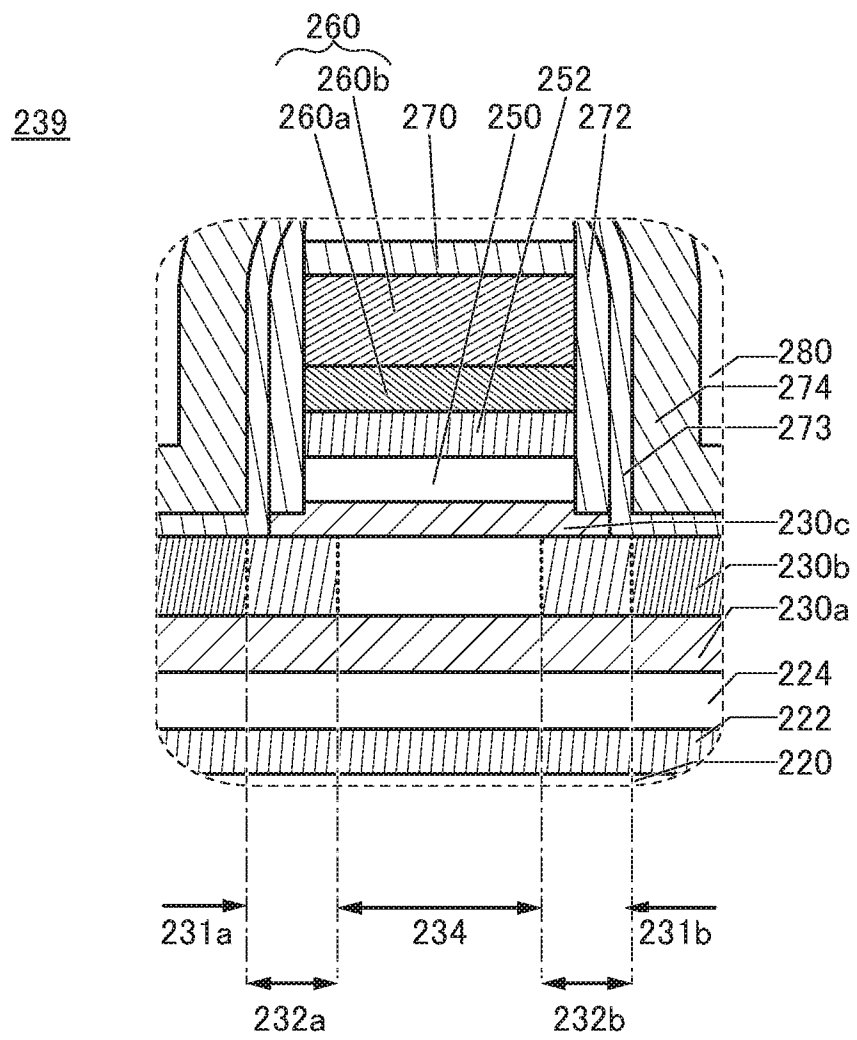
請求項 7 または請求項 8 において、

前記第 3 の絶縁体は、ALD 法により、成膜されたことを特徴とする半導体装置。

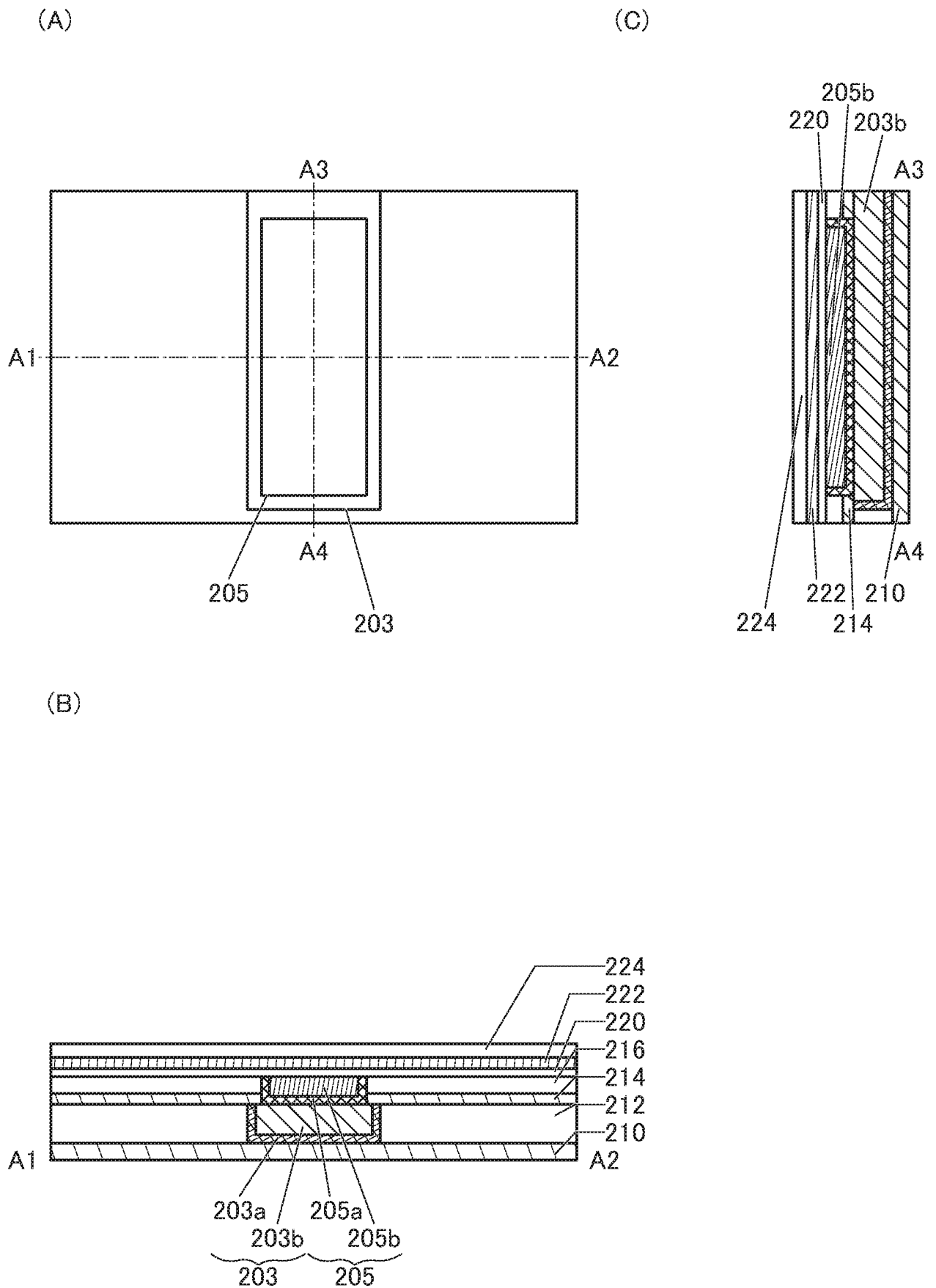
[図01]



[図02]

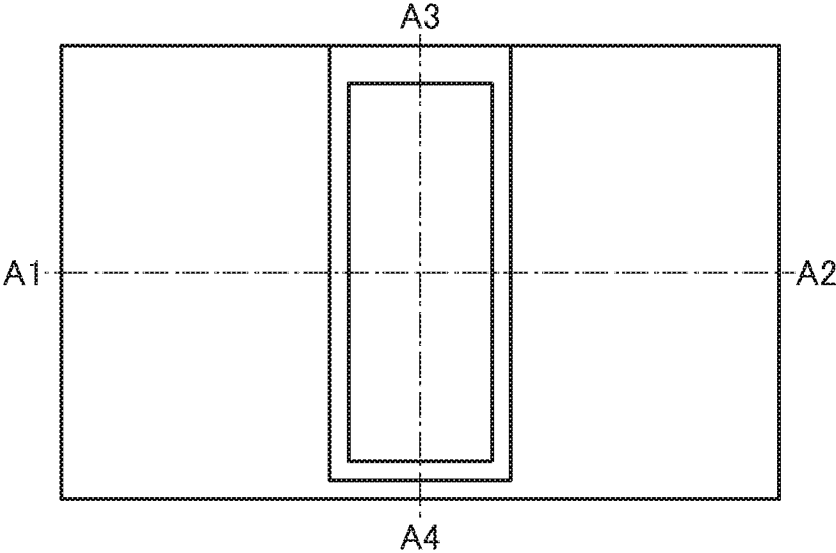


[ 03]

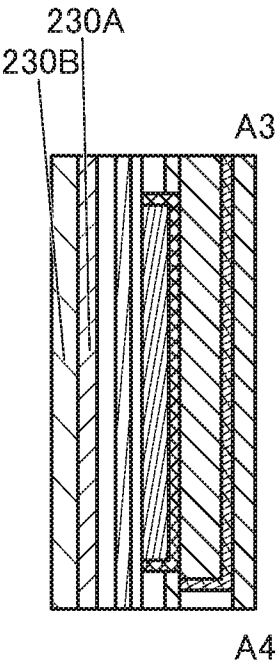


[図04]

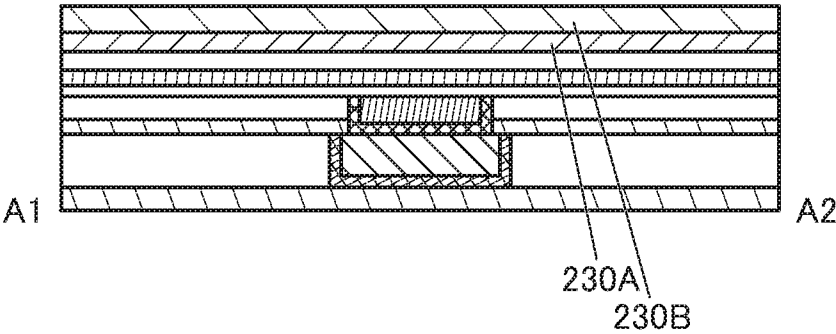
(A)



(C)

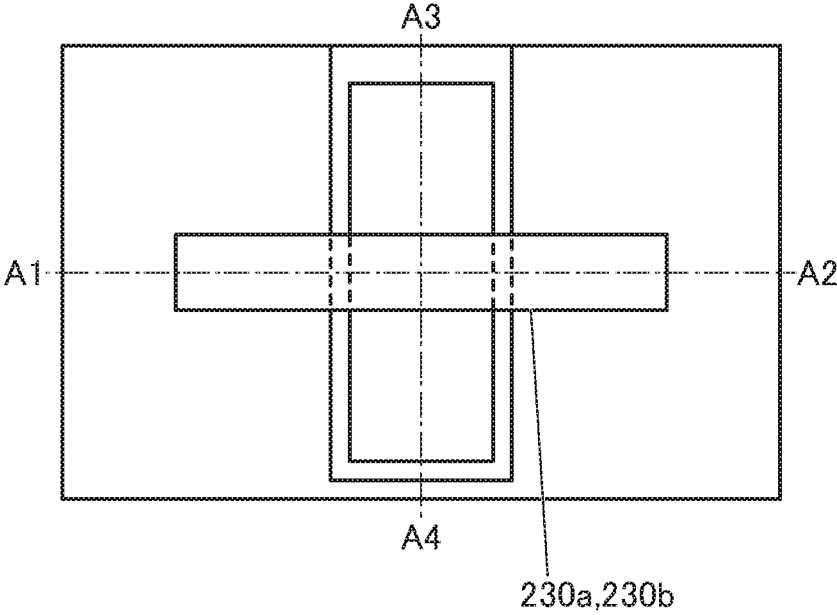


(B)

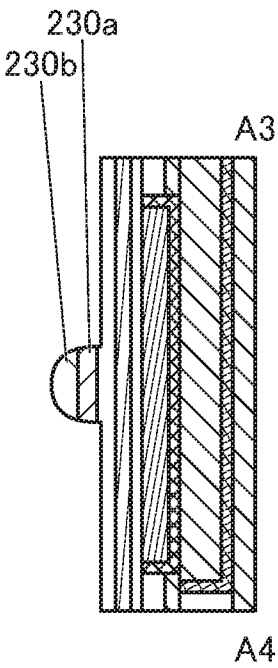


[図05]

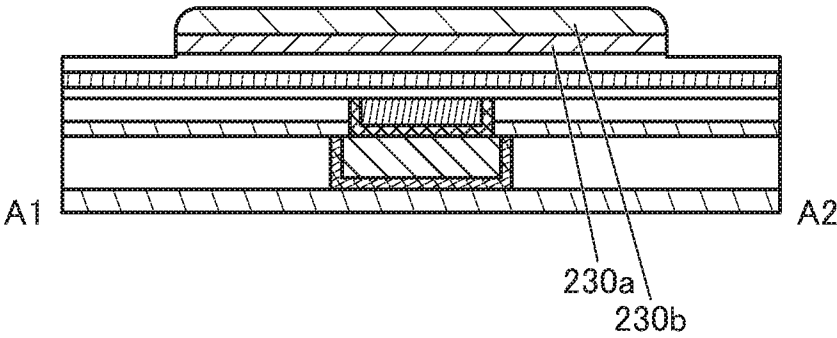
(A)



(C)

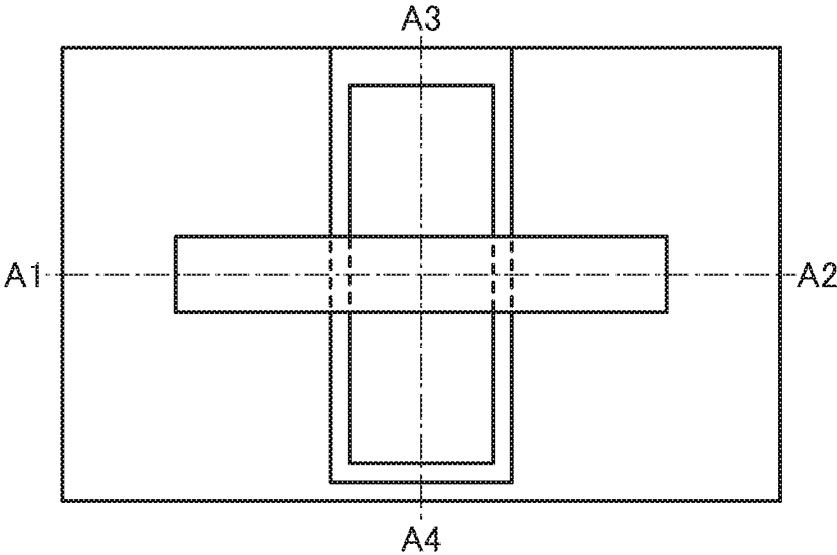


(B)

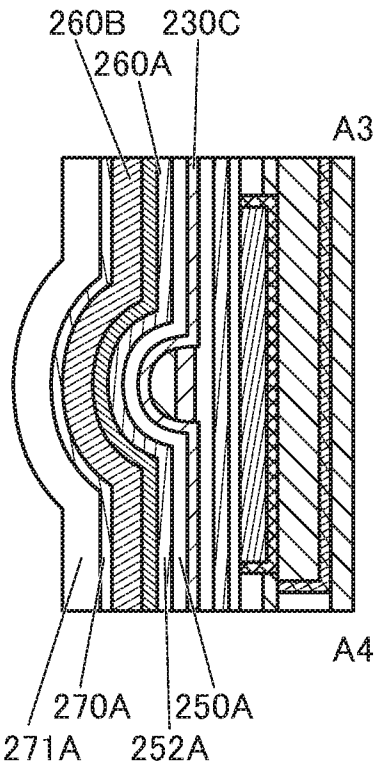


[06]

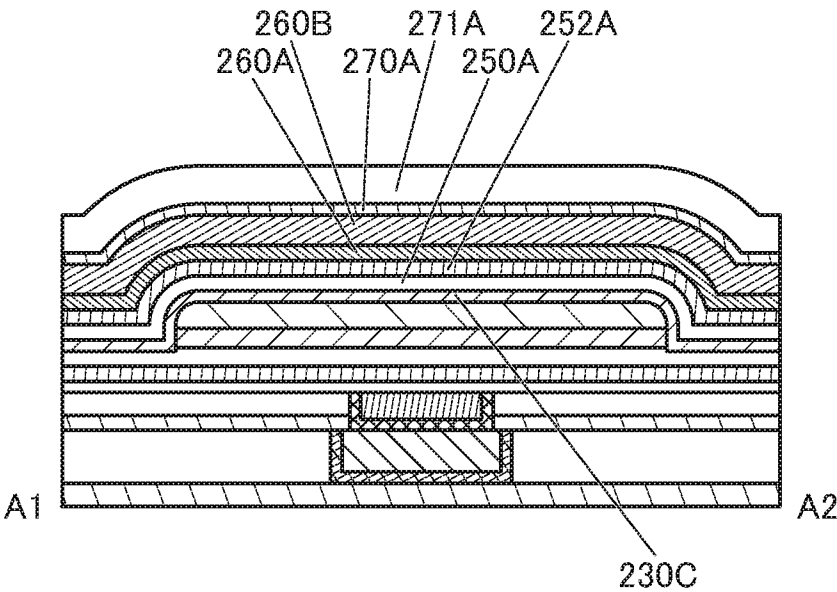
(A)



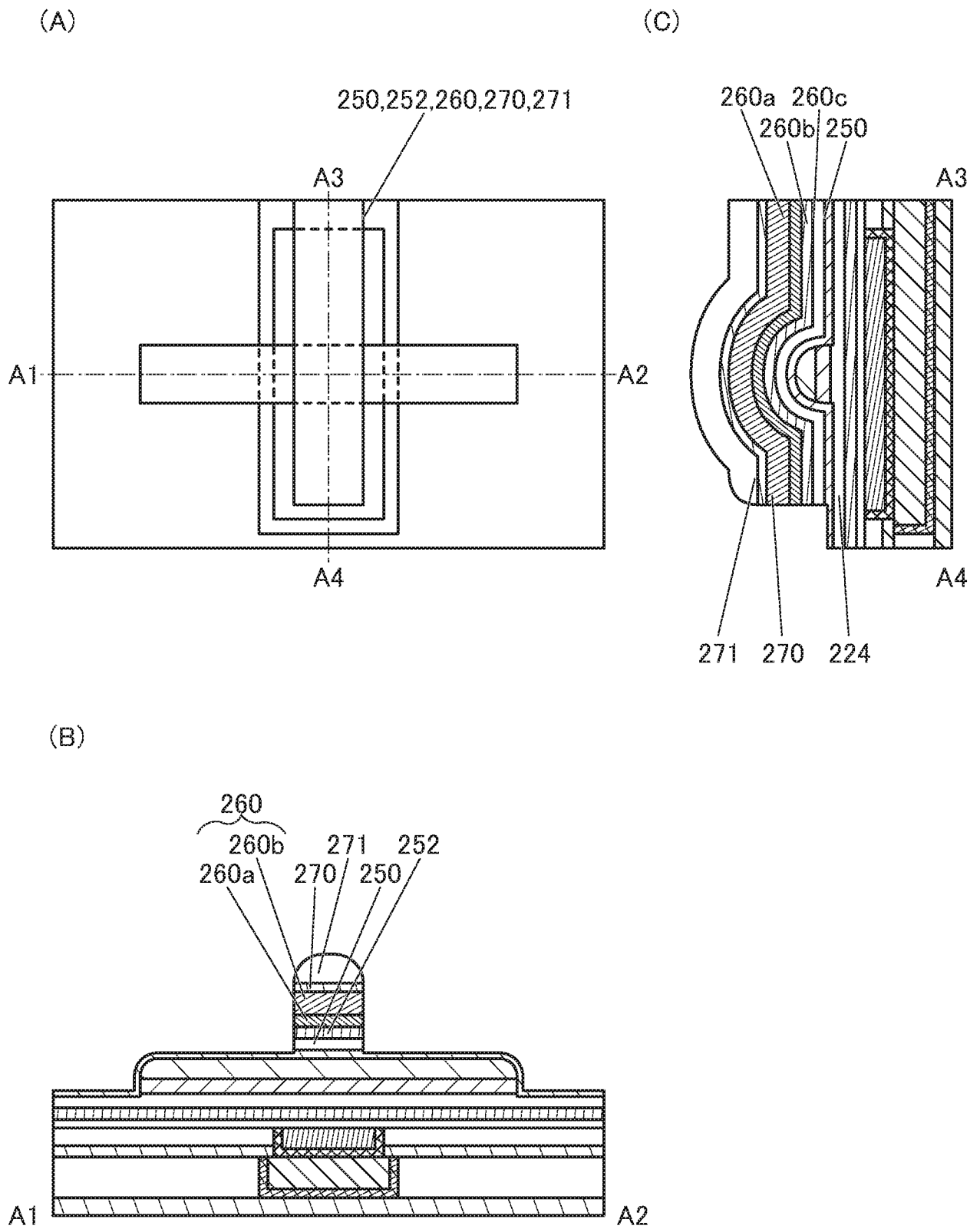
(C)



(B)



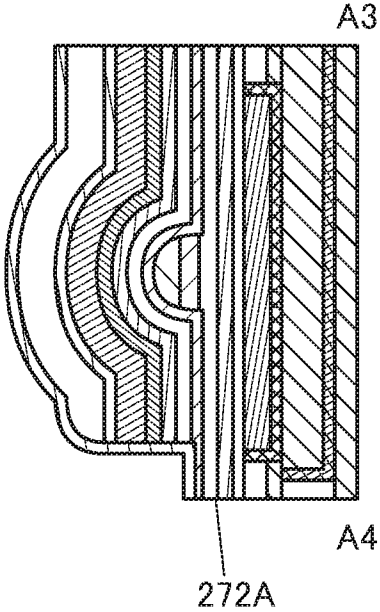
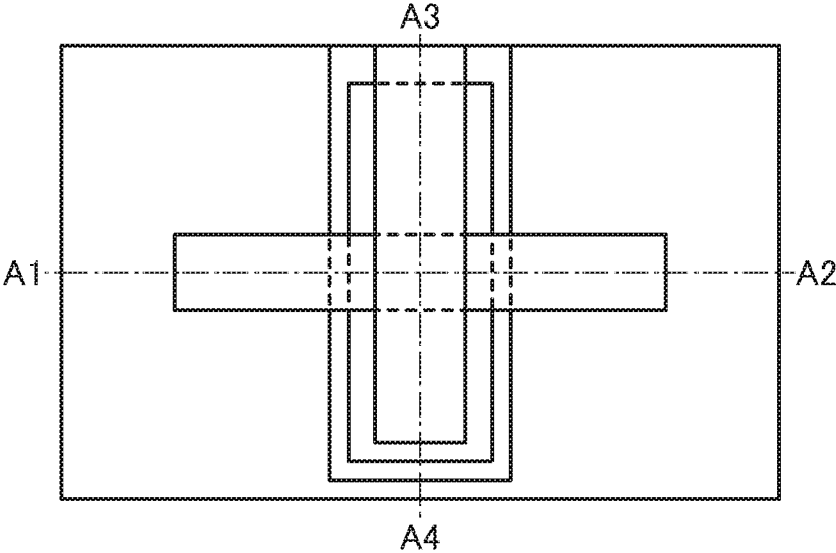
[図07]



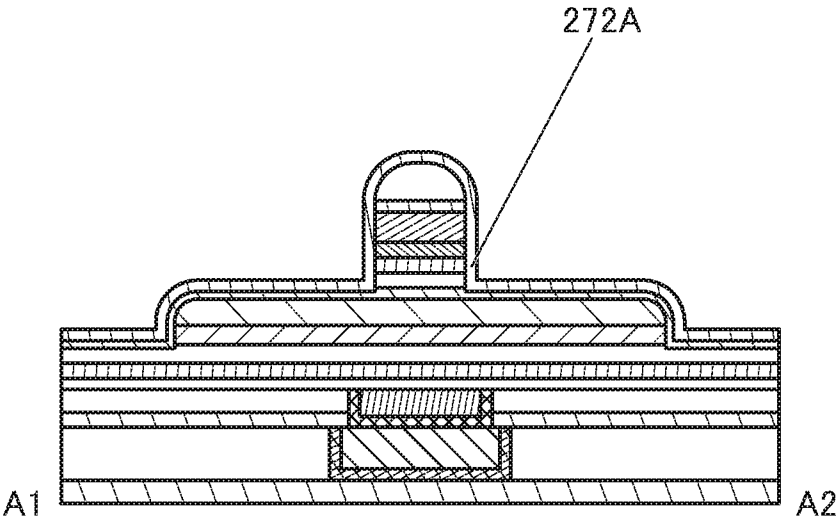
[08]

(A)

(C)

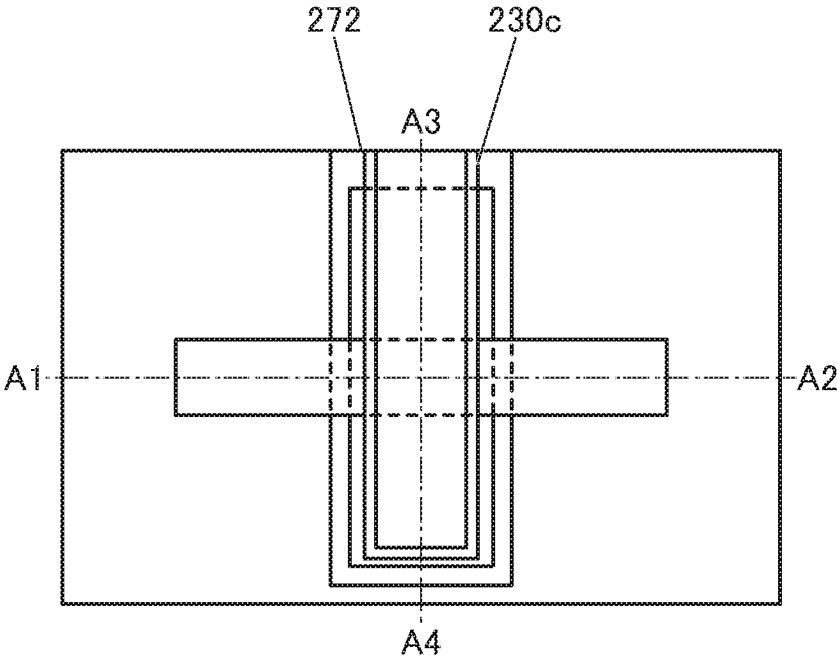


(B)

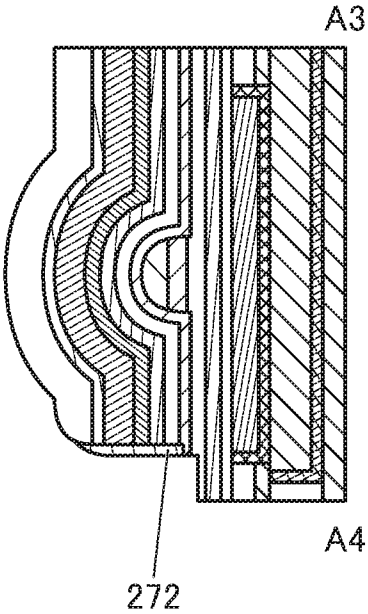


[図09]

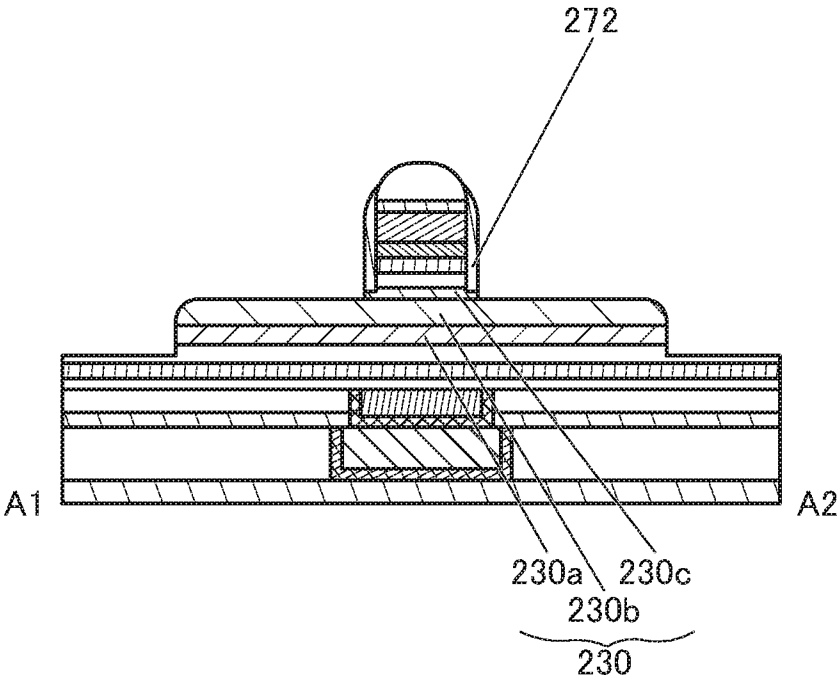
(A)



(C)



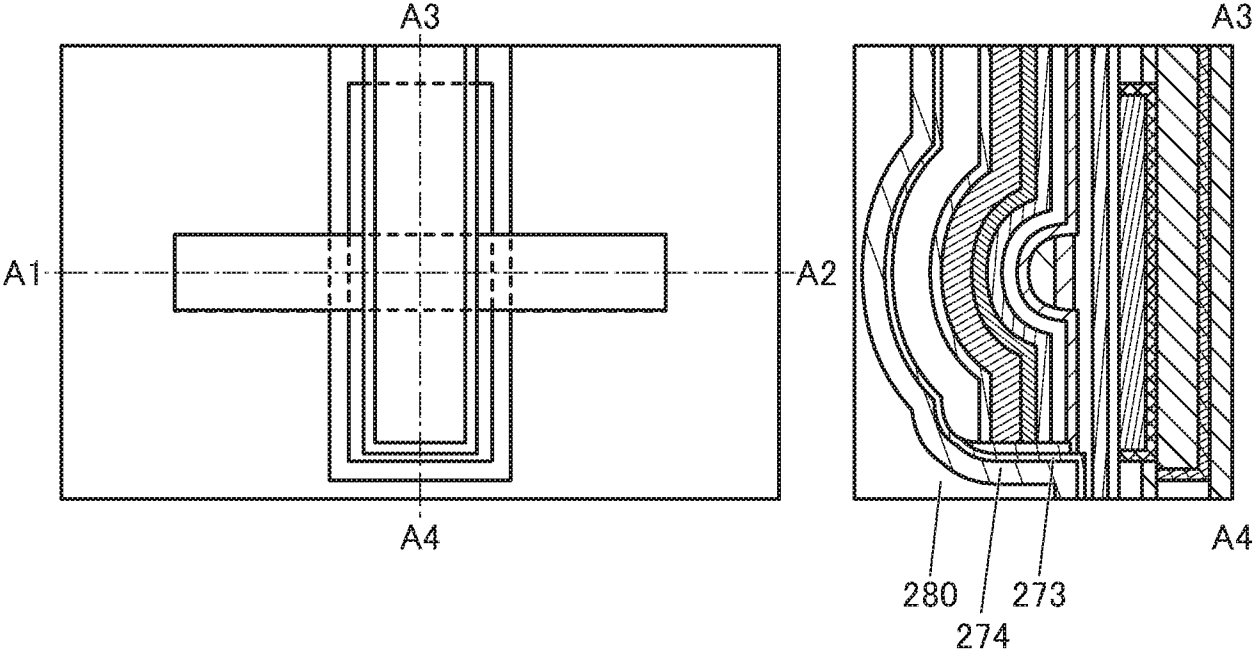
(B)



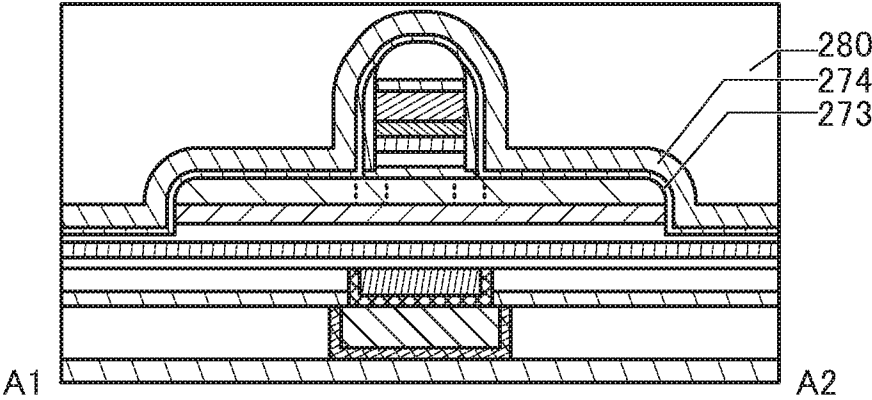
[ 10]

(A)

(C)

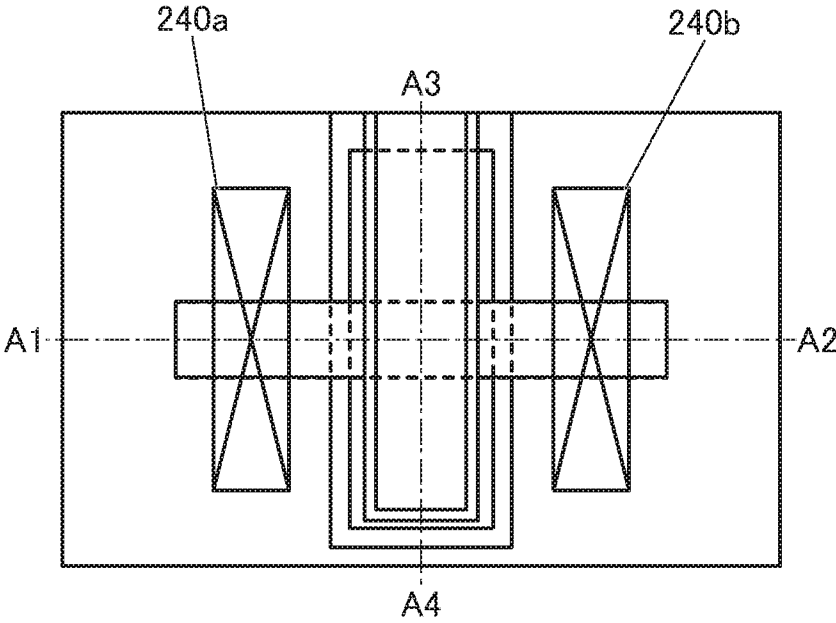


(B)

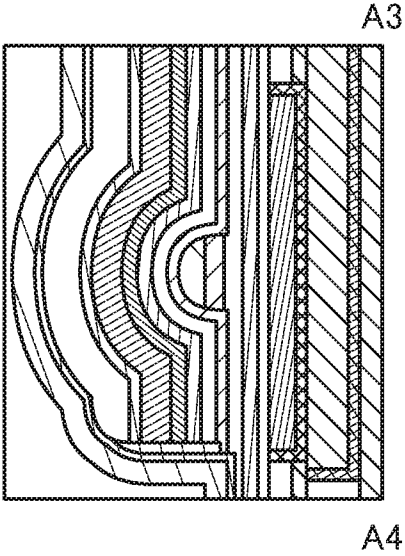


[ 11]

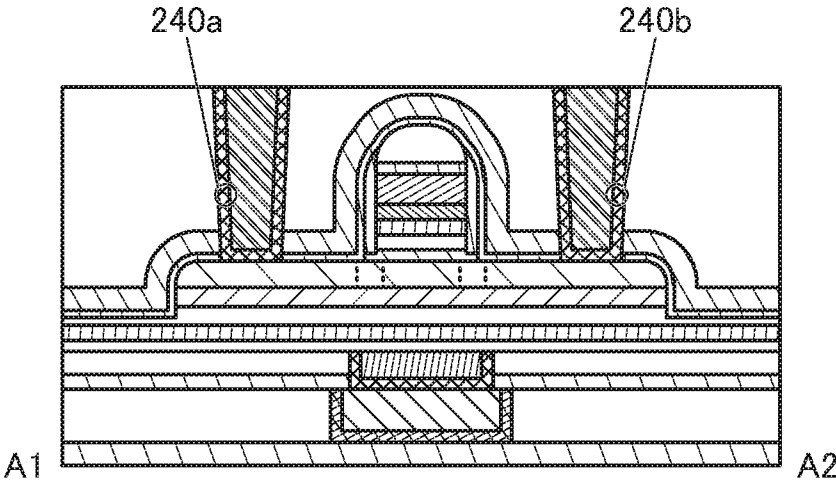
(A)



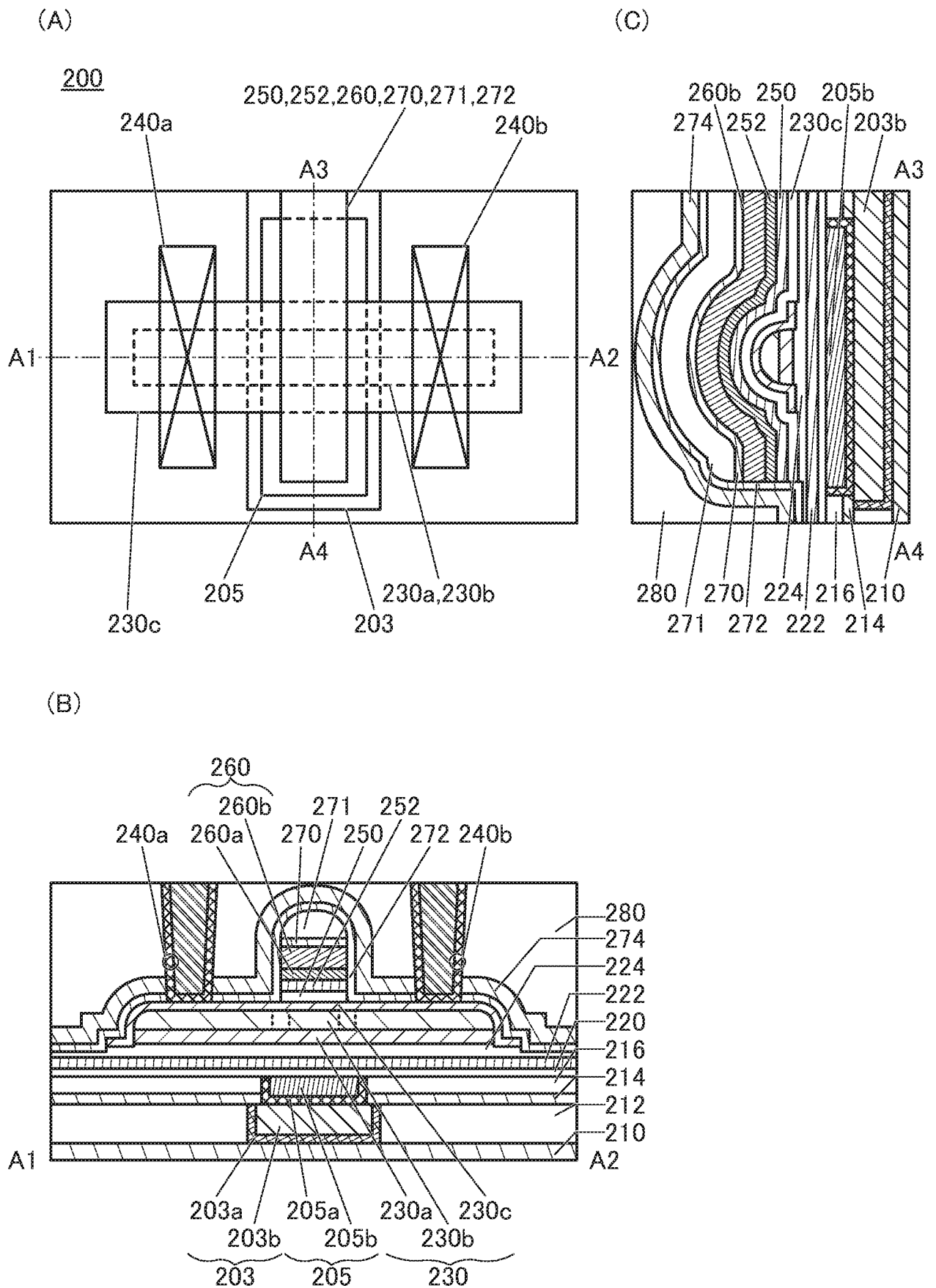
(C)



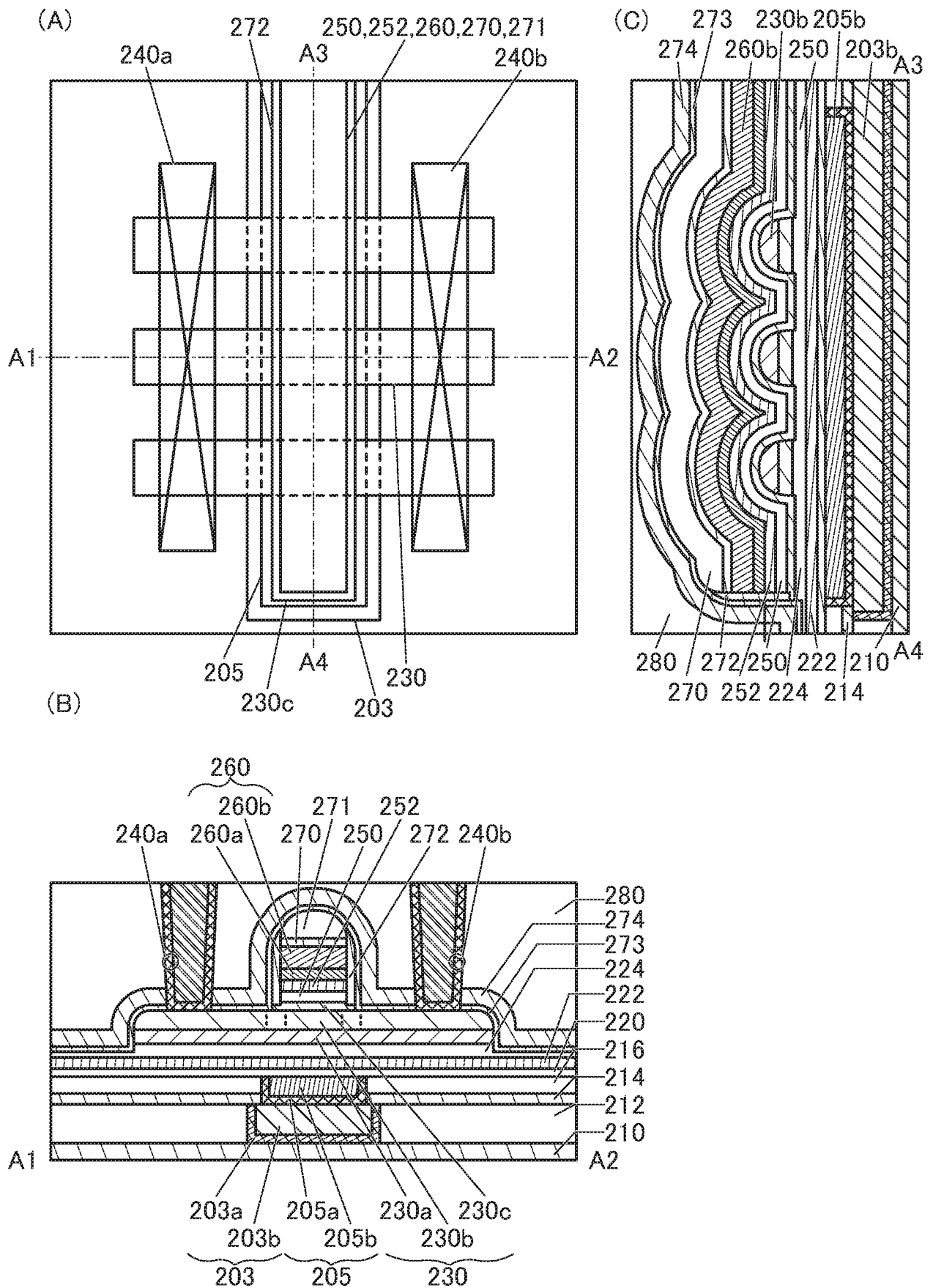
(B)



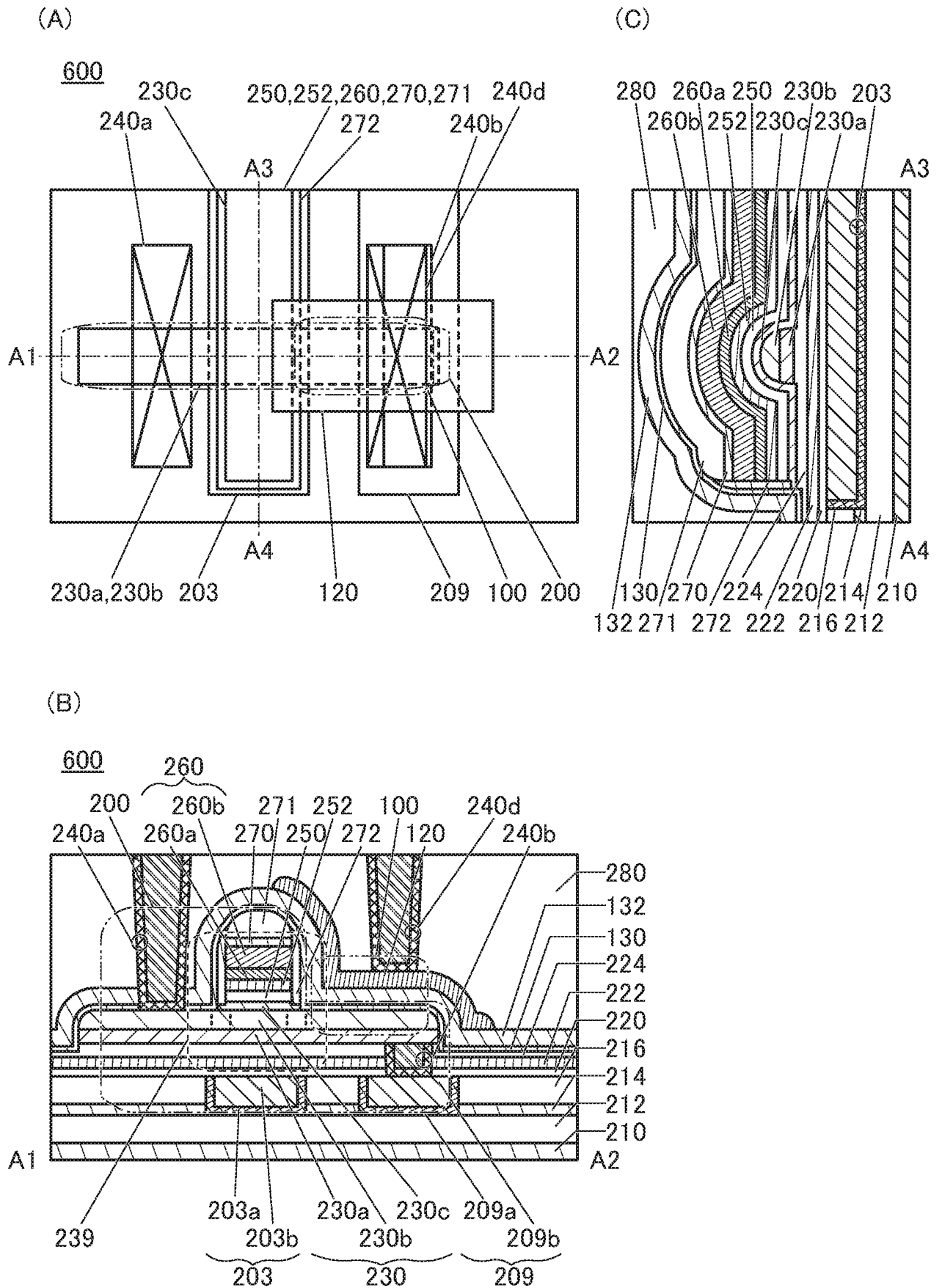
[図12]



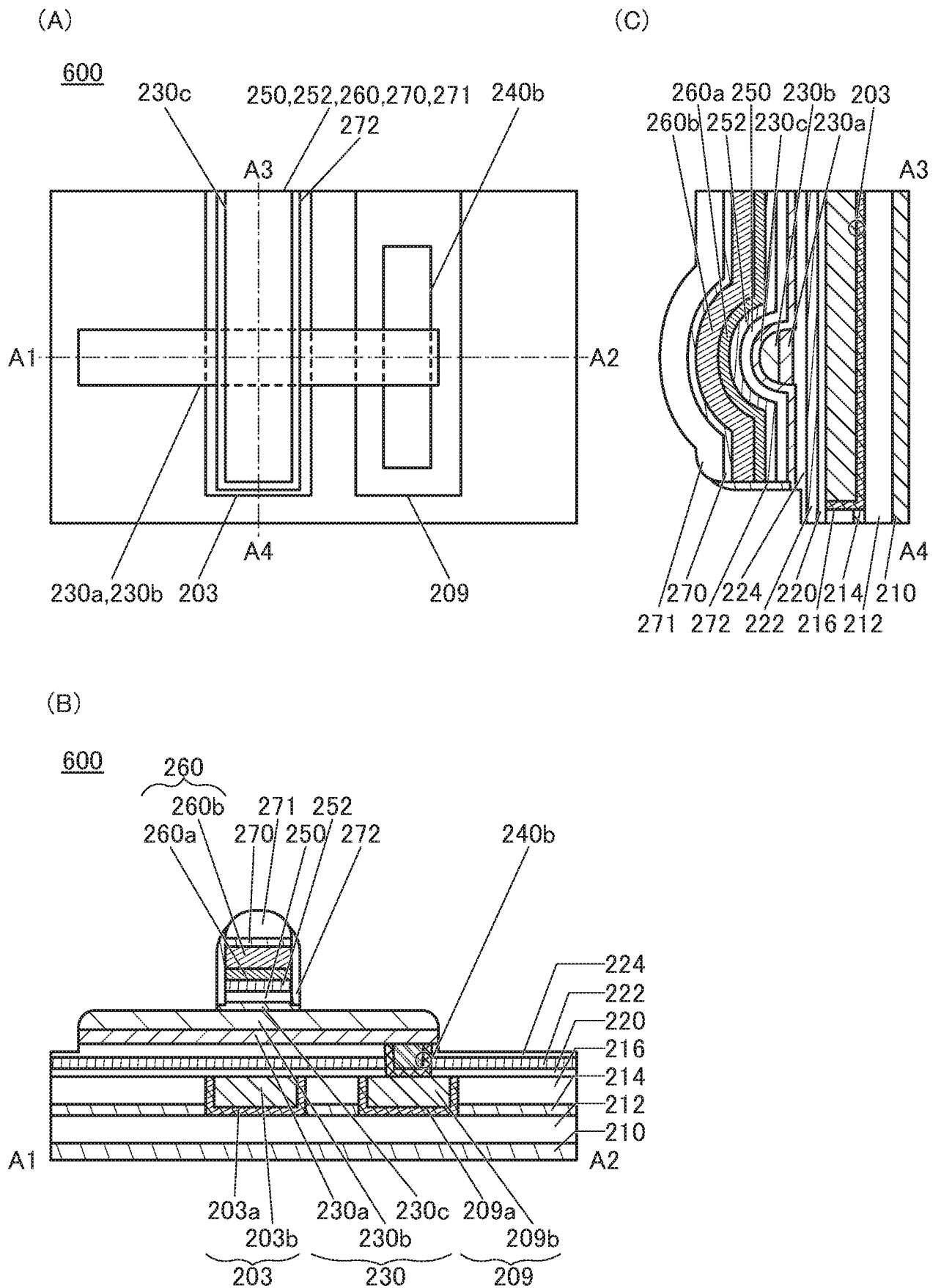
[図13]



[図14]



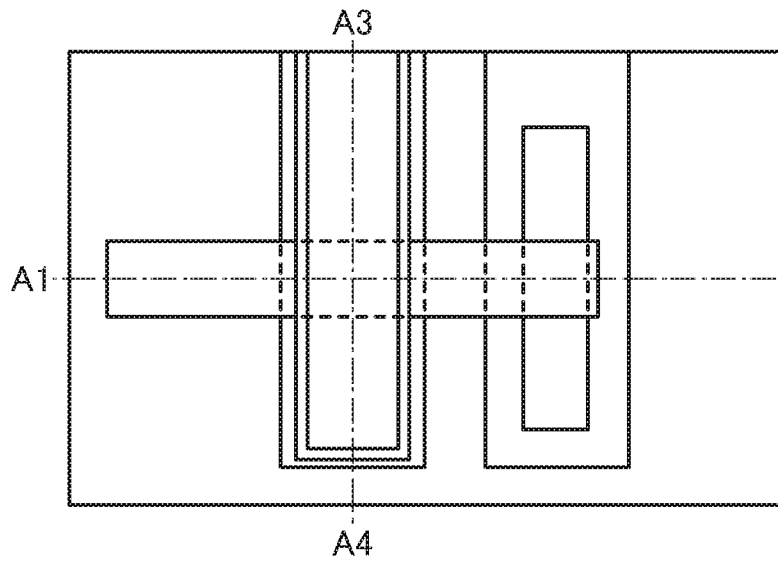
[15]



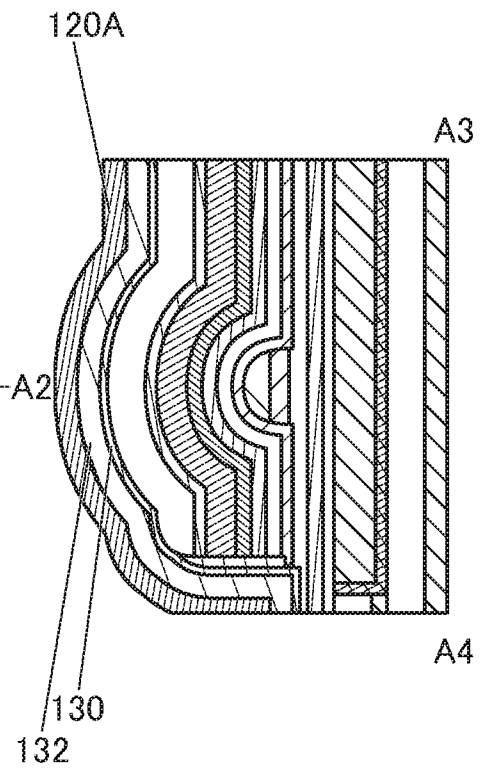
[16]

(A)

600

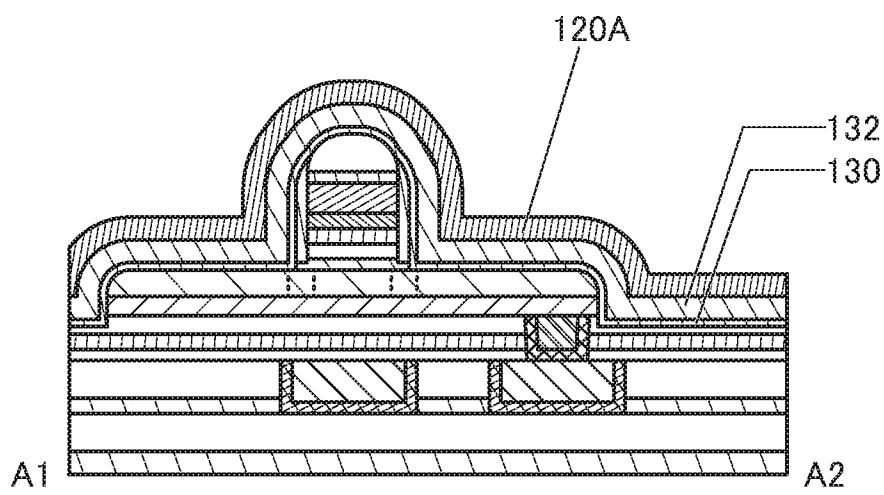


(C)



(B)

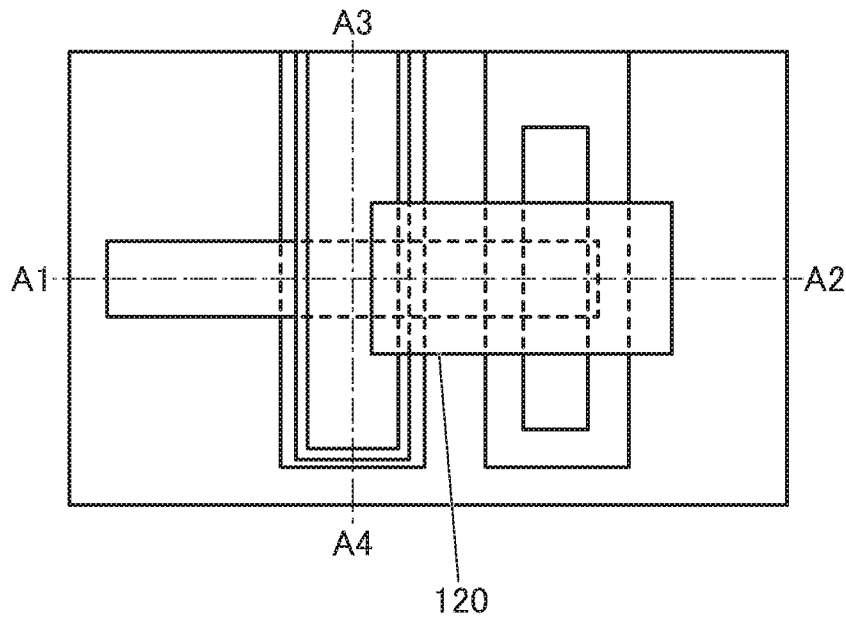
600



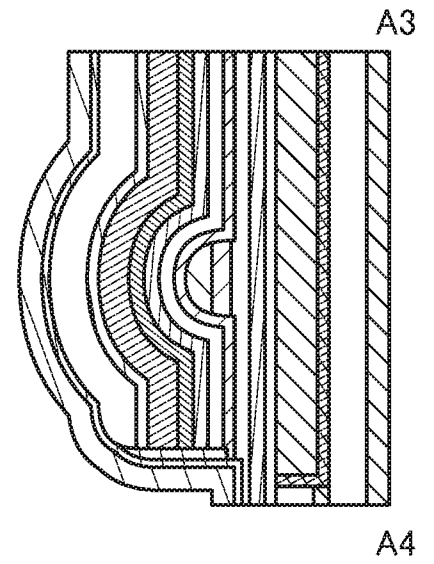
[ 17]

(A)

600

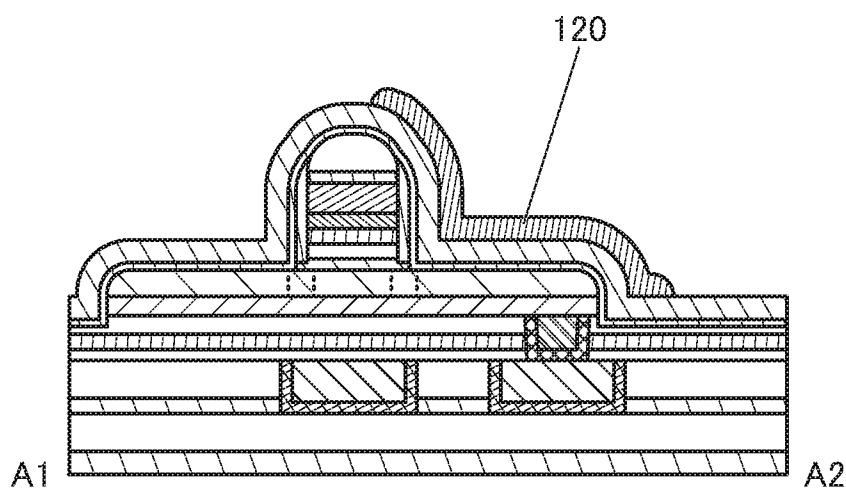


(C)



(B)

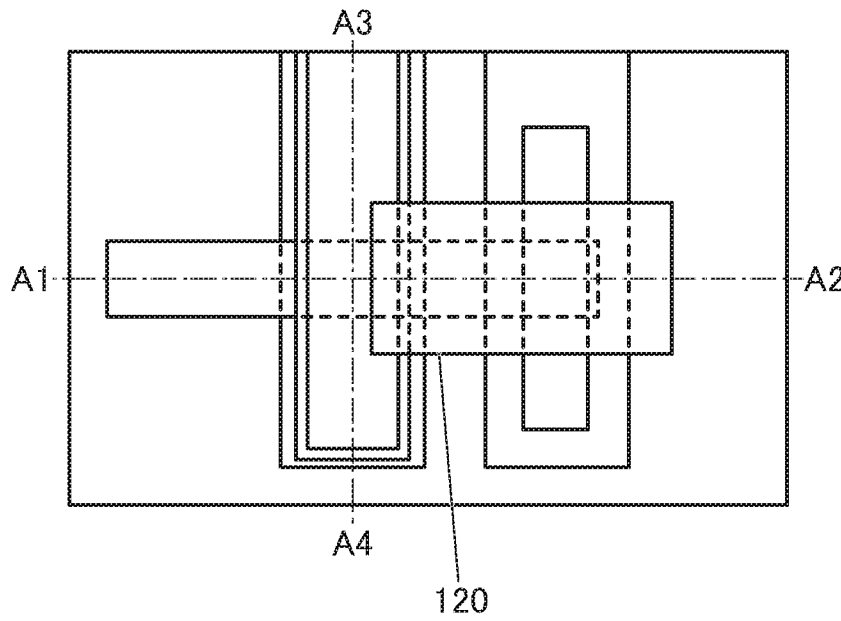
600



[ 18]

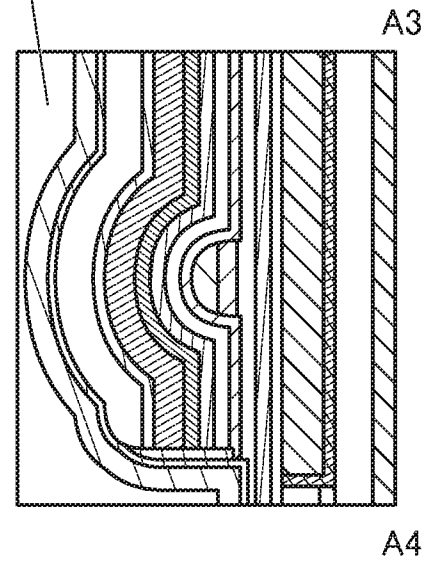
(A)

600



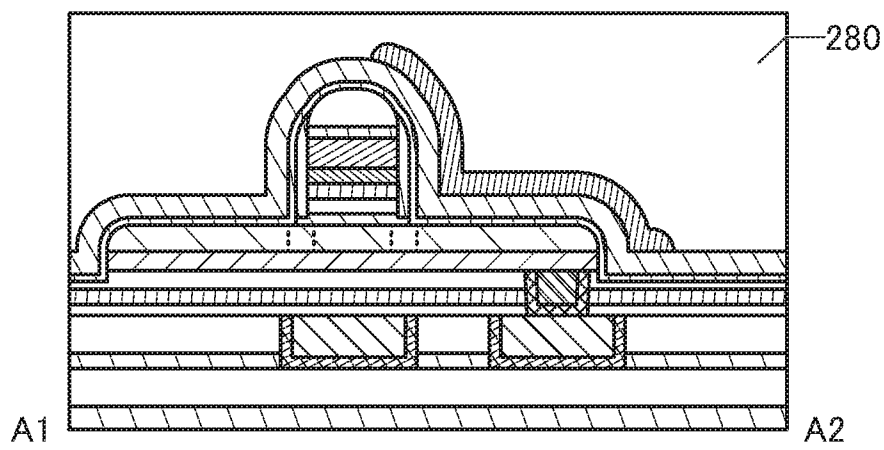
(C)

280

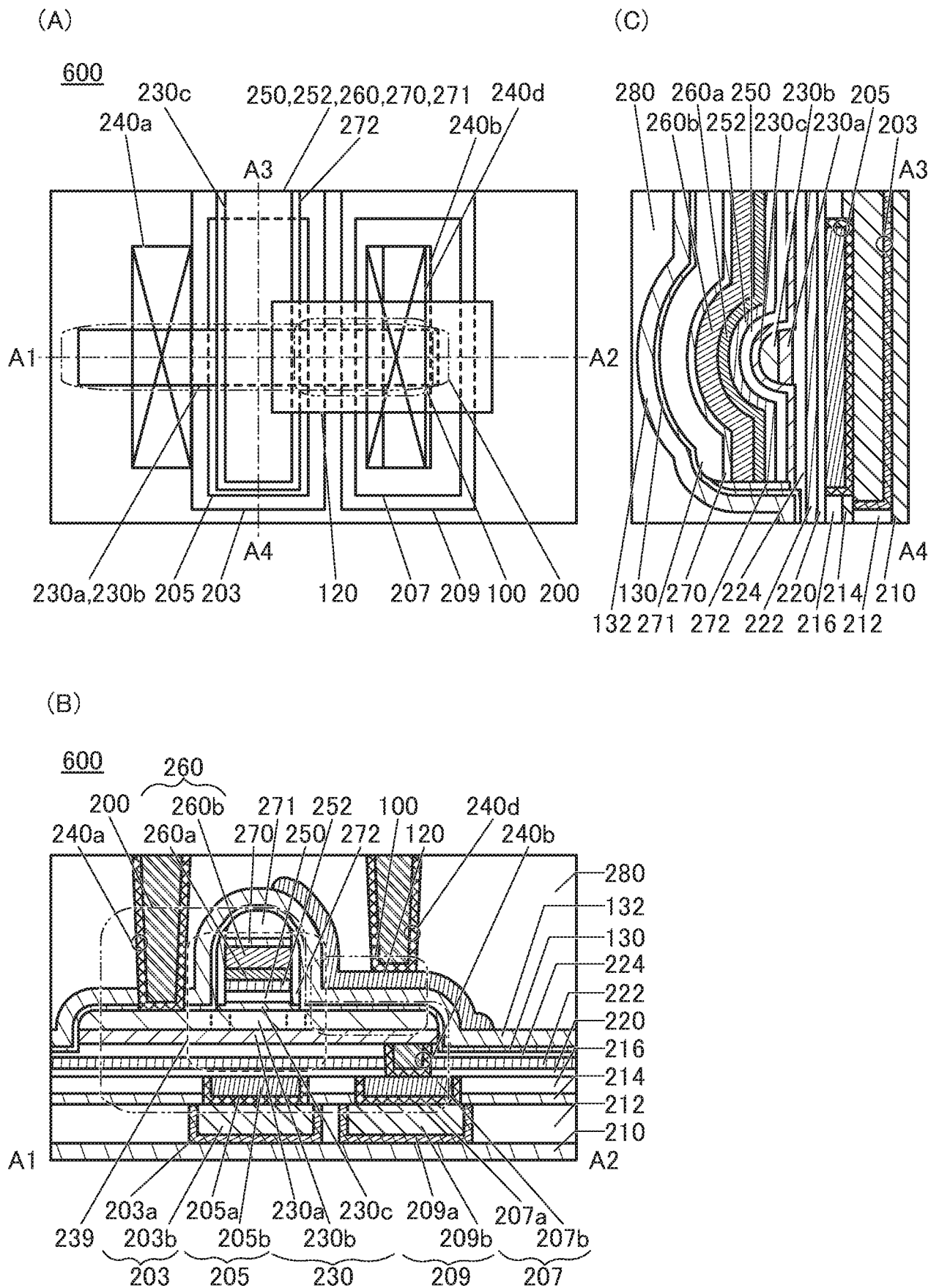


(B)

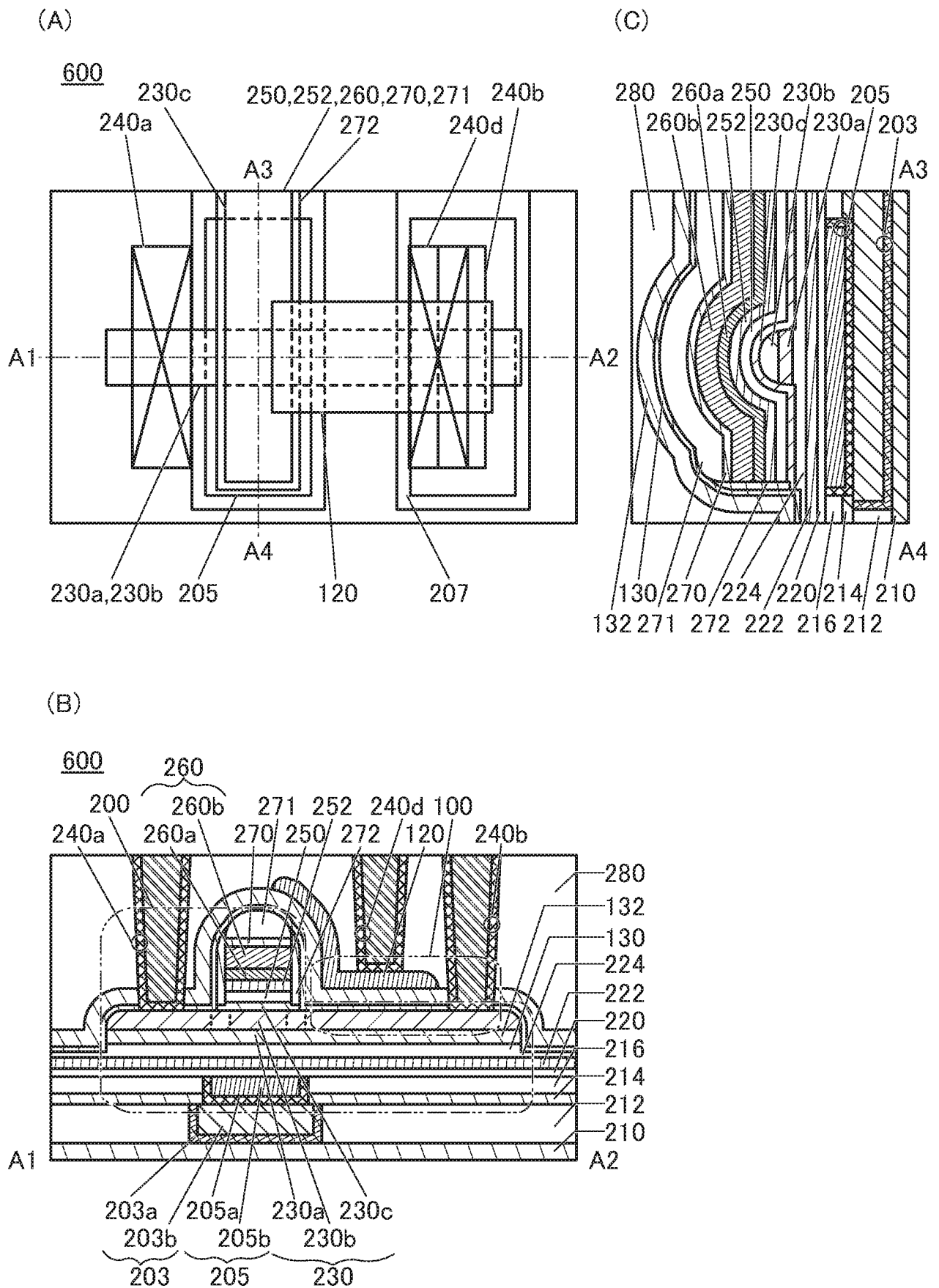
600



[図19]



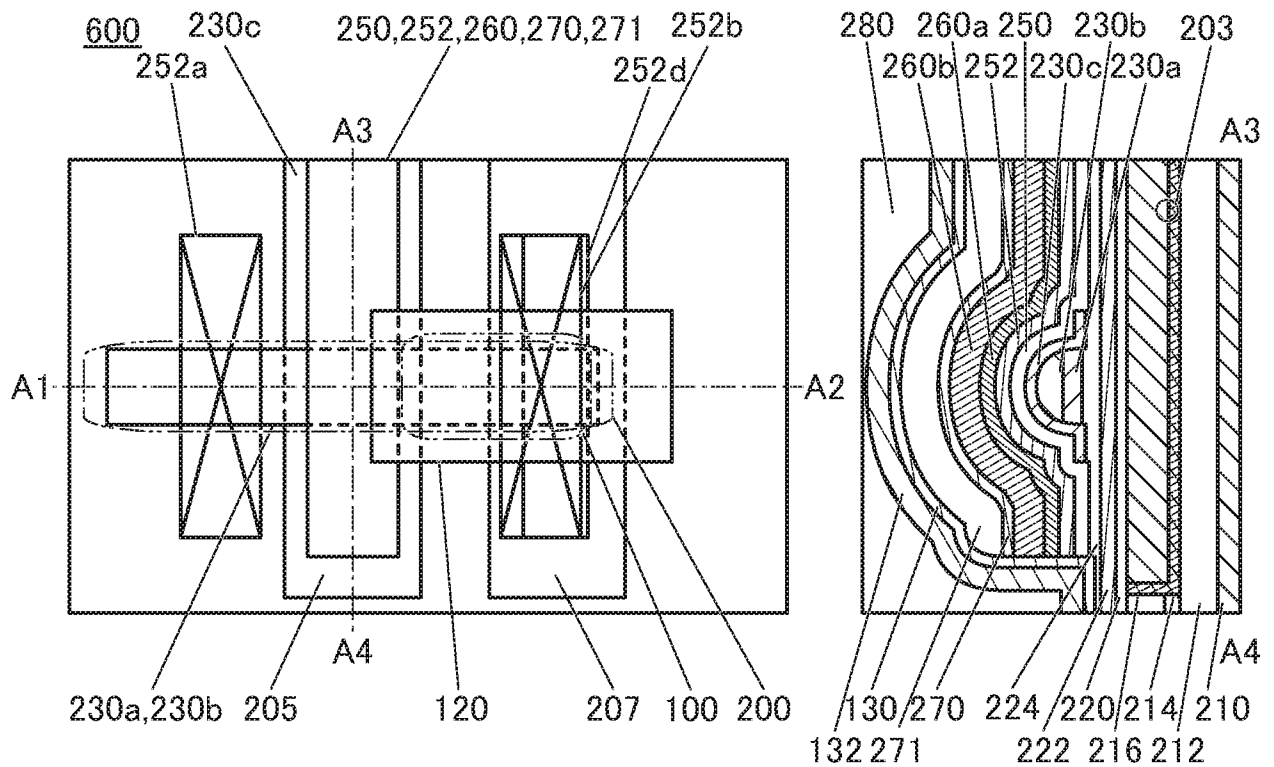
[図20]



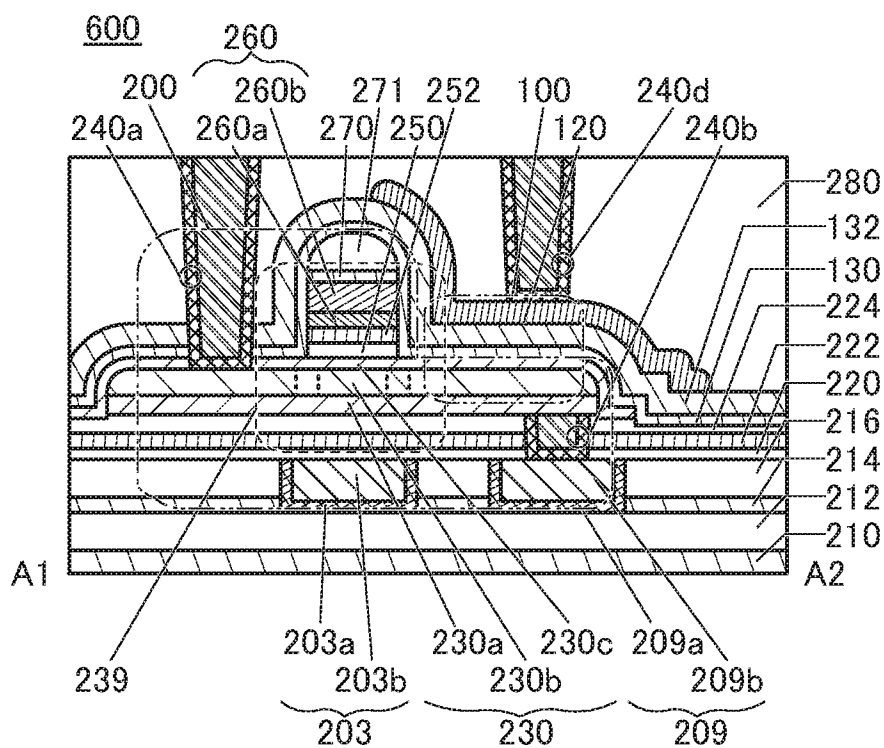
[図21]

(A)

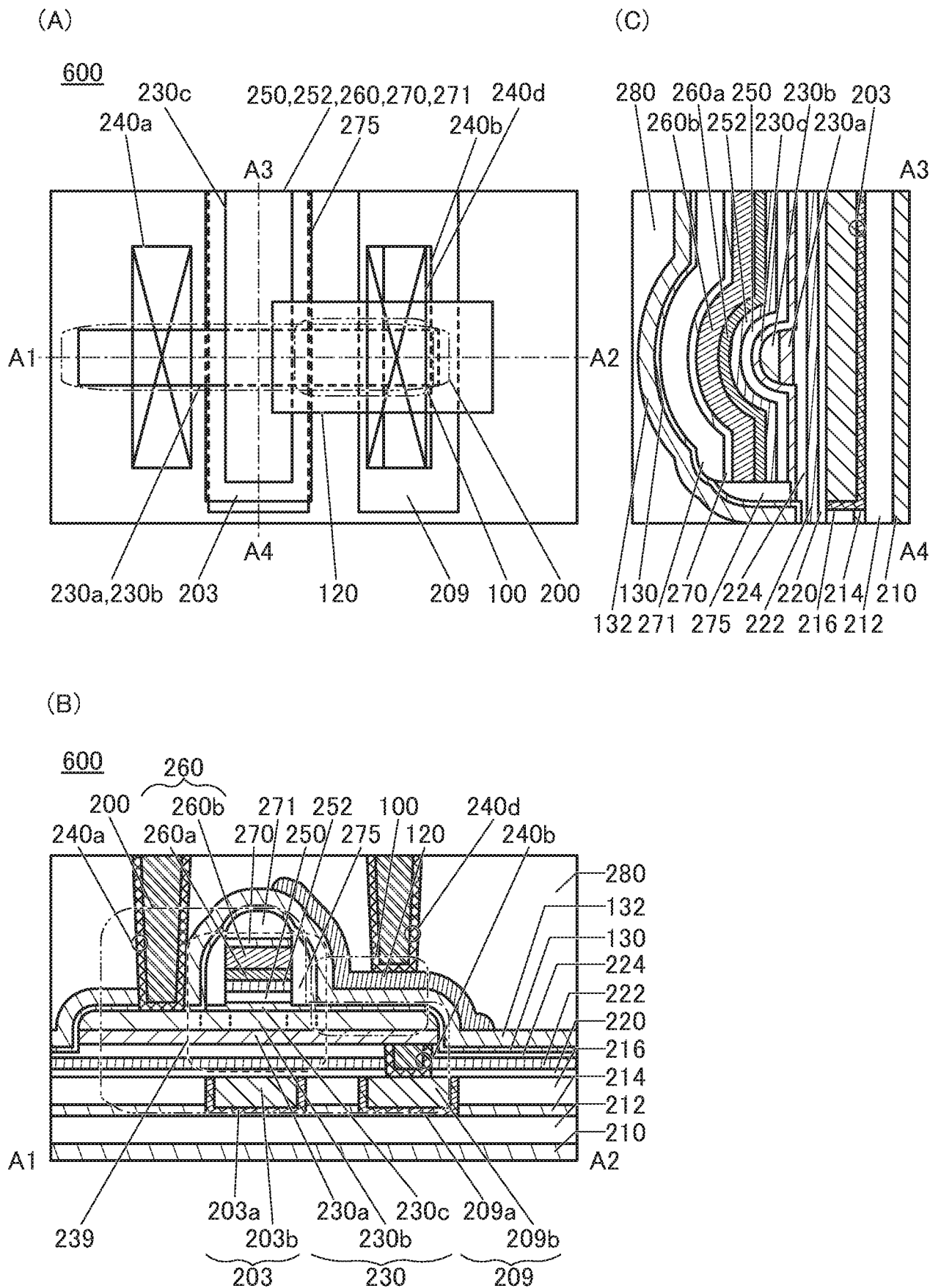
(C)

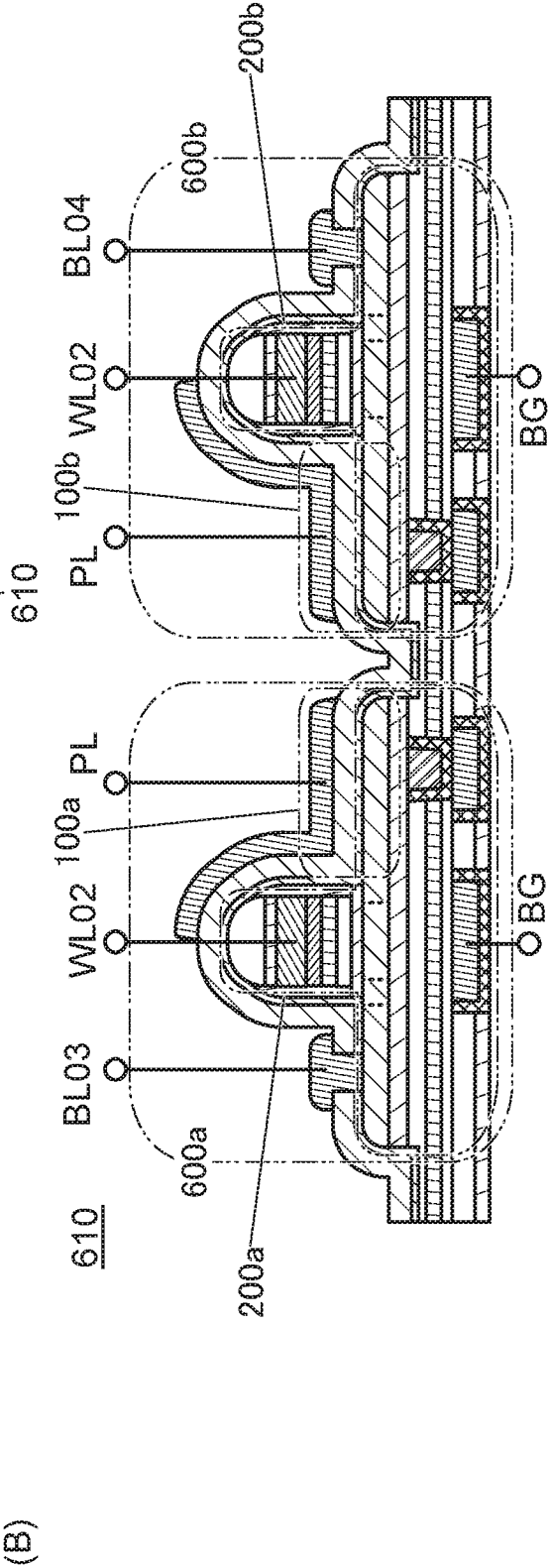
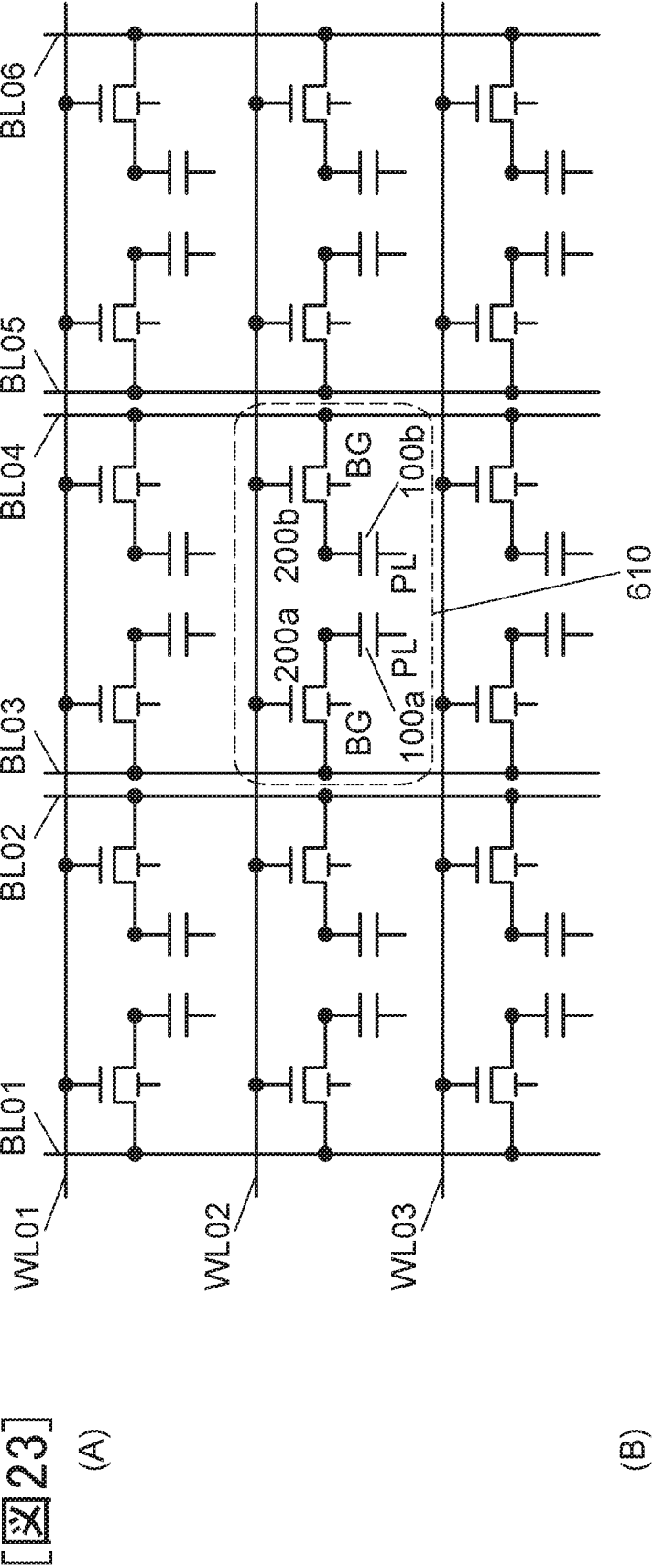


(B)



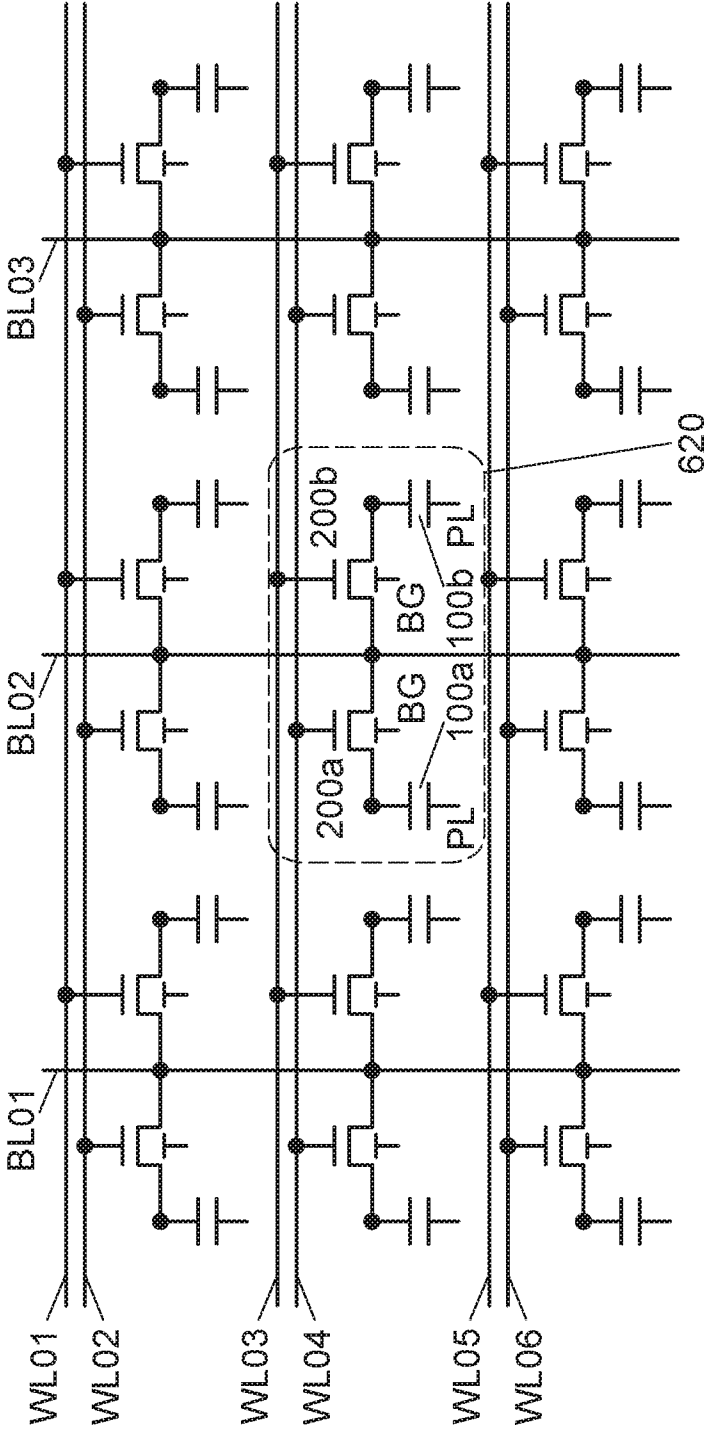
[図22]



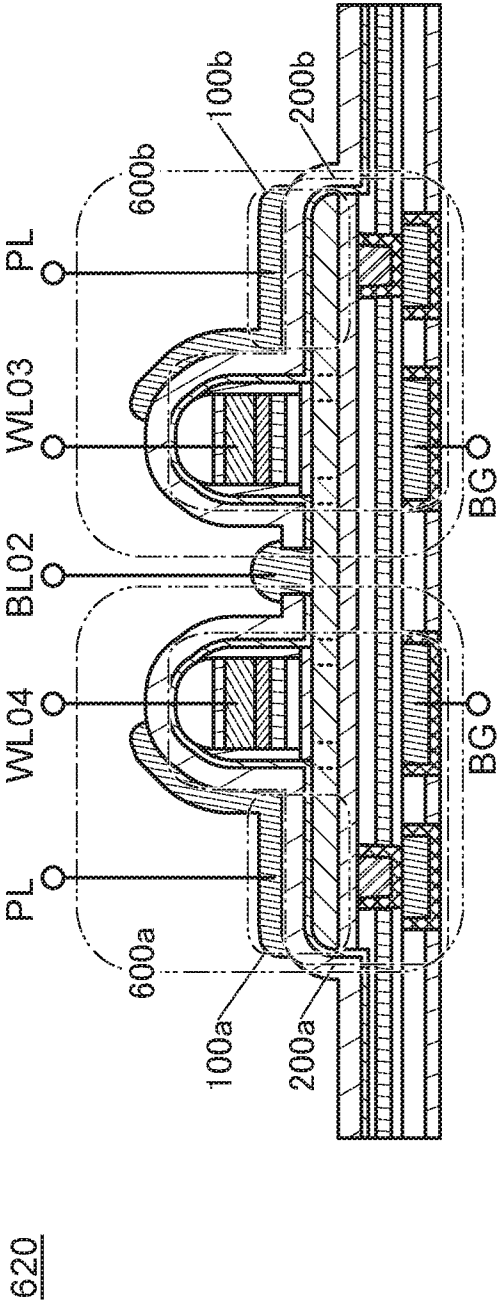


[ 24]

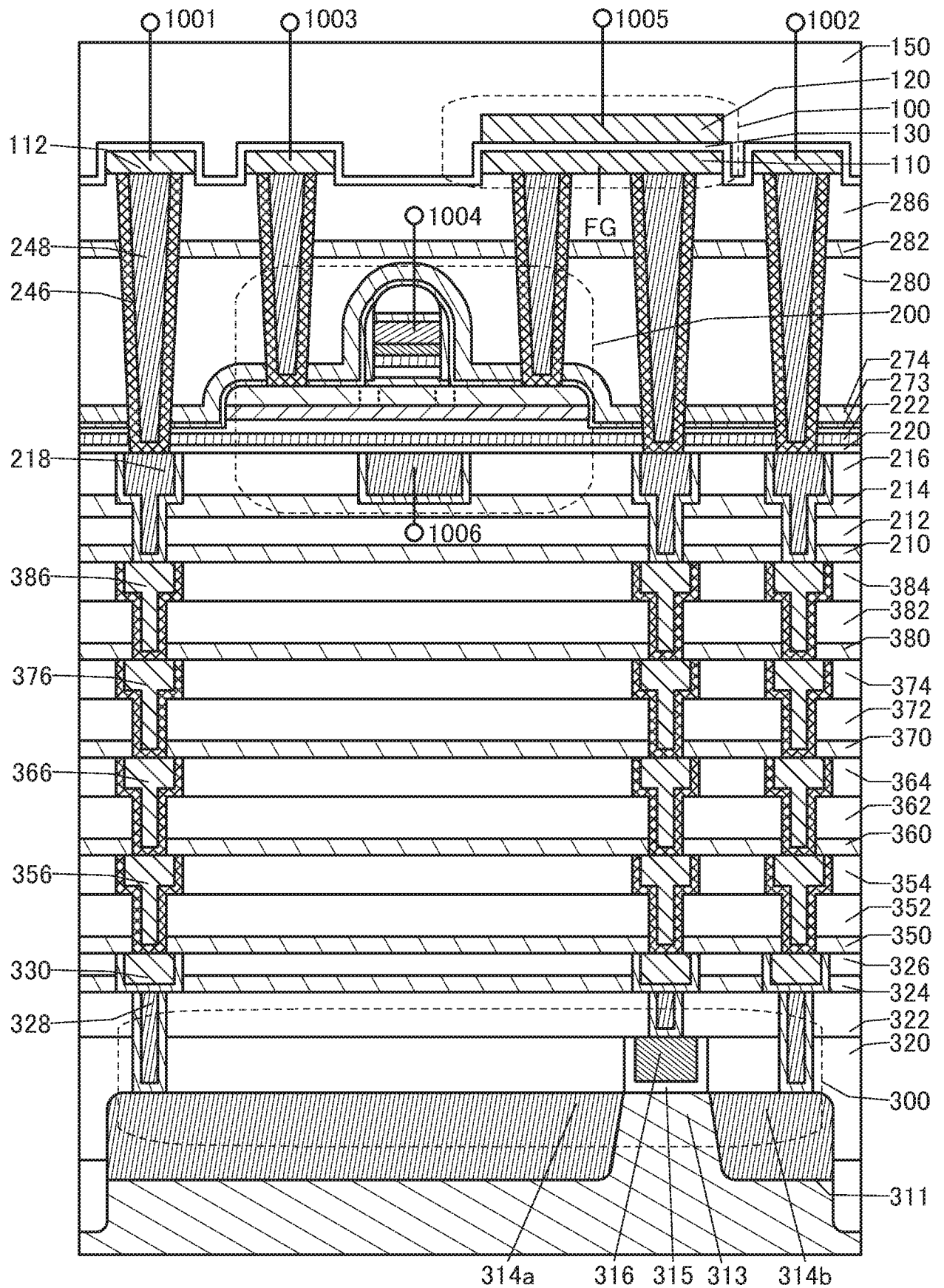
(A)



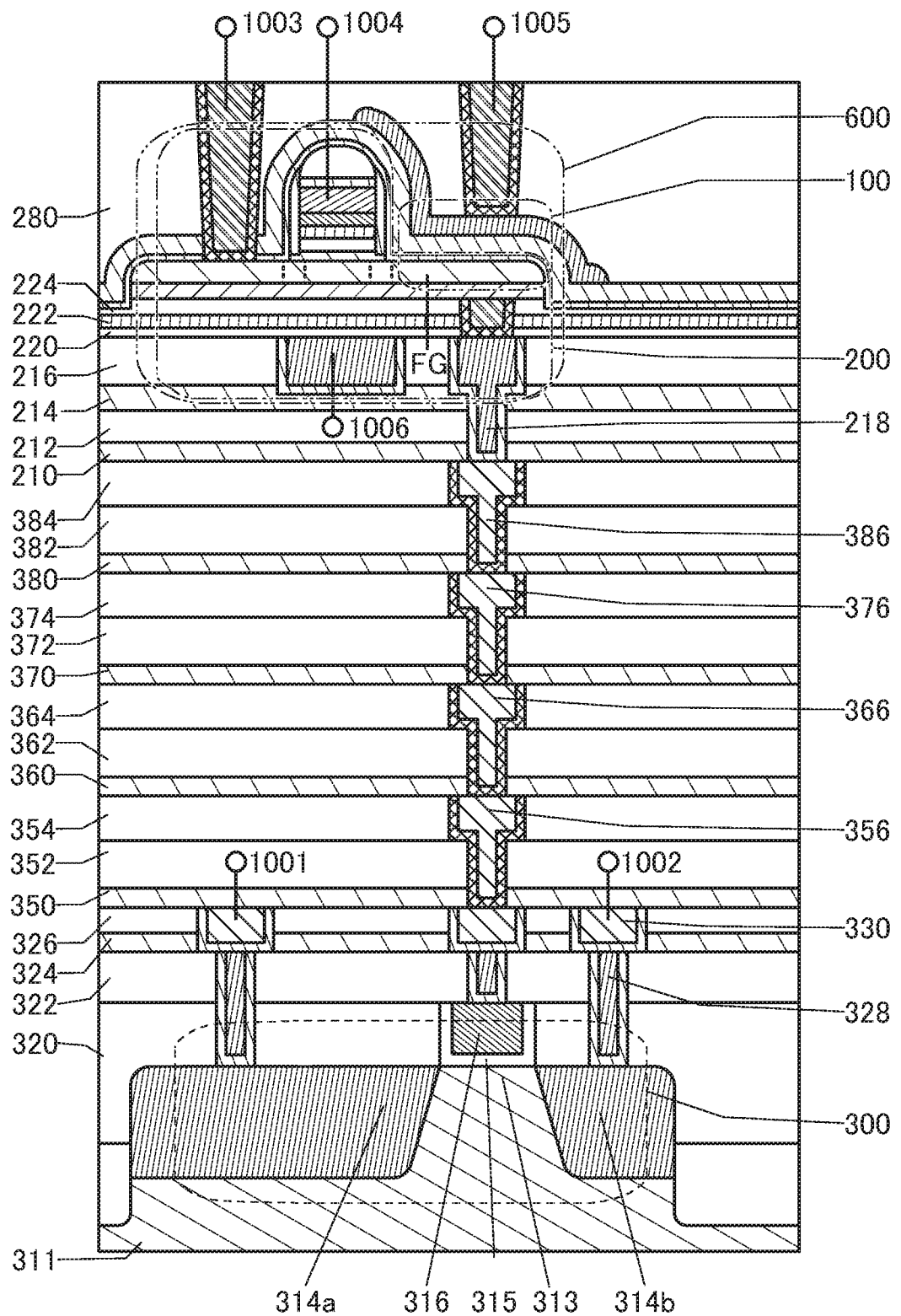
(B)

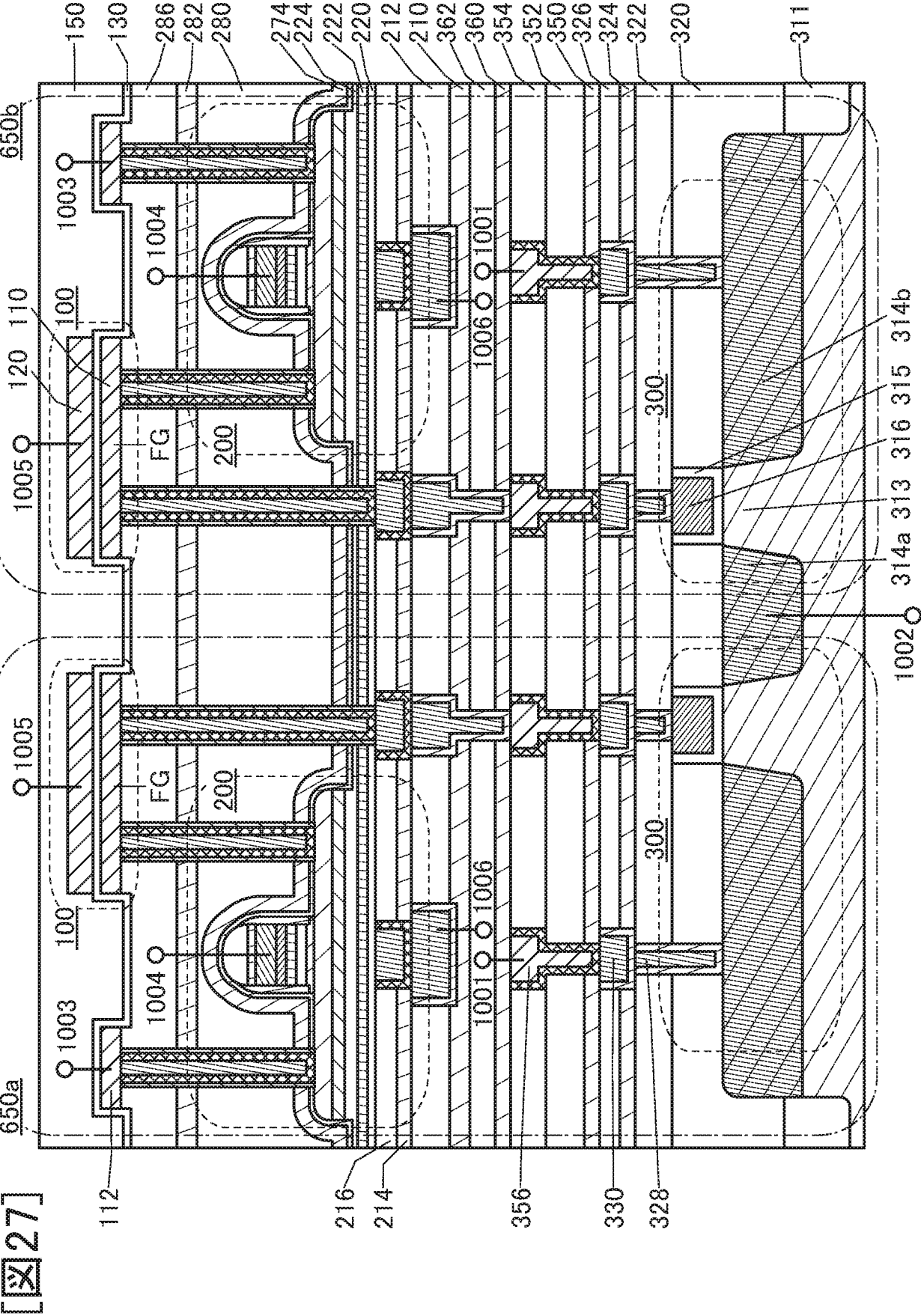


[図25]

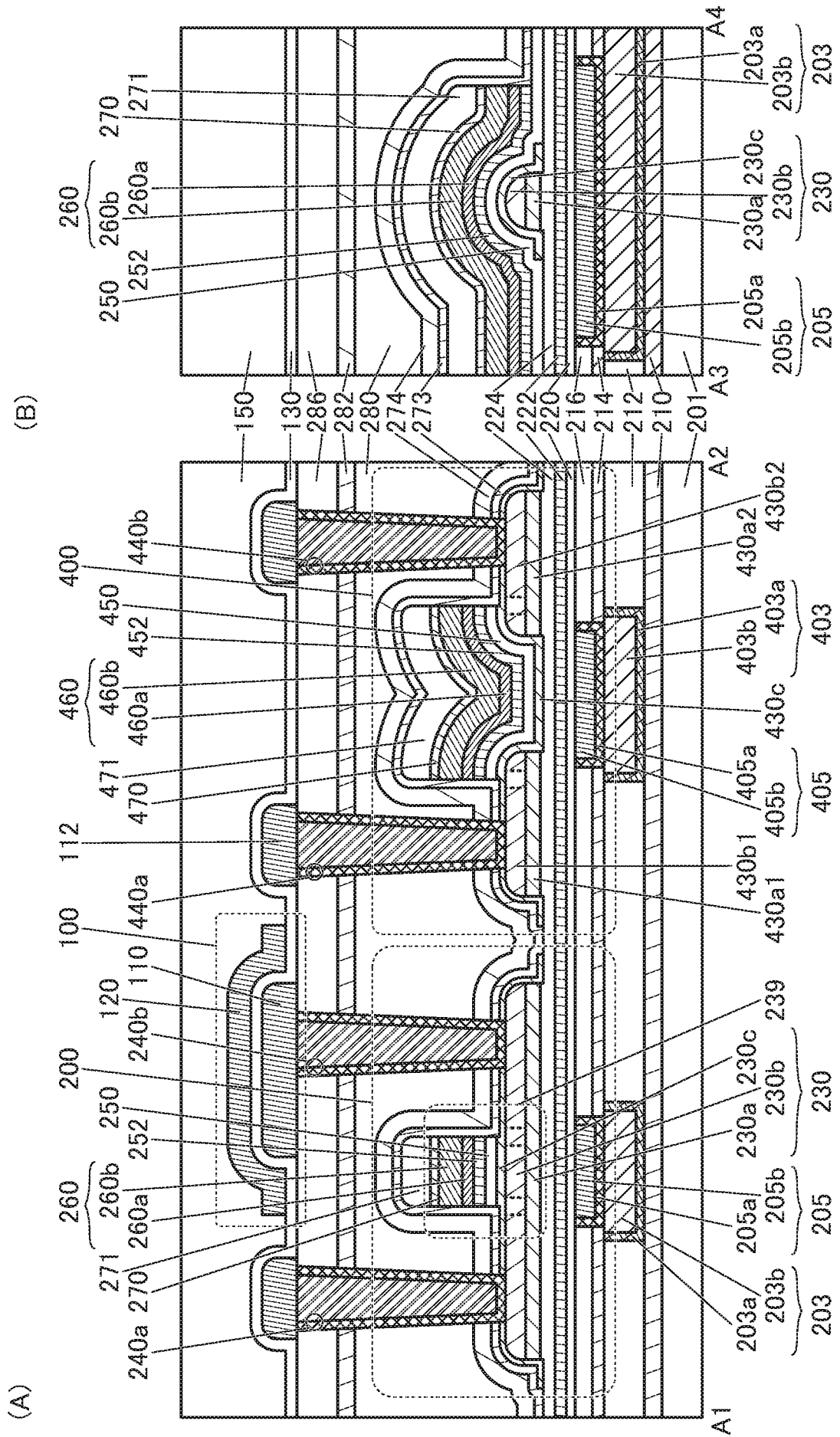


[図26]

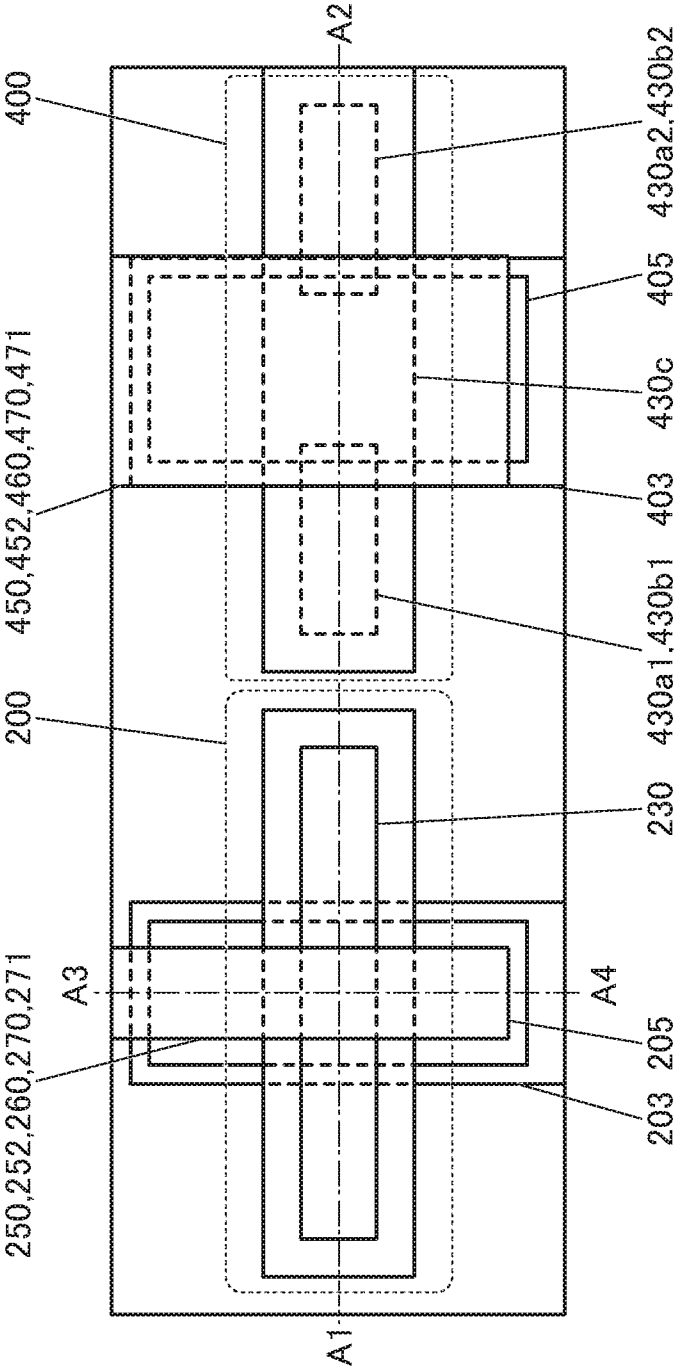


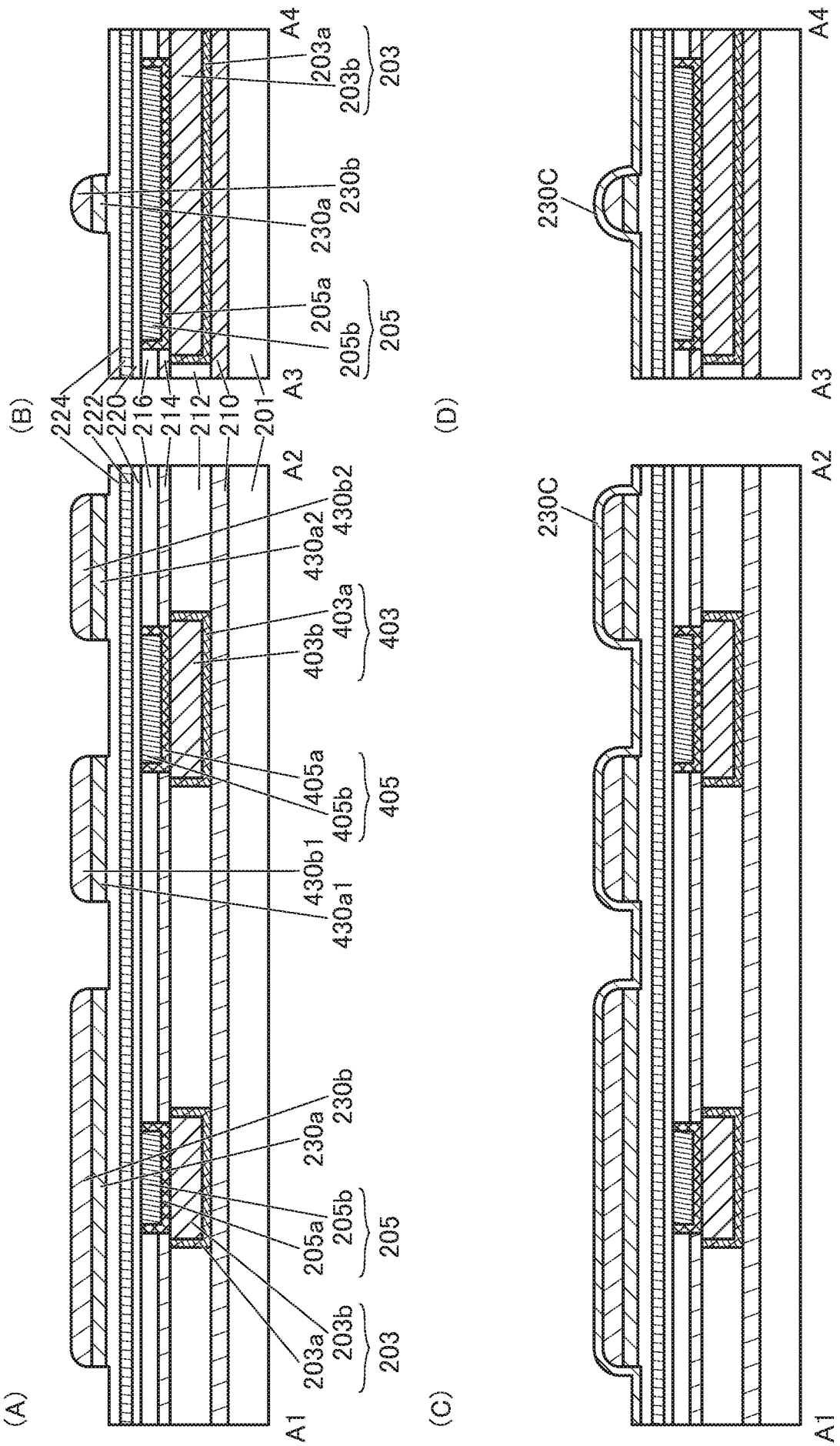


82

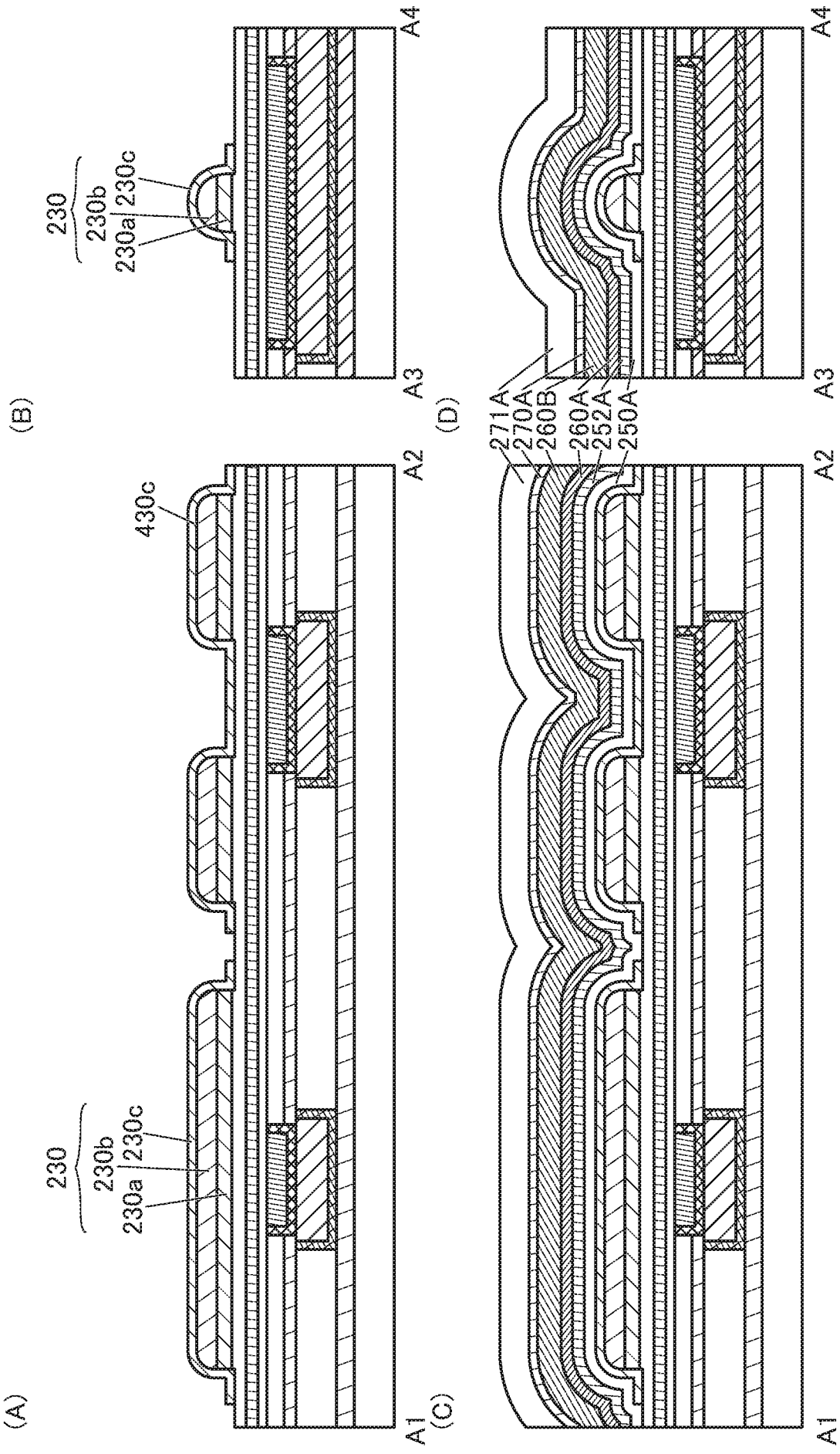


[図29]

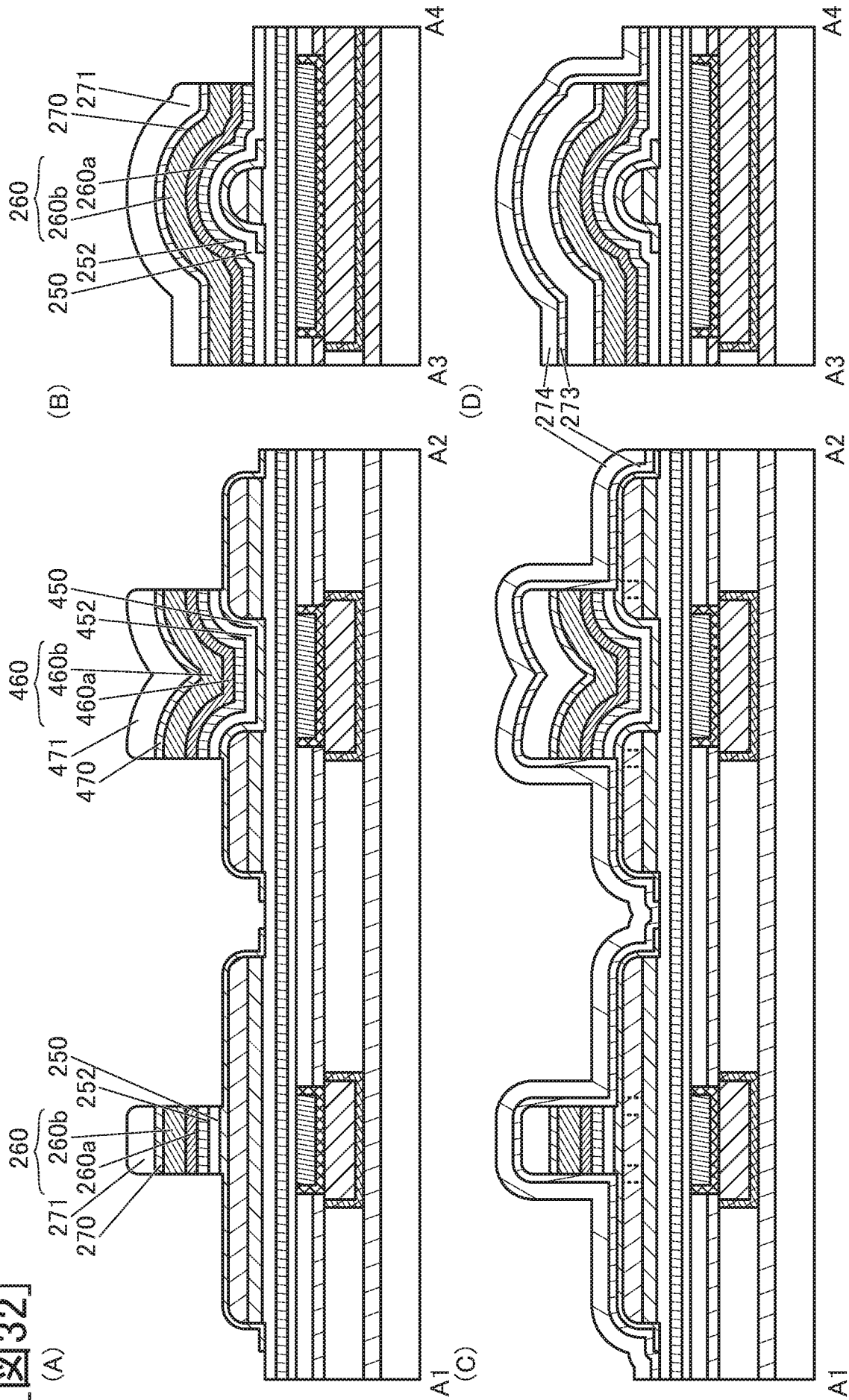




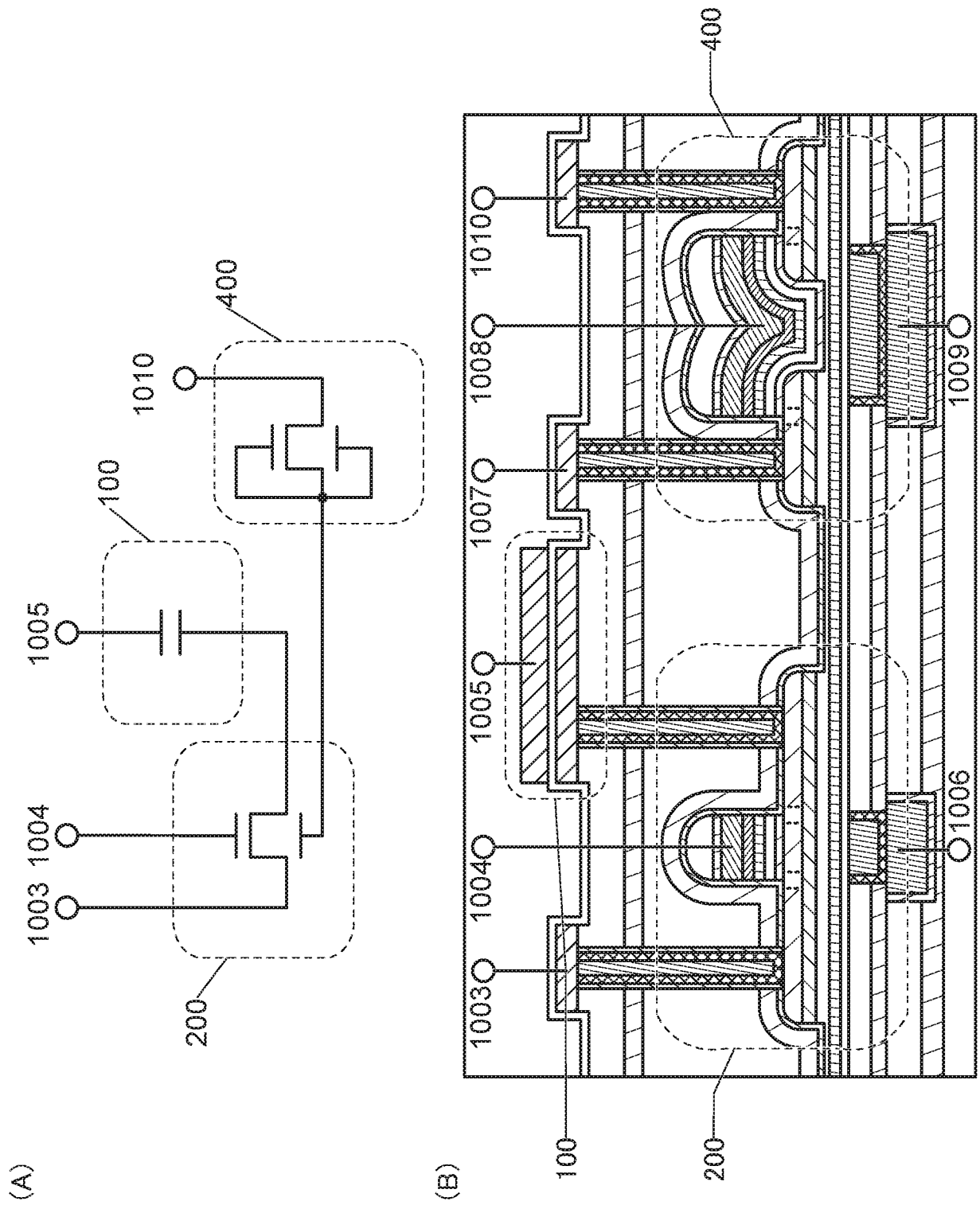
[図31]



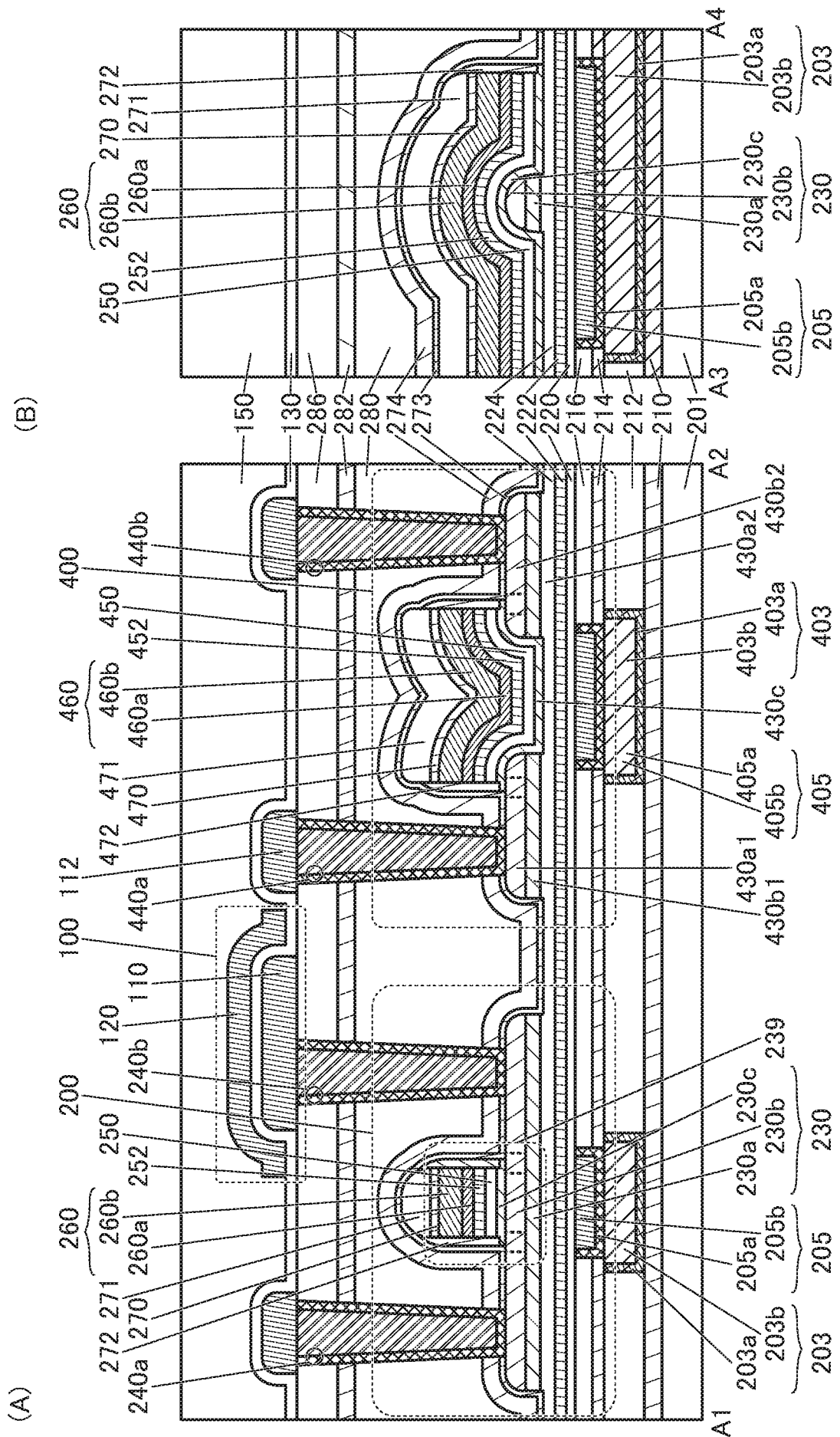
[ 32]

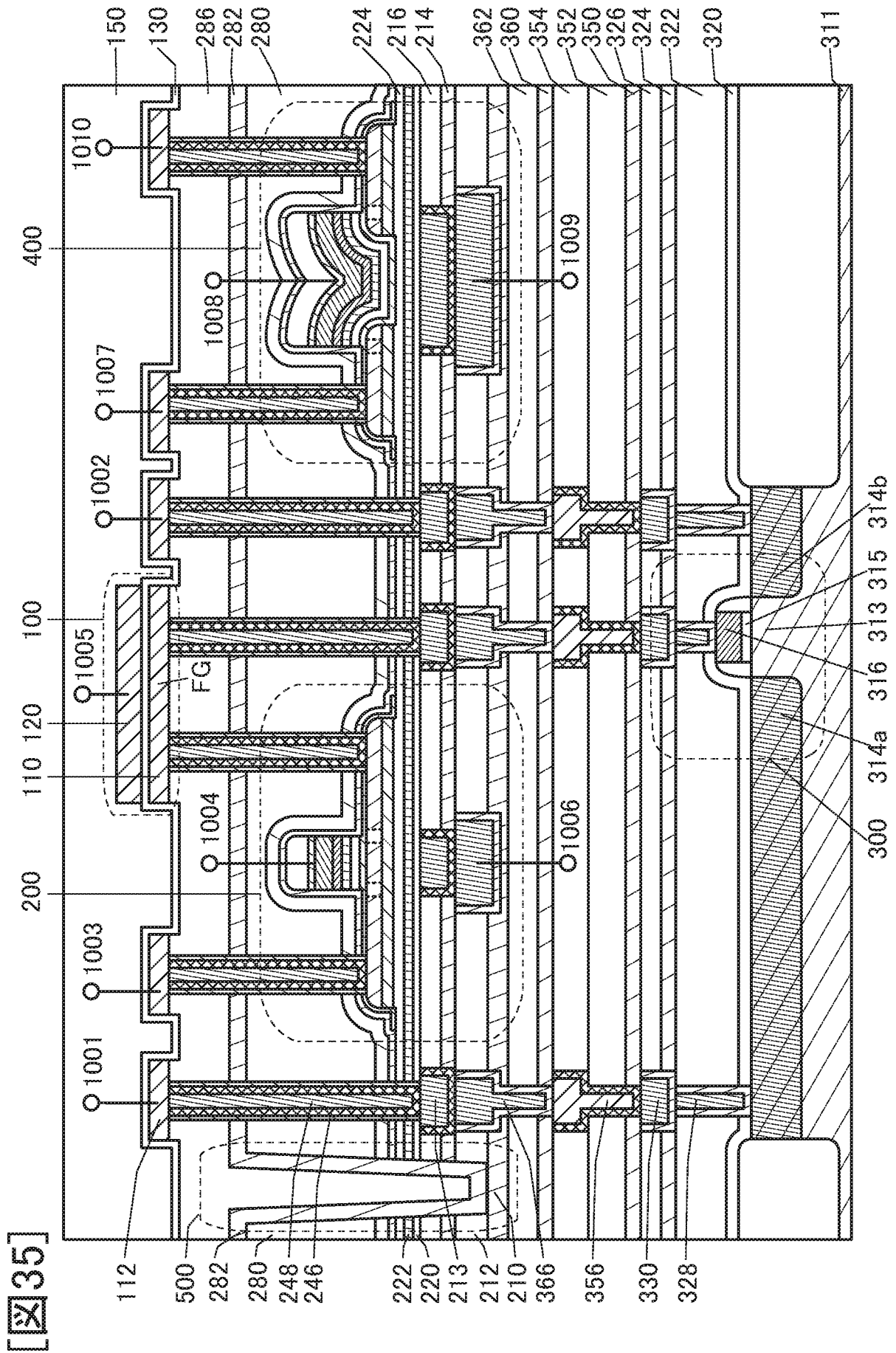


33

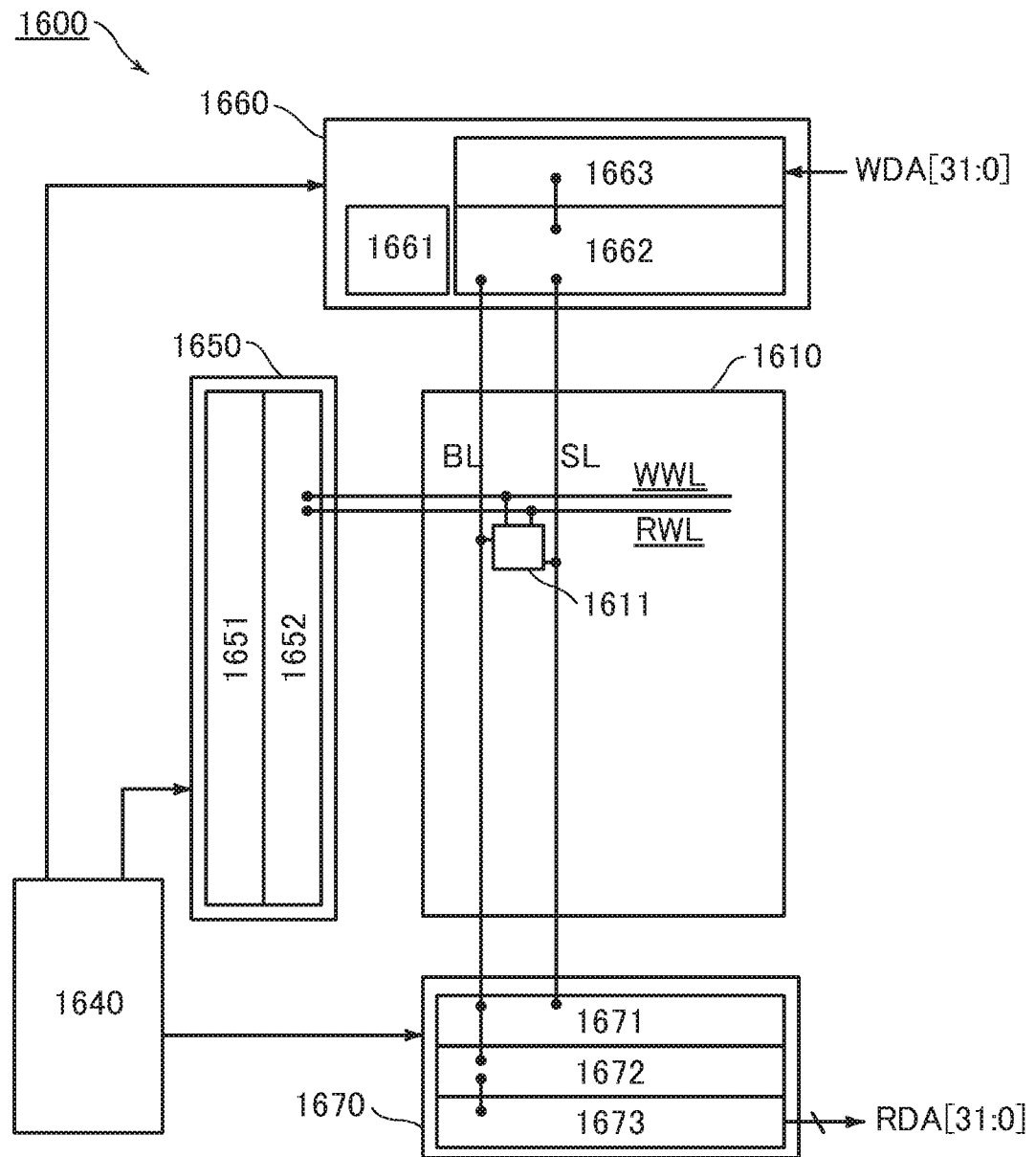


34



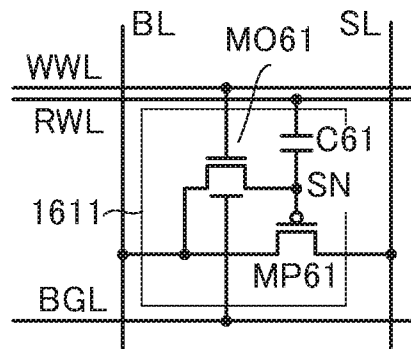


[図 36]

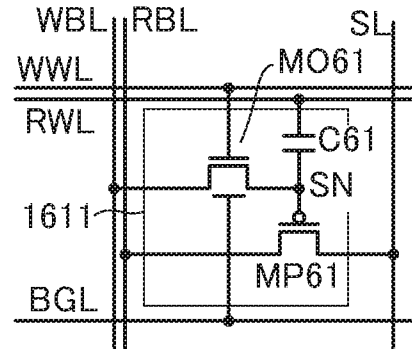


[図37]

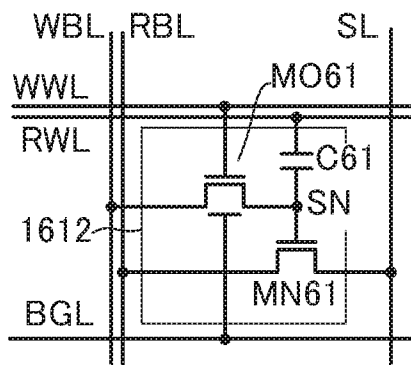
(A)



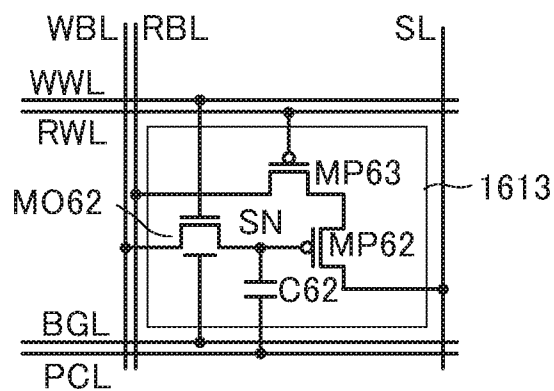
(B)



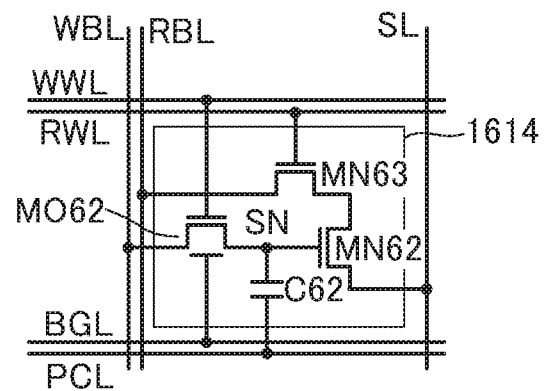
(C)

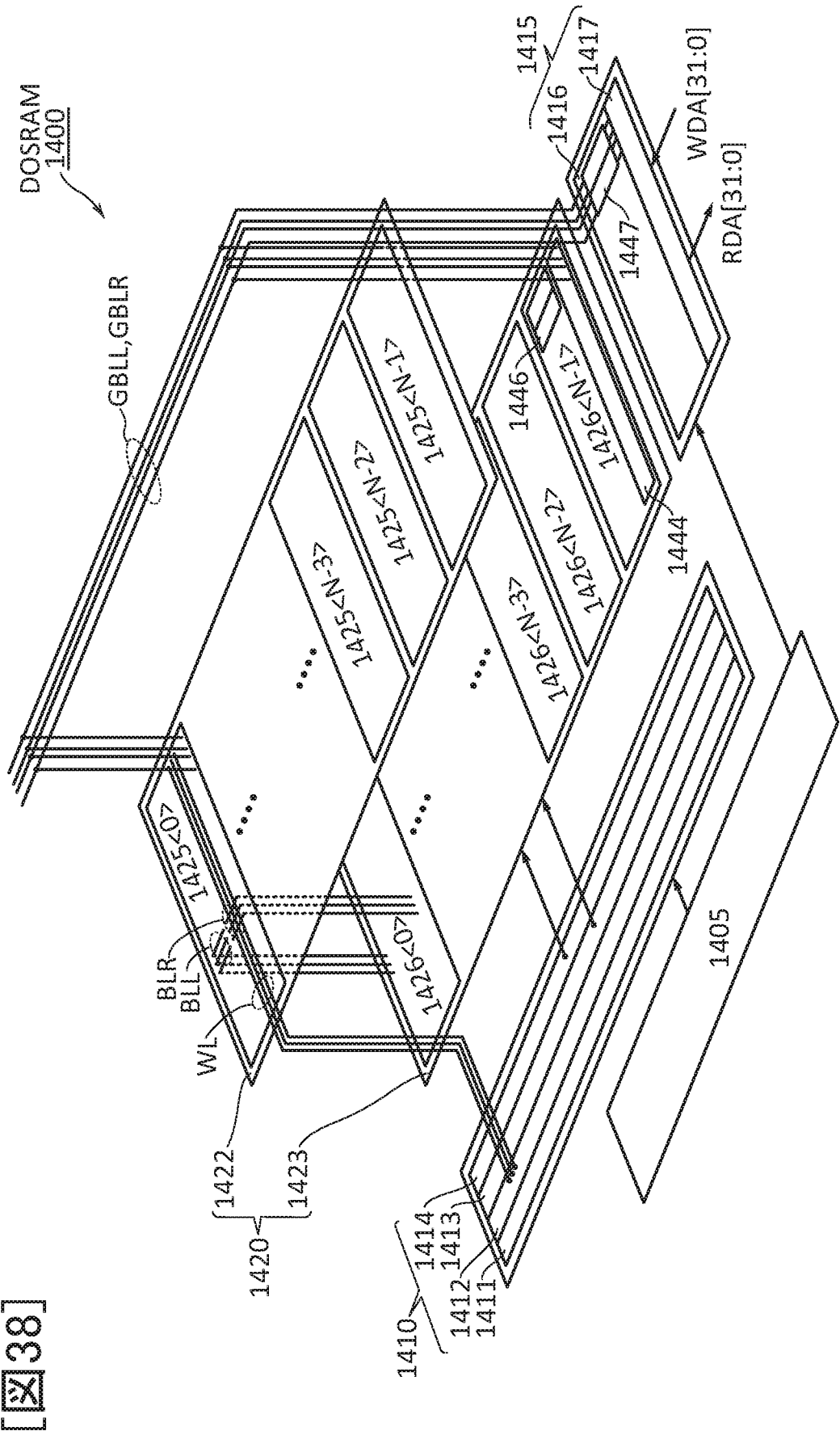


(D)



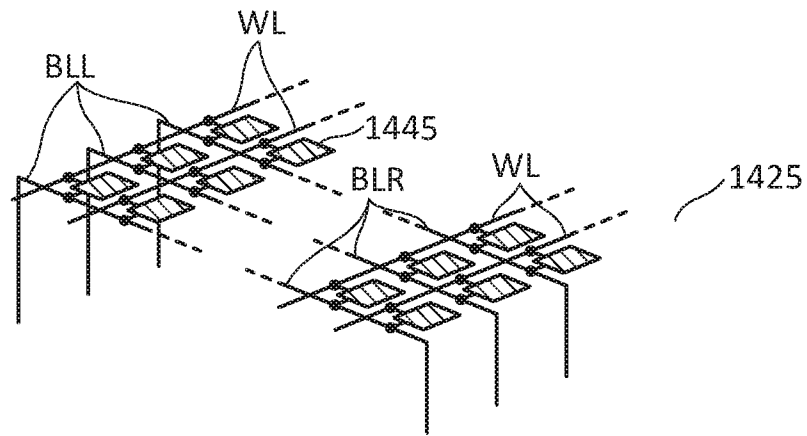
(E)



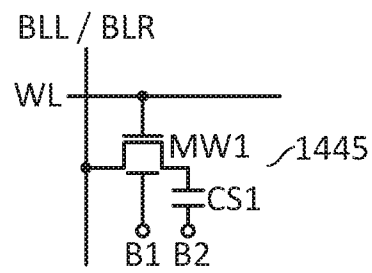


[図39]

(A)

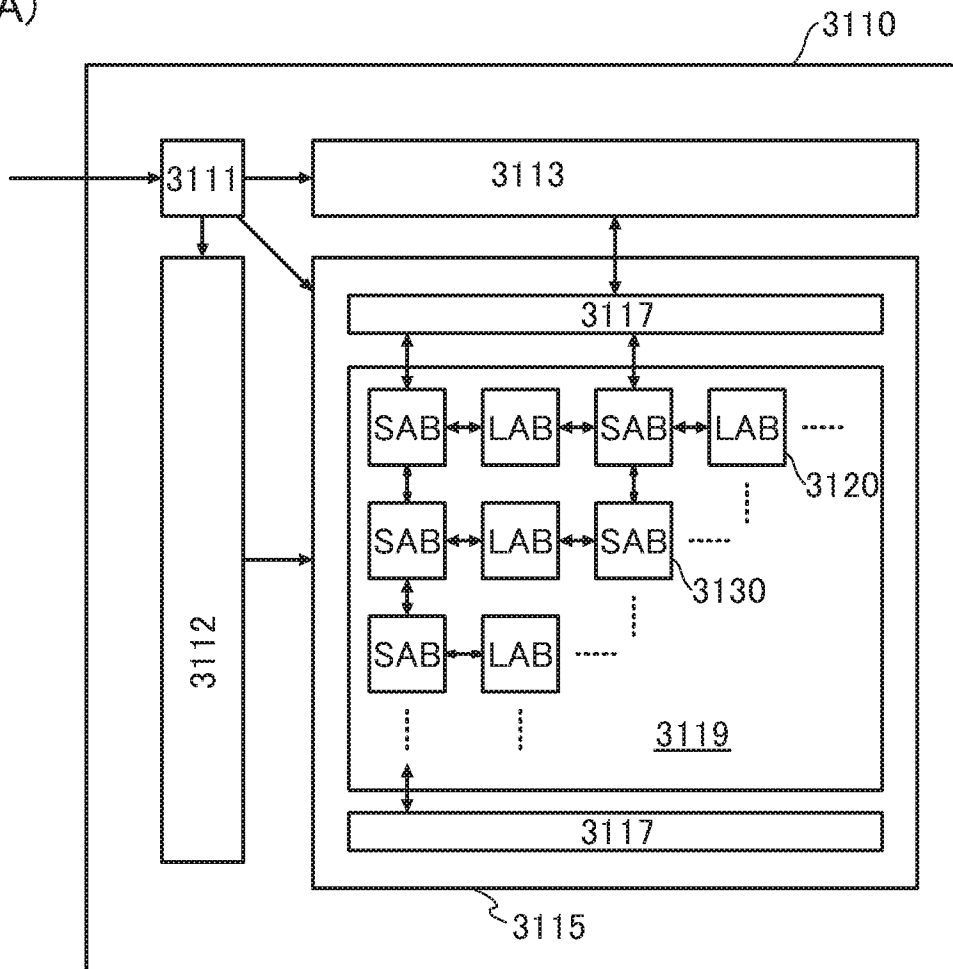


(B)

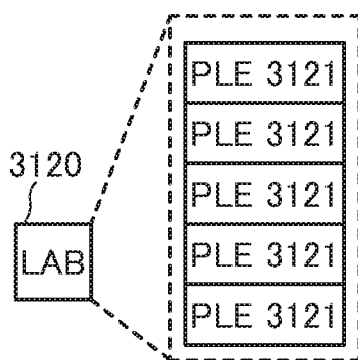


[図40]

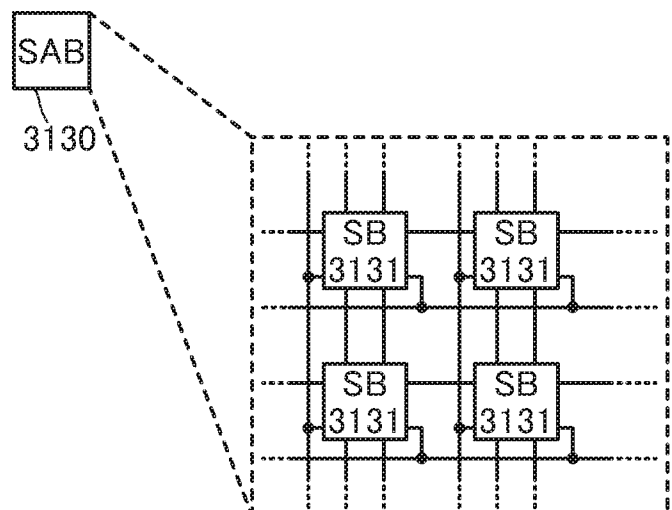
(A)



(B)

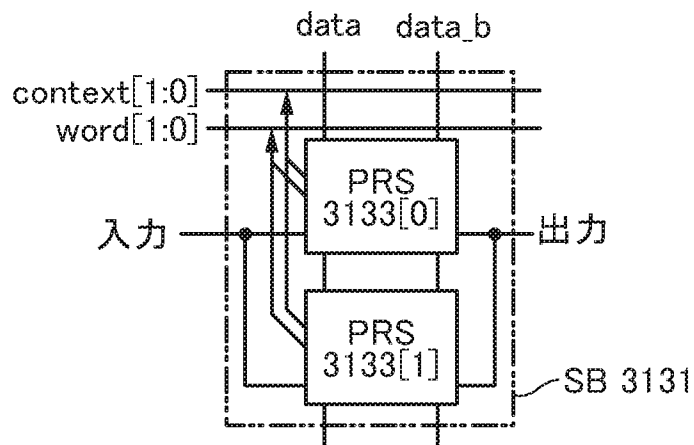


(C)

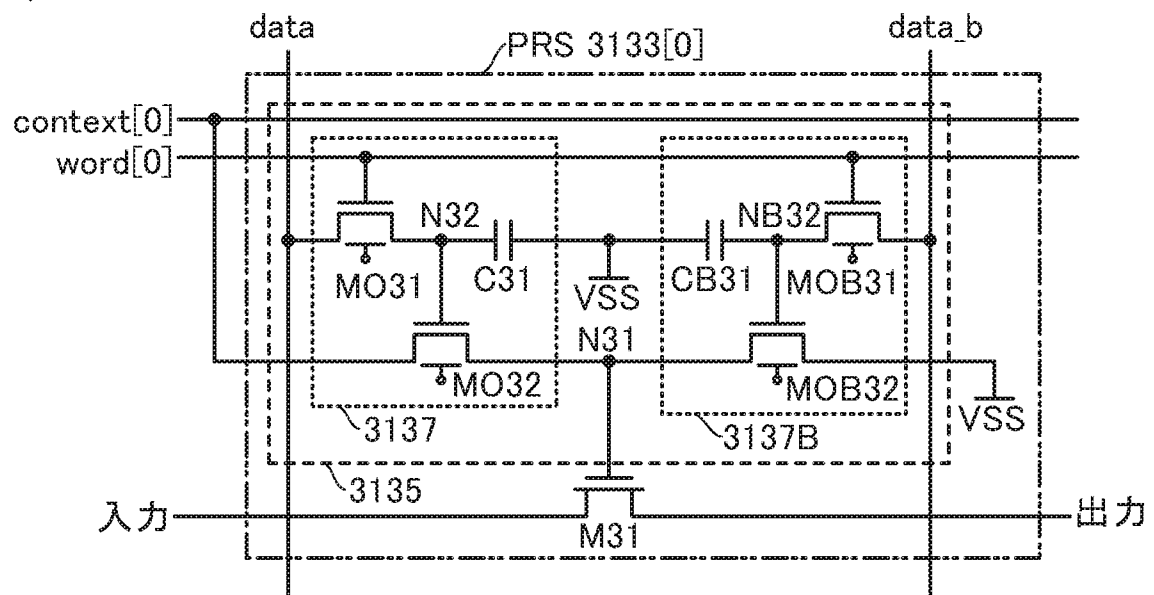


[図41]

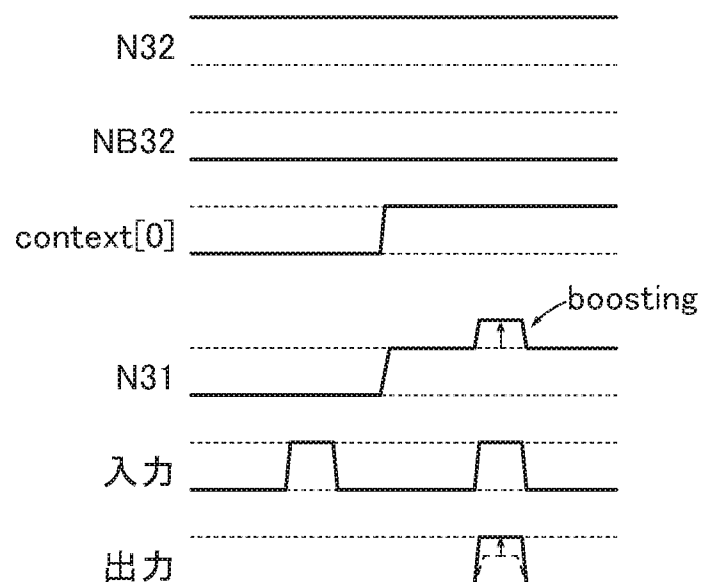
(A)



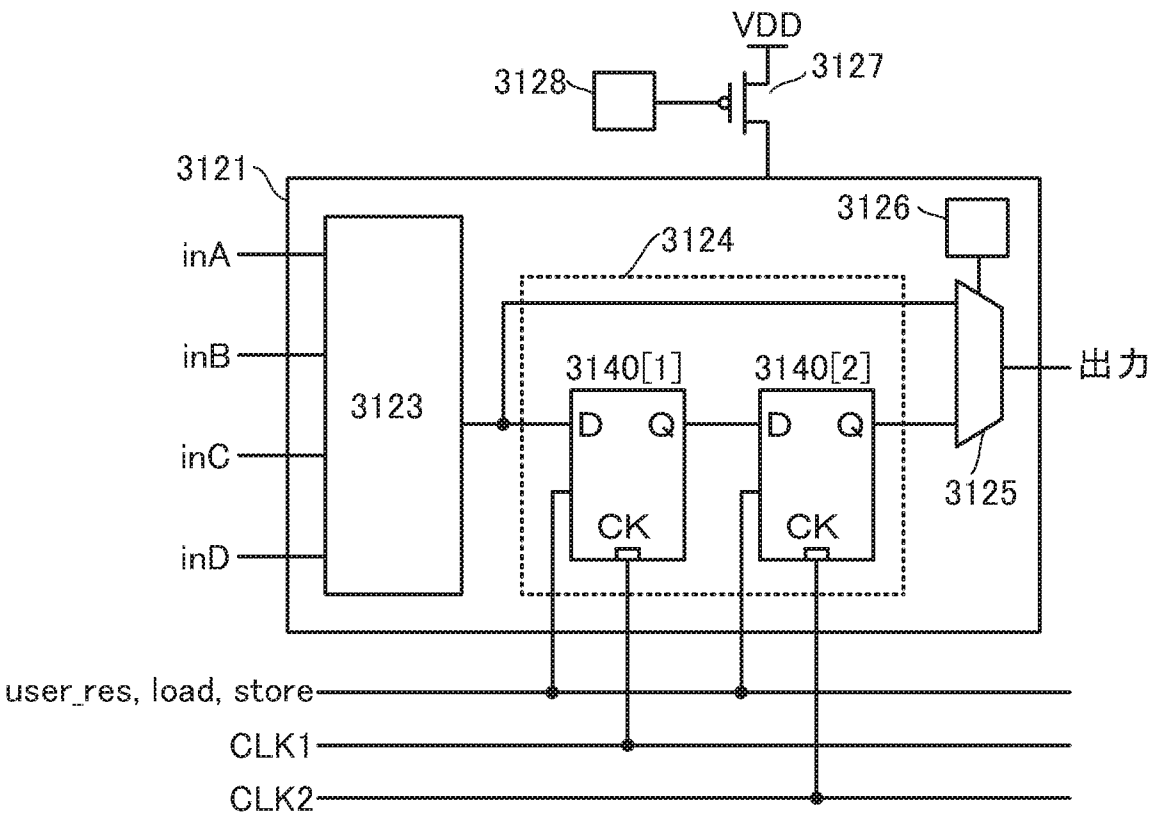
(B)



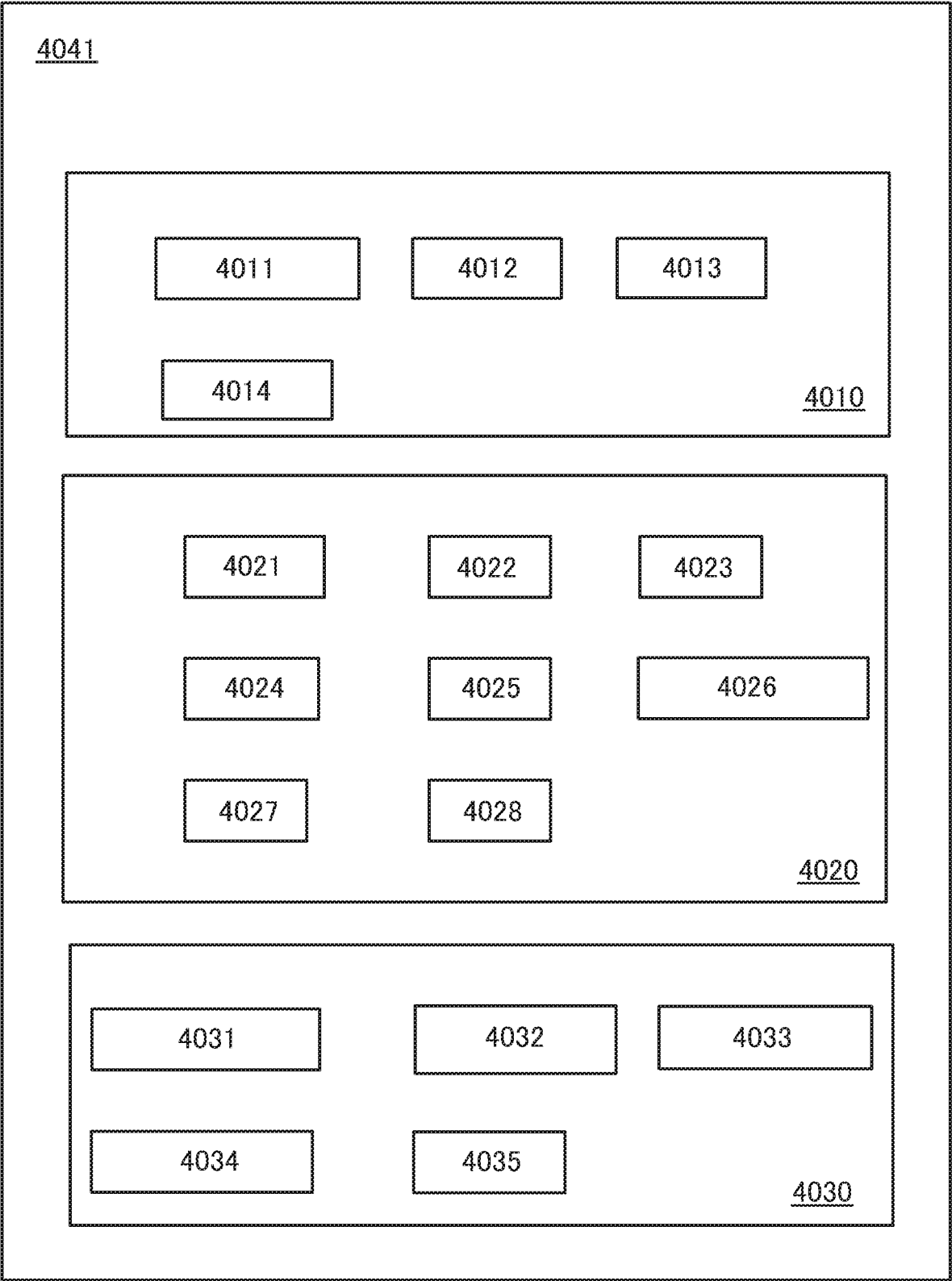
(C)



[図42]

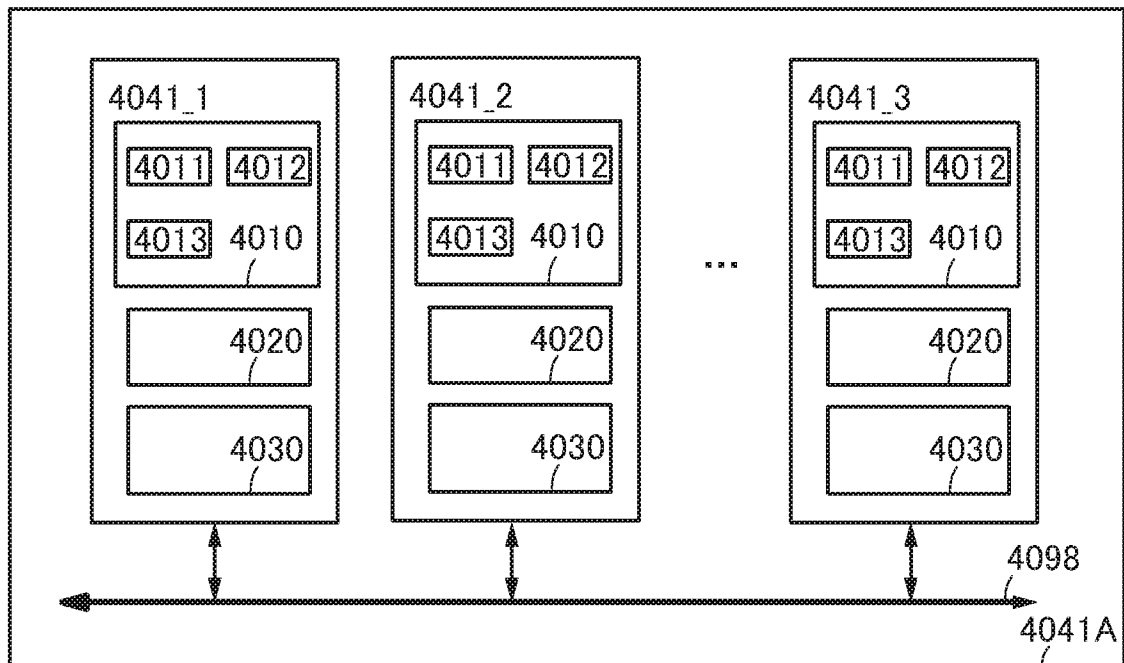


[図 44]

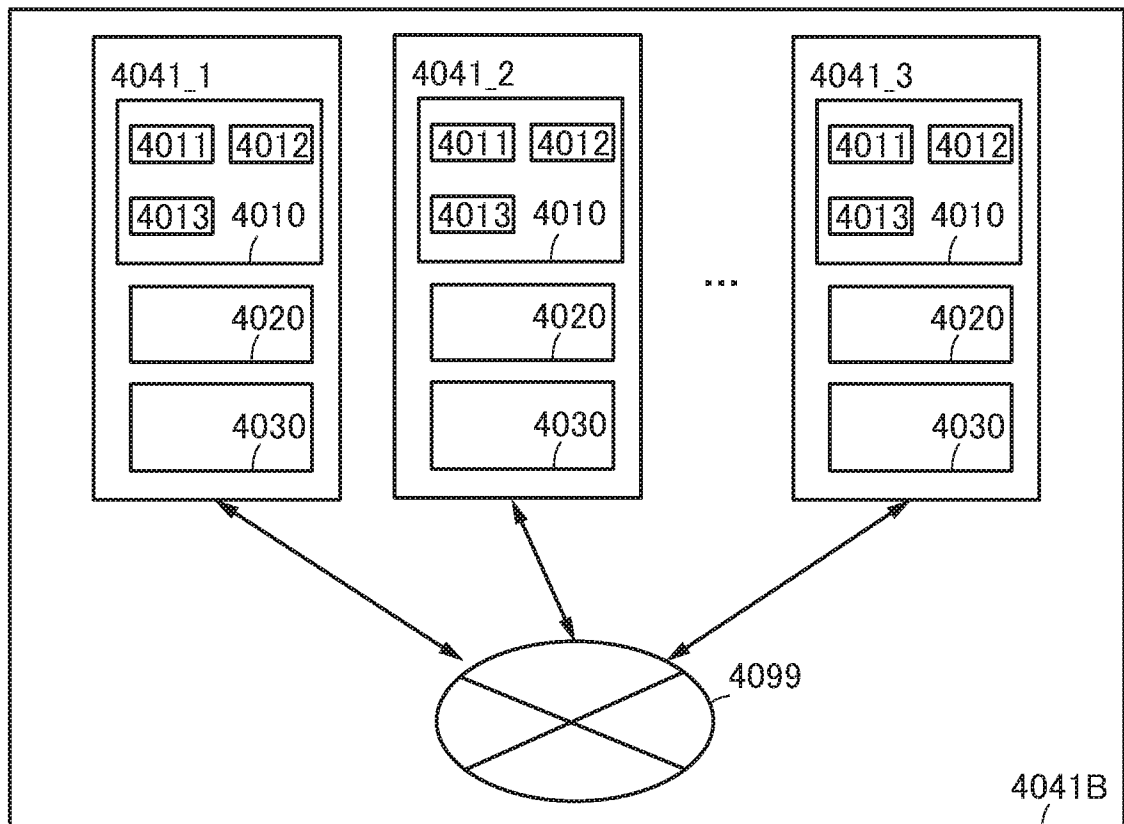


[図45]

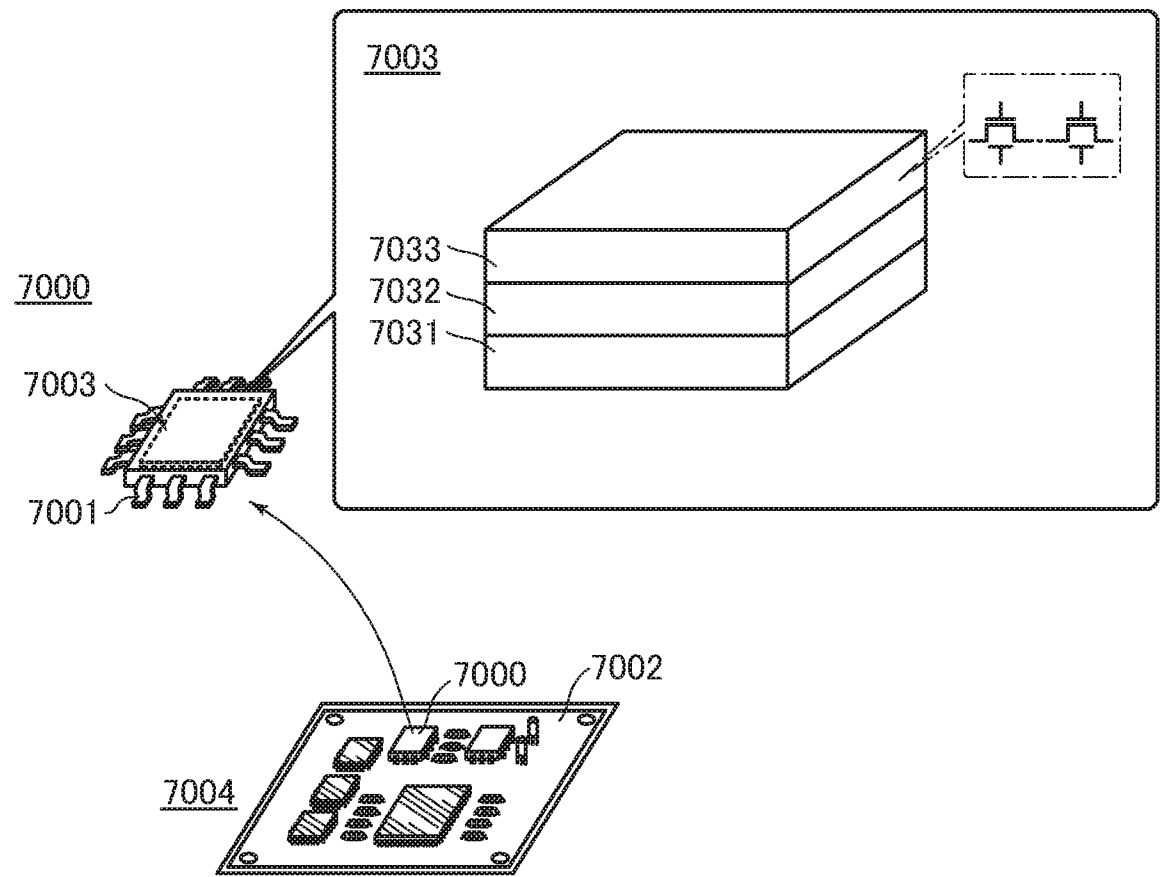
(A)



(B)

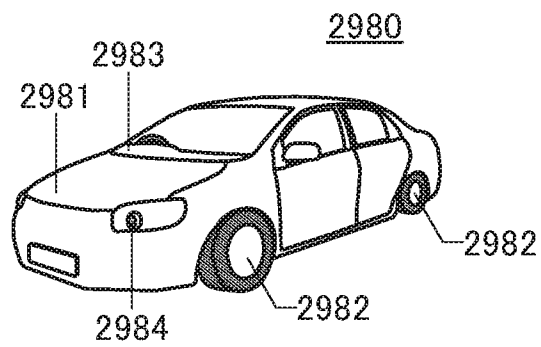


[図46]

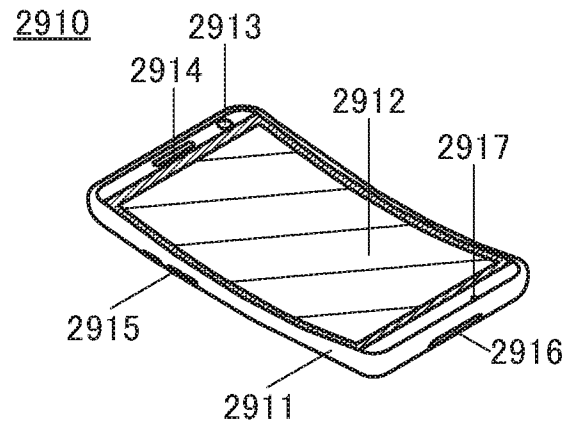


[図47]

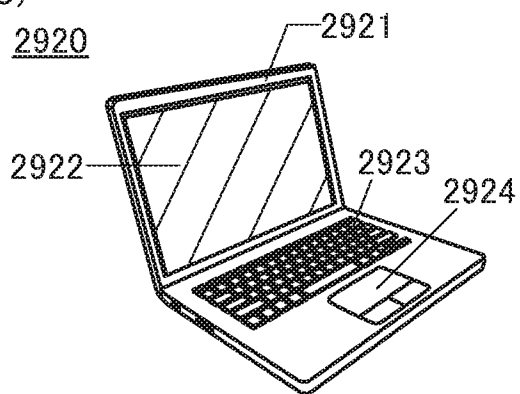
(A)



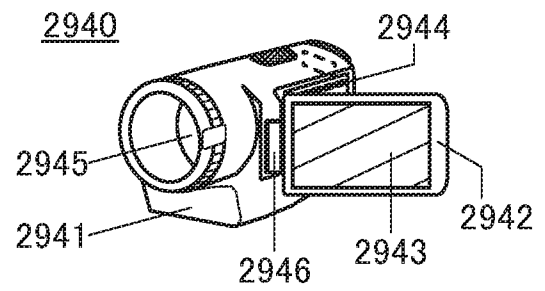
(B)



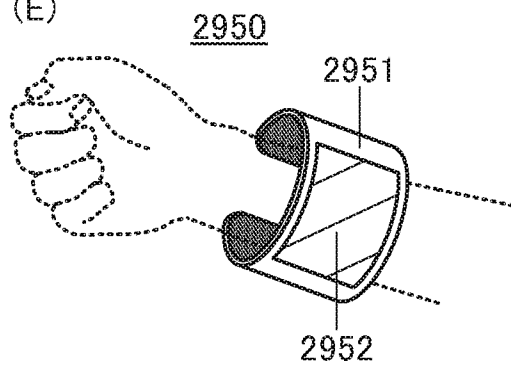
(C)



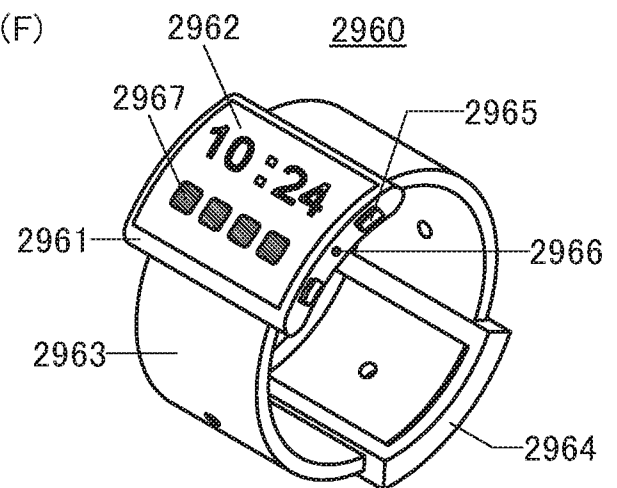
(D)



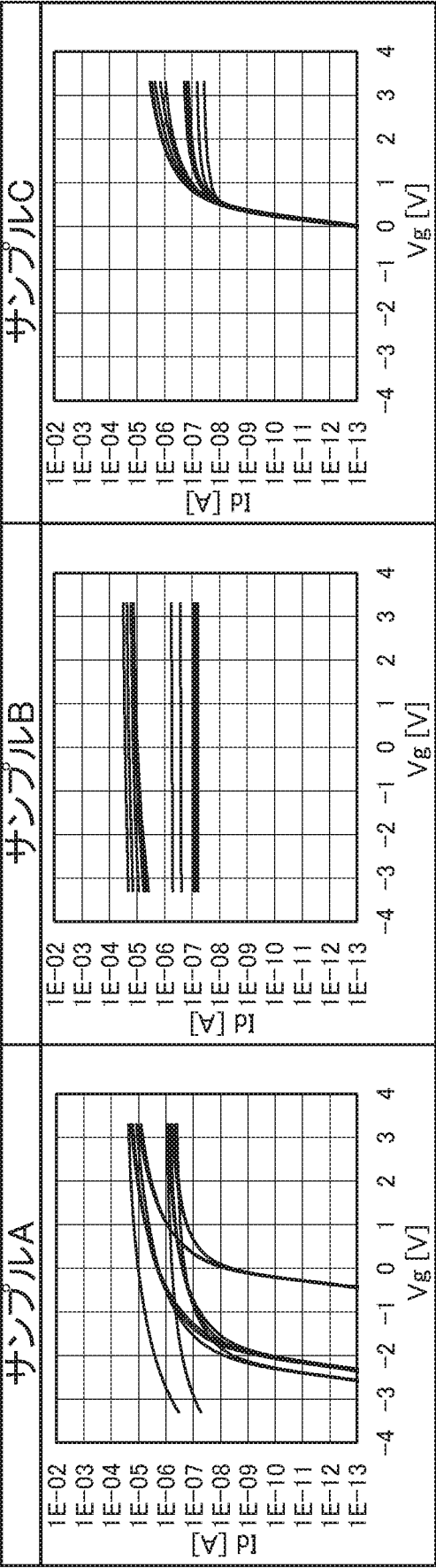
(E)



(F)



[図48]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051416

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/336 (2006.01) i, H01L21/8234 (2006.01) i, H01L21/8242 (2006.01) i, H01L27/088 (2006.01) i, H01L27/108 (2006.01) i, H01L27/1156 (2017.01) i, H01L29/786 (2006.01) i, H01L29/788 (2006.01) i, H01L29/792 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/336, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/1156, H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-28269 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 02 February 2017, paragraphs [0102], [0268]-[0298], fig. 18, 19 & US 2017/0018647 A1, paragraphs [0150], [0317]-[0347], fig. 18, 19	1-11
A	JP 2016-46530 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 04 April 2016 & US 2016/0056043 A1	1-11
A	JP 2015-15458 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 22 January 2015 & US 2014/0361289 A1	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 May 2018 (18.05.2018)

Date of mailing of the international search report
29 May 2018 (29.05.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/051416

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2013-219336 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 24 October 2013 & US 2013/0244374 A1	1-11
P, A	JP 2017-143255 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 17 August 2017 & US 2017/0229486 A1 & CN 107046040 A & KR 10-2017-0093709 A	1-11
P, A	JP 2018-11294 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 January 2018 & US 2018/0005668 A1 & KR 10-2018-0003432 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/336, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/1156, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2017-28269 A（株式会社半導体エネルギー研究所）2017.02.02, 段落 0102, 0268-0298、図 18, 19 & US 2017/0018647 A1, 段落 0150, 0317-0347、図 18, 19	1-11
A	JP 2016-46530 A（株式会社半導体エネルギー研究所）2016.04.04, & US 2016/0056043 A1	1-11
A	JP 2015-15458 A（株式会社半導体エネルギー研究所）2015.01.22, & US 2014/0361289 A1	1-11

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.05.2018

国際調査報告の発送日

29.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岩本 勉

電話番号 03-3581-1101 内線 3516

5F

9355

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2013-219336 A (株式会社半導体エネルギー研究所) 2013. 10. 24, & US 2013/0244374 A1	1-11
P, A	JP 2017-143255 A (株式会社半導体エネルギー研究所) 2017. 08. 17, & US 2017/0229486 A1 & CN 107046040 A & KR 10-2017-0093709 A	1-11
P, A	JP 2018-11294 A (株式会社半導体エネルギー研究所) 2018. 01. 18, & US 2018/0005668 A1 & KR 10-2018-0003432 A	1-11