

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5110821号
(P5110821)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl. F I

GO3F 1/00 (2012.01)

HO1L 21/336 (2006.01)

HO1L 29/786 (2006.01)

GO2F 1/1368 (2006.01)

HO1L 21/027 (2006.01)

GO3F 1/00 Z

HO1L 29/78 627C

HO1L 29/78 617L

HO1L 29/78 616A

GO2F 1/1368

請求項の数 4 (全 44 頁) 最終頁に続く

(21) 出願番号	特願2006-216585 (P2006-216585)	(73) 特許権者	000153878
(22) 出願日	平成18年8月9日 (2006.8.9)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-72452 (P2007-72452A)		神奈川県厚木市長谷398番地
(43) 公開日	平成19年3月22日 (2007.3.22)	(72) 発明者	大沼 英人
審査請求日	平成21年8月3日 (2009.8.3)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2005-234791 (P2005-234791)		半導体エネルギー研究所内
(32) 優先日	平成17年8月12日 (2005.8.12)	(72) 発明者	永井 雅晴
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		審査官	新井 重雄
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

半導体層上に絶縁膜を形成し、
前記絶縁膜上に第1の導電膜を形成し、
前記第1の導電膜上に第2の導電膜を形成し、
前記第2の導電膜上に、半透過部を備えた露光マスクを用いて、第1の領域と、前記第1の領域の側部に前記第1の領域より膜厚の薄い第2の領域とを有するレジストパターンを形成し、
前記レジストパターンを用いて前記第1の導電膜及び前記第2の導電膜のエッチングを行って、前記第1の領域の下方に、前記第1の導電膜及び前記第2の導電膜を有する第3の領域と、前記第2の領域の下方に、前記第1の導電膜を有する一対の第4の領域とを有するゲート電極を形成し、
前記レジストパターンを除去し、
前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記ゲート電極の外側にソース領域及びドレイン領域と、前記一対の第4の領域の前記第1の導電膜を通過させて前記一対の第4の領域と重なる領域に第1のLDD領域及び第2のLDD領域とを形成し、
前記露光マスクは、前記半透過部における遮光材料のライン幅Lと遮光材料間のスペース幅Sとの和が、露光装置の解像度をn、投影倍率を1/m(m>1)とすると、
$$(n/3) \times m \leq L + S \leq (3n/2) \times m$$
の条件式を満たし、かつ前記n

10

20

、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすことを特徴とする半導体装置の作製方法。

【請求項 2】

半導体層上に絶縁膜を形成し、

前記絶縁膜上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 2 の導電膜上に、半透過部を備えた露光マスクを用いて、第 1 の領域と、前記第 1 の領域の側部に前記第 1 の領域より膜厚の薄い第 2 の領域とを有するレジストパターンを形成し、

前記レジストパターンを用いて前記第 1 の導電膜及び前記第 2 の導電膜のエッチングを行って、前記第 1 の領域の下方に、前記第 1 の導電膜及び前記第 2 の導電膜を有する第 3 の領域と、前記第 2 の領域の下方に、前記第 1 の導電膜を有する一対の第 4 の領域とを有するゲート電極を形成し、

前記レジストパターンを除去し、

前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記ゲート電極の外側にソース領域及びドレイン領域と、前記一対の第 4 の領域の前記第 1 の導電膜を通過させて前記一対の第 4 の領域と重なる領域に第 1 の LDD 領域及び第 2 の LDD 領域とを形成し、

前記露光マスクは、前記半透過部における遮光材料のライン幅 L と遮光材料間のスペース幅 S との和が、露光装置の解像度を n 、投影倍率を $1/m$ ($m \geq 1$) とすると、

$(2n/3) \times m \leq L + S \leq (6n/5) \times m$ の条件式を満たし、かつ前記 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすことを特徴とする半導体装置の作製方法。

【請求項 3】

半導体層上に絶縁膜を形成し、

前記絶縁膜上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 2 の導電膜上に、半透過部を備えた露光マスクを用いて、第 1 の領域と、前記第 1 の領域の側部に前記第 1 の領域より膜厚の薄い第 2 の領域とを有し、前記第 1 の領域は、中央よりずれた位置にある形状のレジストパターンを形成し、

前記レジストパターンを用いて前記第 1 の導電膜及び前記第 2 の導電膜のエッチングを行って、前記第 1 の領域の下方に、前記第 1 の導電膜及び前記第 2 の導電膜を有する第 3 の領域と、前記第 2 の領域の下方に、前記第 1 の導電膜を有する一対の第 4 の領域とを有するゲート電極を形成し、

前記レジストパターンを除去し、

前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記ゲート電極の外側にソース領域及びドレイン領域と、前記一対の第 4 の領域の前記第 1 の導電膜を通過させて前記一対の第 4 の領域と重なる領域に第 1 の LDD 領域及び第 2 の LDD 領域とを形成し、

前記第 1 の LDD 領域は、前記第 2 の LDD 領域よりも幅が広く、

前記露光マスクは、前記半透過部における遮光材料のライン幅 L と遮光材料間のスペース幅 S との和が、露光装置の解像度を n 、投影倍率を $1/m$ ($m \geq 1$) とすると、

$(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ前記 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすことを特徴とする半導体装置の作製方法。

【請求項 4】

半導体層上に絶縁膜を形成し、

前記絶縁膜上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 2 の導電膜上に、半透過部を備えた露光マスクを用いて、第 1 の領域と、前記第

1の領域の側部に前記第1の領域より膜厚の薄い第2の領域とを有し、前記第1の領域は、中央よりずれた位置にある形状のレジストパターンを形成し、

前記レジストパターンを用いて前記第1の導電膜及び前記第2の導電膜のエッチングを行って、前記第1の領域の下方に、前記第1の導電膜及び前記第2の導電膜を有する第3の領域と、前記第2の領域の下方に、前記第1の導電膜を有する一対の第4の領域とを有するゲート電極を形成し、

前記レジストパターンを除去し、

前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記ゲート電極の外側にソース領域及びドレイン領域と、前記一対の第4の領域の前記第1の導電膜を通過させて前記一対の第4の領域と重なる領域に第1のLDD領域及び第2のLDD領域とを形成し、

前記第1のLDD領域は、前記第2のLDD領域よりも幅が広く、

前記露光マスクは、前記半透過部における遮光材料のライン幅Lと遮光材料間のスペース幅Sとの和が、露光装置の解像度をn、投影倍率を1/m(m>1)とすると、

$$\left(\frac{2n}{3} \right) \times m \leq L + S \leq \left(\frac{6n}{5} \right) \times m$$
の条件式を満たし、かつ前記n、m、Lの関係は、 $L < \left(\frac{2n}{3} \right) \times m$ を満たすことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フォトリソグラフィ工程で用いる露光マスク、およびそれを用いた薄膜トランジスタ（以下、TFTという）で構成される回路を有する半導体装置の作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

薄膜トランジスタ（以下、TFTという）を備えた半導体装置を作製する上でフォトレジストからなるマスクを形成するには前後に多くの工程を必要とする。例えば、基板洗浄、レジスト材料塗布、プリベーク、露光、現像及びポストベーク等である。

【0004】

また、前記フォトレジストからなるマスクはエッチング処理またはドーピング処理後に除去する必要があり、除去する際にも多くの工程を要する。例えば、 O_2 、 H_2O あるいは CF_4 などから選ばれたガスによるアッシング処理、各種薬液を利用した剥離処理あるいは前記アッシング処理と薬液を用いた処理とを組み合わせた剥離処理などがある。この時、薬液を用いた剥離処理には薬液処理、純水でのリンス処理、基板乾燥等の工程が必要となる。

そのためフォトレジストからなるマスクを用いることは半導体装置の製造工程数を増加させてしまうという問題があった。処理期間の短期化およびコスト低減のためにフォトリソグラフィ工程数の削減、すなわちフォトリソグラフィ工程で用いるマスク枚数の削減が求められている。

【0005】

このマスクの枚数を削減する方法として、露光光を透過可能な透光性基板と、透光性基板に形成されたクロム等からなる遮光部と、所定の線幅で遮光材料からなるラインおよびスペースが繰り返し形成された光強度低減機能を有する半透過部とを備えた露光マスクを用いた露光方法が提案されている。ラインおよびスペースで形成された半透過部を備えた露光マスクをグレートーン露光用マスクともいい、この露光マスクを用いた露光をグレートーン露光ともいう。この露光マスクを用いることで1つのフォトレジスト層を少なくとも

10

20

30

40

50

2つの異なる膜厚に現像することができる。そして、このフォトリソグロフィをアッシングしながら被エッチング層をエッチングすることで、1回のフォトリソグロフィ工程で2層の被エッチング層をそれぞれ別のパターンに形成することができる。これによれば1回分のフォトリソグロフィ工程、すなわち1枚のマスクの枚数を削減することができる（例えば、特許文献1参照）。

【0006】

この半透過部を備えた露光マスクは、例えば投影倍率が等倍の露光装置の場合、半透過部のラインおよびスペースの幅がそれぞれ露光装置の解像度（解像限界）より小さく形成されている。これにより、ラインおよびスペースは基板上で解像せずにぼけるため、半透過部を通過した露光光の基板上における露光量は半透過部のほぼ全体にわたってほぼ均一化

10

【特許文献1】特開2002-151523

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、露光装置が高い解像度を有する場合、ラインおよびスペースが解像度より小さく形成されていても、フォトリソグロフィ層の膜厚を薄く形成できないことや、膜厚は薄くすることができても均一な厚さに形成することができないことがあった。

図13にその例を示す。図13(A)は露光マスクの断面図を模式的に示したものであり、図13(B)はこの露光マスクを用いて露光および現像を行って得られたフォトリソグロフィ層の断面写真を示す。図13(A)の露光マスクの位置と、図13(B)のフォトリソグロフィ層の断面写真の位置とは、ほぼ対応している。投影倍率は等倍、解像度は $1.5\mu\text{m}$ の露光装置を用いた。図13(A)に示すようにラインおよびスペースが解像度より小さい露光マスクを用いた場合でも、膜厚の薄い領域を有し、かつ膜厚の薄い領域においてその膜厚が均一なフォトリソグロフィ層を形成できないことがあった。図13(A)の露光マスクにおいて、ラインおよびスペースの幅がライン幅 $1.0\mu\text{m}$ 、スペース幅 $0.5\mu\text{m}$ の領域では、フォトリソグロフィ層の膜厚が薄く形成されず、遮光部とほぼ同じ厚い膜厚に形成されてしまった。

20

【0008】

そこで本発明は、TFTを備えた半導体装置の生産性向上あるいはコスト低減を目的として、膜厚の薄い領域を有するフォトリソグロフィ層を形成することができ、かつ膜厚の薄い領域においてもその膜厚を均一に形成することができる露光マスクを提供する。そして、その露光マスクを用いてTFT基板を製造するために必要なフォトリソグロフィ工程の回数（マスク枚数）を削減した半導体装置の作製方法を提供する。

【課題を解決するための手段】

【0009】

上記課題を解決するため、本発明は、透過部と、遮光部と、ラインおよびスペースが繰り返し形成された光強度低減機能を有する半透過部とを備えた露光マスクにおいて、半透過部における遮光材料のライン幅 L と遮光材料間のスペース幅 S との和は、露光装置の解像度を n 、投影倍率を $1/m$ （ $m \geq 1$ ）とすると、 n 、 m との関係が、 $(n/3) \times m$

40

$L + S < (3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たす露光マスクを用いることを特徴とする。

【0010】

望ましくは、 L と S との和は、 n 、 m との関係が、 $(2n/3) \times m < L + S < (6n/5) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たす露光マスクを用いることを特徴とする。

【0011】

例えば、露光装置の解像度 n が $1.5\mu\text{m}$ 、投影倍率 $1/m$ が等倍（ $m = 1$ ）のとき、半透過部のライン幅 L は $L < 1.0\mu\text{m}$ を満たす。

50

【 0 0 1 2 】

露光マスクは、フォトマスクあるいはレチクルとも呼ばれる。露光装置は、投影型の露光装置を用いることができる。投影倍率は、等倍の露光装置を用いることもできるし、投影倍率（縮小倍率）が $1/m$ 倍の縮小投影型露光装置を用いることもできる。

【 0 0 1 3 】

解像度 n は、被露光面における解像限界の大きさを示しているのに対し、ライン幅 L およびスペース幅 S は、露光マスク上の大きさである。そのため、投影倍率が等倍の露光装置を用いたときは、解像度 n と、 L 、 S との大小関係を単純に比較することができるが、投影倍率（縮小倍率）が $1/m$ 倍の縮小投影型露光装置を用いたときは、解像度 n と、 L 、 S との大小関係を単純に比較することはできない。この場合は、投影倍率（縮小倍率） $1/m$ の逆数 m を解像度 n に乗じることによって、縮小投影型露光装置においても解像度 n と、 L 、 S との大小関係の比較を行うことができる。上の関係式において解像度 n に投影倍率（縮小倍率）の逆数 m ($m-1$) を乗じているのは、このような理由による。投影倍率が等倍の露光装置を用いるときは、投影倍率 $1/m$ の逆数 m は 1 である。

10

【 0 0 1 4 】

また、本発明は、上記露光マスクを用いて、膜厚の厚い第 1 の領域と、該第 1 の領域の側部に該第 1 の領域より膜厚の薄い第 2 の領域を有するレジストパターンを形成し、前記レジストパターンを用いて被エッチング膜を選択的にエッチングすることの特徴とする。

【 0 0 1 5 】

上記露光マスクの半透過部は、縞状（ストライプ状、スリット状）にラインおよびスペースが繰り返し設けられているものを用いることができる。また、遮光材料からなる矩形パターンが、格子状または幾何学的に周期的に配置されたものを用いることもできる。また、一定の幅を有していればその他のパターンを用いることもできる。また、半透過部を構成するラインは遮光材料からなり、遮光部と同じ遮光材料を用いて設けることができる。

20

【 0 0 1 6 】

上の関係を満たす露光マスクは、その半透過部が遮光部の側部に配置されるものに用いることが特に有効である。

【 0 0 1 7 】

また、本発明の半導体装置の作製方法は、半導体層上に絶縁膜を形成し、前記絶縁膜上に導電膜を形成し、前記導電膜上に、半透過部を備えた露光マスクを用いて、膜厚の厚い第 1 の領域と、該第 1 の領域の側部に該第 1 の領域より膜厚の薄い第 2 の領域を有するレジストパターンを形成し、前記レジストパターンを用いて前記導電膜のエッチングを行って、膜厚の厚い第 1 の領域と、該第 1 の領域の側部に該第 1 の領域より膜厚の薄い第 2 の領域を有するゲート電極を形成し、前記ゲート電極をマスクとして前記半導体層に不純物元素を注入して、前記ゲート電極の外側にソース領域及びドレイン領域と、前記ゲート電極の前記第 2 の領域を通過させて前記ゲート電極の前記第 2 の領域と重なる領域に第 1 の不純物領域及び第 2 の不純物領域とを形成する。前記レジストパターンの形成は、前記半透過部における遮光材料のライン幅 L と遮光材料間のスペース幅 S との和が、露光装置の解像度を n 、投影倍率を $1/m$ ($m-1$) とすると、 $(n/3) \times m$ $L + S$
 $(3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3)$
 $\times m$ を満たす露光マスクを用いて行うことを特徴とする。

30

40

【 0 0 1 8 】

望ましくは、 L と S との和は、 n 、 m との関係が、 $(2n/3) \times m$ $L + S$
 $(6n/5) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3)$
 $\times m$ を満たす露光マスクを用いることを特徴とする。

【 0 0 1 9 】

例えば、露光装置の解像度 n が $1.5 \mu\text{m}$ 、投影倍率 $1/m$ が等倍 ($m=1$) のとき、半透過部のライン幅 L は $L < 1.0 \mu\text{m}$ を満たす。

【 0 0 2 0 】

上記第 1 及び第 2 の不純物領域は、ソース領域及びドレイン領域よりも低い濃度で n 型ま

50

たは p 型の不純物元素を含むことを特徴とする。

【 0 0 2 1 】

実際に上の関係を満たす露光マスクを用いて露光および現像を行った例を図 1 2 に示す。図 1 2 (A) は露光マスクの断面図を模式的に示したものであり、図 1 2 (B) はこの露光マスクを用いて露光および現像を行って得られたフォトレジスト層の断面写真を示す。図 1 2 (A) の露光マスクの位置と、図 1 2 (B) のフォトレジスト層の断面写真の位置とは、ほぼ対応している。投影倍率は等倍、解像度は $1.5 \mu\text{m}$ の露光装置を用いた。図 1 2 (A) の露光マスクにおいて、ラインおよびスペースの幅はライン幅 $0.5 \mu\text{m}$ 、スペース幅 $1.0 \mu\text{m}$ であり、ラインおよびスペースは上の関係を満たしている。この露光マスクを用いて露光および現像を行うと、図 1 2 (B) に示すような膜厚の薄い領域を有し、かつ膜厚の薄い領域においてその膜厚がほぼ均一なフォトレジスト層を形成することができた。

10

【 発明の効果 】

【 0 0 2 2 】

上の関係を満たす半透過部を備えた露光マスクを用いて露光することによって、半透過部を通過した露光光の被露光面における露光量は半透過部においてほぼ均一化された光量となり、半透過部のフォトレジスト層の膜厚を薄く、かつその膜厚を均一に形成することができる。このフォトレジスト層の膜厚が薄い部分を使って被エッチング層をエッチングすることができる。フォトレジスト層の膜厚が薄い部分は、膜厚が厚い部分と比べて被エッチング層の膜厚を薄く形成することができる。フォトレジスト層の膜厚が薄い部分は、膜厚が厚い部分とは異なる形状に被エッチング層のパターンを形成することができる。そして、このレジストパターンを利用して精度よく所望のパターンのゲート電極や他の電極、配線等を形成することができる。この露光マスクを用いて、膜厚の厚い第 1 の領域と、第 1 の領域の側部に第 1 の領域より膜厚の薄い第 2 の領域とを有するゲート電極を形成した場合は、ゲート電極をイオンドーピング時のマスクとして用いることで、チャンネル形成領域の両側もしくは一方の側にゲート電極とオーバーラップする低濃度不純物領域 (L_v 領域) を自己整合的に形成することができる。

20

【 0 0 2 3 】

このように、自己整合的にゲート電極とオーバーラップする低濃度不純物領域 (L_v 領域) を有する TFT (GOLD 構造: Gate-drain overlapped LDD) を備えた半導体装置を作製することにより、マスク枚数の削減が実現でき、同時に GOLD 構造を作製する際の微細な位置合わせが不要となる。これにより多くの工程、例えば基板洗浄、レジスト材料塗布、プリベーク、露光、現像及びポストベーク等を削減でき、処理時間を短縮することができる。そして、製造コストを低減でき、製品の歩留まりを向上させることができる。

30

【 0 0 2 4 】

上の関係を満たす半透過部を備えた露光マスクを用いることにより、 L_v 領域は自己整合的に形成できるうえ、長さ (チャンネル長方向の長さ) に制約はなく、その長さを十分に確保することができる。また、チャンネル形成領域の両側の L_v 領域の長さを異ならせることもできる。

40

【 発明を実施するための最良の形態 】

【 0 0 2 5 】

以下、本発明の実施の形態について図面を参照して詳細に説明する。なお、本発明は以下に示す実施の形態に限定されるものでなく、その要旨を逸脱しない範囲で各種の変形を許容するものである。

【 0 0 2 6 】

(実施の形態 1)

本実施の形態では、ラインおよびスペース、または矩形パターンおよびスペースで形成された半透過部を備えた露光マスクについて図 1 を用いて説明する。

【 0 0 2 7 】

50

露光マスクの上面図の具体例を図1(A)~(C)に示す。また、露光マスクを用いたときの光強度分布の例を図1(D)に示す。図1(A)~(C)に示す露光マスクは、遮光部P、半透過部Q、透過部Rを備えている。図1(A)に示す露光マスクの半透過部Qは、縞状(ストライプ状、スリット状)にライン203およびスペース204が繰り返し設けられ、ライン203およびスペース204が遮光部Pの端部202に平行な方向に配置されている。この半透過部において、遮光材料からなるライン203の幅がL、遮光材料間のスペース204の幅がSであり、LとSの和と、露光装置の解像度n、投影倍率 $1/m(m-1)$ との関係が、 $(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ、n、m、Lの関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。望ましくは、LとSの和と、n、mとの関係が、 $(2n/3) \times m \leq L + S \leq (6n/5) \times m$ の条件式を満たし、かつ、n、m、Lの関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。ライン203は遮光材料からなり、遮光部Pと同じ遮光材料を用いて設けることができる。ライン203は矩形状に形成されているが、これに限定されない。一定の幅を有していればよい。例えば、角が丸みを帯びた形状でもよい。

【0028】

上の関係を満たす露光マスクを用いることにより、半透過部を通過した露光光の被露光面における露光量は半透過部においてほぼ均一化された光量となり、半透過部の露光部分のフォトレジスト層の膜厚を薄く、かつその膜厚を均一に形成することができ、精度よく所望のパターンを得ることができる。

【0029】

図1(B)は別の例であり、露光マスクの半透過部Qは、縞状にライン207およびスペース208が設けられ、ライン207およびスペース208が遮光部Pの端部206に垂直な方向に配置されている。この半透過部のライン207の幅L、スペース208の幅Sと露光装置の解像度n、投影倍率 $1/m(m-1)$ との関係が図1(A)と同様の上の条件を満たす露光マスクを用いる。即ち、LとSの和と、露光装置の解像度n、投影倍率 $1/m(m-1)$ との関係が、 $(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ、n、m、Lの関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。望ましくは、LとSの和と、n、mとの関係が、 $(2n/3) \times m \leq L + S \leq (6n/5) \times m$ の条件式を満たし、かつ、n、m、Lの関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。また、遮光部Pの端部206と半透過部Qのライン207の端部とは接していてもよいし、図示したように距離Tを空けて配置してもよい。距離Tは、露光装置の解像度nに投影倍率の逆数mを乗じた $(n \times m)$ より小さければよい。ラインおよびスペースの配置以外は、図1(A)と同様のもの(材料、形状等)を用いることができる。

【0030】

半透過部Qのラインおよびスペースの方向は、図1(A)、図1(B)のいずれの方向を用いることもできる。また、図1(A)と図1(B)とを組み合わせることもできる。また、半透過部Qのラインおよびスペースの方向は、図1(A)と図1(B)の間の方向、即ち、遮光部Pの端部に対して斜めの方向に配置することもできる。この場合もラインおよびスペースの配置以外は、図1(A)と同様のもの(材料、形状等)を用いることができる。

【0031】

また、半透過部Qは、図1(A)、図1(B)に示すようにラインおよびスペースが縞状に配置されたものを用いてもよいし、他のパターンを用いてもよい。例えば、図1(C)のように遮光材料からなる矩形パターン212が、格子状または幾何学的に周期的に配置されたものを用いてもよい。図1(C)において、矩形パターン212の短辺方向の幅Lがラインの幅Lに相当する。また、当該短辺方向のスペース213の幅Sがスペースの幅Sに相当する。この矩形パターン212の幅Lとスペース213の幅Sの和と、露光装置の解像度n、投影倍率 $1/m(m-1)$ との関係が図1(A)と同様の上の条件を満た

10

20

30

40

50

す露光マスクを用いる。即ち、 L と S の和と、露光装置の解像度 n 、投影倍率 $1/m$ (m 1)との関係が、 $(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。望ましくは、 L と S の和と、 n 、 m との関係が、 $(2n/3) \times m \leq L + S \leq (6n/5) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。矩形パターン212は遮光材料からなり、遮光部Pと同じ遮光材料を用いて設けることができる。

【0032】

また、半透過部のラインおよびスペース（または矩形パターンおよびスペース）は、図1 (A) ~ (C) のように周期的に配置されていてもよいし、非周期的に配置されてもよい。非周期的に配置されている場合は、隣り合うラインおよびスペース（または矩形パターンおよびスペース）が上の条件を満たしていればよい。

10

上の条件を満たす範囲内でラインおよびスペース（または矩形パターンおよびスペース）の幅を調節することにより、実質的な露光量を変えることが可能であり、露光されたレジストの現像後の膜厚を調節することが可能である。

【0033】

なお、このフォトリソグラフィ工程で使用されるレジストはネガ型レジストが適用困難である為、露光マスクのパターンは、ポジ型レジストを前提にしている。露光装置は、投影型の露光装置を用いることができる。投影倍率は、等倍の露光装置を用いることもできるし、投影倍率が $1/m$ 倍の縮小投影型露光装置を用いることもできる。

20

【0034】

図1 (A) ~ (C) に示す露光マスクに露光光を照射した場合、遮光部Pの光強度はほぼゼロであり、透過部Rの光強度はほぼ100%である。一方、半透過部の光強度は、10~70%の範囲で調整可能となっており、その代表的な光強度分布の例を図1 (D) 中の光強度分布214に示す。露光マスクに於ける半透過部Qの光強度の調整は、ライン幅 L およびスペース幅 S （または矩形パターンの短辺方向の幅 L および当該短辺方向のスペース S ）の調整により実現することができる。

【0036】

また、上の関係を満たす露光マスクは、その半透過部Qが遮光部Pの側部に配置されるもの、即ち半透過部Qが遮光部Pと透過部Rとの間に配置されるものに用いることが特に有効である。

30

【0037】

(実施の形態2)

本実施の形態は、実施の形態1で示した露光マスクを用いてTFTのゲート電極をパターン形成し、このゲート電極をイオンドーピング時のマスクとして使い、チャンネル形成領域の両側に低濃度不純物領域を自己整合的に形成するための工程について、図2とともに示す。

【0038】

まず、絶縁表面を有する基板101上に第1絶縁膜（下地絶縁膜）102を形成する。絶縁表面を有する基板101としては、透光性を有する基板、例えばガラス基板、結晶化ガラス基板、もしくはプラスチック基板を用いることができる。後に形成される薄膜トランジスタをトップエミッション型（上方射出型）の発光表示装置に適用する場合、或いは反射型の液晶表示装置に適用する場合にはセラミックス基板、半導体基板、金属基板等も用いることができる。

40

【0039】

第1絶縁膜102としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜 (SiO_xN_y) 等の絶縁膜の単層、或いは積層を用いる。次いで、第1絶縁膜102上に半導体層103を形成する。

【0040】

半導体層103は、公知の手段（スパッタ法、LP-CVD法、またはプラズマCVD法

50

等)により非晶質構造を有する半導体膜を形成し、加熱処理により結晶化された結晶性半導体膜を形成し、結晶性半導体膜上にレジスト膜を形成した後、露光および現像を行って得られた第1のレジストマスクを用いて結晶性半導体膜を所望の形状に形成する。

【0041】

この半導体層103の厚さは25~80nm(好ましくは30~70nm)の厚さで形成する。結晶性半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0042】

上記加熱処理とは、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射(以下、ランプアニールと表記する)、又はそれらを組み合わせて用いることができる。

10

【0043】

また、ニッケルなどの触媒を添加した後に上記加熱処理を行う熱結晶化法により結晶性半導体膜を形成してもよい。なお、ニッケルなどの触媒を用いた熱結晶化法を用いて結晶化を行って結晶性半導体膜を得た場合は、結晶化後にニッケルなどの触媒を除去するゲッタリング処理を行うことが好ましい。

【0044】

また、レーザー結晶化法で結晶性半導体膜を作製する場合には、連続発振(CW: continuous-wave)型のレーザビーム(CWレーザビーム)やパルス発振型のレーザビーム(パルスレーザビーム)を用いることができる。ここで用いることができるレーザビームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち1種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このレーザは、CWで射出することも、パルス発振で射出することも可能である。CWで射出する場合は、レーザのパワー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。

20

30

【0045】

なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi:サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

40

【0046】

媒質としてセラミック(多結晶)を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作るこ

50

とが可能である。

【0047】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【0048】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ1mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【0049】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一にアニールすることが可能になる。線状ビームの両端まで均一なアニールが必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【0050】

このようにして得られた強度が均一な線状ビームを用いて半導体膜をアニールし、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【0051】

次いで、必要があればTFETのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【0052】

次いで、第1のレジストマスクを除去した後、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体層の表面を洗浄する。そして、半導体層を覆う第2絶縁膜（ゲート絶縁膜）104を形成する。第2絶縁膜104はプラズマCVD法またはスパッタ法または熱酸化法を用い、厚さを1～200nm、好ましくは70nm～120nmとする。第2絶縁膜104としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る膜を形成する。ここでは、プラズマCVD法により115nmの厚さで酸化窒化シリコン膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成する。

【0053】

また、基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、または層間絶縁層などを形成した後、プラズマ処理を用いて酸化または窒化を行うことにより前記基板、下地膜としての絶縁層、半導体層、ゲート絶縁層、層間絶縁層の表面を酸化または窒化してもよい。プラズマ処理を用いて半導体層や絶縁層を酸化または窒化すると、当該半導体層や絶縁層の表面が改質され、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜とすることができる。よって、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。また上記の様なプラズマ処理は、ゲート電極層、ソース電極層、ドレイン電極層、配線層などにも行うことができ、窒化又は酸化を行うことによって窒化膜、酸化膜を形成することができる。

【0054】

なお、プラズマ処理により膜を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理

10

20

30

40

50

を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えば Ar を用いることができる。また、 Ar と Kr を混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス（ He 、 Ne 、 Ar 、 Kr 、 Xe の少なくとも一つを含む）を含んでおり、 Ar を用いた場合には絶縁膜に Ar が含まれている。

【0055】

また、第2絶縁膜104にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5 eV以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5 eV以上1.5 eV以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、ゲート絶縁層として機能する第2絶縁膜104）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化膜または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0056】

次いで、第1導電層105aと第2導電層106aの積層を形成する。また、積層は、第1導電層と第2導電層の2層に限定されず、3層以上としてもよい。

【0057】

第1導電層はタングステン（ W ）、クロム（ Cr ）、タンタル（ Ta ）、窒化タンタル（ TaN ）またはモリブデン（ Mo ）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物を20～50 nmの厚さで形成する。また、第2導電層はタングステン（ W ）、クロム（ Cr ）、タンタル（ Ta ）、窒化タンタル（ TaN ）またはモリブデン（ Mo ）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物で300～600 nmの厚さに形成する。

【0058】

ここでは、2層、即ち、第1導電層と第2導電層をそれぞれ異なる導電材料として用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。第1導電層としては TaN を用い、第2導電層としてはタングステン膜を用いる。

【0059】

次いで、第2導電層106a上にレジスト膜を全面に塗布した後、図2（A）に示す露光マスクを用いて露光を行う。ここでは、膜厚1.5 μm のレジスト膜を塗布し、露光は、解像度が1.5 μm 、投影倍率が等倍の露光装置を用いる。露光に用いる光は、i線（波長365 nm）であり、露光エネルギーは、20～140 mJ/cm^2 の範囲から選択する。また、i線に限定されず、i線とg線（波長436 nm）とh線（波長405 nm）とを混合させた光を露光に用いてもよい。

【0060】

図2（A）において、露光マスクは、露光光を透過可能な透光性基板400上に Cr などの金属膜からなる遮光部401と、所定の線幅でラインおよびスペースが繰り返し形成された光強度低減機能を有する半透過部402とが設けられている。露光マスクは、半透過部における遮光材料のライン幅が L 、遮光材料間のスペース幅が S である場合、 L と S

10

20

30

40

50

の和と、露光装置の解像度 n 、投影倍率 $1/m$ ($m \geq 1$) との関係が、 $(n/3) \times m \leq L + S$ ($(3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすようなマスクを用いる。望ましくは、 L と S の和と、 n 、 m との関係が、 $(2n/3) \times m \leq L + S$ ($(6n/5) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。

【0061】

例えば、解像度が $1.5 \mu\text{m}$ 、投影倍率が等倍の露光装置を用い、半透過部のライン幅 L が $0.5 \mu\text{m}$ 、半透過部のスペース幅 S が $1.0 \mu\text{m}$ の露光マスクを用いることができる。

10

【0062】

図2(A)に示す露光マスクを用いてレジスト膜の露光を行うと、レジスト膜には、非露光領域403aと露光領域403bが形成される。露光時には、露光光が遮光部401の回り込みや、半透過部402を通過することによって図2(A)に示す露光領域403bが形成される。

【0063】

そして、現像を行うと、露光領域403bが除去されて、図2(B)に示すように、膜厚の厚い領域と、該領域より膜厚の薄い領域を側部に有するレジストパターン107aが第2導電層106a上に得られる。レジストパターン107aにおいて、膜厚の薄い領域は、露光エネルギーを調節することでレジスト膜厚を調節することができる。図2(A)に示す露光マスクを用いることにより、レジスト膜厚の薄い領域においてもその膜厚を均一に形成することができる。

20

【0064】

次に、ドライエッチングにより第2導電層106a及び第1導電層105aのエッチングを行う。ドライエッチングはレジストパターン107aをアッシングしながら行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 O_2 を用いる。エッチング速度の向上にはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma)などの高密度プラズマ源を用いたドライエッチング装置を用いる。なお、エッチング条件によっては、第2絶縁膜104もエッチングされて、部分的に膜厚が薄くなる。

30

【0065】

なお、ここでは、ICP型エッチング装置を用いた例を示すが、特に限定されず、例えば、平行平板型エッチング装置、マグネトロン型エッチング装置、ECR型エッチング装置、ヘリコン型エッチング装置を用いてもよい。また、ドライエッチング法に限定されず、ウェットエッチング法を用いてもよく、また、ドライエッチング法とウェットエッチング法とを組み合わせ用いてもよい。

【0066】

こうして図2(C)で示すように、第2絶縁膜104上に第1導電層105b、第2導電層106bからなる導電積層パターンが形成される。エッチングによって、第1導電層105bは、両側壁が露出し、さらに第2導電層106bと重ならない領域が露出される。なお、第1導電層105bの両側壁は、テーパ形状としてもよい。また、第2導電層106bの両側壁もテーパ形状としてもよい。

40

【0067】

次いで、レジストパターン107bを除去した後、半導体層103への一導電型不純物の添加を行う。ここでは、一導電型不純物のイオンとしてリン(またはAs)を用い、nチャネル型TFTを作製する。サイドウォールを形成することなく、導電積層パターンを用いて自己整合的にLDD領域やソース領域やドレイン領域を形成することができる。

【0068】

ゲート電極の外側に位置するソース領域及びドレイン領域を形成するためのドーピング処理を行う場合、導電積層パターンをマスクとして一導電型不純物のイオンを半導体層10

50

3に添加して高濃度の一導電型不純物領域110、111を形成すればよい。ソース領域及びドレイン領域を形成するためのドーピング条件は、加速電圧を50～100kVで行なう。高濃度の一導電型不純物領域110、111の不純物濃度は $1 \times 10^{19} \sim 5 \times 10^{21} / \text{cm}^3$ (SIMS測定でのピーク値)とする。

【0069】

また、ゲート電極とオーバーラップするLDD領域を形成するためのドーピング処理を行う場合、第2導電層と積層していない領域の第1導電層105bを通過させて、一導電型不純物のイオンを半導体層103に添加して低濃度の一導電型不純物領域109a、109bを形成すればよい。このドーピング条件として、第2絶縁層や第1導電層の膜厚にもよるが、この場合には60～100kVの加速電圧を要する。低濃度の一導電型不純物領域109a、109bの不純物濃度は、LDD領域を前提とすると $1 \times 10^{17} \sim 5 \times 10^{19} / \text{cm}^3$ (SIMS測定でのピーク値)とする。

10

【0070】

なお、ドーピングの順序は特に限定されず、先にソース領域及びドレイン領域を形成するためのドーピング処理を行った後、LDD領域を形成するためのドーピング処理を行ってもよい。また、LDD領域を形成するためのドーピング処理を行った後、ソース領域及びドレイン領域を形成するためのドーピング処理を行ってもよい。

【0071】

また、ここではドーピング処理を2回に分けて異なる濃度の不純物領域の形成を行う例を示したが、処理条件を調節して1回のドーピング処理で異なる濃度の不純物領域の形成を行ってもよい。

20

【0072】

また、ドーピングの前にレジストパターンを除去した例を示したが、ドーピング処理を行った後でレジストパターンを除去してもよい。レジストパターンを残したままドーピングを行うと、第2導電層の表面をレジストパターンで保護しながらドーピングを行うことができる。

【0073】

なお、上記ドーピング処理の際、第2導電層と重なる位置の半導体層は、一導電型不純物のイオンは添加されない領域となり、後に形成されるTFTのチャネル形成領域として機能する部分となる。

30

【0074】

また、導電積層パターン(第1導電層105b及び第2導電層106b)は半導体層103と交差する部位においてゲート電極となる。また、ゲート電極と重なる低濃度不純物領域109a、109bを L_v 領域という。第1導電層105bのうち、第2導電層106bと重ならない領域を用いて L_v 領域が形成される。TFTを有する回路の種類や用途に合わせて、必要な L_v 領域の長さを決定し、その長さに基づいてフォトリソグラフィやエッチング条件を設定すればよい。

【0075】

その後、窒化酸化珪素を用いる第3絶縁膜112を形成する。そして、半導体層に添加された不純物元素の活性化および水素化を行う。

40

【0076】

次いで、透光性を有する無機材料(酸化シリコン、窒化シリコン、酸化窒化シリコンなど)または、低誘電率の有機化合物材料(感光性又は非感光性の有機樹脂材料、例えばポリイミドやポリベンゾオキサゾール)を用いて第4絶縁膜113を形成する。また、シロキサンを含む材料を用いて第4絶縁膜を形成してもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0077】

50

次いで、第3のフォトマスクを用いてレジストからなるマスクを形成し、層間絶縁膜として機能する第3絶縁膜112、及び第4絶縁膜113、及びゲート絶縁膜として機能する第2絶縁膜104を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0078】

次いで、第4絶縁膜113上にスパッタ法で金属積層膜を成膜した後、第4のフォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、半導体層に接するソース電極114またはドレイン電極115を形成する。

【0079】

なお、TFTのソース電極114またはドレイン電極115と同時に接続電極（複数のTFT間を電氣的に接続する電極）や端子電極（外部電源と接続するための電極）も第4絶縁膜113上に形成することができる。そして、レジストからなるマスクを除去する。なお、金属積層膜は、膜厚100nmのTi膜と、膜厚350nmのSiを微量に含むAl膜と、膜厚100nmのTi膜との3層積層とする。金属積層膜は、同じメタルスパッタ装置内で連続して形成することが好ましい。

【0080】

以上の工程で、図2(D)に示したチャネル形成領域の両側に低濃度不純物領域109a、109bを有するトップゲート型TFTが完成する。

【0081】

以上のように、本実施形態は、図2(A)に示すような半透過部を備えた露光マスクを用いて露光することによって、半透過部のフォトレジスト層の膜厚が薄く、かつその膜厚が均一なレジストパターン107aを形成し、そのレジストパターンを利用してゲート電極を得ている。そして、このゲート電極をイオンドーピング時のマスクとして用い、チャネル形成領域の両側にゲート電極とオーバーラップする低濃度不純物領域を自己整合的に形成している。

【0082】

このように、自己整合的にゲート電極とオーバーラップする低濃度不純物領域（ L_v 領域という）を有するTFT（GOLD構造：Gate-drain overlapped LDD）を備えた半導体装置を作製することにより、マスク枚数の削減が実現でき、同時にGOLD構造を作製する際の微細な位置合わせが不要となる。これにより多くの工程、例えば基板洗浄、レジスト材料塗布、プリベーク、露光、現像及びポストベーク等を削減でき、処理時間を短縮することができる。そして、製造コストを低減でき、製品の歩留まりを向上させることができる。

【0083】

本実施形態は、 L_v 領域の形成によってホットキャリアの発生を抑制でき、半導体素子の劣化を防ぐことができる。この L_v 領域は自己整合的に形成できるうえ、長さ（チャネル長方向の長さ）に制約はなく、その長さを十分に確保することができる。また、チャネル形成領域の両側の L_v 領域の長さを異ならせることもできる。

【0084】

また、半導体装置には様々な回路が内包されており、回路によってはホットキャリア対策効果に優れた L_v 領域を有するGOLD構造が適している場合もあれば、オフ電流値の小さい L_f 領域（ゲート電極と重ならない低濃度不純物領域）を有する構造が適している場合もある。場合によっては、低濃度不純物領域は有さずソース領域およびドレイン領域のみを有する構造が適している場合もある。本実施の形態では、同一基板上に回路毎にGOLD構造あるいはそれ以外の構造を別々に形成することもできる。

【0085】

本実施の形態では、図2(A)に示すような半透過部を備えた露光マスクを用いて膜厚の厚い第1の領域と、第1の領域の側部に第1の領域より膜厚の薄い第2の領域とを有するゲート電極を形成する例を示した。しかし、ゲート電極に限らず、必要な場合には他の電極や配線等を形成する際にも、図2(A)に示すような半透過部を備えた露光マスクを

10

20

30

40

50

用いて、膜厚の厚い領域と、その領域の側部に膜厚の薄い領域とを有する電極や配線等を得ることができる。

【0086】

本実施の形態では、 n チャネル型TFTを用いて説明したが、 n 型不純物元素（リンやヒ素などに代表される周期表における15族の不純物元素）に代えて p 型不純物元素（ボロンなどに代表される周期表における13族の不純物元素）を用いることによって p チャネル型TFTを形成することができる。

【0087】

また、同一基板上に n チャネル型TFTと p チャネル型TFTとを形成することができ、これらのTFTを相補的に組み合わせることによってCMOS回路を構成することもできる。CMOS回路とは、少なくとも一つの n チャネル型TFTと一つの p チャネル型TFTとを有する回路（インバータ回路、NAND回路、AND回路、NOR回路、OR回路、シフトレジスタ回路、サンプリング回路、D/Aコンバータ回路、A/Dコンバータ回路、ラッチ回路、バッファ回路など）を指している。加えて、これらのCMOS回路を組み合わせることによってSRAMやDRAMなどのメモリ素子やその他の素子を基板上に構成することができる。また、さまざまな素子や回路を集積してCPUを基板上に構成することも可能である。

10

【0088】

また、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上に上記構造（チャネル形成領域の両側に同じ幅の L_v 領域を有する構造）のトップゲート型TFTと、チャネル形成領域の一方側がもう一方側より幅広い L_v 領域を有する構造であるトップゲート型TFTの両方を形成することもできる。

20

【0089】

また、本実施の形態では、シングルゲート構造のトップゲート型TFTを用いて説明したが、チャネル形成領域を複数有するマルチゲート構造であるトップゲート型TFTも形成することができる。また、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上にシングルゲート構造のトップゲート型TFTと、マルチゲート構造であるトップゲート型TFTを形成することもできる。

【0090】

従って、工程数を増やすことなく、同一基板上に最適な構造のトランジスタを割り当てて様々な回路を構成することができる。

30

【0091】

また、本実施の形態は実施の形態1と自由に組み合わせることができる。

【0092】

（実施の形態3）

実施の形態2に示す導電積層パターンの形成は、特に限定されないが、ここでは、エッチング条件を途中で複数回変更して導電積層パターンの形成を行う例を図3に示す。

【0093】

まず、実施の形態2と同様にして、第2導電層306a上にレジストパターン307aを形成する。図3(A)は、図2(B)に相当する。

40

【0094】

なお、図3(A)において基板301上に第1絶縁膜（下地絶縁膜）302、半導体層303、第2絶縁膜（ゲート絶縁膜）304が形成され、その上に第1導電層305a、第2導電層306aが形成されている。

【0095】

次いで、第1のエッチング条件でエッチングを行って、図3(B)に示すような段差のある形状のレジストパターン307b及び第2導電層306bを形成する。第1のエッチング条件で第2導電層306bの一部にテーパ形状となる部分を形成する。

【0096】

次いで、第1のエッチング条件で引き続きエッチングを行って図3(C)の状態を得る

50

。この段階で、段差のないレジストパターン 307c とする。また、第2導電層 306c の一部にテーパ形状となる部分を形成しつつ、膜厚を薄くする。

【0097】

次いで、第1のエッチング条件で引き続きエッチングを行って図3(D)の状態を得る。さらにレジストパターンを小さくしてレジストパターン 307d とする。また、膜厚の厚い第1の領域と、該第1の領域の両側部に該第1の領域より膜厚の薄い第2の領域を有する凸状の第2導電層 306d を形成し、第1導電層 305a の一部を露出させる。

【0098】

次いで、第2のエッチング条件でエッチングを行って、凸状の第2導電層 306d をマスクとしてエッチングして第1導電層 305b を形成する。

10

【0099】

次いで、第3のエッチング条件で異方性エッチングを行って、第2導電層 306e を形成する。この異方性エッチングにおいて、第1導電層と第2導電層のエッチングレートの差が大きいことが重要であり、第1導電層と第2導電層には異なる導電材料を用いることが好ましい。また、第3のエッチング条件を調整することによって、この異方性エッチングで第2絶縁膜が部分的に薄くならないようにすることもできる。

【0100】

こうして、エッチング条件を細かく変えて導電積層パターンの形成を行うことによって、導電積層パターンの形状のバラツキを抑えることができる。

【0101】

20

以降の工程は、実施の形態2と同一であるのでここでは詳細な説明を省略する。

【0102】

また、本実施の形態は実施の形態1または実施の形態2と自由に組み合わせることができる。

【0103】

(実施の形態4)

ここでは、露光マスクを変更するだけで、工程数を増やすことなく、同一基板上に上記構造(チャネル形成領域の両側に同じ幅の L_v 領域を有する構造)のトップゲート型 TFT と、ドレイン側がソース側よりも幅の広い L_v 領域を有する構造であるトップゲート型 TFT を形成する例を図4に示す。

30

【0104】

図4(A)において、基板 500 及び絶縁層 508 上に半導体層 502、及び半導体層 503 が形成されている。半導体層 502、及び半導体層 503 を覆うようにゲート絶縁層 504、第1の導電膜 505、及び第2の導電膜 506 が形成され、露光マスクを用いて形状の異なるレジストパターン 529、レジストパターン 539、及びレジストパターン 549 が形成されている。

【0105】

これらのレジストパターンは、図4(A)に示す露光マスクを用いて形成することができる。実施の形態1あるいは実施の形態2と同様に、半透過部における遮光材料からなるラインの幅が L 、遮光材料間のスペースの幅が S であり、 L と S の和と、露光装置の解像度 n 、投影倍率 $1/m$ ($m \geq 1$) との関係が、 $(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。望ましくは、 L と S の和と、 n 、 m との関係が、 $(2n/3) \times m \leq L + S \leq (6n/5) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たすような露光マスクを用いる。半透過部の配置、材料、形状等については実施の形態1や実施の形態2で示したものと同様のものを用いることができる。露光装置は、投影型の露光装置を用いることができる。投影倍率は、等倍の露光装置を用いることもできるし、投影倍率が $1/m$ 倍の縮小投影型露光装置を用いることもできる。

40

【0106】

50

レジストパターン 5 2 9 は遮光部 5 5 1 の両側に同じ幅の半透過部 5 5 2 が設けられたマスクにより形成される。レジストパターン 5 3 9 は遮光部 5 5 3 の片側に幅の広い半透過部 5 5 4 が設けられ、もう片側に幅の狭い半透過部 5 5 4 が設けられた露光マスクにより形成される。レジストパターン 5 4 9 は遮光部 5 5 5 のみが設けられた露光マスクにより形成される。レジストパターン 5 2 9 は両側になだらかな段差を有する形状（図 4（A）の断面において左右対称の形状）であり、レジストパターン 5 3 9 は凸部が中央よりずれた位置にある形状（図 4（A）の断面において左右非対称の形状）であり、レジストパターン 5 4 9 は段差も凹凸もない形状（図 4（A）の断面において左右対称の形状）である。

【0107】

10

レジストパターン 5 2 9、レジストパターン 5 3 9、及びレジストパターン 5 4 9 を用いてエッチング処理によるパターンニングを行い、第 1 のゲート電極層 5 2 1、第 2 のゲート電極層 5 2 2、第 1 のゲート電極層 5 3 1、第 2 のゲート電極層 5 3 2、第 1 の配線層 5 4 1、及び第 2 の配線層 5 4 2 を形成する。

【0108】

第 2 のゲート電極層 5 2 2、及び第 2 のゲート電極層 5 3 2 をマスクとして、半導体層 5 0 2、及び半導体層 5 0 3 に一導電型を有する不純物元素を添加し、低濃度不純物領域 5 2 4 a、低濃度不純物領域 5 2 4 b、低濃度不純物領域 5 3 4 a、及び低濃度不純物領域 5 3 4 b を形成する（図 4（B）参照。）。

【0109】

20

さらに、第 1 のゲート電極層 5 2 1、第 2 のゲート電極層 5 2 2、第 1 のゲート電極層 5 3 1、第 2 のゲート電極層 5 3 2 をマスクとして、半導体層 5 0 2、半導体層 5 0 3 に一導電型を有する不純物元素を添加し、高濃度不純物領域 5 2 5 a、高濃度不純物領域 5 2 5 b、高濃度不純物領域 5 3 5 a、高濃度不純物領域 5 3 5 b を形成する。

【0110】

また、レジストパターン 5 2 3、レジストパターン 5 3 3、レジストパターン 5 4 3 を除去する。

【0111】

こうして、同一基板上に、第 1 の T F T 部 5 2 0 と、第 2 の T F T 部 5 3 0 と、配線部 5 4 0 とを形成することができる。第 1 の T F T 部 5 2 0 には、ソース側に低濃度不純物領域 5 2 6 a を有し、ドレイン側に低濃度不純物領域 5 2 6 b を有する T F T が形成される。低濃度不純物領域 5 2 6 a と低濃度不純物領域 5 2 6 b は、同じ幅で形成される。また、第 2 の T F T 部 5 3 0 には、チャネル形成領域の両側に低濃度不純物領域 5 3 6 a、5 3 6 b を有する T F T が作製される。なお、低濃度不純物領域 5 3 6 b は、低濃度不純物領域 5 3 6 a よりも幅が広い（図 4（C）参照。）。また、配線部 5 4 0 には、端面の位置が一致している積層、即ち、第 1 の配線層 5 4 1 と第 2 の配線層 5 4 2 の積層が得られる。

30

【0112】

加えて、同じレジストパターンを利用して、第 2 の T F T 部 5 3 0 と同じ構造を形成して、同一基板上に容量と T F T とを形成することができる。その場合、ゲート絶縁層 5 0 4 を誘電体とする容量を形成することもできる。

40

【0113】

また、本実施の形態は実施の形態 1、実施の形態 2、または実施の形態 3 と自由に組み合わせることができる。

【0114】

（実施の形態 5）

本実施の形態では、アクティブマトリクス型の発光装置の構造について、図 5、及び図 6 を用いて作製方法とともに、以下に説明する。

【0115】

まず、絶縁表面を有する基板 6 1 0 上に下地絶縁膜を形成する。基板 6 1 0 側を表示面と

50

して発光を取り出す場合、基板 610 としては、光透過性を有するガラス基板や石英基板を用いればよい。また、処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板 610 側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。ここでは基板 610 としてガラス基板を用いる。なお、ガラス基板の屈折率は 1.55 前後である。

【0116】

下地絶縁膜 611 としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜を形成する。ここでは下地膜として単層構造を用いた例を示すが、前記絶縁膜を 2 層以上積層させた構造を用いても良い。なお、基板の凹凸や、基板からの不純物拡散が問題にならないのであれば、特に下地絶縁膜を形成しなくてもよい。

10

【0117】

次いで、下地絶縁膜上に半導体層を形成する。半導体層は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD 法、またはプラズマ CVD 法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を第 1 のフォトマスクを用いて所望の形状にパターニングして、半導体層を形成する。なお、プラズマ CVD 法を用いれば、下地絶縁膜と、非晶質構造を有する半導体膜とを大気に触れることなく連続的に積層することができる。この半導体膜の厚さは 25 ~ 80 nm（好ましくは 30 ~ 70 nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などで形成すると良い。

20

【0118】

ここでは、非晶質構造を有する半導体膜を結晶化させる技術として、特開平 8 - 78329 号公報記載の技術を用いて結晶化させる。同公報記載の技術は、非晶質シリコン膜（アモルファスシリコン膜とも呼ばれる）に対して結晶化を助長する金属元素を選択的に添加し、加熱処理を行うことで添加領域を起点として広がる結晶構造を有する半導体膜を形成するものである。

【0119】

以下に結晶質半導体膜の形成方法の一例を詳細に説明する。

30

【0120】

まず、非晶質構造を有する半導体膜の表面に、結晶化を促進する触媒作用のある金属元素（ここでは、ニッケル）を重量換算で 1 ~ 100 ppm 含む酢酸ニッケル溶液をスピナーで塗布してニッケル含有層を形成する。塗布によるニッケル含有層の形成方法以外の他の手段として、スパッタ法、蒸着法、またはプラズマ処理により極薄い膜を形成する手段を用いてもよい。また、ここでは、全面に塗布する例を示したが、マスクを形成して選択的にニッケル含有層を形成してもよい。

【0121】

次いで、加熱処理を行い、結晶化を行う。この場合、結晶化は半導体の結晶化を助長する金属元素が接した半導体膜の部分でシリサイドが形成され、それを核として結晶化が進行する。こうして、結晶構造を有する半導体膜が形成される。なお、結晶化後の半導体膜に含まれる酸素濃度は、 $5 \times 10^{-18} / \text{cm}^3$ 以下とすることが望ましい。ここでは、脱水素化のための熱処理（500、1 時間）の後、結晶化のための熱処理（550 ~ 650 で 4 ~ 24 時間）を行う。また、強光の照射により結晶化を行う場合は、赤外光、可視光、または紫外光のいずれか一またはそれらの組み合わせを用いることが可能である。なお、必要であれば、強光を照射する前に非晶質構造を有する半導体膜に含有する水素を放出させる熱処理を行ってもよい。また、熱処理と強光の照射とを同時に行って結晶化を行ってもよい。生産性を考慮すると、結晶化は強光の照射により結晶化を行うことが望ましい。

40

【0122】

50

このようにして得られる結晶質半導体膜には、金属元素（ここではニッケル）が残存している。それは膜中において一様に分布していないにしろ、平均的な濃度とすれば、 $1 \times 10^{19} / \text{cm}^3$ を越える濃度で残存している。勿論、このような状態でも T F T をはじめ各種半導体素子を形成することが可能であるが、以降に示すゲッタリング方法で当該元素を除去する。

【0123】

ここで、レーザ光の照射を行う前に結晶化工程で形成される自然酸化膜を除去する。この自然酸化膜にはニッケルが高濃度に含まれているため、除去することが好ましい。

【0124】

次いで、結晶化率（膜の全体積における結晶成分の割合）を高め、結晶粒内に残される欠陥を補修するために、結晶質半導体膜に対してレーザ光を照射する。レーザ光を照射した場合、半導体膜に歪みやリッジが形成され、表面に薄い表面酸化膜（図示しない）が形成される。このレーザ光としてはパルス発振であるレーザ光源から射出される波長 400 nm 以下のエキシマレーザ光や、YAGレーザの第2高調波、第3高調波を用いればよい。また、レーザ光としては連続発振が可能な固体レーザを用い、基本波の第2高調波～第4高調波を用いてもよい。代表的には、Nd:YVO₄レーザ（基本波 1064 nm）の第2高調波（532 nm）や第3高調波（355 nm）を適用すればよい。

【0125】

次いで、結晶質半導体膜の歪みを低減するための第1の熱処理（半導体膜が瞬間的に 400～1000 程度にまで加熱される熱処理）を窒素雰囲気にて行い、平坦な半導体膜を得る。瞬間的に加熱する熱処理としては、強光を照射する熱処理、または加熱されたガス中に基板を投入し、数分放置した後に基板を取りだす熱処理によって加熱を行えばよい。また、この熱処理の条件によっては、歪みを低減すると同時に結晶粒内に残される欠陥を補修する、即ち結晶性の改善を行うことができる。また、この熱処理により、歪みを低減してニッケルが後のゲッタリング工程でゲッタリングされやすくなる。なお、この熱処理における温度が結晶化の温度よりも低い場合、シリコン膜が固相状態のまま、膜中でニッケルが移動することになる。

【0126】

次いで、結晶質半導体膜上方に希ガス元素を含む半導体膜を形成する。希ガス元素を含む半導体膜を形成する前にエッチングストッパーとなる酸化膜（バリア層と呼ばれる）を 1～10 nm の膜厚で形成してもよい。バリア層は、半導体膜の歪みを低減するための熱処理で同時に形成してもよい。

【0127】

希ガス元素を含む半導体膜は、プラズマ CVD 法、またはスパッタ法にて形成し、膜厚 10 nm～300 nm のゲッタリングサイトを形成する。希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。中でも安価なガスであるアルゴン（Ar）が好ましい。

【0128】

ここでは P C V D 法を用い、原料ガスとしてモノシランとアルゴンをを用い、比率（モノシラン：アルゴン）を 0.1：99.9～1：9、好ましくは、1：99～5：95 に制御して成膜する。また、成膜時の R F パワー密度は、 $0.0017 \text{ W} / \text{cm}^2 \sim 0.48 \text{ W} / \text{cm}^2$ とすることが望ましい。R F パワー密度は、高いとゲッタリング効果が得られる膜質となり、加えて成膜速度が向上する。また、成膜時の圧力は、 $1.333 \text{ Pa} (0.01 \text{ Torr}) \sim 133.322 \text{ Pa} (1 \text{ Torr})$ とすることが望ましい。圧力は、高ければ高いほど成膜速度が向上するが、圧力が高いと膜中に含まれる Ar 濃度は減少する。また、成膜温度は 300～500 とすることが望ましい。こうして、膜中にアルゴンを $1 \times 10^{18} / \text{cm}^3 \sim 1 \times 10^{22} / \text{cm}^3$ 、好ましくは、 $1 \times 10^{20} / \text{cm}^3 \sim 1 \times 10^{21} / \text{cm}^3$ の濃度で含む半導体膜をプラズマ CVD 法で成膜することができる。上記希ガス元素を含む半導体膜の成膜条件を上記範囲内で調節することで、成膜の

際、バリア層に与えるダメージを低減することができ、半導体膜の膜厚のバラツキ発生や半導体膜に穴が形成されるという不良の発生を防ぐことができる。

【0129】

膜中に不活性気体である希ガス元素イオンを含有させる意味は二つある。一つは不対結合手を形成することであり、他の一つは半導体膜に歪みを与えることである。半導体膜に歪みを与えるにはアルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)などシリコンより原子半径の大きな元素を用いた時に顕著に得られる。また、膜中に希ガス元素を含有させることにより、半導体膜に歪みを与えるだけでなく、不対結合手も形成させてゲッタリング作用に寄与する。

【0130】

次いで、加熱処理を行い、結晶質半導体膜中における金属元素(ニッケル)の濃度を低減、あるいは除去するゲッタリングを行う。ゲッタリングを行う加熱処理としては、強光を照射する処理、炉を用いた熱処理、または加熱されたガスに基板を投入し、数分放置した後取り出すことによって加熱を行えばよい。ここでは、ゲッタリングを行うための第2の熱処理(半導体膜が瞬間的に400~1000程度にまで加熱される熱処理)を窒素雰囲気にて行う。

【0131】

この第2の熱処理により、金属元素が希ガス元素を含む半導体膜に移動し、バリア層で覆われた結晶質半導体膜に含まれる金属元素の除去、または金属元素の濃度の低減が行われる。結晶質半導体膜に含まれる金属元素は、基板面と垂直な方向、且つ、希ガス元素を含む半導体膜に向かって移動する。

【0132】

金属元素がゲッタリングの際に移動する距離は、結晶質半導体膜の厚さ程度の距離であればよく、比較的短時間でゲッタリングを完遂することができる。ここでは、ニッケルが結晶質半導体膜に偏析しないよう希ガス元素を含む半導体膜に移動させ、結晶質半導体膜に含まれるニッケルがほとんど存在しない、即ち膜中のニッケル濃度が $1 \times 10^{18} / \text{cm}^3$ 以下、望ましくは $1 \times 10^{17} / \text{cm}^3$ 以下になるように十分ゲッタリングする。なお、希ガス元素を含む半導体膜だけでなくバリア層もゲッタリングサイトとして機能する。

【0133】

次いで、バリア層をエッチングストッパーとして、希ガス元素を含む半導体膜のみを選択的に除去する。希ガス元素を含む半導体膜のみを選択的にエッチングする方法としては、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラメチルアンモニウムヒドロキシド(化学式 $(\text{CH}_3)_4\text{NOH}$) (略称TMAH)を含む水溶液などアルカリ溶液によるウェットエッチングで行うことができる。なお、ここでのエッチングで結晶質半導体膜にピンホールが形成されるのを防止するため、オーバーエッチング時間を少なめにする。

【0134】

次いで、フッ酸を含むエッチャントによりバリア層を除去する。

【0135】

また、希ガス元素を含む半導体膜の形成前に、チャンバー内のFなどの不純物を除去するため、フラッシュ物質を使用してフラッシングする処理を行ってもよい。モノシランをフラッシュ物質として用い、ガス流量8~10SLMをチャンバーに5~20分間、好ましくは10分~15分間導入し続けることでチャンバー内壁をコーティングし、基板への不純物の付着を妨げる処理(フラッシングする処理、シランフラッシュとも呼ぶ)を行う。なお、1SLMは 1000 sccm 、即ち、 $0.06 \text{ m}^3 / \text{h}$ である。

【0136】

以上の工程で、良好な結晶質半導体膜を得ることができる。

【0137】

結晶質半導体膜を第1のフォトマスクを用いて所望の形状にパターニングした後、レジ

10

20

30

40

50

ストマスクを除去する。次いで、必要があればＴＦＴのしきい値を制御するために、微量な不純物元素（ボロンまたはリン）のドーピングを半導体層に対して行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【０１３８】

次いで、フッ酸を含むエッチャントで半導体層表面の酸化膜を除去すると同時に半導体層の表面を洗浄する。

【０１３９】

そして、半導体層を覆う絶縁膜を形成する。絶縁膜はプラズマＣＶＤ法またはスパッタ法を用い、厚さを１～２００ｎｍとする。好ましくは１０ｎｍ～５０ｎｍと薄くしてシリコンを含む絶縁膜の単層または積層構造で形成した後にマイクロ波によるプラズマを用いた表面窒化処理を行う。絶縁膜は、後に形成されるＴＦＴのゲート絶縁膜として機能する。

【０１４０】

次いで、絶縁膜上に膜厚２０～１００ｎｍの第１の導電膜と、膜厚１００～４００ｎｍの第２の導電膜とを積層形成する。本実施の形態では、絶縁膜６１３上に膜厚３０ｎｍの窒化 tantalum 膜、膜厚３７０ｎｍのタングステン膜を順次積層し、実施の形態１や実施の形態２に示した光強度低減機能を有する半透過部を備えた露光マスクを用いて各ゲート電極及び各配線を形成する。露光装置は、投影型の露光装置を用いることができる。投影倍率は、等倍の露光装置を用いることもできるし、投影倍率が１／ｍ倍の縮小投影型露光装置を用いることもできる。

【０１４１】

なお、ここでは導電膜をＴａＮ膜とＷ膜との積層としたが、特に限定されず、Ｔａ、Ｗ、Ｔｉ、Ｍｏ、Ａｌ、Ｃｕから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料の積層で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。また、２層構造に限定されず、例えば、膜厚５０ｎｍのタングステン膜、膜厚５００ｎｍのアルミニウムとシリコンの合金（Ａｌ－Ｓｉ）膜、膜厚３０ｎｍの窒化チタン膜を順次積層した３層構造としてもよい。

【０１４２】

上記第１の導電膜及び第２の導電膜のエッチング（第１のエッチング処理および第２のエッチング処理）にはＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ：誘導結合型プラズマ）エッチング法を用いると良い。ＩＣＰエッチング法を用い、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節することによって所望の形状に膜をエッチングすることができる。

【０１４３】

次いで、ｎ型を付与する不純物元素を半導体層に添加するため、ゲート電極をマスクとして全面にドーピングする第１のドーピング工程を行う。第１のドーピング工程はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を 1.5×10^{14} atoms/cm²とし、加速電圧を６０～１００ｋＶとして行う。第１のドーピング工程により、第２の導電膜と積層していない領域の第１の導電膜を通過させて不純物元素を半導体層に添加することにより、ゲート電極とオーバーラップする低濃度不純物領域を形成することができる。ｎ型を付与する不純物元素として、典型的にはリン（Ｐ）または砒素（Ａｓ）を用いる。

【０１４４】

次いで、レジストからなるマスクを形成した後、半導体にｎ型を付与する不純物元素を第１のドーピング工程よりも高濃度にドーブするための第２のドーピング工程を行う。マスクは、画素部のｐチャネル型ＴＦＴを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、画素部のｎチャネル型ＴＦＴの一部と、駆動回路部のｐチャネル型ＴＦＴを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、を保護するために設ける。

【０１４５】

第2のドーピング工程におけるイオンドーブ法の条件はドーズ量を $5 \times 10^{14} \sim 5 \times 10^{15} / \text{cm}^2$ とし、加速電圧を $50 \sim 100 \text{ kV}$ として行う。第2のドーピング工程により、nチャネル型TFTのソース領域、ドレイン領域が形成される。なお、第2のドーピング工程における加速電圧は、第1のドーピング工程よりも低くする。

【0146】

次いで、マスクを除去した後、新たにレジストからなるマスクを形成し、半導体にp型を付与する不純物元素（代表的にはボロン）を高濃度にドーブするための第3のドーピング工程を行う。マスクは、画素部のnチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、駆動回路部のnチャネル型TFTを形成する半導体層のソース領域、ドレイン領域、及びそれらの周辺の領域と、を保護するために設ける。第3のドーピング工程により、pチャネル型TFTのソース領域、ドレイン領域が形成される。

10

【0147】

この後、レジストマスクを除去する。以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。

【0148】

次いで、LPCVD法、またはプラズマCVD法等を用いて、水素を含む絶縁膜を成膜した後、半導体層に添加された不純物元素の活性化および水素化を行う。水素を含む絶縁膜は、PCVD法により得られる窒化酸化珪素膜（SiNO膜）を用いる。ここでは、水素を含む絶縁膜の膜厚は、 $50 \text{ nm} \sim 200 \text{ nm}$ とする。なお、水素を含む絶縁膜は、層間絶縁膜の1層目であり、酸化珪素を含んでいる。

20

【0149】

次いで、スパッタ法、LPCVD法、またはプラズマCVD法等を用いて層間絶縁膜の2層目となる無機絶縁膜を形成する。無機絶縁膜としては、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜の単層または積層を用いる。ここでは無機絶縁膜の膜厚は $600 \text{ nm} \sim 800 \text{ nm}$ とする。

【0150】

次いで、フォトマスクを用いてレジストからなるマスクを形成し、絶縁膜を選択的にエッチングしてコンタクトホールを形成する。そして、レジストからなるマスクを除去する。

【0151】

30

次いで、スパッタ法により金属膜を積層した後、フォトマスクを用いてレジストからなるマスクを形成し、選択的に金属積層膜をエッチングして、TFTのソース電極またはドレイン電極として機能する電極を形成する。なお、金属積層膜は、同じメタルスパッタ装置内で連続して形成する。そして、レジストからなるマスクを除去する。

【0152】

以上の工程で、同一基板上にポリシリコン膜を活性層とするトップゲート型のTFT 636、637、638、639が作製できる。

【0153】

なお、画素部に配置されるTFT 638は、一つのTFTに複数のチャネル形成領域を有するnチャネル型TFTである。TFT 638は、ダブルゲート型のTFTである。TFT 638は、チャネル形成領域の両側に低濃度不純物領域を備えている。低濃度不純物領域は、ゲート電極と重なる領域（ L_v 領域）とゲート電極と重ならない領域（ L_f 領域）とを有する。また、画素部には、後に形成される発光素子と電氣的に接続するTFT 639が設けられる。ここでは、オフ電流低減のため、TFT 639として、ダブルゲート型のpチャネル型TFTを示したが、特に限定されず、シングルゲート型のTFTとしてもよい。

40

【0154】

また、駆動回路部に配置されるTFT 636は、チャネル形成領域の両側に低濃度不純物領域（ L_v 領域）を備えたnチャネル型TFTである。低濃度不純物領域は、自己整合的にゲート電極と重なっている。また、TFT 637は、ソース側とドレイン側の両方

50

に同じ幅の不純物領域を備えたpチャネル型TFETである。いずれもシングルゲート構造のTFETである。駆動回路部においては、TFET636とTFET637を相補的に接続することでCMOS回路を構成し、様々な種類の回路を実現することができる。また、必要であれば、マルチゲート構造のTFETとすることができる。

【0155】

次いで、第1の電極623、即ち、有機発光素子の陽極（或いは陰極）を形成する。第1の電極623として、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、TiSi_xN_y、WSi_x、WN_x、WSi_xN_y、NbNを用いて、単層膜またはそれらの積層膜を総膜厚100nm～800nmの範囲で用いればよい。

10

【0156】

具体的には第1の電極623として、透光性を有する導電性材料からなる透明導電膜を用いればよく、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化ケイ素を添加したインジウム錫酸化物(ITSO)なども用いることができる。

【0157】

また、各透光性を有する導電性材料の、組成比例を述べる。酸化タングステンを含むインジウム酸化物の組成比は、酸化タングステン1.0wt%、インジウム酸化物99.0wt%とすればよい。酸化タングステンを含むインジウム亜鉛酸化物の組成比は、酸化タングステン1.0wt%、酸化亜鉛0.5wt%、インジウム酸化物98.5wt%とすればよい。酸化チタンを含むインジウム酸化物は、酸化チタン1.0wt%～5.0wt%、インジウム酸化物99.0wt%～95.0wt%とすればよい。インジウム錫酸化物(ITO)の組成比は、酸化錫10.0wt%、インジウム酸化物90.0wt%とすればよい。インジウム亜鉛酸化物(IZO)の組成比は、酸化亜鉛10.7wt%、インジウム酸化物89.3wt%とすればよい。酸化チタンを含むインジウム錫酸化物の組成比は、酸化チタン5.0wt%、酸化錫10.0wt%、インジウム酸化物85.0wt%とすればよい。上記組成比は例であり、適宜その組成比の割合は設定すればよい。

20

【0158】

なお、TFETのソース電極またはドレイン電極として機能する電極を形成した後、無機絶縁膜からなる第2の層間絶縁膜を100nm～150nmで形成し、TFET639に達するコンタクトホールを形成した後に、第1の電極623を形成してもよい。第2の層間絶縁膜としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの無機絶縁膜を用いることができ、これらの絶縁膜を単層又は2以上の複数層で形成すればよい。また、無機絶縁膜を形成する方法としてはスパッタ法、LPCVD法、またはプラズマCVD法等を用いればよい。第2の層間絶縁膜の膜厚は50nm～500nm（好ましくは100nm～300nm）の範囲で形成すればよい。

30

第2の層間絶縁膜を形成することで、駆動回路部のTFETや配線等が露出することを防ぎ、保護することができる。

40

【0159】

次いで、塗布法により得られる絶縁膜（例えば、有機樹脂膜）をパターニングして、第1の電極623の端部を覆う絶縁物629（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。なお、絶縁物629の形成は、マスクを用いるパターニングに限定されず、感光性材料を用いて露光と現像のみで形成してもよい。

【0160】

次いで、有機化合物を含む層624を、蒸着法または塗布法を用いて形成する。

【0161】

有機化合物を含む層624は、積層であり、有機化合物を含む層624の一層としてバッファ層を用いてもよい。バッファ層は、有機化合物と無機化合物とを含む複合材料であり

50

、前記無機化合物は、前記有機化合物に対して電子受容性を示す。バッファ層は、有機化合物と無機化合物とを含む複合材料であり、前記無機化合物は、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、および酸化レニウムからなる群より選ばれるいずれか一または複数である。バッファ層は、ホール輸送性を有する有機化合物と、無機化合物とを含む複合材料である。

【0162】

例えば、第1の電極623と第2の電極の間には有機化合物を含む積層（バッファ層と有機化合物層の積層）を設けることが好ましい。バッファ層は、金属酸化物（酸化モリブデン、酸化タングステン、酸化レニウムなど）と有機化合物（ホール輸送性を有する材料（例えば4,4'-ビス[N-(3-メチルフェニル)-N-フェニルアミノ]ビフェニル（略称：TPD）、4,4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル（略称：-NPD）、4,4'-ビス{N-[4-(N,N-ジ-m-トリルアミノ)フェニル]-N-フェニルアミノ}ビフェニル（略称：DNTPD）など））とを含む複合層である。バッファ層の上にはEL層が設けられ、EL層は、例えば、トリス（8-キノリノラト）アルミニウム（略称：Alq₃）や、トリス（4-メチル-8-キノリノラト）アルミニウム（略称：Almq₃）や、-NPDなどを用いることができる。また、EL層は、ドーパント材料を含ませてもよく、例えば、N,N'-ジメチルキノクリドン（略称：DMQd）や、クマリン6や、ルブレンなどを用いることができる。第1の電極と第2の電極の間に設けられる有機化合物を含む積層は、抵抗加熱法などの蒸着法によって形成すればよい。

【0163】

バッファ層の膜厚を調節することによって、第1の電極と有機化合物層との距離を制御し、発光効率を高めることができる。バッファ層の膜厚を調節することによって、各発光素子からの発光色がきれいに表示された優れた映像を表示でき、低消費電力化された発光装置を実現することができる。

【0164】

次いで、第2の電極625、即ち、有機発光素子の陰極（或いは陽極）を形成する。第2の電極625としては、MgAg、MgIn、AlLiなどの合金、または透明導電膜（ITOなど）を用いる。

【0165】

次いで、蒸着法またはスパッタ法により保護層626を形成する。保護層626は、第2の電極625を保護する。保護層626を通過させて発光素子の発光を取り出す場合、透明な材料とすることが好ましい。なお、必要でなければ保護層626は設けなくともよい。

【0166】

次いで、封止基板633をシール材628で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材で囲み、一對の基板で封止される。TF Tの層間絶縁膜は、基板全面に設けられているため、シール材のパターンが層間絶縁膜の外周縁よりも内側に描画された場合、シール材のパターンの外側に位置する層間絶縁膜の一部から水分や不純物が浸入する恐れがある。従って、TF Tの層間絶縁膜として用いる絶縁膜の外周は、シール材のパターンの内側、好ましくは、シール材パターンと重なるようにして絶縁膜の端部をシール材が覆うようにする。なお、シール材628で囲まれた領域には充填材627を充填する。或いは、シール材628で囲まれた領域には乾燥した不活性ガスを充填する。

【0167】

最後にFPC632を異方性導電膜631により公知の方法で端子電極と貼りつける。この段階での断面図を図5に示す。なお、端子電極は、第1の電極623と同じ工程で得られる透明導電膜を最上層に用いることが好ましく、ゲート配線と同時に形成された端子電極上に形成する。

【 0 1 6 8 】

また、図 6 は、画素部の上面図を示しており、図 6 中の鎖線 E - F で切断した断面が、図 5 における画素部の p チャネル型 T F T 6 3 9 の断面構造に対応している。また、図 6 中の鎖線 M - L で切断した断面が、図 5 における画素部の n チャネル型 T F T 6 3 8 の断面構造に対応している。なお、図 6 中の 6 8 0 で示した実線は、絶縁物 6 2 9 の周縁を示している。ただし、図 6 においては、第 2 導電層のみを図示しており、第 1 導電層は図示していない。画素部の n チャネル型 T F T 6 3 8 および p チャネル型 T F T 6 3 9 のソース電極またはドレイン電極として機能する電極は、半導体層に重なるように配置してもよいし、寄生容量を減らしたい場合は必要な箇所以外は半導体層に重ならないように配置してもよい。

10

【 0 1 6 9 】

以上の工程によって、画素部と駆動回路と端子部とを同一基板上に形成することができる。

【 0 1 7 0 】

本実施の形態において、オフ電流低減のために画素部の T F T をダブルゲート構造とし、画素部および駆動回路の T F T に本実施の形態 2 の T F T を用いている。

【 0 1 7 1 】

また、発光装置において、発光装置の発光表示面は、一面または両面であってもよい。第 1 の電極 6 2 3 と第 2 の電極 6 2 5 とを透明導電膜で形成した場合、発光素子の光は、基板 6 1 0 及び封止基板 6 3 3 を通過して両側に取り出される。この場合、封止基板 6 3 3 や充填材 6 2 7 は透明な材料を用いることが好ましい。

20

【 0 1 7 2 】

また、第 2 の電極 6 2 5 を金属膜で形成し、第 1 の電極 6 2 3 を透明導電膜で形成した場合、発光素子の光は、基板 6 1 0 のみを通して一方に取り出される構造、即ちボトムエミッション型となる。この場合、封止基板 6 3 3 や充填材 6 2 7 は透明な材料を用いなくともよい。

【 0 1 7 3 】

また、第 1 の電極 6 2 3 を金属膜で形成し、第 2 の電極 6 2 5 を透明導電膜で形成した場合、発光素子の光は、封止基板 6 3 3 のみを通して一方に取り出される構造、即ちトップエミッション型となる。この場合、基板 6 1 0 は透明な材料を用いなくともよい。

30

【 0 1 7 4 】

また、第 1 の電極 6 2 3 及び第 2 の電極 6 2 5 は仕事関数を考慮して材料を選択する必要がある。但し第 1 の電極及び第 2 の電極は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用 T F T の極性が p チャネル型である場合、第 1 の電極を陽極、第 2 の電極を陰極とするとよい。また、駆動用 T F T の極性が n チャネル型である場合、第 1 の電極を陰極、第 2 の電極を陽極とすると好ましい。

【 0 1 7 5 】

また、フルカラー表示する場合、本実施の形態の画素部における等価回路図を図 7 に示す。図 7 中のスイッチング T F T 6 3 8 が図 5 の T F T 6 3 8 に対応しており、図 7 中の電流制御用 T F T 6 3 9 が図 5 の T F T 6 3 9 に対応している。図 7 中の 7 0 4 はソース配線、7 0 5 はゲート配線である。赤色を表示する画素は、電流制御用 T F T 6 3 9 のドレイン領域に赤色を発光する O L E D 7 0 3 R が接続され、ソース領域にはアノード側電源線 (R) 7 0 6 R が設けられている。また、O L E D 7 0 3 R には、カソード側電源線 7 0 0 が設けられている。また、緑色を表示する画素は、電流制御用 T F T のドレイン領域に緑色を発光する O L E D 7 0 3 G が接続され、ソース領域にはアノード側電源線 (G) 7 0 6 G が設けられている。また、青色を表示する画素は、電流制御用 T F T のドレイン領域に青色を発光する O L E D 7 0 3 B が接続され、ソース領域にはアノード側電源線 (B) 7 0 6 B が設けられている。それぞれ色の異なる画素には E L 材料に応じて異なる電圧をそれぞれ印加する。

40

【 0 1 7 6 】

50

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【0177】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧(CV)のものと、定電流(CC)のものとがある。ビデオ信号が定電圧のもの(CV)には、発光素子に印加される信号の電圧が一定のもの(CVCV)と、発光素子に印加される信号の電流が一定のもの(CVCC)とがある。また、ビデオ信号が定電流のもの(CC)には、発光素子に印加される信号の電圧が一定のもの(CCCV)と、発光素子に印加される信号の電流が一定のもの(CCCC)とがある。

10

【0178】

また、発光装置において、静電破壊防止のための保護回路(保護ダイオードなど)を設けてもよい。

【0179】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できる。アクティブマトリクス型の液晶表示装置に適用する場合も、実施の形態1や実施の形態2に示した光強度低減機能を有する半透過部を備えた露光マスクを用いて画素部や駆動回路部に配置される各ゲート電極や各配線を形成することができる。これによりマスク枚数の削減が実現でき、同時にGOLD構造を作製する際の微細な位置合わせが不要となる。そして、多くの工程、例えば基板洗浄、レジスト材料塗布、プリベーク、露光、現像及びポストベーク等を削減でき、処理時間を短縮することができる。

20

【0180】

また、本実施の形態は実施の形態1、実施の形態2、実施の形態3、または実施の形態4と自由に組み合わせることができる。

【0181】

(実施の形態6)

実施の形態2、実施の形態3、実施の形態4、実施の形態5では、光強度低減機能を有する半透過部を備えた露光マスクをゲート電極および配線の形成に用いた例を示したが、光強度低減機能を有する半透過部を備えた露光マスクを層間絶縁膜のコンタクト開口形成に用いてもよい。

30

【0182】

本実施の形態では、層間絶縁膜のコンタクト開口形成の際と、接続配線のパターン形成の際とに、光強度低減機能を有する半透過部を備えた露光マスクを用いた例を図8を用いて説明する。

【0183】

実施の形態2に従って、絶縁表面を有する基板710上に下地絶縁膜718を設けた後、半導体層と、該半導体層を覆うゲート絶縁膜714を形成する。そして、第1導電膜と第2導電膜を積層し、光強度低減機能を有する半透過部を備えた露光マスクを用いてレジストパターンを形成し、エッチングしてゲート電極および配線を形成する。

40

【0184】

ここでは、実施の形態2と同様に、第1のTFT部730に第1導電層731及び第2導電層732を形成し、第2のTFT部720に第1導電層721及び第2導電層722を形成する。なお、これらの電極構造は、実施の形態2に説明したのでここでは詳細な説明を省略する。

【0185】

また、図8(A)に示すように、配線部及びコンタクト部740では、上方の配線とコンタクトさせる場所は、第1導電層744の幅が第2導電層745よりも広い形状とする

50

。こうして、上層との配線のアライメントずれが生じて第1導電層ともコンタクトさせることができる。また、コンタクトさせる箇所以外の配線においては、第1導電層741と第2導電層742との端部が一致する形状とする。

【0186】

次いで、第2のTF T部720を覆うレジストパターンを形成した後、半導体層にn型を付与する不純物元素を添加する。このn型を付与する不純物元素の添加によって、ドレイン領域735a、ソース領域735b、第1のLDD領域736a、第2のLDD領域736bが自己整合的に形成される。なお、n型を付与する不純物元素の添加は、1回のドーピング処理で行ってもよいし、複数回に分けてドーピング処理を行ってもよい。

【0187】

図8(A)に示すように、第1のLDD領域736aは、第2のLDD領域736bとチャネル長方向における幅がほぼ同じである。また、第1のLDD領域736a及び第2のLDD領域736bは、ゲート絶縁膜714を介して第1導電層731と重なっている。

【0188】

次いで、レジストパターンを除去した後、新たに第1のTF T部730を覆うレジストパターンを形成する。そして、半導体層にp型を付与する不純物元素を添加する。このp型を付与する不純物元素の添加によって、ドレイン領域725a、ソース領域725b、第3のLDD領域726a、第4のLDD領域726bが自己整合的に形成される。

【0189】

図8(A)に示すように、第3のLDD領域726aは、第4のLDD領域726bとチャネル長方向における幅がほぼ同じである。また、第3のLDD領域726a及び第4のLDD領域726bは、ゲート絶縁膜714を介して第1導電層721と重なっている。

【0190】

また、不純物元素の添加の順序は特に限定されず、例えば、先に半導体層にp型を付与する不純物元素を添加した後、半導体層にn型を付与する不純物元素を添加してもよい。

【0191】

次いで、半導体層に添加した不純物元素の活性化を行った後、層間絶縁膜715を形成し、その上にレジスト膜を塗布する。

【0192】

次いで、図8(A)に示す光強度低減機能を有する半透過部781を備えた露光マスクを用いて、レジスト膜の露光及び現像を行い、図8(A)に示すレジストパターン750を形成する。このレジストパターン750は、下方の絶縁膜に開口を形成するためのマスクであり、半透過部781を備えた露光マスクによって、異なる深さの開口が設けられる。配線部及びコンタクト部740では、第2導電層745の上に層間絶縁膜715の一層だけが設けられているので、第2導電層745の上方には浅い開口が設けられる。これに対し、第1のTF T部730および第2のTF T部720では、それぞれソース領域およびドレイン領域の上に層間絶縁膜715とゲート絶縁膜714の二層が設けられているので、ソース領域およびドレイン領域の上方には深い開口が設けられる。ここで用いる露光マスクの半透過部781の条件(ラインおよびスペースの形状、サイズ、配置等)は、実施の形態1等で示した条件とは別の条件の露光マスクを用いることができる。このように本発明は、実施の形態1等で示した条件の露光マスクと、それとは別の条件の露光マスクとを組み合わせ用いることが可能である。

【0193】

次いで、レジストパターン750を用いてエッチングを行い、層間絶縁膜715及びゲート絶縁膜714に開口を形成する。このエッチングでは、レジストパターン750をエッチングしながら、層間絶縁膜715及びゲート絶縁膜714の開口形成が行われ、異なる深さの開口を形成することができる。

【0194】

次いで、レジストパターンを除去する。この段階での断面図を図8(B)に示す。

【0195】

次いで、第3導電層（窒化チタン膜など）と第4導電層（アルミニウム膜など）の積層を形成する。そして、パターニングを行って、接続配線の第3導電層761、接続配線の第4導電層766と、ドレイン配線の第3導電層762、ドレイン配線の第4導電層767と、ソース配線の第3導電層763、ソース配線の第4導電層768とを形成する。加えて、第2のTFT部においては、接続電極の第3導電層765、接続電極の第4導電層770とソース電極の第3導電層769、ソース電極の第4導電層764を形成する。ここでは、光強度低減機能を有する半透過部を備えた露光マスクを接続電極のパターン形成に用いている。接続電極の第3導電層765は、接続電極の第4導電層770よりも面積が広い。

10

【0196】

次いで、プラズマ処理を行い、第4導電層を酸化させて第4導電層の表面に酸化膜771を形成する。

【0197】

なお、プラズマ処理により第4導電層を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、プラズマ処理によって形成される絶縁膜は、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでおり、Arを用いた場合には絶縁膜にArが含まれている。

20

【0198】

また、第4導電層にプラズマ処理を行う場合、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上であり、プラズマの電子温度が1.5 eV以下で行う。より詳しくいうと、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下で、プラズマの電子温度が0.5 eV以上1.5 eV以下で行う。プラズマの電子密度が高密度であり、基板上に形成された被処理物（ここでは、第4導電層）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1.5 eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45 GHz）等の高周波を用いることができる。

30

【0199】

次いで、発光素子を構成する一方の電極772を形成する。この電極772は、接続電極の第3導電層765と一部が重なるように配置し、TFTと電氣的に接続している。電極772は、仕事関数の大きい材料、例えば、Ni、W、Cr、Pt、Zn、Sn、InまたはMoから選ばれた元素、または前記元素を主成分とする合金材料、例えばTiN、 $TiSi_xN_y$ 、 WSi_x 、 WN_x 、 WSi_xN_y 、NbNを用いて、単層膜またはそれらの積層膜を総膜厚100 nm～800 nmの範囲で用いればよい。

40

【0200】

次いで、発光素子を構成する一方の電極772の端部を覆う絶縁物773（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。

【0201】

50

次いで、電極 772 上に有機化合物を含む層 774 を、蒸着法または塗布法を用いて形成する。

【0202】

次いで、有機化合物を含む層 774 上に、発光素子を構成するもう一方の電極 775 を形成する。電極 775 は、MgAg、MgIn、AlLiなどの合金、または透明導電膜(ITOなど)を用いればよい。

【0203】

こうして、第2のTFT部720には、一方の電極772と、有機化合物を含む層774と、もう一方の電極775とで構成される発光素子と、該発光素子と接続されるpチャネル型TFTが形成される。発光素子に接続するTFTとしては、オフ電流低減のため、同じ幅のLDD領域を有することが望ましい。

10

【0204】

また、駆動回路のバッファ回路の一部を構成するTFTとしては、第1のTFT部730に示すnチャネル型TFTを配置することが望ましい。第1のTFT部730に示すnチャネル型TFTは、ドレイン近傍の電界強度を緩和でき、回路の劣化を抑えることができる。

【0205】

また、本実施の形態は実施の形態1、実施の形態2、実施の形態3、実施の形態4、または実施の形態5と自由に組み合わせることができる。

【0206】

20

(実施の形態7)

ここでは、図9を用いて、発光表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

【0207】

図9(A)に示す図は、FPC1209を4カ所の端子部1208に貼り付けた発光装置の上面図の一例を示している。基板1210上には発光素子及びTFTを含む画素部1202と、TFTを含むゲート側駆動回路1203と、TFTを含むソース側駆動回路1201とが形成されている。TFTの活性層が結晶構造を有する半導体膜で構成されており、同一基板上にこれらの回路を形成している。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

30

【0208】

なお、基板1210はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【0209】

また、画素部を挟むように2カ所に設けられた接続領域1207は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電氣的に接続している。

【0210】

また、封止基板1204は、画素部および駆動回路を囲むシール材1205、およびシール材に囲まれた充填材料によって基板1210と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

40

【0211】

また、図9(A)に示した構造は、XGAクラスの比較的大きなサイズ(例えば対角4.3インチ)の発光装置で好適な例を示したが、図9(B)は、狭額縁化させた小型サイズ(例えば対角1.5インチ)で好適なCOG方式を採用した例である。

【0212】

図9(B)において、基板1310上に駆動IC1301が実装され、駆動ICの先に配置された端子部1308にFPC1309を実装している。実装される駆動IC1301は、生産性を向上させる観点から、一辺が300mmから1000mm、さらには100

50

0 mm以上の一边を有する矩形状の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して駆動ICを個別に取り出せばよい。駆動ICの長辺の長さは、画素部の一边の長さや画素ピッチを考慮して、長辺が15～80 mm、短辺が1～6 mmの矩形状に形成してもよいし、画素領域の一边、又は画素部の一边と各駆動回路の一边とを足した長さに形成してもよい。

【0213】

駆動ICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15～80 mmで形成された駆動ICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動ICを形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

10

【0214】

また、TAB方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動ICを実装すればよい。COG方式の場合と同様に、単数のテープに単数の駆動ICを実装してもよく、この場合には、強度の問題から、駆動ICを固定するための金属片等を一緒に貼り付けるとよい。

【0215】

また、画素部1302と駆動IC1301の間に設けられた接続領域1307は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFTと電氣的に接続している。

20

【0216】

また、封止基板1304は、画素部1302を囲むシール材1305、およびシール材に囲まれた充填材料によって基板1310と固定されている。

【0217】

また、画素部のTFTの活性層として非晶質半導体膜を用いる場合には、駆動回路を同一基板上に形成することは困難であるため、大きなサイズであっても図9(B)の構成となる。

【0218】

また、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できることはいうまでもない。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、素子基板に設けられた画素電極と対向基板に設けられた対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。対向基板と素子基板は、等間隔で配置され、液晶材料が充填されている。液晶材料は、シール材を閉パターンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパターンを設け、TFT基板を貼り合わせた後に毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いてもよい。

30

40

【0219】

また、カラーフィルタを用いずに、光シャッターを用い、RGBの3色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いた液晶表示装置にも本発明は、適用できる。

【0220】

以上の様に、本発明を実施する、即ち実施の形態1乃至6のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【0221】

(実施の形態8)

50

本発明の半導体装置、及び電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図10および図11に示す。

【0222】

図10（A）はデジタルカメラであり、本体2101、表示部2102、撮像部、操作キー2104、シャッター2106等を含む。なお、図10（A）は表示部2102側からの図であり、撮像部は示していない。本発明により、高精細な表示部を有し、且つ、信頼性の高いデジタルカメラが実現できる。

10

【0223】

図10（B）はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により、高精細な表示部を有し、且つ、信頼性の高いノート型パーソナルコンピュータを実現することができる。

【0224】

図10（C）は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体（DVD等）読込部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い画像再生装置を実現することができる。

20

【0225】

また、図10（D）は表示装置であり、筐体1901、支持台1902、表示部1903、スピーカー1904、ビデオ入力端子1905などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した薄膜トランジスタをその表示部1903および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い表示装置、特に22インチ～50インチの大画面を有する大型の表示装置を実現することができる。

30

【0226】

また、本発明のTFTを有する薄膜集積回路に加えてアンテナなどを形成することによって、非接触型薄膜集積回路装置（無線ICタグ、RFID（無線認証、Radio Frequency Identification）とも呼ばれる）として用いることもできる。また、ICタグを様々な電子機器に貼り付けることにより、電子機器の流通経路などを明確にすることができる。

40

【0227】

また、図10（E）はパスポート1941に無線ICタグ1942を付けている状態を示している。また、パスポート1941に無線ICタグを埋め込んでもよい。同様にして、運転免許証、クレジットカード、紙幣、硬貨、証券、商品券、チケット、トラベラーズチェック（T/C）、健康保険証、住民票、戸籍謄本などに無線ICタグを付けたり埋め込むことができる。この場合、本物であることを示す情報のみを無線ICタグに入力しておき、不正に情報を読み取ったり書き込んだりできないようにアクセス権を設定する。これは、他の実施例で示したメモリを用いることにより実現できる。このようにタグとして利用することによって、偽造されたものと区別することが可能になる。このほかに、無線ICタグをメモリとして用いることも可能である。また、無線ICタグを包装用容器類、記

50

録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に設けることにより、検品システム等のシステムの効率化を図ることができる。

【 0 2 2 8 】

また、図 1 1 で示す携帯電話機は、操作スイッチ類 9 0 4、マイクロフォン 9 0 5 などが備えられた本体 (A) 9 0 1 と、表示パネル (A) 9 0 8、表示パネル (B) 9 0 9、スピーカー 9 0 6 などが備えられた本体 (B) 9 0 2 とが、蝶番 9 1 0 で開閉可能に連結されている。表示パネル (A) 9 0 8 と表示パネル (B) 9 0 9 は、回路基板 9 0 7 と共に本体 (B) 9 0 2 の筐体 9 0 3 の中に収納される。表示パネル (A) 9 0 8 及び表示パネル (B) 9 0 9 の画素部は筐体 9 0 3 に形成された開口窓から視認できるように配置される。

10

【 0 2 2 9 】

表示パネル (A) 9 0 8 と表示パネル (B) 9 0 9 は、その携帯電話機 9 0 0 の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル (A) 9 0 8 を主画面とし、表示パネル (B) 9 0 9 を副画面として組み合わせることができる。

【 0 2 3 0 】

本発明により、高精細な表示部を有し、且つ、信頼性の高い携帯電話機を実現することができる。

【 0 2 3 1 】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番 9 1 0 の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類 9 0 4、表示パネル (A) 9 0 8、表示パネル (B) 9 0 9 を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

20

【 0 2 3 2 】

以上の様に、本発明を実施する、即ち実施の形態 1 乃至 7 のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【 0 2 3 3 】

(実施の形態 9)

実際に、半透過部における遮光材料のライン幅 L と遮光材料間のスペース幅 S との和は、露光装置の解像度を n 、投影倍率を $1/m$ ($m \geq 1$) とすると、 n 、 m との関係が、 $(n/3) \times m \leq L + S \leq (3n/2) \times m$ の条件式を満たし、かつ、 n 、 m 、 L の関係は、 $L < (2n/3) \times m$ を満たす露光マスクを用いて露光および現像を行った例を図 1 4 に示す。図 1 4 (A) は露光マスクの断面図を模式的に示したものであり、図 1 4 (B) はこの露光マスクを用いて露光および現像を行って得られたレジストパターンの断面写真を示す。図 1 4 (A) の露光マスクの位置と、図 1 4 (B) のレジストパターンの断面写真の位置とは、ほぼ対応している。投影倍率は等倍、解像度は $1.5 \mu\text{m}$ の露光装置を用いた。図 1 4 (A) の露光マスクにおいて、ラインおよびスペースの幅はライン幅 $0.5 \mu\text{m}$ 、スペース幅 $1.0 \mu\text{m}$ であり、ラインおよびスペースは上の関係を満たしている。この露光マスクを用いて露光および現像を行うと、図 1 4 (B) に示すような膜厚の薄い領域を有し、かつ膜厚の薄い領域においてその膜厚がほぼ均一なレジストパターンを形成することができた。

30

40

【 0 2 3 4 】

このレジストパターンは、第 1 導電層上に第 2 導電層が積層された二層の導電層の上に形成されている。ここでは、第 1 導電層として TaN を用い、第 2 導電層としてタングステン膜を用いている。

【 0 2 3 5 】

次に、ドライエッチングにより第 2 導電層及び第 1 導電層のエッチングを行う。ドライエッチングはレジストパターンをアッシングしながら行う。エッチングガスには、 CF_4 、 SF_6 、 Cl_2 、 O_2 を用いる。エッチング速度の向上には ECR (Electron

50

Cyclotron Resonance) や ICP (Inductively Coupled Plasma) などの高密度プラズマ源を用いたドライエッチング装置を用いる。ここでは、ICP 型エッチング装置を用いた例を示す。

【0236】

こうして図14(C)に示すように、第1導電層、第2導電層からなる導電積層パターンが形成される。図14(C)には、斜方からの観察写真を示している。ドライエッチングにより、透過部、即ちレジストパターンが形成されていない領域では、第1導電層および第2導電層はエッチングされ、除去される。遮光部、即ちレジストパターンの膜厚が厚い領域では、第1導電層および第2導電層は、レジストパターンがマスクとなるためエッチングされずに残る。半透過部、即ちレジストパターンの膜厚が薄い領域では、第2導電層はエッチングされ、除去されるが、第1導電層はエッチングされずに残る。このように、エッチングによって、第1導電層は、両側壁が露出し、さらに第2導電層と重ならない領域が露出される。

10

【0237】

以上のように、上の関係を満たす半透過部を備えた露光マスクを用いて露光することによって、半透過部を通過した露光光の被露光面における露光量は半透過部においてほぼ均一化された光量となり、半透過部のレジストパターンの膜厚を薄く、かつその膜厚を均一に形成することができる。このレジストパターンの膜厚が薄い部分を使って被エッチング層をエッチングすることができる。レジストパターンの膜厚が薄い部分は、膜厚が厚い部分と比べて被エッチング層の膜厚を薄く形成することができる。レジストパターンの膜厚が薄い部分は、膜厚が厚い部分とは異なる形状に被エッチング層のパターンを形成することができる。このレジストパターンを利用して精度よく所望のパターンのゲート電極や他の電極、配線等を形成することができる。この露光マスクを用いて、膜厚の厚い第1の領域と、第1の領域の側部に第1の領域より膜厚の薄い第2の領域とを有するゲート電極を形成した場合は、ゲート電極をイオンドーピング時のマスクとして用いることで、チャンネル形成領域の両側もしくは一方の側にゲート電極とオーバーラップする低濃度不純物領域(L_o領域)を自己整合的に形成することができる。

20

【0238】

また、本実施の形態は実施の形態1、実施の形態2、実施の形態3、実施の形態4、実施の形態5、実施の形態6、実施の形態7、または実施の形態8と自由に組み合わせることができる。

30

【産業上の利用可能性】

【0239】

本発明は、半透過部においてフォトレジスト層の膜厚を薄く、かつその膜厚を均一に形成することができるフォトリソグラフィ工程の回数(マスク枚数)を削減し、半導体装置の生産性向上、コスト低減を実現できる。

本発明は、同一基板上に様々な回路を形成し、各回路に最適な幅を有するLDD領域を自己整合的に形成することができる。また、LDD領域の幅を個々の回路に応じて精密に制御することができる。各回路のTFETのLDD領域の最適化を図ることによって、信頼性向上や、消費電力の低減や、高速駆動を実現できる。

40

【0240】

例えば、幅の異なるLDD領域をチャンネル形成領域の両側に有するTFETや、同じ幅のLDD領域をチャンネル形成領域の両側に有するTFETや、LDD領域を設けないTFETなどを工程数を増やすことなく、同一基板上に形成することができる。

【図面の簡単な説明】

【0241】

【図1】露光マスクの上面図及び光強度分布を示す図。(実施の形態1)

【図2】半導体装置の作製工程を示す断面図。(実施の形態2)

【図3】半導体装置の作製工程を示す断面図。(実施の形態3)

【図4】半導体装置の作製工程を示す断面図。(実施の形態4)

50

【図 5】発光装置の断面図。(実施の形態 5)	
【図 6】画素部における上面図。(実施の形態 5)	
【図 7】画素部における等価回路を示す図。(実施の形態 5)	
【図 8】発光装置の断面図。(実施の形態 6)	
【図 9】モジュールの一例を示す図。(実施の形態 7)	
【図 10】電子機器の一例を示す図。(実施の形態 8)	
【図 11】電子機器の一例を示す図。(実施の形態 8)	
【図 12】露光マスクの断面図及びフォトリソ層の断面写真。	
【図 13】露光マスクの断面図及びフォトリソ層の断面写真。	
【図 14】露光マスクの断面図及びレジストパターンの断面写真及び導電積層パターンの 斜方からの観察写真。	10
【符号の説明】	
【 0 2 4 2 】	
1 0 1 絶縁表面を有する基板	
1 0 2 第 1 絶縁膜	
1 0 3 半導体層	
1 0 4 第 2 絶縁膜	
1 0 5 a 第 1 導電層	
1 0 5 b 第 1 導電層	
1 0 6 a 第 2 導電層	20
1 0 6 b 第 2 導電層	
1 0 7 a レジストパターン	
1 0 7 b レジストパターン	
1 0 9 a 低濃度不純物領域	
1 0 9 b 低濃度不純物領域	
1 1 0 高濃度の一導電型不純物領域	
1 1 1 高濃度の一導電型不純物領域	
1 1 2 第 3 絶縁膜	
1 1 3 第 4 絶縁膜	
1 1 4 ソース電極	30
1 1 5 ドレイン電極	
2 0 2 遮光部 P の端部	
2 0 3 ライン	
2 0 4 スペース	
2 0 6 遮光部 P の端部	
2 0 7 ライン	
2 0 8 スペース	
2 1 2 矩形パターン	
2 1 3 スペース	
2 1 4 光強度分布	40
3 0 1 基板	
3 0 2 第 1 絶縁膜	
3 0 3 半導体層	
3 0 4 第 2 絶縁膜	
3 0 5 a 第 1 導電層	
3 0 5 b 第 1 導電層	
3 0 6 a 第 2 導電層	
3 0 6 b 第 2 導電層	
3 0 6 c 第 2 導電層	
3 0 6 d 第 2 導電層	50

3 0 6 e	第 2 導電層	
3 0 7 a	レジストパターン	
3 0 7 b	レジストパターン	
3 0 7 c	レジストパターン	
3 0 7 d	レジストパターン	
4 0 0	透光性基板	
4 0 1	遮光部	
4 0 2	半透過部	
4 0 3 a	非露光領域	
4 0 3 b	露光領域	10
5 0 0	基板	
5 0 2	半導体層	
5 0 3	半導体層	
5 0 4	ゲート絶縁層	
5 0 5	第 1 の導電膜	
5 0 6	第 2 の導電膜	
5 0 8	絶縁層	
5 2 0	第 1 の T F T 部	
5 2 1	第 1 のゲート電極層	
5 2 2	第 2 のゲート電極層	20
5 2 3	レジストパターン	
5 2 4 a	低濃度不純物領域	
5 2 4 b	低濃度不純物領域	
5 2 5 a	高濃度不純物領域	
5 2 5 b	高濃度不純物領域	
5 2 6 a	低濃度不純物領域	
5 2 6 b	低濃度不純物領域	
5 2 9	レジストパターン	
5 3 0	第 2 の T F T 部	
5 3 1	第 1 のゲート電極層	30
5 3 2	第 2 のゲート電極層	
5 3 3	レジストパターン	
5 3 4 a	低濃度不純物領域	
5 3 4 b	低濃度不純物領域	
5 3 5 a	高濃度不純物領域	
5 3 5 b	高濃度不純物領域	
5 3 6 a	低濃度不純物領域	
5 3 6 b	低濃度不純物領域	
5 3 9	レジストパターン	
5 4 0	配線部	40
5 4 1	第 1 の配線層	
5 4 2	第 2 の配線層	
5 4 3	レジストパターン	
5 4 9	レジストパターン	
5 5 1	遮光部	
5 5 2	半透過部	
5 5 3	遮光部	
5 5 4	半透過部	
5 5 5	遮光部	
6 1 0	絶縁表面を有する基板	50

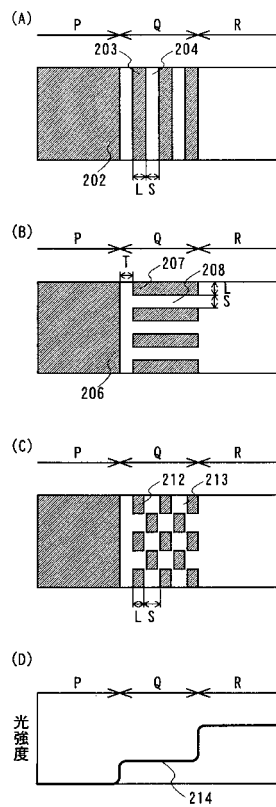
6 1 1	下地絶縁膜	
6 2 3	第 1 の電極	
6 2 4	有機化合物を含む層	
6 2 5	第 2 の電極	
6 2 6	保護層	
6 2 7	充填材	
6 2 8	シール材	
6 2 9	絶縁物	
6 3 1	異方性導電膜	
6 3 2	F P C	10
6 3 3	封止基板	
6 3 6	n チャネル型 T F T	
6 3 7	p チャネル型 T F T	
6 3 8	n チャネル型 T F T	
6 3 9	p チャネル型 T F T	
6 8 0	絶縁物の周縁	
7 0 0	カソード側電源線	
7 0 3 R	赤色を発光する O L E D	
7 0 3 G	緑色を発光する O L E D	
7 0 3 B	青色を発光する O L E D	20
7 0 4	ソース配線	
7 0 5	ゲート配線	
7 0 6 R	アノード側電源線	
7 0 6 G	アノード側電源線	
7 0 6 B	アノード側電源線	
7 1 0	絶縁表面を有する基板	
7 1 4	ゲート絶縁膜	
7 1 5	層間絶縁膜	
7 1 8	下地絶縁膜	
7 2 0	第 2 の T F T 部	30
7 2 1	第 1 導電層	
7 2 2	第 2 導電層	
7 2 5 a	ドレイン領域	
7 2 5 b	ソース領域	
7 2 6 a	第 3 の L D D 領域	
7 2 6 b	第 4 の L D D 領域	
7 3 0	第 1 の T F T 部	
7 3 1	第 1 導電層	
7 3 2	第 2 導電層	
7 3 5 a	ドレイン領域	40
7 3 5 b	ソース領域	
7 3 6 a	第 1 の L D D 領域	
7 3 6 b	第 2 の L D D 領域	
7 4 0	配線部及びコンタクト部	
7 4 1	第 1 導電層	
7 4 2	第 2 導電層	
7 4 4	第 1 導電層	
7 4 5	第 2 導電層	
7 5 0	レジストパターン	
7 6 1	接続配線の第 3 導電層	50

7 6 2	ドレイン配線の第 3 導電層	
7 6 3	ソース配線の第 3 導電層	
7 6 4	ソース電極の第 4 導電層	
7 6 5	接続電極の第 3 導電層	
7 6 6	接続配線の第 4 導電層	
7 6 7	ドレイン配線の第 4 導電層	
7 6 8	ソース配線の第 4 導電層	
7 6 9	ソース電極の第 3 導電層	
7 7 0	接続電極の第 4 導電層	
7 7 1	酸化膜	10
7 7 2	電極	
7 7 3	絶縁物	
7 7 4	有機化合物を含む層	
7 7 5	電極	
7 8 1	半透過部	
9 0 1	本体 (A)	
9 0 2	本体 (B)	
9 0 3	筐体	
9 0 4	操作スイッチ類	
9 0 5	マイクロフォン	20
9 0 6	スピーカー	
9 0 7	回路基板	
9 0 8	表示パネル (A)	
9 0 9	表示パネル (B)	
9 1 0	蝶番	
1 2 0 1	ソース側駆動回路	
1 2 0 2	画素部	
1 2 0 3	ゲート側駆動回路	
1 2 0 4	封止基板	
1 2 0 5	シール材	30
1 2 0 7	接続領域	
1 2 0 8	端子部	
1 2 0 9	F P C	
1 2 1 0	基板	
1 3 0 1	駆動 I C	
1 3 0 2	画素部	
1 3 0 4	封止基板	
1 3 0 5	シール材	
1 3 0 7	接続領域	
1 3 0 8	端子部	40
1 3 0 9	F P C	
1 3 1 0	基板	
1 9 0 1	筐体	
1 9 0 2	支持台	
1 9 0 3	表示部	
1 9 0 4	スピーカー	
1 9 0 5	ビデオ入力端子	
1 9 4 1	パスポート	
1 9 4 2	無線 I C タグ	
2 1 0 1	本体	50

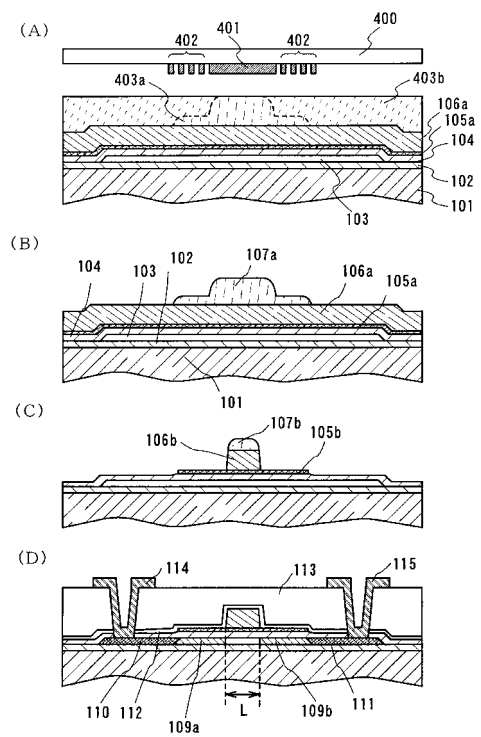
- 2 1 0 2 表示部
- 2 1 0 4 操作キー
- 2 1 0 6 シャッター
- 2 2 0 1 本体
- 2 2 0 2 筐体
- 2 2 0 3 表示部
- 2 2 0 4 キーボード
- 2 2 0 5 外部接続ポート
- 2 2 0 6 ポインティングマウス
- 2 4 0 1 本体
- 2 4 0 2 筐体
- 2 4 0 3 表示部 A
- 2 4 0 4 表示部 B
- 2 4 0 5 記録媒体読込部
- 2 4 0 6 操作キー
- 2 4 0 7 スピーカー部

10

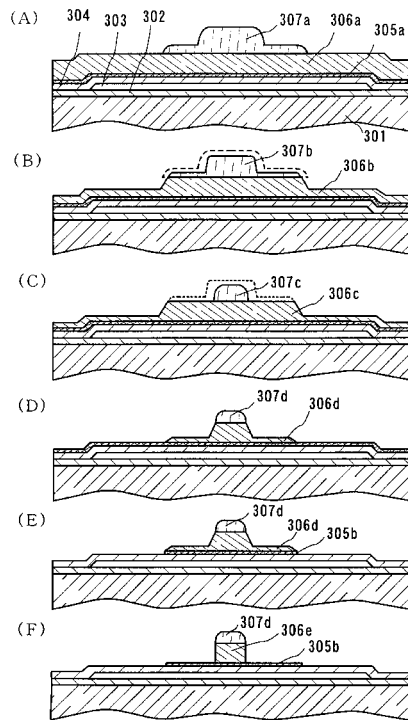
【図 1】



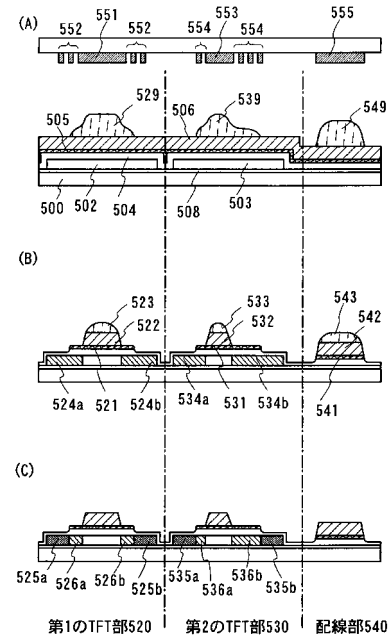
【図 2】



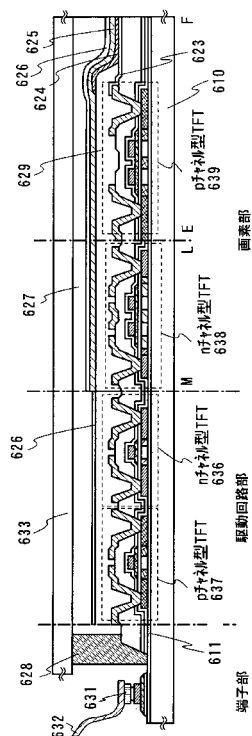
【図 3】



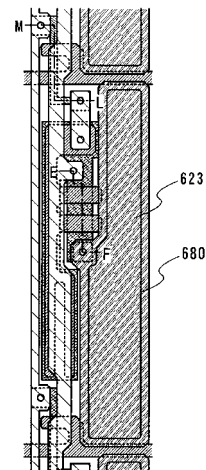
【図 4】



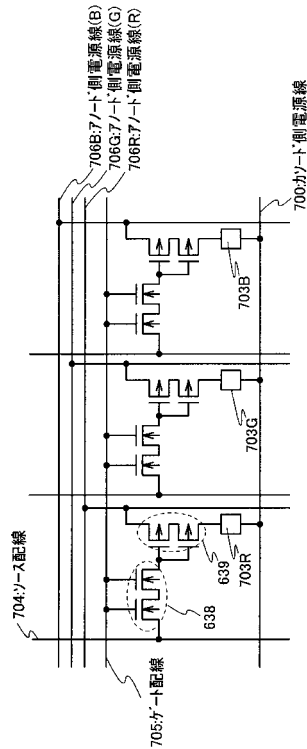
【図 5】



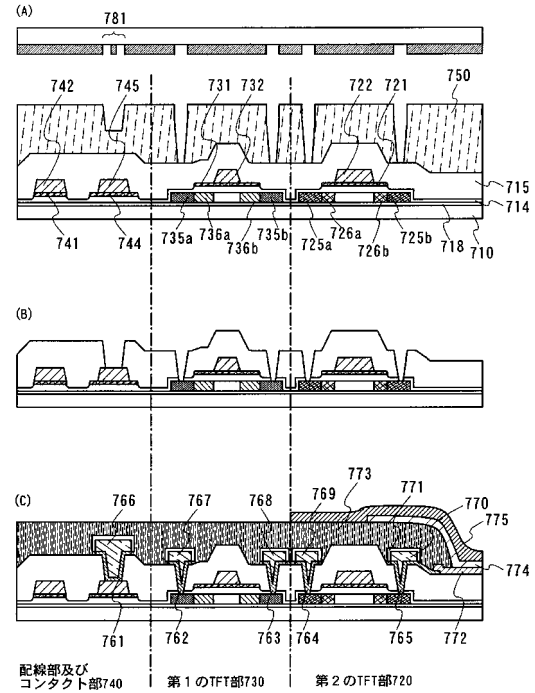
【図 6】



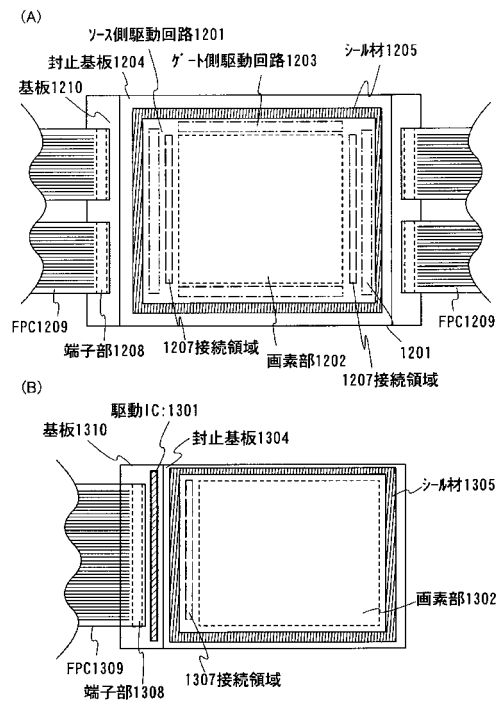
【図 7】



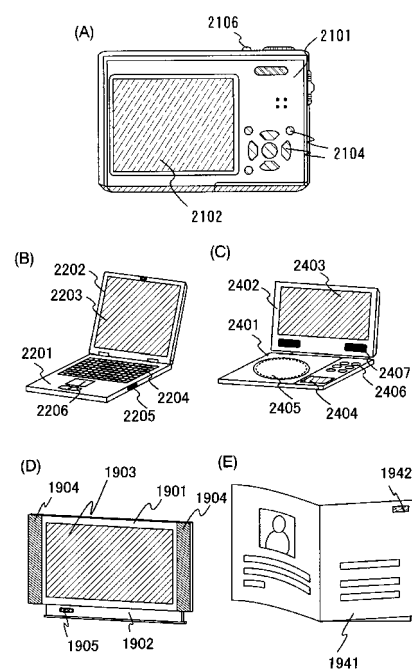
【図 8】



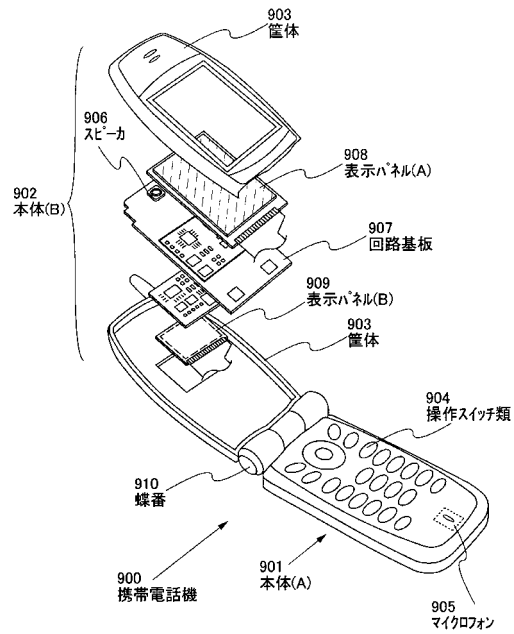
【図 9】



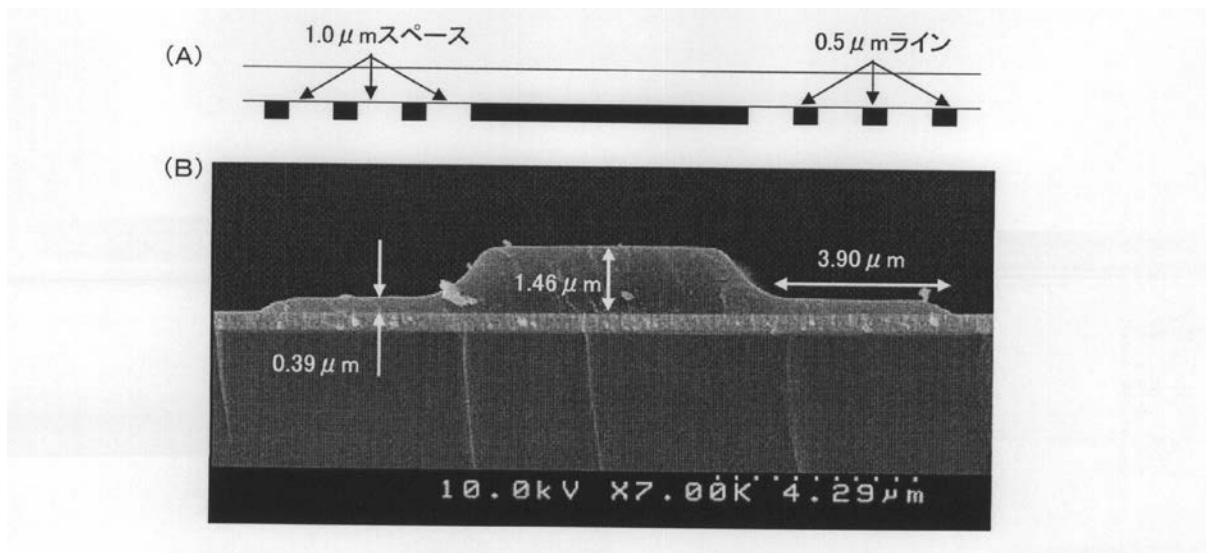
【図 10】



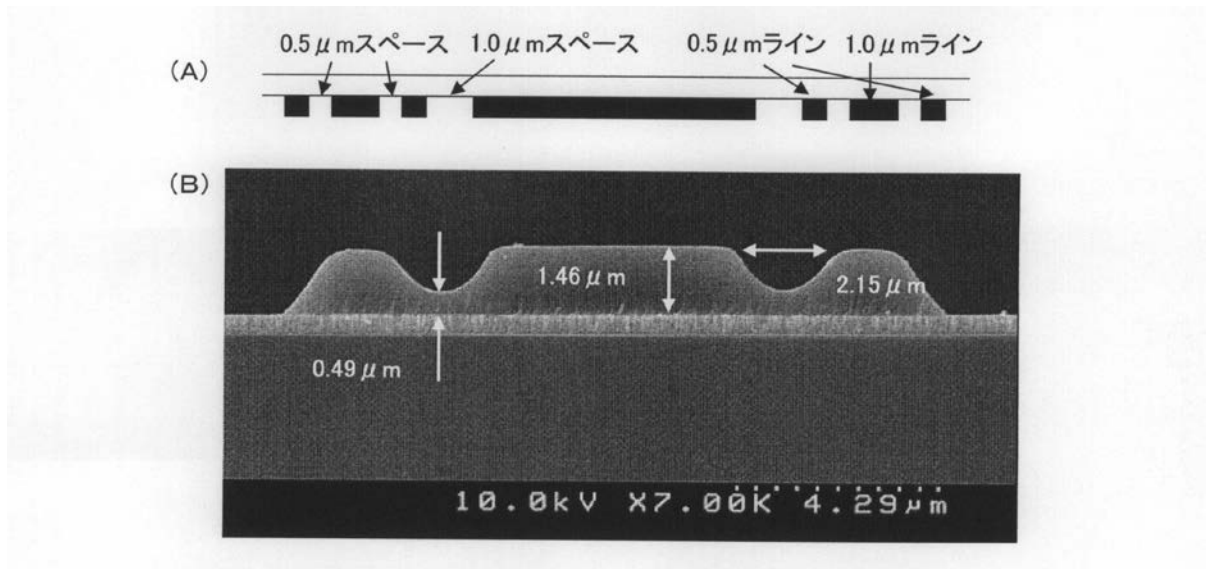
【図 1 1】



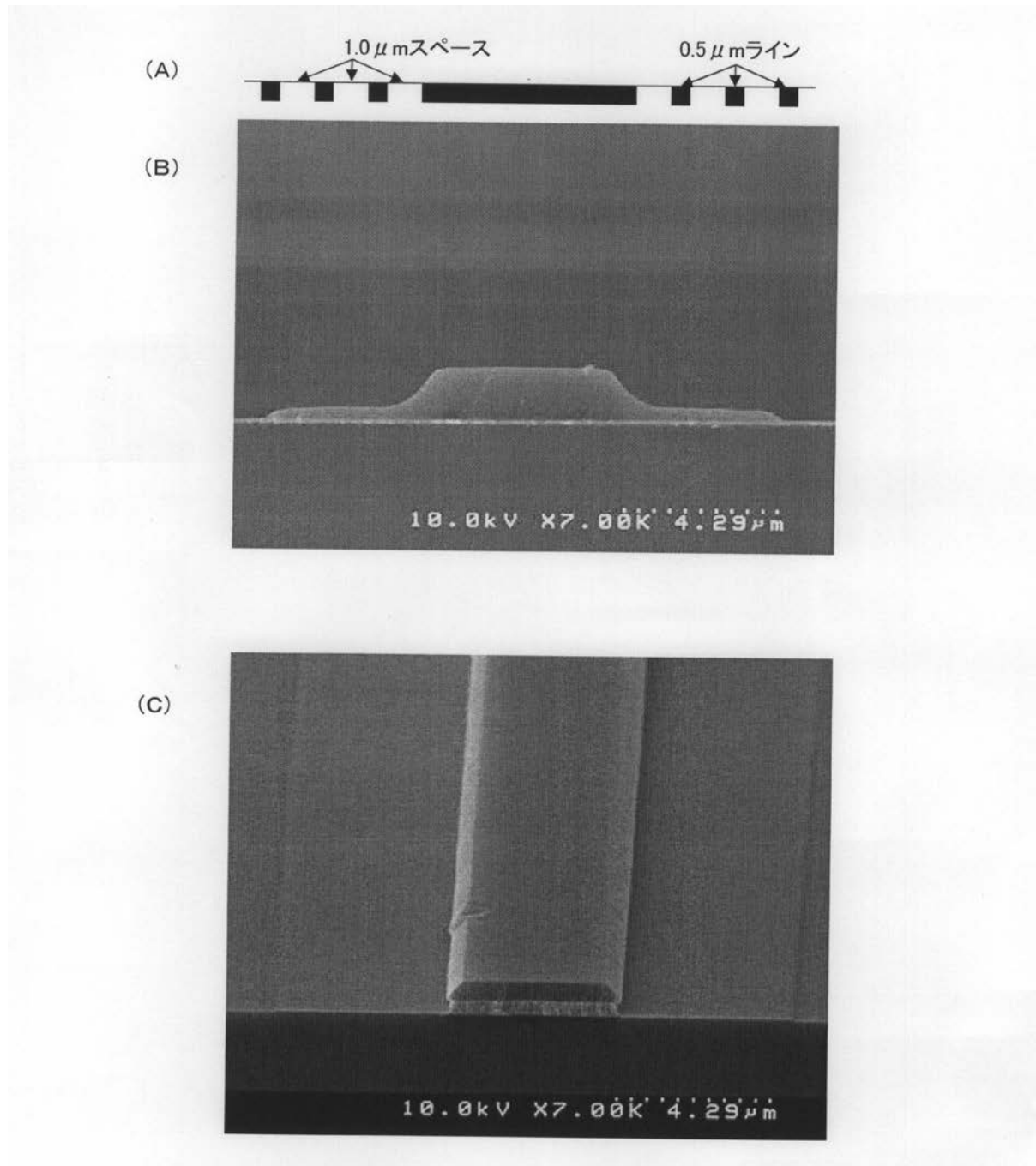
【図 1 2】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/30 5 1 4 C

(56)参考文献 特開 2 0 0 2 - 1 3 1 8 8 5 (J P , A)

特開 2 0 0 2 - 2 1 7 4 1 9 (J P , A)

特開 2 0 0 5 - 0 2 4 7 3 0 (J P , A)

特開 2 0 0 2 - 1 5 1 5 2 3 (J P , A)

特開 2 0 0 5 - 0 1 0 8 1 4 (J P , A)

特開 2 0 0 5 - 0 3 7 9 3 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 3 F 1 / 0 0

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 1 / 0 2 7

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6