



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년11월22일

(11) 등록번호 10-2469539

(24) 등록일자 2022년11월17일

(51) 국제특허분류(Int. Cl.)
G06F 3/06 (2006.01) G06F 11/10 (2006.01)(52) CPC특허분류
G06F 3/0649 (2013.01)
G06F 11/1008 (2013.01)

(21) 출원번호 10-2017-0177848

(22) 출원일자 2017년12월22일

심사청구일자 2020년11월26일

(65) 공개번호 10-2019-0076228

(43) 공개일자 2019년07월02일

(56) 선행기술조사문헌

한국공개특허 제10-2015-0055445호(2015.05.21.)
1부.*

(뒷면에 계속)

전체 청구항 수 : 총 17 항

심사관 : 김종기

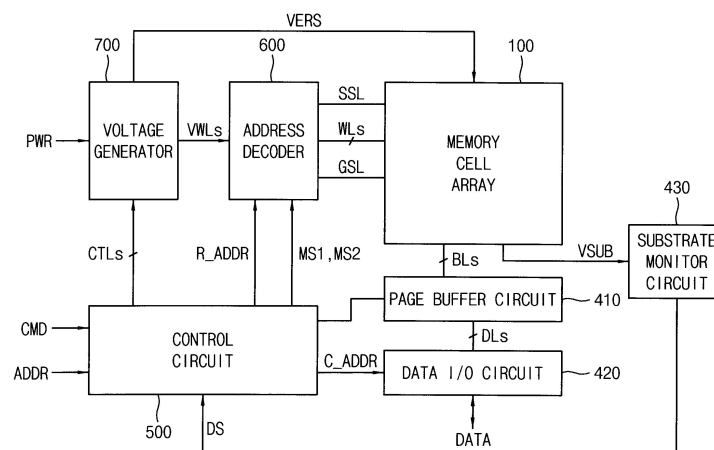
(54) 발명의 명칭 비휘발성 메모리 장치, 비휘발성 메모리 장치의 동작 방법 및 저장 장치

(57) 요약

비휘발성 메모리 장치는 메모리 셀 어레이 및 제어 회로를 포함한다. 상기 메모리 셀 어레이는 물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함한다. 상기 제어 회로는 상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블록으로 구분하고, 외부로부터의 커맨드 및 어드레스에 기초하여 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시킨다.

대표도

50



(52) CPC특허분류

G06F 3/064 (2013.01)
G06F 3/0652 (2013.01)
G06F 3/0658 (2013.01)
G06F 3/0659 (2013.01)
G06F 3/0688 (2013.01)

(56) 선행기술조사문헌

한국공개특허 제10-2012-0109244호(2012.10.08.)
1부.*
한국공개특허 제10-2013-0087230호(2013.08.06.)
1부.*
미국공개특허 제2006-0002190호(2006.01.05.) 1
부.*
미국공개특허 제2011-0157981호(2011.06.30.) 1
부.*
*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함하는 메모리 셀 어레이; 및

상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블록으로 구분하고, 외부로부터의 커맨드 및 어드레스에 기초하여 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키는 제어 회로를 포함하고,

상기 제어 회로는

상기 어드레스가 상기 적어도 하나의 노멀 서브 블록을 지정하는 경우에는 제1 시간 구간 동안 제1 프로그램/소거 사이클을 상기 적어도 하나의 노멀 서브 블록에 적용시키고,

상기 어드레스가 상기 적어도 하나의 배드 서브 블록을 지정하는 경우에는 제1 기준 사이클 값까지는 제2 시간 구간 동안 상기 제1 프로그램/소거 사이클보다 작은 제2 프로그램/소거 사이클을 상기 적어도 하나의 배드 서브 블록에 적용시키고, 상기 제1 기준 사이클 값 이후에는 제3 시간 구간 동안 상기 제2 프로그램/소거 사이클보다 작은 제3 프로그램/소거 사이클을 상기 적어도 하나의 배드 서브 블록에 적용시키고,

상기 제2 시간 구간은 상기 제1 시간 구간보다 작고, 상기 제3 시간 구간은 상기 제1 시간 구간보다 작은 비휘발성 메모리 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 비휘발성 메모리 장치는,

제어 신호에 기초하여 워드라인 전압들을 생성하는 전압 생성기; 및

로우 어드레스에 기초하여 상기 워드라인 전압들을 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 제공하는 어드레스 디코더를 더 포함하고,

상기 제어 회로는 상기 커맨드 및 상기 어드레스에 기초하여 상기 전압 생성기와 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

청구항 5

제4항에 있어서, 상기 제어 회로는

상기 적어도 하나의 배드 서브 블록에 포함되는 워드라인들의 배드 로우 어드레스들을 저장하는 배드 서브 블록 정보 레지스터;

상기 커맨드를 디코딩하여 디코딩된 커맨드를 제공하는 커맨드 디코더;

상기 로우 어드레스와 상기 배드 로우 어드레스들을 비교하고, 상기 비교의 결과를 나타내는 매치 신호를 출력하는 어드레스 비교기;

상기 제1 프로그램/소거 사이클 및 상기 제2 프로그램/소거 사이클과 관련된 프로그램/소거 사이클 정보를 저장

하는 프로그램/소거 사이클 정보 레지스터; 및

상기 디코딩된 커맨드와 상기 매치 신호에 응답하고 상기 프로그램/소거 사이클 정보 레지스터를 참조하여 상기 제어 신호와 상기 어드레스 디코더를 제어하는 제1 모드 신호와 제2 모드 신호를 생성하는 제어 신호 생성기를 포함하는 비휘발성 메모리 장치.

청구항 6

제4항에 있어서, 상기 제어 회로는,

상기 적어도 하나의 배드 서브 블록에 포함되는 워드라인들의 배드 로우 어드레스들을 저장하는 배드 서브 블록 정보 레지스터;

상기 커맨드를 디코딩하여 디코딩된 커맨드를 제공하는 커맨드 디코더;

상기 로우 어드레스와 상기 배드 로우 어드레스들을 비교하고, 상기 비교의 결과를 나타내는 매치 신호를 출력하는 어드레스 비교기;

상기 디코딩된 커맨드 및 상기 매치 신호에 기초하여 상기 배드 서브 블록에 대한 프로그램/소거 사이클 횟수를 카운팅하고, 카운팅 값을 출력하는 프로그램/소거 사이클 카운터;

상기 카운팅 값과 기준 카운팅 값을 비교하여 비교 신호를 제공하는 비교기;

상기 적어도 하나의 노멀 서브 블록 및 상기 적어도 하나의 배드 서브 블록과 관련된 프로그램/소거 사이클 정보를 저장하는 프로그램/소거 사이클 정보 레지스터; 및

상기 디코딩된 커맨드와 상기 매치 신호에 응답하고 상기 프로그램/소거 사이클 정보 레지스터를 참조하여 상기 제어 신호와 상기 어드레스 디코더를 제어하는 제1 모드 신호와 제2 모드 신호를 생성하는 제어 신호 생성기를 포함하는 비휘발성 메모리 장치.

청구항 7

제4항에 있어서, 상기 커맨드가 상기 제1 메모리 블록에 대한 소거 커맨드인 경우,

상기 제어 회로는 상기 적어도 하나의 배드 서브 블록의 프로그램 여부에 따라 상기 제1 메모리 블록에 대한 소거 동작시에 상기 제1 메모리 블록에 적용되는 소거 바이어스 조건이 달라지도록 상기 전압 생성기와 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

청구항 8

제7항에 있어서, 상기 적어도 하나의 배드 서브 블록이 프로그램되어 있지 않은 경우,

상기 제어 회로는 상기 전압 생성기와 상기 어드레스 디코더를 제어하여 상기 기판에 소거 전압을 인가하고,

상기 적어도 하나의 노멀 서브 블록의 워드라인들에는 제1 워드라인 소거 전압을 인가하고,

상기 적어도 하나의 배드 서브 블록의 워드라인들에는 제2 워드라인 소거 전압을 인가하고,

상기 제2 워드라인 소거 전압의 레벨은 상기 제1 워드라인 소거 전압의 레벨보다 큰 비휘발성 메모리 장치.

청구항 9

제7항에 있어서, 상기 적어도 하나의 배드 서브 블록이 프로그램되어 있는 경우,

상기 제어 회로는 상기 전압 생성기와 상기 어드레스 디코더를 제어하여 상기 기판에 인가되는 소거 전압의 레벨을 제1 구간에서 제1 레벨로 유지시키고,

상기 제1 구간 후의 제2 구간에서 상기 제1 레벨보다 높은 제2 레벨로 유지시켜 상기 적어도 하나의 배드 서브 블록을 상기 적어도 하나의 노멀 서브 블록보다 먼저 소거시키는 비휘발성 메모리 장치.

청구항 10

제4항에 있어서,

상기 커맨드가 상기 적어도 하나의 노멀 서브 블록에 대한 독출 커맨드인 경우,

상기 제어 회로는 상기 적어도 하나의 배드 서브 블록의 프로그램 여부에 따라 상기 노멀 서브 블록에 대한 독출 동작 시에 상기 제1 메모리 블록에 적용되는 독출 바이어스 조건이 달라지도록 상기 전압 생성기와 상기 어드레스 디코더를 제어하는 비휘발성 메모리 장치.

청구항 11

제4항에 있어서,

상기 메모리 셀들 각각은 M(M은 2 이상의 자연수) 비트를 저장할 수 있고,

상기 적어도 하나의 노멀 서브 블록의 워드라인들 중 상기 적어도 하나의 배드 서브 블록에 인접하는 경계 워드라인에 연결되는 메모리 셀들은 M보다 작은 N 비트를 저장하는 비휘발성 메모리 장치.

청구항 12

제1항에 있어서,

상기 적어도 하나의 배드 서브 블록에 포함되는 워드라인들 수는 상기 메모리 셀 어레이에서 상기 제1 메모리 블록이 형성되는 위치에 따라 달라지는 비휘발성 메모리 장치.

청구항 13

물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함하는 메모리 셀 어레이를 구비하는 비휘발성 메모리 장치의 동작 방법으로서,

상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블록으로 구분하는 단계; 및

외부로부터의 커맨드 및 어드레스에 기초하여 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키는 단계를 포함하고,

상기 서로 다른 프로그램/소거 사이클을 적용시키는 단계는

상기 어드레스가 상기 적어도 하나의 배드 서브 블록을 지정하는지 여부를 판단하는 단계;

상기 어드레스가 상기 적어도 하나의 노멀 서브 블록을 지정하는 경우, 상기 적어도 하나의 노멀 서브 블록에 제1 시간 구간 동안 제1 프로그램/소거 사이클이 적용되도록 상기 적어도 하나의 노멀 서브 블록에 프로그램 동작 및 소거 동작을 수행하는 단계; 및

상기 어드레스가 상기 적어도 하나의 배드 서브 블록을 지정하는 경우, 상기 적어도 하나의 배드 서브 블록에 제1 기준 사이클 값까지는 제2 시간 구간 동안 상기 제1 프로그램/소거 사이클보다 작은 제2 프로그램/소거 사이클이 상기 적어도 하나의 배드 서브 블록에 적용되고, 상기 제1 기준 사이클 값 이후에는 제3 시간 구간 동안 상기 제2 프로그램/소거 사이클보다 작은 제3 프로그램/소거 사이클이 상기 적어도 하나의 배드 서브 블록에 적용되도록 상기 적어도 하나의 배드 서브 블록에 프로그램 동작 및 소거 동작을 수행하는 단계를 포함하고,

상기 제2 시간 구간은 상기 제1 시간 구간보다 작고, 상기 제3 시간 구간은 상기 제1 시간 구간보다 작은 비휘발성 메모리 장치의 동작 방법.

청구항 14

삭제

청구항 15

제13항에 있어서,

상기 적어도 하나의 배드 서브 블록의 프로그램 여부에 따라 상기 제1 메모리 블록에 대한 메모리 동작 시에 상기 제1 메모리 블록에 적용되는 바이어스 조건을 조절하는 단계; 및

상기 조절된 바이어스 조건에 따라 상기 제1 메모리 블록에 대한 상기 메모리 동작을 수행하는 단계를 더 포함

하는 비휘발성 메모리 장치의 동작 방법.

청구항 16

제15항에 있어서, 상기 메모리 동작은 상기 적어도 하나의 노멀 서브 블록에 대한 독출 동작이고,

상기 바이어스 조건을 조절하는 단계는,

상기 적어도 하나의 배드 서브 블록이 프로그램되지 않은 경우에, 상기 적어도 하나의 노멀 서브 블록의 비선택 워드라인들에 제1 독출 패스 전압을 인가하는 단계; 및

상기 적어도 하나의 배드 서브 블록이 프로그램된 경우에, 상기 비선택 워드라인들에 제2 독출 패스 전압을 인가하는 단계를 포함하고,

상기 제2 독출 패스 전압의 레벨은 상기 제1 독출 패스 전압의 레벨보다 높은 비휘발성 메모리 장치의 동작 방법.

청구항 17

제15항에 있어서, 상기 메모리 동작은 상기 제1 메모리 블록에 대한 소거 동작이고, 상기 적어도 하나의 배드 서브 블록이 프로그램되어 있지 않은 경우,

상기 바이어스 조건을 조절하는 단계는

상기 기판에 소거 전압을 인가하는 단계;

상기 적어도 하나의 노멀 서브 블록의 워드라인들에는 제1 워드라인 소거 전압을 인가하는 단계; 및

상기 적어도 하나의 배드 서브 블록의 워드라인들에는 제2 워드라인 소거 전압을 인가하는 단계를 포함하고,

상기 제2 워드라인 소거 전압의 레벨은 상기 제1 워드라인 소거 전압의 레벨보다 큰 비휘발성 메모리 장치의 동작 방법.

청구항 18

제15항에 있어서, 상기 메모리 동작은 상기 제1 메모리 블록에 대한 소거 동작이고, 상기 적어도 하나의 배드 서브 블록이 프로그램되어 있는 경우,

상기 바이어스 조건을 조절하는 단계는

상기 기판에 인가되는 소거 전압의 레벨을 제1 구간 동안에 제1 레벨로 유지하는 단계; 및

상기 제1 구간 후의 제2 구간 동안에 상기 소거 전압의 레벨을 제2 레벨로 유지하는 단계를 포함하고,

상기 제2 레벨은 상기 제1 레벨보다 큰 비휘발성 메모리 장치의 동작 방법.

청구항 19

적어도 하나의 비휘발성 메모리 장치; 및

상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함하고,

상기 적어도 하나의 비휘발성 메모리 장치는

물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함하는 메모리 셀 어레이; 및

상기 메모리 컨트롤러로부터의 커맨드 및 어드레스에 응답하여 상기 메모리 셀 어레이에 대한 액세스를 제어하는 제어 회로를 포함하고,

상기 메모리 컨트롤러는 상기 메모리 블록들 각각에 포함되는 배드 서브 블록에 관한 배드 서브 블록 정보를 상기 적어도 하나의 비휘발성 메모리 장치에 전송하고,

상기 제어 회로는 상기 배드 서브 블록 정보에 기초하여 상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도

하나의 노멀 서브 블록으로 구분하고, 상기 제1 메모리 블록에 대한 메모리 동작시에 서로 다른 바이어스 조건을 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 적용하고,

상기 제어 회로는

상기 어드레스가 상기 적어도 하나의 노멀 서브 블록을 지정하는 경우에는 제1 시간 구간 동안 제1 프로그램/소거 사이클을 상기 적어도 하나의 노멀 서브 블록에 적용시키고,

상기 어드레스가 상기 적어도 하나의 배드 서브 블록을 지정하는 경우에는 제1 기준 사이클 값까지는 제2 시간 구간 동안 상기 제1 프로그램/소거 사이클보다 작은 제2 프로그램/소거 사이클을 상기 적어도 하나의 배드 서브 블록에 적용시키고, 상기 제1 기준 사이클 값 이후에는 제3 시간 구간 동안 상기 제2 프로그램/소거 사이클보다 작은 제3 프로그램/소거 사이클을 상기 적어도 하나의 배드 서브 블록에 적용시키고,

상기 제2 시간 구간은 상기 제1 시간 구간보다 작고, 상기 제3 시간 구간은 상기 제1 시간 구간보다 작은 저장 장치.

청구항 20

제19항에 있어서,

상기 메모리 컨트롤러는 상기 비휘발성 메모리 장치로부터 독출된 데이터에 대한 에러 검출 및 정정을 수행하고 상기 배드 서브 블록 정보를 생성하는 에러 정정 코드(error correction code) 엔진을 포함하는 저장 장치.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치에 관한 것으로, 보다 상세하게는 비휘발성 메모리 장치, 비휘발성 메모리 장치의 동작 방법 및 저장 장치에 관한 것이다.

배경 기술

[0002] 메모리 장치는 데이터를 저장하는데 사용되며, 휘발성 메모리 장치와 비휘발성 메모리 장치로 구분된다. 비휘발성 메모리 장치의 일 예로서, 플래쉬 메모리 장치는 휴대폰, 디지털 카메라, 휴대용 정보 단말기(PDA), 이동식 컴퓨터 장치, 고정식 컴퓨터 장치 및 기타 장치에서 사용될 수 있다.

[0003] 최근에, 비휘발성 메모리 장치의 집적도를 향상시키기 위하여 메모리 셀들이 3차원으로 적층되는 비휘발성 메모리 장치가 활발히 연구되고 있다. 하지만, 대용량화에 따라 기존의 메모리 관리 정책들과의 부정합에 따르는 문제들이 발생하고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 성능을 높이고, 수명 단축을 방지할 수 있는 비휘발성 메모리 장치를 제공하는데 있다.

[0005] 본 발명의 일 목적은 성능을 높이고, 수명 단축을 방지할 수 있는 비휘발성 메모리 장치의 동작 방법을 제공하는데 있다.

[0006] 본 발명의 일 목적은 상기 비휘발성 메모리 장치를 포함하는 저장 장치를 제공하는데 있다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 비휘발성 메모리 장치는 메모리 셀 어레이 및 제어 회로를 포함한다. 상기 메모리 셀 어레이는 물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함한다. 상기 제어 회로는 상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블

록으로 구분하고, 외부로부터의 커맨드 및 어드레스에 기초하여 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시킨다.

[0008] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함하는 메모리 셀 어레이를 구비하는 비휘발성 메모리 장치의 동작 방법에서는, 상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블록으로 구분하고, 외부로부터의 커맨드 및 어드레스에 기초하여 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시킨다.

[0009] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 저장 장치는 적어도 하나의 비휘발성 메모리 장치 및 상기 적어도 하나의 비휘발성 메모리 장치를 제어하는 메모리 컨트롤러를 포함한다. 상기 적어도 하나의 비휘발성 메모리 장치는 메모리 셀 어레이 및 제어 회로를 포함한다. 상기 메모리 셀 어레이는 물리 블록보다 작은 서브 블록 단위로 메모리 셀들을 선택하고, 기판 위에 수직으로 적층된 워드라인들에 각각 연결된 메모리 셀들을 각각 구비하는 메모리 블록들을 포함한다. 상기 제어 회로는 상기 메모리 컨트롤러로부터의 커맨드 및 어드레스에 응답하여 상기 메모리 셀 어레이에 대한 액세스를 제어한다. 상기 메모리 컨트롤러는 상기 메모리 블록들 각각에 포함되는 배드 서브 블록에 관한 배드 서브 블록 정보를 상기 적어도 하나의 비휘발성 메모리 장치에 전송한다. 상기 제어 회로는 상기 배드 서브 블록 정보에 기초하여 상기 메모리 블록들 중 제1 메모리 블록의 서브 블록들 각각의 에러 발생 빈도에 기초하여 상기 서브 블록들을 서로 인접하는 적어도 하나의 배드 서브 블록과 적어도 하나의 노멀 서브 블록으로 구분하고, 상기 제1 메모리 블록에 대한 메모리 동작시에 서로 다른 바이어스 조건을 상기 적어도 하나의 배드 서브 블록과 상기 적어도 하나의 노멀 서브 블록에 적용한다.

발명의 효과

[0010] 본 발명의 실시예들에 따르면, 서브 블록들의 에러 발생 빈도 또는 서브 블록들의 위치에 따른 내구성 특성에 기초하여 하나의 메모리 블록의 서브 블록들을 적어도 하나의 노멀 서브 블록과 적어도 하나의 배드 서브 블록으로 구분하고, 노멀 서브 블록과 배드 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키고, 제1 메모리 블록에 대한 메모리 동작시에 배드 서브 블록의 프로그램 여부에 따라서 다른 바이어스 조건을 제1 메모리 블록에 적용시켜, 비휘발성 메모리 장치의 성능을 높일 수 있고, 수명이 단축되는 것을 방지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예들에 따른 전자 장치를 나타내는 개략적인 블록도이다.
 도 2는 본 발명의 실시예들에 따른 도 1의 전자 장치에서 저장 장치의 구성을 나타낸다.
 도 3은 본 발명의 실시예들에 따른 도 2의 저장 장치에서 메모리 컨트롤러의 구성을 나타내는 블록도이다.
 도 4는 본 발명의 실시예들에 따른 도 2의 저장 장치에서 비휘발성 메모리 장치를 나타내는 블록도이다.
 도 5는 도 4의 메모리 셀 어레이를 나타내는 블록도이다.
 도 6은 도 5의 메모리 블록들(BLK1~BLKz) 중 하나(BLK_i)를 보여주는 사시도이다.
 도 7은 도 6의 메모리 블록을 나타내는 등가 회로도이다.
 도 8은 본 발명의 실시예들에 따른 도 4의 메모리 셀 어레이가 형성되는 셀 영역을 나타낸다.
 도 9a 및 도 9b는 도 8의 메모리 블록들에 각각 포함된 셀 스트링들의 단면들을 예시적으로 나타낸다.
 도 10은 도 8의 메모리 블록들에 대한 프로그램 동작 및 소거 동작의 수행 결과를 나타내는 그래프이다.
 도 11은 도 8의 하나의 채널의 수직 구조를 나타낸다.
 도 12는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타낸다.
 도 13은 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타낸다.
 도 14는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 전압 생성기의 구성을 나타내는 블록도이다.

다.

도 15는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 어드레스 디코더의 구성을 나타낸다.

도 16은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.

도 17은 도 16에서 단계(S200)을 보다 상세히 나타내는 흐름도이다.

도 18은 도 17에서 적어도 제2 프로그램/소거 사이클이 적용되는 단계를 상세히 나타낸다.

도 19a 및 도 19b는 각각 노멀 서브 블록과 배드 서브 블록에 적용되는 프로그램 소거 사이클들을 나타낸다.

도 20은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.

도 21a 및 도 21b는 도 7의 메모리 블록의 서브 블록들의 프로그램 상태를 나타낸다.

도 22a는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타낸다.

도 22b는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타낸다.

도 23a는 도 22b의 바이어스 조건이 적용되는 경우의 배드 서브 블록 전압과 기관 전압을 나타낸다.

도 23b는 도 22b의 바이어스 조건이 적용되는 경우에 도 13의 제1 스위치 회로를 나타낸다.

도 24는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타낸다.

도 25는 도 24의 바이어스 조건이 적용되는 경우의 기관 전압을 나타낸다.

도 26a는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 독출 동작시의 독출 바이어스 조건을 나타낸다.

도 26b는 배드 서브 블록이 프로그램된 경우, 제1 메모리 블록에 대한 독출 동작시의 독출 바이어스 조건을 나타낸다.

도 27은 본 발명의 실시예들에 따른 모바일 장치를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0013] 도 1은 본 발명의 실시예들에 따른 전자 장치를 나타내는 개략적인 블록도이다.

[0014] 도 1을 참조하면, 전자 장치(10)는 호스트(20) 및 저장 장치(30)를 포함할 수 있다. 저장 장치(30)는 메모리 컨트롤러(40) 및 적어도 하나의 비휘발성 메모리 장치(50)를 포함할 수 있다. 호스트(20)는 저장 장치(30)의 동작을 전반적으로 제어한다. 메모리 컨트롤러(40)는 호스트(20)와 커맨드, 어드레스, 데이터와 같은 신호를 교환할 수 있다. 메모리 컨트롤러(40)는 호스트(20)의 커맨드에 따라 비휘발성 메모리 장치(50)에 데이터를 기입하거나 비휘발성 메모리 장치(50)로부터 데이터를 독출할 수 있다.

[0015] 도 2는 본 발명의 실시예들에 따른 도 1의 전자 장치에서 저장 장치의 구성을 나타낸다.

[0016] 도 2를 참조하면, 저장 장치(또는, 메모리 시스템, 30)는 메모리 컨트롤러(40) 및 적어도 하나의 비휘발성 메모리 장치(50)를 포함할 수 있다. 실시예에 있어서, 메모리 컨트롤러(40) 및 비휘발성 메모리 장치(50) 각각은 하나의 칩, 하나의 패키지, 하나의 모듈 등으로 제공될 수 있다. 또는 메모리 컨트롤러(40) 및 비휘발성 메모리 장치(50)는 다양한 패키지들을 기반으로 실장되어 메모리 카드와 같은 저장 장치로 제공될 수 있다.

[0017] 비휘발성 메모리 장치(50)는 메모리 컨트롤러(40)의 제어에 따라 소거, 기입 또는 독출 동작 등을 수행할 수 있다. 이를 위하여, 비휘발성 메모리 장치(50)는 입출력 라인을 통해 커맨드(CMD), 어드레스(ADDR), 그리고 데이터(DATA)를 입력받는다. 또한, 비휘발성 메모리 장치(50)는 제어 라인을 통하여 제어 신호(CTRL)를 제공받을 수 있다. 또한 비휘발성 메모리 장치(50)는 메모리 컨트롤러(40)로부터 파워(PWR)를 제공받을 수 있다.

- [0018] 비휘발성 메모리 장치(50)에 포함된 메모리 셀들은 프로그램 경과 시간, 온도, 프로그램 교란, 독출 교란 등과 같은 요인들로 인하여 문턱 전압 산포가 변화하는 물리적 특성을 갖는다. 즉, 상술된 요인들로 인하여 비휘발성 메모리 장치(50)에 저장된 데이터에 오류가 발생할 수 있다. 메모리 컨트롤러(40)는 이러한 오류들을 정정하기 위하여 다양한 에러 정정 기법을 사용할 수 있다. 예를 들어, 메모리 컨트롤러(40)는 에러 정정 코드(ECC; Error Correction Code) 엔진(42)을 포함할 수 있다.
- [0019] 또한 비휘발성 메모리 장치(50)에 대한 소거 동작 시, 메모리 컨트롤러(40)는 물리 블록보다 작은 서브 블록 단위로 비휘발성 메모리 장치(50)에 대한 소거 동작을 수행할 수 있다. 서브 블록 단위의 소거 동작을 관리하기 위하여 메모리 컨트롤러(40)는 소거 관리 모듈(43a)을 포함할 수 있다.
- [0020] 소거 관리 모듈(43a)은 서브 블록 단위의 소거 동작을 수행한 후에, 소거된 서브 블록 또는 소거된 서브 블록과 인접한 서브 블록에 대한 소거 상태를 모니터링할 수 있다. 예를 들면, 소거 관리 모듈(43a)은 소거된 서브 블록으로부터 독출된 데이터를 참조하여 비트 에러율(BER)을 검출할 수 있다. 또는, 소거 관리 모듈(43a)은 소거된 서브 블록에 대한 웨어 레벨링 정보(예를 들면, Erase count)를 획득하고 모니터링할 수 있다. 이뿐 아니라, 소거 관리 모듈(43a)은 소거된 서브 블록의 데이터를 독출하여 선택된 메모리 셀들의 문턱 전압 변화나 비트 에러율(BER) 변화를 모니터링할 수 있다. 또한, 소거 관리 모듈(43a)은 비선택 서브-블록의 데이터를 독출하여 문턱 전압의 변화를 검출할 수 있다. 메모리 컨트롤러(40)는 소거 관리 모듈(43a)로부터 제공되는 소거 상태 정보를 참조하여 선택된 서브 블록 단위의 소거 동작시의 영향을 완화시키기 위한 다양한 절차들을 수행할 수 있다.
- [0021] 여기서, 메모리 블록(memory block)은 동시에 소거 가능한 최대 메모리 단위일 수 있다. 워드 라인이 기판에 수직 방향으로 적층되는 3차원 비휘발성 메모리 장치에서, 메모리 블록은 적층된 모든 워드 라인들을 공유하는 셀 스트링들의 그룹으로 정의될 수 있다. 서브 블록(Sub-block)은 하나의 메모리 블록(또는, 물리 블록)을 워드 라인 단위 또는 선택 라인 단위로 구분한 세부 메모리 단위에 해당한다. 예를 들면, 서브 블록(Sub-block)은 메모리 블록 중에서 일부 워드 라인들을 공유하는 메모리 셀들의 단위로 정의될 수 있다.
- [0022] 비휘발성 메모리 장치(50)에 대한 독출 동작시, 메모리 컨트롤러(40)는 기본 독출 전압 세트(default read voltage set)를 기반으로 비휘발성 메모리 장치(200)의 제1 페이지에 저장된 데이터를 읽을 수 있다. 예시적으로, 기본 독출 전압 세트는 미리 정해진 독출 전압들을 가리킨다. ECC 엔진(42)은 비휘발성 메모리 장치(50)로부터 독출한 데이터에 포함된 오류를 검출 및 정정할 수 있다. 예시적으로, ECC 엔진(42)은 하드웨어 형태로 제공될 수 있다. ECC 엔진(42)은 메모리 장치(50)로부터 독출한 데이터에 포함된 오류의 검출 빈도를 서브 블록 별로 판단하고, 일정 시간 동안 오류의 검출 빈도가 기준 값 이상이 되는 서브 블록을 배드 서브 블록으로 지정할 수 있다.
- [0023] 메모리 컨트롤러(40)는 서브 블록들 중 배드 서브 블록의 정보를 저장하는 배드 서브 블록 정보 레지스터(49)를 포함할 수 있고, 배드 서브 블록의 어드레스를 포함하는 배드 서브 블록 정보(BSI)를 비휘발성 메모리 장치(50)에 제공할 수 있다.
- [0024] 도 3은 본 발명의 실시예들에 따른 도 2의 저장 장치에서 메모리 컨트롤러의 구성을 나타내는 블록도이다.
- [0025] 도 2 및 도 3을 참조하면, 메모리 컨트롤러(40)는 버스(48)를 통하여 서로 연결되는 프로세서(41), ECC 엔진(42), 버퍼(43), 소거 관리 모듈(43a), 랜더마이저(44), 호스트 인터페이스(45), 롬(46) 및 비휘발성 메모리 인터페이스(47)를 포함할 수 있다. ECC 엔진(42) 및 소거 관리 모듈(43a)은 도 2를 참조하여 설명되었으므로, 이에 대한 상세한 설명은 생략된다.
- [0026] 프로세서(41)는 메모리 컨트롤러(40)의 제반 동작을 제어한다. 예를 들어, 소거 관리 모듈(43a)은 소프트웨어 형태로 제공되며, 버퍼(43)에 저장될 수 있다. 버퍼(43)에 저장된 소거 관리 모듈(43a)은 프로세서(41)에 의해 구동될 수 있다. ROM(46)은 메모리 컨트롤러(40)가 동작하는데 요구되는 다양한 정보를 펌웨어 형태로 저장할 수 있다. 버퍼(43)는 비휘발성 메모리 장치(50)로부터 독출된 데이터를 저장하거나 소거 관리 모듈(43a)을 포함할 수 있다.
- [0027] 예를 들어, 데이터 랜더마이징은 하나의 워드라인에 연결된 메모리 셀들이 동일한 비율의 프로그램 상태를 갖도록 데이터를 처리하는 것을 가리킨다. 예를 들어, 하나의 워드라인에 연결된 메모리 셀들이 각각 2-비트의 데이터를 저장하는 멀티 레벨 셀(MLC; Multi Level Cell)인 경우, 메모리 셀들 각각은 소거 상태 및 제 1 내지 제 3 프로그램 상태들 중 어느 하나의 상태를 가질 것이다. 이 때, 랜더마이저(44)는 하나의 워드라인에 연결된 메모리 셀들 중 소거 상태를 갖는 메모리 셀들의 개수, 제1 프로그램 상태를 갖는 메모리 셀들의 개수, 제2 프로그램 상태를 갖는 메모리 셀들의 개수, 및 제3 프로그램 상태를 갖는 메모리 셀들의 개수가 서로 동일하도록 데이

터를 랜더마이징할 수 있다. 즉, 랜더마이징된 데이터(randomized data)가 저장된 메모리 셀들은 실질적으로 서로 동일한 개수의 프로그램 상태들을 가질 것이다. 예시적으로, 랜더마이저(44)는 비휘발성 메모리 장치(50)로부터 읽은 데이터를 디랜더마이징할 수 있다.

[0028] 예를 들어, 랜더마이저(44)는 페이지 데이터를 랜더마이징할 수 있다. 예시적으로, 간결한 설명을 위하여 이상적인(ideal) 랜더마이저(44)의 구성이 설명되었다. 그러나, 본 발명의 기술적 사상이 이에 한정되는 것은 아니며, 실제 랜더마이저(44)는 하나의 워드라인에 연결된 메모리 셀들 중 소거 상태를 갖는 메모리 셀들의 개수, 제1 프로그램 상태를 갖는 메모리 셀들의 개수, 제2 프로그램 상태를 갖는 메모리 셀들의 개수, 및 제3 프로그램 상태를 갖는 메모리 셀들의 개수가 실질적으로 서로 동일한 값에 가깝도록 데이터를 랜더마이징할 수 있다. 즉, 실제 랜더마이징된 데이터(randomized data)가 저장된 메모리 셀들은 실질적으로 서로 비슷한 개수의 프로그램 상태들을 가질 수 있다.

[0029] 메모리 컨트롤러(40)는 호스트 인터페이스(45)를 통해 호스트(20)와 통신할 수 있다. 예를 들어, 호스트 인터페이스(45)는 USB (Universal Serial Bus), MMC (multimedia card), PCI (peripheral component interconnection), PCI-E (PCI-express), ATA (Advanced Technology Attachment), Serial-ATA, Parallel-ATA, SCSI (small computer small interface), ESDI (enhanced small disk interface), IDE (Integrated Drive Electronics), MIPI(Mobile Industry Processor Interface), NVMe(Nonvolatile Memory-express), UFS(Universal Flash Storage Interface) 등과 같은 다양한 인터페이스들 중 적어도 하나로 제공될 수 있다. 메모리 컨트롤러(40)는 비휘발성 메모리 인터페이스(47)를 통해 비휘발성 메모리 장치(50)와 통신할 수 있다.

[0030] 도 4는 본 발명의 실시예들에 따른 도 2의 저장 장치에서 비휘발성 메모리 장치를 나타내는 블록도이다.

[0031] 도 4를 참조하면, 비휘발성 메모리 장치(50)는 메모리 셀 어레이(100), 어드레스 디코더(600), 페이지 버퍼 회로(410), 데이터 입출력 회로(420), 기판 모니터 회로(430), 제어 회로(500) 및 전압 생성기(700)를 포함할 수 있다.

[0032] 메모리 셀 어레이(100)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 접지 선택 라인(GSL)을 통해 어드레스 디코더(600)와 연결될 수 있다. 또한, 메모리 셀 어레이(100)는 복수의 비트 라인들(BLs)을 통해 페이지 버퍼 회로(410)와 연결될 수 있다. 메모리 셀 어레이(100)는 복수의 워드 라인들(WLs) 및 복수의 비트 라인들(BLs)에 연결되는 복수의 메모리 셀들을 포함할 수 있다. 실시예에 있어서, 메모리 셀 어레이(100)는 기판 상에 적층되는 워드라인들 각각에 연결되는 메모리 셀들을 포함할 수 있다.

[0033] 도 5는 도 4의 메모리 셀 어레이를 나타내는 블록도이다.

[0034] 도 5를 참조하면, 메모리 셀 어레이(100)는 방향들(D1~D3)을 따라 신장되는 복수의 메모리 블록들(BLK1~BLKz, z는 3이상의 자연수)을 포함한다. 실시예에 있어서, 메모리 블록들(BLK1~BLKz)은 도4에 도시된 어드레스 디코더(600)에 의해 선택된다. 예를 들면, 어드레스 디코더(600)는 메모리 블록들(BLK1~BLKz) 중 블록 어드레스에 대응하는 메모리 블록(BLK)을 선택할 수 있다. 어드레스 디코더(600)는 로우 어드레스(R_ADDR)에 응답하여 메모리 블록(BLK)에서 적어도 하나의 서브 블록을 선택할 수 있다.

[0035] 도 6은 도 5의 메모리 블록들(BLK1~BLKz) 중 하나(BLK_i)를 보여주는 사시도이다.

[0036] 도 6을 참조하면, 메모리 블록(BLK_i)은 3차원 구조 또는 수직 구조로 형성되는 셀 스트링들을 포함한다. 메모리 블록(BLK_i)은 복수의 방향들(D1, D2, D3)을 따라 신장된 구조물들을 포함한다.

[0037] 메모리 블록(BLK_i)을 형성하기 위해서는, 우선 기판(111)이 제공된다. 예를 들면, 기판(111)은 붕소(B, Boron)와 같은 5족 원소가 주입되어 형성된 P-웰로 형성될 수 있을 것이다. 기판(111) 상에, D1 방향을 따라 복수의 도핑 영역들(311~314)이 형성된다. 예를 들면, 복수의 도핑 영역들(311~314)은 기판(111)과 상이한 n 타입의 도전체로 형성될 수 있을 것이다.

[0038] 제1 및 제2 도핑 영역들(311, 312) 사이의 기판(111)의 영역 상에, D2 방향을 따라 신장되는 복수의 절연 물질들(112)이 D3 방향을 따라 순차적으로 제공된다. 예를 들면, 복수의 절연 물질들(112)은 D3 방향을 따라 특정 거리만큼 이격되어 형성될 것이다. 제1 및 제2 도핑 영역들(311, 312) 사이의 기판(111) 상부에, D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 절연 물질들(112)을 관통하는 필라(113)가 형성된다. 예시적으로, 필라(113)는 절연 물질들(112)을 관통하여 기판(111)과 연결될 것이다. 여기서, 필라(113)는 제2 및 제3 도핑 영역들(312, 313) 사이의 기판 상부와, 제3 및 제4 도핑 영역들(313, 314) 사이의 기판 상부에도 형성된다.

[0039] 예시적으로, 각 필라(113)는 복수의 물질들로 구성될 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 제1 타

입을 갖는 실리콘 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 표면층(114)은 기판(111)과 동일한 타입을 갖는 실리콘 물질을 포함할 것이다. 각 필라(113)의 내부층(115)은 절연 물질로 구성된다. 예를 들면, 각 필라(113)의 내부층(115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 것이다. 예를 들면, 각 필라(113)의 내부층(115)은 에어 갭(Air gap)을 포함할 수 있다.

[0040] 제1 및 제2 도핑 영역들(311, 312) 사이의 영역에서, 절연 물질들(112), 필라들(113), 그리고 기판(111)의 노출된 표면을 따라 절연막(116)이 제공된다. 예시적으로, D3 방향을 따라 제공되는 마지막 절연 물질(112)의 D3 방향 쪽의 노출면에 제공되는 절연막(116)은 제거될 수 있다.

[0041] 제1 및 제2 도핑 영역들(311, 312) 사이의 영역에서, 절연막(116)의 노출된 표면에 제1 도전 물질들(211~291)이 제공된다. 예를 들면, 기판(111)에 인접한 절연 물질(112) 및 기판(111) 사이에 D2 방향을 따라 신장되는 제1 도전 물질(211)이 제공된다. 더 상세하게는, 기판(111)에 인접한 절연 물질(112)의 하부면의 절연막(116) 및 기판(111) 사이에, D1 방향으로 신장되는 제1 도전 물질(211)이 제공된다. 절연 물질들(112) 중 특정 절연 물질 상부면의 절연막(116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부면의 절연막(116) 사이에, D2 방향을 따라 신장되는 제1 도전 물질이 제공된다. 예시적으로, 절연 물질들(112) 사이에, D2 방향으로 신장되는 복수의 제1 도전 물질들(221~281)이 제공된다.

[0042] 제2 및 제3 도핑 영역들(312, 313) 사이의 영역에서, 제1 및 제2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제2 및 제3 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D1 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제1 도전 물질들(212~292)이 제공된다. 제3 및 제4 도핑 영역들(313, 314) 사이의 영역에서, 제1 및 제2 도핑 영역들(311, 312) 상의 구조물과 동일한 구조물이 제공될 것이다. 예시적으로, 제3 및 제4 도핑 영역들(312, 313) 사이의 영역에서, D2 방향으로 신장되는 복수의 절연 물질들(112), D2 방향을 따라 순차적으로 배치되며 D3 방향을 따라 복수의 절연 물질들(112)을 관통하는 복수의 필라들(113), 복수의 절연 물질들(112) 및 복수의 필라들(113)의 노출된 표면에 제공되는 절연막(116), 그리고 D2 방향을 따라 신장되는 복수의 제1 도전 물질들(213~293)이 제공된다.

[0043] 복수의 필라들(113) 상에 드레인들(320)이 각각 제공된다. 드레인들(320) 상에, D1 방향으로 신장된 제2 도전물질들(331~333)이 제공된다. 제2 도전 물질들(331~333)은 D2 방향을 따라 순차적으로 배치된다. 제2 도전 물질들(331~333) 각각은 대응하는 영역의 드레인들(320)과 연결된다. 예시적으로, 드레인들(320) 및 D1 방향으로 신장된 제2 도전 물질(333)은 각각 콘택 플러그들(Contact plug)을 통해 연결될 수 있다.

[0044] 도 7은 도 6의 메모리 블록을 나타내는 등가 회로도이다.

[0045] 도 7에 도시된 메모리 블록(BLK_i)은 기판 상에 삼차원 구조로 형성되는 삼차원 메모리 블록을 나타낸다. 예를 들어, 메모리 블록(BLK_i)에 포함되는 복수의 메모리 셀 스트링들은 상기 기판과 수직인 방향으로 형성될 수 있다.

[0046] 도 7을 참조하면, 메모리 블록(BLK_i)은 비트 라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL) 사이에 연결되는 복수의 메모리 셀 스트링들(NS11~NS33)을 포함할 수 있다. 복수의 메모리 셀 스트링들(NS11~NS33) 각각은 스트링 선택 트랜지스터(SST), 복수의 메모리 셀들(MC1, MC2, ..., MC12) 및 접지 선택 트랜지스터(GST)를 포함할 수 있다.

[0047] 스트링 선택 트랜지스터(SST)는 상응하는 스트링 선택 라인(SSL1, SSL2, SSL3)에 연결될 수 있다. 복수의 메모리 셀들(MC1, MC2, ..., MC12)은 각각 상응하는 워드 라인(WL1, WL2, ..., WL12)에 연결될 수 있다. 접지 선택 트랜지스터(GST)는 상응하는 접지 선택 라인(GSL1, GSL2, GSL3)에 연결될 수 있다. 스트링 선택 트랜지스터(SST)는 상응하는 비트 라인(BL1, BL2, BL3)에 연결되고, 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)에 연결될 수 있다. 동일 높이의 워드 라인(예를 들면, WL1)은 공통으로 연결되고, 접지 선택 라인(GSL1, GSL2, GSL3) 및 스트링 선택 라인(SSL1, SSL2, SSL3)은 각각 분리될 수 있다.

[0048] 이상에서 예시적으로 설명된 하나의 메모리 블록(BLK_i)은 그보다 작은 복수의 서브 블록들(SB1, SB2, SB3)로 구분될 수 있다. 각각의 서브 블록들(SB1, SB2, SB3)은 워드 라인 방향으로 구분될 수 있다. 어떤 기준으로 서브 블록들이 구분되든지, 각각의 서브 블록은 메모리 블록(BLK_i) 내에서 다른 서브 블록들과는 독립적으로 소거될 수 있다.

[0049] 서브 블록(SB1)은 메모리 블록(BLK_i)에 포함된 메모리 셀들 중에서 워드 라인들(WL1, WL2, WL3, WL4)에 연결된

메모리 셀들을 포함할 수 있다. 서브 블록(SB2)은 메모리 블록(BLK_i)에 포함된 메모리 셀들 중에서 워드 라인들(WL5, WL6, WL7, WL8)에 연결된 메모리 셀들을 포함할 수 있다. 서브 블록(SB3)은 메모리 블록(BLK_i)에 포함된 메모리 셀들 중에서 워드 라인들(WL9, WL10, WL11, WL12)에 연결된 메모리 셀들을 포함할 수 있다. 즉, 서브 블록들(SB1, SB2, SB3)은 하나 또는 둘 이상이 동시에 선택되어 소거될 수 있다. 이를 위해서 비휘발성 메모리 장치(50, 도 4 참조)의 어드레스 디코더(600)는 서브 블록(SB)단위로 메모리 셀들을 소거하기 위한 바이어스를 제공할 수 있다.

[0050] 다시 도 4를 참조하면, 제어 회로(500)는 메모리 컨트롤러(40)로부터 커맨드(CMD) 및 어드레스(ADDR)를 수신하고, 커맨드(CMD) 및 어드레스(ADDR)에 기초하여 비휘발성 메모리 장치(40)의 소거 동작, 프로그램 동작 및 독출 동작을 제어할 수 있다.

[0051] 예를 들어, 제어 회로(500)는 커맨드(CMD)에 기초하여 전압 생성기(700)를 제어하기 위한 제어 신호들(CTLs)을 생성하고, 어드레스 신호(ADDR)에 기초하여 로우 어드레스(R_ADDR) 및 컬럼 어드레스(C_ADDR)를 생성할 수 있다. 제어 회로(500)는 로우 어드레스(R_ADDR)를 어드레스 디코더(600)에 제공하고, 컬럼 어드레스(C_ADDR)를 데이터 입출력 회로(420)에 제공할 수 있다. 또한 제어 회로(500)는 기관 모니터 회로(430)로부터 제공되는 감지 신호(DS)에 기초하여 기관의 전압 레벨이 기준 레벨에 도달하였거나 기관의 전압 레벨이 일정한 레벨에서 기준 시간 동안 유지되었음을 나타내는 제1 모드 신호(MS)를 어드레스 디코더(600)에 제공할 수 있다. 또한 제어 회로(500)는 커맨드(CMD)가 지시하는 동작을 나타내는 제2 모드 신호(MS2)를 어드레스 디코더(600)에 제공할 수 있다.

[0052] 어드레스 디코더(600)는 스트링 선택 라인(SSL), 복수의 워드 라인들(WLs) 및 접지 선택 라인(GSL)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 전압 생성기(700)는 제어 회로(500)로부터 제공되는 제어 신호들(CTLs)에 기초하여 비휘발성 메모리 장치(50)의 동작에 필요한 워드 라인 전압들(VWLs)을 생성할 수 있다. 전압 생성기(700)로부터 생성되는 워드 라인 전압들(VWLs)은 어드레스 디코더(600)를 통해 복수의 워드 라인들(WLs)에 인가될 수 있다.

[0053] 서브 블록 단위의 소거 동작 시, 전압 생성기(700)는 메모리 블록의 웰 또는 기관에 소거 전압(VERS)을 인가하고 선택된 서브 블록의 워드라인들에 워드라인 소거 전압, 즉 접지 전압을 인가할 수 있다. 소거 검증 동작 시, 전압 생성기(700)는 선택된 서브 블록의 워드라인들에 소거 검증 전압을 인가하거나 워드라인 단위로 소거 검증 전압을 인가할 수 있다.

[0054] 예를 들어, 프로그램 동작 시, 전압 생성기(700)는 선택 워드라인에 프로그램 전압을 인가하고, 비선택 워드라인들에는 프로그램 패스 전압을 인가할 수 있다. 또한 프로그램 검증 동작 시, 전압 생성기(700)는 선택 워드라인에 프로그램 검증 전압을 인가하고, 비선택 워드라인들에는 검증 패스 전압을 인가할 수 있다. 또한, 독출 동작 시, 전압 생성기(700)는 선택 워드라인에 독출 전압을 인가하고, 비선택 워드라인들에는 독출 패스 전압을 인가할 수 있다.

[0055] 페이지 버퍼 회로(410)는 복수의 비트 라인들(BLs)을 통해 메모리 셀 어레이(100)와 연결될 수 있다. 페이지 버퍼 회로(410)는 복수의 페이지 버퍼를 포함할 수 있다. 페이지 버퍼 회로(410)는 프로그램 동작 시 선택된 페이지에 프로그램될 데이터를 임시로 저장하고, 독출 동작 시 선택된 페이지로부터 독출된 데이터를 임시로 저장할 수 있다.

[0056] 데이터 입출력 회로(420)는 데이터 라인들(DLs)을 통해 페이지 버퍼 회로(410)와 연결될 수 있다. 프로그램 동작 시, 데이터 입출력 회로(420)는 메모리 컨트롤러(40)로부터 프로그램 데이터(DATA)를 수신하고, 제어 회로(500)로부터 제공되는 컬럼 어드레스(C_ADDR)에 기초하여 프로그램 데이터(DATA)를 페이지 버퍼 회로(410)에 제공할 수 있다. 독출 동작 시, 데이터 입출력 회로(420)는 제어 회로(500)로부터 제공되는 컬럼 어드레스(C_ADDR)에 기초하여 페이지 버퍼 회로(410)에 저장된 독출 데이터(DATA)를 상기 메모리 컨트롤러(40)에 제공할 수 있다.

[0057] 기관 모니터 회로(430)는 소거 동작 시에, 기관(111)에 인가되는 소거 전압(VERS)에 의한 기관 전압(VSUB)의 전압 레벨을 모니터링하고, 기관 전압(VSUB)이 기준 레벨에 도달하는 경우 또는 기관의 전압(VSUB)이 일정 레벨에서 일정 시간 동안 유지되는 경우, 이를 나타내는 감지 신호(DS)를 제어 회로(500)에 제공할 수 있다.

[0058] 도 8은 본 발명의 실시예들에 따른 도 4의 메모리 셀 어레이가 형성되는 셀 영역을 나타낸다.

[0059] 도 8을 참조하면, 셀 영역(CR)은 복수의 채널 홀들(CH)을 포함한다.

- [0060] 채널 홀 사이즈, 예를 들어, 채널 홀 직경(diameter)은 셀 영역(CR) 내의 위치에 따라 다를 수 있다. 구체적으로, 제1 및 제2 에지들(EDG1, EDG2)에 인접한 채널 홀들(ChA)의 경우 주변 밀도가 낮으므로, 공정 상의 이유로 다른 채널 홀들(ChB)과 직경이 다를 수 있다. 셀 영역(CR)의 중심 영역에 위치한 채널 홀들(ChB)의 직경은, 제1 및 제2 에지들(EDG1, EDG2)에 인접한 채널 홀들(ChA)의 직경보다 클 수 있다. 메모리 블록(BLKa)은 제2 에지(EDG2)에 인접하고, 제2 에지(EDG2)로부터 제1 거리(d1)만큼 이격될 수 있다. 메모리 블록(BLKb)은 제1 및 제2 에지들(EDG1, EDG2)에 인접하지 않고, 셀 영역(CR)의 중심에 위치하며, 제2 에지(EDG2)로부터 제2 거리(d2)만큼 이격될 수 있다. 메모리 블록(BLKa)에 포함된 제1 채널 홀(ChA)의 제1 직경(D1)은, 메모리 블록(BLKb)에 포함된 제2 채널 홀(ChB)의 제2 직경(D2)보다 작을 수 있다.
- [0061] 도 9a 및 도 9b는 도 8의 메모리 블록들에 각각 포함된 셀 스트링들의 단면들을 예시적으로 나타낸다.
- [0062] 도 9a를 참조하면, 메모리 블록(BLKa)에 포함된 제1 채널 홀(ChA)에는 표면층(114) 및 내부층(115)을 포함하는 필라가 형성될 수 있고, 제1 채널 홀(ChA)의 둘레에는 전하 저장층(CS)이 형성될 수 있고, 전하 저장층(CS)은 ONO 구조를 가질 수 있다.
- [0063] 도 9b를 참조하면, 메모리 블록(BLKb)에 포함된 제2 채널 홀(ChB)에는 표면층(114) 및 내부층(115)을 포함하는 필라가 형성될 수 있고, 제2 채널 홀(ChB)의 둘레에는 전하 저장층(CS)이 형성될 수 있고, 전하 저장층(CS)은 ONO 구조를 가질 수 있다.
- [0064] 실시예에서, 메모리 블록(BLKb)에 포함된 전하 저장층(CS)의 두께는, 메모리 블록(BLKa)에 포함된 전하 저장층(CS)의 두께와 다를 수 있다. 이러한 채널 홀 직경의 차이로 인해, 메모리 셀의 특성의 차이가 발생할 수 있다. 구체적으로, 채널 홀의 둘레에 게이트 전극이 위치하는 게이트 올 어라운드(gate all around) 형태의 수직형 메모리 장치의 경우, 채널 홀 직경이 작아지면 게이트 전극(예를 들어, 도 6의 213)에서 채널 영역(114)으로 형성되는 전기장의 집속도가 높아지게 된다. 따라서, 제1 채널 홀(ChA)과 같이 채널 홀 직경이 작은 메모리 셀은, 제2 채널 홀(ChB)과 같이 채널 홀 직경이 큰 메모리 셀에 비해, 프로그램 및 소거 동작의 속도가 빨라지게 된다.
- [0065] 다시 도 8을 참조하면, 셀 영역(CR) 내에서 하나의 메모리 블록은 제1 방향(D1)으로, 즉, 워드 라인 방향으로 한 페이지에 해당하는 모든 메모리 셀들을 포함하고, 제2 방향(D2)으로, 즉, 비트 라인 방향으로 몇 개의 스트링들을 포함하도록 구성된다. 따라서, 각 메모리 블록은 제1 방향으로 길게 구성되어, 채널 홀 사이즈, 즉, 직경의 차이는 메모리 블록 단위로 나타날 수 있다. 따라서, 메모리 블록(BLKa)에 포함된 메모리 셀들의 프로그램 속도 및 소거 속도는 메모리 블록(BLKb)에 포함된 메모리 셀들의 프로그램 속도 및 소거 속도보다 빠를 수 있다.
- [0066] 도 10은 도 8의 메모리 블록들에 대한 프로그램 동작 및 소거 동작의 수행 결과를 나타내는 그래프이다.
- [0067] 도 10을 참조하면, 가로축은 도 8의 제2 방향, 즉, 비트 라인 방향에 따른 메모리 블록의 위치를 나타내고, 세로축은 전압을 나타낸다. 구체적으로, 실선(111)은 프로그램된 메모리 셀의 메모리 블록 위치에 따른 문턱 전압의 중심치를 나타내고, 점선(112)은 소거된 메모리 셀의 메모리 블록 위치에 따른 문턱 전압의 중심치를 나타낸다.
- [0068] 상술한 바와 같이, 프로그램 속도 및 소거 속도의 차이로 인하여 실선(711)과 같이, 프로그램된 메모리 셀들의 문턱 전압은 메모리 블록 위치 별로 U자 형태를 가질 수 있다. 또한, 점선(72)과 같이, 소거된 메모리 셀들의 문턱 전압은 메모리 블록 위치 별로 뒤집어진 U자 형태를 가질 수 있다.
- [0069] 도 11은 도 8의 하나의 채널의 수직 구조를 나타낸다.
- [0070] 도 11을 참조하면, 수직형 메모리 장치에 포함된 하나의 셀 스트링에 대응하는 채널 홀(CH1)이 도시되었다. 채널 홀(CH1)은 기판 상에 적층된 게이트 전극들 및 절연막들의 일부 영역을 식각함으로써 형성되므로, 표면으로부터 깊이가 커질수록 식각이 잘 이루어지지 않을 수 있다. 이에 따라, 채널 홀(CH1)의 직경은 기판쪽으로 갈수록 작아질 수 있다.
- [0071] 일 실시예에서, 채널 홀(CH1)을 채널 홀 직경에 따라 세 개의 구역들로 구분할 수 있다. 예를 들어, 채널 홀 직경이 제1 값보다 작은 구역을 제1 구역(Z1)으로 결정하고, 채널 홀 직경이 제1 값 이상이고, 제2 값보다 작은 구역을 제2 구역(Z2)으로 결정하고, 채널 홀 직경이 제2 값 이상이고, 제3 값보다 작은 구역을 제3 구역(Z3)으로 결정할 수 있다. 제1 구역(Z1)은 서브 블록(SB1)에 해당하고, 제2 구역(Z2)은 서브 블록(SB2)에 해당하고, 제3 구역(Z3)은 서브 블록(SB3)에 해당할 수 있다. 따라서, 하나의 셀 스트링에서도 서브 블록의 위치에

다른 채널 홀 직경의 차이로 인해, 메모리 셀의 특성의 차이가 발생할 수 있다. 따라서, 하나의 셀 스트링에서도 서브 블록의 위치에 따라 프로그램 속도 및 소거 속도의 차이가 발생할 수 있다.

- [0072] 도 12는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타낸다.
- [0073] 도 12를 참조하면, 제어 회로(500a)는 커맨드 디코더(510), 어드레스 버퍼(520), 제어 신호 생성기(530a), 어드레스 비교기(540), 배드 서브 블록 정보 레지스터(550) 및 프로그램/소거 사이클 정보 레지스터(560)를 포함한다.
- [0074] 커맨드 디코더(510)는 커맨드(CMD)를 디코딩하여 디코딩된 커맨드(D_CMD)를 제어 신호 생성기(530a)에 제공한다. 어드레스 버퍼(520)는 어드레스(ADDR)를 수신하고, 어드레스(ADDR) 중 로우 어드레스(R_ADDR)는 어드레스 디코더(600)에 제공하고, 컬럼 어드레스(C_ADDR)는 데이터 입출력 회로(420) 및 어드레스 비교기(540)에 제공한다.
- [0075] 배드 서브 블록 정보 레지스터(550)는 배드 서브 블록 정보(BSI)를 저장하고, 배드 서브 블록 정보(BSI)는 초기 배드 서브 블록 어드레스(ITSBA) 및 런-타임 배드 서브 블록 어드레스(RTSBA)를 포함한다. 초기 배드 서브 블록 어드레스(ITSBA)는 비휘발성 메모리 장치(50)가 출하될 때부터 지정된 배드 서브 블록의 어드레스이고, 런-타임 배드 서브 블록 어드레스(RTSBA)는 비휘발성 메모리 장치(50)의 동작 중에 지정된 배드 서브 블록의 어드레스이다.
- [0076] 어드레스 비교기(540)는 배드 서브 블록 정보 레지스터(550)에 저장된 적어도 하나의 배드 서브 블록 로우 어드레스(BR_ADDR)와 로우 어드레스(R_ADDR)를 비교하고, 비교 결과를 나타내는 매치 신호(MTS)를 제어 신호 생성기(530a)에 제공한다.
- [0077] 제어 신호 생성기(530a)는 디코딩된 커맨드(D_CMD) 및 매치 신호(MS)를 수신하고, 디코딩된 커맨드(D_CMD)가 지시하는 동작이 배드 서브 블록에 관련된 것인지에 기초하여 제어 신호들(CTLs)을 생성하여 전압 생성기(700)에 제공할 수 있다. 또한 제어 신호 생성기(530a)는 감지 신호(DS)를 수신하고, 감지 신호(DS)에 기초하여 기관의 전압(VSUB) 레벨이 기준 레벨에 도달하였거나 기관의 전압(VSUB)이 일정 레벨에서 유지되었음을 나타내는 제1 모드 신호(MS)를 어드레스 디코더(600)에 제공한다. 또한 제어 신호 생성기(530a)는 디코딩된 커맨드(D_CMD)가 지시하는 동작을 나타내는 제2 모드 신호(MS2)를 어드레스 디코더(600)에 제공한다.
- [0078] 제어 신호 생성기(530a)는 매치 신호(MS)가 로우 어드레스(R_ADDR)가 노멀 서브 블록을 액세스함을 나타내는 경우, 프로그램/소거 사이클 정보 레지스터(560)를 참조하여 제1 프로그램/소거 사이클이 노멀 서브 블록에 적용되도록 제어 신호(CTLs)를 생성하고, 매치 신호(MS)가 로우 어드레스(R_ADDR)가 배드 서브 블록을 액세스함을 나타내는 경우, 프로그램/소거 사이클 정보 레지스터(560)를 참조하여 제2 프로그램/소거 사이클이 배드 서브 블록에 적용되도록 제어 신호(CTLs)를 생성한다. 제1 프로그램/소거 사이클은 제2 프로그램/소거 사이클보다 클 수 있다. 따라서, 배드 서브 블록에 대한 프로그램/소거 사이클이 완화되어, 비휘발성 메모리 장치(50)의 수명을 증가시킬 수 있다.
- [0079] 도 13은 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 제어 회로의 구성을 나타낸다.
- [0080] 도 13을 참조하면, 제어 회로(500b)는 커맨드 디코더(510), 어드레스 버퍼(520), 제어 신호 생성기(530b), 어드레스 비교기(540), 배드 서브 블록 정보 레지스터(550), 프로그램/소거 사이클 정보 레지스터(560), 비교기(575), 레지스터(580) 및 프로그램/소거 사이클 카운터(585)를 포함한다.
- [0081] 도 13의 제어 회로(500b)는 비교기(575), 레지스터(580) 및 프로그램/소거 사이클 카운터(585)를 더 포함하고, 어드레스 비교기(540)가 매치 신호(MTS)를 프로그램/소거 사이클 카운터(585)에 제공한다는 점이 도 12의 제어 회로(500b)와 차이가 있다.
- [0082] 프로그램/소거 사이클 카운터(585)는 매치 신호(MTS) 및 디코딩된 커맨드(D_CMD)에 기초하여 로우 어드레스(R_ADDR)가 배드 서브 블록을 액세스하고, 디코딩된 커맨드(D_CMD)가 프로그램 커맨드이거나 소거 커맨드인 경우에 카운팅 값(CV)을 증가시킨다. 비교기(575)는 카운팅 값(CV)과 레지스터(580)에 저장된 기준 카운팅 값(CRV)를 비교하여 그 비교 결과를 나타내는 비교 신호(CS)를 제어 신호 생성기(530b)에 제공한다. 제어 신호 생성기(530b)는 디코딩된 커맨드(D_CMD), 매치 신호(MTS) 및 비교 신호(CS)를 수신하고, 배드 서브 블록에 대하여 기준 카운팅 값(CRV)까지는 제2 프로그램/소거 사이클이 적용되고, 기준 카운팅 값(CRV)을 초과하는 경우에는 제2 프로그램/소거 사이클보다 작은 제3 프로그램 소거/사이클이 적용되도록 제어 신호(CTLs)를 생성한다.
- [0083] 도 14는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 전압 생성기의 구성을 나타내는 블록도이

다.

- [0084] 도 14를 참조하면, 전압 생성기(700)는 고전압 생성기(710) 및 저전압 생성기(730)를 포함할 수 있다. 실시예에 있어서, 전압 생성기(700)는 음전압(negative voltage) 생성기(750)를 더 포함할 수 있다.
- [0085] 고전압 생성기(710)는 제1 제어 신호(CTL1)에 응답하여 커맨드(CMD)가 지시하는 동작에 따라 프로그램 전압(VPGM), 프로그램 패스 전압(VPPASS), 검증 패스 전압(VVPASS), 독출 패스 전압(VRPASS) 및 소거 전압(VERS)을 생성할 수 있다. 프로그램 전압(VPGM)은 선택 워드라인에 인가되고, 프로그램 패스 전압(VPPASS), 프로그램 검증 패스 전압(VVPASS), 독출 패스 전압(VRPASS)은 비선택 워드라인들에 인가되고, 소거 전압(VERS)은 메모리 블록의 웰 또는 기판에 인가될 수 있다. 제1 제어 신호(CTL1)는 복수의 비트들을 포함하여 커맨드(CMD)가 지시하는 동작을 나타낼 수 있다.
- [0086] 저전압 생성기(730)는 제2 제어 신호(CTL2)에 응답하여 커맨드(CMD)가 지시하는 동작에 따라 프로그램 검증 전압(VPV), 독출 전압(VRD), 소거 검증 전압(VEV) 및 워드라인 소거 전압(Vwe)을 생성할 수 있다. 프로그램 검증 전압(VPV), 독출 전압(VRD,) 및 소거 검증 전압(VEV)은 동작에 따라 선택 워드라인에 인가될 수 있다. 소거 전압(Vwe)은 선택된 서브 블록의 워드라인들에 인가될 수 있다. 제2 제어 신호(CTL2)는 복수의 비트들을 포함하여 커맨드(CMD)가 지시하는 동작을 나타낼 수 있다.
- [0087] 음전압 생성기(750)는 제3 제어 신호(CTL3)에 응답하여 커맨드(CMD)가 지시하는 동작에 따라 음의 레벨을 가지는 프로그램 검증 전압(VPV'), 독출 전압(VRD'), 및 소거 검증 전압(VEV')을 생성할 수 있다. 제3 제어 신호(CTL3)는 복수의 비트들을 포함하여 커맨드(CMD)가 지시하는 동작을 나타낼 수 있다.
- [0088] 도 15는 본 발명의 실시예들에 따른 도 4의 비휘발성 메모리 장치에서 어드레스 디코더의 구성을 나타낸다.
- [0089] 도 15에서는 설명의 편의를 위하여 메모리 블록들(BLK1, BLKz)을 함께 도시한다. 도 15를 참조하면, 어드레스 디코더(600)는 디코더(610), 제1 스위치 회로(620) 및 제2 스위치 회로(630)를 포함할 수 있다.
- [0090] 디코더(610)는 어드레스(ADDR), 제1 모드 신호(MS1) 및 제2 모드 신호(MS2)를 수신하고, 어드레스(ADDR)가 지정하는 서브 블록과 제1 모드 신호(MS1)가 나타내는 기관 전압(VSUB)의 레벨이나 유지 시간 및 제2 모드 신호(MS2)가 나타내는 동작에 따라서 제1 선택 신호(SS1)와 제2 선택 신호(SS2)를 생성하고, 제1 선택 신호(SS1)와 제2 선택 신호(SS2)를 제1 스위치 회로(620) 및 제2 스위치 회로(630) 각각에 제공할 수 있다.
- [0091] 제1 스위치 회로(620) 및 제2 스위치 회로(630)는 전압 생성기(700)에 연결되는 선택 라인들(SIs)에 연결될 수 있다. 제1 스위치 회로(620)는 메모리 블록(BLK1)과 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 적어도 하나의 접지 선택 라인(GSL)을 통하여 연결될 수 있다. 제2 스위치 회로(630)는 메모리 블록(BLKz)과 적어도 하나의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 적어도 하나의 접지 선택 라인(GSL)을 통하여 연결될 수 있다.
- [0092] 제1 스위치 회로(620)는 선택 라인들(SIs) 및 제1 메모리 블록(BLK1)의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 접지 선택 라인(GSL) 각각과 연결되는 복수의 패스 트랜지스터들(PT11~PT14) 및 스위치 컨트롤러(621)를 포함할 수 있다. 스위치 컨트롤러(621)는 제1 선택 신호(SS1)에 응답하여 패스 트랜지스터들(PT11~PT14)의 턴-온과 턴-오프를 제어할 수 있다. 제2 스위치 회로(630)는 선택 라인들(SIs) 및 메모리 블록(BLKz)의 스트링 선택 라인(SSL), 복수의 워드라인들(WL1~WLn) 및 접지 선택 라인(GSL) 각각과 연결되는 복수의 패스 트랜지스터들(PT21~PT24) 및 스위치 컨트롤러(631)를 포함할 수 있다. 스위치 컨트롤러(631)는 제2 선택 신호(SS2)에 응답하여 패스 트랜지스터들(PT21~PT24)의 턴-온과 턴-오프를 제어할 수 있다.
- [0093] 도 16은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- [0094] 이하에서는 도 7의 메모리 블록(BLK_i)의 서브 블록들(SB1, SB2, SB3) 중 기관에 인접한 제1 서브 블록(SB1)이 적어도 하나의 배드 서브 블록에 해당하고 서브 블록들(SB2, SB3)이 적어도 하나의 노멀 서브 블록에 해당한다고 가정한다.
- [0095] 비휘발성 메모리 장치의 메모리 블록들은 프로그램 페이지나 소거 페이지 등에 기인하여 오동작을 일으킬 수 있다. 이 경우에 해당 메모리 블록은 런 타임 배드 블록으로 간주되어 이미 리저브(reserved)된 다른 블록과 대체된다. 또한 런 타임 배드 블록 이외에도 비휘발성 메모리 장치가 공장에서 출하될 시 이미 배드 블록이라고 알려져 있는 초기 배드 블록도 있다. 런 타임 배드 블록의 경우에 낸드 플래시 메모리를 사용함에 있어서 장기간에 걸쳐 소량 발생하는 것이 일반적이다. 그리고 초기 배드 블록의 경우에도, 공장에서 출하될 시 소량 존재하는 것이 정상이다. 그러나 런 타임 배드 블록이 단기간에 많이 발생할 경우, 혹은 초기 배드 블록이 초기부

터 많을 경우에, 모든 리저브드 블록(reserved block)이 고갈되어 버릴 수 있으므로 비휘발성 메모리 장치는 더 이상 쓸 수 없게 된다. 이러한 이유 때문에도 반도체 저장장치의 수명은 제한받는다.

- [0096] 제1 서브 블록(SB1)은 기관에 인접하여 형성되고, 채널 폭이 좁기 때문에 제1 서브 블록(SB1)의 메모리 셀들은 프로그램 전압이나 소거 전압에 의한 스트레스를 가장 많이 받는다. 따라서, 제1 서브 블록(SB1)에서 에러가 발생할 확률이 높아지므로 제1 서브 블록(SB1)은 배드 서브 블록으로 지정될 수 있다.
- [0097] 도 2 내지 도 16을 참조하면, 이러한 수명의 제한을 극복하기 위하여 본 발명의 실시예들에서는, 제1 메모리 블록에 포함되는 서브 블록들을 에러 발생 빈도에 기초하여 적어도 하나의 노멀 서브 블록(노멀 서브 블록)과 적어도 하나의 배드 서브 블록(배드 서브 블록)으로 구분한다(S100). 배드 서브 블록의 정보는 배드 서브 블록 정보 레지스터들(49, 550)에 저장될 수 있다. 제어 회로(500)는 커맨드(CMD) 및 어드레스(ADDR)에 응답하여 노멀 서브 블록 및 배드 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키고(S200), 배드 서브 블록에 완화된 프로그램/소거 사이클을 적용하여 비휘발성 메모리 장치(50)의 수명을 연장시킬 수 있다.
- [0098] 도 17은 도 16에서 단계(S200)를 보다 상세히 나타내는 흐름도이다.
- [0099] 도 18은 도 17에서 적어도 제2 프로그램/소거 사이클이 적용되는 단계를 상세히 나타낸다.
- [0100] 도 19a 및 도 19b는 각각 노멀 서브 블록과 배드 서브 블록에 적용되는 프로그램 소거 사이클들을 나타낸다.
- [0101] 도 17 내지 도 19b를 참조하면, 노멀 서브 블록 및 배드 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키기 위하여(S200), 제어 회로(500)는 로우 어드레스(R_ADDR)가 배드 서브 블록을 액세스하는지를 판단한다(S210). 로우 어드레스(R_ADDR)가 노멀 서브 블록을 액세스하면(S200에서 NO), 제어 회로(500)는 프로그램/소거 사이클 정보 레지스터(560)를 참조하여, 제1 프로그램 소거 사이클(811, 821)이 노멀 서브 블록에 적용되도록 전압 생성기(700) 및 어드레스 디코더(600)를 제어한다(S220). 로우 어드레스(R_ADDR)가 배드 서브 블록을 액세스하면(S200에서 YES), 제어 회로(500)는 프로그램/소거 사이클 정보 레지스터(560)를 참조하여, 적어도 제2 프로그램 소거 사이클(812, 823)이 배드 서브 블록에 적용되도록 전압 생성기(700) 및 어드레스 디코더(600)를 제어한다(S230).
- [0102] 도 18을 참조하면, 적어도 제2 프로그램/소거 사이클이 배드 서브 블록에 적용되도록 하기 위하여(S230), 제어 회로(500)는 배드 서브 블록에 대한 프로그램/소거 사이클 카운트 값이 기준 카운트 값(CRV)을 초과하였는지 여부를 판단한다(S240). 배드 서브 블록에 대한 프로그램/소거 사이클 카운트 값이 기준 카운트 값(CRV)을 초과하지 않으면(S230에서 NO), 제어 회로(500)는 제2 프로그램/소거 사이클(822)이 배드 서브 블록에 적용되도록 전압 생성기(700) 및 어드레스 디코더(600)를 제어한다(S50). 배드 서브 블록에 대한 프로그램/소거 사이클 카운트 값이 기준 카운트 값(CRV)을 초과하는 제1 시점(t11) 이후부터(S230에서 YES), 제어 회로(500)는 제3 프로그램/소거 사이클(823)이 배드 서브 블록에 적용되도록 전압 생성기(700) 및 어드레스 디코더(600)를 제어한다(S260).
- [0103] 도 19a에서 제2 프로그램/소거 사이클(812)는 제1 프로그램/소거 사이클(811)보다 작고, 도 19b에서 제2 프로그램/소거 사이클(822)는 제1 프로그램/소거 사이클(821)보다 작고, 제3 프로그램/소거 사이클(823)은 제2 프로그램/소거 사이클(822)보다 작다.
- [0104] 도 20은 본 발명의 실시예들에 따른 비휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- [0105] 이하에서는 도 7의 메모리 블록(BLK_i)의 서브 블록들(SB1, SB2, SB3) 중 기관에 인접한 제1 서브 블록(SB1)이 배드 서브 블록에 해당하고 서브 블록들(SB2, SB3)이 노멀 서브 블록에 해당한다고 가정한다.
- [0106] 도 2 내지 도 15 및 도 20을 참조하면, 제1 메모리 블록에 포함되는 서브 블록들을 에러 발생 빈도에 기초하여 노멀 서브 블록과 배드 서브 블록으로 구분한다(S300). 제어 회로(500)는 커맨드(CMD) 및 어드레스(ADDR)에 응답하여, 배드 서브 블록의 프로그램 여부에 기초하여 제1 메모리 블록에 대한 메모리 동작 시에 제1 메모리 블록에 적용되는 바이어스 조건을 조절한다(S400). 제어 회로(500)는 조절된 바이어스 조건에 따라, 제1 메모리 블록에 대한 메모리 동작이 수행되도록 전압 생성기(700)와 어드레스 디코더(600)를 제어한다(S500). 상기 메모리 동작은 소거 동작 또는 독출 동작일 수 있다.
- [0107] 도 21a 내지 도 26b에서는 도 7의 메모리 블록에서 비트라인(BL1)에 연결된 서브 블록들(SB1~SB3)을 대상으로 설명한다.
- [0108] 도 21a 및 도 21b는 도 7의 메모리 블록의 서브 블록들의 프로그램 상태를 나타낸다.

- [0109] 도 21a는 제2 및 제3 서브 블록들(SB2, SB3)이 소거 상태(E0) 및 프로그램 상태들(P1, P2, P3)로 프로그램된 경우를 나타내고, 도 21b는 제1 내지 제3 서브 블록들(SB1, SB2, SB3)이 소거 상태(E0) 및 프로그램 상태들(P1, P2, P3)로 프로그램된 경우를 나타낸다. 메모리 블록(BLK_i)에 대한 메모리 동작 시에, 배드 서브 블록인 제1 서브 블록(SB1)의 프로그램 여부는 제2 및 제3 서브 블록들(SB2, SB3)의 문턱 전압들이 영향을 받는 정도가 달라진다. 따라서, 이러한 영향을 고려하여, 배드 서브 블록의 프로그램 여부에 기초하여 제1 메모리 블록에 대한 메모리 동작시의 바이어스 조건을 조절한다. 즉, 배드 서브 블록이 프로그램되어 있으면, 서브 블록(SB2)이 받는 영향이 크고, 배드 서브 블록이 프로그램되어 있지 않으면, 서브 블록(SB2)이 받는 영향이 작을 수 있다.
- [0110] 메모리 셀들 각각이 M (M은 2 이상의 자연수) 비트를 저장할 수 있을 때, 도 21a에서와 같이 배드 서브 블록(SB1)을 프로그램하지 않고, 제1 메모리 블록에 대한 프로그램 동작을 완료하는 경우, 배드 서브 블록(SB1)에 인접한 경계 워드라인(WL5)에는 N(N은 M보다 작은 자연수) 비트만을 프로그램할 수 있다. 경계 워드라인(WL5)에 N 비트만을 프로그램하여 경계 워드라인(WL5)에 연결되는 메모리 셀들의 프로그램 상태들 사이의 마진을 증가시킬 수 있다. 또한 도 21b에서와 같이, 배드 서브 블록(SB1)을 프로그램하고, 제1 메모리 블록에 대한 프로그램 동작을 완료하는 경우에는 경계 워드라인(WL5)에 연결되는 메모리 셀들에도 M 비트를 프로그램한다.
- [0111] 도 22a는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타낸다.
- [0112] 도 22a를 참조하면, 제어 회로(500)는 셀 스트링의 비트라인(BL), 스트링 선택 라인(SSL), 접지 선택 라인(GSL)을 플로팅시키고, 서브 블록들(SB2, SB3)의 워드라인들(WL5~WL12)에는 제1 워드라인 소거 전압(Vwe1)을 인가하고, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)에는 제2 워드라인 소거 전압(Vwe2)을 인가하고, 기판(SUB)에는 소거 전압(VRES)을 인가한다. 제1 워드라인 소거 전압(Vwe1)은 접지 전압과 동일하거나 접지 전압보다 약간 높은 레벨을 가질 수 있고, 제2 워드라인 소거 전압(Vwe2)은 제1 워드라인 소거 전압(Vwe1)보다 높다. 따라서, 배드 서브 블록(SB1)의 메모리 셀들이 과소거되는 것을 방지할 수 있다.
- [0113] 도 22b는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타내고, 도 23a는 도 22b의 바이어스 조건이 적용되는 경우의 배드 서브 블록 전압과 기판 전압을 나타내고, 도 23b는 도 22b의 바이어스 조건이 적용되는 경우에 도 13의 제1 스위치 회로를 나타낸다.
- [0114] 도 22b 및 도 23a를 참조하면, 제어 회로(500)는 셀 스트링의 비트라인(BL), 스트링 선택 라인(SSL), 접지 선택 라인(GSL)을 플로팅시키고, 서브 블록들(SB2, SB3)의 워드라인들(WL5~WL12)에는 제1 워드라인 소거 전압(Vwe1)을 인가한다. 기판(111)에 인가되는 소거 전압(VERS)에 의하여 기판 전압(VSUB)의 레벨이 선형적으로 증가하는 제1 구간(INT11)에서, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)에 제1 워드라인 소거 전압(Vwe1)을 인가한다. 제1 구간(INT11)은 기판(111)에 소거 전압(VERS)이 인가되기 시작하는 시점(t21)부터 소거 전압(VERS)에 의하여 기판 전압(VSUB)이 소거 전압(VERS)의 레벨에 도달하는 시점(t23)까지 일 수 있다. 제1 구간(INT11)은 기판(111)에 소거 전압(VERS)이 인가되기 시작하는 시점(t11)부터 소거 전압(VERS)에 의하여 기판 전압(VSUB)이 소거 전압(VERS)의 레벨에 도달하는 시점(t13)까지 일 수 있다. 제1 구간(INT11)에서 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)에 제1 워드라인 소거 전압(Vwe1)을 인가하다가, 제1 구간(INT11)의 제1 시점(t22)에서 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)을 플로팅시킨다.
- [0115] 제1 시점(t22)에서 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)이 플로팅되면, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)의 전압 레벨은 기판 전압(VSUB) 레벨을 추종하게 된다. 제1 시점(t22)은 소거 전압(VERS)의 인가에 따라 상승하는 기판 전압(VSUB)의 레벨이 기준 레벨(VREF)에 도달하는 시점일 수 있다. 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)은 시점(t23)부터 시점(t24)까지 일정한 레벨로 유지될 수 있다.
- [0116] 도 23b를 참조하면, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)은 각각 패스 트랜지스터들(PT31~PT34)에 연결되고, 패스 트랜지스터들(PT31~PT34) 각각의 게이트에는 스위칭 제어 신호들(SCS111~SCS114)이 인가된다. 제1 선택 신호(SS1)에 응답하여 제1 구간(INT11)의 제1 시점(t22)까지 스위치 컨트롤러(621)는 스위칭 제어 신호들(SCS111~SCS114)을 활성화하다가, 제1 시점(t22)에서 스위칭 제어 신호들(SCS111~SCS114)을 비활성화하여 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)을 플로팅시킬 수 있다.
- [0117] 도 24는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 소거 동작시의 소거 바이어스 조건을 나타내고, 도 25는 도 24의 바이어스 조건이 적용되는 경우의 기판 전압을 나타낸다.
- [0118] 도 24 및 도 25를 참조하면, 제어 회로(500)는 제어 회로(500)는 셀스트링의 비트라인(BL), 스트링 선택 라인(SSL), 접지 선택 라인(GSL)을 플로팅시키고, 제1 내지 제3 서브 블록들(SB1~SB3)의 워드라인들(WL1~WL12)에는

제1 워드라인 소거 전압(Vwe1)을 인가한다. 제어 회로(500)는 전압 생성기(700)를 제어하여 시점(t31)에서부터 기판(111)에 소거 전압(VRES)을 인가하기 시작하고, 시점(t32)에 기판(111) 전압의 레벨이 제1 레벨(VERS1)에 도달하면, 시점(t33)까지 제1 레벨(VERS1)로 유지시켜, 배드 서브 블록(SB1)을 우선적으로 소거한다. 제어 회로(500)는 시점(t33)에서 시점(t34)까지 소거 전압(VRES)의 인가를 차단하였다가, 시점(t34)에서부터 기판(111)에 소거 전압(VRES)을 다시 인가하기 시작하고, 시점(t35)에 기판(111) 전압의 레벨이 제2 레벨(VERS2)에 도달하면, 시점(t36)까지 제2레벨(VERS2)로 유지시켜 노멀 서브 블록들(SB2, SB3)을 소거시킨다. 시점(t31)에서 시점(t33)까지가 제1 구간(INT21)에 해당할 수 있고, 시점(t34)에서 시점(t36)까지가 제2 구간(INT22)에 해당할 수 있다. 배드 서브 블록(SB1)을 우선적으로 소거함으로써 배드 서브 블록(SB1)에 대한 소거 전압(VERS)의 스트레스를 감소시킬 수 있다.

[0119] 도 26a는 배드 서브 블록이 프로그램되지 않은 경우, 제1 메모리 블록에 대한 독출 동작시의 독출 바이어스 조건을 나타낸다.

[0120] 도 26b는 배드 서브 블록이 프로그램된 경우, 제1 메모리 블록에 대한 독출 동작시의 독출 바이어스 조건을 나타낸다.

[0121] 도 26a 및 도 26b에서는 노멀 서브 블록인 제2 서브 블록(SB2)의 워드라인(WL6)에 연결되는 메모리 셀들에 대한 독출 동작을 가정한다.

[0122] 도 26a를 참조하면, 제어 회로(500)는 셀 스트링의 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 워드라인들(WL5, WL7~WL12)에는 제1 독출 패스 전압(VRPASS11)을 인가하고, 워드라인(WL6)에는 독출 전압(VRD)을 인가하고, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)에는 제2 독출 패스 전압(VRPASS12)을 인가할 수 있다. 여기서, 제1 독출 패스 전압(VRPASS11)의 레벨은 제2 독출 패스 전압(VRPASS12)의 레벨보다 클 수 있다. 배드 서브 블록(SB1)의 메모리 셀들은 소거 상태이므로 제2 독출 패스 전압(VRPASS12)에 인가에 의하여 모두 턴-온될 수 있다.

[0123] 도 26b를 참조하면, 제어 회로(500)는 셀 스트링의 스트링 선택 라인(SSL), 접지 선택 라인(GSL), 워드라인들(WL5, WL7~WL12)에는 제1 독출 패스 전압(VRPASS21)을 인가하고, 워드라인(WL6)에는 독출 전압(VRD)을 인가하고, 배드 서브 블록(SB1)의 워드라인들(WL1~WL4)에는 제2 독출 패스 전압(VRPASS22)을 인가할 수 있다. 여기서, 제1 독출 패스 전압(VRPASS21)의 레벨은 제2 독출 패스 전압(VRPASS22)의 레벨보다 크거나 같을 수 있다. 또한, 제2 독출 패스 전압(VRPASS22)의 레벨은 제2 독출 패스 전압(VRPASS12)보다 클 수 있다. 배드 서브 블록(SB1)의 메모리 셀들이 프로그램되어 있어, 제2 독출 패스 전압(VRPASS12)은 프로그램된 배드 서브 블록(SB1)의 메모리 셀들을 모두 턴-온 시킬 수 있는 레벨을 가져야 한다.

[0124] 본 발명의 실시예들에 따르면, 서브 블록들의 예러 발생 빈도 또는 서브 블록들의 위치에 따른 내구성 특성에 기초하여 하나의 메모리 블록의 서브 블록들을 적어도 하나의 노멀 서브 블록과 적어도 하나의 배드 서브 블록으로 구분하고, 노멀 서브 블록과 배드 서브 블록에 서로 다른 프로그램/소거 사이클을 적용시키고, 제1 메모리 블록에 대한 메모리 동작시에 배드 서브 블록의 프로그램 여부에 따라서 다른 바이어스 조건을 제1 메모리 블록에 적용시켜, 비휘발성 메모리 장치의 성능을 높일 수 있고, 수명이 단축되는 것을 방지할 수 있다.

[0125] 도 27은 본 발명의 실시예들에 따른 모바일 장치를 나타내는 블록도이다.

[0126] 도 27을 참조하면, 모바일 장치(1000)는 어플리케이션 프로세서(1100), 통신 모듈(1200), 디스플레이/터치 모듈(1300), 저장 장치(1400), 및 모바일 램(1500)을 포함한다.

[0127] 어플리케이션 프로세서(1100)는 모바일 장치(1000)의 전반적인 동작을 제어한다. 통신 모듈(1200)은 외부와의 유선/무선 통신을 제어하도록 구현될 수 있다. 디스플레이/터치 모듈(1300)은 어플리케이션 프로세서(1100)에서 처리된 데이터를 디스플레이 하거나, 터치 패널로부터 데이터를 입력 받도록 구현될 수 있다. 저장 장치(1400)는 사용자의 데이터를 저장하도록 구현될 수 있다.

[0128] 저장 장치(1400)는 eMMC, SSD, UFS 장치일 수 있다. 저장 장치(1400)는 도 2의 저장 장치(30)로 구현될 수 있다. 따라서 저장 장치(1400)는 메모리 컨트롤러와 적어도 하나의 비휘발성 메모리 장치를 포함할 수 있고, 상기 적어도 하나의 비휘발성 메모리 장치는 도 4의 비휘발성 메모리 장치(50)로 구현될 수 있다. 모바일 램(1500)은 모바일 장치(1000)의 처리 동작 시 필요한 데이터를 임시로 저장하도록 구현될 수 있다.

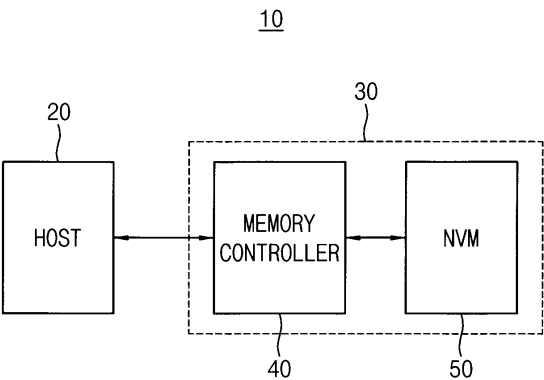
[0129] 본 발명의 실시 예에 따른 비휘발성 메모리 장치 또는 저장 장치는 다양한 형태들의 패키지를 이용하여 실장 될 수 있다.

산업상 이용가능성

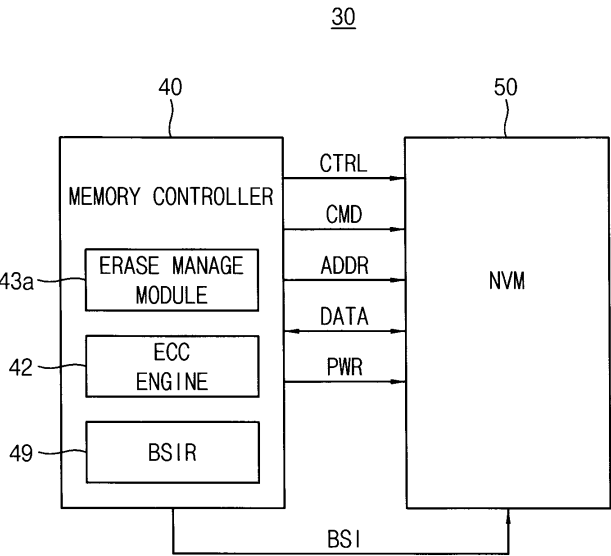
- [0130] 본 발명은 비휘발성 메모리 장치를 구비하는 임의의 전자 장치에 유용하게 이용될 수 있다. 예를 들어, 본 발명은 비휘발성 메모리 장치를 구비하는 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등에 적용될 수 있다.
- [0131] 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

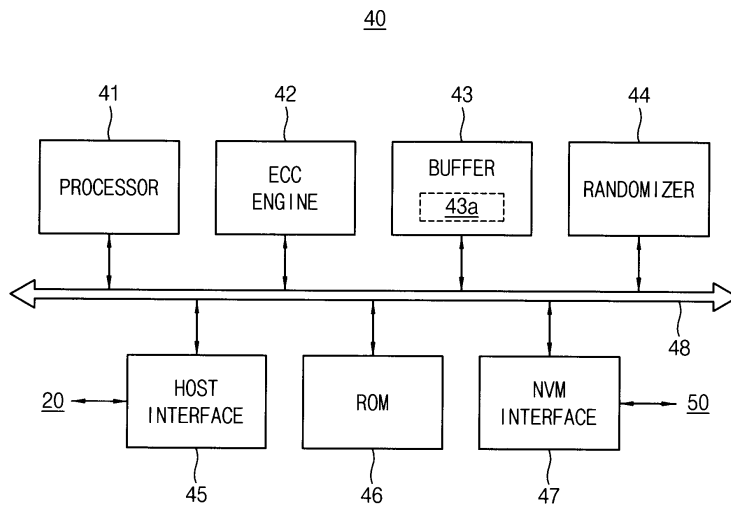
도면1



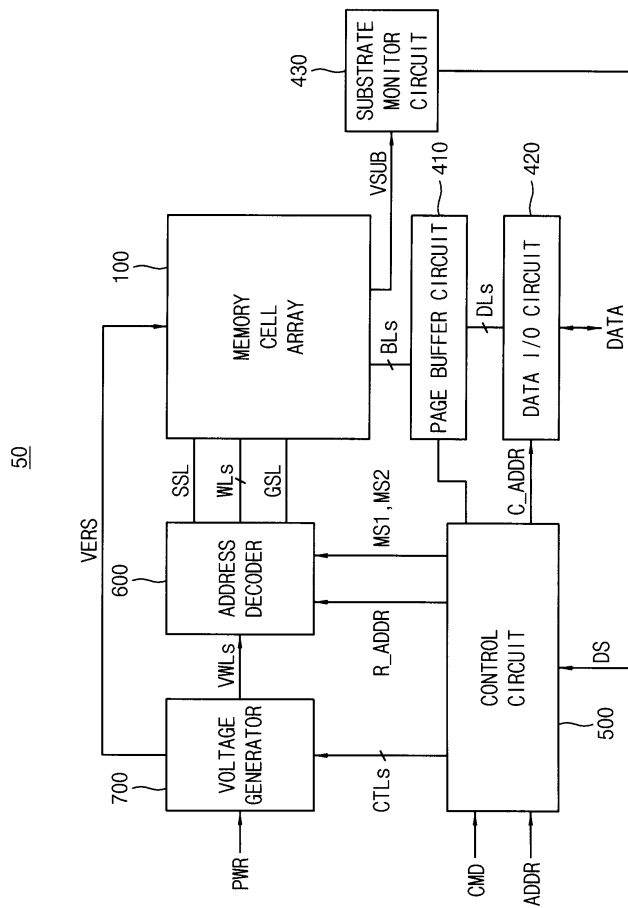
도면2



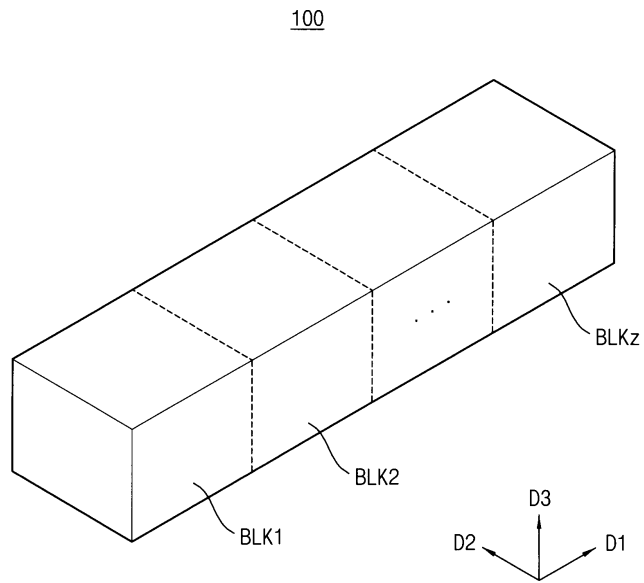
도면3



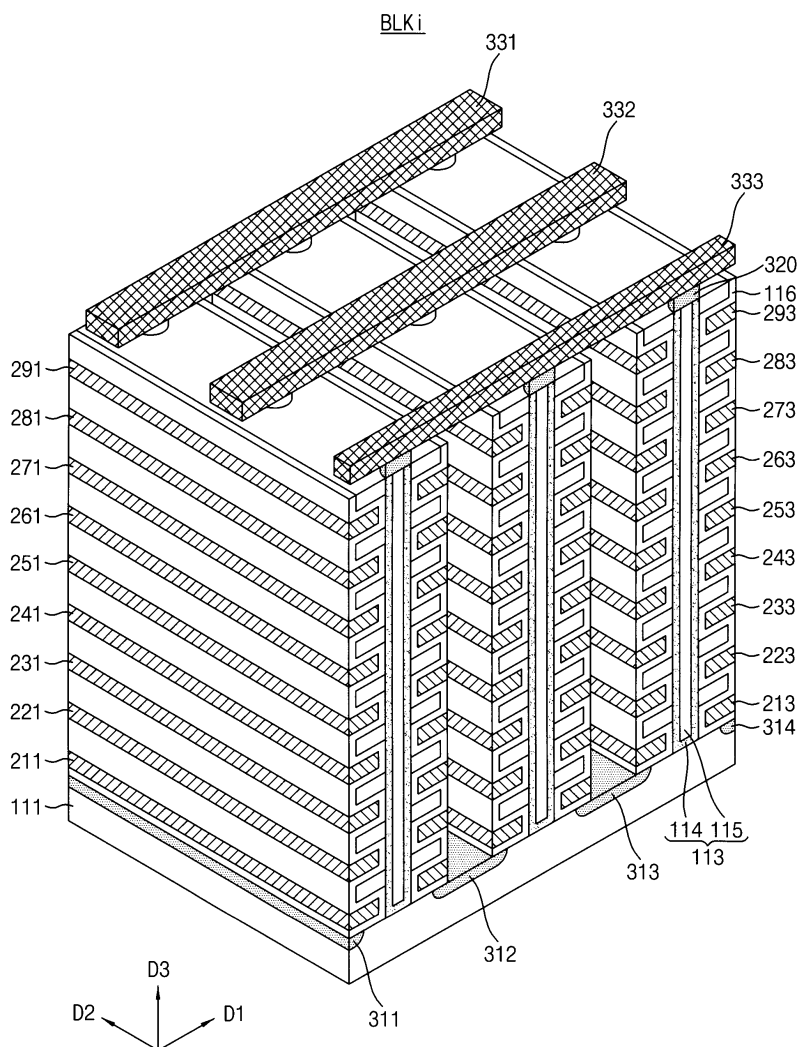
도면4



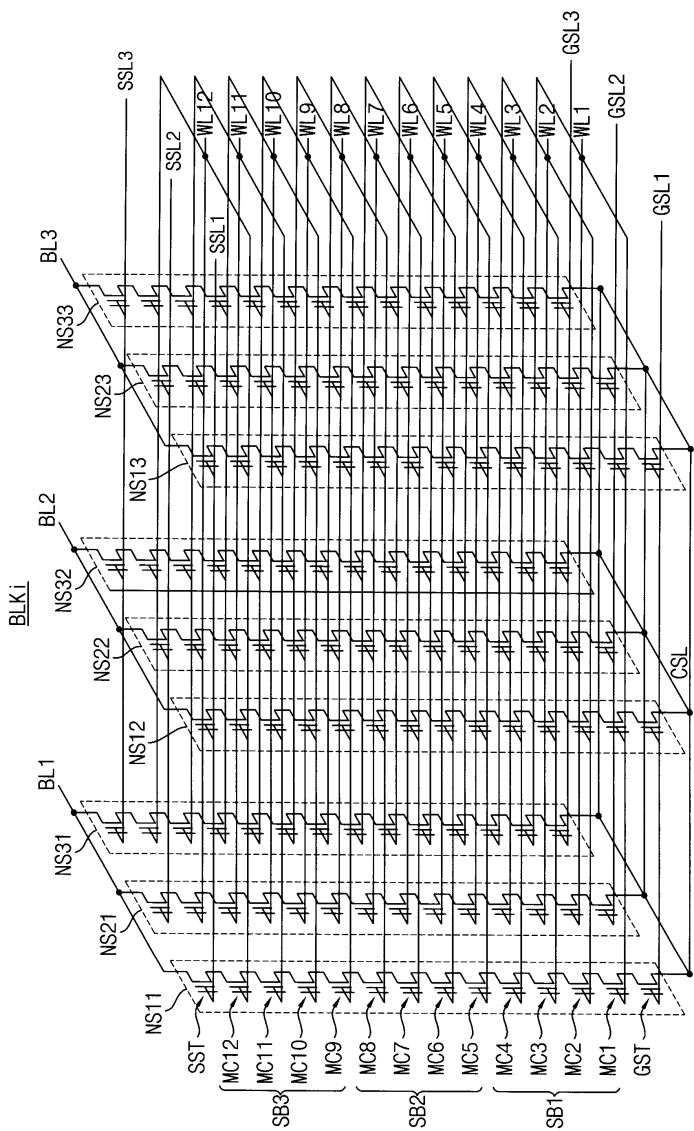
도면5



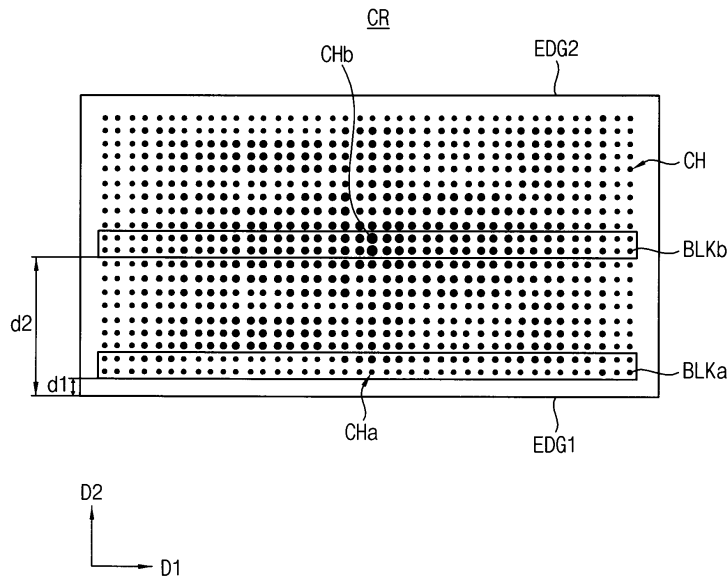
도면6



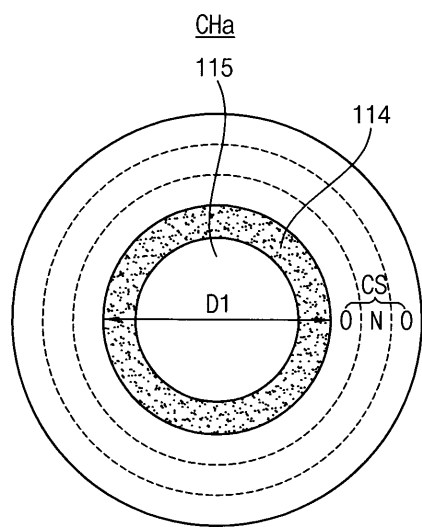
도면7



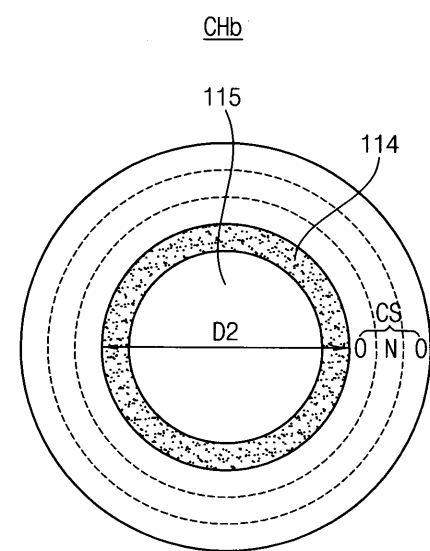
도면8



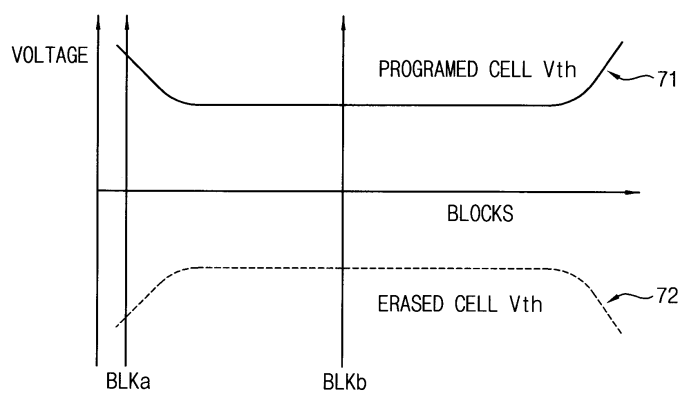
도면9a



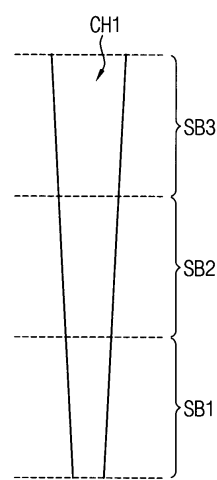
도면9b



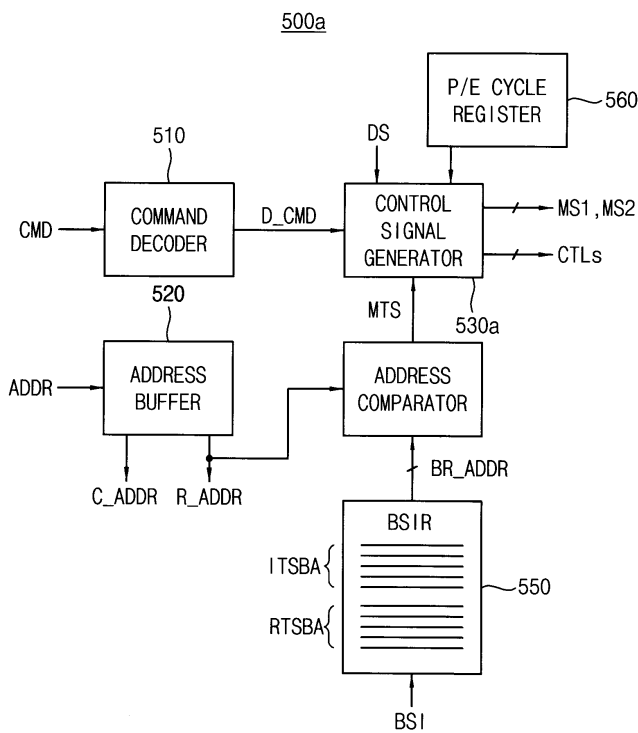
도면10



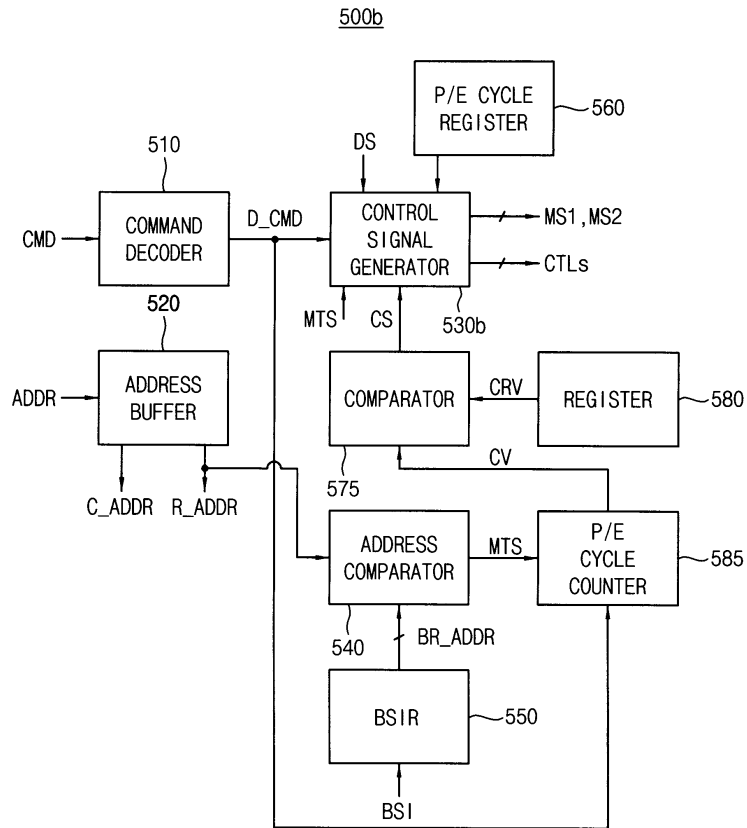
도면11



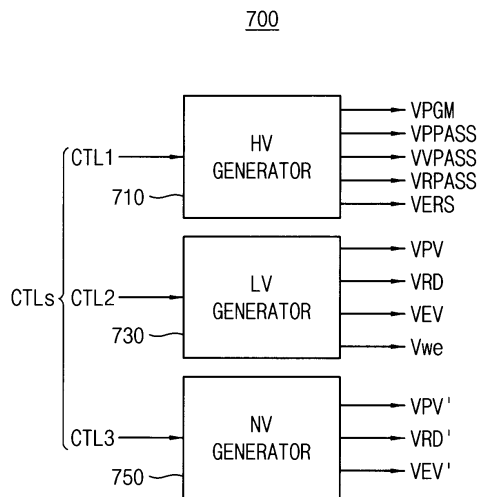
도면12



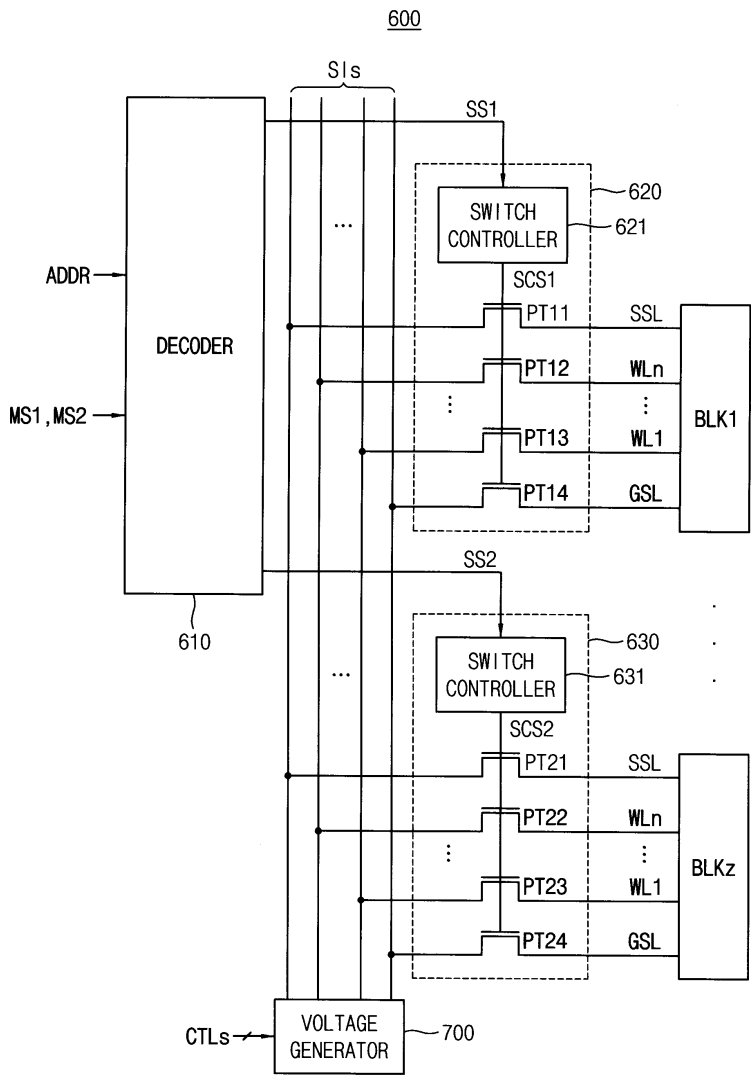
도면13



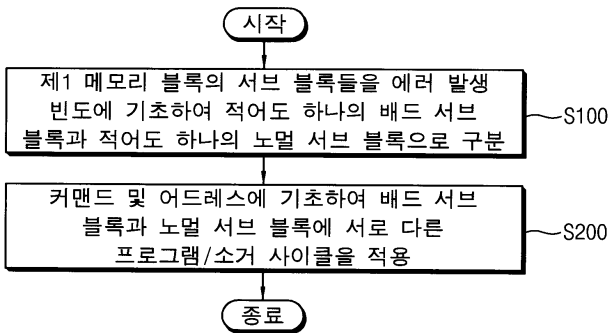
도면14



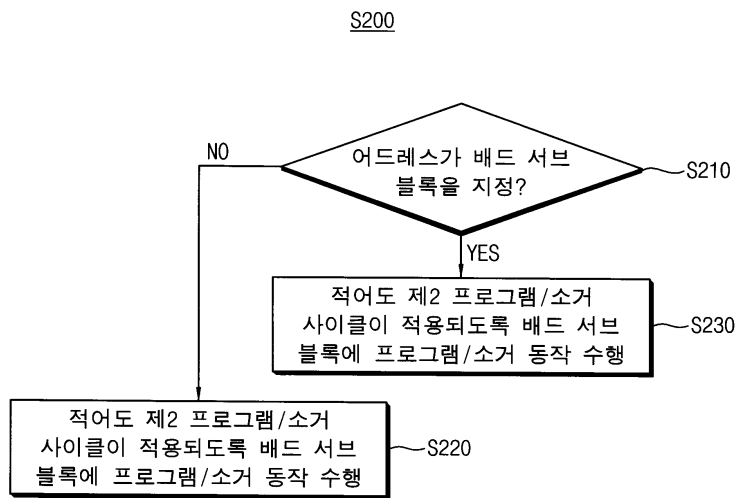
도면15



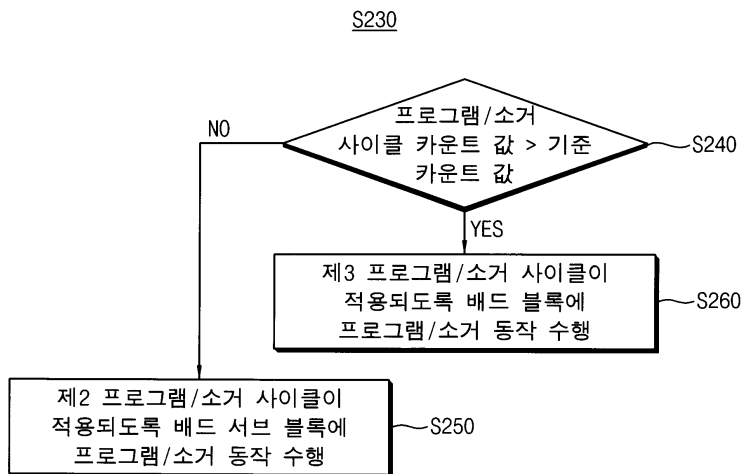
도면16



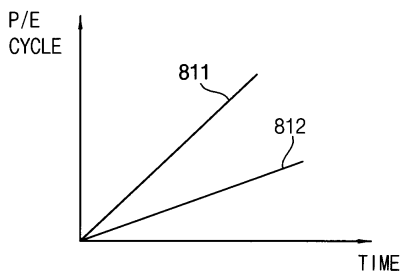
도면17



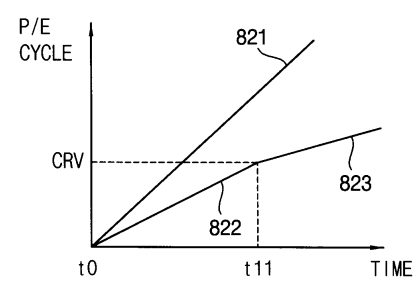
도면18



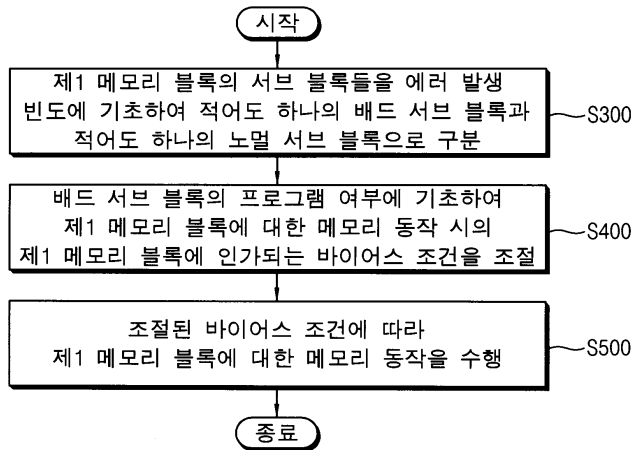
도면19a



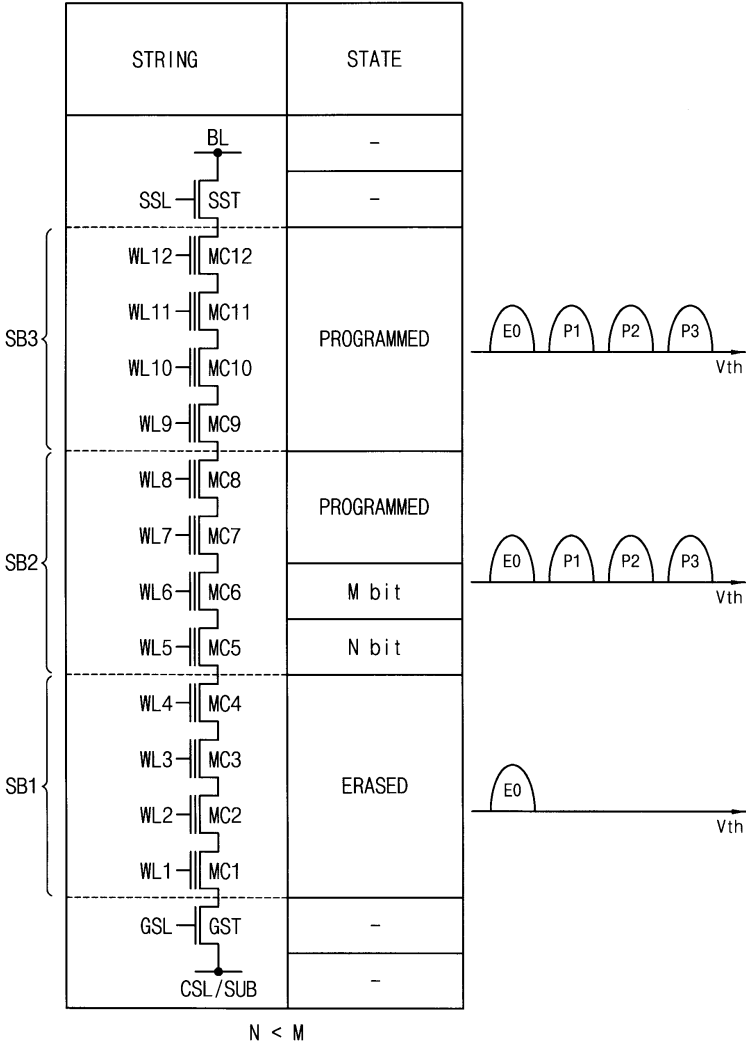
도면19b



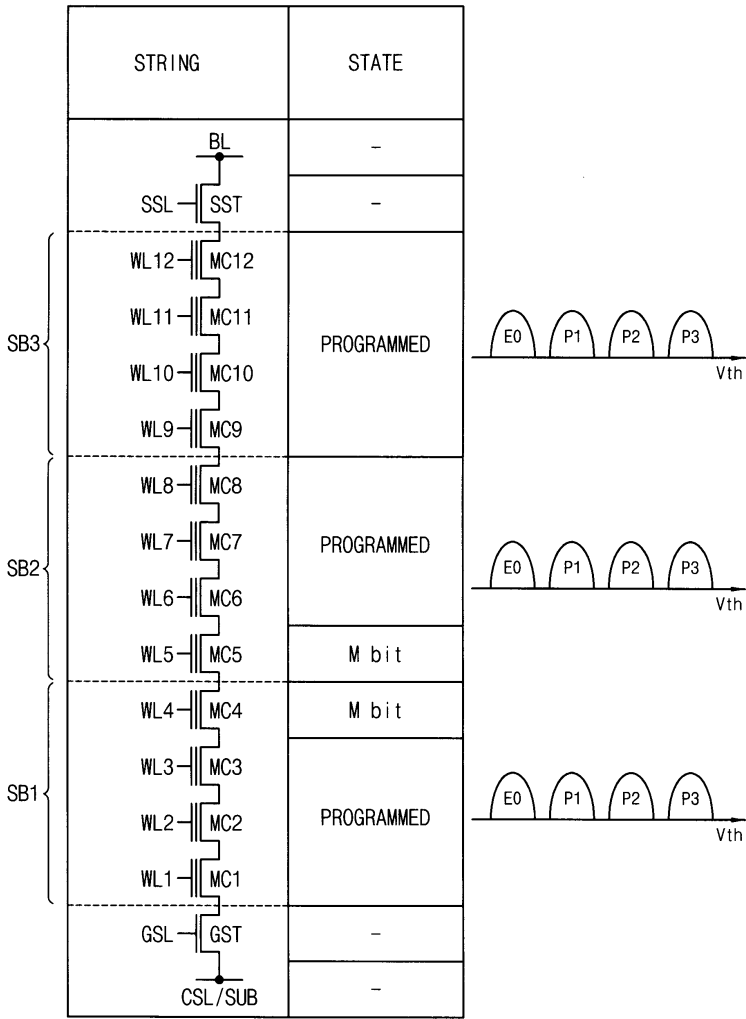
도면20



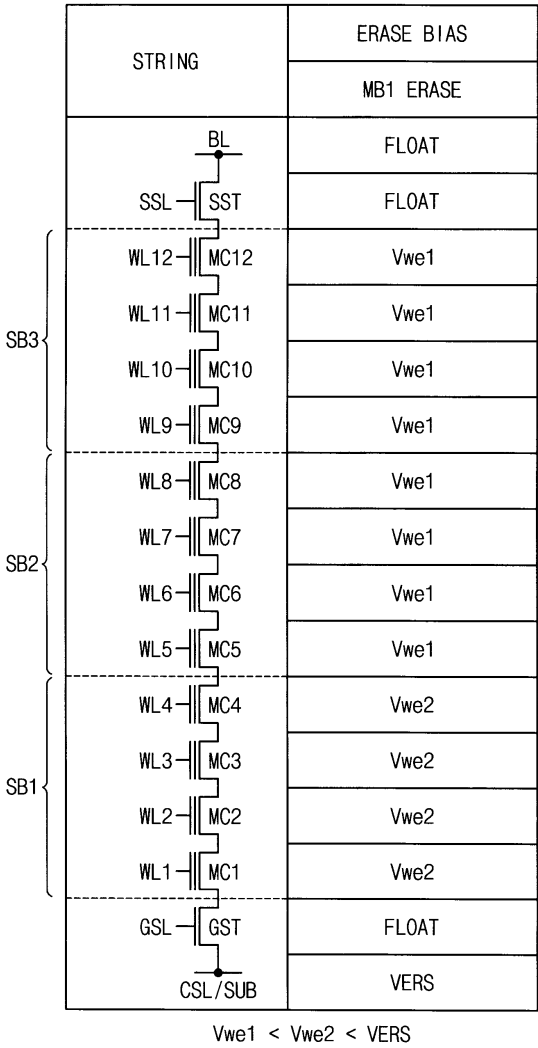
도면21a



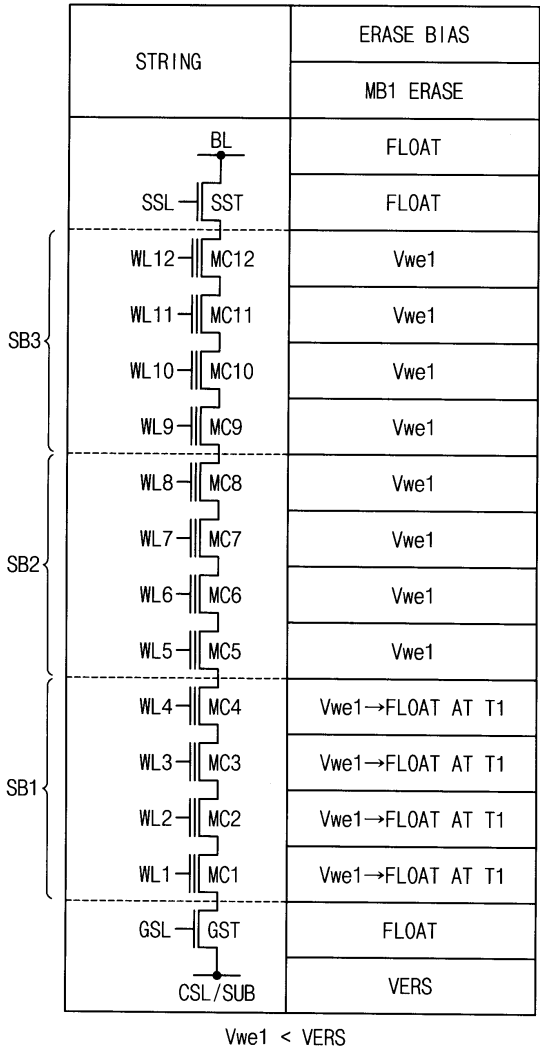
도면21b



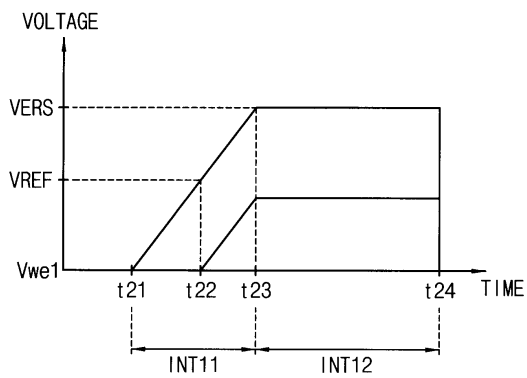
도면22a



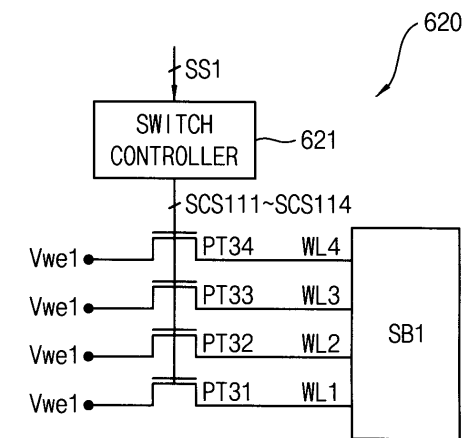
도면22b



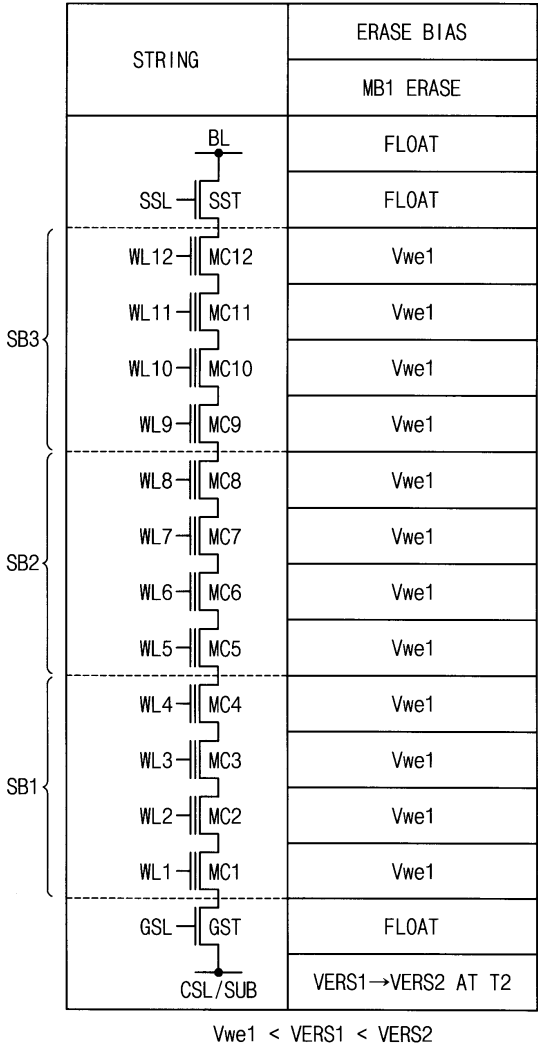
도면23a



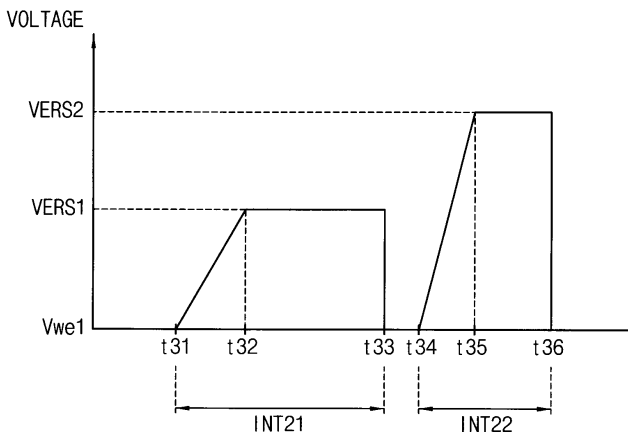
도면23b



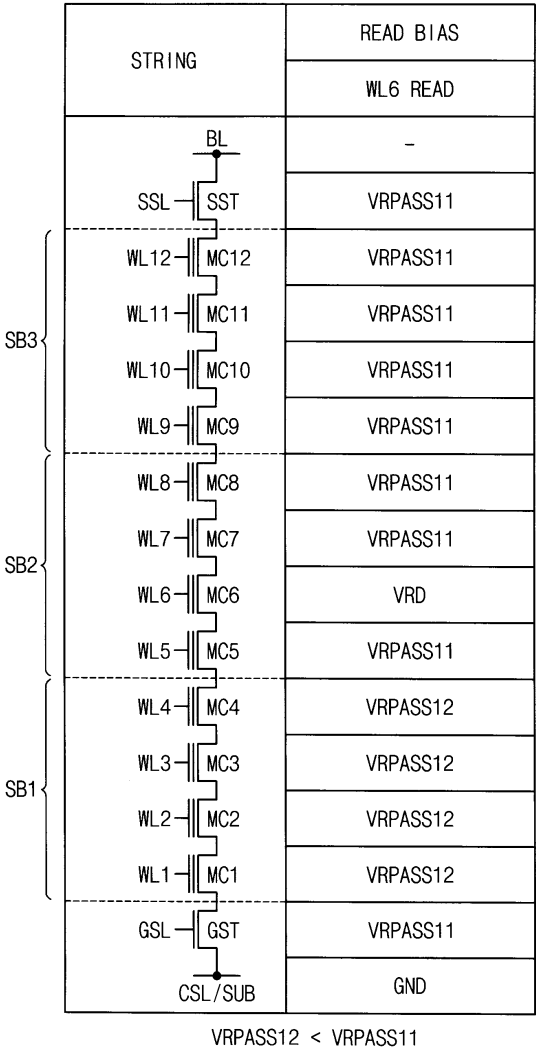
도면24



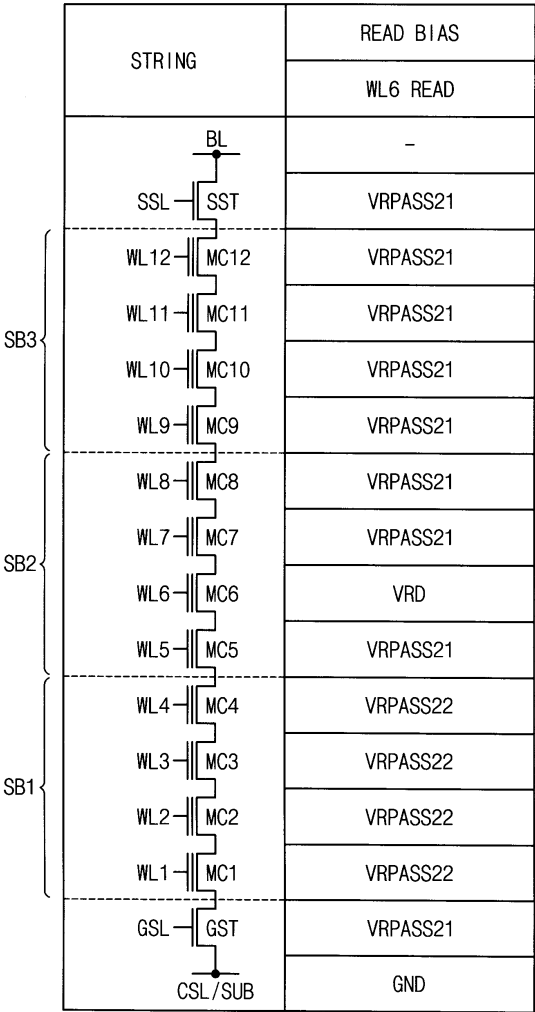
도면25



도면26a



도면26b



도면27

