

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 03103459.4

[45] 授权公告日 2006年7月5日

[11] 授权公告号 CN 1263089C

[22] 申请日 2003.1.30 [21] 申请号 03103459.4

[30] 优先权

[32] 2002.1.31 [33] US [31] 10/062,319

[71] 专利权人 夏普株式会社

地址 日本大阪府

[72] 发明人 马哲申 道格拉斯·詹姆斯·特威滕

许胜簾

审查员 朱永全

[74] 专利代理机构 中科专利商标代理有限责任公
司

代理人 程金山

权利要求书2页 说明书9页 附图6页

[54] 发明名称

制造半导体基质的方法

[57] 摘要

一种制造半导体基质的方法，其包括形成具有相对高的 Ge 含量的 SiGe 层的方法，其包括制备硅基质；沉积 SiGe 层至厚度约 100nm - 500nm，其中 SiGe 层的 Ge 含量以摩尔分数计算等于或者大于 22%；以大约 $1 \cdot 10^{16} \text{ cm}^{-2}$ - $5 \cdot 10^{16} \text{ cm}^{-2}$ 的剂量和大约 20keV - 45keV 的能量，把 H^+ 离子注入到 SiGe 层；在惰性气氛下，在约 650°C - 950°C 热退火硅基质和 SiGe 层 30 秒钟到 30 分钟，以松弛 SiGe 层；和在松弛的 SiGe 层上沉积一层厚度约 5nm - 30nm 的拉应变的硅层。

- 1、一种制造半导体基质的方法，其包括形成具有相对高的Ge含量的SiGe层的步骤，包括：
- 5 制备硅基质；
- 沉积SiGe层至厚度为约100 nm—500 nm，其中SiGe层的Ge含量以摩尔分数计算等于或者大于22%；
- 以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量和大约20keV—45keV的能量，把
- 10 H^+ 离子注入到SiGe层；
- 在惰性气氛下，在约650°C—950°C热退火硅基质和SiGe层约30秒钟到30分钟，以松弛SiGe层；和
- 在松弛的SiGe层上沉积一层厚度约5nm—30nm的拉应变的硅层。
- 2、根据权利要求1的方法，其中所述的沉积SiGe层包括在温度大约
- 15 400°C—600°C之间沉积SiGe层。
- 3、根据权利要求1的方法，其还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅层。
- 4、根据权利要求1的方法，其还包括在所述的热退火之后，在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。
- 20 5、根据权利要求1的方法，其中所述的热退火在氩气气氛下进行。
- 6、一种制造半导体基质的方法，其包括形成具有相对高的Ge含量的SiGe层的步骤，包括：
- 制备硅基质，其中的硅基质来自自由块硅和注氧隔离片组成的基质组；
- 沉积SiGe层至厚度为约100 nm—500 nm，其中SiGe层的Ge含量以摩
- 25 尔分数计算等于或者大于25%，而且所述的沉积在大约400°C—600°C的温度范围内进行；
- 以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量，和大约20keV—45keV的能量，将 H^+ 离子注入到SiGe层；
- 在氩气气氛下，在约650°C—950°C热退火硅基质和SiGe层30秒钟到30
- 30 分钟，以松弛SiGe层；和

在松弛的SiGe层上沉积一层厚度约5nm—30nm厚度的拉应变的硅层。

7、根据权利要求6的方法，其还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅层。

5 8、根据权利要求6的方法，其还包括在所述的热退火之后，如果松弛的SiGe层的厚度小于300nm，那么在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

9、一种制造半导体基质的方法，其包括形成具有相对高的Ge含量的SiGe层的步骤，包括：

10 制备硅基质；

沉积SiGe层至厚度约100 nm—500 nm，其中SiGe层的Ge含量以摩尔分数计算等于或者大于22%，而且所述的沉积在大约400°C—600°C的温度范围内进行；

15 以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量和大约20keV—45keV的能量，把H⁺离子注入到SiGe层；

在惰性气氛下，在约650°C—950°C热退火该硅基质和SiGe层30秒钟到30分钟，以将SiGe层松弛到至少70%松弛；和

在松弛的SiGe层上沉积一层厚度约5nm—30nm的拉应变的硅层。

10 10、根据权利要求9的方法，其还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅层。

11、根据权利要求9的方法，其中所述的热退火在氩气气氛下进行。

12、根据权利要求9的方法，其还包括在所述的热退火之后，在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

25 13、根据权利要求12的方法，其中只有在松弛的SiGe层的厚度小于300nm的时候，才在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

制造半导体基质的方法

5

相关申请

本申请涉及于2000年4月3日提交的、序列号为09/541,255的“在Si上形成厚松弛的SiGe层的方法”，和于2001年2月13日提交的、序列号为09/783,817的“降低 $\text{Si}_{1-x}\text{Ge}_x$ CMOS漏泻电流的方法”。

10

技术领域

本发明涉及一种制作半导体基质的方法，例如CMOS高速集成电路，并且特别涉及一种制作半导体基质的方法，该方法包括一个使用注氢来形成SiGe层的步骤。

15

背景技术

在增强迁移率的MOSFET装置的应用中，厚松弛的 $\text{Si}_{1-x}\text{Ge}_x$ 缓冲层已经作为实际上的基质被用于薄应变的硅层以既增加nMOS装置的载体迁移率，Welser等., Strain dependence of the performance enhancement in strained-Si n-MOSFETs, IEDM Conference Proceedings, 373页(1994); Rim等., Fabrication and analysis of Deep submicron strained-Si N-MOSFETs, IEEE Transactions on Electron Devices, 47卷, 1406, (2000); 和Rim等., Strained Si NMOSFETs for high performance CMOS technology, 2001 Symposium on VLSI Technology Digest of Technical Papers, 59页, IEEE 2001; 又增加pMOS 装置的载体迁移率, Rim等., Enhanced hole mobilities in surface-channel strained-Si p-MOSFETs, IEDM Conference Proceedings, p. 517 (1995); 和Nayak等., High-mobility Strained-Si PMOSFETs, IEEE Transactions on Electron Devices, Vol. 43, 1709 (1996)。Rim等, 2001报道了：与块硅装置相比， $L_{\text{eff}} < 70 \text{ nm}$ 的装置的电子迁移率有70%的提高。

30 Nayak等也已经发现：对于长通道装置，高强度电场空穴迁移率有高达40

%的提高。

在厚 $\text{Si}_{1-x}\text{Ge}_x$ 层中，通过形成错配位错，应变（应力）被塑性地松弛，R. Hull 等，Nucleation of misfit dislocations in strained-layer epitaxy in the $\text{Ge}_x\text{Si}_{1-x}/\text{Si}$ system, J. Vac Sci. Technol., A7, 2580, 1989; Houghton, Strain relaxation kinetics in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterostructures, J. Appl. Phys., 70, 2136, 1991; Wickenhauser 等., Determination of the activation energy for the heterogeneous nucleation of misfit dislocations in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ deposited by selective epitaxy, Appl. Phys. Lett., 70, 324, 1997; Matthews 等., Defects in epitaxial multilayers, J. Cryst. Growth, 27, 118, 1974; 和 Tang 等., Investigation of dislocations in $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ heterostructures grown by LPCVD, J. Cryst. Growth, 125, 301, 1992。在这一过程中，常常产生螺紋位错。螺紋位错的存在使装置的性能下降并且明显降低了装置的产率。

制作高质量应力—松弛 $\text{Si}_{1-x}\text{Ge}_x$ 缓冲层的技术现状是增长几个 μm 厚度（等级）的层，其中的组合物沿着厚度方向变化。Rim 等., 2000; Nayak 等.; Schäffler 等., High-electron-mobility Si/SiGe heterostructures: influence of the relaxed SiGe buffer layer, Semiconductor.Sci. Technol., 7.260, 1992; 和 Fitzgerald等., Totally relaxed $\text{Ge}_x\text{Si}_{1-x}$ layers with low threading dislocation densities grown on Si substrates, Appl. Phys. Lett., 59, 811, 1991。但是，螺紋位错的密度依然很高，例如典型地 $>10^6\text{cm}^{-2}$ 。此外，将几个 μm 厚度的 $\text{Si}_{1-x}\text{Ge}_x$ 层结合到商用装置的制造中是不实际的。同样对增长在注氧隔离（SIMOX）片上的SiGe进行了研究，在这种情况下，Si/SiGe双层表现为游离漂浮的薄片，其被基质限制以保持平坦。但是必须精确地控制硅与SiGe层之间的厚度比率以将成核作用和位错滑移从SiGe层移动到硅层。同样，该技术需要被扩展到包含更高的Ge含量从而对大多数的技术应用有效，LeGouse 等., Relaxation of SiGe thin films grown on Si/SiO₂ substrates, J. Appl. Phys. 75 (11) 1994. Powell 等., New approach to the growth of low dislocation relaxed SiGe material, Appl. Phys. Lett., vol. 64, 1856 (1994)。

在硅和Ge及其合金中，由注氮和退火形成的空穴被发现与位错之间具有强烈的短期、有吸引力的相互作用。在SiGe/Si界面引入空穴大大地提高了应力松弛率并且改变了位错微结构。但是，没有观察到螺紋位错

的密度降低, Follstaedt 等., Cavity-dislocation interactions in Si-Ge and implications for heterostructure relaxation, Appl. Phys. Lett., 69, 2059, 1996.

为了得到80%的松弛, 需要在大约1000°C退火1个小时。

已有报道: 注氢引起硅脱落并且引起宏观硅层的剪切, Weldon 等, On
5 the mechanism of the hydrogen-induced exfoliation of silicon, J. Vac. Sci. Technol. B. 15, 1065, 1997。这被应用于高质量硅-绝缘体(SOI)片的制造, 并且被称作SmartCut™方法。近来德国合作者S. Mantl 等和H. Trinkaus 等的出版物报道了使用注氢来增加SiGe松弛度和降低螺位错密度的优点, S. Mantl等., Strain relaxation of epitaxial SiGe layers on Si(100)
10 improved by hydrogen implantation, Nuclear Instruments and Methods in Physics Research B 147, 29, (1999), 和 H.Trinkaus 等, Strain relaxation mechanism for hydrogen -implanted $\text{Si}_{1-x}\text{Ge}_x$ /Si (100) heterostructures, Appl. Phys. Lett., 76, 3552, 2000。但是, 这些研究者报道了厚度仅为2000Å—2500Å、以分子量计的Ge浓度小于22%的SiGe层的松弛。这种厚度的SiGe
15 层不足以用于商业装置应用。制作较厚的膜的方法公开在相关申请序列No.09/541,255, 而通过适当绝缘来减少漏泄电流的方法被公开在相关申请序列No.09/783,817中。相关申请序列No.09/541,255中描述了带有大约21%Ge的SiGe薄膜的制作。为了增加帽硅通路中的应力并且因而进一步提高电子和空穴迁移率, 需要较高的Ge含量。

20 德国的合作者已经报道: 注氦对于制造高度松弛的、具有高达30%的Ge的SiGe层有效, M. Luysberg 等., Relaxation of $\text{Si}_{1-x}\text{Ge}_x$ buffer layers on Si(100) through Helium implantation, Abstracts of the 2001 MRS Spring Meeting, Abstract P5.4, April 18, 2001。在该论文的口述中, 特别报道了通过以 $1 \cdot 10^{16} \text{cm}^{-2}$ — $3 \cdot 10^{16} \text{cm}^{-2}$ 的剂量注入18keV氦离子并且RTA为750°C—
25 1000°C, 在100nm厚度、30%Ge含量的SiGe层中得到了80%的应力松弛。演讲者特别陈述了当Ge的含量超过22%的时候, 氢灌输不起作用。为了产生光滑的, 100nm—500nm厚度、Ge含量超过22%的应力松弛层, 据报道注入氦是必需的, 注入氢不起作用。

30 发明内容

根据本发明的一个方面，提供了一种制作半导体基质的方法，其包括形成具有相对高Ge含量的SiGe层的方法，该方法包括：制备硅基质；沉积SiGe层至厚度约100 nm—500 nm，其中SiGe层的Ge含量以摩尔分数计算等于或者大于22%；以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量，和大约20keV—45keV的能量，将H⁺离子注入到SiGe层；在惰性气氛下，在650°C—950°C热退火该硅基质和SiGe层30秒钟到30分钟，以松弛SiGe层；在松弛的SiGe层上沉积一层大约5nm—30nm厚度的拉应变的硅层。

在本发明的一个实施方案中，所述的沉积SiGe层包括在温度大约400°C—600°C沉积SiGe层。

在本发明的另一个实施方案中，该方法还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅。

在本发明的另一个实施方案中，该方法还包括在所述的热退火之后，在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

在本发明的另一个实施方案中，所述的热退火在氩氛围下进行。

根据本发明的另一方面，提供了一种制作半导体基质的方法，其包括形成具有相对高Ge含量的SiGe层的方法，该方法包括：制备硅基质，其中的硅基质来自自由块硅和SIMOX组成的基质组；沉积SiGe层至厚度约100 nm—500 nm，其中SiGe层的Ge含量以摩尔分数计算等于或者大于25%，而且所述的沉积在大约400°C—600°C的温度范围内进行；以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量，和大约20keV—45keV的能量，将H⁺离子注入到SiGe层；在氩气气氛下，在约650°C—950°C热退火该硅基质和SiGe层约30秒钟到30分钟，以松弛SiGe层；在松弛的SiGe层上沉积一层大约5nm—30nm厚度的拉应变的硅层。

在本发明的一个实施方案中，该方法还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅。

在本发明的另一个实施方案中，该方法还包括在所述的热退火之后，如果松弛的SiGe层的厚度小于300nm，那么在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

根据本发明的另一方面，提供了一种制作半导体基质的方法，其包

括形成具有相对高Ge含量的SiGe层的方法，该方法包括：制备硅基质；沉积SiGe层至厚度约100 nm—500 nm，其中SiGe层的Ge含量以摩尔分数计算等于或者大于22%，而且所述的沉积在大约400°C—600°C的温度范围内进行；以大约 $1 \cdot 10^{16} \text{cm}^{-2}$ — $5 \cdot 10^{16} \text{cm}^{-2}$ 的剂量和大约20keV—45keV的能量，把H⁺离子注入到SiGe层；在惰性氛围下，在约650°C—950°C热退火该硅基质和SiGe层30秒钟到30分钟，以将SiGe层松弛到至少70%松弛；并且在松弛的SiGe层上沉积一层大约5nm—30nm厚度的拉应变的硅层。

在本发明的一个实施方案中，该方法还包括在所述的注入前，在SiGe层上沉积一层厚度为大约50Å—300Å的氧化硅。

在本发明的另一个实施方案中，所述的热退火在氩气气氛下进行。

在本发明的另一个实施方案中，该方法还包括在所述的热退火之后，在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

在本发明的另一个实施方案中，只有在松弛的SiGe层的厚度小于300nm的时候，才在松弛的SiGe层上沉积一层厚度为大约100nm的松弛的SiGe层。

本发明的目的是采用注入氢来生产一种厚的例如100nm—500nm的应力—松弛的、光滑的、具有高Ge含量(>22% (摩尔分数))的SiGe层(膜)，该层作为张力应变的硅膜缓冲层用于高速MOSFET应用。

为了能够使得快速理解本发明的性质，在此提供了本发明的概述和发明目的。通过参考下面对本发明优选实施方案的详细描述和附图，可以对本发明有更彻底的理解。

附图说明

图1—5描述了本发明的SiGe沉积方法。

图6描述了在注入氢和热松弛以后，厚度为200nm—220nm的、具有Ge浓度为大约28—30%的SiGe膜的Nomarski显微图象。

图7描述了图6的SiGe膜的X射线衍射。

图8描述了在注入氢和退火以后，厚度为300nm的、带有分级Ge分布的SiGe膜的400X的Nomarski显微图象。

图9描述了在注入氢和退火以后，厚度为300nm的、带有分级Ge分布的SiGe膜的1000X的Nomarski显微图象。

图10描述了图8和图9的SiGe层的X射线衍射。

图11描述了厚度为300nm、用分级分布制作的SiGe层的Nomarski显微
5 图象。

图12描述了图11的300nm厚度的SiGe层的1000X的X射线衍射。

具体实施方式

本发明证实：与现有技术的教导相反，注入氢对于生产高应变—松
10 弛（应力松弛）的、具有等于或者大于22%Ge含量的SiGe膜非常有效。
此处描述的技术在Ge浓度大于22%（摩尔分数）的SiGe层上进行，但是，
没有指出使用本发明方法的Ge浓度的上限。此外，对于商业装置应用，
注入氢比注入氦优选，这是因为氦不能够钝化缺陷，而众所周知氢能够
钝化缺陷。本发明的方法采用注入氢的方法来产生厚的例如100nm—
15 500nm的应力—松弛的、光滑的、具有高Ge含量（>22%（摩尔分数））
和具有低螺旋位错密度的SiGe层。

对本发明方法的描述从图1开始。制备硅基质10，它可以是块硅或者
注氧隔离（SIMOX）。在硅基质10上沉积一层具有约100nm—500nm厚度
的应变的SiGe层12。应变SiGe层12的Ge含量以原子比（摩尔分数）计算
20 可以是22%或者更高。本发明方法的优选实施方案产生了Ge浓度为大约30
%的SiGe层12。或者，可以使用分级的Ge分布，即：可以使用SiGe层12，
其中Ge浓度沿着厚度方向变化以使SiGe层12中更高的等级具有更高的Ge
浓度。应该对生长条件和源气体进行选择以将表面粗糙度最小化而同时
保证良好的结晶度。这通常意味着低温度如400°C—600°C的生长以产生
25 亚稳定的，应变的SiGe膜。

再看图2，H⁺离子被注入。H⁺的剂量范围为大约 $1 \cdot 10^{16} \text{cm}^{-2}$ —
 $5 \cdot 10^{16} \text{cm}^{-2}$ 。能量水平依赖于SiGe的厚度，但是典型范围为大约20keV—
45keV。为了避免在注入步骤中的污染，可以在SiGe层12上沉积一个薄的
牺牲氧化硅层，厚度范围为大约50Å—300Å（5nm—30nm）。

30 图3描述了热退火步骤，其将应变的SiGe层12转变为第一应变—松弛

(应力-松弛) SiGe层14。退火在惰性环境氛围例如Ar下、在温度约650°C—950°C的范围内进行30秒钟—30分钟。

如果需要, 任选地, 在松弛的SiGe层14上沉积一个厚度为大约100nm或者更高的应变-松弛SiGe的第二SiGe层16。确定该任选层是否为必要的标准, 是松弛的SiGe层14的厚度。如果SiGe层14的厚度小于300nm, 则需要附加的应变-松弛SiGe层16以将最终整个SiGe松弛层的厚度增加到至少300nm。

本发明方法的最后步骤被描述在图5中, 其中的厚度为大约5nm—30nm的拉应变的硅层18被沉积在松弛的SiGe层14上或者第二SiGe层16上。

图6, 7和8—10描述了在注入氢和热松弛之后, 厚度为200nm—220nm、以摩尔分数计算Ge含量为25%—30%的SiGe膜。图6描述了在注入氢和热松弛以后, 厚度为200nm—220nm的、Ge浓度为大约28—30%的SiGe层的Nomarski显微图象。图7描述了图6的SiGe层的X射线衍射。图8描述了在注入氢和退火以后, 厚度为300nm的、带有分级Ge分布的SiGe膜的400X的Nomarski显微图象, 其中的组成沿着厚度方向变化。图9描述了在注入氢和退火以后, 厚度为300nm的、带有分级Ge分布的SiGe膜的1000X的Nomarski显微图象。图10描述了图8和图9的SiGe层的X射线衍射。

Nomarski显微图象, 图6, 8和9, 描述了一个非常平的表面形态。图7和10描述了X射线衍射的倒晶格空间图, 其证实了晶格是高度应变-松弛的, 至少70%—85%。在图7中, 硅(224)峰和SiGe(224)峰之间的偏移表明了这种松弛状态, 如虚线所示。

图11描述了在注入氢和退火之后, 厚度为大约300nm、伴随分级Ge分布的SiGe膜的Nomarski显微图象。图12描述了图11的SiGe层的X射线衍射。从硅基质中的21%到表面的30%, Ge含量近似线性地变化。分级Ge分布的使用, 促进了SiGe层厚度的增加而且还提供了带有光滑表面的高度应变-松弛的SiGe层。该SiGe层的厚度很厚, 通常足以不需要第二SiGe沉积, 因此提高了整体SiGe层的质量。

根据本发明方法所构建的所有的应变-松弛SiGe层, 都可以被用作拉应变的硅膜生长的基质。这些可以随后被用于制作具有增强的空

穴和电子迁移率的nMOS和pMOS晶体管。图6和7的SiGe薄膜具有的Ge浓度为28.6%。它的厚度大约为200nm，而且是用能量为大约25keV和离子剂量为大约 $3 \cdot 10^{16} \text{cm}^{-2}$ 的 H^+ 离子注入制造的。在氩气气氛下，在RTA室中，将晶片在大约 800°C 退火10分钟。Nomarski显微图象是在1000X，其描述出了一个相当光滑的表面。图7的X射线衍射倒晶格空间图显示了一个大的中央峰，这是硅（-2-24）基质峰。下面的和右边的较小的峰来自部分松弛的SiGe层。从这两个峰的相对位置来看，SiGe层有 $28.2\% \pm 0.5\%$ 的Ge，而且是 $75.8\% \pm 3\%$ 应力松弛的。

图8，9，10描述了高度应力松弛例如大约85%的、具有大约30%Ge浓度的、光滑的第一SiGe层。该实例在SiGe层中具有的大约30%的Ge，此SiGe层的厚度为大约220nm。大约20nm厚度的 SiO_2 帽由PECVD形成。在大约26keV的能量进行 H^+ 离子注入，离子的剂量为大约 $3 \cdot 10^{16} \text{cm}^{-2}$ 。在氩气气氛下，在RTA室中，将晶片在大约 800°C 退火9分钟。图9描述了在400X，在晶片中心拍摄的Nomarski显微图象。图9是在1000X，也是在晶片的中心拍摄的相同晶片的Nomarski显微图象。图10描述了该晶片的X射线衍射，其证实了SiGe膜具有浓度为 $29.7\% \pm 0.5\%$ 的Ge，而且是 $85.2\% \pm 3\%$ 应力松弛的。

图11和12描述了一个高度松弛的、带有光滑表面的分级Ge样品。图11是一个高度松弛例如大约82%的、光滑的第一SiGe层的Nomarski显微图象，它是在1000X、在晶片中心拍摄的。图12描述了图11的晶片的X射线衍射。该SiGe层的厚度为大约301nm，其具有大约21%—30%生长状态的Ge分级分布。在大约32keV的能量水平进行 H^+ 离子注入，离子的剂量为大约 $2 \cdot 10^{16} \text{cm}^{-2}$ 。在氩气气氛下，在RTA室中，将晶片在大约 800°C 退火约9分钟。该SiGe层有 $27.8\% \pm 0.5\%$ 的Ge，而且是 $82.2\% \pm 3\%$ 应力松弛的。

备选实施方案

本发明的方法可以通过以下方式被修改：用表面Ge含量超过22%的分级Ge分布增长超过300nm厚度的SiGe层+H-II+RTA（以松弛SiGe层应力）+张力表一硅帽/通路。这不需要第二SiGe层的沉积。

本发明方法的另一个实施方案包括使用或者恒定的或者分级的Ge分

布增长第一SiGe层+H-II+RTA（以松弛SiGe层的应力）+表面Ge含量超过22%的或者恒定的或者分级的Ge分布的第二SiGe层+张力表-硅帽/通路。在本发明方法的此实施方案中，整个SiGe层的厚度应该是300nm或者更高。

- 5 这样，本发明公开了形成具有高Ge浓度的松弛SiGe层的方法。应该注意到，在附加权利要求中所定义的本发明的范围内，该方法可以被进一步的变更和修改。

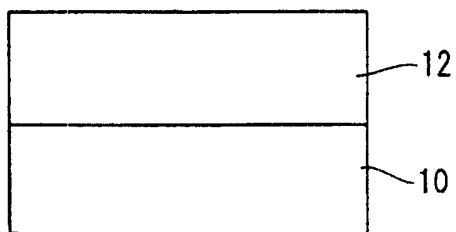


图 1

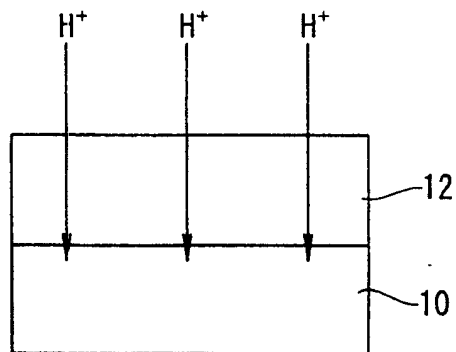


图 2

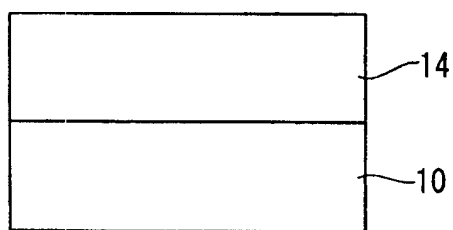


图 3

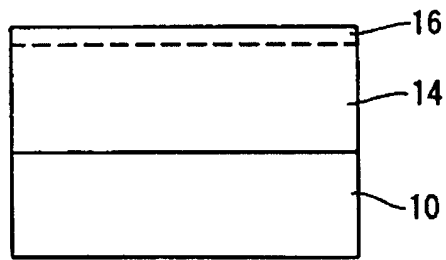


图 4

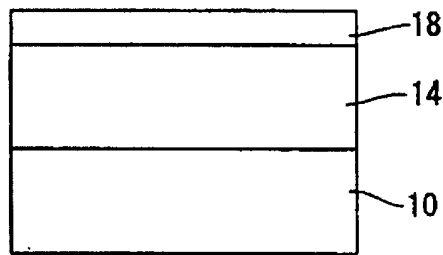


图 5

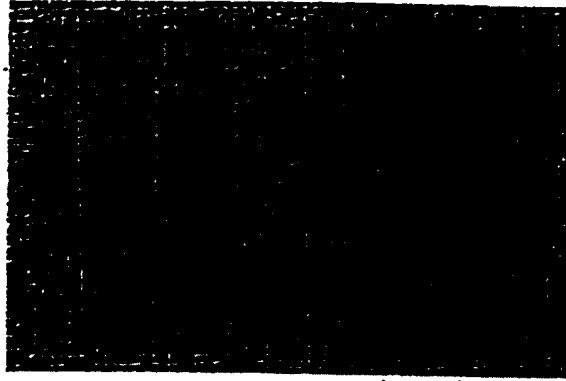


图 6

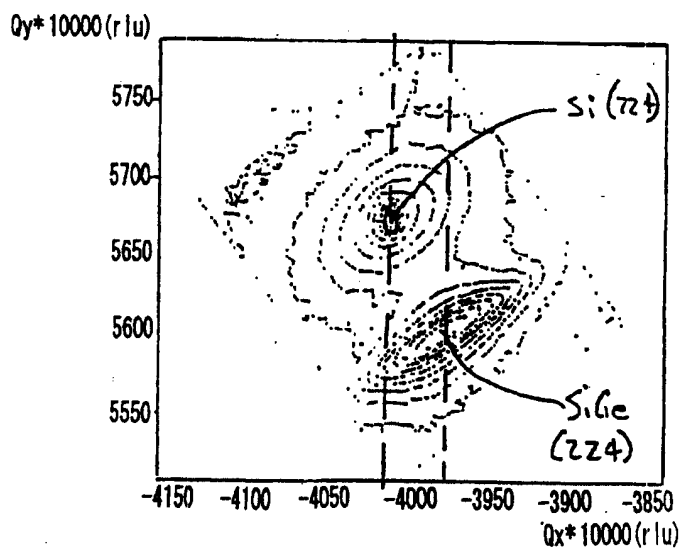


图 7

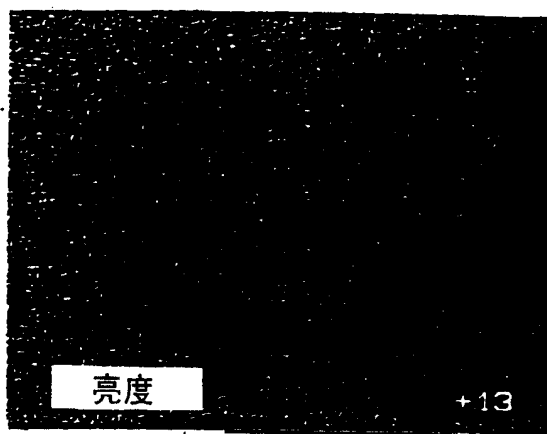


图 8

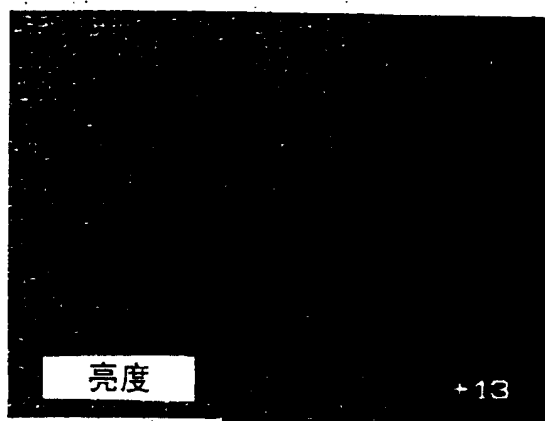


图 9

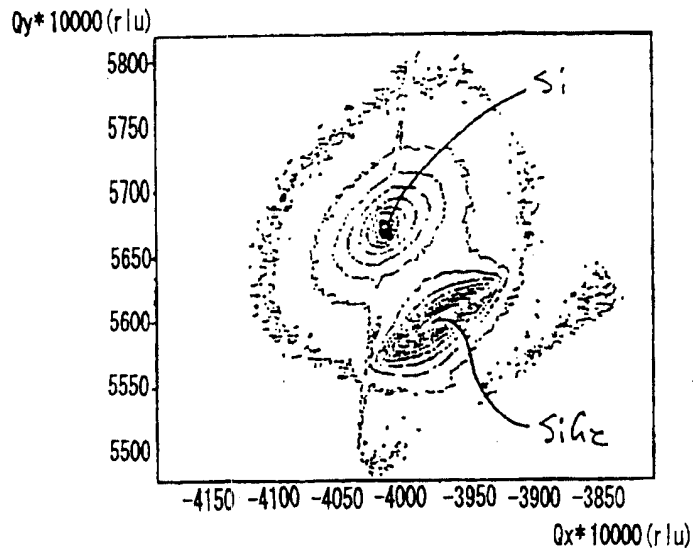


图 10

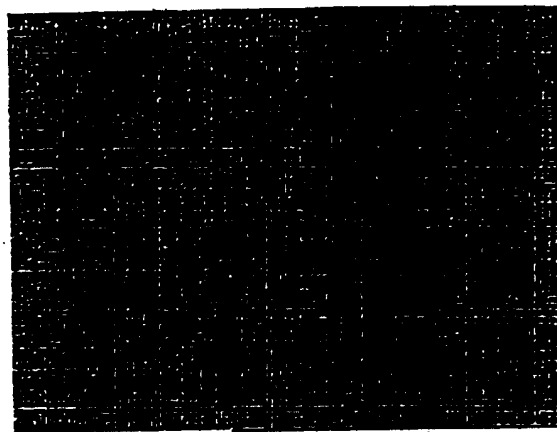


图 11

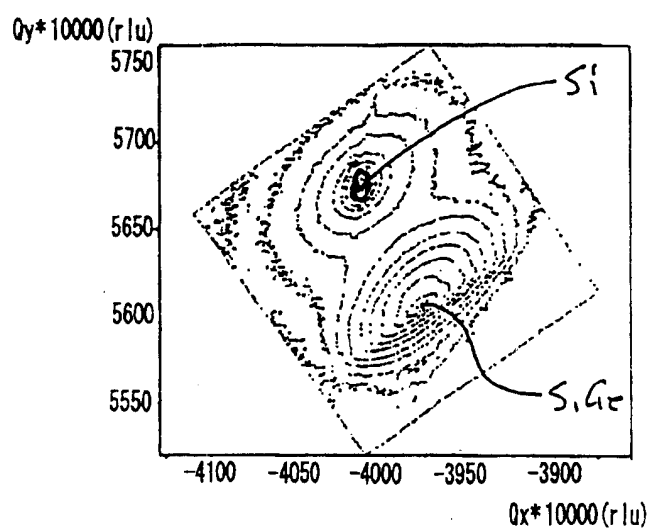


图 12