

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成31年1月24日(2019.1.24)

【公表番号】特表2018-508871(P2018-508871A)

【公表日】平成30年3月29日(2018.3.29)

【年通号数】公開・登録公報2018-012

【出願番号】特願2017-537486(P2017-537486)

【国際特許分類】

G 0 6 F	13/16	(2006.01)
G 0 6 F	12/06	(2006.01)
G 0 6 F	12/00	(2006.01)
G 1 1 C	5/04	(2006.01)
G 1 1 C	7/22	(2006.01)

【F I】

G 0 6 F	13/16	5 1 0 D
G 0 6 F	12/06	5 1 5 H
G 0 6 F	12/00	5 9 7 D
G 1 1 C	5/04	2 2 0
G 1 1 C	7/22	
G 0 6 F	12/00	5 6 4 A

【手続補正書】

【提出日】平成30年12月10日(2018.12.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

構成可能なダイアッテ、

制御およびアドレス(CA)信号ならびにデータ(DQ)信号を伝えるように構成される論理要素と、

前記論理要素と通信する第1の汎用物理インタフェース(PHY)および第2の汎用PHY、ここにおいて、前記第1の汎用PHYおよび前記第2の汎用PHYの各々は、CA PHYとしておよびDQ PHYとして構成可能であり、前記論理要素は、前記CA信号および前記DQ信号を、前記第1のおよび第2の汎用PHYのうちの異なるものに伝えるように構成可能であり、さらにここにおいて、前記第1の汎用PHYはさらに、第1のチャネルに従って、DQ信号を受け取るように構成され、前記第2の汎用PHYはさらに、第2のチャネルに従って、DQ信号を受け取るように構成される、と、

適合クロック信号を前記第1の汎用PHYおよび前記第2の汎用PHYの各々に提供するように構成されるクロックコントローラ(CC)と、

を備える、構成可能なダイ。

【請求項2】

前記論理要素はさらに、

第1の値または第2の値のいずれかである値を伝達する信号を受け取ることと、

前記値が前記第1の値である場合、

前記CA信号を、前記第1の汎用PHYに伝え、および、

前記DQ信号を、前記第2の汎用PHYに伝えることと、

前記値が前記第2の値である場合、

前記C A信号を、前記第2の汎用P H Yに伝え、および、

前記D Q信号を、前記第1の汎用P H Yに伝えることと、

を行うように構成される、

請求項1に記載の構成可能なダイ。

【請求項3】

前記第1の値は、低電力ダブルデータレートシンクロナスダイナミックランダムアクセスメモリ3(L P D D R 3)であるメモリのタイプに対応し、前記第2の値は、L P D D R 4であるメモリのタイプに対応する、請求項2に記載の構成可能なダイ。

【請求項4】

D Q P H Yとして構成された第1の複数の汎用P H Yおよび第2の複数の汎用P H Yをさらに備え、ここにおいて、前記第1の複数のP H Yはさらに、前記第1のチャネルに従って、D Q信号を受け取るように構成され、前記第2の複数のP H Yはさらに、前記第2のチャネルに従って、D Q信号を受け取るように構成される、

ここにおいて、前記クロックコントローラ(C C)は、前記適合クロック信号を前記第1の複数のP H Yおよび前記第2の複数のP H Yの各々に提供するように構成される、請求項1に記載の構成可能なダイ。

【請求項5】

前記構成可能なダイはさらに、

前記論理要素に結合されかつ前記C A信号および前記D Q信号を生成するように構成されるメモリコントローラを備える、請求項1に記載の構成可能なダイ。

【請求項6】

前記メモリコントローラに結合されたモデムをさらに備える、請求項5に記載の構成可能なダイ。

【請求項7】

前記第1の汎用P H Yは、L P D D R 4タイプのメモリをサポートするために、第2のD Q信号を生成するためのD Q P H Yとして構成される、請求項3に記載の構成可能なダイ。

【請求項8】

前記論理要素は、

前記C A信号および前記D Q信号を受け取り、かつ、前記第1の汎用P H Yに送るために前記C A信号および前記D Q信号から選択するように構成されるマルチプレクサを備え、前記選択は制御信号入力に基づく、請求項1に記載の構成可能なダイ。

【請求項9】

装置であって、

第1のタイプのメモリまたは第2のタイプのメモリのどちらがサポートされているかに対応する入力に応じて、制御およびアドレス(C A)P H Yとしておよびデータ(D Q)P H Yとして構成可能な汎用物理インタフェース(P H Y)と、

前記入力に応じて、C A信号およびD Q信号を前記汎用P H Yに伝えるための手段と、

第1の複数の汎用P H Yおよび第2の複数の汎用P H Yと、

適合クロック信号を前記第1の複数のP H Yおよび前記第2の複数のP H Yの各々に提供するように構成されるクロックコントローラ(C C)、ここにおいて、前記第1の複数の汎用P H Yおよび前記第2の複数の汎用P H Yは、D Q P H Yとして構成され、前記第1の複数のP H Yはさらに、第1のチャネルに従って、D Q信号を受け取るように構成され、前記第2の複数のP H Yはさらに、第2のチャネルに従って、D Q信号を受け取るように構成される、と、

を備える、前記第1のタイプのメモリおよび前記第2のタイプのメモリを選択的にサポートするためのシステムオンチップ(S o C)

を備える、装置。

【請求項 10】

前記 S o C はさらに、前記 C A 信号および前記 D Q 信号を提供するように構成されるメモリコントローラを備える、請求項 9 に記載の装置。

【請求項 11】

前記 S o C は、前記第 1 のタイプのメモリをサポートするように構成され、前記汎用 P H Y は、C A P H Y として構成され、伝えるための前記手段は、前記入力に基づいて、前記メモリコントローラから前記汎用 P H Y に C A 信号のみを伝えるように構成される、請求項 9 に記載の装置。

【請求項 12】

前記 S o C は、前記第 2 のタイプのメモリをサポートするように構成され、前記汎用 P H Y は、D Q P H Y として構成され、伝えるための前記手段は、前記入力に基づいて、前記メモリコントローラから前記汎用 P H Y に D Q 信号のみを伝えるように構成される、請求項 9 に記載の装置。

【請求項 13】

伝えるための前記手段および前記第 1 の P H Y を収容するように構成される第 1 のパッケージと、

メモリを備え、かつパッケージオンパッケージ (P o P) 構成において、またはサイドバイサイドパッケージ構成において、前記第 1 のパッケージに結合される、第 2 のパッケージと、

をさらに備える、請求項 9 に記載の装置。

【請求項 14】

パッケージオンパッケージ (P o P) 装置であって、

第 1 のタイプのメモリおよび第 2 のタイプのメモリのうちの 1 つを選択的にサポートするように構成されるメモリ回路要素を備える第 1 のパッケージ、ここにおいて、前記メモリ回路要素は、

複数の物理インターフェース (P H Y) 、ここにおいて、前記複数のインターフェースの各々は、制御およびアドレス (C A) P H Y としておよびデータ (D Q) P H Y として選択的に構成可能である、と、

論理要素であって、

C A 信号を、前記複数の P H Y における、C A P H Y として構成される P H Y に伝えることと、

D Q 信号を、前記複数の P H Y における、D Q P H Y として構成される P H Y に、および D Q P H Y として構成される P H Y から、伝えることと、

を行うように構成される論理要素と、

を備える、と、

前記第 1 のタイプのメモリまたは前記第 2 のタイプのメモリを備える第 2 のパッケージ、ここにおいて、前記第 2 のパッケージは、P o P 構成において、前記第 1 のパッケージに結合され、前記 D Q 信号および前記 C A 信号は、第 1 のチャネルに関する信号および第 2 のチャネルに関する信号を備える、と、

を備え、

前記 P o P 装置はさらに、各 P H Y への、および各チャネルに関する、適合クロック信号を提供するように構成されるクロックコントローラ (C C) を備える、

P o P 装置。

【請求項 15】

単一のダイを使用して異なるメモリタイプをサポートするための方法であって、

メモリタイプインジケーションを受け取ることと、

前記メモリタイプインジケーションに基づいて、制御およびアドレス (C A) 信号を、第 1 の汎用物理インターフェース (P H Y) に伝えることと、

前記メモリタイプインジケーションに基づいて、データ (D Q) 信号を、第 2 の汎用 P H Y に伝えることと、

前記第1の汎用PHYおよび前記第2の汎用PHYをクロックするために、適合クロック信号を生成すること、前記CA信号および前記DQ信号は、メモリに関して、異なるチャネルに対応する、と、
を備える、方法。