

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成31年1月24日(2019.1.24)

【公表番号】特表2018-508871(P2018-508871A)

【公表日】平成30年3月29日(2018.3.29)

【年通号数】公開・登録公報2018-012

【出願番号】特願2017-537486(P2017-537486)

【国際特許分類】

G 0 6 F 13/16 (2006.01)

G 0 6 F 12/06 (2006.01)

G 0 6 F 12/00 (2006.01)

G 1 1 C 5/04 (2006.01)

G 1 1 C 7/22 (2006.01)

【 F I 】

G 0 6 F 13/16 5 1 0 D

G 0 6 F 12/06 5 1 5 H

G 0 6 F 12/00 5 9 7 D

G 1 1 C 5/04 2 2 0

G 1 1 C 7/22

G 0 6 F 12/00 5 6 4 A

【手続補正書】

【提出日】平成30年12月10日(2018.12.10)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

構成可能なダイであって、

制御およびアドレス (C A) 信号ならびにデータ (D Q) 信号を伝えるように構成される論理要素と、

前記論理要素と通信する第 1 の汎用物理インタフェース (P H Y) および第 2 の汎用 P H Y、ここにおいて、前記第 1 の汎用 P H Y および前記第 2 の汎用 P H Y の各々は、C A

P H Y としておよび D Q P H Y として構成可能であり、前記論理要素は、前記 C A 信号および前記 D Q 信号を、前記第 1 のおよび第 2 の汎用 P H Y のうちの異なるものに伝えるように構成可能であり、さらにここにおいて、前記第 1 の汎用 P H Y はさらに、第 1 のチャンネルに従って、D Q 信号を受け取るように構成され、前記第 2 の汎用 P H Y はさらに、第 2 のチャンネルに従って、D Q 信号を受け取るように構成される、と、

適合クロック信号を前記第 1 の汎用 P H Y および前記第 2 の汎用 P H Y の各々に提供するように構成されるクロックコントローラ (C C) と、

を備える、構成可能なダイ。

【請求項 2】

前記論理要素はさらに、

第 1 の値または第 2 の値のいずれかである値を伝達する信号を受け取ることと、

前記値が前記第 1 の値である場合、

前記 C A 信号を、前記第 1 の汎用 P H Y に伝え、および、

前記 D Q 信号を、前記第 2 の汎用 P H Y に伝えることと、

前記値が前記第 2 の値である場合、

前記 C A 信号を、前記第 2 の汎用 P H Y に伝え、および、  
前記 D Q 信号を、前記第 1 の汎用 P H Y に伝えることと、  
を行うように構成される、  
請求項 1 に記載の構成可能なダイ。

【請求項 3】

前記第 1 の値は、低電力ダブルデータレートシンクロナスダイナミックランダムアクセスメモリ 3 ( L P D D R 3 ) であるメモリのタイプに対応し、前記第 2 の値は、L P D D R 4 であるメモリのタイプに対応する、請求項 2 に記載の構成可能なダイ。

【請求項 4】

D Q P H Y として構成された第 1 の複数の汎用 P H Y および第 2 の複数の汎用 P H Y をさらに備え、ここにおいて、前記第 1 の複数の P H Y はさらに、前記第 1 のチャンネルに従って、D Q 信号を受け取るように構成され、前記第 2 の複数の P H Y はさらに、前記第 2 のチャンネルに従って、D Q 信号を受け取るように構成される、

ここにおいて、前記クロックコントローラ ( C C ) は、前記適合クロック信号を前記第 1 の複数の P H Y および前記第 2 の複数の P H Y の各々に提供するように構成される、  
請求項 1 に記載の構成可能なダイ。

【請求項 5】

前記構成可能なダイはさらに、

前記論理要素に結合されかつ前記 C A 信号および前記 D Q 信号を生成するように構成されるメモリコントローラを備える、請求項 1 に記載の構成可能なダイ。

【請求項 6】

前記メモリコントローラに結合されたモデムをさらに備える、請求項 5 に記載の構成可能なダイ。

【請求項 7】

前記第 1 の汎用 P H Y は、L P D D R 4 タイプのメモリをサポートするために、第 2 の D Q 信号を生成するための D Q P H Y として構成される、請求項 3 に記載の構成可能なダイ。

【請求項 8】

前記論理要素は、

前記 C A 信号および前記 D Q 信号を受け取り、かつ、前記第 1 の汎用 P H Y に送るために前記 C A 信号および前記 D Q 信号から選択するように構成されるマルチプレクサを備え、前記選択は制御信号入力に基づく、請求項 1 に記載の構成可能なダイ。

【請求項 9】

装置であって、

第 1 のタイプのメモリまたは第 2 のタイプのメモリのどちらがサポートされているかに対応する入力に応じて、制御およびアドレス ( C A ) P H Y としておよびデータ ( D Q ) P H Y として構成可能な汎用物理インタフェース ( P H Y ) と、

前記入力に応じて、C A 信号および D Q 信号を前記汎用 P H Y に伝えるための手段と

、  
第 1 の複数の汎用 P H Y および第 2 の複数の汎用 P H Y と、

適合クロック信号を前記第 1 の複数の P H Y および前記第 2 の複数の P H Y の各々に提供するように構成されるクロックコントローラ ( C C )、ここにおいて、前記第 1 の複数の汎用 P H Y および前記第 2 の複数の汎用 P H Y は、D Q P H Y として構成され、前記第 1 の複数の P H Y はさらに、第 1 のチャンネルに従って、D Q 信号を受け取るように構成され、前記第 2 の複数の P H Y はさらに、第 2 のチャンネルに従って、D Q 信号を受け取るように構成される、と、

を備える、前記第 1 のタイプのメモリおよび前記第 2 のタイプのメモリを選択的にサポートするためのシステムオンチップ ( S o C )

を備える、装置。

**【請求項 10】**

前記 SOC はさらに、前記 CA 信号および前記 DQ 信号を提供するように構成されるメモリコントローラを備える、請求項 9 に記載の装置。

**【請求項 11】**

前記 SOC は、前記第 1 のタイプのメモリをサポートするように構成され、前記汎用 PHY は、CA PHY として構成され、伝えるための前記手段は、前記入力に基づいて、前記メモリコントローラから前記汎用 PHY に CA 信号のみを伝えるように構成される、請求項 9 に記載の装置。

**【請求項 12】**

前記 SOC は、前記第 2 のタイプのメモリをサポートするように構成され、前記汎用 PHY は、DQ PHY として構成され、伝えるための前記手段は、前記入力に基づいて、前記メモリコントローラから前記汎用 PHY に DQ 信号のみを伝えるように構成される、請求項 9 に記載の装置。

**【請求項 13】**

伝えるための前記手段および前記第 1 の PHY を収容するように構成される第 1 のパッケージと、

メモリを備え、かつパッケージオンパッケージ (POP) 構成において、またはサイドバイサイドパッケージ構成において、前記第 1 のパッケージに結合される、第 2 のパッケージと、

をさらに備える、請求項 9 に記載の装置。

**【請求項 14】**

パッケージオンパッケージ (POP) 装置であって、

第 1 のタイプのメモリおよび第 2 のタイプのメモリのうちの 1 つを選択的にサポートするように構成されるメモリ回路要素を備える第 1 のパッケージ、ここにおいて、前記メモリ回路要素は、

複数の物理インタフェース (PHY)、ここにおいて、前記複数のインタフェースの各々は、制御およびアドレス (CA) PHY としておよびデータ (DQ) PHY として選択的に構成可能である、と、

論理要素であって、

CA 信号を、前記複数の PHY における、CA PHY として構成される PHY に伝えることと、

DQ 信号を、前記複数の PHY における、DQ PHY として構成される PHY に、および DQ PHY として構成される PHY から、伝えることと、

を行うように構成される論理要素と、

を備える、と、

前記第 1 のタイプのメモリまたは前記第 2 のタイプのメモリを備える第 2 のパッケージ、ここにおいて、前記第 2 のパッケージは、POP 構成において、前記第 1 のパッケージに結合され、前記 DQ 信号および前記 CA 信号は、第 1 のチャンネルに関する信号および第 2 のチャンネルに関する信号を備える、と、

を備え、

前記 POP 装置はさらに、各 PHY への、および各チャンネルに関する、適合クロック信号を提供するように構成されるクロックコントローラ (CC) を備える、

POP 装置。

**【請求項 15】**

単一のダイを使用して異なるメモリタイプをサポートするための方法であって、

メモリタイプインジェクションを受け取ることと、

前記メモリタイプインジェクションに基づいて、制御およびアドレス (CA) 信号を、第 1 の汎用物理インタフェース (PHY) に伝えることと、

前記メモリタイプインジェクションに基づいて、データ (DQ) 信号を、第 2 の汎用 PHY に伝えることと、

前記第 1 の汎用 P H Y および前記第 2 の汎用 P H Y をクロックするために、適合クロック信号を生成すること、前記 C A 信号および前記 D Q 信号は、メモリに関して、異なるチャンネルに対応する、と、  
を備える、方法。