

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G11C 7/00

(45) 공고일자 1989년 12월 14일
(11) 공고번호 89-005156

(21) 출원번호	특 1984-0000580	(65) 공개번호	특 1984-0008073
(22) 출원일자	1984년 02월 08일	(43) 공개일자	1984년 12월 12일
(30) 우선권 주장	58-018027 1983년 02월 08일	일본 (JP)	
(71) 출원인	후지쓰 가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	요시다 마사노부		
	일본국 사이다마켄 가와구찌시 스에히로 3-3-3		
	이다노 기요시		
	일본국 가나가와켄 가와사끼시 다카쓰꾸 시모노게 878		
(74) 대리인	장용식		

심사관 : 유환열 (책자공보 제1711호)

(54) 반도체 기억장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 기억장치

[도면의 간단한 설명]

제1도는 본 발명의 실시예에 따른 EPROM의 일반적인 구성을 보여주는 블록회로도.

제2도는 제1도에 표시된 EPROM에서 메모리 셀 블록, 용장 메모리 셀 블록 및 스위칭회로를 보여주는 회로도.

제3도는 전자 시그니처(signature)데이터를 보여주는 제2도에 표시된 EPROM의 블록회로도.

제4도는 JEDEC에 의해 제안된 전자 시그니처의 형식을 보여주는 테이블.

제5도는 제조업자의 코우드의 여러가지 예를 보여주는 테이블.

제6도는 어드레스신호와 선택된 서브 블록 사이의 관계를 보여주는 테이블.

제7도는 제2도에 표시된 EPROM에서 어드레스신호 발생회로를 좀더 상세하게 보여주는 회로도.

제8도는 제2도에 표시된 EPROM 회로에서 신호 검출회로를 좀더 상세히 보여주는 회로도.

제9도는 제2도에 표시된 EPROM 회로에서 제어신호 발생신호를 좀더 상세하게 보여주는 회로도.

제10도는 퓨우즈 용단신호를 발생하기 위한 회로를 보여주는 회로도.

제11도는 용장 메모리 셀 블록에 대응하는 퓨우즈 용단신호를 발생하기 위한 회로를 보여주는 회로도.

제12도는 본발명의 다른 실시예에 따른 EPROM을 보여주는 블록회로도.

제13도는 제12도에 표시된 EPROM에서 1개의 메모리 셀 블록을 보여주는 회로도.

* 도면의 주요부분에 대한 부호의 설명

Q1 내지 Q8 : 출력단자

11 내지 18 : 메모리 셀 블록

19 : 용장 메모리 셀 블록

11a 내지 19a : 특정영역, 11-0 내지 11-7, ...
 19-0 내지 19-7 : 서브블록
 9 : 어드레스신호발생회로 21 내지 29 : 스위칭회로
 41 내지 49 : 제어신호발생회로 5 : 신호검출회로
 AD1 내지 AD9 : 어드레스신호결정회로
 S1, S2, S3 : 어드레스신호선택회로 6 : 행 디코더

[발명의 상세한 설명]

본발명은 프로그램 가능 판독전용 반도체 기억장치(programmable read only semiconductor memory device : PROM), 특히 PROM의 부속장치에 관한 일종의 판독전용 기억장치(read only memory : ROM) 데이터인 전자 시그니처(electronic signature)를 판독하기 위한 판독회로에 관한 것이다.

최근 미합중국 전자공업협회(Electronic Industrial Association : EIA)의 예 하기관인 JEDEC(joint Electron Device Engineering Council)는 소위 전자 시그니처의 사용을 제안했다. 즉, 소거가능하고 프로그램 가능한 판독전용기억장치(erasable and programmable read only semiconductor memory device : EPROM)를 제조하는 과정에서 제조업자의 코드 또는 프로그래밍 알고리즘 번호와 같은 일종의 ROM데이터로서 전자시그니처를 미리 기입함에 의해서 EPROM의 특정단자에 특정신호를 가함에 의해서 이 데이터를 판독할 수 있다. 제조업자 코드와 같은 종류의 전자 시그니처의 데이터 구성 내용은 제4도 및 제5도를 참고하여 보다 상세히 뒤에 설명한다.

일반적으로 EPROM에서 칩의 생산성을 개선하기 위하여 용장(冗長 : redundancy)회로가 고장회로를 대신할 수 있도록 용장구조가 채용된다. 이와 같은 용장기술은 예를들면 ISSC 81/Wenesday, February 18, 1981/BALL ROOMS A-B/3 : 15 P.M., pp 80-81 및 ISSC 82/Thursday, February 11, 1982/CONTINENTAL BALL ROOMS 1-4/10 : 45 A.M., pp 112-113에 개시되었다.

이와 같은 용장구조를 가진 EPROM에서 용장회로가 사용될때 대체된 회로부분에 대응하는 전자 시그니처 데이터의 내용을 정확하게 판독하는 것이 필요하다.

본발명의 목적은 용장회로가 반도체기억장치내의 어떤 회로부분에 의해 대체될지라도 전자 시그니처가 정확하게 그로부터 판독할 수 있는 용장구조를 가진 반도체 기억장치를 제공하는 것이다.

상기 목적을 이루기 위하여 본발명에 따르면 각각 복수의 출력비트 데이터를 출력하기 위한 복수의 출력단자와, 각각 출력단자에 대응하는 복수의 메모리 셀 블록 및 메모리 셀 블록 사이에서 고장난 메모리 셀 블록을 대체할 수 있는 용장 메모리 셀 블록으로 이루어지는 반도체 기억장치가 제공된다. 용장 메모리 셀 블록은 복수 비트로 구성되는 제1소정 데이터를 기억시키기 위한 제1특정영역을 가진다. 메모리 셀 블록 각각은 제2소정 데이터를 기억시키기 위한 제2특정영역을 가진다. 제2소정 데이터를 1대 1대응에서 제1소정데이터의 분할된 하나와 동일하다. 더우기 반도체 기억장치는 메모리 셀 블록중의 하나가 용장 메모리 셀 블록에 의해 대체될때 용장 메모리 셀 블록에 의해 대체될 메모리 셀 블록에 기억된 제2소정데이터에 대응하는 제1소정데이터의 분할된 하나를 선택적 판독하기 위한 수단을 포함한다.

본 발명의 상기한 목적 및 특징은 첨부된 도면을 참고로 하여 다음의 바람직한 실시예 설명으로 부터 좀더 명확하게 될 것이다.

제1도는 본발명의 실시예에 따른 용장메모리 셀 블록을 가진 8비트출력 EPROM을 보여주는 전체적인 구성도이다. 제1도에 표시된 EPROM에서 메모리 셀 블록(11 내지 19)가운데에서 8비트의 출력단자(Q1 내지 Q8)에 대응하는 메모리 셀 블록(11 내지 18)은 각각 스위칭회로(21 내지 28)를 통하여 출력버퍼(31 내지 38)에 접속된다. 메모리 셀 블록(19)는 스위칭회로(29)를 통하여 스위칭회로(21 내지 28)에 접속된 용장메모리 셀 블록이며 이것은 출력단자(Q1 내지 Q8)중의 하나에 대응하는 고장메모리 셀 블록을 대체시킨다. 각 스위칭회로(21 내지 29)의 스위칭은 제어신호 발생회로(41 내지 49)로부터의 제어신호(BR_i, 단 i=1,2,..., 또는 9)에 의해 제어된다. 각 제어신호 발생회로(41 내지 49)에서 제어신호(BR_i)는 여기에 갖춰진(제1도에는 표시되어 있지 않으나 후에 제9도를 참고로 하여 상세히 설명됨)퓨즈의 전도 또는 비전도상태에 따라서 출력된다. 메모리 셀 블록 (11 내지 18)중의 하나의 고장난 메모리 셀 블록을 용장 메모리 셀 블록(19)과 대체하기 위하여 대응하는 제어신호발생회로내의 퓨즈가 대체될 메모리 셀 블록에 대응하는 퓨즈 용단 신호(FC1 내지 FC8)중의 하나에 의해 용단 된다.

또한 제어신호 발생회로(49)내의 퓨즈 용장 메모리 셀 블록(19)에 대응하는 퓨즈 용장신호(FC9)에 의해 용단된다. 퓨즈 용단 신호(FC1 내지 FC8)는 대체신호(replacing Signal : RW)에 응하여 발생되며 각각 출력단자((Q1 내지 Q8)에 대체되는 블록선택신호가 가해진다.

메모리 셀 블록(11 내지 19)은 또한 실리콘 기호로서 언급된 전자 시그니처를 기억하기 위하여 각각 특정영역(11a, 12a, 13a, ..., 및 19a)을 갖는다. 이 특정영역은 ROM으로 이루어진다. 각각 메모리 셀 블록(11 내지 19)의 나머지영역(11b, 12b, ..., 및 19b)은 EPROM이다. 일고장 메모리 셀 블록을 용장 메모리 셀블록(19)으로 대체함에 의해서 고장 메모리 셀 블록에 대하여 정확한 전자 시그니처가 후에 상세히 설명될 용장 메모리 셀 블록(19)내의 특정영역(19a)으로부터 판독될 수 있다.

제2도에는 제1도에 표시된 EPROM에서 메모리 셀 블록(11), 용장 메모리 셀 블록(19) 및 스위칭회로(21 및 29)의 구성이 좀더 상세히 표시되어 있다. 메모리 셀 블록(11)에 있어서 복수의 워드 라인(WL)과 복수의 비트라인(BL)이 직교하게 되어 있다. 워드라인(WL)과 비트라인 사이의 각 교차 위치상에는 EPROM셀(MC)이 갖추어져 있다. 특정영역에는 워드라인과 병렬로 뻗어있는 가상 워드선

(Virtual word line : VWL)이 갖추어져 있다. 가상 워어드라인(VWL)과 각 비트라인(BL)사이에는 ROM 셀(RC) 접속된다. ROM 셀(RC)은 각 비트라인(BL)에 그들을 접속 또는 비접속시킴에 의해서 전자 시그니취 데이터를 기억하도록 채용된다. 전자 시그니취의 예는 제4도 및 제5도를 참고하여 후에 설명될 것이다. 가상 워어드라인(VWL)은 어드레스 입력 단자(A_9)에 가해진 가상워어드라인 선택신호를 검출하여 ROM셀(RC)로부터 전자기호를 판독하기 위한 가상워어드라인(VWL)을 구동하는 신호검출회로(5)에 접속된다. 각 워어드라인(WL)은 행(row)디코더 회로(6)에 접속된다. 그리고 가상 워어드라인(VWL)상에 신호가 "H"로 될때 행 디코더(6)는 이 신호에 의해 제어되어 모든 워어드라인이 "L"이 되게 한다.

메모리 셀 블록(11)은 각각이 16비트라인(BL)을 포함하고 있는 8서브블록(11-0, 11-1, ..., 및 11-7)으로 분할되어 있다. 제1서브블록(11-0)내의 16비트라인(BL)모두는 각각 비트라인 선택 트랜지스터(T_{a0} , T_{a1} , ..., 및 T_{a15}), 서브 블록 선택 트랜지스터(T_{b0}) 및 스위칭회로(21)내의 메모리 셀 블록 선택 트랜지스터(T_{c1})를 통하여 동일한 출력버퍼(31)에 접속된다.

또한 스위칭회로(21)는 제어신호발생회로(41)로부터 제어신호(BR_1)를 받아들이기위한 입력과 트랜지스터(T_{c1})의 게이트에 접속된 출력을 가지고 있는 인버터(IV1)를 포함하고 있다. 또한 스위칭회로(21)는 인버터(IV1)의 입력에 접속된 게이트를 가지고 있는 용장블록 선택 트랜지스터(T_{c2})를 포함한다. 트랜지스터(T_{c1} 및 T_{c2})의 소오스는 출력버퍼(31)에 접속된다.

기타 메모리 셀 블록 각각은(12, 13, ..., 및 19) 메모리 셀 블록(11)과 동일한 회로 구성을 가지고 있다.

각각 메모리 셀 블록 (12, 13, ..., 및 18)에 대응하는 각 스위칭회로(22, 23, ..., 및 28)는 스위칭회로(21)과 동일한 회로 구성을 가지고 있다. 반대로 용장 메모리 셀 블록(19)에 대응하는 스위칭회로는 제어신호(BR_9)를 받아들이도록 채택된 게이트 전극을 가진 단일 스위칭 트랜지스터(T_{c3})를 가지고 있다. 용장 메모리 셀 블록(19)내의 서브블록 선택 트랜지스터(T_{b0} , T_{b1} , ..., 및 T_{b7})의 소오스는 스위칭 트랜지스터(T_{c3})를 통하여 모든 스위칭회로(21 내지 28)내의 용장블록 선택 트랜지스터(T_{c2})의 드레인에 공통으로 접속된다.

모든 메모리 셀 블록(11 내지 19)내의 각 서브블록에서 비트라인선택트랜지스터(T_{a0} , T_{a1} , ..., 및 T_{a15})의 게이트 전극은 각각 비트라인 선택신호($B0, B1, \dots$, 및 $B15$)를 받아들이도록 사용된다. 비트라인 선택신호($B0, B1, \dots$, 및 $B15$)는 낮은 차수의 열 어드레스 입력신호($A0, A1, A2$ 및 3)를 해독하는 제1열 해독기회로(7)로부터 공급되어 비트라인 선택신호($B0, B1, \dots$, 및 $B15$)중의 하나를 고전위레벨 "H"로 되게 한다.

각 메모리 셀 블록(11 내지 19)에서 서브블록 선택 트랜지스터(T_{b0} , T_{b1} , ..., 및 T_{b7})의 게이트 전극은 각각 서브블록 선택신호($C0, C1, \dots$, 및 $C7$)를 받아들이도록 사용된다. 서브블록 선택신호($C0, C1, \dots$, 및 $C7$)는 높은 차수의 열 어드레스신호($a4, a5$ 및 $a6$)를 해독하는 제 2 열 해독기회로(8)로부터 공급되어 서브 블록선택신호($C0, C1, \dots$, 및 $C7$)중 하나를 고전위레벨 "H"이 되게 한다. 따라서, 열 어드레스 신호($A0$ 내지 $A3$ 및 $a4$ 내지 $a6$)를 지정함에 의해서 각 메모리 셀 블록내의 8서브블록중 하나가 선택되고 선택된 서브블록 각각의 16 비트 라인(BL) 중의 하나가 선택된다.

또한 가상 워어드라인(VWL)은 행 디코더회로(6) 및 어드레스 신호 발생회로(9)에 접속된다. 가상 워어드라인(VWL)이 선택될때 기준전압(VRR)이 행 디코더회로(6)에 인가되어 그것의 동작을 금지시키며 그리고 제어신호(BR_1 내지 BR_9)에 응하여 고정된 세트의 어드레스신호($a4, a5$ 및 $a6$)를 발생하도록 어드레스 신호 발생회로(9)에 인가된다.

이 실시예에서 용장 메모리 셀 블록(19)을 제외한 1메모리 셀 블록내의 모든 ROM셀(RC)은 제3도에 표시된 바와같이 동일 데이터를 기억한다. 즉, 제3도에서 제1도 및 제2도에 사용된 동일한 참조부호는 동일부품을 나타낸다. 참조기호(D1, D2, ..., D8)는 제2도에 표시된 메모리 셀 블록(11 내지 19)에 기억된 전자 시그니취 데이터를 나타낸다. 참조기호(M11, M12, ..., M18, M21, M22, ..., M28, ..., M91, M92, 및 M98)는 제2도에 표시된 각 서브블록(11-0, 11-1, ..., 11-7, 12-0, ..., 12-7, 19-0, ..., 및 19-7)의 메모리 셀(MC)내에 기억된 데이터를 표시한다. 제3도에 표시된 바와같이 메모리 셀 블록(11)내의 모든 서브 블록은 동일한 데이터(D1)을 기억한다. 또한 메모리 셀 블록(12)내의 모든 서브 블록은 동일한 데이터(D2)를 기억한다. 마찬가지로 각 메모리 셀 블록(13 내지 18)내의 모든 서브 블록은 각각 동일한 데이터(D3, D4, ..., 또는 D8)를 기억한다. 반대로 용장메모리 셀 블록(19)에 있어서 각 서브 블록(19-0, 19-1, ..., 및 19-7)은 각각 메모리 셀블록(11 내지 18)에 기억된 데이터를 대응하는 데이터(D1, D2, ..., 및 D8)를 기억한다.

이제 제2도에 표시된 회로의 동작을 설명한다.

전자 시그니취가 판독되어야 하고 메모리 셀 블록(11 내지 18)중 하나가 오동작중일때 가상 워어드라인(VWL)은 12V의 어드레스 입력신호(또한 참조기호(AP)로 표시됨)를 신호 검출회로에 인가함에 의해서 선택되며 모든 워어드라인(WL)은 행 디코더 회로(6)가 금지되어 선택된 가상 워어드라인(VWL)에 의해 동작되기 때문에 선택되지 않는다. 선택된 가상 워어드라인(VWL)은 기준전압(VRR)을 어드레스 신호 발생회로(9)에 공급한다. 따라서 용장 메모리 셀 블록(19)에 오동작 또는 고장메모리 셀 블록 대신에 사용된다. 메모리 셀 블록(11)이 오동작중이라고 가정한다. 제어신호(BR_1 및 BR_9)는 그후 "H" 레벨로 된다. 제어신호(BR_1)의 "H" 레벨은 인버터(IV1)에 의해 반전되어 그결과 메모리 셀 블록 선택 트랜지스터(T_{c1})는 차단상태로 된다. 반면에 "H" 레벨은 제어신호(BR_1)는 용장 블록 선택 트랜지스터(T_{c2})의 게이트에 직접 인가되어 트랜지스터(T_{c2})는 동작상태가 된다. 또한 스위칭 회로(29)내의 전달 게이트 트랜지스터(T_{c3})는 제어신호(BR_9)에 의해 동작상태로 된다.

다. 오동작 메모리 셀 블록(11)내에 기억된 전자 시그니취 데이터가 판독되어야 할때 어드레스 입력신호(A4 내지 A6)에 관계없이 " H " 레벨로 서브블록 선택신호(C0)를 고정시키는 것은 충분하다. 이와 같은 서브블록 선택신호(C0)의 동작을 고정시키는 것은 뒤에 상세히 설명될 어드레스 신호 발생회로(9)에 의해 수행된다. 따라서 오동작 메모리 셀 블록(11)에 기억된 데이터(D1)대신에 용장 메모리 셀 블록(19)의 제1서브블록(19-0)에 기억된 데이터(D1)는 트랜지스터(T_{c3} , 및 T_{c2})를 통하여 출력버퍼(31)에 전달된다.

제2도에 표시된 EPROM이 전자 시그니취를 판독하지 않고 그리고 고장 메모리 셀 블록을 용장 메모리 셀 블록(19)으로 대체하지 않고 통상의 EPROM으로 사용될때 모든 제어신호(BR1 내지 BR9)는 저전위레벨 " L " 로 세트되며 어드레스 입력단자(A9)의 어드레스 입력신호(A9), 즉 가상워드라인 선택신호는 12V의 고전위로 상승되지 않는다. 결과적으로 모든 스위칭회로(21 내지 28)내의 비트라인 선택신호(T_{c1})는 도전성이되며 스위칭회로(29)내의 전달 게이트 트랜지스터(T_{c3})는 비도전성이 된다.

또한 행 디코우더회로(6)는 행 어드레스신호(A7, A8, ..., 및 A17)를 해독하여 워드라인(WL)중 하나를 고전위레벨 " H " 로 되게 하며 가상 워드라인(VWL)은 선택되지 않는다. 따라서 EPROM셀(MC)은 그로부터 데이터를 판독하거나 거기에 데이터를 기입하거나 이들 메모리 셀 (MC)내의 데이터를 소거하도록 선택된다.

고장 메모리 셀 블록, 예를 들면 메모리 셀 블록(11)이 메모리 셀 (MC)의 역세상동한 용장 메모리 셀 블록(19)에 의해 대체될때 대체동작은 전자 시그니취가 판독되어질때와 사용된것과 동일하다. 이 경우에 가상 워드라인(VWL)은 선택되지 않는다.

임의의 다른 고장 메모리 셀 블록을 용장 메모리 셀 블록(19)으로의 대체는 고전위레벨 " H " 로 대응하는 제어신호(BR_i, i=2,3,..., 또는 8) 및 제어신호(BR9)를 선택함에 의해서 수행될 수 있다.

제4도는 JEDEC에 의해 제안된 전자 시그니취의 형식을 보여주는 테이블이다. 제4도는 표시된 바와 같이 16전자 시크니취(ES1, ES2, ..., 및 ES16)는 제2도에 표시된 EPROM의 ROM셀(RC)에 기억된다. 각 실리콘 기호, 즉 전자 시그니취는 8비트 데이터로 이루어져 있다. 1전자 시크니취 내의 각 비트는 8출력단자(Q1 내지 Q8)중 하나로 부터 출력된다. 제1전자 시크니취(ES1)는 8비트 데이터(d_{10}, d_{20}, \dots , 및 d_{80})로 구성된 제조업자의 코우드(M.C)이다. 제2전자 시크니취(ES2)는 8비트 데이터(d_{11}, d_{21}, \dots , 및 d_{81})로 구성된 프로그래밍 알고리즘 코우드(A.C)이다. 제3전자 시크니취(ES3) 내지 제16전자 시크니취(ES16)는 각 제조업자에게 개별적으로 한정된다. 제2도에 표시된 회로에서 제1전자 시크니취의 8비트 데이터(d_{10}, d_{20}, \dots , 및 d_8)는 각각 메모리 셀 블록(11 내지 18)에 기억된다. 좀더 엄밀하게 말하면 최하위 비트 데이터는 제 1 메모리 셀 블록(11)의 각 서브블록내에서 비트라인 선택신호(B0)에 의해 선택되는 제 1 비트라인(BL)과 협력하여 제1ROM 셀(RC)에 기억된다. 마찬가지로 나머지 비트 데이터 (d_{30}, d_{40}, \dots , 및 d_{80})는 각각 각 메모리 셀 블록(13 내지 18)내의 비트라인 선택기호(B0)에 의해 선택된 제 1ROM 셀(RC)에 기억된다.

제2전자시크니취(ES2)의 8비트 데이터($d_{11}, d_{21}, \dots, 4$, 및 d_{81})는 각각 메모리 셀 블록(11 내지 18)내의 비트라인 선택신호(B1)에 의해 선택된 제2 ROM 셀(RC)에 기억된다.

따라서 각 전자 시그니취의 8비트 데이터는 각 메모리 셀 블록(11 내지 18)내의 각 ROM 셀에 기억된다. 따라서 제1메모리 셀 블록(11)내의 각 서브블록(11-0 내지 11-7)은 사선으로 제4도에 표시한 바와같은 16비트 데이터 (d_{10}, d_{11}, \dots , 및 d_{116})로 구성되는 데이터(D1)를 기억한다. 각 서브블록(12-0 내지 12-7)은 16비트(d_{20}, d_{21}, \dots , 및 d_{215})로 구성되는 데이터(D₂)를 기억한다. 마찬가지로 나머지 메모리 셀 블록(13 내지 18) 각각은 8세트의 동일한 16비트 데이터(D3, D4, ..., 및 D8)을 기억한다.

제4도에 표시된 테이블에서 별표 표시가 있는 출력단자(Q₈) 로 부터 출력된 최상위 비트 데이터(d_{80}, d_{81}, \dots , 및 d_{816})는 각 전자 시그니취에 대한 기수패리티 비트이다.

제5도는 제1전자 시그니취(ES2) 즉 제조업자 코우드의 여러가지 예를 보여주는 테이블이다. 제5도에서 예를 들어 AMD에 대한 제조업자 코우드는 8비트 데이터(000 00 01)로 이루어져 있다. 각 비트는 출력단자(Q1 내지 Q8)중의 하나로부터 출력된다. 이 제조업자 코우드는 각 장치의 ROM 셀(RC)에 기억되어서 사용자가 장치를 식별할 수 있도록 한다.

제6도는 고차 열 어드레스 신호(a4, a5 및 a6)와 선택된 서브블록사이의 관계를 표시하는 테이블이다. 제6도에서 행 어드레스 신호(a4, a5 및 a6)가 각각 0,0,0일때 서브블록 선택신호(C0)는 "H"레벨로 선택되어 그결과 대응 서브블록(11-0, 12-0, ..., 및 19-0) (제2도)이 선택된다. 이 경우에 메모리 셀 블록(11)은 용장 메모리 셀 블록(19)에 의해 대체될 수 있다. 또한 행 어드레스 신호(a4, a5 및 a6)가 각각 1,0,0일때 서브블록 선택신호(C1)는 " H " 레벨로 선택되어 대응하는 서브블록(11-1, 12-1, ..., 및 19-1)이 선택된다. 이 경우에 메모리 셀 블록(12)은 용장 메모리 셀 블록(19)에 의해 대체될 수 있다. 행어드레스 신호(a4, a5 및 a6)의 다른 조합들은 "H"레벨인 대응하는 서브블록 선택신호(C2, C3, ..., 및 C7)를 발생한다. 행어드레스 신호(a4, a5, 및 a6)의 조합을 소망하는 세트로 고정시킴에 의해서 소망하는 서브 블록 선택 신호가 선택된다. 결과적으로 대체동작이 수행된다.

제7도는 어드레스 신호 발생회로(9)를 좀더 상세히 설명하는 회로도이다. 제7도에서 어드레스 신호 발생회로(9)는 3개 어드레스 신호 선택회로(S1, S2, 및 S3) 및 9개 어드레스 신호 결정회로(AD1, AD2, ..., 및 AD9)로 구성되어 있다. 각 어드레스 신호 선택회로(S1, S2, 및 S3)는 상보형 금속산화 반도체(complementary metal oxide semiconductor : CMOS)트랜지스터로 이루어진 2개의 인버터(11 및 12), 2개의 전달게이트(TG1 및 TG2) 및 2개의 CMOS 인버터(13 및 14)를 포함하고 있다. 이 인버터들(11 내지 14)은 파형 형성회로로 작용을 한다. 각 전달 게이트(TG1 및 TG2)는 병렬로 접속된 P 채널 MOS 트랜지스터 및 N 채널 MOS 트랜지스터로 이루어져 있다. 각 어드레스 신호 판별회로

(AD1 내지 AD9)는 3개의 전달게이트(TG3, TG4 및 TG5)를 포함한다. 각 전달 게이트(TG3, TG4 및 TG5)를 병렬로 접속된 P 채널 MOS트랜지스터 및 N 채널 MOS 트랜지스터로 이루어져 있다. 대체동작이 이루어져야 할 때 어드레스신호 결정회로(AD1 내지 AD8)는 각각 서브블록 선택신호(C0, C1, ..., 및 C7)를 선택하기 위한 어드레스 신호(a4, a5, 및 a6)세트를 결정한다. 즉, 대체동작이 발생할 때 각 회로(AD1 내지 AD8)에서 전달게이트(TG3)는 어드레스 신호(a4)를 결정하고 ; 전달게이트(TG4)는 어드레스 신호(a5)를 결정하며 ; 전달 게이트(TG5)는 어드레스 신호(a6)를 결정한다. 결국 어드레스신호 결정회로(AD1)에서 전달게이트(TG3, TG4 및 TG5)의 모든 입력은 저항(R)을 통하여 접지되어 그결과 회로(AD1)는 어드레스 신호(a4, a5, a6)세트가 (0, 0, 0)와 동일하게 되도록 결정할 수 있다. 또한 어드레스 신호 결정 회로(AD2)에서는 전달게이트(TG3)의 입력은 저항(R)을 통하여 전원(Vcc)에 접속되며 전달게이트(TG4 및 TG5)의 기타 2입력은 저항(R)을 통하여 접지되므로 회로(AD2)는 어드레스 신호(a4, a5, a6)세트가 (1, 0, 0)와 동일하게 되도록 결정할 수 있다. 마찬가지로 다른 어드레스 신호 결정 회로(AD3 내지 AD8)에서도 전달게이트(TG3, TG4 및 TG5)의 입력은 소망하는 어드레스 신호(a4, a5 및 a6)세트에 따라서 저항(R)을 통하여 전원(Vcc) 또는 접지에 연결된다.

제7도에 표시된 회로의 동작에 의해서 대체동작이 수행되지 않을 때 가상 워드 라인(VWL)이 선택되지 않으므로(제2도 참조) 기준전압(VRR)은 저 레벨 "L"이 된다. 기준전압(VRR)이 전달게이트(TG1)의 P채널 MOS 트랜지스터의 게이트 및 전달게이트(TG2)의 N 채널 MOS 트랜지스터의 게이트에 인가된

다. 반전된 기준전압(\overline{VRR})은 전달게이트(TG1)의 N 채널 MOS 트랜지스터의 게이트 및 전달게이트(TG2)의 P 채널 MOS 트랜지스터의 게이트에 인가된다. 그러므로 기준전압(VRR)이 저 레벨 "L"일 때 전달게이트(TG1)는 도전성으로 되며 전달게이트(TG2)는 비전도성으로 된다. 결과적으로 외부 소오스로부터 가해진 어드레스 입력신호(A4, A5 및 A6)는 각 어드레스 신호 선택회로(S1, S2 및 S3)내의 전달게이트(TG1)를 통하여 제2열 디코더(8)에 전달된다. 즉, 제2열 디코더(8)는 각각 고차 열 어드레스신호(a4, a5, 및 a6)로서 외부어드레스 입력신호(A4, A5 및 A6)를 받아들인다.

메모리 셀 블록(11)이 용장메모리 셀 블록(19)으로 대체될 때 제어신호(BR1 및 BR9)는 "H"레벨로 선택된다. 제어신호(BR1)는 제1어드레스 신호 결정회로(AD1)내의 전달게이트(TG3, TG4 및 TG5)의 N 채널 MOS 트랜지스터의 게이트에 인가된다. 반전제어신호($\overline{BR1}$)는 동일회로(AD1)내의 전달게이트(TG3, TG4 및 TG5)중의 P채널 MOS 트랜지스터의 게이트에 인가된다. 그러므로 회로(AD1)내의 전달게이트(TG3, TG4 및 TG5)는 도전성이 된다. 제어신호(BR9)는 제9 어드레스 신호 결정회로(AD9)내의 전달게이트(TG3, TG4 및 TG5)중의 P채널 MOS 트랜지스터의 게이트에 인가된다. 반전제어신호($\overline{BR9}$)는 동일회로(AD9)내의 전달게이트(TG3, TG4 및 TG5)중의 N채널 MOS트랜지스터의 게이트에 인가된다. 그러므로 회로(AD9)내의 전달게이트(TG3, TG4 및 TG5)는 비도전성이 된다. 또한 대체동작이 수행될 때 기준전압(VRR)은 고레벨 "H"로 전환되어 그 결과 전달게이트(TG1)은 비전도성으로 되고 전달게이트(TG2)는 도전성으로 된다. 결과적으로 회로(AD1)내의 전달게이트(TG3)의 출력은 회로(S1)내의 전달게이트(TG3)를 통하여 제2열 디코더(8)에 전달된다.

회로(AD1)내의 전달게이트(TG3)의 입력은 저항(R)을 통하여 접지되므로 그 출력은 "0", 즉 "L"레벨로 된다. 마찬가지로 전달게이트(TG4 및 TG5)의 출력은 "L"레벨로 된다.

따라서 제2열 디코더(8)는 외부어드레스 입력신호(A4, A5 및 A6)에 관계없이 각각 0, 0, 0와 같은 어드레스 신호(a4, a5, a6)를 받아들인다. 어드레스신호(0, 0, 0)에 응하여 제2열 디코더(8)는 제1서브블록 선택신호(C0)를 선택한다.

마찬가지로 제어신호(BR2)가 "H"레벨로 선택될 때 제2열 디코더(8)는 외부어드레스 입력신호(A4, A5 및 A6)에 관계없이 제2서브블록신호(C1)를 선택한다.

제어신호(BR3, BR4, ..., 또는 BR8)가 선택될 때 서브블록 선택신호(C3, C4, ..., 또는 C8)가 각각 선택된다.

제8도는 신호검출회로(5)를 좀더 상세하게 보여주는 회로도이다. 제8도에서 신호검출회로(5)는 P채널 MOS트랜지스터(Q1), N채널 MOS트랜지스터(Q2) 및 인버터(IV)를 포함한다.

트랜지스터(Q1)의 게이트는 접지된다.

트랜지스터(Q1)의 소오스는 전원 Vcc에 연결된다. 트랜지스터(Q1)의 드레인은 트랜지스터(Q2)의 드레인에 접속된다. 트랜지스터(Q2)의 소오스는 접지된다.

트랜지스터(Q1)와 트랜지스터(Q2)사이의 접속점은 인버터(IV)의 입력에 접속된다. 트랜지스터(Q2)는 12V보다 조금낮은 높은 드레시홀드 전압, 예를 들어 10V의 전압을 갖는다.

트랜지스터(Q2)의 게이트는 어드레스 입력단자(A9)에 접속된다. 12V의 고전압이 어드레스 입력단자(A9)에 인가될 때 트랜지스터(Q2)는 동작상태로 되어 인버터(IV)의 출력은 고레벨 "H"의 기준전압(VRR)을 제공한다. 반전 기준전압(\overline{VRR})은 인버터(IV)의 입력으로부터 제공된다.

기준전압(VRR)은 가상워드라인(VWL), 회로(S1, S2 및 S3)(제7도)내의 전달게이트 및 동작을 금지시키기 위한 행 디코더 회로(6)(제2도)에 가해진다.

제9도는 제어신호 발생회로(41)를 좀더 상세히 보여주는 회로도이다. 제9도에서 제어신호 발생회로(41)는 퓨우즈(F1), N채널 MOS 트랜지스터(Q3), 저항(R) 및 2인버터(IVa 및 IVb)를 포함한다.

퓨우즈(F1)는 전원(Vcc)과 트랜지스터(Q3)의 드레인 사이에 접속된다. 트랜지스터(Q3)의 소오스는 접지된다. 저항(R)은 트랜지스터(Q3)의 드레인과 접지사이에 접속된다. 트랜지스터(Q3)의 드레인은 제1단 인버터(IVa)의 입력에 접속된다.

제1단 인버터(IVa)의 출력은 제2단 인버터(IVb)의 입력에 접속된다. 퓨우즈용단 신호(FC1)가

트랜지스터(Q3)의 게이트에 인가될 때 트랜지스터(Q3)는 동작상태로 되어 퓨즈(F1)를 통하여 전류가 흘러서 퓨즈(F1)를 용단시킨다. 그후 트랜지스터(Q3)의 드레인은 " L " 레벨로 전환된다. 결과적으로 제어 신호(BR1)는 제1단 인버터(IVa)의 출력에서 얻어진다. 또한 반전제어신호($\overline{BR1}$)는 제2단 인버터(IVb)의 출력에서 얻어진다. 제어 신호(BR1) 및 반전제어신호($\overline{BR1}$)는(AD1)(제7도)내의 전달게이트(TG3,TG4 및 TG5)에 인가된다.

기타 제어신호 발생회로(42 내지 49)는 제9도에 표시된 것과 동일한 회로구성을 갖는다.

제10도는 퓨즈용단신호(FC1)를 발생하기 위한 회로를 보여주는 회로도이다.

제10도에서 회로는 입력단 인버터(IVc), 2개의 P채널 MOS트랜지스터(Q4, Q5), 2개의 N채널 MOS트랜지스터(Q6, Q7) 및 출력단 인버터(IVd)를 포함하고 있다.

인버터(IVc)의 출력은 트랜지스터(Q4 및 Q6)의 게이트에 접속된다.

트랜지스터(Q4 및 Q6)의 소오스는 전원(Vcc)에 접속된다. 트랜지스터(Q4, 및 Q5)의 드레인은 트랜지스터(Q6)의 소오스 및 인버터(IVd)의 입력에 접속된다. 트랜지스터(Q6)의 드레인은 트랜지스터(Q7)의 드레인에 접속된다.

트랜지스터(Q7)의 소오스는 접지된다.

대체신호(RW)가 " L " 레벨로 될때 P채널 트랜지스터(Q5)는 도전성으로 되며 N채널 트랜지스터(Q7)는 비도전성으로되어 인버터(IVd)의 입력은 " H " 레벨로 된다. 이 경우에 퓨즈 용단 신호(FC1)는 " L " 레벨로 되어 퓨즈(F1) (제9도)는 용단되지 않는다.

단자(Q1)가 " L " 레벨이고 대체신호(RW)가 " H " 레벨일때 트랜지스터(Q4 및 Q5)는 차단상태로 되며 트랜지스터(Q6 및 Q7)는 동작상태로 되어 인버터(IVd)의 입력은 " L " 레벨로 된다. 이경우에 퓨즈용단신호(FC1)는 " H " 레벨로 되어 퓨즈(F1) (제9도)를 용단시킨다.

퓨즈용단신호(FC2 내지 FC8) 발생회로는 제10도에 표시된 회로와 동일한 회로구성을 가지고 있다.

명백한 바와같이 출력단자(Q1 내지 Q8)는 판독데이터를 출력하거나 또는 기입데이터를 입력시키는것 뿐 아니라 대체 블록 선택신호를 가하는데에 사용된다.

제11도는 용장 서브블록에 대응하는 퓨즈용단신호(FC9)를 발생하기 위한 회로를 보여주는 회로도이다.

제9도에서 회로는 2개의 인버터(IVe 및 IVf)로 이루어져 있다. 대체 신호(RW)가 " H " 레벨일때 퓨즈용단신호(FC9)는 " H " 레벨로 전환되어 퓨즈(F9)(표시안됨)를 용단시킨다.

상기한 실시예에서 각 메모리 셀블록(11 내지 18)은 8세트의 동일한 16비트데이터(D1,D2,..., 또는 D8)를 기억한다. 예를들면 메모리셀블록(11)은 제3도에 표시한 바와같이 특정영역(11a)에 8세트의 16비트데이터(D1)를 기억한다. 그러나 본 발명은 상기 설명한 실시예에 제한되지 않는다.

제12도는 본 발명의 다른 실시예에 따른 EPROM을 보여주는 블록회로도이다. 제12도에서 제3도에 사용된 것과 동일한 참조기호는 동일한 부품을 표시한다.

제3도와 제12도와 중요한 차이점은 메모리셀블록(11a,12a,..., 및 18a)에 있다. 즉, 제12도에서는 각 메모리 셀블록(11a,12a,..., 및 18a)은 각각 제1서브블록(11a-0, 12a-0, 13a-0, 또는 18a-0)내에 8세트 대신에 단일세트의 16비트 데이터(D1,D2,..., 또는 D8)를 포함한다.

또한 추가적인 서브블록 선택 트랜지스터(Qa)가 메모리 셀 블록(11a 내지 18a)중 하나내의 서브블록 선택 트랜지스터(Tbo)와 병렬로 접속된다.

부가 서브블록 선택트랜지스터(Qa)의 게이트는 가상 워드선(VWL)에 접속된다.

제13도는 제12도에 표시된 EPROM내의 메모리 셀 블록(11a)을 좀더 상세히 보여주는 회로도이다.

제13도에서 ROM 셀(RC)은 단지 제1서브블록(11a-0)내에만 갖춰진다. 또한 부가 서브블록 선택 트랜지스터(Qa)는 트랜지스터(Tbo)에 병렬로 접속된다.

제12도 및 제13도에 표시된 구성에 의해 용장 메모리 셀 블록(19)이 전자 시그니취를 판독하는 동안 사용되지 않았을때 가상되어 드라인(VWL)은 " H " 레벨로 선택되어 데이터(D1,D2,..., 및 D8)는 각각 서브블록(11a-0, 12a-0, ..., 및 18a-0)으로 부터 판독된다.

용장 메모리 셀 블록(19)이 전자 시그니취를 판독하는 동안 사용될때 제7도에 표시된 회로는 또한 앞에서 언급한 실시예에서와 동일한 방법으로 사용된다.

전술한 설명으로부터 명백한 바와같이 본발명에 따르면 용장구성을 가진 반도체 기억장치에 있어서 임의의 출력 비트에 대응하는 메모리 셀 블록이 용장 메모리 셀 블록에 의해 대체될때 조차도 전자 시그니취를 정확하게 판독할 수 있는 전자 시그니취 판독회로가 제공될 수 있다.

본 발명은 언급된 실시예에 제한되는 것은 아니다.

본 발명의 정신을 벗어나지 않고 여러가지의 변경 및 수정이 가능하다. 예를들면 메모리 크기는 임의로 선택될 수 있다. 또한 본 발명은 EPROM 뿐 아니라 PROM 또는 RAM에도 적용할 수 있다.

(57) 청구의 범위**청구항 1**

각각 복수의 출력비트 데이터를 출력하기 위한 복수의 출력단자 ; 각각 상기 출력단자에 대응하는 복수의 메모리 셀 블록 ; 및 상기 메모리 셀 블록중에서 고정 메모리 셀 블록을 대체할 수 있는 용장 메모리 셀 블록으로 구성되며, 상기 용장메모리 셀 블록은 복수비트로 구성되는 제1소정 데이터를 기억하기 위한 제1 특정영역을 가지고 있으며, 상기 메모리셀블록 각각은 상기 제1소정 데이터중의 분할된 하나와 일대일 대응으로 동일한 제1소정 데이터를 기억하기 위한 제2특정영역을 가지며, 더우기 상기 메모리 셀 블록중의 하나가 상기 용장메모리 셀 블록으로 대체될때 상기 용장메모리 셀 블록과 대체될 메모리 셀 블록에 기억된 상기 제 2소정데이터에 대응하는 상기 제1소정데이터중의 선택된 하나를 선택적으로 판독하기 위한 수단을 포함하는 것을 특징으로하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 용장메모리 셀 블록내의 상기 제1특정영역은 복수의 제1서브블록으로 분할되며, 상기 각 제1서브블록은 상기 제1소정 데이터중의 분할된 하나이며 상기 메모리 셀 블록중의 하나의 블록에 대응하는 분할된 상기 분할된 하나를 기억하는 것을 특징으로 하는 반도체 기억장치.

청구항 3

제2항에 있어서, 상기 각 메모리 셀 블록내의 상기 제2특정영역은 복수의 제2서브블록으로 분할되며 적어도 상기 각 메모리 셀블록내의 상기 제2서브블록중의 하나는 상기 제1서브블록중의 하나내에 기억된 데이터와 동일한 데이터를 기억하는 것을 특징으로 하는 반도체 기억장치.

청구항 4

제3항에 있어서, 상기 가 메모리 셀 블록내의 상기 각 제2서브블록은 상기 제1서브블록중의 하나내에 기억된 데이터와 동일한 데이터를 기억하고 있는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제3항 또는 4항에 있어서, 상기 수단은 상기 제1서브블록중의 소망하는 하나로서 상기 용장 메모리 셀 블록으로 대체될 상기 메모리 셀 블록중의 하나에 대응하는 상기소망하는 하나를 선택하기 위한 어드레스신호발생회로를 포함하는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제5항에 있어서, 상기 수단은 더우기 각각 상기 메모리 셀 블록에 대응하며 대응하는 메모리 셀 블록이 상기 용장 메모리셀 블록으로 대체되어야 할때 상기 대응하는 출력단자에 전달하도록 상기 대응하는 메모리셀 블록의 출력대신에 상기 용장 메모리 셀 블록의 출력을 각각이 작동적으로 선택하는 복수의 스위칭회로를 포함하는 것을 특징으로하는 반도체 기억장치.

청구항 7

제6항에 있어서, 상기 수단은 각각 상기메모리 셀 블록 및 상기 용장 메모리 셀 블록에 대응하는 복수의 제어신호 발생회로를 포함하며, 상기 각 제어신호 발생회로는 대응하는 메모리 셀 블록이 대체되어야 할때 대응하는 스위칭회로의 스위칭 동작을 제어하기 위한 제어신호를 작동적으로 발생하는 것을 특징으로하는 반도체 기억장치.

청구항 8

제7항에 있어서, 상기 제1소정영역 및 상기 제2소정영역은 상기 제1및 제2소정데이터를 기억하며 가상 워드 라인에 의해 자동적으로 선택되는 판독전용 기억장치(ROM)셀을 포함하며, 상기 수단은 더우기 상기 제1 또는 제2소정데이터를 판독하기 위한 특정 어드레스 입력신호에응하여 상기 가상워드 라인을 선택하기 위한 신호검출회로를 포함하는것을 특징으로하는 반도체 기억장치.

청구항 9

제8항에 있어서, 상기 어드레스신호발생회로는 각각이 상기 메모리 셀 블록에 대응하며 메모리 셀 블록이 상기 용단 메모리 셀 블록으로 대체되어야 할 때 상기 제어신호에 응하여 대체될 상기 메모리 셀 블록중의 하나에 대응하는 상기 제1서브블록중의 하나를 억제시키기 위한 고정 어드레스 신호를 작동적으로 결정하는 복수의 어드레스 신호 결정회로와 각각이 상기 특정 어드레스 입력신호에 응하여 외부 어드레스 입력신호 또는 상기 고정 어드레스 신호중의 하나를 선택하기 위한 복수의 어드레스 신호 선택회로를 포함하는 것을 특징으로하는 반도체 기억장치.

청구항 10

제9항에 있어서, 상기 메모리 셀 블록은 상기 제2특정영역을 제외한 영역내에 소거 가능하고 프로그램가능한 판독전용 기억장치(EPROM) 셀을 포함하며, 상기 용장메모리 셀 블록은 상기 제1소정영역을 제외한 영역내에 용장메모리셀을 포함하며, 상기 EPROM셀과 상기 용장메모리 셀은 워드드라인과 비트라인 사이에 배치되어 있는 것을 특징으로하는 반도체 기억장치.

청구항 11

제10항에 있어서, 더우기 상기 워드드라인중 하나를 선택하며 상기 가상워드 라인이 선택될때 상기 워드드라인을 선택하도록 작동적으로 금지시키는 행 디코우더를 포함하는 것을 특징으로하는 반

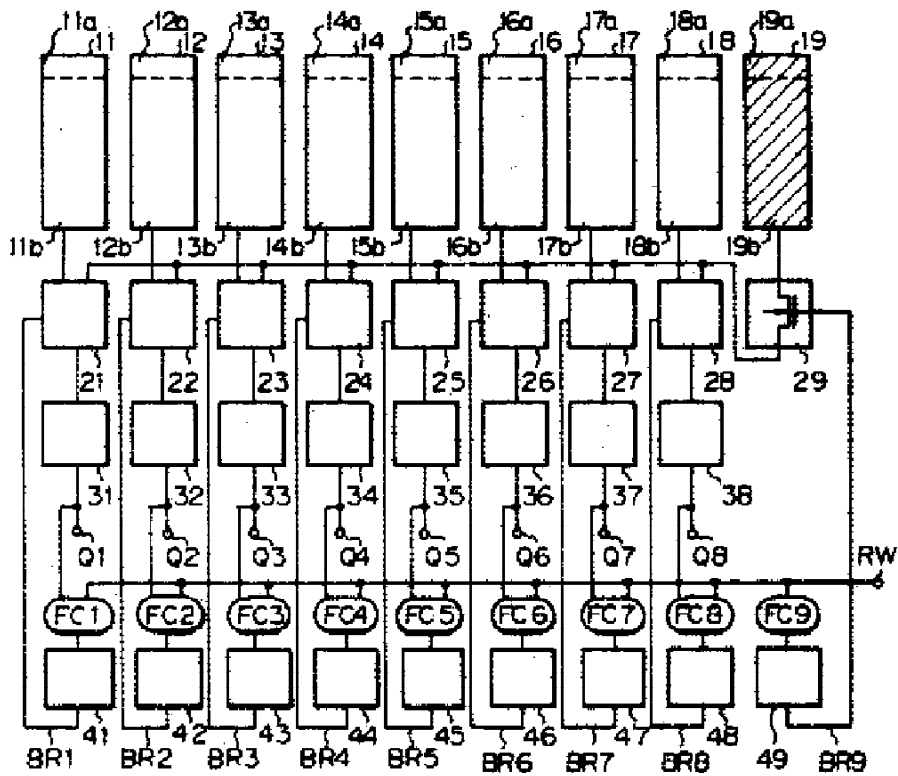
도체 기억장치.

청구항 12

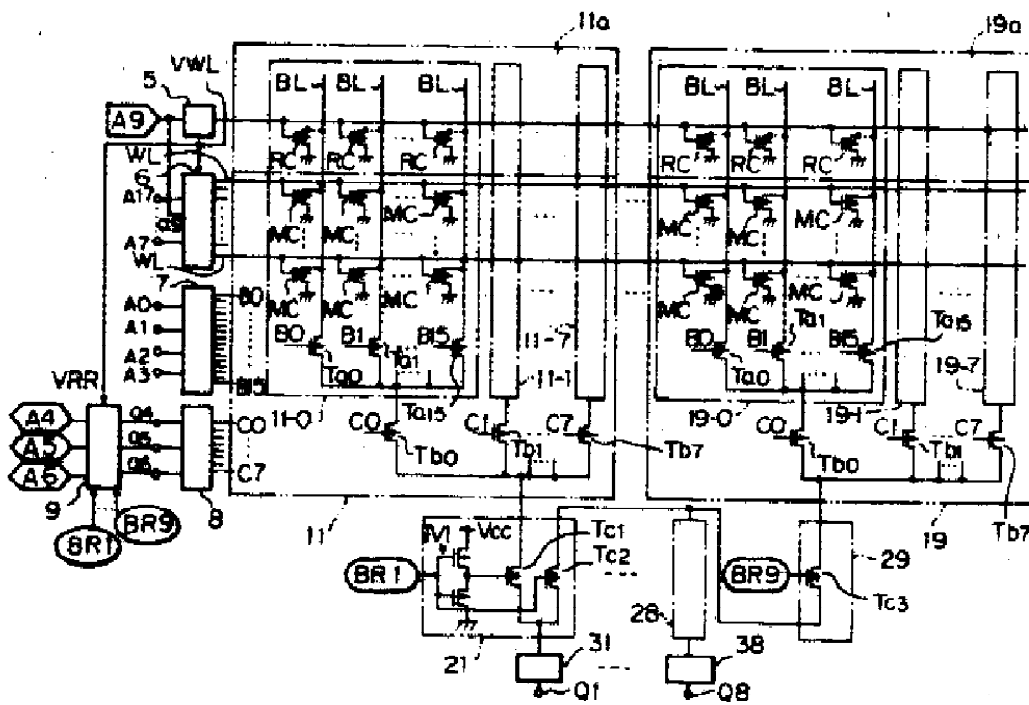
제11항에 있어서, 상기 수단은 더우기 상기 가상 워드라인을 선택하여 상기 행 디코우더의 동작을 금지시켜서 상기 고정 어드레스 신호를 선택하도록 상기 어드레스 신호 선택회로를 작동시키기 위하여 상기 특정 어드레스 입력신호를 검출하기 위한 신호 검출회로를 포함하는것을 특징으로하는 반도체 기억장치.

도면

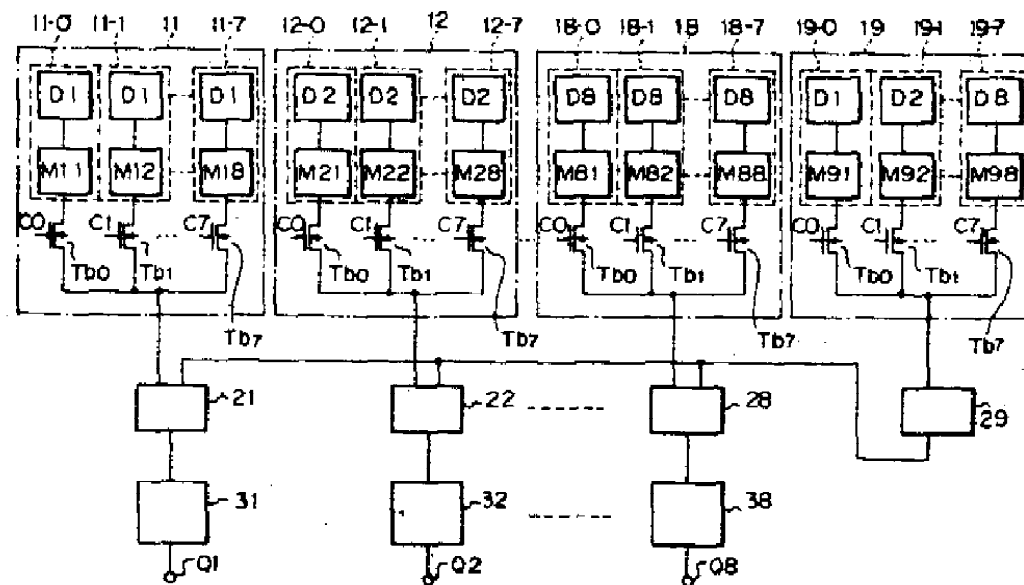
도면1



도면2



도면3



도면4

출 력

		출 력							
		MSB				LSB			
		Q8*	Q7	Q6	Q5	Q4	Q3	Q2	Q1
ES1 (M.C.)	B 0	d80	d70	d60	d50	d40	d30	d20	d10
ES2 (A.C.)	B 1	d81	d71	d61	d51	d41	d31	d21	d11
ES3	B 2								
ES4	B 3								
	B 4								
	B 5								
	B 6								
	B 7								
	B 8								
	B 9								
	B 10								
	B 11								
	B 12								
	B 13								
	B 14								
ES16	B 15	d816	d716	d616	d516	d416	d316	d216	d116
		D8	D7	D6	D5	D4	D3	D2	D1

각 채널마다

도면5

JEDEC

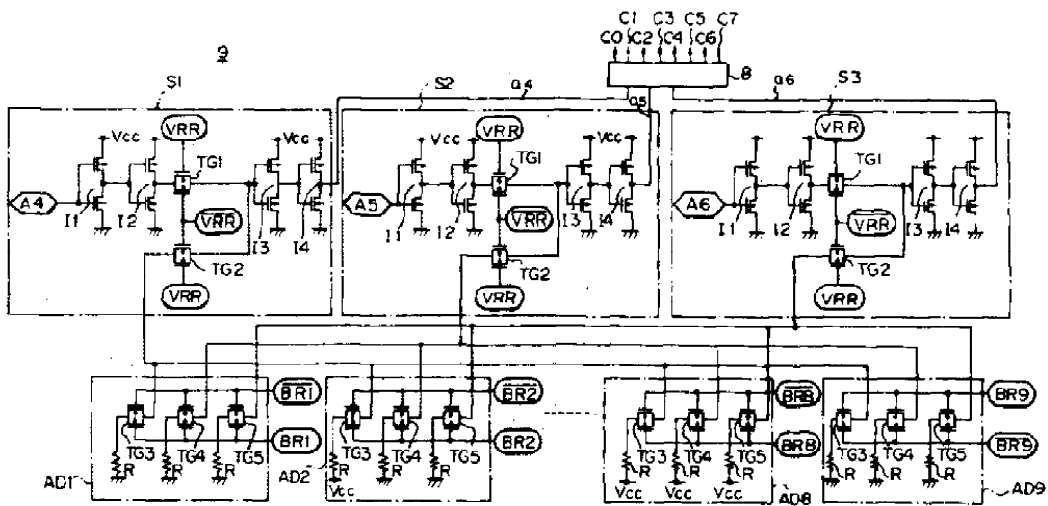
Q8 Q7 Q6 Q5 Q4 Q3 Q2 Q1

1	AMD	0	0	0	0	0	0	1
2	AMI	0	0	0	0	0	1	0
3	FAIRCHILD	1	0	0	0	0	1	1
4	FUJITSU	0	0	0	0	0	1	0
5	GTE	1	0	0	0	0	1	0
6	HARRIS	1	0	0	0	0	1	1
7	HITACHI	0	0	0	0	0	1	1
8	INNOV	0	0	0	0	1	0	0
9	INTEL	1	0	0	0	1	0	0
10	ITT	1	0	0	0	1	0	1
11	INTERMIL	0	0	0	0	1	0	1
12	MONOLITHIC MEMORIES	1	0	0	0	1	1	0
13	MOSTEK	0	0	0	0	1	1	0
14	MOTOROLA	0	0	0	0	1	1	1
15	NATIONAL	1	0	0	0	1	1	1
16	NEC	0	0	0	1	0	0	0
17	RCA	1	0	0	1	0	0	0
18	RAYTHEON	1	0	0	1	0	0	1
19	ROCKWELL	0	0	0	1	0	0	1
20	SEEC	1	0	0	1	0	1	0
21	SIGNETICS	0	0	0	1	0	1	0
22	SYNERTEK	0	0	0	1	0	1	1
23	TEXAS INSTRUMENTS	1	0	0	1	0	1	1
24	TOSHIBA	1	0	0	1	1	0	0
25	XICOR	0	0	0	1	1	0	0
26	ZILOG	0	0	0	1	1	0	1

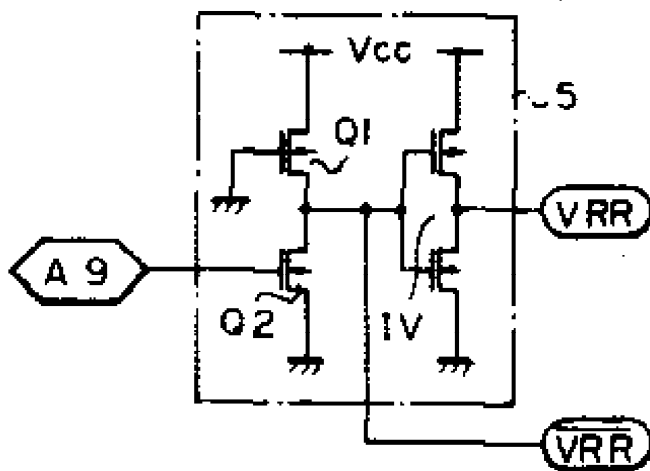
도면6

	C0	C1	C2	C3	C4	C5	C6	C7
a 4	0	1	0	1	0	1	0	1
a 5	0	0	1	1	0	0	1	1
a 6	0	0	0	0	1	1	1	1

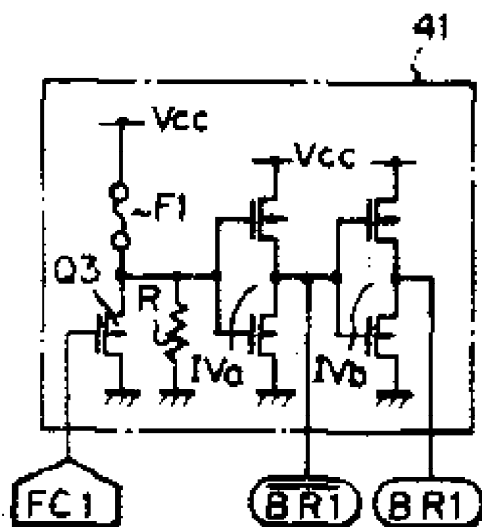
도면7



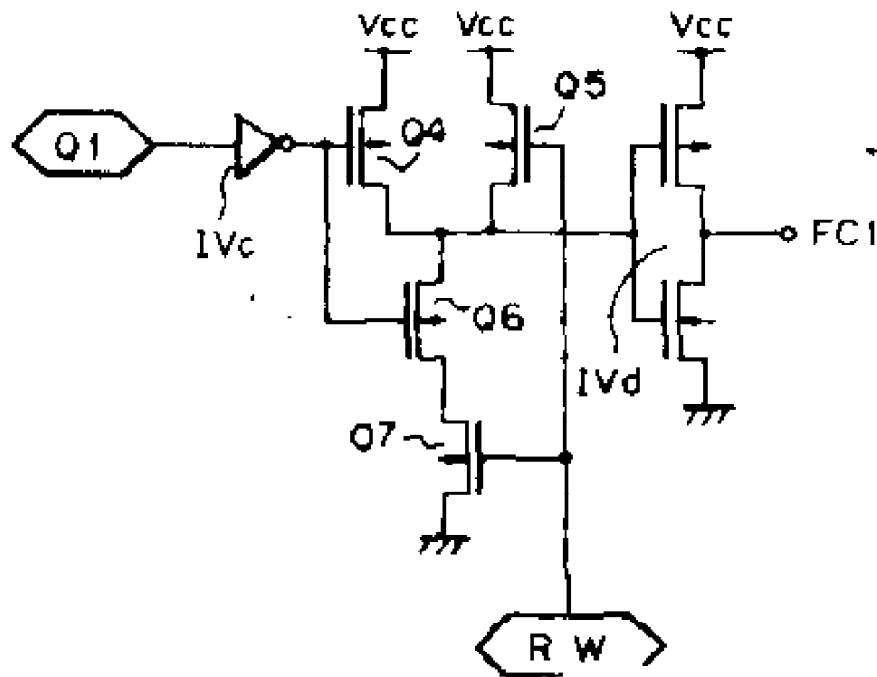
도면8



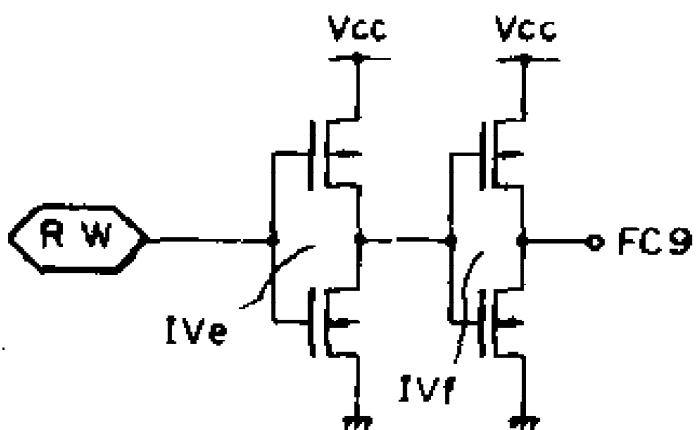
도면9



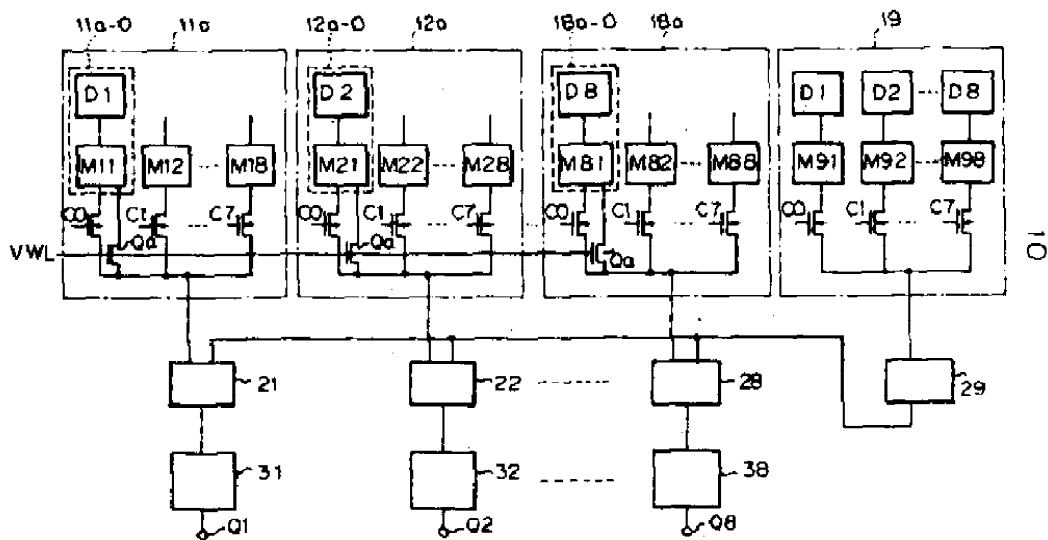
도면10



도면11



도면 12



도면 13

