

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97/39910

※ 申請日期：97.10.16

※IPC 分類：G06F 13/16, 12/00 (2006.01)

**一、發明名稱：**(中文/英文)

快閃記憶體裝置的運作方法及快閃記憶體裝置 [Flash memory apparatus and method for operating a flash memory apparatus]

**二、申請人：**(共 1 人)

姓名或名稱：(中文/英文) (簽章)

慧榮科技股份有限公司/Silicon Motion, Inc.

代表人：(中文/英文) (簽章) 周邦基/Chow, Pong-Chi

住居所或營業所地址：(中文/英文)

新竹縣竹北市台元街 36 號 8 樓之 1 /8F-1, No. 36, Taiyuan St., Zhubei City  
Hsinchu County 302, Taiwan

國 籍：(中文/英文) 中華民國/TW

**三、發明人：**(共 1 人)

姓 名：(中文/英文)

林財成/Lin, Tsai-Cheng

國 籍：(中文/英文)

中華民國/TW

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

受理國家：美國/US

申請日：2008/6/19

申請案號：61/073, 784

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

本發明提供一種快閃記憶體裝置的運作方法。於一實施例中，該快閃記憶體裝置包括一單階單元記憶體及一多階單元記憶體。首先，接收一主機欲寫入一邏輯區塊位址之一區塊更新資料。接著，檢查是否該邏輯區塊位址之累積更新次數。當該累積更新次數超過一界限值，檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元記憶體之一多階單元區塊。若該邏輯區塊位址對應之該實體區塊位址指向該多階單元區塊，自該單階單元記憶體選取一單階單元區塊，將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址，並將該區塊更新資料寫入該單階單元區塊。

## 六、英文發明摘要：

The invention provides a method for operating a flash memory apparatus. In one embodiment, the flash memory device comprises a single-level-cell (SLC) memory and a multiple-level-cell (MLC) memory. A block updating data to be written to a logical block address is first received. An update count corresponding to the logical block address is then checked. When the update count is greater than a threshold value, whether a physical block address corresponding to the logical block address refers to a multiple-level-cell block of the MLC memory is determined.

If so, a single-level-cell block is selected from the SLC memory. The logical block address is then directed to a physical block address of the single-cell-level block, and the block updating data is written to the single-cell-level block.

七、指定代表圖：

(一)本案指定代表圖為：第 3 圖。

(二)本代表圖之元件符號簡單說明：

無

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

略

## 九、發明說明：

### 【發明所屬之技術領域】

本發明係有關於快閃記憶體，特別是有關於快閃記憶體的寫入方法。

### 【先前技術】

目前的快閃記憶體(flash memory)有兩種型式，其中之一為單階單元(Single Level Cell, SLC)記憶體，另一則為多階單元(Multiple Level Cell, MLC)記憶體。單階單元記憶體包括多個記憶單元區塊，每一記憶單元區塊包含多個記憶單元，而每一記憶單元僅可儲存一位元資料，因此單階單元記憶體所包含的記憶單元區塊稱之為單階單元區塊。多階單元記憶體亦包括多個記憶單元區塊，每一記憶單元區塊包含多個記憶單元，但每一記憶單元可儲存多位元之資料，因此多階單元記憶體所包含的記憶單元區塊稱之為多階單元區塊。

由於單階單元記憶體之記憶單元僅可儲存一位元資料，因此單階單元記憶體所能儲存的資料量較低。然而，單階單元記憶體卻有較快的存取速度及較高的可讀寫次數(endurance)。可讀寫次數係表示一記憶單元區塊經過多少次寫入尚不會失效的概略值，用以衡量一記憶體的穩定度。反之，由於多階單元記憶體之記憶單元可儲存多位元資料，因此多階單元記憶體所能儲存的資料量較高。然而，多階單元記憶體卻有較慢的存取速度及較低的可讀寫次

數。因此，單階單元記憶體與多階單元記憶體各有不同的優缺點，需要依據系統的應用方式決定採用單階單元記憶體或多階單元記憶體以儲存資料，以達到系統的最佳效能。

目前一般的快閃記憶體裝置僅包含單一單階單元記憶體或多階單元記憶體。若一記憶體裝置可同時包含單階單元記憶體與多階單元記憶體，則此種記憶體裝置可以同時結合單階單元記憶體之高存取速度及高讀寫次數的優點以及多階單元記憶體之高資料儲存量的優點，因而其效能優於一般僅包含單一單階單元記憶體或多階單元記憶體的記憶體裝置。然而，為了發揮單階單元記憶體與多階單元記憶體各自的優點，必須有效地同時管理單階單元記憶體與多階單元記憶體，故這樣的管理方法為現今技術急迫需要發展的。

#### 【發明內容】

有鑑於此，本發明之目的在於提供一種快閃記憶體裝置的運作方法，以解決習知技術存在之問題，即該快閃記憶體裝置必須能區分所儲存之資料的性質，而將資料依其性質儲存於最適當的記憶體中。換句話說，高存取頻率之資料應儲存於單階單元記憶體中，以發揮其高存取速度及高讀寫次數的優點；而低存取頻率之資料應儲存於多階單元記憶體中，以發揮其高資料儲存量的優點。因此，本發明提供一種快閃記憶體裝置，以結合單階單元記憶體與多階單元記憶體之優點。於一實施例中，該快閃記憶體裝置包括一單階單元(Single Level Cell, SLC)記憶體及一多

階單元(Multiple Level Cell, MLC)記憶體。首先，接收一主機欲寫入一邏輯區塊位址之一區塊更新資料。接著，檢查該邏輯區塊位址之累積更新次數。當該累積更新次數超過一界限值，檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元記憶體之一多階單元區塊。若該邏輯區塊位址對應之該實體區塊位址指向該多階單元區塊，自該單階單元記憶體選取一單階單元區塊，將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址，並將該區塊更新資料寫入該單階單元區塊。

本發明提供一種快閃記憶體裝置。於一實施例中，該快閃記憶體裝置包括一單階單元(Single Level Cell, SLC)記憶體，一多階單元(Multiple Level Cell, MLC)記憶體，以及一控制器。該單階單元記憶體包括多個單階單元區塊以儲存資料。該多階單元記憶體包括多個多階單元區塊以儲存資料。該控制器接收一主機欲寫入一邏輯區塊位址之一區塊更新資料，檢查是否該邏輯區塊位址之累積更新次數超過一界限值，並檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元記憶體之一多階單元區塊。當該累積更新次數超過該界限值，且該邏輯區塊位址對應之該實體區塊位址指向該多階單元區塊時，該控制器自該單階單元記憶體選取一單階單元區塊，將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址，並將該區塊更新資料寫入該單階單元區塊。

為了讓本發明之上述和其他目的、特徵、和優點能更



明顯易懂，下文特舉數較佳實施例，並配合所附圖示，作詳細說明如下：

### 【實施方式】

第 1 圖為依據本發明之快閃記憶體裝置 104 的區塊圖。於一實施例中，該快閃記憶體裝置 104 為一記憶卡或一固態硬碟(Solid State Disk)。一主機 102 藉由快閃記憶體裝置 104 儲存資料，並自快閃記憶體裝置 104 讀取資料。於一實施例中，該快閃記憶體裝置 104 包括一控制器 106，一單階單元(Single-Level-Cell, SLC)記憶體 108，以及一多階單元(Multiple-Level-Cell, MLC)記憶體 110。單階單元記憶體 108 包括多個單階單元區塊，每一單階單元區塊包含多個單階記憶單元，每一單階記憶單元可儲存一位元之資料。多階單元記憶體 110 包括多個多階單元區塊，每一多階單元區塊包含多個多階記憶單元，每一多階記憶單元可儲存多位元之資料。控制器 106 耦接於主機 102 與單階單元記憶體 108 及多階單元記憶體 110 之間，依據主機 102 的指令，將主機 102 傳送的資料儲存或寫入至單階單元記憶體 108 及多階單元記憶體 110，或自單階單元記憶體 108 及多階單元記憶體 110 讀取資料以傳送回主機 102。

第 2 圖為依據本發明之資料區塊之位址的對應關係的示意圖。同一資料區塊對不同的裝置會有不同的位址作為存取該資料區塊的依據。對於主機 102 而言，主機 102 係依據資料區塊的邏輯區塊位址(Logic Block Address, LBA)202 以存取該資料區塊。對於單階單元記憶體 108 而

言，單階單元記憶體 108 係依據資料區塊的單階單元實體區塊位址(SLC Physical Block Address, SPBA)210 以存取該資料區塊。對於多階單元記憶體 110 而言，多階單元記憶體 110 係依據資料區塊的多階單元實體區塊位址(MLC Physical Block Address, MPBA)208 以存取該資料區塊。

由於控制器 106 需作為主機 102、單階單元記憶體 108 及多階單元記憶體 110 之間存取資料的中介者，控制器 106 須知道同一資料區塊的邏輯位址(LBA) 202 與實體位址(physical block address, PBA) 204 間的對應關係。此外，由於記憶體裝置 104 包含有單階單元實體區塊位址 210 與多階單元實體區塊位址 208 兩種實體區塊位置，造成使用上的不便，因此控制器 106 將單階單元實體區塊位址 210 與多階單元實體區塊位址 208 皆編排為一系列的實體位址 204。於一實施例中，單階單元實體區塊位址 210 先虛擬為多階單元實體區塊位址 206，該虛擬多階單元實體區塊位址 206 被分派到次序在前之實體區塊位址 204，而多階單元實體區塊位址 208 被分派到次序在後之實體區塊位址 204。當然，控制器 106 必須紀錄邏輯區塊位置 202 與實體區塊位置 208 的對應關係，以及虛擬多階單元實體區塊位址 206 與單階單元實體區塊位址 210 的對應關係。於一實施例中，該控制器 106 以一位址對應表儲存邏輯區塊位置 202 與實體區塊位置 208 的對應關係。

第 3 圖為依據本發明之快閃記憶體裝置的運作方法 300 的流程圖。首先，控制器 106 接收主機 102 欲寫入一

邏輯區塊位址之一區塊更新資料(步驟 302)。接著，控制器 106 檢查該邏輯區塊位址之一累積更新次數(Update Count)(步驟 304)。於一實施例中，每當主機 102 要求寫入一邏輯區塊位址時，控制器 102 便將一累積更新次數表中該邏輯區塊位址對應的累積更新次數加一，而維持該累積更新次數表。因而於步驟 304 中，控制器 106 可藉由查詢該累積更新次數表，而得到該邏輯區塊位址之累積更新次數。

此時，若該累積更新次數超過一界限值(步驟 306)，則主機 102 欲寫入的該邏輯區塊位址被視為高存取頻率的邏輯區塊位址。由於高存取頻率的邏輯區塊位址適合以單階單元記憶體 108 儲存，因此控制器 106 繼續檢查該邏輯區塊位址對應之一實體區塊位址(步驟 308)，以判斷是否該實體區塊位址係指向多階單元記憶體 110 之一多階單元區塊(步驟 310)。於一實施例中，該控制器 106 以一位址對應表紀錄邏輯區塊位址與實體區塊位址之對應關係，而可於步驟 308 中藉查詢該位址對應表得到該邏輯區塊位址對應之實體區塊位址。此時，由於第 2 圖中單階單元記憶體 108 所包含之多個單階單元區塊對應到次序在前之實體區塊位址 206，而多階單元記憶體 110 所包含之多個多階單元區塊對應到次序在後之實體區塊位址 208，因此若該實體區塊位址係屬於次序在後之實體區塊位址，則該實體區塊位址係指向多階單元記憶體 110 之多階單元區塊。

由於高存取頻率的邏輯區塊位址適合以單階單元記憶

體 108 儲存，因此若主機 102 欲寫入的該邏輯區塊位址係指向多階單元記憶體 110 之多階單元區塊，則控制器 106 不應將該邏輯區塊位址之區塊更新資料寫入其原本指向的多階單元區塊，而應將該邏輯區塊位址之區塊更新資料轉而寫入一單階單元區塊，才能發揮單階單元記憶體高存取速度及高穩定性的優點。因此，控制器 106 自單階單元記憶體 108 選取一單階單元區塊(步驟 312)，接著將該邏輯區塊位址對應到選取之該單階單元區塊之實體區塊位址(步驟 314)，並將該區塊更新資料寫入該單階單元區塊(步驟 316)，才完成該區塊更新資料之寫入動作。於一實施例中，該控制器 106 包括紀錄所有邏輯區塊位址與實體區塊位址的對應關係之一位址對應表，而控制器 106 藉由更改該位址對應表中該邏輯區塊位址與受選取之該單階單元區塊之實體區塊位址之對應關係，而達成步驟 314 之動作。

至於步驟 312 中如何自單階單元記憶體 108 選取一單階單元區塊，有多種方式。於一實施例中，控制器 106 檢查單階單元記憶體 108 所包含之多個單階單元區塊所對應的累積更新次數，並自該等多個單階單元區塊中選取具有最小之累積更新次數者，以作為步驟 312 所選取之單階單元區塊。於另一實施例中，控制器 106 檢查單階單元記憶體 108 所包括之多個單階單元區塊所對應的累積更新次數，並自該等多個單階單元區塊中選取累積更新次數小於一預定值者，作為步驟 312 所選取之單階單元區塊。

此外，當控制器 106 於步驟 312 中選取該單階單元區

塊後，控制器 106 還必須檢查該單階單元區塊是否已儲存一資料。若選取之該單階單元區塊已有儲存資料時，控制器 106 於步驟 316 將該區塊更新資料寫入該單階單元區塊前，必須備份該單階單元區塊已儲存之資料。當步驟 316 寫入完畢後，控制器 106 還需更改位址對應表，以將該單階單元區塊原本對應之邏輯區塊位址對應到邏輯區塊位址原本指向之多階單元區塊之實體區塊位址，並將選取之單階單元區塊原本儲存之資料寫入該多階單元區塊，以完成選取之單階單元區塊與該邏輯區塊位址原本指向之多階單元區塊兩者間資料的互換。

此外，由於僅有高存取頻率的邏輯區塊位址適合以單階單元記憶體 108 儲存，因此步驟 306 中若主機 102 欲寫入的該邏輯區塊位址之累積更新次數未超過該界限值，則控制器 106 可將該區塊更新資料直接寫入該邏輯區塊位址原本所對應之實體區塊位址指向之區塊，而不去判斷是否該邏輯區塊位址原本所指向之區塊係單階單元區塊或多階單元區塊(步驟 318)。同樣的，由於僅有高存取頻率的邏輯區塊位址適合以單階單元記憶體 108 儲存，因此步驟 310 中若主機 102 欲寫入的該邏輯區塊位址原本便指向單階單元記憶體 108 之一單階單元區塊，則控制器 106 直接將該區塊更新資料寫入該單階單元區塊(步驟 318)。

第 4 圖顯示依據本發明之快閃記憶體裝置的運作方法的一實施例的第一階段示意圖。快閃記憶體裝置包含一單階單元記憶體 402 與一多階單元記憶體 404。單階單元記

憶體 402 包括  $X$  個單階單元區塊，其中有邏輯區塊位址分別為  $SLBA_0$ 、 $SLBA_1$ 、 $SLBA_2$ 、 $\dots$ 、 $SLBA_X$  的單階單元區塊。邏輯區塊位址為  $SLBA_0$  之單階單元區塊儲存資料  $D_P$ ，而其累積更新次數為 20。邏輯區塊位址為  $SLBA_1$  之單階單元區塊儲存資料  $D_Q$ ，而其累積更新次數為 60。邏輯區塊位址為  $SLBA_2$  之單階單元區塊儲存資料  $D_R$ ，而其累積更新次數為 100。邏輯區塊位址為  $SLBA_X$  之單階單元區塊未儲存資料，而其累積更新次數為 0。

多階單元記憶體 404 包括  $Y$  個多階單元區塊，其中有邏輯區塊位址分別為  $MLBA_0$ 、 $MLBA_1$ 、 $MLBA_2$ 、 $\dots$ 、 $MLBA_Y$  的多階單元區塊。邏輯區塊位址為  $MLBA_0$  之多階單元區塊儲存資料  $D_I$ ，而其累積更新次數為 50。邏輯區塊位址為  $MLBA_1$  之多階單元區塊儲存資料  $D_J$ ，而其累積更新次數為 199。邏輯區塊位址為  $MLBA_2$  之多階單元區塊儲存資料  $D_K$ ，而其累積更新次數為 80。邏輯區塊位址為  $MLBA_y$  之多階單元區塊未儲存資料，而其累積更新次數為 0。

第 5 圖顯示依據本發明之快閃記憶體裝置的運作方法的一實施例的第二階段示意圖。假設一主機欲將區塊更新資料  $D_U$  寫入邏輯區塊位址為  $MLBA_1$  之多階單元區塊。因此快閃記憶體裝置之控制器將邏輯區塊位址為  $MLBA_1$  之多階單元區塊之資料改寫為  $D_U$ ，並將其累積更新次數加 1 而成為 200。此時控制器檢查到邏輯區塊位址為  $MLBA_1$  之多階單元區塊之累積更新次數已超過一界限值 200，因此於單階單元記憶體 402 中選取一單階單元區塊，作為儲存

邏輯區塊位址為  $MLBA_1$  之資料  $D_U$  的對象。由於在單階單元記憶體 402 所包含的多個單階單元區塊中，以邏輯區塊位址為  $SLBA_X$  之單階單元區塊之累積更新次數最小，因此控制器選取邏輯區塊位址為  $SLBA_X$  之單階單元區塊作為儲存邏輯區塊位址為  $MLBA_1$  之資料  $D_U$  的對象。

第 6 圖顯示依據本發明之快閃記憶體裝置的運作方法的一實施例的第三階段示意圖。控制器首先將原本之邏輯區塊位址為  $SLBA_X$  之單階單元區塊對應到邏輯區塊位址  $MLBA_1$ ，接著將邏輯區塊位址  $MLBA_1$  之資料  $D_U$  儲存至該單階單元區塊。另外，控制器還將該單階單元區塊之累積更新次數由 0 改為 150。之所以未將其累積更新次數改為 200，係避免該單階單元區塊之累積更新次數不斷超過界限值 200。接著，控制器將原本之邏輯區塊位址為  $MLBA_1$  之多階單元區塊對應到邏輯區塊位址  $SLBA_X$ 。由於原本邏輯區塊位址為  $SLBA_X$  之區塊未儲存資料，因此控制器清空儲存於該多階單元區塊之資料，並將其更新次數修改為 0。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技術者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第 1 圖為依據本發明之快閃記憶體裝置的區塊圖；

第 2 圖為依據本發明之資料區塊之位址的對應關係的示意圖；

第 3 圖為依據本發明之快閃記憶體裝置的運作方法的  
流程圖；

第 4 圖為依據本發明之快閃記憶體裝置的運作方法的  
一實施例的第一階段示意圖；

第 5 圖為依據本發明之快閃記憶體裝置的運作方法的  
一實施例的第二階段示意圖；

第 6 圖為依據本發明之快閃記憶體裝置的運作方法的  
一實施例的第三階段示意圖。

**【主要元件符號說明】**

(第 1 圖)

102~主機；

104~快閃記憶體裝置；

106~控制器；

108~單階單元記憶體；以及

110~多階單元記憶體。



## 十、申請專利範圍：

1. 一種快閃記憶體裝置的運作方法，該快閃記憶體裝置包括一單階單元(Single Level Cell, SLC)記憶體及一多階單元(Multiple Level Cell, MLC)記憶體，該方法包括下列步驟：

接收一主機欲寫入一邏輯區塊位址之一區塊更新資料；

檢查該邏輯區塊位址之累積更新次數；

當該累積更新次數超過一界限值，檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元記憶體之一多階單元區塊；

若該邏輯區塊位址對應之該實體區塊位址指向該多階單元區塊，自該單階單元記憶體選取一單階單元區塊；

將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址；以及

將該區塊更新資料寫入該單階單元區塊。

2. 如申請專利範圍第1項所述之快閃記憶體裝置的運作方法，其中該方法更包括：若該累積更新次數未超過該界限值，將該區塊更新資料寫入該邏輯區塊位址對應之實體區塊位址所指向之區塊。

3. 如申請專利範圍第1項所述之快閃記憶體裝置的運作方法，其中該方法更包括：若該邏輯區塊位址對應之該實體區塊位址指向該單階單元記憶體之一單階單元區塊，將該區塊更新資料寫入該單階單元區塊。

4. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該單階單元區塊之選取包括：

檢查該單階單元記憶體包括之多個單階單元區塊所對應的累積更新次數；以及

自該等多個單階單元區塊中選取具有最小之累積更新次數者，作為該選取之單階單元區塊。

5. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該單階單元區塊之選取包括：

檢查該單階單元記憶體包括之多個單階單元區塊所對應的累積更新次數；以及

自該等多個單階單元區塊中選取累積更新次數小於一預定值者，作為該選取之單階單元區塊。

6. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該方法更包括：

當選取該單階單元區塊後，檢查該單階單元區塊是否儲存一資料；

若該單階單元區塊有儲存資料時，於該區塊更新資料寫入該單階單元區塊前備份該資料；

將該單階單元區塊原本對應之邏輯區塊位址對應到該多階單元區塊之實體區塊位址；以及

將該資料寫入該多階單元區塊。

7. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該快閃記憶體裝置包含用以紀錄該主機對每一邏輯區塊位址的累積更新次數的一累積更新次數表，而

該邏輯區塊位址之累積更新次數之檢查步驟，係藉由查詢該累積更新次數表而達成。

8. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該快閃記憶體裝置包含紀錄每一邏輯區塊位址所對應的實體區塊位址之一位址對應表，而該邏輯區塊位址與該單階單元區塊之實體區塊位址的對應步驟，係藉由更改該位址對應表之對應關係而達成。

9. 如申請專利範圍第 1 項所述之快閃記憶體裝置的運作方法，其中該快閃記憶體裝置擁有一系列之實體區塊位址，其中該單階單元記憶體所包含之多個單階單元區塊對應到次序在前之實體區塊位址，而該多階單元記憶體所包含之多個多階單元區塊對應到次序在後之實體區塊位址。

10. 如申請專利範圍第 9 項所述之快閃記憶體裝置的運作方法，其中該邏輯區塊位址對應之實體區塊位址是否指向該多階單元區塊之檢查步驟，係藉由檢查該邏輯區塊位址對應之實體區塊位址是否屬於次序在後之實體區塊位址而達成。

11. 一種快閃記憶體裝置，包括：

一單階單元(Single Level Cell, SLC)記憶體，包括多個單階單元區塊以儲存資料；

一多階單元(Multiple Level Cell, MLC)記憶體，包括多個多階單元區塊以儲存資料；以及

一控制器，接收一主機欲寫入一邏輯區塊位址之一區塊更新資料，檢查是否該邏輯區塊位址之累積更新次數超

過一界限值，並檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元記憶體之一多階單元區塊；當該累積更新次數超過該界限值且該邏輯區塊位址對應之該實體區塊位址指向該多階單元區塊時，該控制器自該單階單元記憶體選取一單階單元區塊，將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址，並將該區塊更新資料寫入該單階單元區塊。

12. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中當該累積更新次數未超過該界限值時，該控制器將該區塊更新資料寫入該邏輯區塊位址對應之實體區塊位址所指向之區塊。

13. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中當該邏輯區塊位址對應之該實體區塊位址指向該單階單元記憶體之一單階單元區塊時，該控制器將該區塊更新資料寫入該單階單元區塊。

14. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中該控制器檢查該單階單元記憶體包括之多個單階單元區塊所對應的累積更新次數，並自該等多個單階單元區塊中選取具有最小之累積更新次數者，以作為該選取之單階單元區塊。

15. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中該控制器檢查該單階單元記憶體包括之多個單階單元區塊所對應的累積更新次數，並自該等多個單階單元區塊中選取累積更新次數小於一預定值者，以作為該選取之單

階單元區塊。

16. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中當選取該單階單元區塊後，該控制器檢查該單階單元區塊是否儲存一資料；若該單階單元區塊有儲存資料時，該控制器於該區塊更新資料寫入該單階單元區塊前備份該資料，將該單階單元區塊原本對應之邏輯區塊位址對應到該多階單元區塊之實體區塊位址，並將該資料寫入該多階單元區塊。

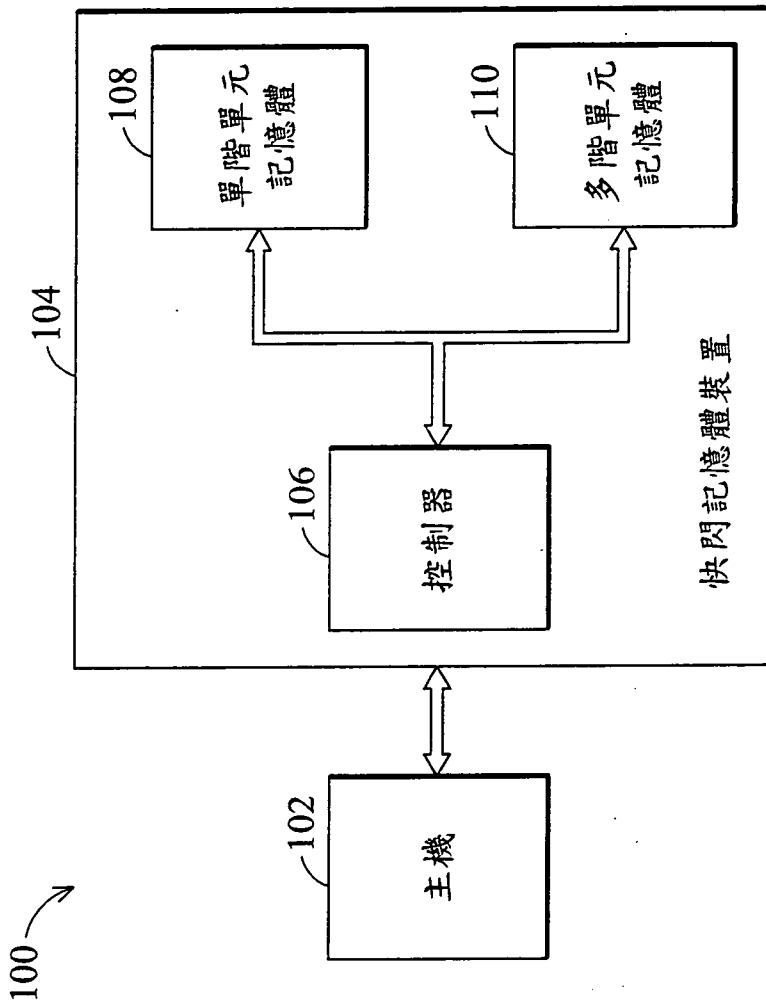
17. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中該控制器包含用以紀錄該主機對每一邏輯區塊位址的累積更新次數的一累積更新次數表，而該控制器藉由查詢該累積更新次數表而檢查該邏輯區塊位址之累積更新次數。

18. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中該控制器包含紀錄每一邏輯區塊位址所對應的實體區塊位址之一位址對應表，而該控制器藉由更改該位址對應表之對應關係而將該邏輯區塊位址對應到該單階單元區塊之實體區塊位址。

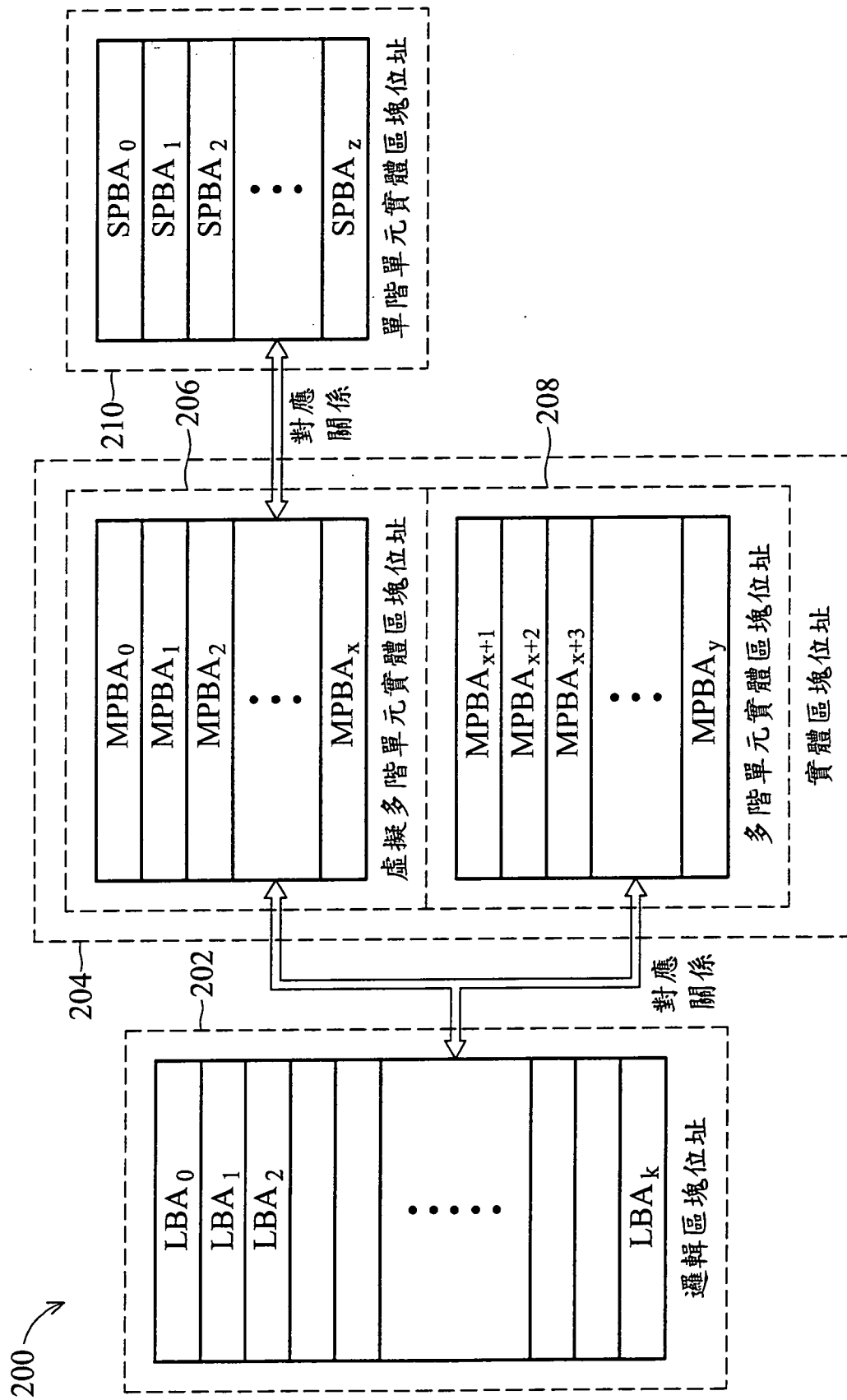
19. 如申請專利範圍第 11 項所述之快閃記憶體裝置，其中該快閃記憶體裝置擁有一系列之實體區塊位址，其中該單階單元記憶體所包含之該等多個單階單元區塊對應到次序在前之實體區塊位址，而該多階單元記憶體所包含之該等多個多階單元區塊對應到次序在後之實體區塊位址。

20. 如申請專利範圍第 19 項所述之快閃記憶體裝置，

其中該控制器藉由檢查該邏輯區塊位址對應之實體區塊位址是否屬於次序在後之實體區塊位址，而檢查該邏輯區塊位址對應之實體區塊位址是否指向該多階單元區塊。

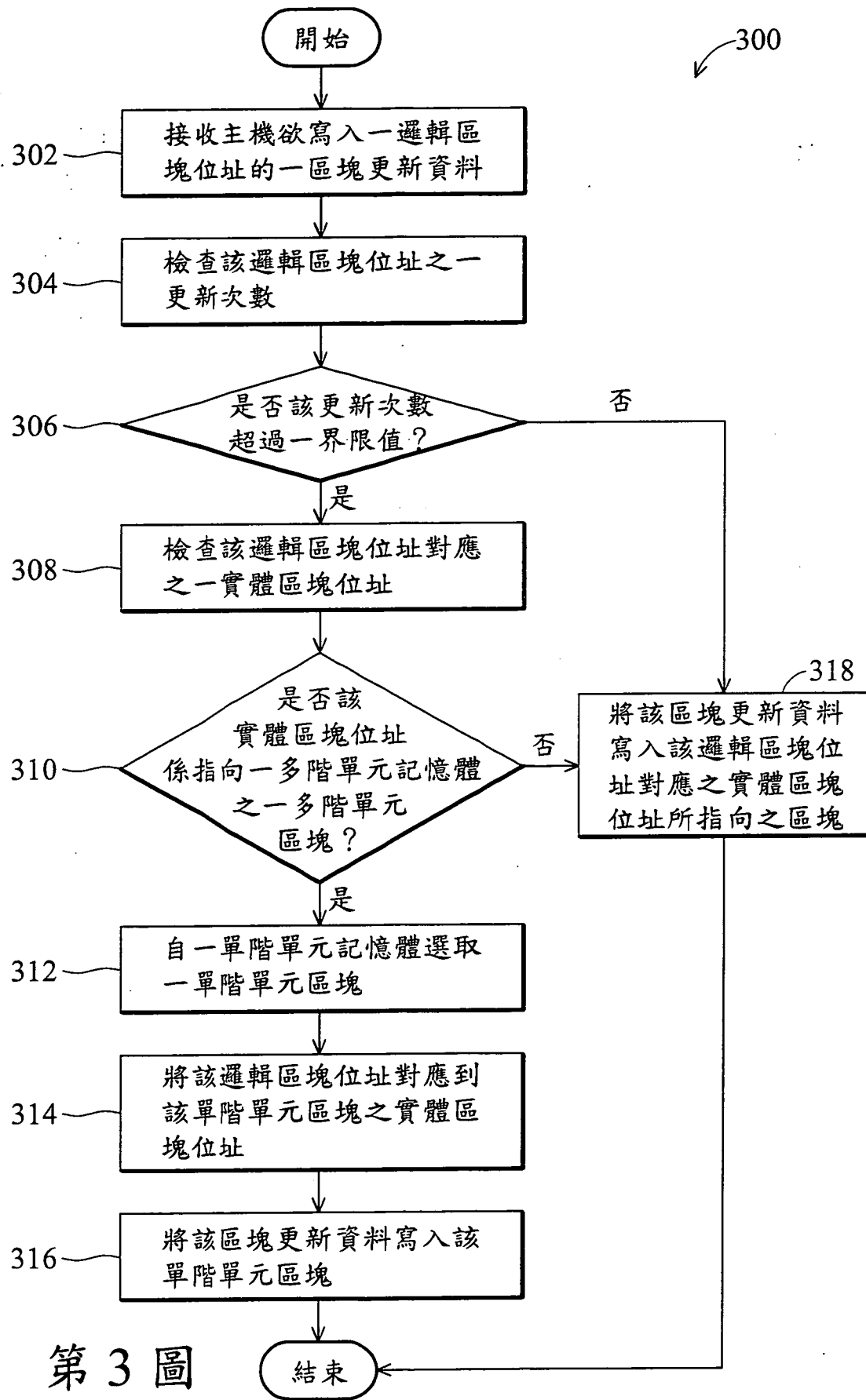


第 1 圖

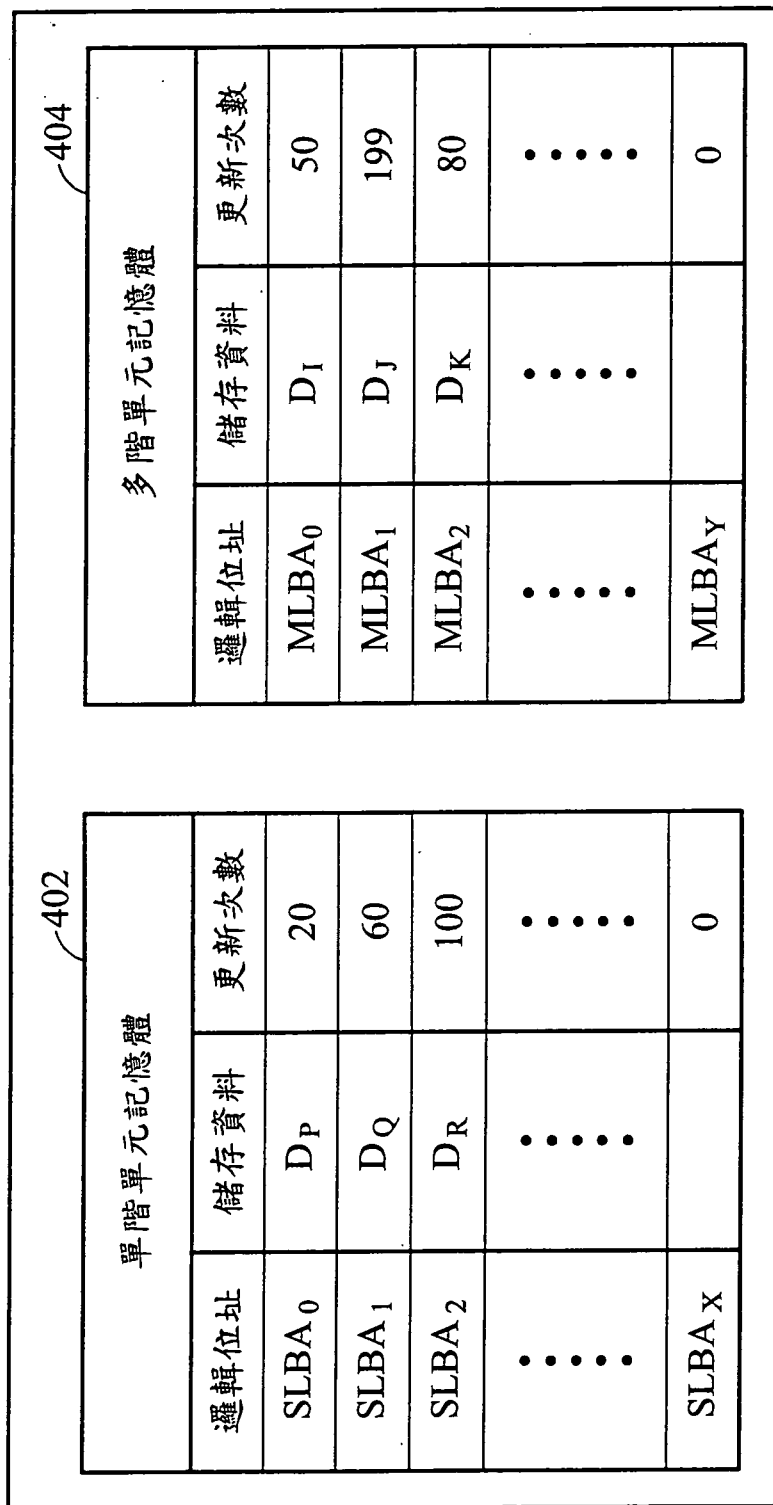


第 2 圖





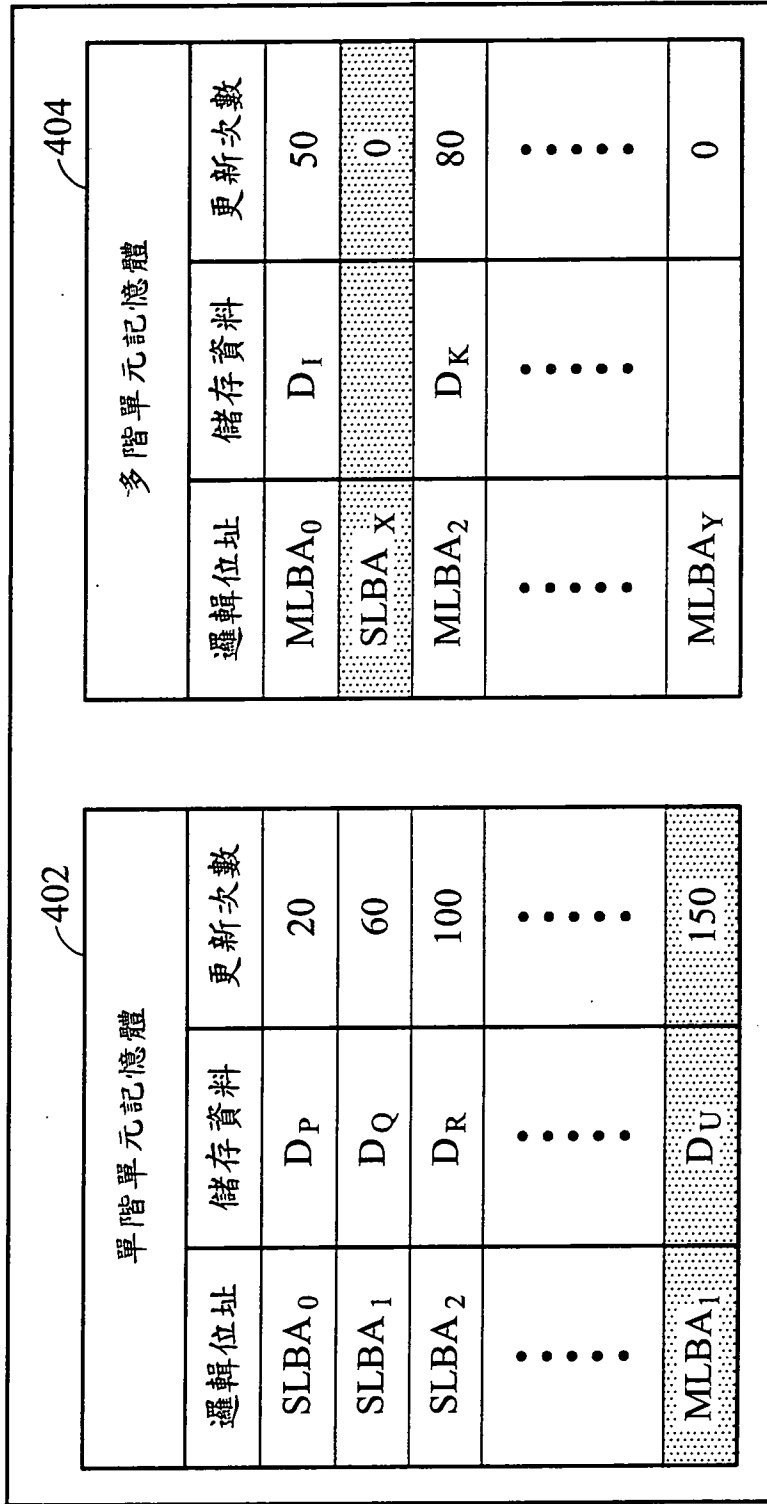
第 3 圖



第 4 圖

| 單階單元記憶體           |                |      | 多階單元記憶體           |                |      |
|-------------------|----------------|------|-------------------|----------------|------|
| 邏輯位址              | 儲存資料           | 更新次數 | 邏輯位址              | 儲存資料           | 更新次數 |
| SLBA <sub>0</sub> | D <sub>P</sub> | 20   | MLBA <sub>0</sub> | D <sub>I</sub> | 50   |
| SLBA <sub>1</sub> | D <sub>Q</sub> | 60   | MLBA <sub>1</sub> | D <sub>U</sub> | 200  |
| SLBA <sub>2</sub> | D <sub>R</sub> | 100  | MLBA <sub>2</sub> | D <sub>K</sub> | 80   |
| •                 | •              | •    | •                 | •              | •    |
| •                 | •              | •    | •                 | •              | •    |
| •                 | •              | •    | •                 | •              | •    |
| •                 | •              | •    | •                 | •              | •    |
| SLBA <sub>X</sub> |                | 0    | MLBA <sub>Y</sub> |                | 0    |

第 5 圖



第 6 圖