



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2014년03월18일
 (11) 등록번호 10-1375887
 (24) 등록일자 2014년03월12일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01)
 (21) 출원번호 10-2009-7000131
 (22) 출원일자(국제) 2007년06월25일
 심사청구일자 2012년06월25일
 (85) 번역문제출일자 2009년01월05일
 (65) 공개번호 10-2009-0031548
 (43) 공개일자 2009년03월26일
 (86) 국제출원번호 PCT/US2007/072034
 (87) 국제공개번호 WO 2008/002879
 국제공개일자 2008년01월03일
 (30) 우선권주장
 11/479,149 2006년06월29일 미국(US)

(56) 선행기술조사문현

JP09266311 A
 JP2001274398 A
 JP2002076339 A
 JP2004006731 A

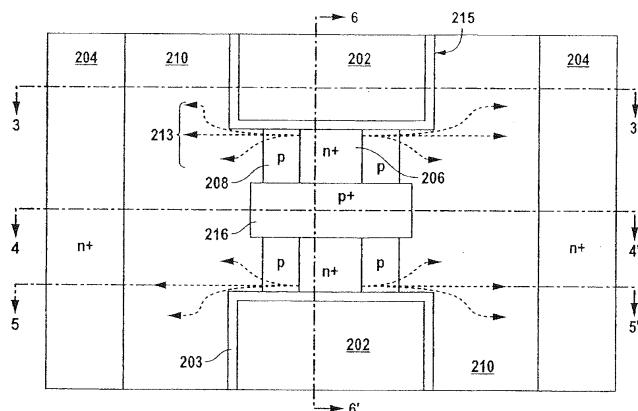
전체 청구항 수 : 총 44 항

심사관 : 김상택

(54) 발명의 명칭 소스-드레인간 직통 전류 경로를 갖는 횡형 트랜치 게이트 전계효과 트랜지스터

(57) 요 약

전계효과 트랜지스터는 반도체 영역 내로 연장되는 트랜치 게이트를 포함한다. 상기 트랜치 게이트는, 드레인 영역을 향하는 전방 벽과 상기 전방 벽에 수직인 측벽을 포함한다. 상기 트랜치 게이트의 상기 측벽을 따라서 채널 영역이 연장되고, 적어도 상기 드레인 영역과 상기 트랜치 게이트 사이에서 드리프트 영역이 연장된다. 상기 드리프트 영역은, 도전성 타입이 번갈아 배열되는 적층된 실리콘 레이어들을 포함한다.

대 표 도 - 도2

특허청구의 범위

청구항 1

전계효과 트랜지스터(field effect transistor; FET)에 있어서,

반도체 영역 내로 연장되고, 제1 도전성 타입의 드레인 영역을 향하는 전방 벽과 상기 전방 벽에 수직인 측벽을 포함하는 트랜치 게이트;

상기 트랜치 게이트의 상기 측벽에 인접하는 제2 도전성 타입의 본체 영역;

상기 트랜치 게이트의 상기 측벽에 인접하는 제1 도전성 타입의 소스 영역 - 상기 소스 영역이 상기 본체 영역 내에서 연장되어 상기 트랜치 게이트의 상기 측벽을 따라 상기 본체 영역 내에 채널 영역이 형성되고, 상기 소스 영역은 상기 본체 영역의 가운데 부분에서 연장되어 상기 전계효과 트랜지스터가 온(on) 상태일 때, 채널 전류의 제1 부분이 상기 채널 영역을 통해서 상기 채널 전류의 제2 부분과 반대 방향으로 흐름 - ; 및

적어도 상기 드레인 영역과 상기 트랜치 게이트 사이에서 연장되고, 적층된 실리콘 레이어들을 포함하는 드리프트 영역 - 상기 실리콘 레이어들은 도전성 타입이 번갈아 배열됨 -

을 포함하는 전계효과 트랜지스터.

청구항 2

제1항에 있어서,

상기 전계효과 트랜지스터가 온(on) 상태일 때, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 드리프트 전류가 횡방향으로 흐르는 전계효과 트랜지스터.

청구항 3

제1항에 있어서,

상기 채널 영역은 상기 소스 영역의 외주부(外周部)와 상기 본체 영역의 외주부 사이의 상기 본체 영역 내에서 연장되는 전계효과 트랜지스터.

청구항 4

제3항에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 전계효과 트랜지스터의 최상면에 형성된 별도의 상호접속 레이어에 의해 전기적으로 접촉되는 전계효과 트랜지스터.

청구항 5

제3항에 있어서,

제2 도전성 타입의 기판을 더 포함하되,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들이 상기 기판 위에서 연장되고,

상기 트랜치 게이트는 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 내로 연장되고, 상기 본체 영역의 바닥 표면과 상기 기판의 최상면 간의 거리의 아래쪽 1/2 내에 위치하는 깊이에서 종단되는 전계효과 트랜지스터.

청구항 6

제3항에 있어서,

상기 소스 영역에 인접하는 고농도 본체 영역을 더 포함하는 전계효과 트랜지스터.

청구항 7

제6항에 있어서,

제2 도전성 타입의 기판을 더 포함하되,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들이 상기 기판 위에서 연장되고,

상기 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되는 전계효과 트랜지스터.

청구항 8

제6항에 있어서,

상기 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들을 전기적으로 단락(short)시키는 전계효과 트랜지스터.

청구항 9

제1항에 있어서,

상기 트랜치 게이트는,

상기 트랜치 게이트의 상기 전방 벽과 측벽을 덮는 유전체 레이어; 및

상기 트랜치 게이트의 일부분 또는 전체를 채우는 게이트 전극을 포함하는 전계효과 트랜지스터.

청구항 10

제9항에 있어서,

상기 유전체 레이어는 상기 트랜치 게이트의 측벽보다 상기 트랜치 게이트의 바닥을 따라서 더 두꺼운 전계효과 트랜지스터.

청구항 11

제9항에 있어서,

상기 유전체 레이어는 상기 트랜치 게이트의 측벽보다 상기 트랜치 게이트의 바닥과 전방 벽을 따라서 더 두꺼운 전계효과 트랜지스터.

청구항 12

제1항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은 상기 채널 영역 아래에서 연장되지 않도록 상기 트랜치의 측벽으로부터 횡방향으로 이격되는 전계효과 트랜지스터.

청구항 13

제1항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은 상기 채널 영역의 아래로 연장되지 않는 전계효과 트랜지스터.

청구항 14

제1항에 있어서,

상기 드레인 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 전기적으로 단락시키는 전계효과 트랜지스터.

청구항 15

제1항에 있어서,

제2 도전성 타입의 기판을 더 포함하되,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은 상기 기판 위에서 연장되고,

상기 드레인 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되는 상기 전계효과 트랜지스터.

청구항 16

삭제

청구항 17

삭제

청구항 18

횡형 전계효과 트랜지스터(lateral FET)에 있어서,

반도체 영역 내로 연장되고, 여러 개의 열(column)을 따라 배열되는 복수의 트랜치 게이트 - 각각의 트랜치 게이트는 두 개의 활성 측벽과 두 개의 비활성 측벽을 포함하고, 상기 비활성 측벽은 상기 두 개의 활성 측벽에 수직임 - ;

제1 도전성 타입의 복수의 드레인 영역 - 각각의 드레인 영역은 모든 두 개의 인접한 열의 트랜치 게이트들 사이에 배치되어, 각각의 트랜치 게이트의 각각의 비활성 측벽이 인접한 드레인 영역을 향하고, 각각의 드레인 영역은 인접한 열의 트랜치 게이트들로부터 횡방향으로 이격됨 - ;

각각의 트랜치 게이트의 상기 활성 측벽을 따라서 형성된 채널 영역 - 상기 횡형 전계효과 트랜지스터가 온(on) 상태일 때, 채널 전류의 제1 부분이 상기 채널 영역을 통해서 상기 채널 전류의 제2 부분과 반대 방향으로 흐름 - ; 및

상기 드레인 영역과 그에 인접하는 열의 트랜치 게이트들 사이에서, 그리고, 인접하는 트랜치 게이트들 사이에서 연장되는 드리프트 영역을 포함하되,

상기 드리프트 영역은 도전성 타입이 번갈아 배열되는 적층된 실리콘 레이어들을 포함하는 횡형 전계효과 트랜지스터.

청구항 19

제18항에 있어서,

상기 횡형 전계효과 트랜지스터가 온 상태일 때, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 적어도 제1 도전성 타입의 실리콘 레이어들을 통해서 드리프트 전류가 횡방향으로 흐르는 횡형 전계효과 트랜지스터.

청구항 20

제18항에 있어서,

각각의 트랜치 게이트의 각각의 활성 측벽에 인접하여 배치되는 제2 도전성 타입의 본체 영역; 및

각각의 본체 영역 내의 제1 도전성 타입의 소스 영역을 더 포함하되,

각각의 채널 영역은 상기 소스 영역의 외주부와 상기 본체 영역의 외주부 사이에서, 대응하는 본체 영역 내에서 연장되는 횡형 전계효과 트랜지스터.

청구항 21

제20항에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 횡형 전계효과 트랜지스터의 최상면에 형성된 별도의 상호접속 레이어에 의해 전기적으로 접촉되는 횡형 전계효과 트랜지스터.

청구항 22

제20항에 있어서,

모든 두 개의 인접한 소스 영역들 사이의 고농도 본체 영역을 더 포함하는 횡형 전계효과 트랜지스터.

청구항 23

제22항에 있어서,

제2 도전성 타입의 기판을 더 포함하되,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은 상기 기판 위에서 연장되고, 각각의 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되는 횡형 전계효과 트랜지스터.

청구항 24

제22항에 있어서,

각각의 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들을 전기적으로 단락시키는 횡형 전계효과 트랜지스터.

청구항 25

제18항에 있어서,

각각의 트랜치 게이트는,

상기 트랜치의 상기 활성 측벽, 상기 비활성 측벽 및 바닥을 덮는 유전체 레이어; 및

상기 트랜치 게이트의 일부분 또는 전체를 채우는 게이트 전극을 포함하는 횡형 전계효과 트랜지스터.

청구항 26

제25항에 있어서,

상기 유전체 레이어는 상기 트랜치 게이트의 상기 활성 측벽 및 비활성 측벽보다 상기 트랜치 게이트의 바닥을

따라서 더 두꺼운 횡형 전계효과 트랜지스터.

청구항 27

제25항에 있어서,

상기 유전체 레이어는 상기 트랜치 게이트의 활성 측벽보다 상기 트랜치 게이트의 바닥과 비활성 측벽을 따라서 더 두꺼운 횡형 전계효과 트랜지스터.

청구항 28

제18항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은 상기 채널 영역 아래에서 연장되지 않도록 각각의 활성 측벽으로부터 횡방향으로 이격되는 횡형 전계효과 트랜지스터.

청구항 29

제18항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은 각각의 채널 영역의 아래로 연장되지 않는 횡형 전계효과 트랜지스터.

청구항 30

제18항에 있어서,

각각의 드레인 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 전기적으로 단락시키는 횡형 전계효과 트랜지스터.

청구항 31

제18항에 있어서,

제2 도전성 타입의 기판을 더 포함하되,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은 상기 기판 위에서 연장되고,

각각의 드레인 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되는 횡형 전계효과 트랜지스터.

청구항 32

전계효과 트랜지스터를 형성하는 방법에 있어서,

도전성 타입이 번갈아 배열되는 적층된 실리콘 레이어들을 포함하는 드리프트 영역을 형성하는 단계;

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 내로 연장되는 제1 도전성 타입의 드레인 영역을 형성하는 단계;

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 내로 연장되는 트랜치 게이트를 형성하는 단계 - 상기 트랜치 게이트는, 종방향으로 연장되는 비활성 측벽과 종방향으로 연장되는 활성 측벽을 포함하고, 상기 비활성 측벽과 상기 활성 측벽은 서로에 대하여 수직임 - ; 및

상기 트랜치 게이트의 상기 활성 측벽에 인접하는 제2 도전성 타입의 본체 영역을 형성하는 단계를 포함하되,

상기 트랜치 게이트와 상기 드레인 영역은, 상기 트랜치 게이트의 상기 비활성 측벽이 상기 드레인 영역을 향하도록 형성되고,

상기 본체 영역은 상기 활성 측벽을 따라서는 연장되지만 상기 비활성 측벽을 따라서는 연장되지 않는, 전계효과 트랜지스터 형성 방법.

청구항 33

제32항에 있어서,

상기 본체 영역 내에 제1 도전성 타입의 소스 영역을 형성하는 단계를 더 포함하되,

상기 소스 영역의 외주부와 상기 본체 영역의 외주부 사이의 상기 본체 영역 내에 채널 영역이 형성되는 전계효과 트랜지스터 형성 방법.

청구항 34

제33항에 있어서,

상기 소스 영역과 전기적으로 접촉하는 소스 상호접속부 및 상기 드레인 영역과 전기적으로 접촉하는 드레인 상호접속부를 포함하는 상호접속 레이어를 형성하는 단계를 더 포함하는, 전계효과 트랜지스터 형성 방법.

청구항 35

제33항에 있어서,

상기 소스 영역에 인접하는 고농도 본체 영역을 형성하는 단계를 더 포함하는 전계효과 트랜지스터 형성 방법.

청구항 36

제35항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들이 제2 도전성 타입의 기판 위에 형성되고,

상기 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 37

제35항에 있어서,

상기 고농도 본체 영역은, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들을 전기적으로 단락시키도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 38

제34항에 있어서,

상기 트랜치 게이트의 상기 종방향으로 연장되는 활성 측벽, 상기 종방향으로 연장되는 비활성 측벽, 및 바닥을 덮는 유전체 레이어를 형성하는 단계; 및

상기 트랜치 게이트의 전체 또는 일부를 채우는 게이트 전극을 형성하는 단계를 더 포함하는 전계효과 트랜지스터 형성 방법.

청구항 39

제38항에 있어서,

유전체 레이어를 형성하는 단계는,

상기 트랜치 게이트의 바닥을 따라 바닥 유전체 레이어를 형성하는 단계; 및

상기 트랜치 게이트의 상기 종방향으로 연장되는 활성 측벽 및 상기 종방향으로 연장되는 비활성 측벽을 따라서 측벽 유전체를 형성하는 단계를 포함하고,

상기 바닥 유전체가 상기 측벽 유전체보다 두꺼운 전계효과 트랜지스터 형성 방법.

청구항 40

제32항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은, 제2 도전성 타입의 실리콘 레이어들이 상기 본체 영역의 아래에서 연장되지 않도록 상기 트랜치 게이트의 상기 종방향으로 연장되는 활성 측벽 및 상기 종방향으로 연장되는 비활성 측벽 중 적어도 하나로부터 횡방향으로 이격되도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 41

제32항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은, 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들이 상기 본체 영역의 아래로 연장되지 않도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 42

제32항에 있어서,

상기 드레인 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 전기적으로 단락시키도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 43

제32항에 있어서,

도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들은 제2 도전성 타입의 기판 위에 형성되고,

상기 드레인 영역은, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되도록 형성되는 전계효과 트랜지스터 형성 방법.

청구항 44

제32항에 있어서,

상기 드리프트 영역을 형성하는 단계는,

제2 도전성 타입의 기판 위에 제1 도전성 타입의 에피택시 레이어를 형성하는 단계; 및

상기 에피택시 레이어의 상부가 제2 도전성 타입으로 전환되도록, 상기 에피택시 레이어 내로 제2 도전성 타입의 도편트를 주입하는 단계를 포함하는 전계효과 트랜지스터 형성 방법.

청구항 45

제32항에 있어서,

상기 드리프트 영역을 형성하는 단계는,

제2 도전성 타입의 기판 위에 제1 도전성 타입의 제1 에피택시 레이어를 형성하는 단계; 및
상기 제1 에피택시 레이어 위에 제2 도전성 타입의 제2 에피택시 레이어를 형성하는 단계를 포함하는 전계효과 트랜지스터 형성 방법.

청구항 46

제32항에 있어서,

상기 드리프트 영역을 형성하는 단계는,

제2 도전성 타입의 기판 위에 에피택시 레이어를 형성하는 단계;

상기 에피택시 레이어의 하부가 제1 도전성 타입이 되도록 상기 에피택시 레이어 내로 제1 도전성 타입의 도편 트를 주입하는 단계; 및

상기 에피택시 레이어의 상부가 제2 도전성 타입이 되도록 상기 에피택시 레이어 내로 제2 도전성 타입의 도편 트를 주입하는 단계를 포함하는 전계효과 트랜지스터 형성 방법.

명세서

기술 분야

[0001] 본 발명은 전력 반도체 디바이스 기술에 관한 것이고, 보다 구체적으로는 향상된 트랜치-게이트 횡화산형 전계 효과 트랜지스터(trench-gate laterally-diffused FET)를 형성하는 구조 및 방법에 관한 것이다.

배경 기술

[0002] 전력 MOSFET(금속산화막 반도체 전계효과 트랜지스터) 디바이스는 자동차의 전자 부품, 디스크 드라이브 및 전력 공급 장치를 포함하는 수많은 전자 장치에서 폭넓게 사용된다. 일반적으로, 이를 장치는 스위치로서 기능하고 전력 공급 장치를 부하(load)에 접속하기 위해 사용된다. MOSFET 디바이스가 사용되는 영역 중 하나는 무선 주파수(radio frequency; RF) 분야이다. 이러한 RF MOSFET 디바이스들은 횡형(lateral) 트랜지스터이다. 횡형(또는 횡화산형) MOSFET(laterally-diffused MOSFET; LDMOS)의 최근의 진보는, 기지국(base station)용의 RF 전력 증폭기를 위한 종형(vertical) MOSFET과 비교할 때 성능 및 가격 특성을 향상시켰다.

[0003] 표면 전장 감소(Reduced Surface Field; RESURF) 원리에 따라 고전압 LDMOS 디바이스는, 온-저항(on-resistance)를 감소시키는 한편 높은 오프-스테이트(off-state) 전압을 유지하기 위해 사용되는 확장된 드레인 영역을 제공한다. 낮은 농도로 도핑된, 확장된 드레인 영역은 디바이스가 "온(on)" 상태일 때 정공(carriers)을 이동시키는 드리프트 영역으로서 작용한다. 한편, 만약 디바이스가 "오프(off)" 상태에 있으면, 상기 확장된 드레인 영역은 공핍(depletion) 영역이 되어 그 위에 인가된 전기장을 감소시키고, 이는 항복 전압(breakdown voltage)의 증가를 일으킨다.

[0004] 상기 확장된 드레인 영역의 드리프트 저항, 그에 따른 디바이스 온-저항 R_{DSon} 은 상기 낮은 농도로 도핑된 드레인 영역의 불순물의 농도를 증가시킴으로써 더욱 감소될 수 있다. 또한, 상기 확장된 드리프트 영역에 추가되는 레이어(layer)들은 상기 드리프트 영역이 높은 전압을 유지할 때 상기 드리프트 영역을 공핍시키는 것을 돋는다. 도전성 타입이 번갈아 배열되는 이러한 추가적인 레이어들은 전하 균형 또는 필드-형성(field-shaping) 레이어라고 불리고 많은 RESURF LDMOS 기술에서 초접합(super-junction) 구조의 발전을 이끌어왔다.

[0005] 그러나, 증가된 불순물 농도에 기인한 더 높은 전하 밀도를 갖는 공핍층의 경계를 확장시키는 것이 곤란하기 때문에 온-저항과 항복 전압 V_{BD} 사이에는 절충이 일어난다. 최근, V_{BD} 를 감소시키지 않으면서 R_{DSon} 을 낮추기 위해 초접합 구조를 사용하는 다수의 RESURF LDMOS 디바이스들이 제안되어 왔다. 그러나, 초접합 구조를 사용하는 종래의 LDMOS 디바이스들은 많은 단점을 갖는다. 예를 들어, 실리콘 용적(bulk) 영역에 다수의 p-타입 전하 균형 레이어를 포함하고 표면 게이트 전극을 포함하는 기준에 제안된 LDMOS 디바이스들은 상기 표면 게이트로부터

전하 균형 레이어까지의 긴 전류 경로 때문에 R_{DSon} 을 증가시키는 높은 JFET(junction FET) 저항을 갖게 된다. 제안된 다른 LDMOS 디바이스들은 실리콘 용적 영역에 다수의 p-타입 웨이드 형성 레이어를 포함하고 트랜치 게이트 전극을 사용하는데, 트랜치 게이트 전극 주위로 그리고 반전(inversion) 레이어를 통해 전류가 흐른다. 그러나, 상기 게이트 주위의 그리고 반전 레이어를 통한 전류 흐름은 R_{DSon} 을 증가시키는 높은 반전 채널 저항을 일으킨다.

[0006] 따라서, RESURF 원리에 따라 향상된 LDMOS를 제공하는 구조 및 방법이 요구된다. 특히, 감소된 온-저항을 갖는 동시에, 높은 항복 전압 V_{BD} 를 유지하기 위해 확장된 드레인 영역의 전하를 정확하게 제어할 수 있는 LDMOS 디바이스가 요구된다.

발명의 상세한 설명

[0007] 본 발명의 일 실시예에 의하면, 전계효과 트랜지스터는 반도체 영역 내로 연장되는 트랜치 게이트를 포함한다. 상기 트랜치 게이트는, 드레인 영역을 향하는 전방 벽과 상기 전방 벽에 수직인 측벽을 포함한다. 상기 트랜치 게이트의 상기 측벽을 따라서 채널 영역이 연장되고, 적어도 상기 드레인 영역과 상기 트랜치 게이트 사이에서 드리프트 영역이 연장된다. 상기 드리프트 영역은, 도전성 타입이 번갈아 배열되는 적층된 실리콘 레이어들을 포함한다.

[0008] 일 실시예에서, 상기 전계효과 트랜지스터가 온(on) 상태일 때, 전류가 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 상기 채널 영역으로부터 상기 드레인 영역으로 횡방향으로 흐른다.

[0009] 다른 실시예에서, 제2 도전성 타입의 본체 영역이 상기 트랜치 게이트의 상기 측벽에 인접하여 위치되고, 제1 도전성 타입의 소스 영역이 상기 본체 영역 내에 위치된다. 상기 채널 영역은 상기 소스 영역의 외주부(外周部)와 상기 본체 영역의 외주부 사이의 상기 본체 영역 내에서 연장된다.

[0010] 다른 실시예에서, 고농도 본체 영역이 상기 소스 영역에 인접하여 위치된다.

[0011] 또 다른 실시예에서, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들이 제2 도전성 타입의 기판 위에서 연장되고, 상기 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단된다.

[0012] 또 다른 실시예에서, 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은, 상기 채널 영역을 빠져나온 전류가 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 흐를 수 있도록 상기 채널 영역으로부터 이격된다.

[0013] 다른 실시예에서, 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들은, 상기 채널 영역을 빠져나온 전류가 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 흐를 수 있도록 상기 채널 영역의 바로 아래에서 불연속하다.

[0014] 본 발명의 다른 실시예에 의하면, 전계효과 트랜지스터가 다음과 같이 형성된다. 도전성 타입이 번갈아 배열되는 적층된 실리콘 레이어들을 포함하는 드리프트 영역이 형성된다. 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 내로 연장되는 제1 도전성 타입의 드레인 영역이 형성된다. 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 내로 연장되는 트랜치 게이트가 형성되며, 상기 트랜치 게이트는 서로 수직인 비활성 측벽과 활성 측벽을 포함한다. 제2 도전성 타입의 본체 영역이 상기 트랜치 게이트의 상기 활성 측벽에 인접하여 형성된다. 상기 트랜치 게이트와 상기 드레인 영역은, 상기 트랜치 게이트의 상기 비활성 측벽이 상기 드레인 영역을 향하도록 형성된다.

[0015] 일 실시예에서, 상기 본체 영역 내에 제1 도전성 타입의 소스 영역이 형성되어, 상기 소스 영역의 외주부와 상기 본체 영역의 외주부 사이의 상기 본체 영역 내에 채널 영역이 형성된다.

[0016] 다른 실시예에서, 고농도 본체 영역이 상기 소스 영역에 인접하여 형성된다.

[0017] 또 다른 실시예에서, 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들이 제2 도전성 타입의 기판 위에 형성되고, 상기 고농도 본체 영역은 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들을 통해서 종방향으로 연장되고 상기 기판 내에서 종단되도록 형성된다.

- [0018] 다른 실시예에서, 상기 채널 영역을 빠져나온 전류가 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 흐르도록 하기 위해, 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들이 상기 채널 영역으로부터 이격되도록 상기 적층된 실리콘 레이어들이 형성된다.
- [0019] 다른 실시예에서, 상기 채널 영역을 빠져나온 전류가 도전성 타입이 번갈아 배열되는 상기 적층된 실리콘 레이어들 중 제1 도전성 타입의 실리콘 레이어들을 통해서 흐르도록 하기 위해, 상기 적층된 실리콘 레이어들 중 제2 도전성 타입의 실리콘 레이어들이 상기 채널 영역의 바로 아래에서 불연속하도록 상기 적층된 실리콘 레이어들이 형성된다.
- [0020] 본 명세서에 개시된 발명의 속성 및 이점은 발명의 상세한 설명 및 첨부된 도면을 참조함으로써 보다 잘 이해될 수 있다.

실시예

- [0029] 이하의 기재는 본 발명에 대한 완벽한 이해를 제공하기 위하여 구체적인 상세를 제공한다. 그러나 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 이러한 구체적인 상세를 이용하지 않더라도 본 발명이 실시가능하다는 점을 이해할 것이다. 본 발명은 설명된 구조 및 방법을 변경함으로써 실시될 수 있고 해당 산업분야에서 종래 사용되어 온 장치 및 기술과 함께 사용될 수 있다.
- [0030] 드리프트 영역에 전하 균형 구조를 포함하는 RESURF LDMOS 디바이스는 전하 균형 구조를 갖지 않는 LDMOS 디바이스와 비교할 때 동일한 항복 전압에 대해 더 낮은 온-저항 R_{DSon} 을 갖는다. 본 발명의 실시예에 의하면, 도전성 타입이 번갈아 배열되고 횡방향으로 연장되는 간접된(interleaved) 실리콘 레이어들이 트랜치 게이트 LDMOS 내에 최적의 상태로 접속된다. 전하 균형 레이어들의 각각의 총 전하는 그에 인접하는 도전성 타입이 반대인 레이어의 그것과 부합됨으로써, 감소된 R_{DSon} 을 갖는 고농도 드리프트 영역의 사용이 가능하게 되는 한편, 상기 드리프트 영역 및 매립된 레이어들로부터 전하를 공급시킴으로써 오프-스테이트에서 적절한 차단(blocking)이 이루어진다. 또한, 채널의 저항은 상기 채널 내의 총 전하에 역으로 비례하기 때문에, 추가적인 매립 레이어들의 각각은 상기 디바이스의 온 저항을 감소시킨다.
- [0031] 도 1은 본 발명의 일 실시예에 의한, 인접한 레이어들의 도전성 타입이 번갈아 배열되는 다수의 간접된 레이어들을 포함하는 드리프트 영역 110을 갖는 트랜치 게이트 LDMOS 100의 등각도를 도시한다. 도 1에서 다양한 영역들의 표시(소스 영역 106, 본체 영역 108, n 레이어들 112, p 레이어들 114를 포함함)는 트랜치 게이트 115의 측벽에 도시된다. 번갈아 배열된 n-타입 레이어들 112와 p-타입 레이어들 114는 드리프트 영역 110에서 연장된다. 도시된 실시예에서, 간접된 n-타입 레이어들 112는 상기 트랜지스터가 온(on) 상태일 때 전류가 흐르는 레이어이고, p-타입 레이어들 114는 그에 인접한 n-타입 레이어들 112와 함께 전하 균형 구조를 형성한다.
- [0032] 트랜치 게이트 115는 측벽과 바닥 표면을 따라 연장되는 유전체 레이어 103을 포함한다. 일 실시예에서, 상기 트랜치의 바닥 표면을 따라 위치된 상기 유전체 레이어의 두께는 상기 트랜치의 측벽을 따라 위치된 유전체 레이어의 두께보다 더 크다. 이는 게이트-드레인간 용량이 감소되도록 돋는다. 게이트 전극 102(예를 들어, 폴리실리콘을 포함함)는 트랜치 115를 채운다. 하나의 변형예에서는, 트랜치 115 내에서 상기 게이트 전극에 리세스가 형성된다.
- [0033] 고농도로 도핑된 n-타입 드레인 영역 104는 트랜치 게이트 115로부터 횡방향으로 이격되고 상기 간접된 n-p 레이어들 112, 114를 통해 연장되어 n-레이어들 112를 전기적으로 단락시킨다. 드레인 영역 104는 상기 간접된 레이어들 중 가장 아래의 n-레이어 112와 같은 깊이까지 연장되는 것으로 도시되지만, 더 깊이 또는 더 얕은 깊이까지 연장되도록 형성될 수도 있다. 고농도로 도핑된 n-타입 소스 영역 106과 p-타입 본체 영역 108은 드레인 영역 104를 향하지 않는 트랜치의 양 측면을 따라 형성된다. 즉, 상기 소스 및 본체 영역은 트랜치 게이트 115와 드레인 영역 104 사이에 배치되지 않는다. 이러한 형상은 소스 영역 106과 드레인 영역 104 사이에 전류 흐름을 위한 직통 경로를 제공하고, 이로써 디바이스의 R_{DSon} 을 향상시키기 때문에 특히 유리하다.
- [0034] LDMOS 100이 온 상태에 있을 때, 상기 트랜치의 측벽을 따라서 상기 본체 영역에 채널 영역이 형성된다. 전류 흐름은 도 1에 화살표를 갖는 파선으로 도시된다. 도시된 바와 같이, 정공(carrier)이 상기 트랜치의 측벽을 따라서 소스 영역 106으로부터 본체 영역 108로 여러 방향으로 흐르고, 상기 간접된 레이어들 중 n 레이어 112

를 통해 확산되며, 마침내 드레인 영역 104에서 수집된다. 이러한 전류 경로의 저항은 p 레이어 114가 상기 채널 영역의 아래로 연장되는 것을 막음으로써 감소된다. 그러나, 다른 변형예에서는, p 레이어 114가 상기 채널 영역 아래로 연장되는데, 이는 p 레이어 114가 상기 채널 영역 아래로 연장되는 것을 막기 위해 요구되는 처리 과정을 제거한다는 점에서 유리하다.

[0035] 도 2는 본 발명의 일 실시예에 의한 트랜지스터 LDMOS의 배치도를 도시한다. 두 개의 트랜지스터 215는 서로 종방향으로 이격되고, p-타입 본체 영역 208이 이들 사이에서 연장된다. 각각의 트랜지스터는 유전체 레이어 203에 의해 인접한 실리콘 영역으로부터 절연되는 게이트 전극 202를 포함한다. N+ 소스 영역 206은 본체 영역 208 내측에 각각의 트랜지스터에 인접하여 배치된다. P+ 고농도 본체 영역 216이 두 개의 인접한 소스 영역 206 사이에 배치되고, 횡방향으로 본체 영역 208의 에지를 넘어 연장된다. 고농도 본체 영역 216은 n-타입 소스 영역 206, p-타입 본체 영역 208과 n-타입 드레인 영역 204 사이에 형성된 기생(parasitic) n-p-n 양극성 트랜지스터의 베이스(base) 저항을 감소시킨다. 이는 상기 기생 n-p-n이 작동하지 않을 것과 디바이스가 사태 항복(avalanche breakdown) 또는 클램핑되지 않은 유도 스위칭(unclamped inductive switching; UIS)과 같은 이벤트 중에도 신뢰성을 잃지 않을 것을 보장한다. 만약 고농도 본체 영역 216이 본체 영역 208의 에지 밖으로 연장되면 이러한 기능을 좀 더 효율적으로 수행한다.

[0036] 소스 상호접속 레이어(도시되지 않음)는 상기 소스 영역 및 고농도 본체 영역과 접촉한다. N+ 드레인 영역 204는 트랜지스터 202로부터 횡방향으로 이격되고, 드레인 상호접속 레이어(도시되지 않음)가 드레인 영역 204와 접촉한다. 도 2에 도시된 레이아웃 패턴은 네 개의 방향으로 대칭되고 여러번 반복된다.

[0037] 도시된 바와 같이, 소스 영역 206, 본체 영역 208, 및 고농도 본체 영역 216은 드레인 영역 204를 향하지 않는 트랜지스터 215의 양 측면에 형성된다. 이하에서는 트랜지스터 215의 이들 측면을 "활성 측면(active sides)" 또는 "활성 측벽(active sidewalls)"이라고 하고 소스 및 본체 영역을 갖지 않는 측면(즉, 드레인 영역 204를 향하는 측면)을 "비활성 측면(non-active sides)" 또는 "비활성 측벽(non-active sidewalls)"이라고 할 것이다. 일 실시예에서, 트랜지스터 215의 유전체 레이어 203의 두께는 활성 측면에서보다 트랜지스터 215의 바닥과 비활성 측면의 모두 또는 어느 하나에서 더 두껍다. 이는 게이트-드레인간 용량 Cgd이 최소화되도록 돋는다. 다른 실시예에서는, 소스 및 본체 영역이 각각의 트랜지스터 215의 단지 하나의 측벽, 또는 두 개의 측벽, 또는 세 개의 측벽, 또는 네 개의 모든 측벽을 따라서 형성된다(즉, 각각의 트랜지스터는 한 개, 두 개, 세 개, 또는 네 개의 활성 측벽을 가질 수 있음). 좀 더 많은 활성 측벽을 갖는 실시예가 더 높은 디바이스 정격 전류(device current rating)를 제공한다.

[0038] 상기 LDMOS가 온 상태일 때의 전류의 흐름은 도 2에 화살표를 갖는 점선 213으로 도시된다. 도시된 것처럼, 전류는 트랜지스터 215의 활성 측면을 따라서 소스 영역 206으로부터 본체 영역 208을 통과하여 흐르고, 상기 본체 영역을 빠져 나갈 때 외측으로 확산된다. 다음으로, 전류는 간접된 레이어들(도시되지 않음)을 통과하여 드레인 영역 204로 흐르고 드레인 영역 204에서 수집된다. 이렇게 해서, 도 2의 레이아웃 형상은 소스 영역 206으로부터 드레인 영역 204까지 구조적 장벽이 없는 전류 경로를 형성하고, 이로써 트랜지스터의 온-저항을 감소시킨다는 점에서 유리하다. 도 2의 LDMOS의 상기 구조는 도 3, 4, 5, 및 6에 도시된 선분 3-3', 4-4', 5-5' 및 6-6'에서의 단면도를 사용하여 보다 상세히 설명된다. 도 2의 배치도는 상기 LDMOS의 구조적 특징의 보다 나은 시각화를 위하여 도 3 내지 6의 각각의 바로 위에 복사된다.

[0039] 도 3은 도 2의 배치도의 절단선 3-3'에서의 단면을 도시한다. 도 3에서, 트랜지스터 215의 중심을 따라 상기 단면을 좌측 절반과 우측 절반으로 나누는 수직선이 도시된다면, 상기 우측 절반은 도 1의 등각도에 대응될 것이다. 트랜지스터 215는 리세스가 형성된 게이트 전극 202를 포함하고, 유전체 레이어 203은 게이트 전극 202의 상부 뿐만 아니라 상기 트랜지스터 215의 측벽과 바닥 표면을 따라서 연장된다. 일 변형예에서, 게이트 전극 202에는 리세스가 형성되지 않고, 각각의 트랜지스터 215를 완전히 채운다. 드리프트 영역 210에서, 번갈아 배열된 전하 균형 레이어들 212와 214는 트랜지스터 215의 비활성 측면과 드레인 영역 204 사이에서 횡방향으로 연장된다. 상기 구조는 p-타입 기판 201 위에 형성된다. 드레인 영역 204는 p 기판 201 내에 도달하도록 깊이 연장되고, 상기 전하 균형 구조의 n-타입 레이어들 212를 전기적으로 단락시킨다.

[0040] 도 4는 도 2의 절단선 4-4'에서의 단면을 도시한다. 번갈아 배열된 전하 균형 레이어들 212와 214는 고농도 본체 영역 216의 양측에서 고농도 본체 영역 216과 드레인 영역 204 사이에서 횡방향으로 연장된다. 고농도 본체 영역 216은 간접된 레이어들을 통해서 연장되고 기판 201에 도달한다. 이는 상기 간접된 레이어들 중 모든 p 레이어들 214가 접지 전위(즉, 기판 전위)로의 직통 경로를 갖도록 보장한다.

[0041] 도 5은 도 2의 절단선 5-5'에서의 단면을 도시하는데, 상기 절단선 5-5'는 채널 영역이 형성되는 트랜지스터의 측벽

(즉, 상기 트랜치의 활성 측면)을 따라서 놓인다. 소스 영역 206은 본체 영역 208의 내측에 형성된다. 소스 영역 206의 외주부(外周部)와 본체 영역 208의 외주부 사이에서 상기 트랜치의 측벽을 따라 위치한 본체 영역의 일부분이 채널 영역을 형성한다. 상기 소스 및 본체 영역의 깊이가 상기 채널의 길이를 결정한다. 간접된 레이어들 중 드레인 영역 204 사이에서 연장되는 P-타입 레이어 214는 본체 영역 208 바로 아래에서 불연속하다. 이러한 불연속은 도 5에서 도면부호 223으로 표시되고, p 레이어 214를 통과하는 평면을 따라 도시된 평면도인 도 7에도 표시된다. 상기 트랜치의 활성 측면 근처의 상기 불연속 223은 전류(도 5에서 화살표를 갖는 점선으로 도시됨)가 외측으로 확산되고 상기 간접된 레이어들 중 n 레이어 212를 통해서 흐를 수 있도록 하며, 이에 따라 R_{DSon} 을 최소화한다.

[0042] 도 6은 도 2의 절단선 6-6'에서의 단면을 도시하고, 도 3 내지 5의 단면에 수직인 단면이다. 도 6의 일부 영역들의 치수는 명확성을 위하여 도 2의 배치도의 대응하는 영역들보다 더 넓게 도시되었다. 예를 들어, 소스 영역 206과 본체 영역 208은 도 2 보다 도 6에서 더 넓어 보인다. 도 6에서, 트랜치 게이트 215는 본체 영역 208을 완전히 관통하여 연장되고 드리프트 영역의 깊은 곳에서 종단된다. 트랜치 게이트 215가 드리프트 영역의 아주 깊은 곳에서 종단될 것이 요구되지는 않지만(즉, 본체 영역 203을 지나서 곧 종단될 수도 있음), 이렇게 함으로써 디바이스의 온-저항을 향상시킬 수 있다. 더 낮은 게이트-드레인간 용량 Cgd가 요구되는 일 실시예에서, 트랜치 게이트 215는 더 낮은 깊이까지 연장된다. 소스 영역 206은 중앙에 배치된 고농도 본체 영역 216과 트랜치 게이트 215의 활성 측면 사이에서 연장된다. 본체 영역 208은 트랜치 게이트 215의 활성 측면들 사이의 간격 전체를 따라서 연장된다. 고농도 본체 영역 216은 상기 간접된 레이어들을 통해 아래로 연장되고 기판 201에 도달한다.

[0043] 상기 간접된 레이어들은 트랜치 게이트 215의 활성 측면들 사이의 영역을 통해 연장되지만, 트랜치 게이트 215로부터 거리 220만큼 이격된다. p 레이어 214의 트랜치 게이트 215 사이에서 연장되는 부분의 폭은 도면부호 222로서 표시된다. 거리 220과 p 레이어의 폭 222는 도 7의 평면도에도 표시된다. 도 7에서, p 레이어 214 내에 거리 220과 223에 의해 정의되는 노치(notch)가 채널 영역 둘레에 형성되고, 이는 전류가 외측으로 확산되고 상기 간접된 전하 균형 레이어들 중 n 레이어를 통해서 최소의 저항으로 흐르도록 한다는 점에서 유리하다. 일 실시예에서, p-타입 레이어 214 내의 상기 노치는 소스 영역 206과 동일한 크기를 갖는다. 이는 소스 영역 206을 정의하고 또한 p 레이어 214 내의 상기 노치를 정의하기 위해 동일한 마스크를 사용할 수 있도록 함으로써, 마스킹 레이어 및 마스킹 단계를 제거한다. 다른 실시예에서는, p 레이어 214가 상기 채널 영역 아래로 연장되도록 p 레이어 214 내의 상기 노치가 제거된다. 이는 p 레이어 214에 노치를 형성하는데 필요한 처리 단계를 제거한다.

[0044] 도 8에서, 도 6의 단면도에 대응하는 등각도가 도시된다. 소스 영역 206, 본체 영역 208, 및 고농도 본체 영역 216은 트랜치 215의 활성 측면들 사이에서 연장된다. 점선은 고농도 본체 영역 216이 간접된 레이어들 212와 214를 통해서 기판 201로 어떻게 연장되는지를 나타낸다.

[0045] 도 1 내지 8에 도시된 LDMOS를 형성하는 방법이 이하 논의될 것이다. 간접된 레이어들 112와 114가 다수의 공지 기술 중 하나를 사용하여 기판 201 위에 형성될 수 있다. 이 기술들은 일반적으로 포토리소그라피의 사용과 비소(arsenic) 또는 인(phosphorus)과 같은 n-타입 도편트 및 p-타입 도편트의 이온 주입을 포함한다. 상기 간접된 레이어들의 물리적 치수 및 각각의 이온 주입의 주입량과 에너지는 전하 균형을 보장하도록 선택된다.

[0046] 일 실시예에서, 적층된 간접된 레이어들 중 바닥에서 첫번째 n-p 레이어 쌍은, p-타입 기판 위에서 연장되는 제1 에피택시 실리콘 레이어에 p-타입 도편트를 주입함으로써 상기 제1 에피택시 레이어에 형성된다. 상기 제1 에피택시 레이어 위에는 제2 n-타입 에피택시 실리콘 레이어가 형성되고, 상기 제2 에피택시 레이어에 제2의 n-p 레이어 쌍을 형성하기 위해 p-타입 도편트가 상기 제2 에피택시 레이어에 주입된다. 이러한 단계들은 간접된 n-p 레이어들이 원하는 수만큼 형성될 때까지 반복된다. 다른 실시예에서는, 다수의 p-타입 에피택시 레이어를 형성하고 n-타입 도편트를 상기 p-타입 에피택시 레이어에 주입함으로써 상기 간접된 레이어들을 형성한다.

[0047] 또 다른 실시예에서는, 기판 위에 도핑되지 않은 에피택시 레이어를 성장시키고, n-타입 도편트를 주입하여 제1 n-타입 레이어를 형성하고, 다음으로 p-타입 도편트를 주입하여 상기 제1 n-타입 레이어 위에 p-타입 레이어를 형성함으로써, 상기 간접된 레이어들을 형성할 수 있다. 다음으로 상기 첫번째 에피택시 레이어 위에 도핑되지 않은 제2 에피택시 레이어를 성장시키고, 간접된 n-p 레이어들이 원하는 수만큼 형성될 때까지 상기 단계들을 반복한다.

[0048] 또 다른 실시예에서는, 하나의 도핑되지 않은 에피택시 레이어를 성장시키고, 도전성 타입이 번갈아 바뀌는 다수의 고에너지 주입으로 상기 에피택시 레이어를 도핑함으로써 상기 간접된 레이어들을 형성한다. 또는, 제1

n-타입 에피택시 레이어를 기판 위에 성장시키고, 상기 제1 n-타입 에피택시 레이어 위에 p-타입 에피택시 레이어를 성장시킴으로써 상기 간접된 레이어들을 형성한다. 상기와 같은 도전성 타입이 번갈아 배열되는 에피택시 레이어들의 성장은 간접된 레이어들이 원하는 수만큼 형성될 때까지 반복된다.

[0049] 전하 균형 구조가 형성된 후, 상기 간접된 레이어들을 통해 연장되고 상기 기판에 도달하는 고농도로 도핑된 n-타입 드레인 영역 204가 싱커 확산(diffusion sinker) 기술과 같은 공지 기술을 사용하여 형성된다. 다음으로, 상기 간접된 레이어들을 통해 연장되는 트랜치 215가 종래의 방법을 사용하여 형성된다. 일 실시예에서, 트랜치 게이트와 깊은 드레인 확산은 서로 순서가 바뀌어 형성된다. 트랜치 215를 형성한 후, 상기 트랜치의 측벽과 바닥을 덮는 게이트 유전체 레이어 203이 공지 기술을 사용하여 형성된다. 일 실시예에서는, 상기 게이트 유전체를 형성하기 전에, 공지 기술을 사용하여 트랜치 215의 바닥부를 따라서 두꺼운 바닥 유전체(thick bottom dielectric; TBD)가 형성된다. 다른 실시예에서는, 게이트 유전체 레이어가 상기 트랜치의 활성 측벽을 따라서 형성되고, 더 두꺼운 유전체 레이어가 상기 트랜치의 비활성 측벽을 따라서 형성된다. 상기 TBD와 트랜치의 비활성 측벽을 따라 위치하는 더 두꺼운 유전체는 게이트-드레인간 용량을 감소시키는 것을 돋는다. 이러한 모든 변형 실시예에서, 도 7에 도시된 p 레이어 내의 노치를 형성하기 위해 마스크가 사용될 수 있다. 상기 p 레이어 내의 노치는 채널 영역 주위에서 대충 연장되기 때문에, 상기 마스킹 단계는 정밀한 정렬을 요구하지 않는다.

[0050] 트랜치에 상기 유전체 레이어 203을 형성한 후, 게이트 전극 202(예를 들어, 도핑된 폴리실리콘을 포함함)가 트랜치 215를 채운다. 일 실시예에서, 게이트 전극 202에는 트랜치 215 내로 리세스가 형성된다. 다음으로, 인접한 트랜치들 사이에서 연장되는 본체 영역 208이 종래의 도펀트 주입을 사용하여 형성된다. 다음으로 n-타입 도펀트를 주입함으로써 본체 영역 208 내에 소스 영역 206이 형성된다. 마지막으로, 소스 영역들 206 사이의 영역에 p-타입 도전성의 도펀트를 주입함으로써 고농도로 도핑된 고농도 본체 영역 216이 형성된다. 위를 덮는 유전체 레이어 및 상호접속 레이어를 포함하는 LDMOS의 나머지 레이어들과 영역들을 형성하기 위해 종래의 처리 과정들이 수행된다.

[0051] 본 발명의 바람직한 실시예들에 관한 충분한 설명이 위에서 제공되었지만, 많은 변경, 변형 및 등가물들이 가능하다. 본 발명이 속하는 분야에서 통상의 지식을 가진 자는 동일한 기술이 다른 타입의 초접합(super junction) 구조를 뿐만 아니라 다른 종류의 디바이스들에도 보다 폭넓게 적용될 수 있다는 것을 인식할 것이다. 예를 들어, 상기 초접합 구조물들은 간접된 레이어들의 형태를 가질 필요가 없고, 예를 들어, 파이버(fibers) 또는 벌집(honeycomb) 모양의 구조와 같은 다른 적층 구조를 취할 수도 있다. 다른 실시예로서, 본 명세서에 기재된 실시예들에서 다양한 영역들의 도전성 타입을 반전시켜 p-채널 LDMOS를 얻을 수 있다. 따라서, 이러한 그리고 다른 이유로, 상기 기재에 의해 본 발명의 영역을 제한해서는 안 되며, 본 발명의 영역은 첨부된 청구범위에 의해 정의되어야 한다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 의한 트랜치 게이트 LDMOS의 등각도를 도시한다.

[0022] 도 2는 본 발명의 일 실시예에 의한 트랜치 게이트 LDMOS의 배치도(floor plan view)를 도시한다.

[0023] 도 3은 도 2의 절단선 3-3'에서의 단면을 도시한다.

[0024] 도 4는 도 2의 절단선 4-4'에서의 단면을 도시한다.

[0025] 도 5은 도 2의 절단선 5-5'에서의 단면을 도시한다.

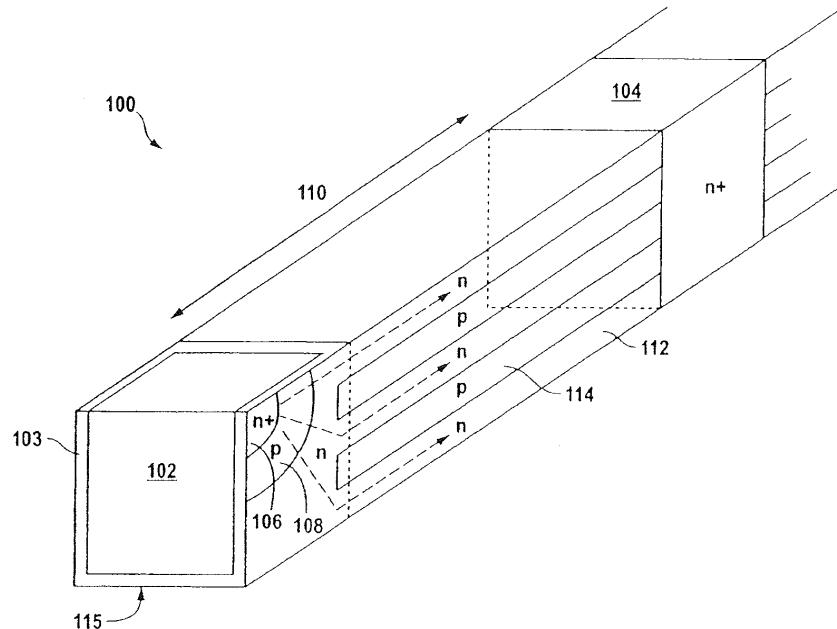
[0026] 도 6은 도 2의 절단선 6-6'에서의 단면을 도시한다.

[0027] 도 7은 본 발명의 일 실시예에 의한 전하 균형 레이어를 통과하는 평면을 따라 도시한 평면도이다.

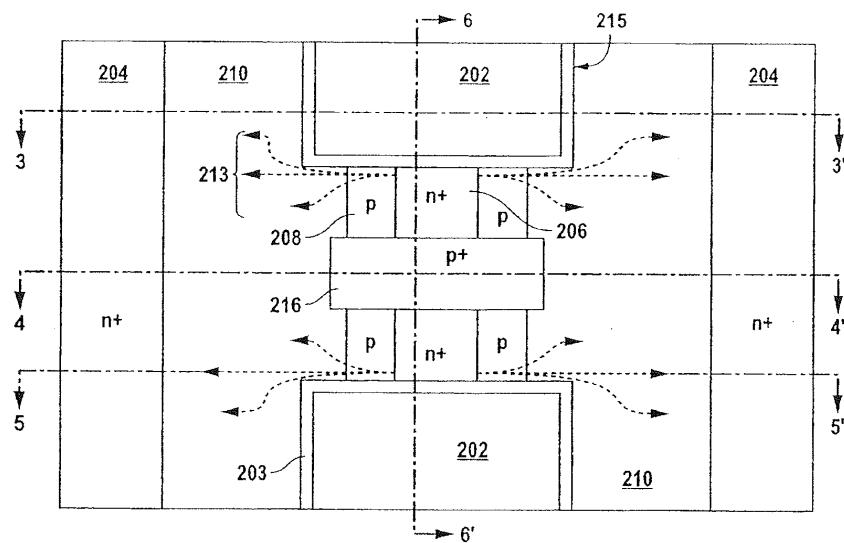
[0028] 도 8은 도 2의 트랜치 게이트 LDMOS의 등각도를 도시한다.

도면

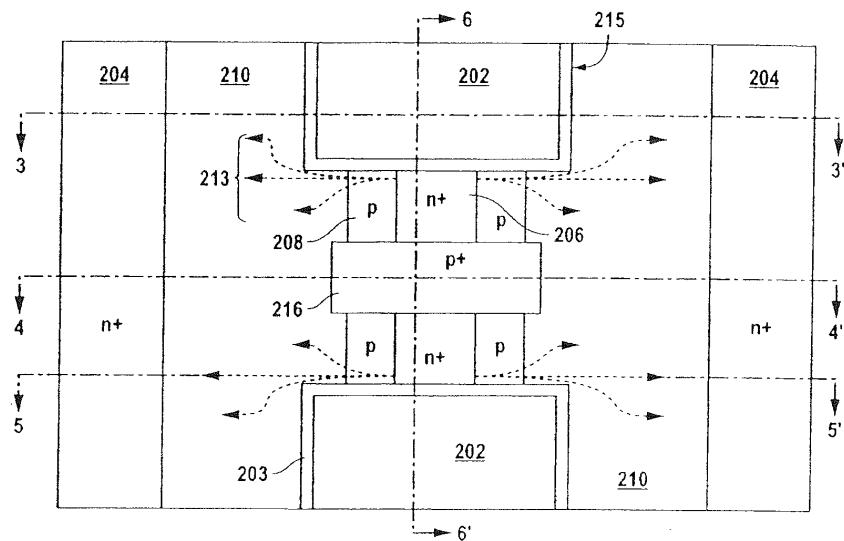
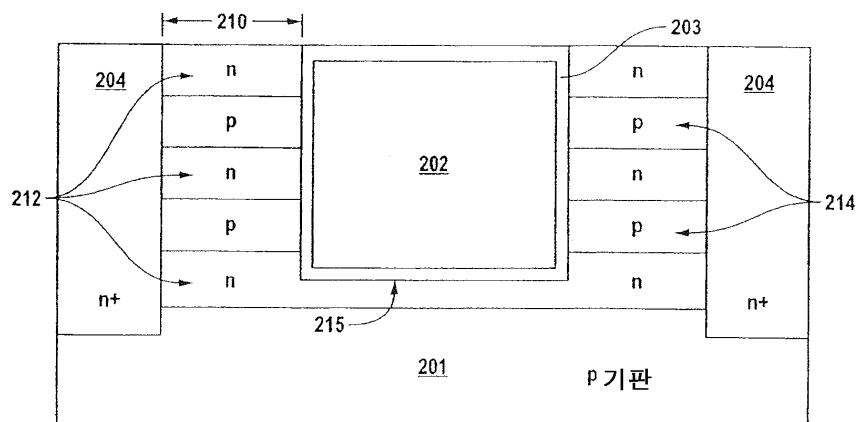
도면1



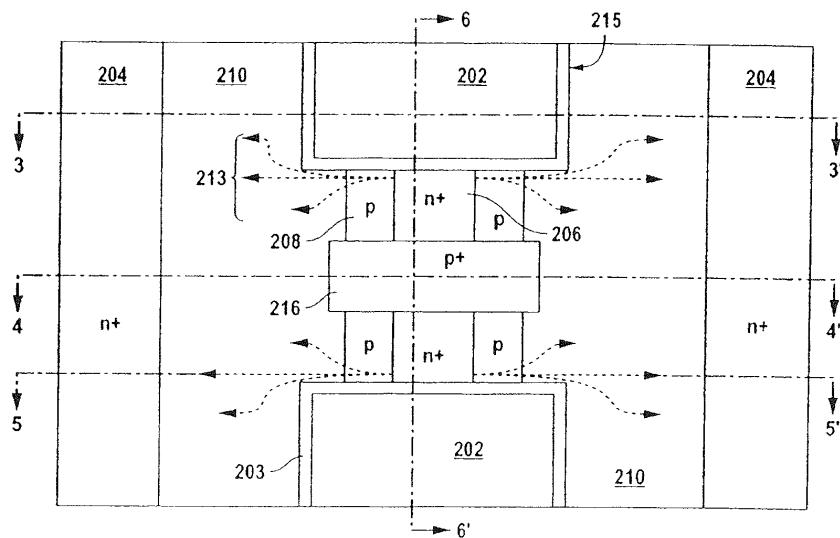
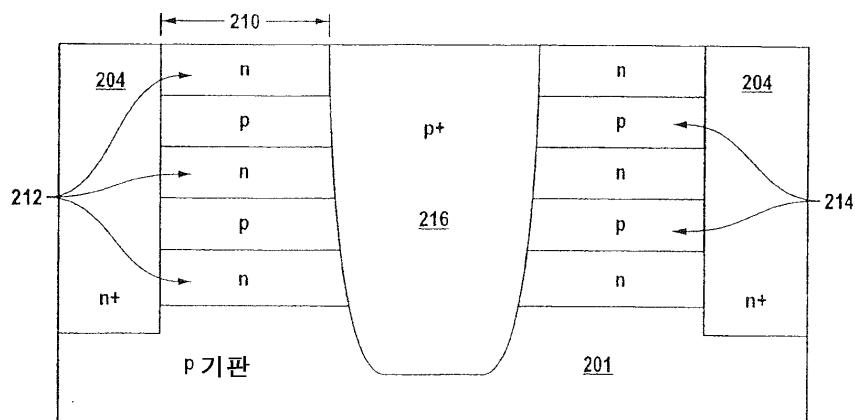
도면2



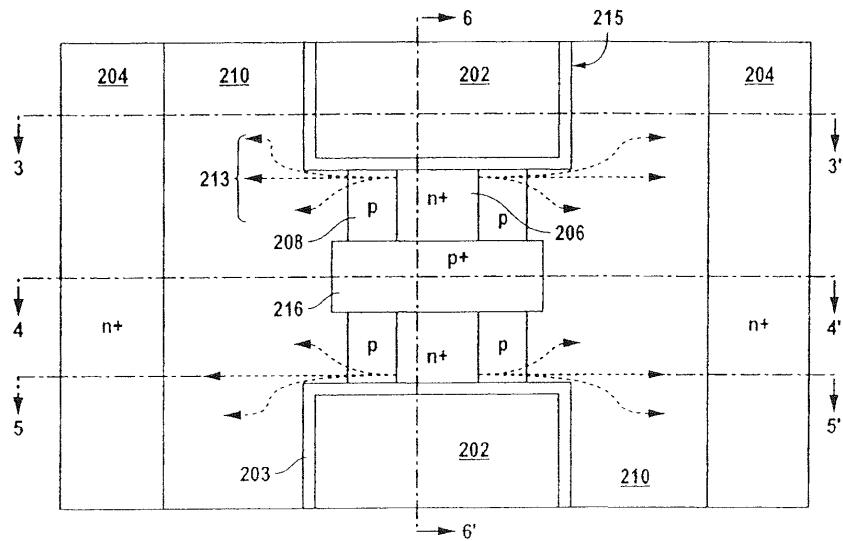
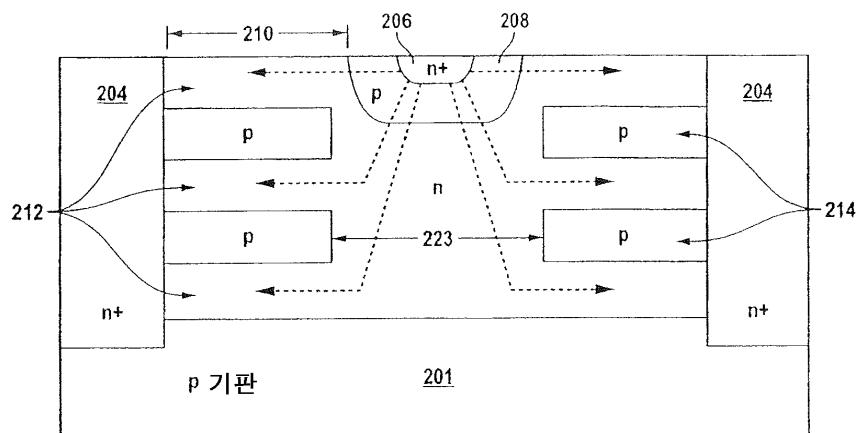
도면3

도 2
(복사)

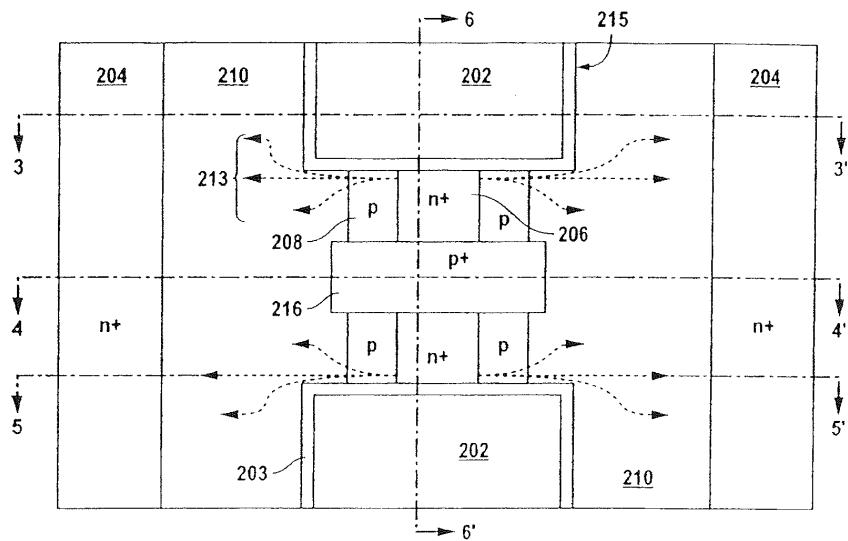
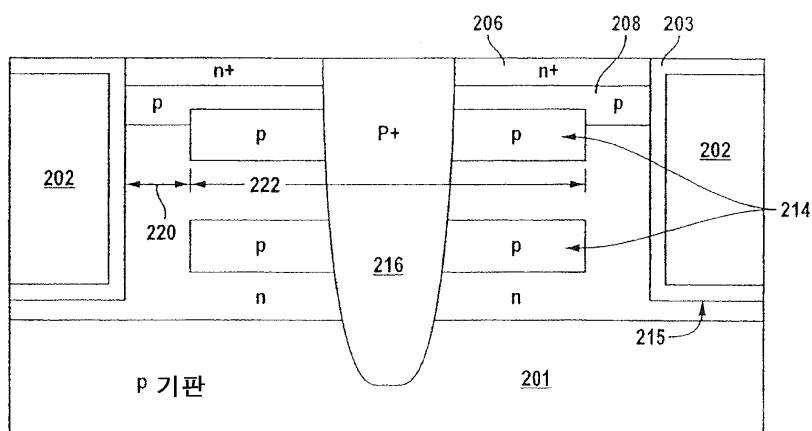
도면4

도 2
(복사)

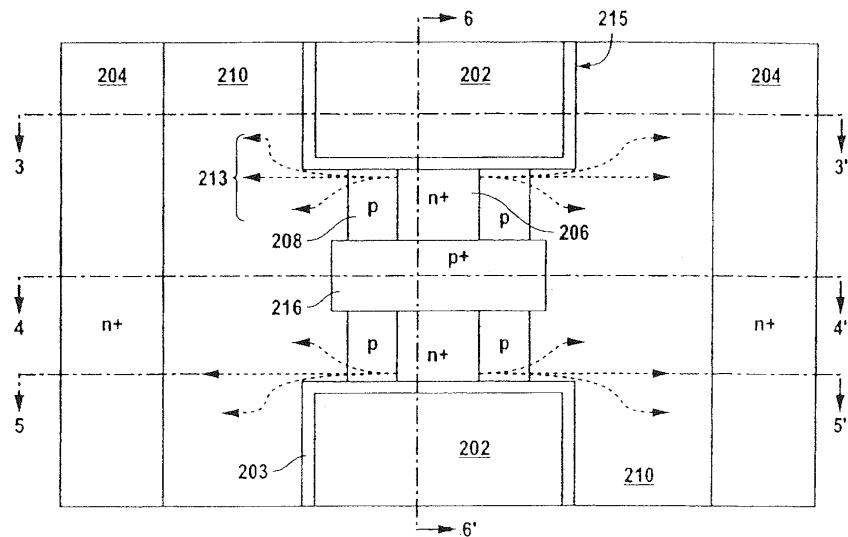
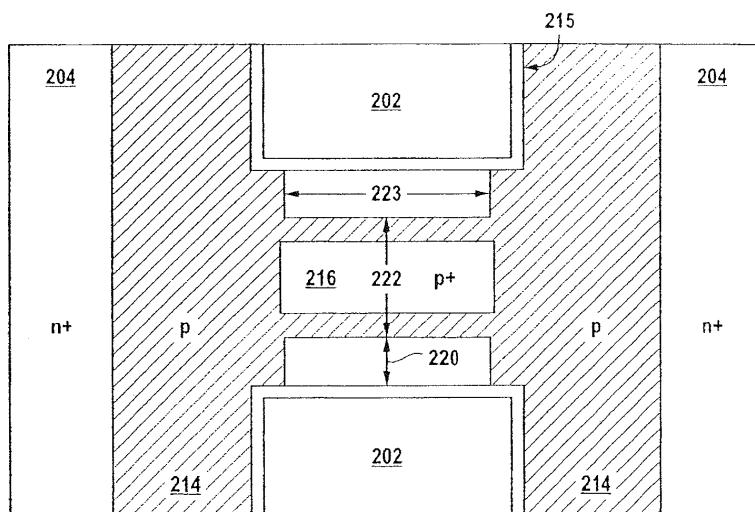
도면5

도 2
(복사)

도면6

도 2
(복사)

도면7

도 2
(복사)

도면8

