



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월04일

(11) 등록번호 10-1517077

(24) 등록일자 2015년04월27일

(51) 국제특허분류(Int. Cl.)

H01L 31/0224 (2006.01) H01L 31/04 (2014.01)

H01L 31/18 (2006.01)

(21) 출원번호 10-2014-0062288

(22) 출원일자 2014년05월23일

심사청구일자 2014년05월23일

(56) 선행기술조사문헌

JP2003016858 A

KR1020100115193 A

KR1020140036396 A

KR101049223 B1

(73) 특허권자

인천대학교 산학협력단

인천광역시 연수구 아카데미로 119, 11호 12 (송도동)

(72) 발명자

김준동

인천광역시 연수구 송도과학로51번길 136 송도캐슬해모로 202동 1301호 (송도동)

윤주형

서울특별시 관악구 남부순환로 1430 신림푸르지오 아파트 107-1802 (신림동)

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 10 항

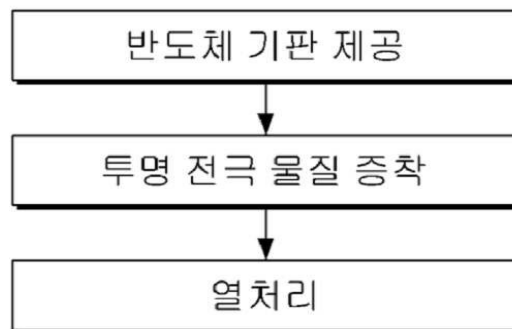
심사관 : 천대식

(54) 발명의 명칭 고성능 투명 전극 소자 및 그 제조 방법

(57) 요약

본 발명은 고성능 투명 전극 소자 및 그 제조 방법에 관한 것으로, 본 발명의 고성능 투명 전극 소자 제조 방법은 반도체 기판을 제공하는 단계, 상온(Room temperature)에서 상기 반도체 기판 상에 투명 전극 물질을 증착하여 투명 전극을 형성하는 단계 및 상기 투명 전극을 열처리 하는 단계를 포함한다.

대표도 - 도2



(72) 발명자

김현엽

대구광역시 수성구 무학로23길 17 (두산동)

김현기

전라북도 군산시 월명로 418 (선양동)

명세서

청구범위

청구항 1

반도체 기판을 제공하는 단계;

상온(Room temperature)에서 상기 반도체 기판 상에 투명 전극 물질을 증착하여 투명 전극을 형성하는 단계; 및
상기 투명 전극을 열처리 하는 단계를 포함하되,

상기 투명 전극은 ITO(Indium-tin-oxide)를 포함하고,

상기 투명 전극의 두께는 50nm 내지 1000nm이고,

상기 열처리 단계는 상기 투명 전극 내의 Sn이 상기 반도체 기판으로 확산되는 단계를 포함하고,

상기 Sn의 상기 반도체 기판 내의 확산 거리는 200nm 이하인 고성능 투명 전극 소자 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1항에 있어서,

상기 반도체 기판은 Si, Ge, 또는 GaAs 중에서 적어도 하나를 포함하는 고성능 투명 전극 소자 제조 방법.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1항에 있어서,

상기 열처리는 200℃ 내지 600℃에서 수행되는 고성능 투명 전극 소자 제조 방법.

청구항 8

제 1항에 있어서,

상기 열처리는 1분 내지 60분 동안 수행되는 고성능 투명 전극 소자 제조 방법.

청구항 9

제 1항에 있어서,

상기 투명 전극 물질 상에 도전성 물질을 포함하는 제1 전극을 형성하는 단계를 더 포함하는 고성능 투명 전극 소자 제조 방법.

청구항 10

제 9항에 있어서,

상기 제1 전극은 Ag, Au, Pt, Al 또는 Cu 중 적어도 하나를 포함하는 고성능 투명 전극 소자 제조 방법.

청구항 11

제 9항에 있어서,

상기 반도체 기판 아래에 도전성 물질을 포함하는 제2 전극을 형성하는 단계를 더 포함하는 고성능 투명 전극 소자 제조 방법.

청구항 12

제 11항에 있어서,

상기 제1 전극 및 제2 전극은 동시에 형성되는 고성능 투명 전극 소자 제조 방법.

청구항 13

제 1항에 있어서,

상기 반도체 기판은 유연(flexible) 기판을 포함하는 고성능 투명 전극 소자 제조 방법.

청구항 14

제1항, 제4항, 제7항 및 제8항 중 어느 한 항의 방법에 의해 형성되는 고성능 투명 전극 소자.

발명의 설명

기술 분야

[0001] 본 발명은 고성능 투명 전극 소자 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 광 효율 및 전기적 특성이 우수한 투명 전극 소자 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 환경문제와 에너지 고갈에 대한 관심이 높아지면서, 에너지 자원이 풍부하고 환경오염에 대한 문제점이 없으며 에너지 효율이 높은 대체 에너지로서의 태양에너지에 대한 관심이 높아지고 있다.

[0003] 태양에너지는 태양열을 이용하여 터빈을 회전시키는데 필요한 증기를 발생시키는 태양열전지와 반도체의 성질을 이용하여 태양빛을 전기에너지로 변환시키는 태양 광 전지로 나눌 수 있다.

[0004] 태양 광 전지를 구성하기 위해서는 빛을 전기로 변환하기 위한 광전소자가 필수적이다. 광전소자의 일종인 광다이오드(photodiode)는 Si 또는 GaAsP 등의 단결정을 사용하며, p-n접합 또는 pin접합을 이용한다.

[0005] 상기 광 다이오드는 입사되는 태양광을 전기 에너지로 변환시키는 변환효율(efficiency)을 높이는 것이 매우 중요하다. 따라서, 그 구조와 재질에 대한 연구가 지속적으로 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 상기와 같은 문제점들을 극복하고 변환효율이 개선된 고성능 투명 전극을 제공하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 상기와 같은 문제점을 극복하고 변환효율이 개선된 고성능 투명 전극을 제조하는 방법을 제공하는 것이다.

[0008] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0009] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 고성능 투명 전극 소자 제조 방법은 반도체 기판을 제공하는 단계, 상온(Room temperature)에서 상기 반도체 기판 상에 투명 전극 물질을 증착하여 투명 전극을 형성하는 단계 및 상기 투명 전극을 열처리 하는 단계를 포함한다.
- [0010] 상기 투명 전극은 ITO(Indium-tin-oxide)를 포함하고, 상기 투명 전극의 두께는 50nm 내지 1000nm일 수 있다.
- [0011] 상기 열처리 단계는 상기 투명 전극 내의 Sn이 상기 반도체 기판으로 확산되는 단계를 포함하고, 상기 Sn의 상기 반도체 기판 내의 확산 거리는 200nm 이하일 수 있다.
- [0012] 상기 반도체 기판은 Si, Ge, 또는 GaAs 중에서 적어도 하나를 포함할 수 있다.
- [0013] 상기 투명 전극 물질은 ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In_2O_3), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0014] 상기 열처리는 급속 열처리(rapid thermal annealing, RTA)를 포함할 수 있다.
- [0015] 상기 열처리는 200℃ 내지 600℃에서 수행될 수 있다.
- [0016] 상기 열처리는 1분 내지 60분 동안 수행될 수 있다.
- [0017] 여기서, 상기 투명 전극 물질 상에 도전성 물질을 포함하는 제1 전극을 형성하는 단계를 더 포함할 수 있다.
- [0018] 상기 제1 전극은 Ag, Au, Pt, Al 또는 Cu 중 적어도 하나를 포함할 수 있다.
- [0019] 여기서, 상기 반도체 기판 아래에 도전성 물질을 포함하는 제2 전극을 형성하는 단계를 더 포함할 수 있다.
- [0020] 상기 제1 전극 및 제2 전극은 동시에 형성될 수 있다.
- [0021] 상기 반도체 기판은 유연(flexible) 기판을 포함할 수 있다.
- [0022] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 고성능 투명 전극은 상기의 방법에 의해 형성된다.
- [0023] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0024] 본 발명의 일 실시예에 의하면 적어도 다음과 같은 효과가 있다.
- [0025] 즉, 본 발명의 일 실시예에 따른 투명전극의 제조 방법은 공정시간이 짧고, 공정 비용이 감소할 수 있다.
- [0026] 또한, 본 발명의 일 실시예에 따른 투명 전극은 광 반응이 높아 변환효율이 향상된 장치를 제공할 수 있다.
- [0027] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 투명 전극 소자의 구조를 설명하기 위한 개념적인 사시도이다.
- 도 2는 본 발명의 일 실시예에 따른 투명 전극 소자의 제조 방법을 설명하기 위한 순서도이다.
- 도 3은 열처리 온도에 따른 투명 전극의 구조를 설명하기 위한 TEM(transmission electron microscope) 이미지이다.
- 도 4는 도 3의 기판과 투명 전극의 계면을 세부적으로 설명하기 위한 TEM 이미지의 확대도이다.
- 도 5는 열처리를 거치지 않은 투명 전극 소자의 기판의 깊이에 따른 원소의 프로파일을 나타낸 그래프이다.
- 도 6은 열처리의 온도에 따라 투명 전극 소자의 기판의 깊이에 따른 Si원소의 분포를 나타낸 그래프이다.
- 도 7은 열처리의 온도에 따라 투명 전극 소자의 기판의 깊이에 따른 Sn원소의 분포를 나타낸 그래프이다.
- 도 8은 열처리 온도에 따른 투명 전극의 저항을 나타내기 위한 그래프이다.

도 9는 열처리 온도에 따른 투명 전극의 광 투과도를 나타내기 위한 그래프이다.

도 10은 본 발명의 일 실시예에 따른 투명 전극 소자의 전압-전류 특성을 설명하기 위한 선형 그래프이다.

도 11은 본 발명의 일 실시예에 따른 투명 전극 소자의 전압-전류 특성을 설명하기 위한 로그 스케일(log scale) 그래프이다.

도 12는 열처리 온도 별로 투명 전극 소자의 IQE(Internal Quantum Efficiency)를 나타내기 위한 그래프이다.

도 13은 열처리 온도 별로 투명 전극 소자의 350nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이다.

도 14는 열처리 온도 별로 투명 전극 소자의 600nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이다.

도 15는 열처리 온도 별로 투명 전극 소자의 1100nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이다.

도 16은 입사광의 파장에 따른 투명 전극 소자의 광 반응도를 열처리 온도 별로 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0030] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0031] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0032] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below 또는 beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0033] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0034] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0035] 도 1을 참조하여, 본 발명의 일 실시예에 따른 투명 전극 소자를 설명한다.
- [0036] 도 1은 본 발명의 일 실시예에 따른 투명 전극 소자의 구조를 설명하기 위한 개념적인 사시도이다.
- [0037] 도 1을 참고하면, 본 발명의 일 실시예에 따른 투명 전극 소자는 반도체 기판(100), 투명 전극(200), 제1 전극(300) 및 제2 전극(400)을 포함한다.
- [0038] 구체적으로, 반도체 기판(100)은 실리콘(Si) 기판, 게르마늄(Ge) 기판 등의 단일 반도체 기판일 수도 있고, 갈

클비소(GaAs)기판과 같이 화합물 반도체 기판일 수도 있다.

- [0039] 반도체 기판(100)의 높이는 재결합 손실을 최소화하기 위해서는 얇은 것이 유리할 수 있다. 다만, 반도체 기판(100)의 두께가 너무 얇으면 제조 공정상의 어려움이 있고, 반도체 기판(100)의 두께가 너무 두꺼우면 경제성이 문제될 수 있다. 반도체 기판(100)의 적절한 두께는 반도체 물질마다 차이가 있지만, 실리콘의 경우 10 μm 내지 300 μm 정도가 바람직할 수 있다. 반도체 기판(100)은 P형 또는 N형 반도체 기판일 수 있다. 반도체 기판(100)의 도전형은 캐리어가 정공(hole)인지, 전자(electron)인지에 따라 달라질 수 있다.
- [0040] 투명 전극(200)은 반도체 기판(100) 상에 형성될 수 있다. 투명 전극(200)은 투명한 도전체 물질로 형성될 수 있다. 투명 전극(200)은 예를 들어, ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In_2O_3), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0041] 한편, 상기 투명 전극(200)의 높이는 특별히 한정되는 것은 아니지만, 예를 들어, 50 nm 내지 1000 nm 범위일 수 있다. 투명 전극(200)의 높이가 50nm 미만인 경우 전기 전도성이 충분치 않고, 입사광에 대한 반사율 저감 효과가 줄어들 수 있어 바람직하지 않다. 또한, 투명 전극(200)의 높이가 1000 nm 이상인 경우, 전기 전도도는 높아지지만, 광전반응에 의해 발생하는 전자의 포집 성능이 낮아져 광전 소자의 성능을 저하시킬 수 있다. 나아가, 투명 전극(200)이 너무 두꺼우면, 반사율의 저감 효과가 줄어들 수 있어 바람직하지 않다.
- [0042] 기존의 광 다이오드의 경우, 같은 물질을 도핑하여 PN 또는 PIN접합을 사용하였으나, 본 발명의 투명 전극 소자는 이종접합(heterojunction)을 사용하였다. 광 다이오드의 제조시에 도핑 공정을 이용하는 경우, 캐리어의 재결합(recombination)에 의한 손실이 클 수 있다. 그러나, 도핑 공정이 없는 이종접합(heterojunction)의 경우에는 캐리어의 손실률을 줄일 수 있다. 더욱이, ITO 등의 투명 전도체는 전기 전도성이 우수하고, 빛의 투과성도 우수하므로 이종접합 소자로서 빈번하게 사용된다.
- [0043] 투명 전극 소자의 반도체 기판(100) 및 투명 전극(200) 내에서 전자들이 비대칭적으로 존재한다. 열적 평형상태에서 투명 전극(200)과 반도체 기판(100)의 접합으로 이루어진 다이오드 영역 내에서는 캐리어의 농도 구배에 의한 확산으로 전하의 불균형이 생기고, 이로 인해 전기장(electric field)이 형성된다.
- [0044] 이에, 투명 전극(200)과 반도체 기판(100)의 접합으로 이루어진 다이오드 영역 내부로, 다이오드 영역을 이루는 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy)보다 큰 에너지를 갖는 빛이 조사되었을 경우, 빛 에너지를 받은 전자들은 가전자대에서 전도대로 여기(excite)되며, 전도대로 여기된 전자들은 자유롭게 이동할 수 있게 된다.
- [0045] 구체적으로, 투명 전극(200)은 빛을 투과할 수 있으므로, 반사되지 않은 빛은 반도체 기판(100)에 도달할 수 있다. 도달된 빛에 의해 여기된 전자들은 반도체 기판(100)에서 비저항의 차이에 의해 투명 전극(200)으로 쉽게 이동할 수 있다.
- [0046] 예를 들어, 반도체 기판(100)의 재질이 p형 실리콘인 경우 그 비저항은 약 1 내지 10 Ωcm 가 될 수 있다. 투명 전극(200)은 ITO재질인 경우, 상기 실리콘의 비저항보다 훨씬 작은 비저항을 가질 수 있다.
- [0047] 이에 따라, 상기 여기된 전자들은 저항이 작은 투명 전극(200)으로 쉽게 이동할 수 있다. 따라서, 다수의 전자가 반도체 기판(100)에서 투명 전극(200)으로 이동하게 된다.
- [0048] 따라서, 상기 여기된 전자의 확산에 의해 다이오드 영역 내부에 전압차(potential difference)가 생기게 되며, 다이오드 영역 양측에 위치하는 제1 전극(300) 및 제2 전극(400)을 외부 회로에 연결하여 기전력을 활용함으로써, 본 실시예의 투명 전극 소자를 태양전지로서 사용할 수 있다.
- [0049] 제1 전극(300)은 투명 전극(200) 상에 형성될 수 있다. 제1 전극(300)은 투명 전극(200)과 전기적으로 접속될 수 있다. 제1 전극(300)은 도전성 물질로 형성될 수 있다. 바람직하게는 제1 전극은 금속일 수 있다. 예를 들어, 제1 전극(300)은 Ag, Au, Pt, Al 또는 Cu일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0050] 제1 전극(300)의 높이는 제1 전극(300)이 투명 전극(200)보다 낮은 비저항을 가지도록 정해질 수 있다.
- [0051] 제2 전극(400)은 반도체 기판(100)의 타면에 형성될 수 있다. 즉, 제1 전극(300)과 제2 전극(400)사이에 다이오드 영역이 존재할 수 있다. 제2 전극(400)은 도전성 물질로 형성될 수 있다. 바람직하게는 제2 전극은 금속일 수 있다. 예를 들어, 제2 전극(400)은 Ag, Au, Pt, Al 또는 Cu일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0052] 도 2를 참고하여, 본 발명의 일 실시예에 따른 투명 전극 소자 제조 방법을 설명한다.

- [0053] 도 2는 본 발명의 일 실시예에 따른 투명 전극 소자의 제조 방법을 설명하기 위한 순서도이다.
- [0054] 도 2를 참고하면, 반도체 기판을 제공한다.
- [0055] 반도체 기판(100)은 실리콘(Si) 기판, 게르마늄(Ge) 기판 등의 단일 반도체 기판일 수도 있고, 갈륨비소(GaAs) 기판과 같이 화합물 반도체 기판일 수도 있다.
- [0056] 반도체 기판(100)의 높이는 재결합 손실을 최소화하기 위해서는 얇은 것이 유리할 수 있다. 다만, 반도체 기판(100)의 두께가 너무 얇으면 제조 공정상의 어려움이 있고, 빛의 흡수가 완전히 이루어지지 않는 단점이 있다. 반도체 기판(100)의 두께가 너무 두꺼우면 경제성이 문제될 수 있다. 반도체 기판(100)의 적절한 두께는 반도체 물질마다 차이가 있지만, 실리콘의 경우 70 nm 내지 300 nm 정도가 바람직할 수 있다.
- [0057] 반도체 기판(100)은 P형 또는 N형 반도체 기판일 수 있다. 반도체 기판(100)의 도전형은 캐리어가 정공(hole)인지, 전자(electron)인지에 따라 달라질 수 있다.
- [0058] 다시 도 2를 참고하면, 이어서, 투명 전극 물질을 증착한다.
- [0059] 투명 전극(200)은 반도체 기판(100) 상에 형성될 수 있다. 투명 전극 물질은 상온(Room temperature)에서 증착될 수 있다.
- [0060] 투명 전극 물질은 투명 전극(200)을 형성하기 위한 투명한 도전체 물질로 형성될 수 있다. 투명 전극(200)은 예를 들어, ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In₂O₃), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0061] 투명 전극(200)은 반도체 기판(100) 상에 형성될 수 있다. 투명 전극(200)은 투명한 도전체 물질로 형성될 수 있다. 투명 전극(200)은 예를 들어, ITO(Indium-tin-oxide), AZO(Aluminum-zinc-oxide), 산화주석(tin-oxide), 산화 인듐(In₂O₃), Pt, Au 또는 IZO(Indium-zinc-oxide) 중에서 적어도 하나를 포함할 수 있다.
- [0062] 한편, 상기 투명 전극(200)의 높이는 특별히 한정되는 것은 아니지만, 예를 들어, 50 nm 내지 1000 nm 범위일 수 있다. 투명 전극(200)의 높이가 50nm 미만인 경우 전기 전도도가 충분치 않고, 입사광에 대한 반사율 저감 효과가 줄어들 수 있어 바람직하지 않다. 또한, 투명 전극(200)의 높이가 1000nm 초과인 경우, 전기 전도도는 높아지지만, 광반응에 의해 발생하는 전자의 포집 성능이 낮아져 광전 소자의 성능을 저하시킬 수 있다. 나아가, 투명 전극(200)이 너무 두꺼우면, 반사율의 저감 효과가 줄어들 수 있어 입사광의 투과도가 높지 않아 바람직하지 않다.
- [0063] 다시 도 2를 참고하면, 이어서, 반도체 기판(100)과 투명 전극(200)의 열처리를 수행한다.
- [0064] 열처리에 의해 반도체 기판(100)과 투명 전극(200)의 계면에는 양 쪽의 물질이 서로 침투할 수 있다. 즉, 반도체 기판(100)이 Si를 포함하는 경우, 투명 전극(200)으로는 Si가 침투할 수 있다. 또한, 투명 전극(200)이 ITO를 포함하는 경우 반도체 기판(100)으로는 Sn이 침투할 수 있다. 상기 Sn이 침투하는 확산거리는 200nm이하일 수 있다. 만일, Sn이 침투하는 거리가 200nm 초과인 경우에는 반도체 기판(100) 및 투명 전극(200)으로 구성된 이종접합소자의 정류특성이 저하될 수 있다.
- [0065] 또한, 열처리에 따라 투명 전극(200)과 반도체 기판(100)의 계면에는 산화막(210)이 형성될 수 있다. 산화막(210)은 반도체 기판(100)의 원소를 포함할 수 있다. 예를 들어, 반도체 기판(100)이 실리콘 기판인 경우, 산화막(210)은 SiO₂를 포함할 수 있다.
- [0066] 상기 열처리는 약 200℃ 내지 600℃의 온도에서 수행될 수 있다. 단, 이에 제한되는 것은 아니다. 상기 열처리는 투명 전극(200)을 재결정화 하여 비저항을 낮추는 역할을 할 수 있다. 상기 열처리의 온도가 높을수록 투명 전극(200)의 비저항은 낮아질 수 있다.
- [0067] 또한, 상기 열처리의 온도가 600℃ 이하인 경우, 이종 접합 소자의 열 스트레스(thermal stress) 및 정류특성의 저하를 방지할 수 있다. 따라서, 적당한 온도 범위의 열처리가 필요하다. 상술한 바와 같이 상기 열처리는 약 200℃ 내지 600℃의 온도에서 수행되는 것이 바람직할 수 있다.
- [0068] 상기 열처리는 급속 열처리(rapid thermal annealing, RTA)일 수 있다. 상기 급속 열처리의 공정 시간은 약 1분 내지 60분 동안 진행되는 것이 바람직할 수 있다. 즉, 상기 열처리는 일반적인 열처리보다 짧은 시간 동안 진행될 수 있다.

- [0069] 기존의 투명 전극(200)의 증착 공정의 경우 공정 시간이 길고, 증착 공정 동안 지속적인 열을 가해주어야 한다.
- [0070] 이에 반해, 본 발명의 일 실시예에 따른 투명 전극 제조 방법은 증착 공정의 시간이 대폭 감소하여 공정 비용의 감소를 불러올 수 있다. 또한 열에 약한 유연 기판(flexible)에도 투명 전극 물질을 증착할 수 있다.
- [0071] **실시예 1**
- [0072] p형 실리콘 웨이퍼를 반도체 기판으로 사용하였다. 반도체 기판 상에 도 1에 도시되었듯이, ITO(Indium-tin-oxide)재질의 투명 전극을 형성한다. 투명 전극은 200nm의 두께로 형성한다. 투명 전극은 상온(Room temperature)에서 형성된다. 이어서, 투명 전극을 300 °C의 온도로 10분 동안 급속 열처리(RTA)한다.
- [0073] **비교예 1**
- [0074] 투명 전극에 열처리를 하지 않는 것을 제외하고는 상기 실시예 1과 동일하게 하였다.
- [0075] **비교예 2**
- [0076] 투명 전극에 열처리를 300°C가 아닌 600°C로 하는 것을 제외하고는 상기 실시예 1과 동일하게 하였다.
- [0077] **실험예 1**
- [0078] 상기 실시예 1 및 비교예 1 내지 2의 계면 TEM 이미지, 깊이 프로파일(depth profile)을 측정하였다.
- [0079] 도 3의 a는 실리콘(Si)을 포함하는 반도체 기판(100) 상에 ITO를 포함하는 투명 전극(200)이 상온에서 증착된 TEM 이미지이고, 도 3의 b는 상기 증착된 투명 전극(200)을 300°C의 온도에서 열처리한 TEM 이미지이고, 도 3의 c는 상기 증착된 투명 전극(200)을 600°C의 온도에서 열처리한 TEM이미지이다. 도 4의 a, b 및 c는 각각 도 3의 a, b 및 c의 확대도이다. 이미지의 확대도이다. 도 5는 열처리를 거치지 않은 투명 전극 소자의 기판의 깊이에 따른 원소의 프로파일을 나타낸 그래프이고, 도 6은 열처리의 온도에 따라 투명 전극 소자의 기판의 깊이에 따른 Si 원소의 분포를 나타낸 그래프이다. 도 7은 열처리의 온도에 따라 투명 전극 소자의 기판의 깊이에 따른 Sn 원소의 분포를 나타낸 그래프이다.
- [0080] 도 3 및 도 4의 a를 참고하면, 비교예 1의 Si 기판과 ITO 투명 전극의 계면을 확인할 수 있다. 투명 전극(200)은 비정질(Amorphous) 부분과 결정화된 부분(crystalline)이 혼합되어 있음을 확인할 수 있다. ITO의 큐빅(cubic) 결정 구조(222)의 면간 거리(interplanar distance)가 0.29nm이다. 스케일 바(scale bar)는 반도체 기판(100)의 실리콘의 단결정 평면(111)을 기준으로 계산되었다.
- [0081] 도 3 및 도 4의 b를 참고하면, 실시예 1의 Si 기판과 ITO 투명 전극의 계면을 확인할 수 있다. 투명 전극(200)은 0.29nm의 격자 거리(lattice space)를 가지고 (222)평면 방향으로 성장하는 결정화된 부분(crystalline)를 확인할 수 있다.
- [0082] 도 3 및 도 4의 c를 참고하면, 비교예 2의 Si 기판과 ITO 투명 전극의 계면을 확인할 수 있다. 투명 전극(200)은 0.41nm의 격자 거리(lattice space)를 가지고 (211)평면 방향으로 성장하는 결정화된 부분(crystalline)를 확인할 수 있다.
- [0083] 도 4의 a 내지 c를 참고하면, 산화막(210)은 열처리의 온도에 따라 그 두께가 변화함을 알 수 있다. 도 4의 a를 참고하면, 열처리를 수행하지 않은 비교예 1의 산화막(210)은 1.3nm의 두께를 형성하였다. 자연적으로 발생하는 산화막은 약 0.2 내지 0.6nm이지만, 비교예 1의 경우 ITO를 증착하는 동안 산소 이온이 반도체 기판(100)에서 많이 빠져 나왔기 때문이다. 도 4의 b 및 c를 참고하면 실시예 1의 경우 산화막(210)이 각각 1.4nm와 1.6nm를 형성하였다. 즉, 열처리의 온도가 높아질수록 산화막(210)의 두께가 더 두꺼워짐을 알 수 있다.
- [0084] 도 5를 참고하면, 비교예 1에서는 In, O 및 Sn 원자가 200nm의 투명 전극(200) 내에 발견된다. 200nm의 깊이에서는 Si의 신호가 급격히 높아진다. 이는 200nm가 투명 전극(200)과 반도체 기판(100)의 계면이기 때문이다.
- [0085] 도 6을 참고하면, 열처리 온도에 따라, Si가 확산되는 거리가 달라짐을 알 수 있다. 즉 200nm의 경계면에서 열

처리의 온도가 올라갈수록 더욱 투명 전극(200) 즉, ITO층으로 Si가 확산됨을 알 수 있다. 구체적으로, 열처리를 하지 않은 비교예 1이 Si의 확산 거리가 가장 작고, 300 ℃의 열처리를 한 실시예 1은 비교예 1 보다 멀리 Si가 확산된다. 나아가, 600℃의 열처리를 한 비교예 2는 가장 멀리 Si가 확산됨을 확인할 수 있다.

[0086] 도 7을 참고하면, ITO를 포함하는 투명 전극(200)의 Sn 역시 열처리 온도가 올라갈수록 반도체 기판(100)내에 확산 거리가 증가한다. 구체적으로, 열처리를 하지 않은 비교예 1이 Sn의 확산 거리가 가장 작고, 300 ℃의 열처리를 한 실시예 1은 비교예 1 보다 멀리 Sn이 확산된다. 나아가, 600℃의 열처리를 한 비교예 2는 가장 멀리 Sn이 확산됨을 확인할 수 있다.

[0087] 상기와 같이, Si가 확산되면서 Si 또는 SiO_x가 산소를 찾게 되고, SnO₂의 해체를 가져온다. 따라서, SiO_x가 성장하는 결과를 가져오게 된다.

[0088] 도 8은 열처리 온도에 따른 투명 전극의 저항을 나타내기 위한 그래프이다.

[0089] 도 8을 참고하면, 비교예 1의 투명 전극의 비저항은 $8.56 \times 10^{-3} \Omega\text{m}$ 이다. 이러한, 높은 저항값은 상온에서의 불순물 도펀트(Sn⁴⁺)의 활동이 충분하지 못했기 때문이다. 열처리를 한 경우에는 이러한 저항이 감소될 수 있다. 실시예 1의 경우, 투명 전극의 비저항은 $4.97 \times 10^{-4} \Omega\text{m}$ 이다. 비교예 2의 경우 더 나아가 투명 전극의 비저항은 $2.92 \times 10^{-4} \Omega\text{cm}$ 이다.

[0090] 도 9는 열처리 온도에 따른 투명 전극의 광 투과도를 나타내기 위한 그래프이다.

[0091] 도 9를 참고하면, 600 ℃의 온도의 열처리를 한 비교예 2의 투과율이 월등하게 높은 것을 확인할 수 있다. 비교예 2의 투명 전극 소자는 400 내지 1100nm의 범위에서 89.2%의 평균 투과도가 나타났다. 비교예 2의 투명 전극 소자는 600nm에서는 투과도가 94.5%에 도달하고, 이는 실시예 1의 57.5% 및 비교예 1의 45.32%에 비교하여 높은 값이다. 실시예 1도 비교예 1 보다 높은 투과도를 가진다.

[0092] 도 10은 본 발명의 일 실시예에 따른 투명 전극 소자의 전압-전류 특성을 설명하기 위한 선형 그래프이고, 도 11은 본 발명의 일 실시예에 따른 투명 전극 소자의 전압-전류 특성을 설명하기 위한 로그 스케일(log scale) 그래프이다.

[0093] 도 10 및 11을 참고하면, 열처리를 한 실시예 1과 비교예 2의 경우는 열처리를 하지 않은 비교예 1의 경우보다 정류 효과가 감소되어 있다. 실시예 1은 이상계수(ideality factor)가 1.59로써, 이상계수가 2.31인 비교예 2 보다 향상된 정류효과를 가지는 것을 알 수 있다.

[0094] 반도체 기판(100)과 투명 전극(200) 사이의 전류 전송은 캐리어의 재결합 과정에 크게 영향을 받는데, 열처리에 의한 치유를 통해 이상 계수가 낮아질 수 있다. 그러나 과도한 고온의 열은 접합 성능을 감소시킨다. 즉, 너무 과도하지 않은 적절한 온도에서의 열처리가 필요하다.

[0095] 도 12는 열처리 온도 별로 투명 전극 소자의 IQE(Internal Quantum Efficiency)를 나타내기 위한 그래프이다. 비교예 1은 낮은 캐리어 수집 성능을 보여준다. 이에 반해, 실시예 1은 향상된 양자 효율(Quantum Efficiency, QE)을 보여주고 있다. 비교예 2는 매우 낮은 캐리어 수집 효율을 보여준다. 이는 계면에 산화막(210)이 두껍게 성장하였기 때문이다.

[0096] 도 13은 열처리 온도 별로 투명 전극 소자의 350nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이고, 도 14는 열처리 온도 별로 투명 전극 소자의 600nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이다. 도 15는 열처리 온도 별로 투명 전극 소자의 1100nm의 입사광에 대한 광 반응을 나타내기 위한 그래프이고, 도 16은 입사광의 파장에 따른 투명 전극 소자의 광 반응도를 열처리 온도 별로 나타낸 그래프이다.

[0097] 광 반응도는 광 반응 전류와 초기 전류(initial current)의 비율로 정의된다. 각각의 실시예 및 비교예들의 짧은 파장(350nm), 중간 파장(600nm) 및 긴 파장(1100nm)에 대한 광 반응을 살펴보았다.

[0098] 350nm에서는, 비교예 1은 516%, 비교예 2는 379%를 기록하였다. 이에 반해, 실시예 1은 1920%의 높은 광 반응을 기록하였다. 600nm는 실리콘 기반 광전 소자에는 매우 중요한 파장이다. 이러한 600nm에서는 광자의 높은 전파 특성에 기해 모든 실시예 및 비교예의 소자들이 향상된 광 반응도를 보여준다. 비교예 1 및 실시예 1은 각각 3100% 및 3240%의 높은 광 반응성이 측정된다. 비교예 2는 730%의 낮은 광 반응을 보여준다. 1100nm에서는 비교예 1 및 비교예 2는 각각 610% 및 103%의 광 반응을 보여준다. 이에 반해 실시예 1은 2800%의 높은 광 반응을

보여준다.

[0099] 상기 실험예에 따르면, 열처리의 온도가 높아지면 투명 전극 소자의 비저항이 낮아지지만, 이중접합 소자의 정류 특성의 저하를 가져온다. 따라서, 적절한 온도의 열처리가 필요하다.

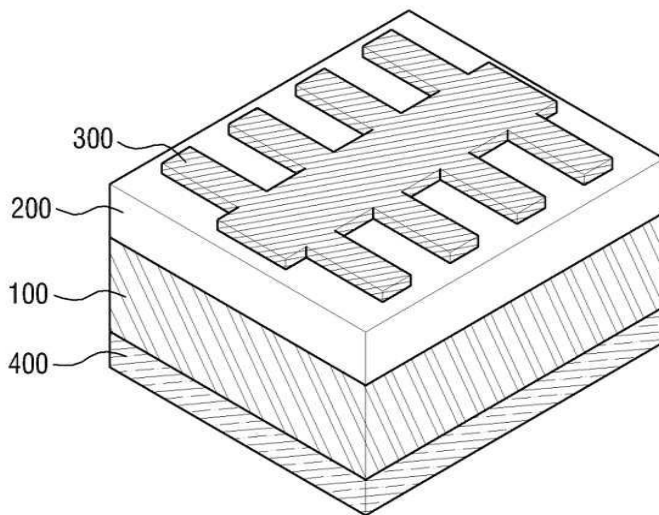
[0100] 이상 실험예 및 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

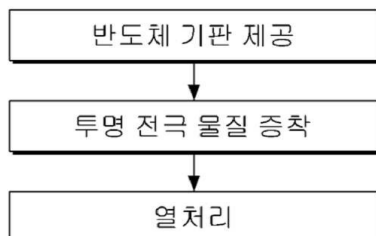
[0101] 100: 반도체 기판 200: 투명 전극
210: 산화막 300: 제1 전극
400: 제2 전극

도면

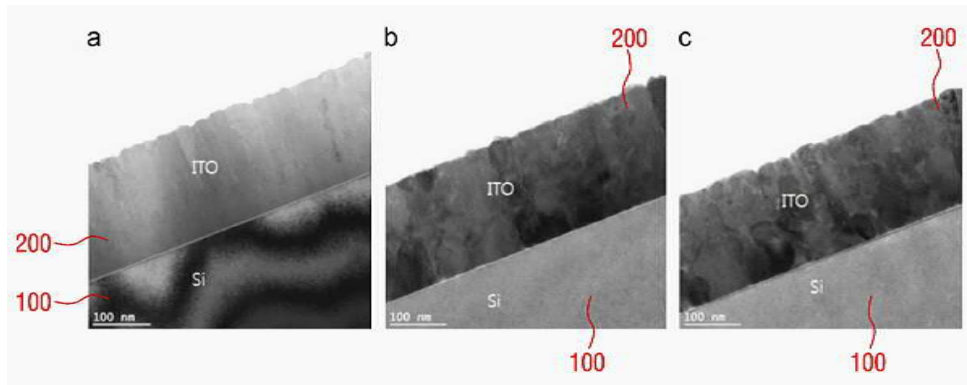
도면1



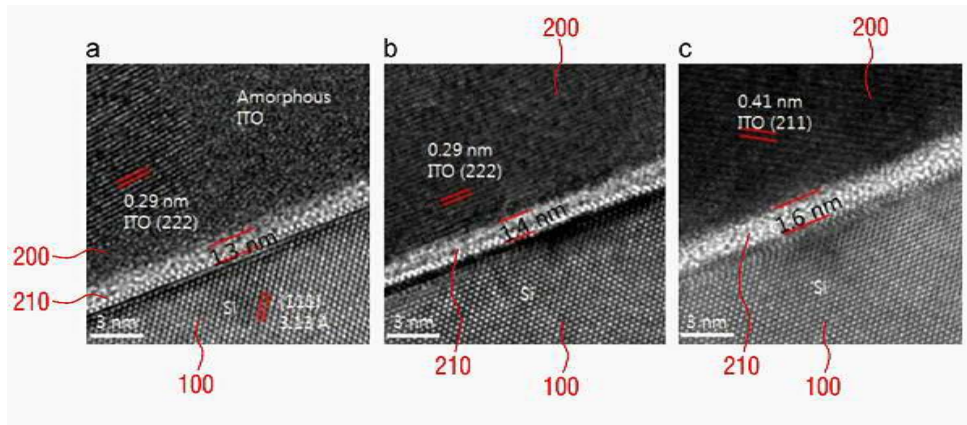
도면2



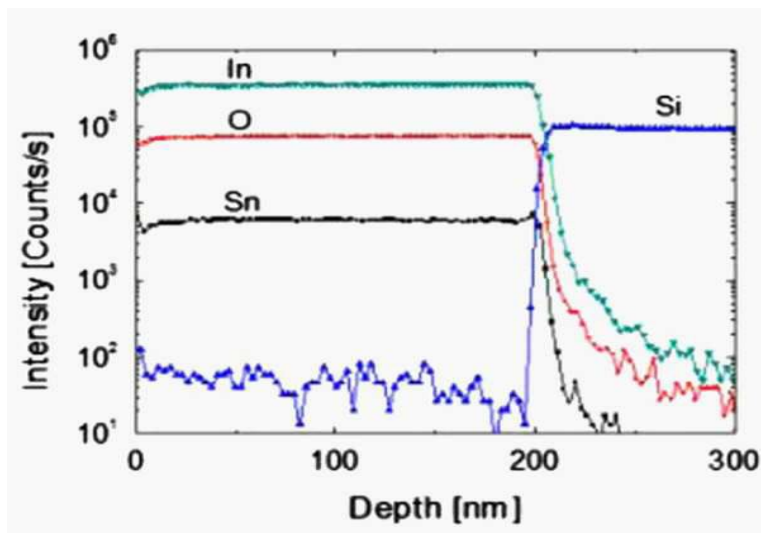
도면3



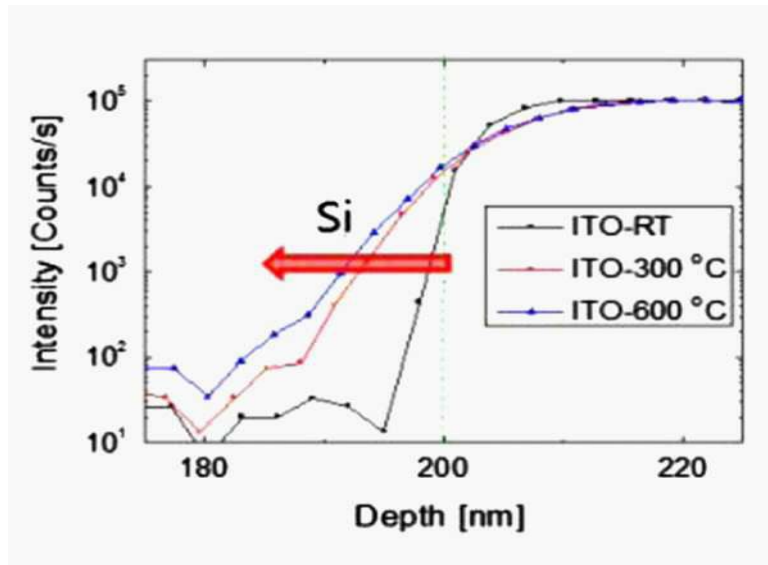
도면4



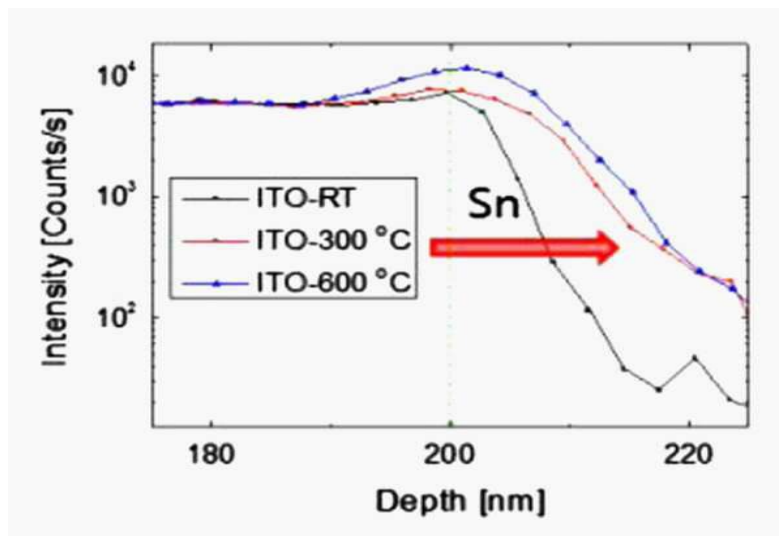
도면5



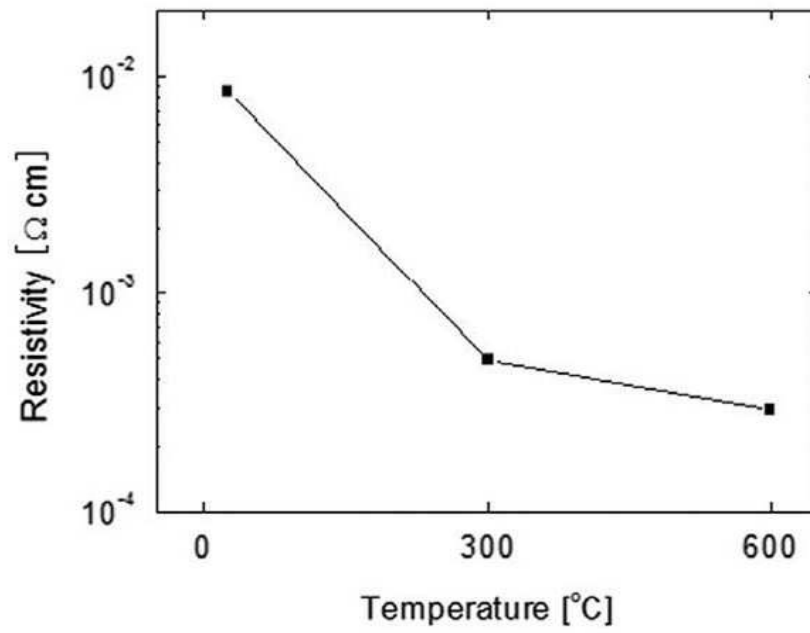
도면6



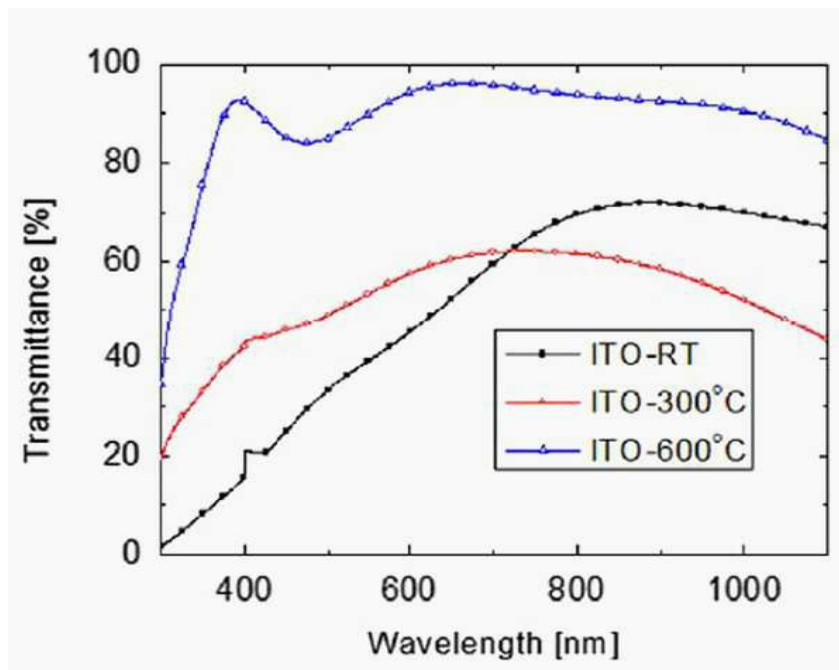
도면7



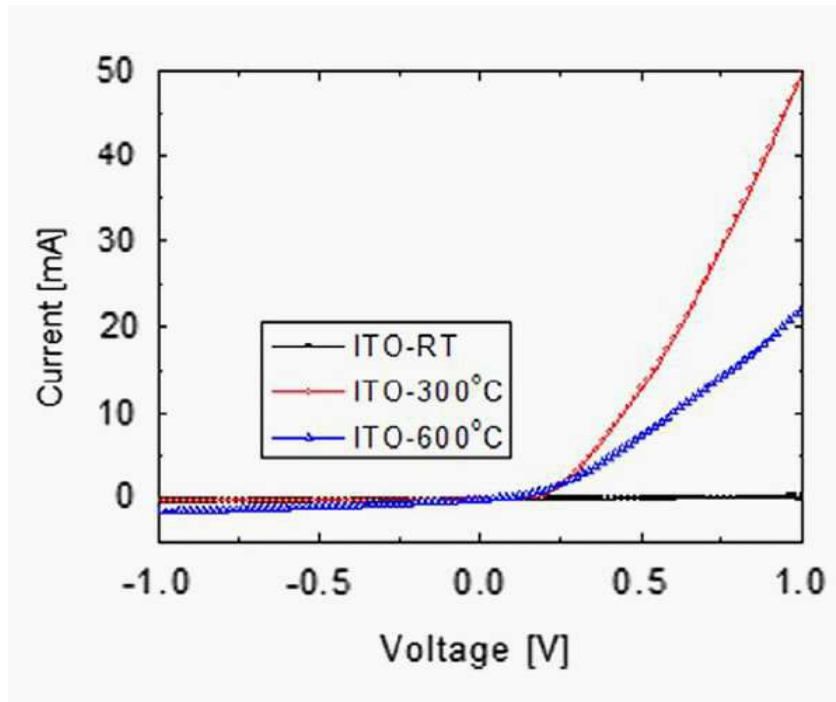
도면8



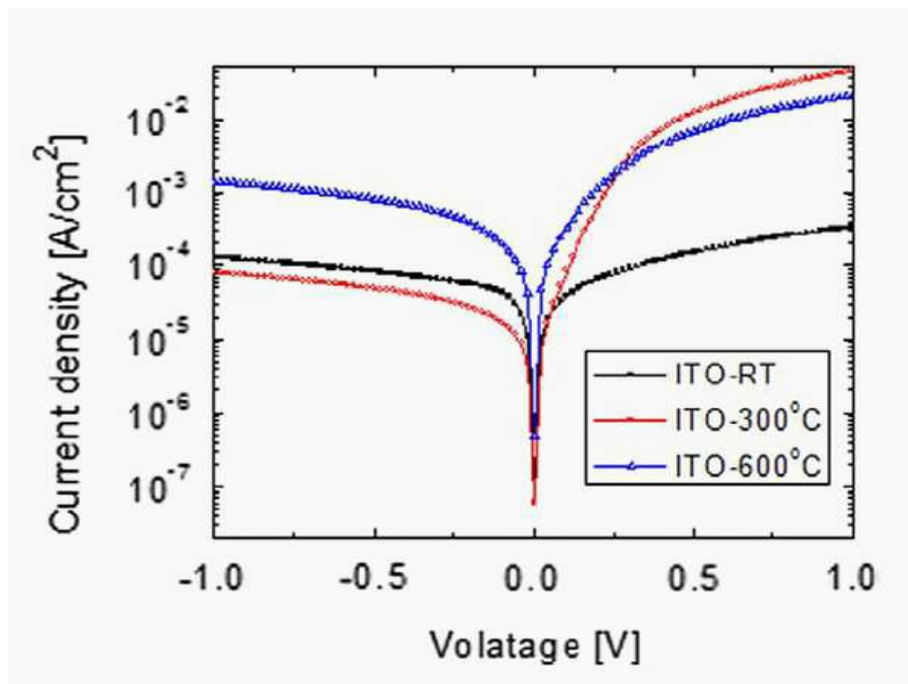
도면9



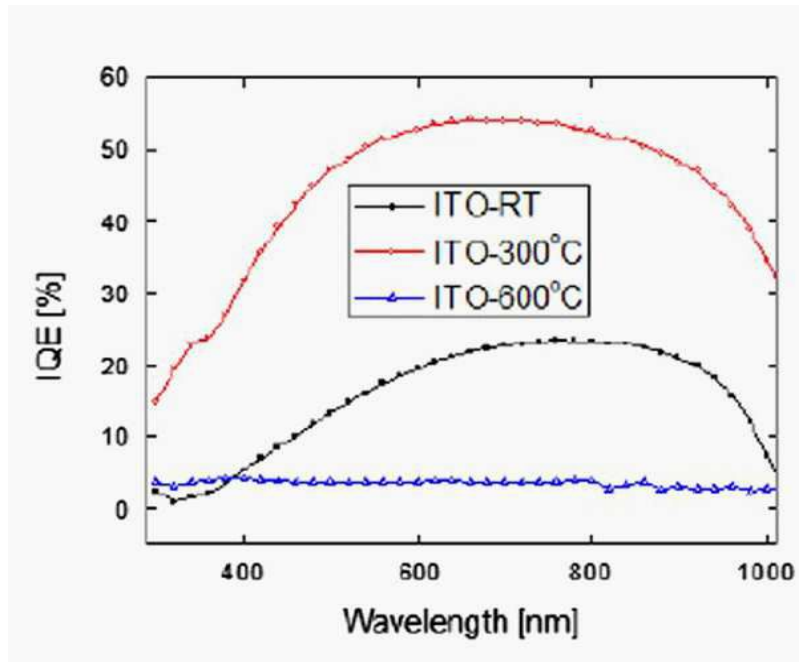
도면10



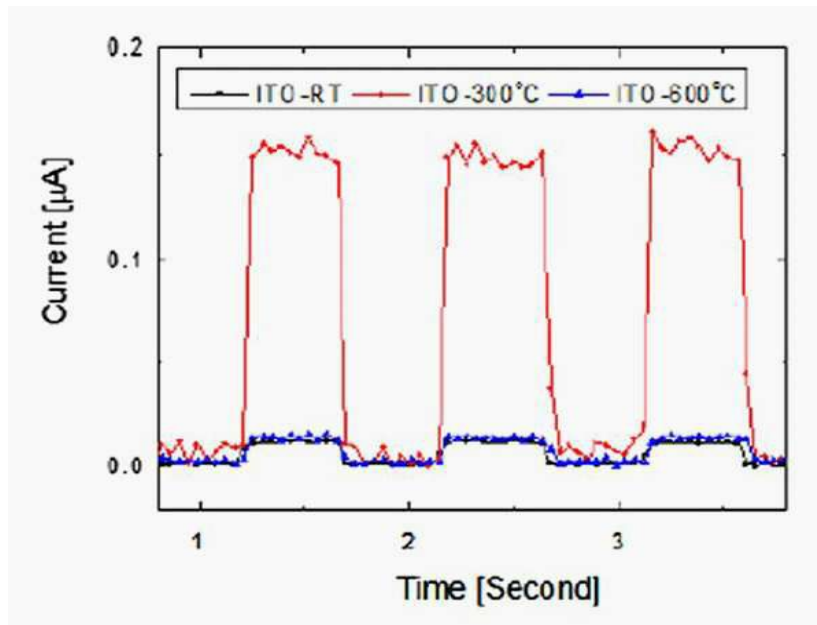
도면11



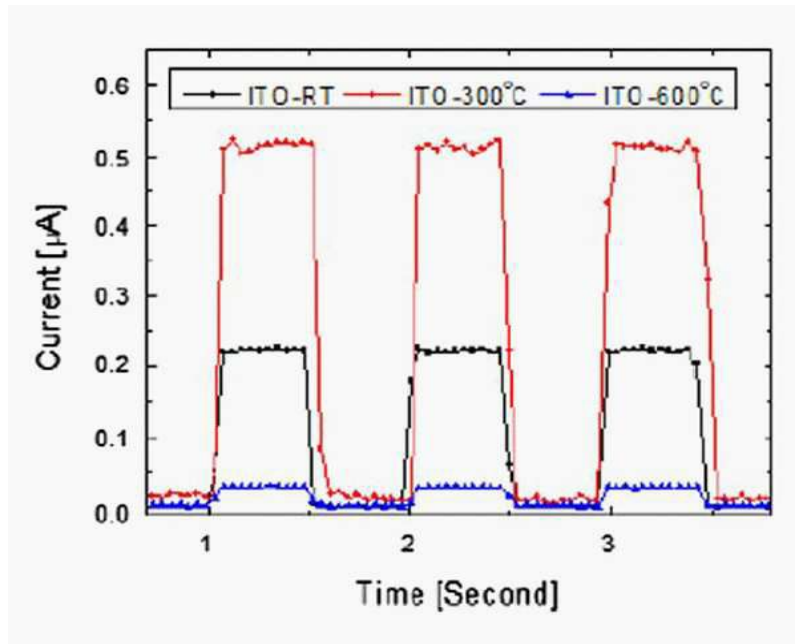
도면12



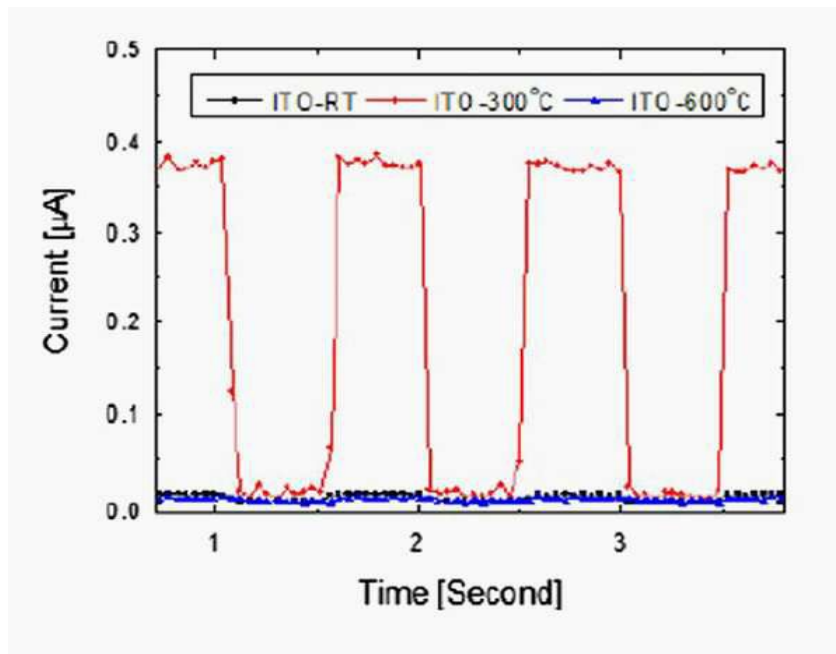
도면13



도면14



도면15



도면16

