

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月24日(24.08.2023)



(10) 国際公開番号

WO 2023/157487 A1

(51) 国際特許分類:
H04N 25/70 (2023.01)

(21) 国際出願番号: PCT/JP2022/048122

(22) 国際出願日: 2022年12月27日(27.12.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-023816 2022年2月18日(18.02.2022) JP

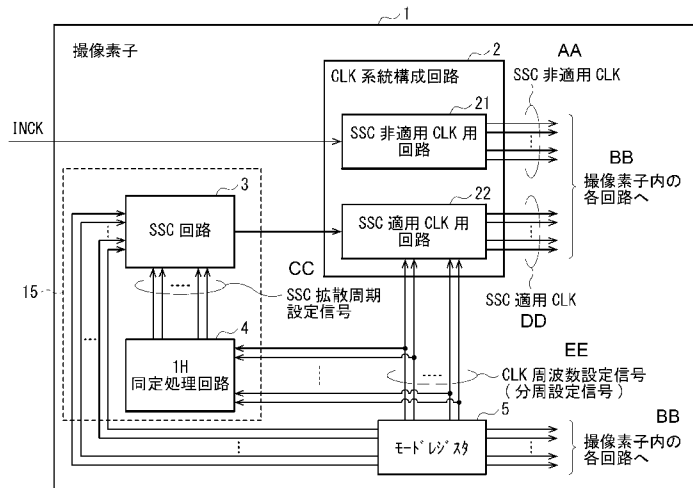
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

(72) 発明者: 落合 保博 (OCHIAI, Yasuhiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 河津 直樹(KAWAZU, Naoki); 1366 リサケル、リサケルトルグ25 ソニー ヨーロッパ ビー・ブイ内 Lysaker (NO). 佐々木 慶太(SASAKI, Keita); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(54) Title: CLOCK CONTROL CIRCUIT, AND IMAGING ELEMENT

(54) 発明の名称: クロック制御回路、および撮像素子



- 1 Imaging element
- 2 CLK system configuration circuit
- 3 SSC circuit
- 4 1H identification processing circuit
- 5 Mode register
- 21 SSC non-applicable CLK circuit
- 22 SSC applicable CLK circuit
- AA SSC non-applicable CLK
- BB To each circuit in imaging element
- CC SSC spread cycle setting signal
- DD SSC applicable CLK
- EE CLK frequency setting signal (division setting signal)

(57) Abstract: A clock control circuit according to the present disclosure comprises: a spectrum spreading circuit that spreads a spectrum in response to a clock signal used in at least one prescribed circuit in an imaging element having a plurality of pixels; and a control circuit that recognizes a horizontal scanning period for a plurality of pixels, and outputs a setting signal that controls a spread cycle of spectrum spreading by the spectrum spreading circuit such that the spread cycle becomes a desired cycle in relation to the horizontal scanning period.

(57) 要約: 本開示のクロック制御回路は、複数の画素を有する撮像素子内の少なくとも1つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、複数の画素に対する水平走査期間を認識し、スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、水平走査期間に対して所望の周期となるように拡散周期を制御する設定信号を出力する制御回路とを備える。

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

明 細 書

発明の名称：クロック制御回路、および撮像素子

技術分野

[0001] 本開示は、クロック制御回路、および撮像素子に関する。

背景技術

[0002] 電子機器におけるEMI (Electromagnetic Interference) を低減する方法として、スペクトラム拡散クロック (SSC: Spread Spectrum Clocking) を用いることが有効である。一方、撮像素子にSSCを適用した場合、画素出力に画ノイズが発生する場合があります、この画ノイズを低減する技術が提案されている (特許文献1, 2 参照)。

先行技術文献

特許文献

[0003] 特許文献1: 国際公開第2013/47404号

特許文献2: 特開2001-268355号公報

発明の概要

[0004] 特許文献1, 2に記載の技術では画ノイズの抑制が不十分であり、また、消費電力が増加する。

[0005] 低消費電力で画ノイズを抑制しつつ、SSCを良好に適用することが可能なクロック制御回路、および撮像素子を提供することが望ましい。

[0006] 本開示の一実施の形態に係るクロック制御回路は、複数の画素を有する撮像素子内の少なくとも1つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、複数の画素に対する水平走査期間を認識し、スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、水平走査期間に対して所望の周期となるように拡散周期を制御する設定信号を出力する制御回路とを備える。

[0007] 本開示の一実施の形態に係る撮像素子は、複数の画素と、少なくとも1つの所定の回路と、少なくとも1つの所定の回路に用いられるクロック信号に

対してスペクトラム拡散を行うスペクトラム拡散回路と、複数の画素に対する水平走査期間を認識し、スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、水平走査期間に対して所望の周期となるように拡散周期を制御する設定信号を出力する制御回路とを備える。

[0008] 本開示の一実施の形態に係るクロック制御回路、または撮像素子では、複数の画素に対する水平走査期間を認識し、スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、水平走査期間に対して所望の周期となるように拡散周期を制御する。

図面の簡単な説明

[0009] [図1]図1は、EMI規格と妨害波との関係の一例を示す説明図である。

[図2]図2は、SSCのクロック周波数の一例を示す説明図である。

[図3]図3は、SSCを適用した場合の妨害波の一例を示す説明図である。

[図4]図4は、撮像素子にSSCを適用した場合の画素出力結果の一例を模式的に示す説明図である。

[図5]図5は、1H期間とSSC拡散周期との関係の一例を模式的に示す説明図である。

[図6]図6は、撮像素子の一部の動作パラメータと動作範囲の仕様例を示す説明図である。

[図7]図7は、本開示の一実施の形態に係る撮像素子の概要を示すブロック図である。

[図8]図8は、一実施の形態に係る撮像素子の要部構成例を概略的に示すブロック図である。

[図9]図9は、1H同定処理回路の一構成例および1H同定処理回路の動作の概要を概略的に示すブロック図である。

[図10]図10は、1H同定処理回路の入力設定信号と出力信号との関係の一例を示す説明図である。

[図11]図11は、1H期間とSSC拡散周期との関係の変形例を模式的に示す説明図である。

[図12]図12は、同一の撮像素子において1H期間を変動させた場合の1H期間とSSC拡散周期との関係の一例を模式的に示す。

[図13]図13は、一実施の形態に係る技術の実機における性能評価の一例を示す説明図である。

[図14]図14は、1V期間および1H期間とSSC拡散周期との関係の一例を模式的に示す説明図である。

[図15]図15は、1フレーム期間内において1H期間が変動する場合のSSC拡散周期の一例を模式的に示す説明図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

0. 比較例（図1～図6）

1. 一実施の形態（図7～図15）

1. 1 構成および動作

1. 2 変形例

1. 3 効果

2. その他の実施の形態

[0011] <0. 比較例>

LSI（Large Scale Integration）の多機能化による消費電力の増大や、動作速度の向上により、製品、あるいは製品に搭載されるデバイスのEMIの規格を満たさないケースが多くなってきている。図1には、妨害波規格としてのEMI規格とEUT（Equipment Under Test）からの妨害波との関係の一例を示す。図1において横軸は周波数、縦軸は妨害波のレベルを示す。

[0012] EMIを緩和する有効な手段としては、例えばスペクトラム拡散クロック（SSC：Spread Spectrum Clocking）が良く使用される。

[0013] 図2に、SSCのCLK（クロック）周波数の一例を示す。図2の（A）には、SSCによるスペクトラム拡散後のクロック信号の波形の一例を示す

。図2の(B)には、SSCの周波数変動(周波数トレンド)の一例を示す。図2の(A), (B)において横軸は時間を示す。図2の(B)において縦軸は周波数を示す。

[0014] 図2の(B)において f_c はSSCの中心周波数を示す。SSCでは、拡散周波数(SSC拡散周期の逆数)に応じて、動的にクロック周波数が変動する。 δ は拡散率を示しており、図2の(B)の例では、中心周波数 f_c に対して $\pm \delta\%$ の周波数変動を生じさせている。

[0015] 図3に、SSCを適用した場合の妨害波の一例を示す。図3において横軸は周波数、縦軸は妨害波のレベルを示す。

[0016] SSCを適用すると、図3に示したように拡散率に応じて妨害波の周波数帯域は広がるが、妨害波のピークレベルは低減する。

[0017] 図4は、撮像素子にSSCを適用した場合の画素出力結果の一例を模式的に示している。

[0018] 前述したSSCを、例えばIC(Integrated Circuit)チップで構成されるイメージセンサなどの撮像素子に適用した場合、画素出力に対して、横筋の画ノイズが発生する場合がある。撮像素子において、横方向の1行単位の画素では同一の時刻帯で光電素子の出力をA/D(アナログ/デジタル)変換するため、横方向の出力に差分は発生しない。しかしながら、行ごとに画素をみると、SSCによるクロック周期の時間的揺らぎの影響により、画素出力は一定であっても行ごとにA/D変換結果が異なってしまう、結果的に横筋が発生する場合がある。

[0019] それゆえ、行ごとにSSCの周波数が変わらないようにするという技術が提案されている。例えば特許文献1(国際公開第2013/47404号)では、SSCのクロックをカウントし、そのカウント値を1H期間に利用し、1H期間を行ごとに変動させる。そして、1H期間の平均値の変動量を0とすることで、ノイズを抑制する技術が提案されている。また、特許文献2(特開2001-268355号公報)では、水平走査のタイミングごとにSSCをリセットする技術が提案されている。これにより、水平走査ごとに

位相（周波数）の揃った拡散クロックで動作させる。リセットには光電変換素子の電荷蓄積時間を決定する移送ゲートクロック信号を用いる。

[0020] 図5に、水平走査期間（1H期間）とSSC拡散周期との関係の一例を模式的に示す。図5の（A）には、水平走査制御信号（水平同期信号）の波形の一例を示す。図5の（B）には、SSCによるスペクトラム拡散後のクロック信号の波形の一例を示す。図5の（C）には、SSCの周波数変動（周波数トレンド）の一例を示す。図5の（A）、（B）、（C）において横軸は時間を示す。図5の（C）において縦軸は周波数を示す。

[0021] 図5には、1H期間とSSC拡散周期とを同一にした例を示す。これにより、水平走査する際は、行ごとに1H期間とSSC拡散周期とが同じとなっているのが分かる。なお、1H期間をSSC拡散周期に対して整数倍にした場合にも同じ効果が得られる。

[0022] 図6に、撮像素子の一部の動作パラメータと動作範囲の仕様例を表形式で示す。

[0023] 図5に示したように1H期間とSSC拡散周期とを行ごとに同一にする場合、1H期間を固定化することが考えられる。1H期間が固定化されていれば、あらかじめ1H期間とSSC拡散周期とを行ごとに同一となるように設計できるため、その容易性は高い。しかしながら、1H期間を行ごとに固定化することが難しい場合がある。例えば図6に示したように、撮像素子への入力クロック信号や、撮像素子自体が保有している画角特性、フレームレートなどが、仕様上可変できるようになっている。なお、図6の表において、AAA、BBB、GGG、HHH、XXX、YYYは小数点以下を含んだ数値を意味している。このように、撮像素子では動作パラメータが可変となっている場合がある。そして、撮像素子を使用するユーザが、動作範囲内で任意に動作パラメータを設定することができる場合が多分にある。それゆえ、これらのパラメータ次第では、前述した1H期間が容易に変動してしまう。1H期間が変動してしまうと、SSC拡散周期あるいはSSC拡散周期の整数倍と乖離が生じてしまうため、画素に横筋ノイズが発生してしまう。

[0024] 一方、上述した特許文献2で提案されているように、水平走査のタイミングごとにSSCをリセットすることで、1H期間が変動しても、1H期間とSSC拡散周期とを同一にすることが可能となる。しかしながら、この手法だとSSCのリセット時、および起動の際に消費する動作電流が増大する。また、SSC回路をPLL (Phase Locked Loop) で構成した際、PLLが安定動作するまでの起動時間がかかりすぎると、ブランキング期間を短くすることも難しくなる。

[0025] そこで、低消費電力で画ノイズを抑制しつつ、SSCを良好に適用することが可能なクロック制御回路、および撮像素子を提供することが望ましい。

[0026] <1. 一実施の形態>

[1. 1 構成および動作]

図7は、本開示の一実施の形態に係る撮像素子1の概要を示している。

[0027] 一実施の形態に係る撮像素子1は、例えばCCD (Charge Coupled Device) イメージセンサやCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。一実施の形態に係る撮像素子1は、携帯端末機器やカメラ機器などイメージセンサを使用する機器全般に適用可能である。

[0028] 撮像素子1は、画素アレイ10と、画素駆動部11と、画素読み出し部12と、画素信号処理部13と、制御部14とを備えている。撮像素子1は例えばICチップで構成される。

[0029] 画素アレイ10は、マトリックス状に配置された複数の画素Pを有している。画素駆動部11は、制御部14からの指示に基づいて、画素アレイ11における複数の画素Pを行ごとに順次駆動する。

[0030] 画素読み出し部12は、制御部14からの指示に基づいて、複数の画素Pからの画像信号を読み出して出力する。画素信号処理部13は、画素読み出し部12から出力された画像信号に対して所定の信号処理部を行う。

[0031] 制御部14は、撮像素子1内の各回路の制御を行う。制御部14は、クロック制御回路15を有している。クロック制御回路15は、撮像素子1内の各回路に用いられるクロック信号の生成に関する制御を行う。

[0032] 図8は、一実施の形態に係る撮像素子1の要部構成例を概略的に示している。図8には、クロック信号の生成に関連する部分の回路構成例を示す。図8には、1H期間とSSC拡散周期とを同一にするための回路構成例を示す。

[0033] 一実施の形態に係る撮像素子1は、CLK系統構成回路2と、SSC回路3と、1H同定処理回路4と、モードレジスタ5とを備えている。制御部14は、これらの構成ブロックを有していてもよい。クロック制御回路15は、少なくとも、SSC回路3と、1H同定処理回路4とを有する。

[0034] SSC回路3は、撮像素子1内の少なくとも1つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路である。SSC回路3には、PLLと、PLLのクロックを動的に制御する変調回路とが含まれる。SSC回路3の出力クロック信号は1つでもよいし、複数の出力クロック信号が存在してもよい。SSC回路3の変調回路には、SSCの拡散周波数、およびSSCの拡散率などに関する1H同定処理回路4からの設定信号（SSC拡散周期設定信号）が入力される。SSC回路3は、1H同定処理回路4からの設定信号に基づいて、1H期間の逆数（周波数）に合致した周波数となるようにSSC拡散周波数の周波数調整を行う。

[0035] CLK系統構成回路2は、撮像素子1内の各回路の動作周波数に対応したクロック信号を各回路に供給する。CLK系統構成回路2は、モードレジスタ5からの設定信号に応じたクロックの分周およびクロックの分配などを行う。CLK系統構成回路2は、SSC非適用クロック信号を生成するSSC非適用CLK用回路21と、SSC適用クロック信号を生成するSSC適用CLK用回路22とを有する。CLK系統構成回路2には、入力クロック信号として、外部入力クロック信号INCKと、SSC回路3からの出力クロック信号とが入力される。SSC非適用CLK用回路21には、外部入力クロック信号INCKが入力クロック信号として入力される。SSC適用CLK用回路22には、SSC回路3からの出力クロック信号が入力クロック信号として入力される。SSC非適用クロック信号の一部は、SSC回路3へ

の入力クロック信号として入力される（後述する図9参照）。

[0036] モードレジスタ5は、撮像素子1の各種動作モードを決める設定信号を生成する。モードレジスタ5で生成した設定信号は、撮像素子1内の各回路へ供給される。撮像素子1内の各回路は、モードレジスタ5で決定された設定に準拠して動作を行う。モードレジスタ5は、設定信号としてクロック周波数設定信号（分周設定信号）をCLK系統構成回路2と1H同定処理回路4とに出力する。

[0037] 図9に、1H同定処理回路4の一構成例および1H同定処理回路4の動作の概要を概略的に示す。

[0038] 1H同定処理回路4は、SSC拡散周期設定用メモリ41と、制御回路42とを有する。制御回路42は、複数の画素Pに対する1H期間を認識し、SSC回路3によるスペクトラム拡散の拡散周期（SSC拡散周期）が、1H期間に対して所望の周期となるようにSSC拡散周期を制御する設定信号（SSC拡散周期設定信号）をSSC回路3に出力する。ここで、所望の周期は、例えば、1H期間とSSC拡散周期とが同一となる周期である。

[0039] 制御回路42は、後述する図12、図15に示すように1H期間が変動する場合であっても、1H期間の動的な変化を認識し、SSC拡散周期が1H期間の動的な変化に追従して所望の周期となるようにSSC拡散周期設定信号を出力可能となっている。この場合、制御回路42は、1H期間のブランキング期間において、1H期間の動的な変化を認識し、1H期間の動的な変化に追従して設定信号を出力するようにしてもよい。

[0040] 制御回路42は、撮像素子1における少なくとも複数の画素Pの走査に関連する各回路に用いられるクロック設定信号に基づいて、1H期間を認識する。クロック設定信号には、例えばクロックの分周設定を示す信号が含まれる。例えば、制御回路42は、外部入力クロック信号INCKに対するSSC回路3への入力クロック信号の分周数を示す分周設定信号と、撮像素子1における少なくとも複数の画素Pの走査に関連する各回路に用いられるクロック設定信号とに基づいて、1H期間を認識するようにしてもよい。

- [0041] 制御回路42は、例えばデコーダ、組み合わせ論理回路、およびFlip Flopなどを使用した回路を含む。制御回路42は、SSC拡散周期設定用メモリ41に格納された情報を参照し、入力設定信号に基づいて、1H期間を認識する。SSC拡散周期設定用メモリ41は、例えば図10に示したようなテーブル情報を格納している。制御回路42は、入力設定信号で示される設定値とテーブル情報とのマッチングを行い、出力信号としてSSC拡散周期設定信号を出力する。
- [0042] 図10に、1H同定処理回路4の入力設定信号と出力信号との関係の一例を表形式で示す。
- [0043] 図10には、入力設定信号の一例として、画素走査に関連する各回路に用いるクロック設定信号と、SSC入力クロックの外部入力クロック信号INCKに対する分周数とを示す。また、出力信号（SSC拡散周期設定信号）の一例として、1H期間に対応するSSC入力クロックの分周数を示す。
- [0044] 図10では、画素走査に関連する各回路に用いるクロック設定信号として、信号A、B、C、D、E、Fが存在する例を示しているが、クロック設定信号の信号数は、撮像素子1の回路仕様に依拠して変わってもよい。また、信号A、B、C、D、E、Fの各信号は1bitでもよいし、複数bitで構成されてもよい。
- [0045] 図10では、入力設定信号としてSSC入力クロックの外部入力クロック信号INCKに対する分周数を示す分周設定信号を含んでいるが、画素走査に関連する各回路に用いるクロック設定信号だけで1H期間を認識可能であれば、入力設定信号は画素走査に関連する各回路に用いるクロック設定信号のみであってもよい。
- [0046] また、図10のテーブル情報において、SSC入力クロックの外部入力クロック信号INCKに対する分周数の値は、モードレジスタ5によって後から任意に設定できるようにしてもよい。例えば、現在の値に対して、全体的にマイナス1、あるいはプラス1、2倍、0.5倍などの値に設定できるようにしてもよい。同様に、1H期間に対応するSSC入力クロックの分周数

も、モードレジスタ 5 によって後から任意に設定できるようにしてもよい。例えば、現在の値に対して、全体的にマイナス 1、あるいはプラス 1、2 倍、0.5 倍などの値に設定できるようにしてもよい。

[0047] [1. 2 変形例]

図 11 に、1 H 期間と SSC 拡散周期との関係の変形例を模式的に示す。図 11 の (A) には、水平走査制御信号（水平同期信号）の波形の一例を示す。図 11 の (B) には、SSC によるスペクトラム拡散後のクロック信号の波形の一例を示す。図 11 の (C) には、SSC の周波数変動（周波数トレンド）の一例を示す。図 11 の (A), (B), (C) において横軸は時間を示す。図 11 の (C) において縦軸は周波数を示す。

[0048] 1 H 同定処理回路 4 の制御回路 42 が制御する所望の周期は、1 H 期間と SSC 拡散周期とが同一となる周期に限らず、1 H 期間が SSC 拡散周期に対して整数倍となる周期であってもよい。例えば、図 5 には、1 H 期間と SSC 拡散周期とを同一にする例を示したが、モードレジスタ 5 の設定信号によって、図 11 に示した例のように 1 H 期間を SSC 拡散周期に対して 2 倍にすることができるように構成してもよい。また、モードレジスタ 5 の設定信号によって、2 倍に限らず、1 H 期間を SSC 拡散周期に対して任意の整数倍にすることができるように構成してもよい。1 H 期間が SSC 拡散周期に対して整数倍となることが望ましいが、画素 P の横筋ノイズが強調されない範囲内においては、整数倍から多少の誤差は生じてよい。例えば整数倍から概ね数%の誤差があってもよい。なお、この整数倍にするための制御信号は、1 H 同定処理回路 4 に入力してもよいし、SSC 回路 3 に入力してもよい。

[0049] [1. 3 効果]

以上説明したように、一実施の形態に係る撮像素子 1 によれば、1 H 期間を認識し、SSC 回路 3 によるスペクトラム拡散の拡散周期（SSC 拡散周期）が、1 H 期間に対して所望の周期となるように SSC 拡散周期を制御する。これにより、低消費電力で画ノイズを抑制しつつ、SSC を良好に適用

することが可能となる。

[0050] 1 H期間が撮像素子1の動作時に固定されるのであれば、1 H期間はジッタなどの周期的な時間揺れは起こらないが、一実施の形態に係る撮像素子1によれば、1 H期間がどのように変わったとしても、撮像素子1内部で1 H期間の変動に追従し、SSC拡散周期を所望の周期にすることができる。1 H期間はSSC拡散周期に対して整数倍となることが望ましいが、画素Pの横筋ノイズが強調されない範囲内においては、この時間に差分（1 H期間とSSC拡散周期との差分）は生じてもよい。例えば概ね数%の誤差が生じてもよい。

[0051] 図12に、同一の撮像素子1において1 H期間を変動させた場合の1 H期間とSSC拡散周期との関係の一例を模式的に示す。図12の(A1), (A2)には、水平走査制御信号（水平同期信号）の波形の一例を示す。図12の(B1), (B2)には、SSCによるスペクトラム拡散後のクロック信号の波形の一例を示す。図12の(C1), (C2)には、SSCの周波数変動（周波数トレンド）の一例を示す。図12の(A1), (B1), (C1), (A2), (B2), (C2)において横軸は時間を示す。図12の(C1), (C2)において縦軸は周波数を示す。

[0052] 図12には1 H期間とSSC拡散周期とを同一にした場合を示す。図12の(A1), (B1), (C1)では1 H期間はA(s)となっている。図12の(A2), (B2), (C2)では1 H期間はB(s)となっている。数値の大小関係は、 $A > B$ となっている。上述したように、1 H同定処理回路4の制御回路42は、少なくとも画素走査に関連する各回路に用いられるクロック設定信号に基づいて、1 H期間の変動を認識することが可能であり、SSC拡散周期が1 H期間の動的な変化に追従して所望の周期となるようにSSC拡散周期設定信号を出力可能である。

[0053] (評価)

図13に、一実施の形態に係る技術の実機における性能評価の一例を示す。図13の(A)には、水平走査制御信号（水平同期信号）の波形の一例を

示す。図 13 の (B) には、SSC が適用された回路の電源電圧の揺れの波形の一例を示す。電源電圧の揺れは、撮像素子 1 の外の電源電圧をモニタすることにより得られる。図 13 の (C) には、SSC によるスペクトラム拡散後のクロック信号の波形の一例を示す。図 13 の (D) には、SSC の周波数変動 (周波数トレンド) の一例を示す。図 13 の (A), (B), (C), (D) において横軸は時間を示す。図 13 の (D) において縦軸は周波数を示す。

[0054] 1 H 期間を表す水平走査制御信号 (図 13 の (A)) は、撮像素子 1 の外部に出力され、撮像素子 1 を制御するホスト側へ同期を取るために送付される。一方、SSC が適用された回路の電源線における伝導ノイズの評価を撮像素子 1 を構成するチップの外から行うことにより、撮像素子 1 の外から電源ノイズのピーク周期の間隔をモニタできる (図 13 の (B))。これにより、撮像素子 1 の外部において、SSC のスペクトラム拡散クロック周波数のトレンドを知ることができる (SSC 拡散周期を知ることができる) (図 13 の (D))。このように、撮像素子 1 の外部において、1 H 期間と SSC 拡散周期とを容易に把握することができる。このため、一実施の形態に係る技術の実機における性能評価を撮像素子 1 の外部において容易に行うことが可能となる。

[0055] 図 14 に、垂直走査期間 (1 V 期間) および 1 H 期間と SSC 拡散周期との関係の一例を模式的に示す。図 14 の (A) には、垂直走査制御信号 (垂直同期信号) の波形の一例を示す。図 14 の (B) には、水平走査制御信号 (水平同期信号) の波形の一例を示す。図 14 の (C) には、SSC によるスペクトラム拡散後のクロック信号の波形の一例を示す。図 14 の (D) には、SSC の周波数変動 (周波数トレンド) の一例を示す。図 14 の (A), (B), (C), (D) において横軸は時間を示す。図 14 の (D) において縦軸は周波数を示す。

[0056] 仮に水平走査信号 (図 14 の (B)) が撮像素子 1 の外部へ出力されず、垂直走査信号 (垂直同期信号) (図 14 の (A)) が出力される場合は、垂

直走査期間に基づいて、上記図 1 3 に示した場合と同様の評価が可能となる。また、垂直走査期間が撮像素子 1 の 1 フレーム期間であっても、上記図 1 3 に示した場合と同様の評価が可能となる。この場合、垂直走査期間は、1 H 期間に対して、撮像素子 1 の画素 P の行数を乗算すれば得られる。なお、行数については撮像素子 1 の仕様に準ずるものとなる。

[0057] 図 1 5 に、1 フレーム期間内において 1 H 期間が変動する場合の S S C 拡散周期の一例を模式的に示す。図 1 5 の (A) には、垂直走査制御信号（垂直同期信号）の波形の一例を示す。図 1 5 の (B) には、水平走査制御信号（水平同期信号）の波形の一例を示す。図 1 5 の (C) には、S S C によるスペクトラム拡散後のクロック信号の波形の一例を示す。図 1 5 の (D) には、S S C の周波数変動（周波数トレンド）の一例を示す。図 1 5 の (A) , (B) , (C) , (D) において横軸は時間を示す。図 1 5 の (D) において縦軸は周波数を示す。

[0058] 1 フレーム期間内において 1 H 期間が変動する場合、一実施の形態に係る技術では、1 H 期間の変動に追従して S S C 拡散周期も変動する。例えば、撮像素子 1 の入力クロック信号（外部入力クロック信号 I N C K）の周波数を変更させた場合、あるいは、1 フレーム期間を外部から制御し、変更させた場合等には、1 H 期間が変更される。そのような場合において、前述した電源ノイズのピークの変動の周期（S S C 拡散周期と等価）が、1 H 期間と等しくなっているか否かの実証が可能である。撮像素子 1 を使用するユーザによっては、図 1 5 に示したように、1 H 期間を 1 フレーム期間内で任意に変更する可能性がある。一実施の形態に係る技術では、図 1 5 に示したように 1 フレーム期間内で 1 H 期間がダイナミックに変動したとしてもブランキング期間内での逐次処理により、随時、S S C 拡散周期と 1 H 期間とを同じとすることが可能となる。例えば、ブランキング期間に 1 H 期間の変更が外部から制御された場合、撮像素子 1 内では、1 H 同定処理回路 4 の処理、および S S C 回路 3 の分周設定変更のみを行うようにしてもよい。これにより、例えば数クロック内に S S C の設定を完結させることができる。なお、図

15の(D)において、SSC拡散周期は、 $A > B$ となる。

[0059] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。以降の他の実施の形態の効果についても同様である。

[0060] <2. その他の実施の形態>

本開示による技術は、上記一実施の形態の説明に限定されず種々の変形実施が可能である。

[0061] 例えば、本技術は以下のような構成を取ることもできる。

以下の構成の本技術によれば、複数の画素に対する水平走査期間を認識し、スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、水平走査期間に対して所望の周期となるように拡散周期を制御する。これにより、低消費電力で画ノイズを抑制しつつ、SSCを良好に適用することが可能となる。

[0062] (1)

複数の画素を有する撮像素子内の少なくとも1つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、

前記複数の画素に対する水平走査期間を認識し、前記スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、前記水平走査期間に対して所望の周期となるように前記拡散周期を制御する設定信号を出力する制御回路とを備える

クロック制御回路。

(2)

前記所望の周期は、前記水平走査期間と前記拡散周期とが同一となる周期、または前記水平走査期間が前記拡散周期に対して整数倍となる周期である
上記(1)に記載のクロック制御回路。

(3)

前記制御回路は、前記水平走査期間の動的な変化を認識し、前記拡散周期が前記水平走査期間の動的な変化に追従して前記所望の周期となるように前

記設定信号を出力する

上記（１）または（２）に記載のクロック制御回路。

（４）

前記制御回路は、前記水平走査期間のブランキング期間において、前記水平走査期間の動的な変化を認識し、前記水平走査期間の動的な変化に追従して前記設定信号を出力する

上記（３）に記載のクロック制御回路。

（５）

前記制御回路は、前記撮像素子における少なくとも前記複数の画素の走査に関連する回路に用いられるクロック設定信号に基づいて、前記水平走査期間を認識する

上記（１）ないし（４）のいずれか１つに記載のクロック制御回路。

（６）

前記制御回路は、外部入力クロック信号に対する前記スペクトラム拡散回路への入力クロック信号の分周数を示す分周設定信号と、前記撮像素子における少なくとも前記複数の画素の走査に関連する回路に用いられるクロック設定信号とに基づいて、前記水平走査期間を認識する

上記（１）ないし（５）のいずれか１つに記載のクロック制御回路。

（７）

複数の画素と、

少なくとも１つの所定の回路と、

前記少なくとも１つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、

前記複数の画素に対する水平走査期間を認識し、前記スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、前記水平走査期間に対して所望の周期となるように前記拡散周期を制御する設定信号を出力する制御回路と

を備える

撮像素子。

[0063] 本出願は、日本国特許庁において2022年2月18日に出願された日本特許出願番号第2022-23816号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0064] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 複数の画素を有する撮像素子内の少なくとも1つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、
- 前記複数の画素に対する水平走査期間を認識し、前記スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、前記水平走査期間に対して所望の周期となるように前記拡散周期を制御する設定信号を出力する制御回路と
- を備える
- クロック制御回路。
- [請求項2] 前記所望の周期は、前記水平走査期間と前記拡散周期とが同一となる周期、または前記水平走査期間が前記拡散周期に対して整数倍となる周期である
- 請求項1に記載のクロック制御回路。
- [請求項3] 前記制御回路は、前記水平走査期間の動的な変化を認識し、前記拡散周期が前記水平走査期間の動的な変化に追従して前記所望の周期となるように前記設定信号を出力する
- 請求項1に記載のクロック制御回路。
- [請求項4] 前記制御回路は、前記水平走査期間のブランキング期間において、前記水平走査期間の動的な変化を認識し、前記水平走査期間の動的な変化に追従して前記設定信号を出力する
- 請求項3に記載のクロック制御回路。
- [請求項5] 前記制御回路は、前記撮像素子における少なくとも前記複数の画素の走査に関連する回路に用いられるクロック設定信号に基づいて、前記水平走査期間を認識する
- 請求項1に記載のクロック制御回路。
- [請求項6] 前記制御回路は、外部入力クロック信号に対する前記スペクトラム拡散回路への入力クロック信号の分周数を示す分周設定信号と、前記

撮像素子における少なくとも前記複数の画素の走査に関連する回路に用いられるクロック設定信号とに基づいて、前記水平走査期間を認識する

請求項 1 に記載のクロック制御回路。

[請求項7]

複数の画素と、

少なくとも 1 つの所定の回路と、

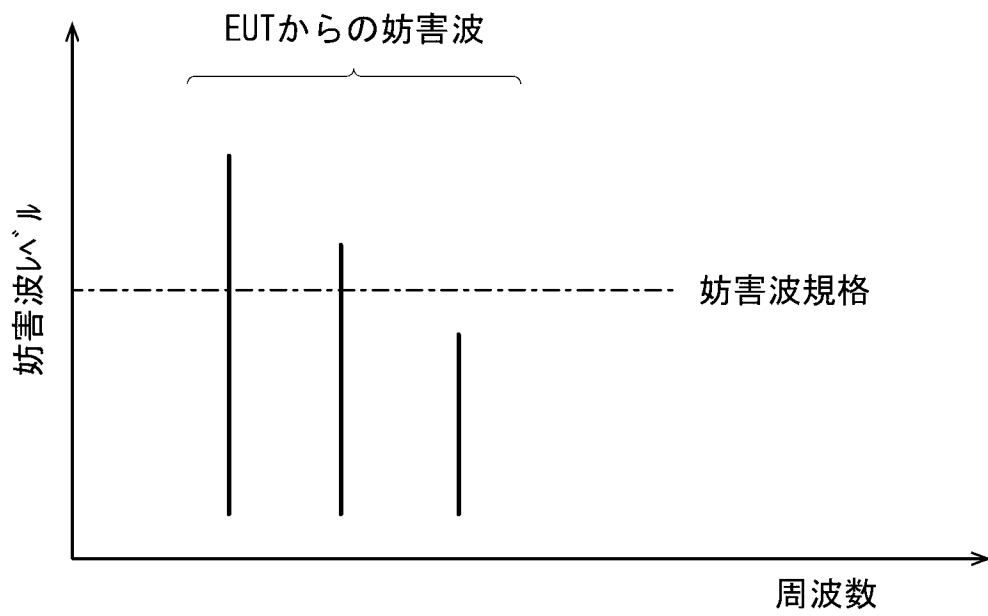
前記少なくとも 1 つの所定の回路に用いられるクロック信号に対してスペクトラム拡散を行うスペクトラム拡散回路と、

前記複数の画素に対する水平走査期間を認識し、前記スペクトラム拡散回路によるスペクトラム拡散の拡散周期が、前記水平走査期間に対して所望の周期となるように前記拡散周期を制御する設定信号を出力する制御回路と

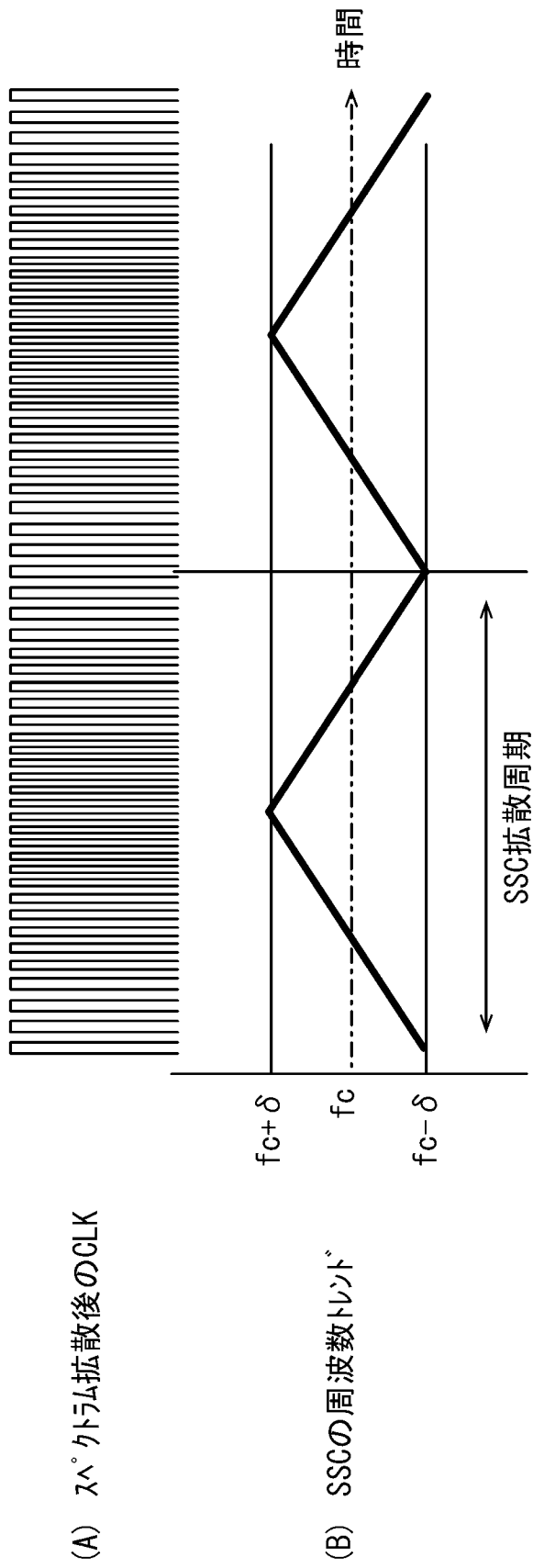
を備える

撮像素子。

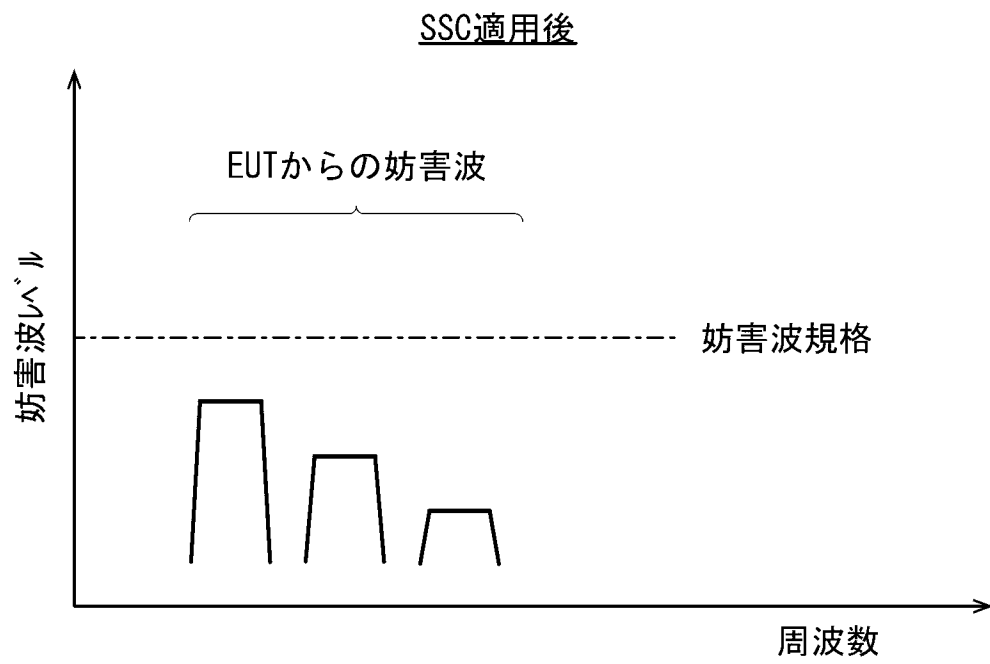
[図1]



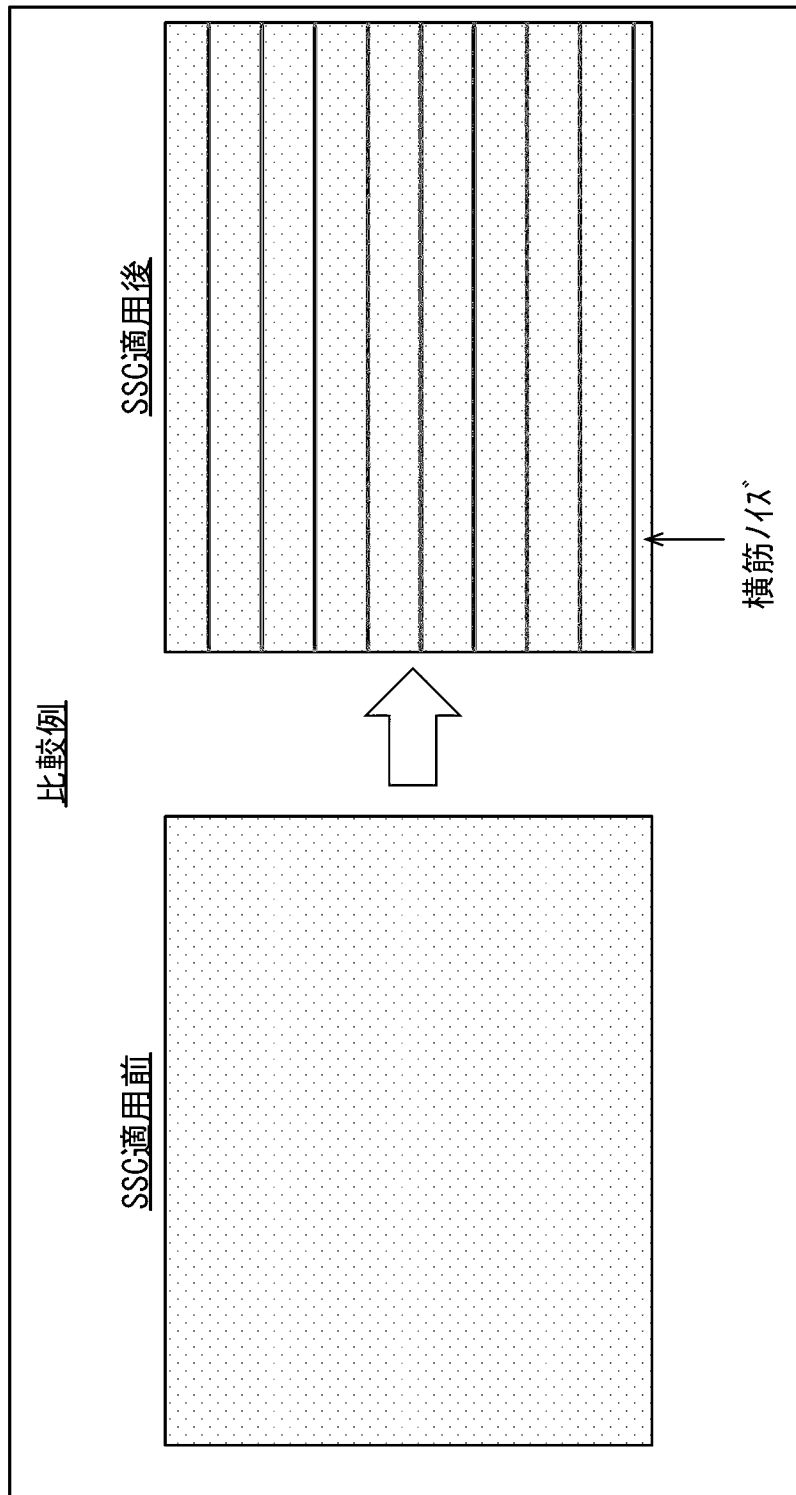
[図2]



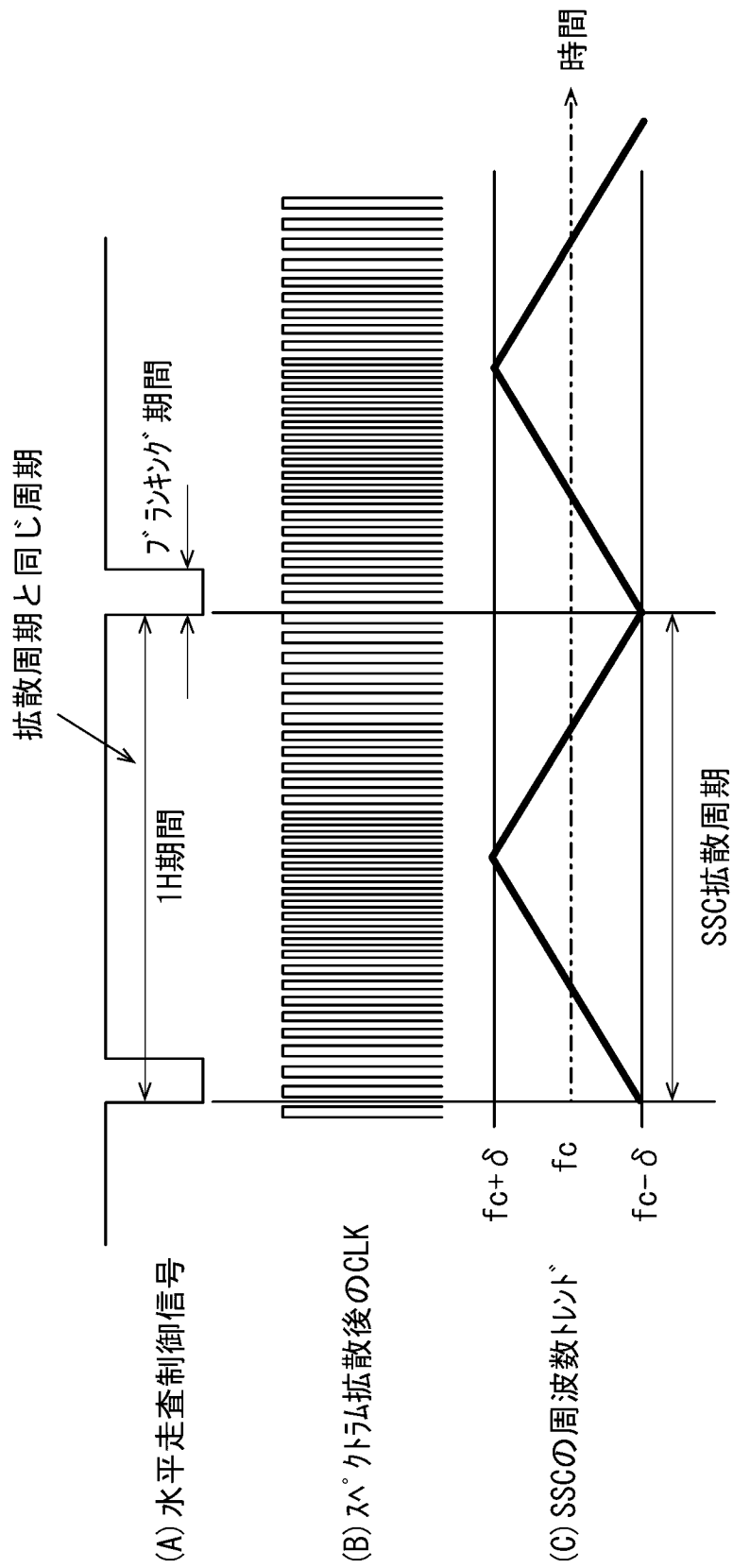
[図3]



[図4]



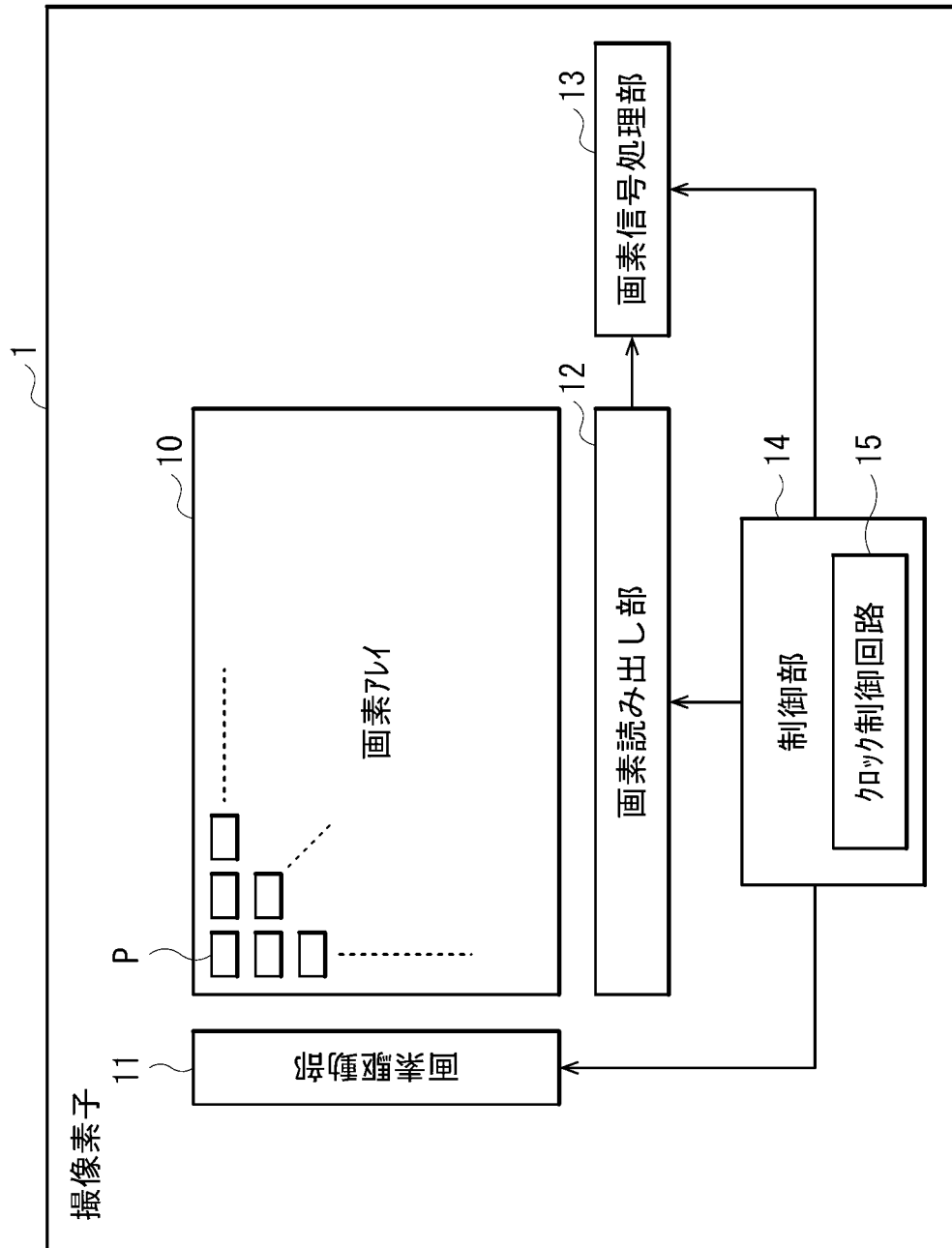
[図5]



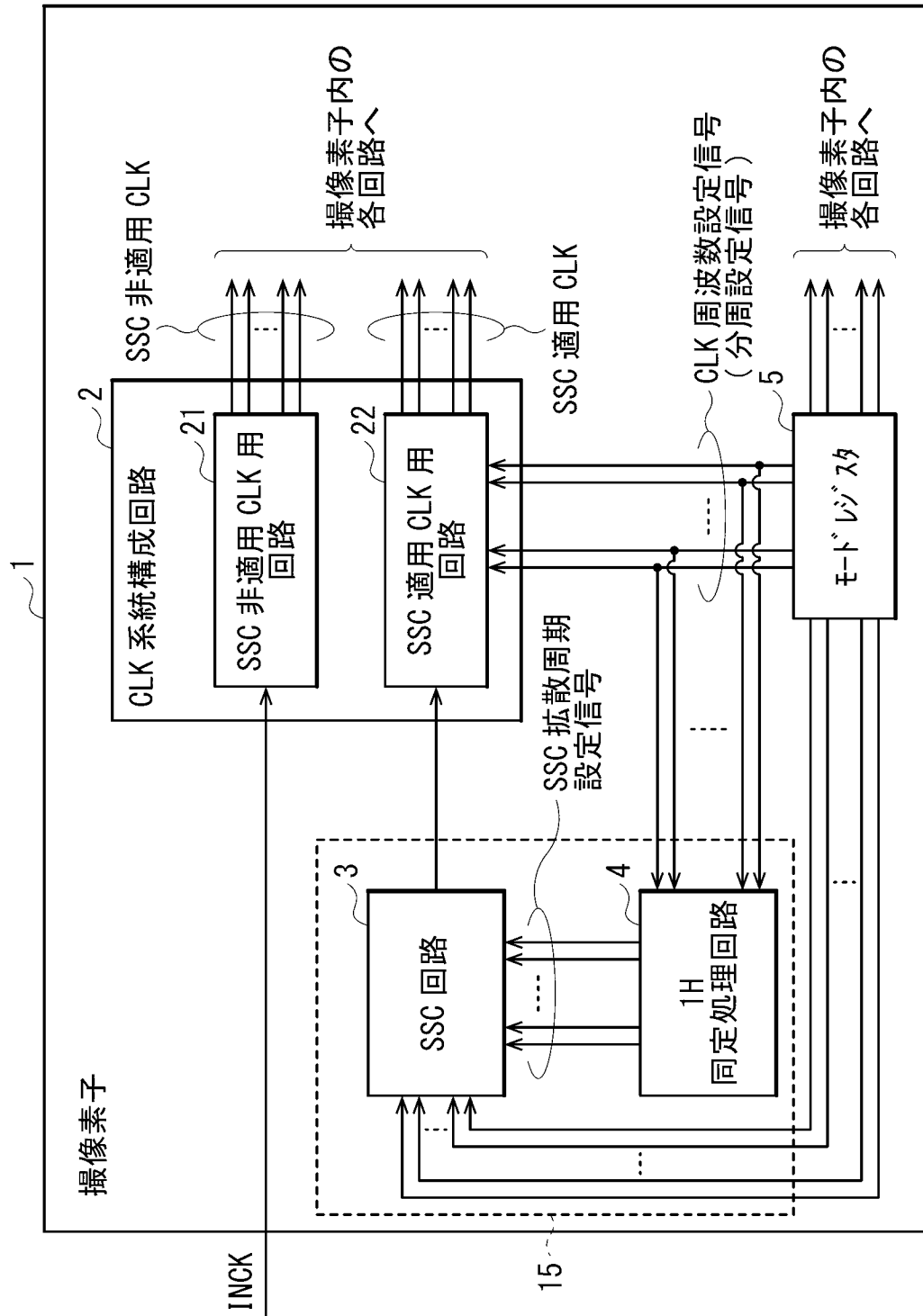
[図6]

パラメータ	動作範囲
撮像素子への入力 CLK	AAA ~ BBB (MHz)
画角	GGG ~ HHH (°)
フレームレート	XXX ~ YYY (fps)

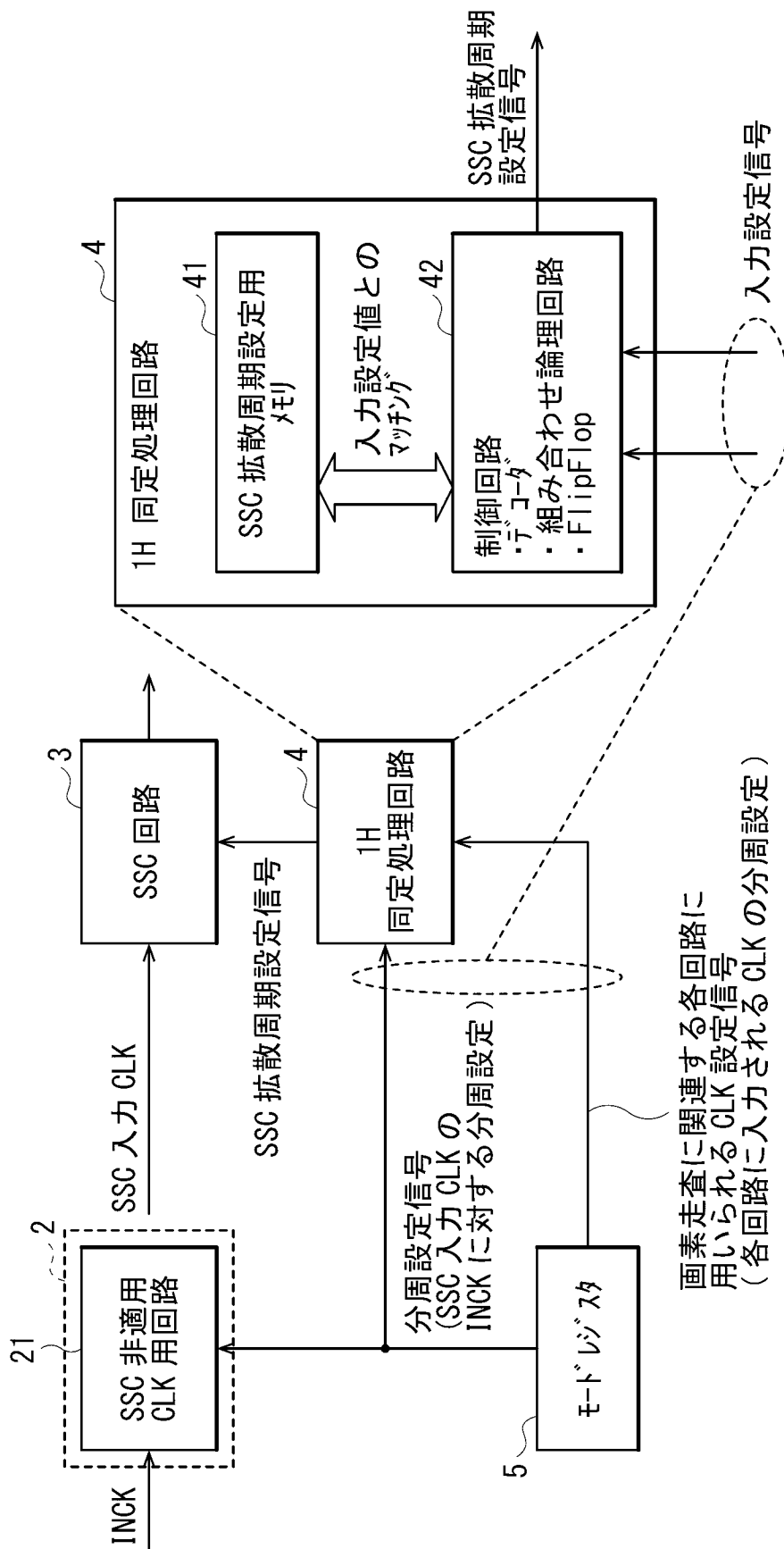
[図7]



[図8]



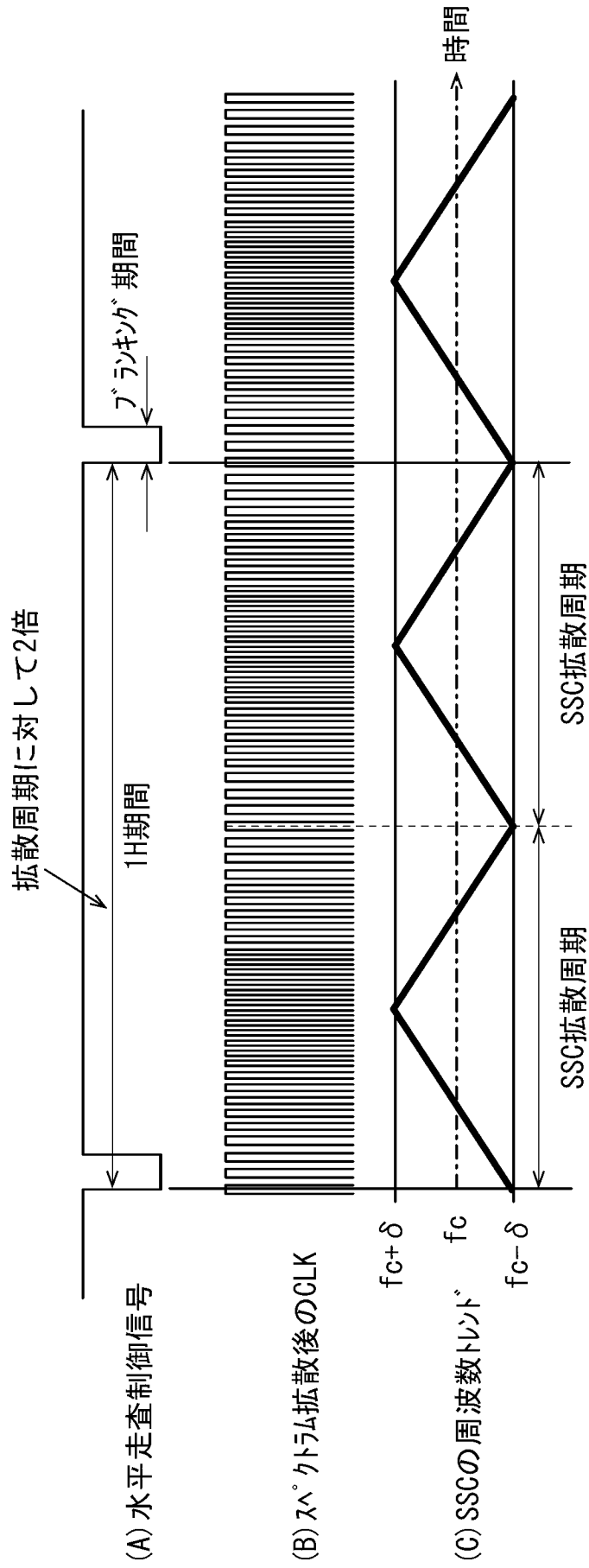
[図9]



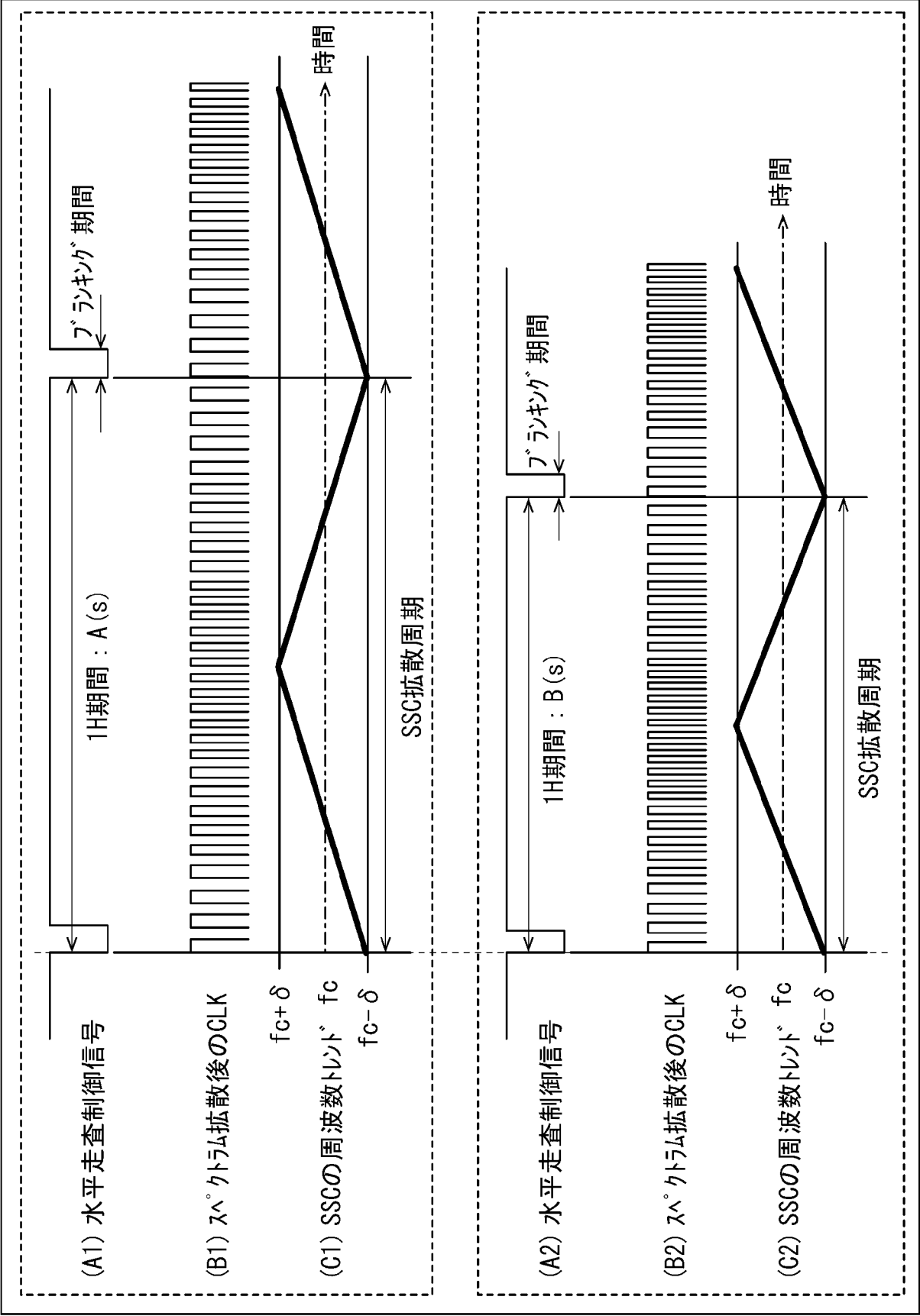
[図10]

入力設定信号							出力信号
画素走査に関連する各回路に用いられるCLK設定信号							1H 期間に対応するSSC 入力 CLK の分周数
信号 A	信号 B	信号 C	信号 D	信号 E	信号 F	SSC 入力 CLK の INCK に対する分周数	—
0	0	0	0	0	0	5	65
0	0	0	0	0	1	6	64
0	0	0	0	1	0	7	63
0	0	0	0	1	1	8	62
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	0	0	65	5
1	1	1	1	0	1	66	4
1	1	1	1	1	0	67	3
1	1	1	1	1	1	68	2

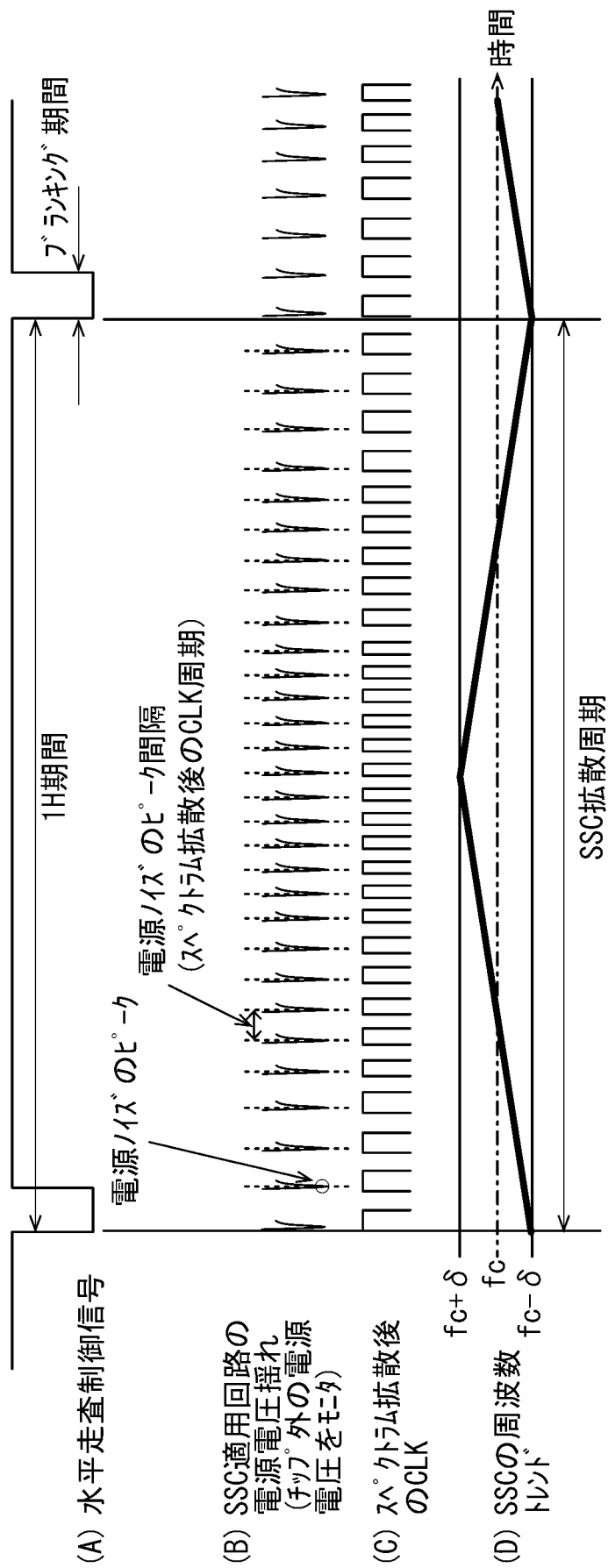
[図11]



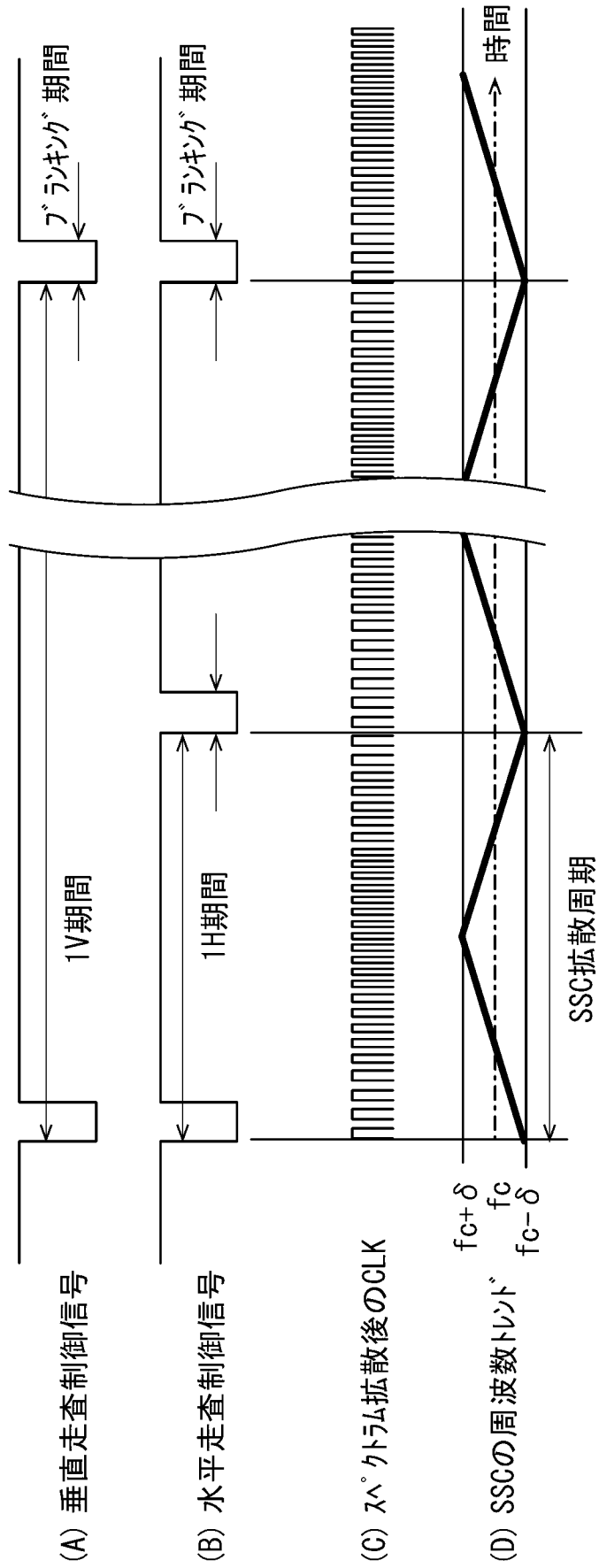
[図12]



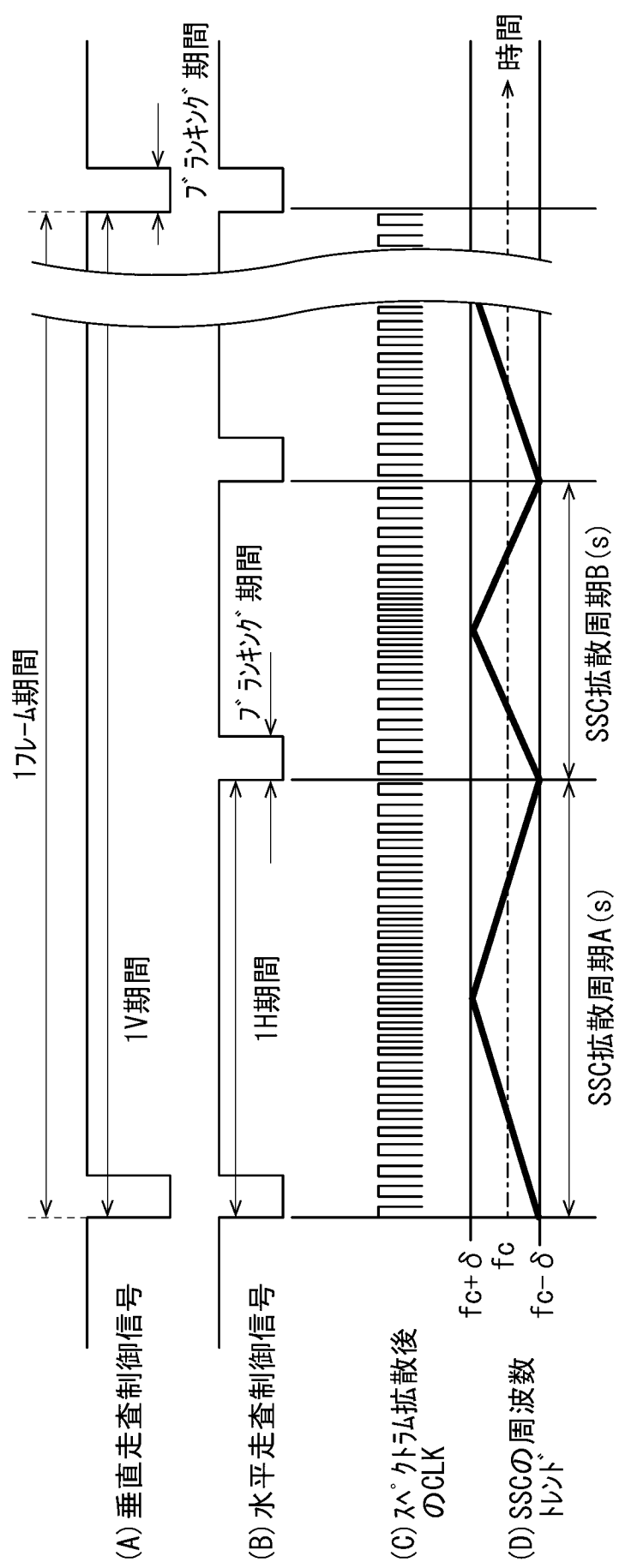
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/048122

A. CLASSIFICATION OF SUBJECT MATTER**H04N 25/70**(2023.01)i

FI: H04N25/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-103679 A (RICOH CO., LTD.) 08 June 2017 (2017-06-08) paragraphs [0017], [0024], [0045]-[0048], [0051], fig. 5, 12-14	1, 3-4, 7
Y		2, 5-6
Y	JP 2004-505565 A (KONINKLIJKE PHILIPS ELECTRONICS N.V.) 19 February 2004 (2004-02-19) paragraph [0022], fig. 3-5	2
Y	WO 2017/159122 A1 (RICOH CO., LTD.) 21 September 2017 (2017-09-21) paragraph [0108], fig. 34	5-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

03 March 2023

Date of mailing of the international search report

14 March 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/048122

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2017-103679	A	08 June 2017	US 2017/0163836 A1 paragraphs [0040], [0047], [0068]-[0071], [0074], fig. 5, 12-14	
JP	2004-505565	A	19 February 2004	US 6665019 B1 column 4, lines 44-52, fig. 3-5 WO 2002/011452 A1 KR 10-2002-0033831 A CN 1386377 A	
WO	2017/159122	A1	21 September 2017	US 2019/0007566 A1 paragraph [0149], fig. 34 EP 3432565 A1 CN 108713315 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H04N 25/70(2023.01)i FI: H04N25/70														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H04N25/70 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2017-103679 A（株式会社リコー）08.06.2017（2017 - 06 - 08） 段落[0017], [0024], [0045]-[0048], [0051], 図5, 12-14	1, 3-4, 7												
Y		2, 5-6												
Y	JP 2004-505565 A（コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ）19.02.2004（2004 - 02 - 19） 段落[0022], 図3-5	2												
Y	WO 2017/159122 A1（株式会社リコー）21.09.2017（2017 - 09 - 21） 段落[0108], 図34	5-6												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.03.2023	国際調査報告の発送日 14.03.2023													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/048122

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-103679	A	08.06.2017	US 2017/0163836 A1 段落[0040], [0047], [0068]- [0071], [0074], 図5, 12-14	
JP	2004-505565	A	19.02.2004	US 6665019 B1 第4欄第44行-第52行, 図3-5 WO 2002/011452 A1 KR 10-2002-0033831 A CN 1386377 A	
WO	2017/159122	A1	21.09.2017	US 2019/0007566 A1 段落[0149], 図34 EP 3432565 A1 CN 108713315 A	