



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

202963

(II)

(B1)

/22/ Přihlášeno 24 05 79
/21/ /PV 3574-79/

(51) Int. Cl.³
G 06 F 7/48

(40) Zveřejněno 30 05 80

(45) Vydáno 15 10 82

(75)
Autor vynálezu

STARÝ JAROSLAV ing., DLABOLA FRANTIŠEK ing., MARTÍNEK MILOSLAV ing.,
SLOVÁČEK PAVEL ing., TLAMSA JIŘÍ ing., PLACHÝ MIROSLAV, NOVOTNÝ JIŘÍ ing.,
SLADKÝ MILAN ing., KOŽNER JAROSLAV ing., MAŘÍK JIŘÍ ing., KUNST ROBERT,
STRAKA BOHUMÍR ing., BODLÁK MIROSLAV ing., BARTÁK STANISLAV ing.,
HAKR JAN a HAJNÝ JAROSLAV ing., PRAHA

(54) Zapojení aritmetické jednotky

1

Vynález se týká zapojení aritmetické jednotky, zejména pro zobrazovací a tiskací zařízení. Dosud známá zapojení aritmetických jednotek jsou uspořádána tak, aby aritmetická jednotka mohla uskutečňovat aritmetické operace s operandy reprezentovanými dvojkovými nebo dvojkově kódovanými desítkovými čísly. Při zpracování dvojkových čísel pracuje aritmetická jednotka s výpočetním rozsahem modulo N , kde $N = 2^n$, přičemž n je počet míst dvojkového čísla odpovídající šíři toku vstupů a výstupů aritmetické jednotky.

Při zpracování dvojkově kódovaných desítkových čísel pracuje aritmetická jednotka s výpočetním rozsahem modulo M , kde $M = 10^m$, přičemž m je počet míst dvojkově kódovaného desítkového čísla a šíře toku vstupů a výstupů aritmetické jednotky je rovna $4m$. Pro zpracování dvojkově kódovaných desítkových čísel je třeba zajistit kromě toho výpočetní rozsah modulo 10 pro každý desítkový řád. Tento výpočetní rozsah se obvykle zajišťuje pomocí korekční sčítačky, která uskutečňuje na základě detekce mimokódové kombinace nebo přenosu z nejvyššího bitu čtveřice bitů zobrazující jeden desítkový řád desítkovou korekci přičtením korekční konstanty.

Aritmetické jednotky jsou vybavovány jedním nebo několika střadači. Při provádění aritmetické operace však pracuje aritmetická jednotka jen s obsahem jednoho ze střadačů. Ostatní střadače se využívají například při aritmetických operacích s několika operandy, při kterých se do jednotlivých střadačů ukládají mezivýsledky jednotlivých operací, čímž se sníží potřebný počet přesunů mezi registry aritmetické jednotky a mezi střadačem a operační pamětí. Dále je možno několika střadačů využít například v multiprogramovém režimu nebo při přerušeních, kdy je každému procesu přidělen samostatný střadač, takže při přechodu k výpočtu jiného procesu není nutno přesouvat obsah střadače do operační paměti. Některá uspořádání aritmetických jednotek řeší problém přechodu k výpočtu jiného procesu tak, že aritmetická jednotka je vybavena dvěma soubory registrů, z nichž jeden soubor je pracovní a druhý záložní. Při přechodu k výpočtu jiného procesu se jedinou instrukcí vymění obsah pracovního a záložního souboru.

Účelem vynálezu je odstranění nedostatku stávajícího stavu techniky spočívajícího v tom,

Že tato zapojení jsou složitá, takže jejich aplikace je při řešení jednodušších úloh neekonomická. V mnoha případech je další nevýhodou to, že aritmetickou jednotku, která je součástí procesoru, nelze řídit technickými prostředky, ale pouze programem. Pak je třeba některé činnosti, například obnovování obsahu dynamických pamětí nebo adresování vyrovnávacích pamětí pro zobrazování jejich obsahu, řešit speciálními technickými prostředky, například čítači, a aritmetickou jednotku procesoru nelze pro tyto účely využívat.

Výše uvedené nedostatky odstraňuje podle tohoto vynálezu zapojení aritmetické jednotky určené pro zobrazovací a tiskací zařízení, sestávající z multiplexoru, registru vztažné hodnoty, řídicích obvodů, sčítačky, korekčních obvodů, prvního střadače, druhého střadače, přepínače a řídicí sběrnice, podle vynálezu, jehož podstata spočívá v tom, že multiplexor je svým prvním vstupem připojen k druhému výstupu řídicí sběrnice, svým druhým vstupem je připojen k prvnímu vstupu aritmetické jednotky, svým třetím vstupem je připojen k prvnímu výstupu korekčních obvodů a k druhému vstupu aritmetické jednotky, svým čtvrtým vstupem je připojen k třetímu vstupu aritmetické jednotky a k prvnímu vstupu registru vztažné hodnoty a svým pátým vstupem je připojen k výstupu registru vztažné hodnoty. Jeho výstup je připojen k prvnímu vstupu sčítačky.

Registr vztažné hodnoty je svým druhým vstupem připojen k prvnímu výstupu řídicí sběrnice. Řídicí obvody jsou svým prvním vstupem připojeny ke čtvrtému vstupu aritmetické jednotky, svým druhým vstupem jsou připojeny k pátému vstupu aritmetické jednotky a svým třetím vstupem jsou připojeny k šestému vstupu aritmetické jednotky, zatímco jejich výstup je připojen k prvnímu vstupu řídicí sběrnice. Sčítačka je svým druhým vstupem připojena k výstupu přepínače, zatímco její výstup je připojen k prvnímu vstupu korekčních obvodů, k prvnímu vstupu prvního střadače a k prvnímu vstupu druhého střadače. Druhý vstup korekčních obvodů je připojen k třetímu výstupu řídicí sběrnice a jejich druhý výstup je připojen k druhému výstupu aritmetické jednotky. První střadač je svým druhým vstupem připojen ke čtvrtému výstupu řídicí sběrnice a jeho výstup je připojen k prvnímu vstupu přepínače. Druhý střadač je svým druhým vstupem připojen k pátému výstupu řídicí sběrnice a jeho výstup je připojen k druhému vstupu přepínače. Přepínač je svým třetím vstupem připojen k šestému výstupu řídicí sběrnice a jeho výstup je připojen k prvnímu výstupu aritmetické jednotky.

Výhody zapojení aritmetické jednotky podle vynálezu spočívají v tom, že aritmetická jednotka obsahuje dva střadače, do kterých lze současně ukládat výsledek uskutečňované aritmetické operace, přičemž však lze řídicími signály změnu obsahu jednoho ze střadačů zakázat. Kromě toho může aritmetickou jednotku sdílet proces řízený programem nebo mikroprogramem a proces řízený technickými prostředky. Toho lze využít v zobrazovací jednotce, ve které může aritmetickou jednotku sdílet proces zobrazení, který je současně procesem obnovy informace dynamické vyrovnávací paměti a který je řízen technickými procesy, i proces zpracování textu řízený programem. Tyto procesy spolu mohou prostřednictvím současně pracujících střadačů komunikovat, čehož lze využít při zpracování výběru informace v paměti pomocí světelného pera. V tiskacím zařízení mohou aritmetickou jednotku sdílet například proces zpracování textu, proces tisku a proces obnovy informace uložené v dynamické paměti.

Zapojení aritmetické jednotky podle vynálezu bude následovně blíže popsáno pomocí připojeného výkresu, který představuje celkové blokové schéma zapojení aritmetické jednotky.

Na přiloženém výkrese jsou znázorněny informační cesty datových a řídicích signálů bez vyznačení šíře toku. Šíře toku informačních cest v konkrétních uspořádáních aritmetické jednotky podle vynálezu bude odpovídat konkrétním požadavkům na výpočetní rozsah aritmetické jednotky a konkrétních požadavkům na soubor řídicích signálů předepisujících logické operátory použitých obvodových prvků.

Zapojení aritmetické jednotky, zejména pro zobrazovací a tiskací zařízení, sestávající z multiplexoru 1, registru vztažné hodnoty 2, řídicích obvodů 3, sčítačky 4, korekčních obvodů 5, prvního střadače 6, druhého střadače 7, přepínače 8 a řídicí sběrnice 010, přičemž multiplexor 1 je svým prvním vstupem A1 připojen k druhému výstupu 010B řídicí sběrnice 010, svým druhým vstupem B1 je připojen k prvnímu vstupu A0 aritmetické jednotky, svým třetím vstupem C1 je připojen k prvnímu výstupu 5A korekčních obvodů 5 a k druhému vstupu B0 aritmetické jednotky, svým čtvrtým vstupem D1 je připojen k třetímu vstupu C0 aritmetické jednotky a k prvnímu vstupu A2 registru vztažné hodnoty 2 a svým pátým vstupem E1 je připojen k výstupu 2A registru vztažné hodnoty 2, zatímco jeho výstup 1A je připojen k prvnímu vstupu A4

sčítačky 4, přičemž registr vztažné hodnoty 2 je svým druhým vstupem B2 připojen k prvnímu výstupu 010A řídící sběrnice 010, řídící obvody 3 jsou svým prvním vstupem A3 připojeny ke čtvrtému vstupu D0 aritmetické jednotky, svým druhým vstupem B3 jsou připojeny k pátému vstupu E0 aritmetické jednotky a svým třetím vstupem C3 jsou připojeny k šestému vstupu F0 aritmetické jednotky, zatím co jejich výstup 3A je připojen k prvnímu vstupu A010 řídící sběrnice 010, přičemž sčítačka 4 je svým druhým vstupem B4 připojena k výstupu 8A přepínače 8, zatímco její výstup 4A je připojen k prvnímu vstupu A5 korekčních obvodů 5, k prvnímu vstupu A6 prvního střadače 6 a k prvnímu vstupu A7 druhého střadače 7, přičemž druhý vstup B5 korekčních obvodů 5 je připojen k třetímu výstupu 010C řídící sběrnice 010 a jejich druhý výstup 5B je připojen k druhému výstupu 0B aritmetické jednotky, přičemž první střadač 6 je svým druhým vstupem B6 připojen ke čtvrtému výstupu 010D řídící sběrnice 010 a jeho výstup 6A je připojen k prvnímu vstupu A8 přepínače 8, přičemž druhý střadač 7 je svým druhým vstupem B7 připojen k pátému výstupu 010E řídící sběrnice 010 a jeho výstup 7A je připojen k druhému vstupu B8 přepínače 8, přičemž 8 je svým třetím vstupem C8 připojen k šestému výstupu 010F řídící sběrnice 010 a jeho výstup 8A je připojen k prvnímu výstupu 0A aritmetické jednotky.

Operace, které provádí aritmetická jednotka, jsou řízeny buď technickými prostředky prostřednictvím řídících signálů přivedených na čtvrtý vstup D0 připojený k prvnímu vstupu A3 řídících obvodů 3 nebo řadičem prostřednictvím řídících signálů přivedených na pátý vstup E0 aritmetické jednotky připojený k druhému vstupu B3 řídících obvodů 3. Stav řídícího signálu přivedeného z šestého vstupu F0 aritmetické jednotky na třetí vstup C3 řídících obvodů 3 rozhoduje o tom, zda jsou operace prováděné aritmetickou jednotkou řízeny řídícími signály z prvního vstupu A3 nebo z druhého vstupu B3 řídících obvodů 3. Signály na prvním výstupu 3A řídících obvodů 3 jsou přivedeny na řídící vstup A010 sběrnice 010. Z jednotlivých výstupů této řídící sběrnice 010 jsou řídící signály přivedeny na řídící vstupy jednotlivých funkčních bloků a určují jejich způsob činnosti.

V uspořádání aritmetické jednotky podle vynálezu jsou jednotlivé bloky řízeny řídícími signály takto:

Řídící signály přivedené z prvního výstupu 010A řídící sběrnice 010 na druhý vstup B2 registru vztažné hodnoty 2 řídí zápis informace z třetího vstupu C0 aritmetické jednotky prostřednictvím prvního vstupu A2 registru vztažné hodnoty 2 do tohoto registru. Řídící signály přivedené z druhého výstupu 010B řídící sběrnice 010 na první vstup A1 obsahují adresu jednoho z dalších vstupů multiplexoru 1, a to jeho druhého vstupu B1, jeho třetího vstupu C1, jeho čtvrtého vstupu D1, popřípadě jeho pátého vstupu E1. Druhý vstup B1 multiplexoru 1 je připojen k prvnímu vstupu A0 aritmetické jednotky a nese informaci o prvním z operandů, které vstupují do operace. Třetí vstup C1 multiplexoru 1 je připojen jednak k druhému vstupu B0 aritmetické jednotky a současně k prvnímu výstupu 5A korekčních obvodů 5. Druhý vstup A0 aritmetické jednotky nese informaci o druhém z operandů, které vstupují do operace, zatímco první výstup 5A korekčních obvodů 5 obsahuje korekční konstantu. Čtvrtý vstup D1 multiplexoru 1 je připojen k třetímu vstupu C0 aritmetické jednotky a nese informaci o třetím z operandů, které vstupují do operace.

Tuto informaci lze současně zapisovat do registru vztažné hodnoty 2 prostřednictvím jeho prvního vstupu A2. Pátý vstup E1 multiplexoru 1 je připojen k výstupu 2A registru vztažné hodnoty 2, který nese informaci o obsahu tohoto registru. Informace z adresovaného vstupu multiplexoru 1 se přivádí na jeho výstup 1A, takže volbou jednoho z uvedených vstupů se volí jeden z operandů vstupujících do operace. Řídící signály přivedené z třetího výstupu 010C řídící sběrnice 010 na druhý vstup B5 korekčních obvodů 5 nastavují požadovaný vnitřní stav těchto korekčních obvodů. Řídící signály přivedené ze čtvrtého výstupu 010D řídící sběrnice 010 na druhý vstup B6 prvního střadače 6 řídí zápis do tohoto střadače. Stejně tak řídící signály přivedené z pátého výstupu 010E řídící sběrnice 010 na druhý vstup B7 druhého střadače 7 řídí zápis tohoto střadače. Řídící signály přivedené z šestého výstupu 010F řídící sběrnice 010 na třetí vstup C8 přepínače 8 přepínají na jeho výstup 8A buď informaci z jeho prvního vstupu A8, který je spojen s výstupem 6A prvního střadače 6 a nese informaci o obsahu prvního střadače 6, nebo z jeho druhého vstupu B8, který je spojen s výstupem 7A druhého střadače 7 a nese informaci o obsahu druhého střadače 7. Volbou uvedených vstupů se volí obsah jednoho ze střadačů jako druhý operand, který vstupuje do operace. Obsah vybraného střadače je též přiveden na první výstup 0A aritmetické jednotky. Řídící signály na třetím

vstupu C8 mohou též předepsat generaci zvolené kódové kombinace na výstupu A8 přepínače 8, což dovoluje například nulovat obsah prvního střadače 6, druhého střadače 7 nebo obou těchto střadačů.

Uspořádání aritmetické jednotky podle vynálezu, jehož jednotlivé bloky mohou provádět výše uvedené operace, umožňuje vykonávat následující příkladový soubor instrukcí, které jsou obsaženy v řídících signálech přivedených na čtvrtý vstup D0 a na pátý vstup E0 aritmetické jednotky.

První instrukce předepisuje sečtení obsahu prvního střadače 6 nebo druhého střadače 7 s operandem na prvním vstupu A0 aritmetické jednotky a uložení výsledku do prvního střadače 6 nebo do druhého střadače 7 nebo do obou těchto střadačů. Při této operaci pracuje aritmetická jednotka s výpočetním rozsahem modulo $N = 2^n$. Operand z prvního vstupu A0 aritmetické jednotky se přivede prostřednictvím druhého vstupu B1 multiplexoru 1 a jeho výstupu 1A na první vstup A4 sčítačky 4. Na druhý vstup B4 sčítačky 4 se prostřednictvím výstupu 8A přepínače 8 a prostřednictvím jeho prvního vstupu A8 nebo jeho druhého vstupu B8 přivede buď obsah prvního střadače 6 nebo druhého střadače 7 v závislosti na řídících signálech přivedených z šestého výstupu O10F řídící sběrnice O10 na třetí vstup C8 přepínače 8. Na výstupu 4A sčítačky 4 se objeví výsledný součet, který se запиše prostřednictvím prvního A6 prvního střadače 6 do tohoto střadače nebo prostřednictvím prvního vstupu A7 druhého střadače 7 do tohoto střadače nebo do obou těchto střadačů v závislosti na řídících signálech přivedených ze čtvrtého výstupu O10D řídící sběrnice O10 na druhý vstup B6 prvního střadače 6 a z pátého výstupu O10E řídící sběrnice O10 na druhý vstup B7 druhého střadače 7.

Druhá instrukce předepisuje sečtení obsahu prvního střadače 6 nebo druhého střadače 7 s konstantou K_0 obsaženou na druhém vstupu B0 aritmetické jednotky a uložení výsledku operace do prvního střadače 6 nebo do druhého střadače 7 nebo do obou těchto střadačů. Při této operaci pracuje aritmetická jednotka s výpočetním rozsahem modulo $M = 2^{n+1} - K_k$, kde $K_k < 2^n$, takže při překročení výpočetního rozsahu se provádí korekce přičtením korekční konstanty K_k . Možnost provedení operace je vázána podmínkou, že konstanty K_0 a K_k vyjádřené jako dvojková čísla nesmějí obsahovat binární jedničky na shodných řádových místech. Pokud nedojde k překročení výpočetního rozsahu, probíhá tato operace stejně jako operace předepsaná první instrukcí pouze s tím rozdílem, že jeden z operandů je přiveden na druhý vstup B0 aritmetické jednotky. Pokud dojde k překročení výpočetního rozsahu, je překročení výpočetního rozsahu detekováno v korekčních obvodech 5 na základě signálů přivedených na jejich první vstup A5 připojený k prvnímu výstupu A4 sčítačky 4. V korekčních obvodech 5 se v tomto případě generuje korekční konstanta K_k , která se z jejich prvního výstupu 5A přivede na třetí vstup C1 multiplexoru 1 spolu s operandem z druhého vstupu B0 aritmetické jednotky. Operace se ukončí zápisem výsledku do prvního střadače 6 nebo druhého střadače 7 nebo do obou těchto střadačů stejně jako při operaci předepsané první instrukcí.

Třetí instrukce předepisuje zápis operandu z třetího vstupu C0 aritmetické jednotky buď do registru vztažné hodnoty 2, nebo do prvního střadače 6 nebo do druhého střadače 7 nebo do obou těchto střadačů. Při zápisu operandu z třetího vstupu C0 aritmetické jednotky do registru vztažné hodnoty 2 se zápis uskuteční prostřednictvím prvního vstupu A2 registru vztažné hodnoty 2, připojeného k třetímu vstupu C0 aritmetické jednotky. Zápis je řízen řídícím signálem přivedeným z prvního výstupu O10A řídící sběrnice O10 na druhý vstup B2 registru vztažné hodnoty 2. Při zápisu operandu z třetího vstupu C0 aritmetické jednotky do prvního střadače 6 nebo do druhého střadače 7 nebo do obou těchto střadačů se řídícími signály přivedenými z druhého výstupu O10B řídící sběrnice O10 na první vstup A1 multiplexoru 1 adresuje jeho čtvrtý vstup D1, který je připojen na třetí vstup C0 aritmetické jednotky, odkud se operand prostřednictvím výstupu 1A multiplexoru 1 přivede na první vstup A4 sčítačky 4, na jejíž druhý vstup B4 se přivede konstanta $K = 0$ z výstupu 8A přepínače 8, předepsaná řídícími signály přivedenými z šestého výstupu O10F řídící sběrnice O10 na třetí vstup C8 tohoto přepínače.

Z výstupu 4A sčítačky 4 se zapisuje nezměněný operand z jejího prvního vstupu A4 buď prostřednictvím vstupu A6 prvního střadače 6 do prvního střadače 6 nebo prostřednictvím prvního vstupu A7 druhého střadače 7 do druhého střadače 7 nebo do obou těchto střadačů v závislosti na řídících signálech přivedených ze čtvrtého výstupu O10D řídící sběrnice O10 na druhý vstup B6 prvního střadače 6 a z pátého výstupu O10E řídící sběrnice O10 na druhý vstup B7 druhého střadače 7. Čtvrtá instrukce předepisuje komparaci obsahu registru vztažné hodnoty

2 s obsahem prvního střadače 6 nebo druhého střadače 7. Při této komparaci se řídícími signály na prvním vstupu A1 multiplexoru 1 vybere jeho pátý vstup E1. Prostřednictvím tohoto vstupu a výstupu 2A registru vztažné hodnoty 2 se dvojkový doplněk obsahu registru vztažné hodnoty 2 přivede z výstupu 1A multiplexoru 1 na první vstup A4 sčítačky 4. Na druhý vstup B4 této sčítačky se prostřednictvím výstupu 8A přepínače 8 a buď prvního vstupu A8 tohoto přepínače a výstupu 6A prvního střadače 6 nebo druhého vstupu B8 přepínače 8 a výstupu 7A druhého střadače 7 přivede buď obsah prvního střadače 6 nebo obsah druhého střadače 7. Operandy na prvním vstupu A4 a na druhém vstupu B4 sčítačky 4 se ve sčítačce 4 sečtou a výsledek se z výstupu 4A sčítačky 4 přivede na první vstup A5 korekčních obvodů 5. V korekčních obvodech 5 se vyhodnotí výsledek komparace, který se přivede z druhého výstupu 5B korekčních obvodů 5 na druhý výstup OB aritmetické jednotky.

Pro aplikace v zobrazovacích jednotkách je výhodné volit posloupnost řídících signálů přivedených na čtvrtý vstup D0, pátý vstup E0 a šestý vstup F0 aritmetické jednotky tak, aby byl pracovní takt aritmetické jednotky rozdělen do dvou fází. V první fázi se pak provádí první, druhá nebo třetí instrukce předepisovaná buď řadičem, nebo technickými prostředky, v druhé fázi se pak vždy provádí čtvrtá instrukce předepisovaná technickými prostředky. Vyhodnocení výsledku komparace provedené čtvrtou instrukcí se provádí buď technickými prostředky a na základě vyhodnocení se například na stínítku obrazovky zobrazuje kurzor, nebo se toto vyhodnocení provádí řadičem, který na základě tohoto vyhodnocení provádí podmíněné skoky v programu.

Zapojení podle vynálezu umožňuje rozšířit soubor instrukcí ještě o další možné instrukce, které v souvislosti s příkladovým provedením nebylo možno uvést, které jsou však na podkladě celkového popisu řešení vynálezu vyvoditelné, a volbou jejich posloupnosti zajišťovat ostatní možné činnosti požadované v zobrazovacích, tiskacích a jiných zařízeních.

P Ř E D M Ě T V Y N Á L E Z U

Zapojení aritmetické jednotky, zejména pro zobrazovací a tiskací zařízení, sestávající z multiplexoru, registru vztažné hodnoty, řídících obvodů, sčítačky, korekčních obvodů, prvního střadače, druhého střadače, přepínače a řídící sběrnice, vyznačené tím, že multiplexor /1/ je svým prvním vstupem /A1/ připojen k druhému výstupu /O10B/ řídící sběrnice /O10/, svým druhým vstupem /B1/ je připojen k prvnímu vstupu /A0/ aritmetické jednotky, svým třetím vstupem /C1/ je připojen k prvnímu výstupu /5A/ korekčních obvodů /5/ a k druhému vstupu /B0/ aritmetické jednotky, svým čtvrtým vstupem /D1/ je připojen k třetímu vstupu /C0/ aritmetické jednotky a k prvnímu vstupu /A2/ registru vztažné hodnoty /2/ a svým pátým vstupem /E1/ je připojen k výstupu /2A/ registru vztažné hodnoty /2/, zatímco jeho výstup /1A/ je připojen k prvnímu vstupu /A4/ sčítačky /4/, přičemž registr vztažné hodnoty /2/ je svým druhým vstupem /B2/ připojen k prvnímu výstupu /O10A/ řídící sběrnice /O10/, řídící obvody /3/ jsou svým prvním vstupem /A3/ připojeny ke čtvrtému vstupu /D0/ aritmetické jednotky, svým druhým vstupem /B3/ jsou připojeny k pátému vstupu /E0/ aritmetické jednotky a svým třetím vstupem /C3/ jsou připojeny k šestému vstupu /F0/ aritmetické jednotky, zatímco jejich výstup /3A/ je připojen k prvnímu vstupu /A010/ řídící sběrnice /O10/, přičemž sčítačka /4/ je svým druhým vstupem /B4/ připojena k výstupu /8A/ přepínače /8/, zatímco její výstup /4A/ je připojen k prvnímu vstupu /A5/ korekčních obvodů /5/, k prvnímu vstupu /A6/ prvního střadače /6/ a k prvnímu vstupu /A7/ druhého střadače /7/, přičemž druhý vstup /B5/ korekčních obvodů je připojen k třetímu výstupu /O10C/ řídící sběrnice /O10/ a jejich druhý výstup /5B/ je připojen k druhému výstupu /OB/ aritmetické jednotky, přičemž první střadač /6/ je svým druhým vstupem /B6/ připojen ke čtvrtému výstupu /O10D/ řídící sběrnice /O10/ a jeho výstup /6A/ je připojen k prvnímu vstupu /A8/ přepínače /8/, přičemž druhý střadač /7/ je svým druhým vstupem /B7/ připojen k pátému výstupu /O10E/ řídící sběrnice /O10/ a jeho výstup /7A/ je připojen k druhému vstupu /B8/ přepínače /8/, přičemž přepínač /8/ je svým třetím vstupem /C8/ připojen k šestému výstupu /O10F/ řídící sběrnice /O10/ a jeho výstup /8A/ je připojen k prvnímu výstupu /A0/ aritmetické jednotky.

1 list výkresů

