

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4638806号
(P4638806)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl.

F I

H03L 7/093 (2006.01)

H03L 7/08

E

H03L 7/197 (2006.01)

H03L 7/18

A

請求項の数 32 (全 24 頁)

(21) 出願番号 特願2005-326340 (P2005-326340)
 (22) 出願日 平成17年11月10日(2005.11.10)
 (65) 公開番号 特開2006-311489 (P2006-311489A)
 (43) 公開日 平成18年11月9日(2006.11.9)
 審査請求日 平成20年10月17日(2008.10.17)
 (31) 優先権主張番号 特願2005-94161 (P2005-94161)
 (32) 優先日 平成17年3月29日(2005.3.29)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 110000350
 ポレール特許業務法人
 (72) 発明者 赤峰 幸徳
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 川辺 学
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 田中 聡
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 位相同期ループ回路、オフセットPLL送信機、通信用高周波集積回路及び無線通信システム

(57) 【特許請求の範囲】

【請求項1】

第1の電圧制御発振器と、
 前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、
 前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、
 前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、
 前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを具備し、
 前記第1のループフィルタの出力が前記第1の電圧制御発振器の入力に接続されて成り、
 前記第1の位相比較器の前記第2の入力に、第1の基準信号と周波数が変化するループ特性検出用の第1の信号源とを選択的に接続可能に構成され、
 前記第1の信号源は、前記第1のチャージポンプ回路の電流を可変とすることにより、
 前記第1の基準信号を発生させる過程で生じる遅延を補償する構成を有することを特徴とする位相同期ループ回路。

【請求項2】

請求項1において、
 前記第1の電圧制御発振器の出力に接続された第1のカウンタと、
 前記第1のカウンタの出力に接続された第1の積分器と、
 前記第1の積分器の検出結果に基づいてループ特性を検出する制御部とを有することを特

徴とする位相同期ループ回路。

【請求項 3】

請求項 1 において、

前記周波数が変化する第 1 の信号源は、前記周波数をフラクショナル周波数に設定し得るものであることを特徴とする位相同期ループ回路。

【請求項 4】

請求項 1 において、

前記周波数が変化する第 1 の信号源は、第 1 のシグマデルタ変調器を含むことを特徴とする位相同期ループ回路。

【請求項 5】

請求項 1 において、

前記第 1 の位相比較器の前記第 1 の入力側に設けられた第 1 のスイッチと、前記第 2 の入力側に設けられた第 2 のスイッチとを備え、

前記第 1 のスイッチは、前記位相同期ループ回路の動作状態に応じて、前記第 1 の入力を、前記第 1 の周波数変換回路の出力に直接的に接続された第 1 のパスと、前記第 1 の周波数変換回路の出力が分周器を経由して接続された第 2 のパスのいずれかに切替えられるように構成され、

前記第 2 のスイッチは、前記位相同期ループ回路の動作状態に応じて、前記第 2 の入力を、前記第 1 の基準信号もしくは前記周波数が変化する第 1 の信号源のいずれかに切替えられるように構成されていることを特徴とする位相同期ループ回路。

【請求項 6】

請求項 2 において、

前記第 1 の積分器を複数段の積分器で構成したことを特徴とする位相同期ループ回路。

【請求項 7】

請求項 2 において、

前記第 1 の積分回路で用いるクロックとして、前記第 1 の位相比較器の第 1 の入力側の入力信号を用いることを特徴とする位相同期ループ回路。

【請求項 8】

請求項 5 において、

前記第 1 の基準信号を生成するためのローカル信号と、前記第 1 の周波数変換回路へ入力するローカル信号とを、フラクショナル型の発振器からなる同一の高周波発振器で生成することを特徴とする位相同期ループ回路。

【請求項 9】

請求項 4 において、

前記第 1 の信号源の分周器の出力信号を、前記シグマデルタ変調器のクロックとして使用することを特徴とする位相同期ループ回路。

【請求項 10】

請求項 9 において、

前記第 1 の位相比較器の前記第 1 の入力側に設けられた第 1 のスイッチと、前記第 2 の入力側に設けられた第 2 のスイッチとを備え、

ループ特性検出モードにおいて、前記第 1 のスイッチは、前記第 1 の周波数変換回路の出力が 2 分周器を経由して接続された第 2 のパスに接続され、通常モードの $1/2$ の周波数を前記第 1 の位相比較器の入力信号として用いるように構成されていることを特徴とする位相同期ループ回路。

【請求項 11】

請求項 7 において、

前記周波数が変化する第 1 の信号源は、第 1 のシグマデルタ変調器を含み、

前記第 1 のシグマデルタ変調器を動作させた状態で位相同期ループをロック状態にし、異なる動作状態に変化させることで、ループ特性を検出するための信号を生成することを特徴とする位相同期ループ回路。

10

20

30

40

50

【請求項 1 2】

請求項 2 において、

前記周波数が変化するループ特性検出用の第 1 の信号源は、ループ特性検出用の第 1 の周波数 f_1 と第 2 の周波数 f_2 のステップ状に変化する周波数を与えるものであり、前記ステップ入力後の第 2 の周波数 f_2 の継続時間は、時定数に基く所定の値であることを特徴とする位相同期ループ回路。

【請求項 1 3】

請求項 1 2 において、

前記第 1 の周波数 f_1 の継続時間と前記第 2 の周波数 f_2 の継続時間を相違させたことを特徴とする位相同期ループ回路。

10

【請求項 1 4】

請求項 2 において、

前記制御部は、

前記第 1 の位相比較器の前記第 2 の入力に、ループ特性検出用の第 1 の周波数 f_1 と第 2 の周波数 f_2 がステップ状に印加されたときの前記第 1 の積分器による測定時間を、前記第 1 の周波数 f_1 と前記第 2 の周波数 f_2 とで相違させたことを特徴とする位相同期ループ回路。

【請求項 1 5】

請求項 2 において、

前記積分器のクロックとして、高周波発振器の出力信号を分周器で分周した信号を使用することを特徴とする位相同期ループ回路。

20

【請求項 1 6】

第 1 の電圧制御発振器と、

前記第 1 の電圧制御発振器の出力が接続される第 1 の周波数変換回路と、

前記第 1 の周波数変換回路の出力が第 1 の入力に接続され、第 2 の入力に第 1 の基準信号が接続される第 1 の位相比較器と、

前記第 1 の位相比較器の出力が接続される第 1 のチャージポンプ回路と、

前記第 1 のチャージポンプ回路の出力が接続される第 1 のループフィルタとを有するオフセット PLL 送信機であって、

前記第 1 の位相比較器の前記第 2 の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第 1 の信号源が接続可能に構成され、

30

前記第 1 の電圧制御発振器の出力側に接続された第 1 のカウンタと、

前記第 1 のカウンタの出力に接続された第 1 の積分器と、

前記第 1 の積分器の検出結果に基いてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とするオフセット PLL 送信機。

【請求項 1 7】

PLL 送信機を含むシンセサイザブロックを有する通信用高周波集積回路であって、

前記 PLL 送信機は、

第 1 の電圧制御発振器と、

40

前記第 1 の電圧制御発振器の出力が接続される第 1 の周波数変換回路と、

前記第 1 の周波数変換回路の出力が第 1 の入力に接続され、第 2 の入力に第 1 の基準信号が接続される第 1 の位相比較器と、

前記第 1 の位相比較器の出力が接続される第 1 のチャージポンプ回路と、

前記第 1 のチャージポンプ回路の出力が接続される第 1 のループフィルタとを有する PLL 送信機であり、

前記第 1 の位相比較器の前記第 2 の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第 1 の信号源が接続可能に構成され、

前記第 1 の電圧制御発振器の出力側に接続された第 1 のカウンタと、

前記第 1 のカウンタの出力に接続された第 1 の積分器と、

50

前記第 1 の積分器の検出結果に基づいてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とする通信用高周波集積回路。

【請求項 18】

請求項 17 において、

平面形状が矩形の半導体チップの第 1 の角に、前記第 1 の電圧制御発振器を位置させ、

前記第 1 の周波数変換回路を前記半導体チップの第 2 の角に位置させ、

前記第 1 の電圧制御発振器と前記第 1 の周波数変換回路との間に、前記第 1 のカウンタと前記第 1 の積分器および前記制御部とを配置した、

ことを特徴とする通信用高周波集積回路。

10

【請求項 19】

請求項 18 において、

前記第 1 の基準信号を生成するためのローカル信号と前記第 1 の周波数変換回路へ入力するローカル信号とを生成するフラクショナル型の第 2 の電圧制御発振器と、該第 2 の電圧制御発振器の基準信号のクロック信号を生成するための電圧制御型水晶発振器とを有してなり、

前記半導体チップは平面形状が正方形であり、

前記第 2 の電圧制御発振器を、前記半導体チップの前記第 1、第 2 の角を含まない辺の近傍に配置し、

前記電圧制御型水晶発振器を前記半導体チップの第 3 の角に位置させた、

ことを特徴とする通信用高周波集積回路。

20

【請求項 20】

高周波集積回路部と、ベースバンド信号処理を行う L S I 部とパワーアンプ部とアンテナ部と基準信号を生成するクリスタル部で構成された、マルチバンド方式の移動体通信システムであって、

前記高周波集積回路部は、PLL 送信機を含むシンセサイザブロックを有しており、

前記 PLL 送信機は、

第 1 の電圧制御発振器と、

前記第 1 の電圧制御発振器の出力が接続される第 1 の周波数変換回路と、

前記第 1 の周波数変換回路の出力が第 1 の入力に接続され、第 2 の入力に第 1 の基準信号が接続される第 1 の位相比較器と、

30

前記第 1 の位相比較器の出力が接続される第 1 のチャージポンプ回路と、

前記第 1 のチャージポンプ回路の出力が接続される第 1 のループフィルタとを有する PLL 送信機であり、

前記第 1 の位相比較器の前記第 2 の入力に、周波数が可変でかつ分周数を変化させた周波数に設定し得るループ特性検出用の第 1 の信号源が接続可能に構成され、

前記第 1 の電圧制御発振器の出力側に接続された第 1 のカウンタと、

前記第 1 のカウンタの出力に接続された第 1 の積分器と、

前記第 1 の積分器の検出結果に基づいてループ特性を検出し、検出結果を前記チャージポンプの電流値にフィードバックする制御部とを備えたことを特徴とする無線通信システム

40

【請求項 21】

ベースバンド信号処理部と、送信系回路と、受信系回路と、分周比が可変なシンセサイザブロックとを持ち、複数の周波数帯に対応したマルチバンド方式の半導体回路装置であって、

前記受信系回路から出力される信号は前記ベースバンド信号処理部に入力され、

前記ベースバンド信号処理部から出力される信号は前記送信系回路に入力されて前記送信系回路に含まれる直交変調器により第 1 の基準信号となり、

前記シンセサイザブロックは、水晶発振器から入力されるクロック信号の周波数を変化させ、前記外部クロック信号をローカル信号として、前記送信系回路と、前記受信系回路

50

とに供給し、

前記送信系回路は、オフセットPLL送信機を備えており、

前記オフセットPLL送信機は、

第1の電圧制御発振器と、

前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、

第1の入力には前記第1の周波数変換回路の出力が入力され、第2の入力には、前記第1の基準信号と、第1の信号源の出力信号とが選択的に入力される第1の位相比較器と、

前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、

前記第1のチャージポンプ回路の出力が接続される第1のループフィルタと、

前記第1の電圧制御発振器の出力に接続された第1のカウンタと、

10

前記第1のカウンタの出力に接続された第1の積分器と、

前記第1の積分器の検出結果に基づいて前記オフセットPLL送信機のループ特性を検出し、検出結果を前記第1のチャージポンプ回路の電流値にフィードバックする制御部とを備え、

前記ローカル信号は、前記送信系回路の前記第1の周波数変換回路に入力され、

前記ループ特性は、前記第1の信号源の出力信号の周波数を変化させることによって検出されることを特徴とする半導体回路装置。

【請求項22】

請求項21において、

前記第1の信号源は、前記出力信号の周波数をフラクショナル周波数に設定し得るものであることを特徴とする半導体回路装置。

20

【請求項23】

請求項21において、

前記第1の信号源は、第1のシグマデルタ変調器を含むことを特徴とする半導体回路装置。

【請求項24】

請求項21において、

前記第1の位相比較器の前記第1の入力側に設けられた第1のスイッチと、前記第2の入力側に設けられた第2のスイッチとを備え、

前記第1のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第1の入力を、前記第1の周波数変換回路の出力に直接的に接続された第1のパスと、前記第1の周波数変換回路の出力が分周器を経由して接続された第2のパスのいずれかに切替えられるように構成され、

30

前記第2のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第2の入力を、前記第1の基準信号もしくは前記第1の信号源のいずれかに切替えられるように構成されていることを特徴とする半導体回路装置。

【請求項25】

請求項21において、

前記第1の積分器を複数段の積分器で構成したことを特徴とする半導体回路装置。

【請求項26】

40

請求項21において、

前記第1の積分回路で用いるクロックとして、前記第1の位相比較器の第1の入力側の入力信号を用いることを特徴とする半導体回路装置。

【請求項27】

ベースバンド信号処理部と、送信系回路と、受信系回路と、シンセサイザブロックとを持った半導体回路装置であって、

前記受信系回路から出力される信号は前記ベースバンド信号処理部に入力され、

前記ベースバンド信号処理部から出力される信号は前記送信系回路に入力されて前記送信系回路に含まれる直交変調器により第1の基準信号となり、

前記シンセサイザブロックは、水晶発振器から入力されるクロック信号からローカル信

50

号を生成し、前記ローカル信号を前記送信系回路と、前記受信系回路とに供給し、
前記送信系回路は、オフセットPLL送信機を備えており、
前記オフセットPLL送信機は、
第1の電圧制御発振器と、
前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、
第1の入力には前記第1の周波数変換回路の出力が入力され、第2の入力には、前記第1の基準信号と、第1の信号源の出力信号とが選択的に入力される第1の位相比較器と、
前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、
前記第1のチャージポンプ回路の出力が接続される第1のループフィルタと、
前記第1の電圧制御発振器の出力に接続された第1のカウンタと、
前記第1のカウンタの出力に接続された第1の積分器と、
前記第1の積分器の検出結果に基づいて前記オフセットPLL送信機のループ特性を検出し、検出結果を前記第1のチャージポンプ回路の電流値にフィードバックする制御部とを備え、
前記ローカル信号は、前記送信系回路の前記第1の周波数変換回路に入力され、
前記ループ特性は、前記第1の信号源の出力信号の周波数を変化させることによって検出されることを特徴とする半導体回路装置。

10

【請求項28】

請求項27において、
前記第1の信号源は、前記出力信号の周波数をフラクショナル周波数に設定し得るものであることを特徴とする半導体回路装置。

20

【請求項29】

請求項27において、
前記第1の信号源は、第1のシグマデルタ変調器を含むことを特徴とする半導体回路装置。

【請求項30】

請求項27において、
前記第1の位相比較器の前記第1の入力側に設けられた第1のスイッチと、前記第2の入力側に設けられた第2のスイッチとを備え、
前記第1のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第1の入力を、前記第1の周波数変換回路の出力に直接的に接続された第1のパスと、前記第1の周波数変換回路の出力が分周器を経由して接続された第2のパスのいずれかに切替えられるように構成され、

30

前記第2のスイッチは、前記オフセットPLL送信機の動作状態に応じて、前記第2の入力を、前記第1の基準信号もしくは前記第1の信号源のいずれかに切替えられるように構成されていることを特徴とする半導体回路装置。

【請求項31】

請求項27において、
前記第1の積分器を複数段の積分器で構成したことを特徴とする半導体回路装置。

【請求項32】

請求項27において、
前記第1の積分回路で用いるクロックとして、前記第1の位相比較器の第1の入力側の入力信号を用いることを特徴とする半導体回路装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、位相同期(PLL)回路のループ特性検出回路に係り、特に位相同期ループの回路のループ利得検出方式及びその検出方式に基づいたループ利得検出回路を備えたPLL回路を内蔵するオフセットPLL送信機、高周波集積回路及び無線通信システムに関する。

50

【背景技術】

【0002】

PLLを用いた送信回路として、例えば非特許文献1～3に記載されたものがある。これらは、いずれも、フラクショナルN型PLLでループ帯域を校正する送受信システムである。

【0003】

まず、非特許文献1の送受信システムは、ループ帯域を検出するための信号としてベースバンドからのデータ信号で0101のパターンを入力して矩形波を作成し、この矩形波をフラクショナルN型PLLに入力している。ループ帯域の検出は、電圧制御型信号源の出力をモニタして行っている。

10

【0004】

非特許文献2の送受信システムでは、ループ帯域を検出するための信号として送信中のデータ信号を用いている。検出方法としては、電圧制御型信号源の出力をモニタし、位相成分をデジタル化することで、ベースバンドからのデータ信号と比較し、さらに積分することでループ帯域を検出している。

【0005】

非特許文献3の発明は、フラクショナルN型のPLLにおけるループ帯域の校正システムを対象としている。ループ帯域を検出するための信号として、シグマデルタ変調器を介して、PLLにおける分周器にステップ信号を入力している。この場合、位相比較器における、フィードバック入力側の信号が状態遷移する。

20

【0006】

一方、非特許文献4には、Digital Frequency Locked Loopでループ帯域の校正を行う送受信システムが開示されている。この場合、キャリブレーション専用のチャージポンプ型DA変換器とループフィルタを使用し、電圧制御型電圧源に異なる2つの電圧を与え、そのときの周波数の変化から電圧制御型電圧源での利得を検出して、ループ帯域の校正を行っている。

【0007】

【非特許文献1】S.T. Lee et al., "A 1.5V 2.8mA Fully-Integrated Fast-Locking Quad-Band GSM-GPRS Transmitter with Digital Auto-Calibration in 130nm CMOS", ISSCC Dig. Tech. Papers, pp188-189 (Feb. 2004)

30

【非特許文献2】D. R. McMahon and C.G. Sodini, "A 2.5-Mb/s GFSK 5.0-Mb/s 4-FSK Automatically Calibrated Sigma Delta Frequency Synthesizer" IEEE Journal of Solid State Circuit (Jan. 2002)

【非特許文献3】Yukinori Akamine et al., "A Loop Bandwidth Calibration System for Fractional-N System for Fractional-N Synthesizer and PLL Transmitter" Session 17.4 ISSCC 2005 (Feb. 2005)

【非特許文献4】Bill Huff, "A fully-integrated Bluetooth synthesizer using digital pre-distortion for PLL-based GFSK modulation" 2003 IEEE RFIC symposium (Jun. 2003)

【発明の開示】

40

【発明が解決しようとする課題】

【0008】

無線送信機では送信に用いられる周波数が決められており、隣接する周波数帯を用いる機器に悪影響を与えないために一定の周波数精度を持つことが要求される。すなわち、携帯・自動車電話では、多くの端末が同時に電波を利用するため、個々の端末は使用周波数を変えたり、時分割を行ったりしてお互いの干渉が無いように制御されている。例えばGSM(Global System for Mobile Communications)規格の携帯電話では、200kHz間隔でチャンネルを設定して利用している。これによりVCOの発振周波数を200kHz刻みで設定することが必要になるが、分周比は整数であるため、VCOの周波数は基準周波数の整数倍の値しか取れず、細かな周波数設定ができない。このため、分周比を時間的

50

に細かく変化させ、擬似的に中間の周波数を作り出す必要がある。この分周比を変化させる処理は、シグマデルタ変調と呼ばれる。

【 0 0 0 9 】

携帯・自動車電話で要求される周波数精度は、高周波発振器の持つ精度を超えるものであるため、一般的には水晶発振器のような高い周波数精度を持つ素子を参照信号として、PLL回路を構成し、高周波発振器の周波数精度を向上している。PLL回路は、入力信号と回路に内蔵された発振器からの信号とを比較して、周波数や位相のずれを検知し、その誤差を発振器へフィードバックして出力信号を生成する。

【 0 0 1 0 】

従来、PLL回路に用いられるループフィルタ回路は、抵抗値や容量値などの素子数が多いことに加え、LSIに集積化した場合、素子ばらつきの影響でアナログ精度が低減し校正精度の劣化を招くこと、回路規模が大きくなること、校正時間がかかってしまうことなどから、外付け部品が使われていた。

【 0 0 1 1 】

しかし、移動体通信機器は、より小型化することを常に求められている。外付け部品の削減は、移動体通信機器の集積化、小型化を促進する上での大きな課題の1つである。このため、校正精度を劣化させることなく、ループフィルタ回路をPLL回路に集積化できる技術の開発が求められている。

【 0 0 1 2 】

外付け部品の削減策の一環としてループフィルタをIC内に内蔵する場合には、素子のバラツキが大きくなり、設計値からの差が顕著になる。すなわち、位相同期ループのループ帯域は、電圧制御型発振器の感度や、ループフィルタを構成する素子のバラツキにより、設計値から大きく外れることがある。GMC型のフィルタを採用すればバラツキの影響を小さくできるが、ノイズの影響が大きくなり、特に、雑音レベルの要求が厳しいシステムでは、これが大きな問題となる。そのため、GMC型のフィルタを採用することなく、ループ帯域をより高精度で最適化する手法が必要となる。

【 0 0 1 3 】

また、近年における携帯電話用システムでは、各ユーザーに割り当てられる時間が有限であり、短時間でループ帯域を最適化する手法が必要である。

【 0 0 1 4 】

非特許文献1に開示されたシステムは、特殊なデータ信号源を用意する必要があり、また、使用用途がフラクショナルN型PLLに限定される。さらに、プリエンファシス部を最適化しループ帯域を校正しており、プリエンファシスを行っているPLLでなくては使用できない点と、ループ帯域を校正する時間が課題として残る。

【 0 0 1 5 】

非特許文献2に開示されたシステムも、使用用途がフラクショナルN型PLLに限定されるので、ループ帯域の校正には、長い時間が必要である。

【 0 0 1 6 】

非特許文献3に開示されたシステムは、ループ帯域の校正を容易にし得るように改善された方式ではあるが、フラクショナルN型PLLを前提としたシステムであり、汎用性が無い。

【 0 0 1 7 】

ここで、フラクショナルN型PLLについて説明を補足する。この方式は、分周比を変化させるシグマデルタ変調(変調)を用いることにより、電圧制御発振器(VCO)の発振周波数を細かく制御している。しかし、分周比を変化させるのに変調を採用しているため、広帯域化が困難であり、かつ、位相雑音が大きく雑音レベルの要求が厳しいシステムには適さない、という欠点がある。さらに、PLLを構成するVCOが、出力の負荷変動に対して感度が高く、この点からも広帯域化に適さない、という欠点がある。

【 0 0 1 8 】

一方、非特許文献4に開示された装置は、ループ帯域を校正するための専用の回路とし

10

20

30

40

50

て、ループフィルタやD/A変換器といった、大きな規模の回路が必要であり、移動体通信機器の集積化、小型化の要求には適さない。

【0019】

本発明の目的は、様々なタイプの位相同期ループにおけるループ帯域を、短い時間で、かつ高精度に、最適なものに設定できる校正システムを具備する位相同期ループ回路及び通信用半導体集積回路及び無線通信システムを提供することにある。

本発明の他の目的は、様々なタイプの位相同期ループにおけるループ帯域を、簡単な構成で、かつ、短い時間でかつ高精度に設定でき、PLL回路に集積化して高集積化・低消費電力化を図ることができる校正システムを具備する位相同期ループ回路及び通信用高周波集積回路を提供することにある。

10

本発明の他の目的は、様々なタイプのPLLに適用することができ、位相雑音が少なく負荷変動の影響を受けにくい、位相同期ループ回路及び通信用高周波集積回路及び無線通信システムを提供することにある。

【0020】

本発明の他の目的は、様々なタイプの位相同期ループにおけるループ帯域を、簡単な構成で高精度に設定でき、PLL回路に集積化して高集積化・低消費電力化を図ることができると共に、低雑音でかつチップ面積を削減できる通信用高周波集積回路を提供することにある。

【課題を解決するための手段】

【0021】

20

本発明の代表的手段の一例を示せば次の通りである。すなわち、本発明の位相同期フープ回路は、第1の電圧制御発振器と、前記第1の電圧制御発振器の出力が接続される第1の周波数変換回路と、前記第1の周波数変換回路の出力が第1の入力に接続され、第2の入力に第1の基準信号が接続される第1の位相比較器と、前記第1の位相比較器の出力が接続される第1のチャージポンプ回路と、前記第1のチャージポンプ回路の出力が接続される第1のループフィルタとを具備し、前記第1のループフィルタの出力が前記第1の電圧制御発振器の入力に接続されて成り、前記第1の位相比較器の前記第2の入力に、第1の基準信号と周波数が変化するループ特性検出用の第1の信号源とを選択的に接続可能に構成され、前記第1の信号源は、前記第1のチャージポンプ回路の電流を可変とすることにより、前記第1の基準信号を発生させる過程で生じる遅延を補償する構成を有すること

30

を特徴とする。

【発明の効果】

【0022】

本発明によれば、PLL回路のループ利得の測定結果によりチャージポンプ電流を可変できるため、短い時間でかつ高精度に最適のループ帯域を設定できる校正システムを提供できる。また、本発明は、フラクショナルN型PLLのみならず、オフセットPLL送信機を代表とするチャージポンプ電流を可変とする様々なタイプのPLLに適用できるという利点がある。

【発明を実施するための最良の形態】

【0023】

40

本発明に係る実施の形態について、添付図面を参照しながら以下詳細に説明する。図1は、本発明の実施形態としてのループ利得の変動を抑圧できるループ利得検出回路を備えたPLL回路の基本構成を示す、ブロック図である。

図1において、位相同期ループ(PLL)回路は、第1のループフィルタ100と、この第1のループフィルタの出力が周波数制御端子に接続された第1の電圧制御発振器102と、この第1の電圧制御発振器の出力が接続される第1の周波数変換回路(DCM)107と、第1の位相比較器(PD)101と、この第1の位相比較器101の出力と第1のループフィルタ100の入力の間に接続される第1のチャージポンプ回路(CP)105とを備えている。

【0024】

50

第1の位相比較器101は、第1の周波数変換回路107の出力が接続された第1の入力(IN-1)と、第1の基準信号(fREF1)112が接続された第2の入力(IN-2)とを備えている。また、第1の位相比較器101の第2の入力(IN-2)には、切り替えスイッチ107を介して、前記第1の基準信号とは別の、ステップ信号(第2の基準信号)を接続できる。第2の入力(IN-2)に接続される第1の基準信号112は、例えばシンセサイザ(高周波発振器)108の出力信号を利用して生成される送信信号である。また、第2の基準信号は、例えばシンセサイザ108の出力信号を基に第1の信号源109から供給されシグマデルタ変調回路111により周波数が変調されたループ特性検出用のステップ信号である。さらに、第2の基準信号を発生する第1の信号源109は、第1の基準信号(fREF1)を発生させる過程で生じる遅延を補償する構成を有する。

10

【0025】

このPLL回路において、ループ特性検出にあたっては、第1の信号源108から供給される位相比較器101の第2の入力(IN-2)への入力信号の周波数をステップ状に変化させ、その変化に対する応答を電圧制御型発振器102の出力で検出する。検出手段は、例えば、電圧制御型発振器102の出力に接続されたカウンタ103の出力に積分器104を接続することで実現される。

【0026】

制御部220の演算部において、この積分器104による検出結果に基きチャージポンプ電流値の算出を行い、チャージポンプ105にフィードバックする。

20

VCOの発振周波数の電圧制御感度をKv、チャージポンプ105の駆動電流をIcp、容量をCとすれば、これらの値とループ利得とは次式の関係にある。

$$\text{ループ利得} = (I_{cp} \cdot K_v) / C$$

この関係を利用して、チャージポンプ電流Icpを最適化することで、ループ帯域を校正し、PLL回路の位相同期ループ特性を最適化することができる。

【0027】

本実施形態では、特に、第2の基準信号を生成する第1の信号源109において、シグマデルタ変調回路111が発生する周波数を、フラクショナル周波数(RFVCOの周波数に対する少数分周比)に設定する構成とすることにより、遅延要素によるバラツキを低減することができる。

30

【0028】

本実施形態では、位相比較器101における基準信号入力側(IN-2)に、ループ帯域を検出するための信号を直接入力する。そのため、オフセットPLL送信機を代表とする、チャージポンプ電流を可変とする様々なタイプのPLLに適用することができる。

【0029】

また、本実施形態によれば、ループ帯域を校正する時間が短いという利点がある。さらに、本来はローカル用を使用する信号を分周器を用いて分周して位相比較器の基準信号側(IN-2)に入力しており、ローカル信号を有効利用できる。

【0030】

本実施形態の校正回路は、ステップ応答検出に必要なカウンタ103、積分器104等を全てデジタル回路で構成することが可能であり、PLL回路への集積化が可能である。

40

【0031】

また、位相雑音が少なく負荷変動の影響を受けにくい、位相同期ループ回路を実現することができる。また、PLL回路のアナログ特性は、誤差フィードバック量、発振器の制御感度、ループフィルタの特性などで決まるが、本実施例の校正回路によれば、これらのすべて性能バラツキを、高い校正精度で、一括校正することが可能である。これにより、ループフィルタ回路の全体をPLL回路に集積化し、高周波アナログLSIの小型、高性能化を実現することができる。

【0032】

なお、積分器104の出力に更に積分器を多段に接続すれば、検出精度の向上を図るこ

50

とができる。

【 0 0 3 3 】

本発明のより具体的な実施の形態について、添付図面を参照しながら以下詳細に説明する。

【 実施例 1 】

【 0 0 3 4 】

本発明の第 1 の実施例について図 2 から図 7 を用いて説明する。本実施例は、オフセット PLL 型の位相同期ループ回路に、ステップ波形を入力し、その応答を電圧制御型発振器 2 0 1 の出力で検出するというものである。

【 0 0 3 5 】

まず、図 2 で、本発明の第 1 の実施例になるオフセット PLL 型位相同期ループ回路およびそれを含むオフセット PLL 送信機の全体の構成及び動作を説明する。

最初に、オフセット PLL の構成及び動作の原理について簡単に説明する。オフセット PLL 型の位相同期ループ回路は、電圧制御型発振器 (V C O) 2 0 1 とダウンコンバージョンミキサ (D C M) 2 0 2 と位相比較器 (P D) 2 0 3 とチャージポンプ (C P) 2 0 4 とループフィルタ (L F) 2 0 5 とで構成されている。

【 0 0 3 6 】

この PLL 回路の位相比較器 2 0 3 の第 1 の入力 (I N - 1) に、スイッチ 2 2 1 を介して V C O 2 0 1 の出力が入力される。この V C O 2 0 1 の出力は、スイッチ 2 1 6 を介して位相比較器 2 0 3 の第 2 の入力 (I N - 2) に入力された第 1 の基準信号 (f R E F 1) と比較され、比較の結果得られた位相誤差に基づいて、パルス幅が決定される。そして、このパルス幅の電流をチャージポンプ 2 0 4 より出力し、ループフィルタ 2 0 5 で積分した後、V C O 2 0 1 の周波数制御端子に帰還する。このようにして、PLL 回路は、位相比較器 2 0 3 における第 1 の入力 (I N - 1) と第 2 の入力 (I N - 2) の位相誤差が最小になる状態に収束する。

【 0 0 3 7 】

この位相同期ループ回路において、送信モード時には直交変調器 2 0 6 からの送信信号 (f R E F 1) を、位相比較器 2 0 3 の第 2 の入力 (I N - 2) に基準信号として入力することで電圧制御型発振器 2 0 1 の出力に変調信号が発生する。フラクショナル型のシンセサイザ 2 0 7 を用いる場合は、直交変調器 2 0 6 へ入力するローカル信号と、ダウンコンバージョンミキサ (D C M) 2 0 2 へ入力するローカル信号を同一のシンセサイザ 2 0 7 から生成することが可能である。この場合、一例として、直交変調器 2 0 6 へのローカル信号には、シンセサイザ 2 0 7 の出力信号を、分周器 2 0 8 を用いて 1 0 から 1 3 の値で分周を行い、更に 9 0 度シフタ 2 0 9 を通した信号を用いる。このときに、ダウンコンバージョンミキサ (D C M) 2 0 2 へのローカル信号には、シンセサイザ 2 0 7 の出力信号を分周器 2 1 0 で 2 分周または 4 分周した信号を用いる。

【 0 0 3 8 】

なお、シンセサイザ 2 0 7 の基準信号のクロック信号を生成するために、電圧制御型水晶発振器 (V C X O) 2 4 0 が設けられている。この電圧制御型水晶発振器 2 4 0 は、水晶発振器 2 4 2 と同調して、基準信号を生成する。

【 0 0 3 9 】

次に、ループ特性検出に用いるステップ波形の生成装置及び生成方法について説明する。まず、ステップ波形の生成装置は、シンセサイザ 2 0 7 の出力信号を分周する分周器 2 1 1 と、その分周数を制御するシグマデルタ変調回路 2 3 2 で構成されている。分周器 2 1 1 は、分周器 2 1 2、分周器 2 1 3、および分周器 2 1 4 を有し、その出力信号は、ローパスフィルタ 2 1 5 及びスイッチ 2 1 6 を介して位相比較器 2 0 3 の第 2 の入力 (I N - 2) に送られる。

【 0 0 4 0 】

分周器 2 1 1 では、まずシンセサイザ 2 0 7 の出力信号を分周器 2 1 2 で 4 分周して、その出力を分周器 2 1 3 で 1 0 から 1 3 分周数する。この 1 0 から 1 3 分周器をシグマデ

10

20

30

40

50

ルタ変調器 2 3 2 で制御し、フラクショナル動作させる。その出力を分周器 2 1 4 で 2 分周する。分周器 2 1 1 の構成はこの例に限定されるものではない。

【 0 0 4 1 】

なお、分周器 2 1 1 の分周器 2 1 4 の出力信号をシグマデルタ変調器 2 3 2 のクロックとして使用すれば、分周器 2 1 1 とシグマデルタ変調器 2 3 2 の同期がとれるため、都合が良い。

【 0 0 4 2 】

位相比較器 2 0 3 の第 1 の入力 (I N - 1) 側にあるスイッチ 2 2 1 には、ダウンコンバージョンミキサ (D C M) 2 0 2 の出力が直接供給される第 1 のパスと、2 分周器 2 1 9 及びローパスフィルタ 2 2 2 を経由する第 2 のパスとが接続されている。スイッチ 2 2 1 は、位相同期ループ回路の動作状態、すなわち通常モードあるいはループ特性検出モードに応じて、切り替えられる。

【 0 0 4 3 】

また、位相比較器 2 0 3 の第 2 の入力 (I N - 2) 側にあるスイッチ 2 1 6 も、位相同期ループ回路の動作状態、すなわち通常の通信モードあるいはループ特性検出モードに応じて動作し、直交変調器 2 0 6 からの送信信号もしくはローパスフィルタ 2 1 5 からのループ特性検出用信号のいずれかを選択する。

【 0 0 4 4 】

次に、ループ特性検出用ステップ信号について説明する。分周器 2 1 1 の出力信号は、ローパスフィルタ 2 1 5 で波形を整えた後に、スイッチ 2 1 6 を介して位相比較器 2 0 3 の第 2 の入力 (I N - 2) に入力される。ループ特性検出モードのとき、スイッチ 2 1 6 は、ローパスフィルタ 2 1 5 側のループ特性検出用信号を選択する。

【 0 0 4 5 】

このとき、位相比較器 2 0 3 の第 1 の入力 (I N 1) に対応する入力スイッチ 2 2 1 では、2 分周器 2 1 9 を経由する第 2 のパスを使用する。これは、ループ特性検出モードにおいて、シグマデルタ変調器 2 3 2 の動作クロックを抑えるために、通常モードの 1 / 2 の周波数を位相比較器 2 0 3 の入力信号として用いるためである。

【 0 0 4 6 】

ループ特性検出用のステップ信号は、シグマデルタ変調器 2 3 2 で分周器 2 1 1 の分周数を変化させることで行う。シグマデルタ変調器を用いることで、ループ特性検出に適した任意の微小な周波数ステップ信号を容易に生成することが可能である。

【 0 0 4 7 】

次に、ループ特性検出モード時に、第 1 の基準信号すなわち直交変調器 2 0 6 からの送信信号 (f R E F 1) を発生させる過程で生じる遅延を補償する構成について説明する。本実施例の位相同期ループ回路において、ループ特性検出のためのオフセット P L L 中のステップ信号は、シグマデルタ変調器 2 3 2 で分周器 2 1 1 の分周数を変化させることで行っている。この場合、分周器 2 1 1 の分周比をフラクショナル値からフラクショナル値へステップさせる。すなわち、本実施例では、ループ特性検出モード時に分周器 2 1 1 が、フラクショナル値からフラクショナル値へステップするように制御することで、第 1 の基準信号 (f R E F 1) を発生させる過程で生じる遅延を補償している。

【 0 0 4 8 】

次に、ループ特性の検出装置について説明する。ループ特性を検出する装置としては、電圧制御型発振器 2 0 1 の出力にカウンタ 2 1 7 を設け、その出力に積分器 2 1 8 を接続する。カウンタ 2 1 7 のカウント値をサンプリングするクロックとしては、ダウンコンバージョンミキサ 2 0 2 の出力を分周器 2 1 9 で 2 分周した信号を用いると、安定した精度が得られる。検出した結果は、制御部 2 2 0 の演算部で線形近似による簡単な計算処理を得て、チャージポンプ 2 0 4 の電流値が最適になるように、反映される。この制御部の詳細については、後で説明を記載する。

【 0 0 4 9 】

次に、位相同期ループ回路のループ特性を検出するシーケンスを、図 3 と図 4 (図 4 A

10

20

30

40

50

、図 4 B) を用いて説明する。

【 0 0 5 0 】

まず、図 2 のシステムの各部における動作波形を図 3 に記す。波形 3 0 1 は、シグマデルタ変調器 2 3 2 に入力されるステップ信号で、例えば通常動作で 1 1 分周を使いたい場合は、1 0 . 9 分周から 1 1 . 1 分周といった 1 1 分周付近でのフラクショナルなステップ信号を入力する。波形 3 0 2 は、電圧制御型電圧源 2 0 1 の出力での周波数変化の様子である。波形 3 0 1 のステップ信号が、オフセット P L L がロックしている状態で、位相比較器 2 0 3 に入力されると、波形 3 0 2 で見られるように、ループ利得が適正值よりも高い場合には、電圧制御型電圧源 2 0 1 の出力における周波数変化は早く、ループ利得が適正值よりも低い場合には、周波数変化は遅くなる。

10

【 0 0 5 1 】

波形 3 0 3 は、オフセット P L L がロックしている状態でのカウンタ 2 1 7 の出力の様子である。波形 3 0 4 は、ステップ応答におけるカウンタ出力の様子で、ステップ波形が入力された瞬間にカウント値ゼロから再開される。ループ利得が適正值よりも高い場合と低い場合で、カウント値の差異が見られるが、その差異は、微小である。

【 0 0 5 2 】

波形 3 0 5 は、カウント値をサンプリングするためのクロックで、この場合、分周器 2 1 9 の出力信号が用いられる。このクロックでサンプリングされたカウント値は、後段の積分器 2 1 8 で積分される。波形 3 0 6 は、積分器 2 1 8 の積分値で、オフセット P L L がロックしている状態での変化である。波形 3 0 7 は、同じく積分器 2 1 8 の積分値で、ステップ応答における積分値の変化である。ループ利得が高い場合と低い場合で、積分値は異なり、その差異は、カウンタ 2 1 7 での差異と比較して、大きい。すなわち、積分することでより高精度に差異を検出できる。

20

【 0 0 5 3 】

波形 3 0 7 の終端 B と、波形 3 0 6 の終端 A の値の差 (B-A) は、ループ利得の逆数 ($1 / \text{Loop-gain}$) に対してほぼ比例関係で変化する。この比例関係を制御部 2 2 0 の演算で利用している。

【 0 0 5 4 】

次に、図 4 A、図 4 B を使って、実施例 1 におけるループ特性検出モード時の動作シーケンスを説明する。図 4 A はループ特性検出処理のフローチャート、図 4 B はループ特性検出処理のタイムチャート及びそれに対応する電圧制御型発振器 (VCO) 2 0 1 の周波数特性を示す図である。

30

【 0 0 5 5 】

まず、シンセサイザ 2 0 7 をロック状態にする (4 0 1)。次に、VCO 2 0 1 にプリチャージを行った後、time = t 1 でオフセット P L L をロック状態 (周波数 f 1) にする (4 0 2)。このとき、位相比較器 2 0 3 の第 2 の入力 (I N 2) に対応するスイッチ 2 1 6 と位相比較器 2 0 3 の第 1 の入力 (I N 1) に対応するスイッチ 2 2 1 は、共にループ特性を検出する検出モードである。

【 0 0 5 6 】

この状態 (t 2) で、図 3 の波形 3 0 6 における終端 A の値を測定し (4 0 3)、レジスタに保持する (t 3)。次に (t 4)、シグマデルタ変調器 2 3 2 からステップ信号 (周波数 f 2) を入力する (4 0 4)。このときのステップ応答を図 3 の波形 3 0 7 の終端 B で測定する (4 0 5)。次に (t 5)、波形 3 0 6 の終端 A の値との差 (B-A) を計算する (4 0 6)。制御部 2 2 0 で、チャージポンプ電流値の算出を行い、チャージポンプ 2 0 4 の値へフィードバックし (4 0 7)、送信周波数 f tx の前後で帯域制御を行ない、オフセット P L L をロック状態にする (t 6)。これにより、ループ特性検出のためのキャリブレーションが完了し、通常の通信モードに移行する (t 7)。

40

【 0 0 5 7 】

次に、図 5 を用いて、本実施例のカウンタ回路 2 1 7 及びアキュムレータ回路 2 1 8 の構成の詳細について説明する。カウンタ回路 2 1 7 は、VCO の信号 (f VCO) で駆動

50

される8ビット同期カウンタ(8bSYNC__CT)501と、このカウンタの出力で駆動される8ビット同期カウンタ(8bSYNC__CT)502で構成される。カウント経過を基準クロックREFCLKの周期でラッチ(LAT)503に取りこみ、インバータ504で反転させたクロックでアキュムレータ(ACL)回路218に取りこむ。ラッチ503の取り込みタイミングと、VCO201のカウントタイミングの衝突を防止するため、ラッチ503を駆動する前に、基準クロックをVCO信号でDラッチ回路(D-LAT)505をたたくことで、タイミングを合わせる。カウント開始はリセット信号(RST)の解除によって開始されるが、これも同様に、Dラッチ回路506を基準クロック、VCO信号との衝突を防止するため、基準クロック、VCO信号でたたきなおすことでタイミングを合わせる。データ読出し信号(RD)は、例えば、High状態でラッチ回路503をアクティブにし、アキュムレータ218の出力を比較演算部に出力する。

10

【0058】

次に、図2の制御部220の構成及び作用の詳細について図6を使って説明する。制御部220では、図3に示す波形307の終端Bと、波形306の終端Aの値との差(B-A)が、ループ利得の逆数($1/\text{Loop-gain}$)に対してほぼ比例関係で変化するという事実を利用した演算処理を行う。波形306における終端Aの積分結果(601)と、波形307における終端Bの積分結果(602)を、まず引き算し(B-A)、検出用に使うステップ信号が、ステップアップ/ダウン信号かにより極性を変える(603)。この結果から、設定したいループ帯域に応じた、基準値604を引き、係数605を掛ける。基準値604と係数605に対しては、位相同期ループの出力周波数により依存性があるため、出力周波数により値が変化するようにレジスタを用意する。この演算結果606は、検出時のループ利得に対して、どの割合でループ利得を変化させれば最適なループ利得かを示す値である。この演算結果606を、検出時に用いたチャージポンプ電流値607に掛けることで、最適なループ帯域にするためのチャージポンプ電流値(I_{cp})608を決定する。

20

【0059】

図7は、図2の可変電流型のチャージポンプ(CP)の具体例を示す図である。チャージ電流源701を並列につなぎ、幾つ動作させるかにより、チャージ電流値を決定する。また、ディスチャージ電流源702も同様に並列につなぎ、同様に幾つの電流源を動作させるかで、ディスチャージ電流値を決定する。これらの電流源を幾つ動作させるかを、チャージポンプ電流値(I_{cp})608により決定する。

30

【0060】

図8に、図2の実施例に基づく、ループ特性検出のシミュレーション結果を示す。縦軸はB-Aの値で、横軸はループ利得の逆数で、値は設計値により規格化されている。図中、ループ利得の逆数が1.0のときが最適値である。この図より、B-Aの値は、ループ利得の逆数に対し、ほぼ線形であることがわかる。

【0061】

ここで、第1の基準信号すなわち直交変調器206からの送信信号(f_{REF1})を発生させる過程で生じる遅延を補償するために、ループ特性検出モード時に、クシヨナル値からフラクショナル値へステップするように制御することの効果、オフセットPLL中に遅延が生じた場合のシミュレーションの結果として、図9(図9A、図9B)及び図10(図10A、図10B)で説明する。

40

【0062】

まず、図9A、図9Bは、比較のための例であり、シミュレーションの条件として、ステップ信号生成用の分周器211がインテジャ値(整数値)からフラクショナル値へステップした場合の例である。図9Aはループ利得の逆数とB-Aの値の関係、図9Bはループ利得の逆数とループ帯域を検出できる精度の関係を示している。図9A、図9Bの各3本の特性曲線のうち、中央の菱形印の特性曲線は遅延の無い状態、丸印の特性曲線は450Psの遅延が有り、角印の特性曲線は500Psの遅延が有る例である。図9Bから明らかのように、遅延に対して感度があり、ループ帯域を検出できる精度が $\pm 2.0\%$ を上回る場合もある。

50

【 0 0 6 3 】

次に、図 1 0 A、図 1 0 B は、本発明の実施例に対応するものであり、シミュレーションの条件として、分周器 2 1 1 がフラクショナル値からフラクショナル値へステップした場合の例である。図 1 0 A はループ利得の逆数と B-A の値の関係、図 1 0 B はループ利得の逆数とループ帯域を検出できる精度の関係を示している。この場合、電圧制御型信号源 2 0 1 と分周器 2 1 9 出力の積分用クロックにおいて、初期位相の関係が、測定 4 0 3 と測定 4 0 4 で同じ初期位相で測定できるため、遅延に対する感度を打ち消すことができる。

【 0 0 6 4 】

図 1 0 A、図 1 0 B の各 3 本の特性曲線のうち、中央の菱形印の特性曲線は遅延の無い状態、丸印の特性曲線は 2 5 0 P s の遅延があり、角印の特性曲線は 9 0 0 P s の遅延が有る例である。図 1 0 B に示すように、この場合のループ帯域を検出できる精度は $\pm 6\%$ 以下であり、図 9 B の場合と比較し、精度を大幅に改善できる。

10

【 0 0 6 5 】

このように、本実施例によれば、PLL 回路のループ利得の測定結果によりチャージポンプ電流を可変できるため、短い時間でかつ高精度に最適のループ帯域を設定できる校正システムを提供できる。特に、シグマデルタ変調器を用いることで、ループ特性検出に適した微小な周波数ステップ信号を容易に生成することが可能である。

【 0 0 6 6 】

また、本実施例によれば、ループ利得検出回路を設けることにより、PLL 回路のループ利得の測定結果によりチャージポンプ電流を可変できるため、素子の特性ばらつきや、温度や経年変化を打ち消して、常に最適なループ帯域を保つことができる。また、短時間での自動検出が可能であり、人手の作業を必要としない。更に、本発明の検出回路は、全てデジタル回路で構成することができ、高集積化・低消費電力化を図ることができる。また、第 1 の基準信号すなわち直交変調器 2 0 6 からの送信信号 (f R E F 1) を発生させる過程で生じる遅延を補償することができる。

20

[変形例 1]

なお、図 3 では、実施例 1 の位相同期ループ回路における積分器 2 1 8 による積分時間、すなわち波形 3 0 7 での積分値ゼロから終端 B までの時間 T 1 と、波形 3 0 6 での積分値ゼロから終端 A までの時間 T 2 が等しいことを前提に説明した。しかし、実施例 1 の変形例として、積分時間 T 1 と積分時間 T 2 の関係を最適化することで、差分値 (B-A) とループ利得の逆数 (1 / Loop-gain) の比例関係を改善することもできる。

30

[変形例 2]

また、実施例 1 の位相同期ループ回路では積分器 2 1 8 が一段の構成となっていたが、これに代えて、積分器を多段に接続し、前段の積分器で得られた差分値 (B-A) を、後段の積分器で同期してさらに積分するように構成しても良い。このような構成とすることで、差分値 (B-A) とループ利得の逆数 (1 / Loop-gain) の比例関係の特性がより改善され、ループ特性を検出する精度の向上を図ることができる。

【 0 0 6 7 】

また、第 1 の基準信号を発生させる過程で生じる遅延を補償する手段として、実施例 1 では、位相同期ループ回路において、シグマデルタ変調器 2 3 2 で分周器 2 1 1 の分周数を変化させたステップ信号を生成することで行っているが、この構成に限定されるものではない。

40

【 実施例 2 】

【 0 0 6 8 】

次に、図 1 1 を用いて、本発明の第 2 の実施例になるオフセット PLL 型位相同期ループ回路およびそれを含むオフセット PLL 送信機の全体の構成及び動作を説明する。先に述べた第 1 の実施例では、カウンタ 2 1 7 のカウント値をサンプリングするクロックとしては、ダウコンバージョンミキサ 2 0 2 の出力を分周器 2 1 9 で 2 分周した信号を用いていた。積分器 2 1 8 でサンプリングに使用するクロックとしてはこれに限定されるものではない。

50

【 0 0 6 9 】

第2の実施例では、積分器218のクロックとして、分周器208の出力信号を分周器1001でさらに8分周した信号を使用する。この場合には、ステップ信号を入力するタイミングと、分周器208の遅延が常に同じ関係になるようにするため、分周器208と分周器1001に対して初期値を設定する必要がある。

【 0 0 7 0 】

本実施例によれば、PLL回路のループ利得の測定結果によりチャージポンプ電流を可変できるため、短い時間でかつ高精度に最適のループ帯域を設定できる校正システムを提供できる。

【 実施例 3 】

10

【 0 0 7 1 】

次に、本発明の第3の実施例を説明する。図12により、図2等で述べた実施形態になる位相同期ループ回路を、マルチバンド方式の移動体通信システム（携帯電話）を構成する高周波LSIに適用した場合について説明する。図12の通信システムは、高周波集積回路部1100と、ベースバンド信号処理を行うLSI部1102とパワーアンプ(PA)部1104とアンテナ部1110と基準信号を生成するクリスタル部1105で構成されている。

【 0 0 7 2 】

高周波集積回路部1100は、送信系回路(Transmitter)1101、LSI部1102で生成された信号をDA変換し送信系回路(Transmitter)1101へ送るDAコンバータ1103、シンセサイザブロック1207、及び90度シフタ1209を備えている。

20

【 0 0 7 3 】

また、受信系回路として、受信信号を増幅するロウノイズアンプ(Low-noise Amplifier: LNA)1112、受信信号の復調を行なう復調回路、復調された信号をAD変換してベースバンドLSIへ出力するADコンバータ1113等が設けられている。

【 0 0 7 4 】

なお、図12の二点鎖線で囲まれた領域の送信系回路(Transmitter)1101、シンセサイザブロック1207及び90度シフタ1209は、図2や図11のオフセットPLL送信機に対応するものである。前に述べた実施例と異なり、シンセサイザブロック1207と90度シフタ1209は、送信系回路のみならず受信系回路のローカル信号の生成にも関与している。

30

【 0 0 7 5 】

この実施例においては、シンセサイザブロック1207等二点鎖線で囲まれた領域には、図2や図11に示されているような構成を有する回路が使用されており、チャージポンプ電流を最適化することにより、ループ帯域を校正する。

【 0 0 7 6 】

ループ帯域の校正にあたっては、まず、シンセサイザ1207に基準信号を供給するクリスタル部1105からの信号1106をステップ変化させる。このステップ変化した信号は、シンセサイザ部1207の位相比較器の基準信号側に入力される。このステップ信号をシンセサイザにおける出力信号1107において、カウンタと積分器を用いて検出する。

40

【 0 0 7 7 】

このことで、シンセサイザブロック1207は、常に最適なループ帯域に設定され、送信用のローカル信号1108と受信用のローカル信号1109を安定に供給することができる。この実施例を用いることで、送信と受信におけるローカル信号の雑音レベルを一定に保つことが可能である。

【 0 0 7 8 】

また、本実施例の移動体通信システムは、シンセサイザ1207にループ帯域の校正システムを有するオフセットPLL送信機を採用することで、ループ帯域を校正する時間を

50

短くできる。特に、オフセットPLL中のステップ信号の生成にシグマデルタ変調器を用いることで、ループ特性検出に適した微小な周波数ステップ信号を生成することが容易である。

【0079】

本実施例によれば、校正回路をステップ応答検出に必要なカウンタ、積分器を全てデジタル回路で構成することが可能である。また、PLL回路のアナログ特性は、誤差フィードバック量、発振器の制御感度、ループフィルタの特性などで決まるが、本実施例の校正回路は、これらのすべて性能バラツキを、高い校正精度で、一括校正することが可能である。これにより、ループフィルタ回路全体をPLL回路に集積化し、高周波アナログLSIの小型、高性能化を実現することができる。これらにより、ループ帯域の校正システムを有するシンセサイザブロック207を備えた高周波集積回路部1101を実現することができる。しかも、位相雑音が少なく負荷変動の影響を受けにくい、位相同期ループ回路を実現することができる。

10

【0080】

また、本発明では、位相比較器における基準信号入力側にループ帯域を検出するための信号を直接入力する方式なので、オフセットPLL送信機を代表とする、様々な方式のPLLに適用することができる。

【実施例4】

【0081】

次に、図13を用いて本発明の第4の実施例を説明する。

20

図13は、図12の高周波集積回路部1100を半導体集積回路チップ1300として構成した場合のレイアウトの一例を示すものである。

この半導体集積回路チップ1300は、平面形状が実質的に矩形、より好ましくは正方形のチップである。図13の集積回路チップ1300には、図12の二点鎖線で囲まれた領域の送信系回路(Transmitter)1101、シンセサイザブロック1207及び90度シフタ1209の部分を表示し、他の部分の表示は省略している。

【0082】

まず、送信系回路1101内の発振器(VCO)201とダウンコンバージョン用のミキサ(DCM)202との間に、校正用のカウンタ217とアキュムレータ218と制御部220とを配置する。このとき、発振器201は、周囲へのカップリングの影響を避けるために集積回路チップの角(第1の角)に位置させ、また、ダウンコンバージョンミキサ202は、発振器201からのカップリングの影響を避けるために、集積回路チップの別の角(第2の角)、例えば同じ辺上の他の角に位置させる。カウンタ217とアキュムレータ218および制御部220については、デジタル素子であり、離散動作を行うため、発振器201からのアナログ要因のカップリングを受けにくい。そこで、発振器201とダウンコンバージョンミキサ202の間に、カウンタ217とアキュムレータ218と制御部220を位置させると良い。そして、これらのデジタル素子(カウンタ217とアキュムレータ218および制御部220)とダウンコンバージョンミキサ202との間に、例えば矩形の下辺の近傍に、位相比較器203、チャージポンプ204及び直交変調部206、スイッチ類(216、221)を配置する。このことで、発振器201の周囲に、特にガードを生成することなく、送信機における低雑音化を実現できる。また、ガードを必要としない分、チップ面積の削減が可能である。

30

40

【0083】

次に、ローカル信号を生成するシンセサイザ(発振器)1207は、発振器201との干渉を避けるために、発振器201から遠くに位置させる。例えば、図に示したように、前記第1の角と第2の角を矩形の下辺の両端としたとき、発振器1207は、第1、第2の角を含まない辺、すなわち矩形の上辺の近傍に配置する。分周器208、4分周器と90度位相シフタ209、分周器211、90度シフタ1209などは、シンセサイザ1207の近傍に配置される。なお、シンセサイザ1207から直交変調部206とダウンコンバージョンミキサ202への距離については、なるべく近くなるように配置すると良い。

50

すなわち、シンセサイザ 1207、矩形の上辺の中間付近もしくはこれよりやや左寄りに配置すると良い。このことで、配線におけるジッターやカップリングの影響を軽減することが可能であり、ローカル信号の雑音を抑えることができる。

【0084】

さらに、電圧制御型水晶発振器 (VCXO) 1301 は、外付けのクリスタル部 (水晶発振器) 1105 と同調して、チップ内の基準信号を生成し、また、電圧制御により周波数誤差を校正する役割を果たす。特に、電圧制御型水晶発振器 1301 は、シンセサイザ 1207 の基準信号や図 12 における LSI 部 1102 内のロジックのクロック信号を生成するために、雑音やカソプリングの影響を十分に考慮する必要がある。このため、電圧制御型水晶発振器 1301 は、第 1、第 2 の角から離れたチップの角、例えば矩形の上辺の角 (第 3 の角) に配置すると良く、これにより、ロジックにおけるクロック信号のジッター雑音の抑圧と、発振器 207 における位相雑音の抑圧を実現することが可能である。

【0085】

なお、高周波集積回路部 1100 の他の構成要素に関しては、上記したレイアウトに沿い、集積回路チップ 1300 内の残りの領域に適宜配置される。

【0086】

本実施例によれば、様々なタイプの位相同期ループにおけるループ帯域を、簡単な構成で高精度に設定でき、PLL 回路に集積化して高集積化・低消費電力化を図ることができると共に、低雑音でかつチップ面積を削減できる通信用高周波集積回路を提供することができる。

【図面の簡単な説明】

【0087】

【図 1】本発明の実施形態としての PLL 回路の基本構成を示すブロック図である。

【図 2】本発明の第 1 の実施例になるオフセット PLL 型位相同期ループ回路およびそれを含むオフセット PLL 送信機の全体の構成を示す図である。

【図 3】図 2 における各部でのトランジェント波形を示す図である。

【図 4 A】第 1 の実施例におけるループ特性検出処理のフローチャートを示す図である。

【図 4 B】ループ特性検出処理のタイムチャート及びそれに対応する電圧制御型発振器 (VCXO) 201 の周波数特性を示す図である。

【図 5】第 1 の実施例におけるカウンタ回路及びアキュムレータ回路の構成を説明する図である。

【図 6】第 1 の実施例におけるチャージポンプの制御部の構成を示す図である。

【図 7】本発明第 1 の実施例におけるチャージポンプの構成例を示す図である。

【図 8】本発明第 1 の実施例のシミュレーション結果を示す図である。

【図 9 A】図 9 A は、本発明第 1 の実施例における遅延感度を説明するための比較例を示すものであり、ループ利得の逆数と B-A の値の関係を示す図である。

【図 9 B】図 9 A に対応する、ループ利得の逆数とループ帯域を検出できる精度の関係を示す図である。

【図 10 A】本発明の実施例における遅延感度を説明するための、ループ利得の逆数と B-A の値の関係を示す図である。

【図 10 B】図 10 A に対応する、本発明の実施例におけるループ利得の逆数とループ帯域を検出できる精度の関係を示す図である。

【図 11】本発明の第 2 実施例になるオフセット PLL 型位相同期ループ回路およびそれを含むオフセット PLL 送信機の全体の構成を示す図である。

【図 12】本発明の第 3 の実施例になる位相同期ループ回路を、マルチバンド方式の移動体通信システムの構成を示す図である。

【図 13】図 12 の高周波集積回路部を集積回路チップとして構成した場合のレイアウトの一例を示す図である。

【符号の説明】

【0088】

PLL...位相同期ループ、VCO...電圧制御型信号源、CP...チャージポンプ、PD...位相比較器、Ctrl...チャージポンプ制御部、SD...シグマデルタ変調器、Div...分周器、LPF...ローパスフィルタ、synth...シンセサイザ、DCM...ダウンコンバージョンミキサ、slot...スロット、cal...校正(キャリブレーション)、Icp...チャージポンプ電流、ACC...積分(アキュムレータ)、A...1回目の測定結果、B...2回目の測定結果、freq...周波数、101...位相比較器、102...電圧制御型信号源、103...カウンタ、104...積分器(アキュムレータ)、105...チャージポンプ、201...電圧制御型信号源、202...ダウンコンバージョンミキサ、203...位相比較器、204...チャージポンプ、205...ループフィルタ、206...直交変調器、207...シンセサイザ、208...10~13分周器、209...4分周器と90度位相シフタ、210...4または2分周器、211...分周器、212...4分周器、213...10~13分周器、214...2分周器、215...ローパスフィルタ、216...スイッチ、217...カウンタ、218...積分器(アキュムレータ)、219...2分周器、220...チャージポンプ電流制御部、221...スイッチ、232...シグマデルタ変調器、240...電圧制御型水晶発振器、242...水晶発振器、301...シグマデルタ入力での波形、302...VCO出力での波形、303...カウンタ出力での波形、304...ステップ信号入力中のカウンタ出力での波形、305...サンプル用クロック(積分器用クロック)、306...積分器出力での波形、307...ステップ信号入力中での積分器出力での波形、401...シンセサイザのロックアップまでの遷移状態、402...オフセットPLLでのロックアップまでの遷移状態、403...1回目の測定、404...ステップ信号の入力、405...2回目の測定、406...2回目の測定結果から1回目の測定結果の引き算、407...チャージポンプ電流の設定、601...1回目の測定結果、602...2回目の測定結果、603...ステップアップ信号またはステップダウン信号の選択、604...基準とする値、605...係数(傾き)、606...乗算結果、607...校正中のチャージポンプ電流値、608...最適なチャージポンプ電流値、701...チャージ用回路、702...ディチャージ用回路、1001...8分周器、1100...高周波集積回路部、1101...送信系回路(Transmitter)、1102...ベースバンドLSI部、1103...DAコンバータ、1104...パワーアンプ部、1105...クリスタル部、1106...基準信号、1107...シンセサイザ出力信号、1108...送信系ローカル信号、1109...受信系ローカル信号、1110...アンテナ部、1112...ロウノイズアンプ(Low-noise Amplifier:LNA)、1113...ADコンバータ、1207...シンセサイザブロック、1209...90度シフタ、1300...集積回路チップ、1301...電圧制御型水晶発振器。

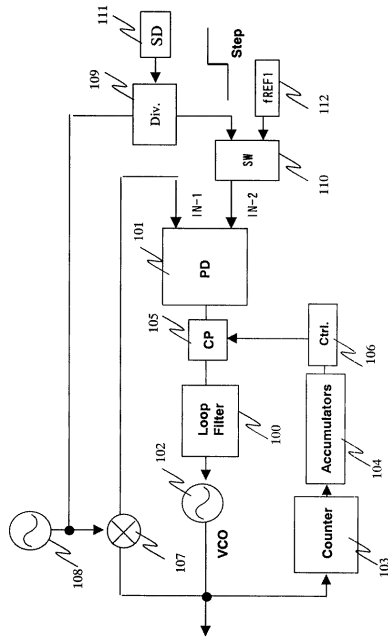
10

20

30

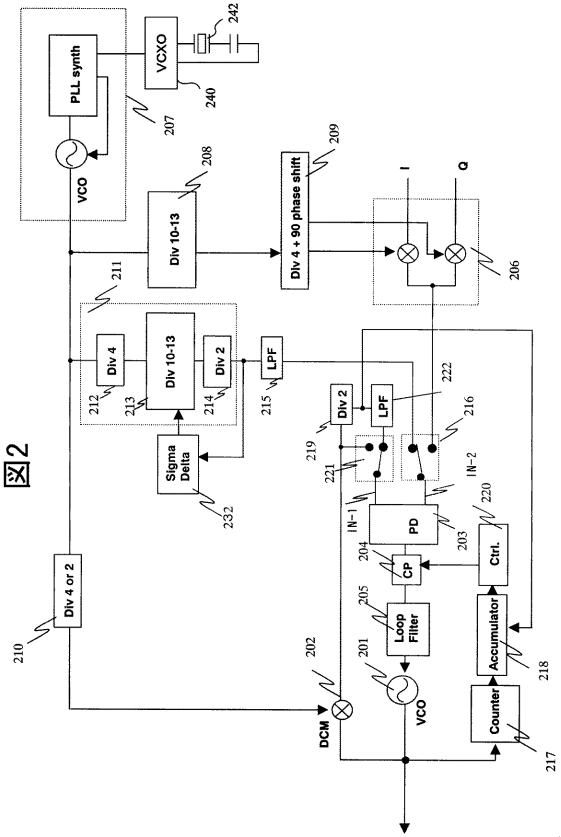
【図 1】

図 1



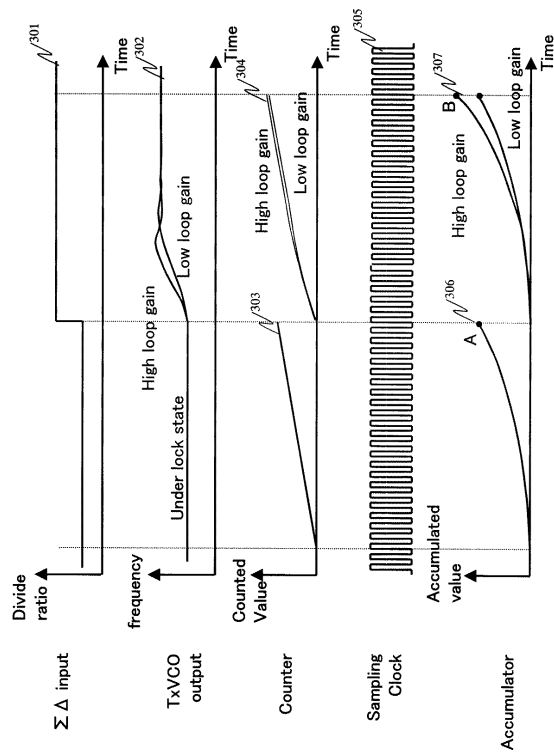
【図 2】

図 2



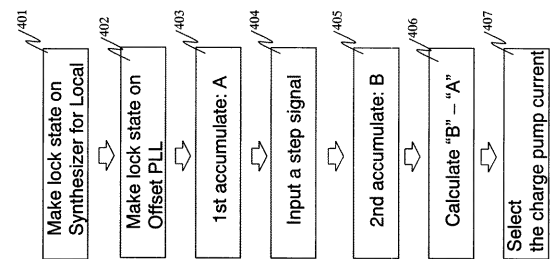
【図 3】

図 3



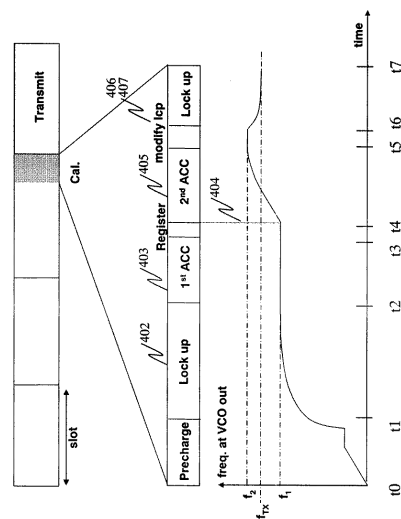
【図 4 A】

図 4A

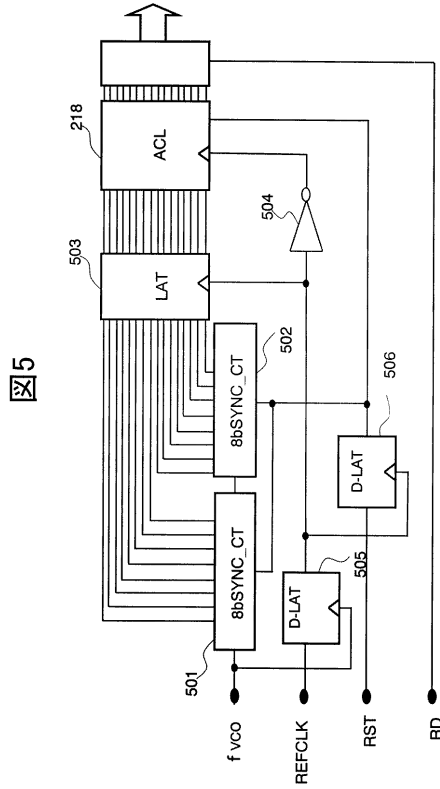


【図 4 B】

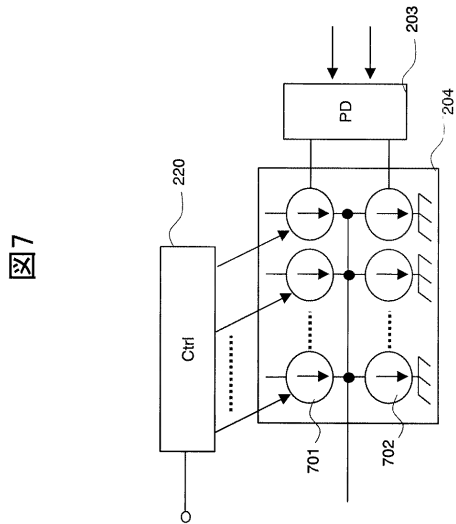
図 4B



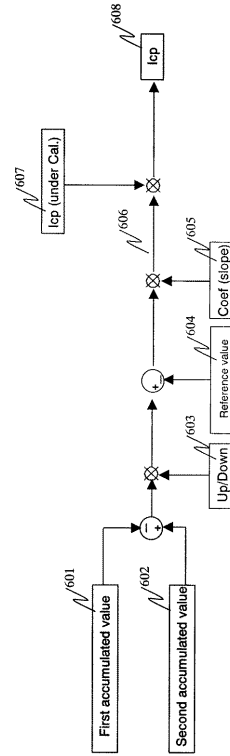
【 図 5 】



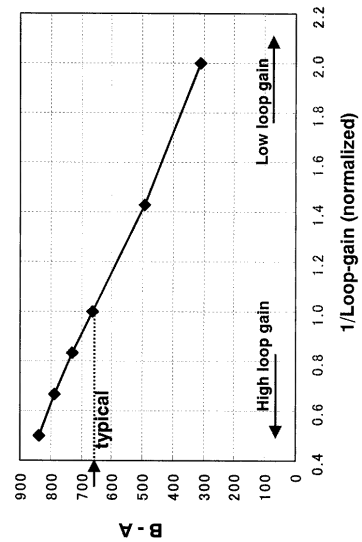
【圖 7】



【 図 6 】

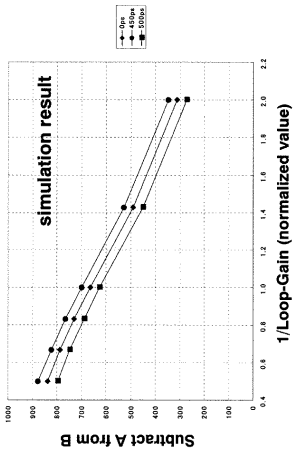


【 図 8 】



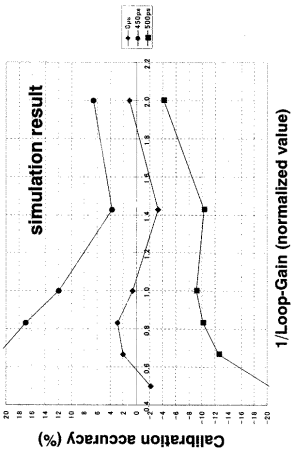
【図 9 A】

図9A



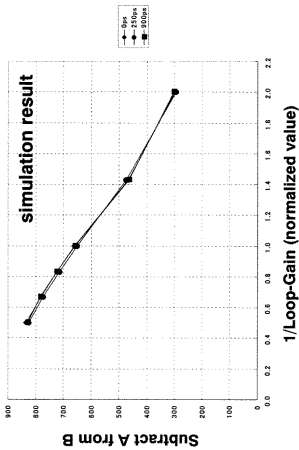
【図 9 B】

図9B



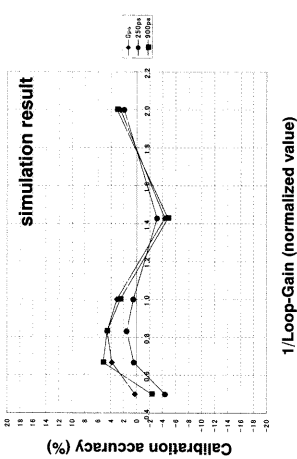
【図 10 A】

図10A



【図 10 B】

図10B



フロントページの続き

(72)発明者 嶋 康夫

東京都青梅市新町六丁目16番地の3 株式会社日立製作所 マイクロデバイス事業部内

(72)発明者 高野 亮一

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 上田 智志

(56)参考文献 特表2002-518869(JP,A)

特開2003-158452(JP,A)

国際公開第2004/023656(WO,A1)

特開2002-157841(JP,A)

特開2002-042429(JP,A)

特開2000-013220(JP,A)

赤峰 幸徳 他4名, PLL送信機用ループ帯域校正回路, 電子情報通信学会2005年総合大会講演論文集, 2005年 3月 7日, pp.95

(58)調査した分野(Int.Cl., DB名)

H03L 7/06 - 7/23,

H04B 1/04