

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月13日(13.07.2017)

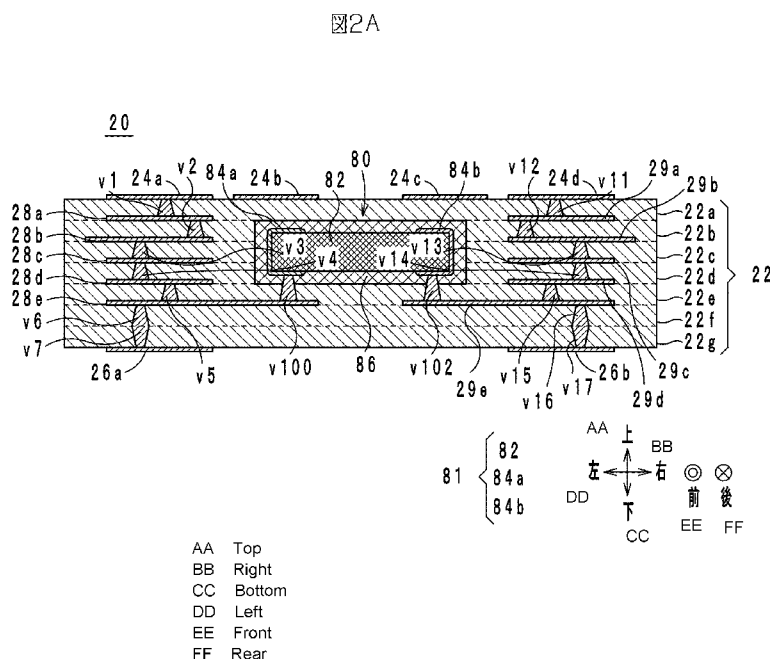


(10) 国際公開番号
WO 2017/119249 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2016/087171
- (22) 国際出願日: 2016年12月14日(14.12.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-001438 2016年1月7日(07.01.2016) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 濱田 秀(HAMADA, Shu); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 多胡 茂(TAGO, Shigeru); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 品川 博史(SHINAGAWA, Hirohumi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 川田 雅樹(KAWATA, Masaki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: アセンド特許業務法人(ASCEND IP LAW FIRM); 〒5300003 大阪府大阪市北区堂島一丁目5番17号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: MULTILAYER SUBSTRATE AND METHOD FOR MANUFACTURING MULTILAYER SUBSTRATE

(54) 発明の名称: 多層基板及び多層基板の製造方法



(57) Abstract: To provide a multilayer substrate whereby planarity of a main surface of a base material can be improved, and a method for manufacturing the multilayer substrate. A multilayer substrate relating to the present invention is characterized by being provided with: a base material configured by laminating, in the lamination direction, a plurality of insulating material layers that are configured from a material containing a first resin, i.e., a thermoplastic resin; and a package component embedded in the base material, said package component having a first flat surface and a second flat surface, which are positioned at both ends in the lamination direction, and which are substantially perpendicular to the lamination direction. The multilayer substrate is also characterized in that: the package component includes a first electronic component, and a coating member, which is configured from a material containing a second resin, and which is covering at least a part of the surface of the first electronic component; at the softening temperature of the first resin, the Young's modulus of the second resin is higher than the Young's modulus of the first resin; and at least a part of the first flat

surface and at least a part of the second flat surface are configured from the coating member.

(57) 要約:

[続葉有]

WO 2017/119249 A1



基材の主面の平坦性を向上させることができる多層基板及び多層基板の製造方法を提供することである。本発明に係る多層基板は、熱可塑性樹脂である第1の樹脂を含む材料により構成されている複数の絶縁体層が積層方向に積層されて構成されている基材と、基材に内蔵されているパッケージ部品であって、積層方向の両端に位置し、かつ、積層方向に実質的に垂直な第1の平面及び第2の平面を有するパッケージ部品と、を備えており、パッケージ部品は、第1の電子部品と、第2の樹脂を含む材料により構成され、かつ、第1の電子部品の表面の少なくとも一部を覆っているコーティング部材と、を含んでおり、第1の樹脂の軟化点温度において、第2の樹脂のヤング率は、第1の樹脂のヤング率よりも大きく、第1の平面の少なくとも一部及び第2の平面の少なくとも一部は、コーティング部材により構成されていること、を特徴とする。

明 細 書

発明の名称：多層基板及び多層基板の製造方法

技術分野

[0001] 本発明は、多層基板及び多層基板の製造方法に関し、より特定的には、熱可塑性樹脂を材料とする絶縁体層が積層された基材を備える多層基板及び多層基板の製造方法に関する。

背景技術

[0002] 従来多層基板に関する発明としては、例えば、特許文献１に記載の樹脂多層基板が知られている。図２６は、樹脂多層基板５００の製造時の断面構造図である。

[0003] 樹脂多層基板５００は、樹脂シート５０２ａ～５０２ｄ及び部品５０３ａ，５０３ｂを備えている。樹脂シート５０２ｂ，５０２ｃにはそれぞれ、貫通孔５１４ａ，５１４ｂが設けられている。このような樹脂シート５０２ｂ～５０２ｄが積層されることにより、キャビティ５０５ａ，５０５ｂが形成されている。そして、部品５０３ａ，５０３ｂがそれぞれキャビティ５０５ａ，５０５ｂ内に収容された後に、樹脂シート５０２ｂ上に樹脂シート５０２ａが積層される。これにより、部品５０３ａ，５０３ｂを内蔵した樹脂多層基板５００が得られる。

先行技術文献

特許文献

[0004] 特許文献１：国際公開第２０１４／２０３６０３号公報

発明の開示

発明が解決しようとする課題

[0005] ところで、特許文献１に記載の樹脂多層基板５００では、上面及び下面の平坦性を確保することが困難な場合がある。より詳細には、部品５０３ａ，５０３ｂの上面及び下面には図示しない外部電極が設けられている。そのため、部品５０３ａ，５０３ｂの上面及び下面には凹凸が存在する。このよう

な凹凸が存在すると、部品 5 0 3 a, 5 0 3 b の上面及び下面と樹脂シート 5 0 2 a, 5 0 2 d との間に隙間が形成される。そして、熱圧着工程において、部品 5 0 3 a, 5 0 3 b 近傍の樹脂シート 5 0 2 a, 5 0 2 d は、軟化・流動して隙間に流れ込む。その結果、樹脂多層基板 5 0 0 の上面及び下面において、部品 5 0 3 a, 5 0 3 b の直上及び直下並びにその近傍に凹凸が形成されることがある。

[0006] そこで、本発明の目的は、基材の主面の平坦性を向上させることができる多層基板及び多層基板の製造方法を提供することである。

課題を解決するための手段

[0007] 本発明の一形態に係る多層基板は、熱可塑性樹脂である第 1 の樹脂を含む材料により構成されている複数の絶縁体層が積層方向に積層されて構成されている基材と、前記基材に内蔵されているパッケージ部品であって、前記積層方向の両端に位置し、かつ、該積層方向に実質的に垂直な第 1 の平面及び第 2 の平面を有するパッケージ部品と、を備えており、前記パッケージ部品は、第 1 の電子部品と、第 2 の樹脂を含む材料により構成され、かつ、前記第 1 の電子部品の表面の少なくとも一部を覆っているコーティング部材と、を含んでおり、前記第 1 の樹脂の軟化点温度において、前記第 2 の樹脂のヤング率は、前記第 1 の樹脂のヤング率よりも大きく、前記第 1 の平面の少なくとも一部及び前記第 2 の平面の少なくとも一部は、前記コーティング部材により構成されていること、を特徴とする。

[0008] 本発明の一形態に係る多層基板の製造方法は、第 1 の電子部品の表面の少なくとも一部をコーティング部材により覆うことにより、積層方向の両端に位置し、かつ、該積層方向に実質的に垂直な第 1 の平面及び第 2 の平面を有するパッケージ部品を形成する第 1 の工程と、前記パッケージ部品を内蔵するように複数の絶縁体層を前記積層方向に積層する第 2 の工程と、前記複数の絶縁体層に対して加熱処理及び加圧処理を施して基材を形成する第 3 の工程と、を備えており、前記複数の絶縁体層は、熱可塑性樹脂である第 1 の樹脂を含む材料により構成されており、前記コーティング部材は、第 2 の樹脂

を含む材料により構成されており、前記加熱処理の温度において、前記第２の樹脂のヤング率は、前記第１の樹脂のヤング率よりも大きいこと、を特徴とする。

発明の効果

[0009] 本発明によれば、基材の主面の平坦性を向上させることができる。

図面の簡単な説明

[0010] [図1]図１は、本発明の一実施形態に係る多層基板２０を備えた電子機器１０の断面構造図である。

[図2A]図２Ａは、多層基板２０の断面構造図である。

[図2B]図２Ｂは、多層基板２０の分解図である。

[図3A]図３Ａは、電子部品８１を上側から見た図である。

[図3B]図３Ｂは、電子部品８１を前側から見た図である。

[図3C]図３Ｃは、パッケージ部品８０を上側から見た図である。

[図3D]図３Ｄは、パッケージ部品８０を前側から見た図である。

[図4A]図４Ａは、パッケージ部品８０の製造時の透視図である。

[図4B]図４Ｂは、パッケージ部品８０の製造時の透視図である。

[図4C]図４Ｃは、パッケージ部品８０の製造時の透視図である。

[図4D]図４Ｄは、パッケージ部品８０の製造時の透視図である。

[図5A]図５Ａは、パッケージ部品８０の製造時の透視図である。

[図5B]図５Ｂは、パッケージ部品８０の製造時の透視図である。

[図5C]図５Ｃは、パッケージ部品８０の製造時の透視図である。

[図5D]図５Ｄは、パッケージ部品８０の製造時の透視図である。

[図5E]図５Ｅは、多層基板２０の製造時の断面構造図である。

[図6A]図６Ａは、多層基板２０の製造時の断面構造図である。

[図6B]図６Ｂは、多層基板２０の製造時の断面構造図である。

[図7]図７は、多層基板２０の製造時の断面構造図である。

[図8]図８は、多層基板２０aの断面構造図である。

[図9A]図９Ａは、パッケージ部品８０及び絶縁体シート２３の製造時の透視

図である。

[図9B]図9Bは、パッケージ部品80及び絶縁体シート23の製造時の透視図である。

[図9C]図9Cは、パッケージ部品80及び絶縁体シート23の製造時の透視図である。

[図9D]図9Dは、パッケージ部品80及び絶縁体シート23の製造時の透視図である。

[図10]図10は、多層基板20aの製造時の断面構造図である。

[図11]図11は、多層基板20aの製造時の断面構造図である。

[図12]図12は、多層基板20b, 20gの断面構造図である。

[図13]図13は、多層基板20b, 20gの製造時の断面構造図である。

[図14]図14は、多層基板20b, 20gの製造時の断面構造図である。

[図15]図15は、多層基板20b, 20gの製造時の断面構造図である。

[図16]図16は、多層基板20b, 20gの製造時の断面構造図である。

[図17]図17は、多層基板20cの断面構造図である。

[図18]図18は、多層基板20cの製造時の断面構造図である。

[図19A]図19Aは、多層基板20cの製造時の断面構造図である。

[図19B]図19Bは、多層基板20cの製造時の断面構造図である。

[図20]図20は、多層基板20dの断面構造図である。

[図21]図21は、多層基板20eの断面構造図である。

[図22]図22は、多層基板20fの断面構造図である。

[図23]図23は、多層基板20gのパッケージ部品80の外観斜視図である。

[図24A]図24Aは、パッケージ部品80を上側から見た図である。

[図24B]図24Bは、図24AのA-Aにおける断面構造図である。

[図24C]図24Cは、図24AのB-Bにおける断面構造図である。

[図25]図25は、上面及び下面が外部電極84a, 84b及びコーティング部材86により構成されているパッケージ部品80の外観斜視図である。

[図26]図 2 6 は、樹脂多層基板 5 0 0 の製造時の断面構造図である。

発明を実施するための形態

[0011] (実施形態)

<多層基板及び電子機器の構成>

以下に、本発明の一実施形態に係る多層基板及び電子機器の構成について図面を参照しながら説明する。図 1 は、本発明の一実施形態に係る多層基板 2 0 を備えた電子機器 1 0 の断面構造図である。図 2 A は、多層基板 2 0 の断面構造図である。図 2 B は、多層基板 2 0 の分解図である。図 3 A は、電子部品 8 1 を上側から見た図である。図 3 B は、電子部品 8 1 を前側から見た図である。図 3 C は、パッケージ部品 8 0 を上側から見た図である。図 3 D は、パッケージ部品 8 0 を前側から見た図である。図 3 C 及び図 3 D では、ビアホール導体 v 1 0 0, v 1 0 2 は省略されている。以下では、多層基板 2 0 の積層方向を上下方向と定義する。図 1、図 2 A 及び図 2 B における紙面垂直方向を前後方向（第 2 の直交方向の一例）と定義し、図 1、図 2 A 及び図 2 B における紙面左右方向を左右方向（第 1 の直交方向の一例）と定義する。上下方向、左右方向及び前後方向は互いに直交している。

[0012] 電子機器 1 0 は、例えば、携帯電話やパーソナルコンピュータ、ゲーム機、ウェアブル端末等である。図 1 では、電子機器 1 0 内に設けられているモジュールやマザー基板のみを図示し、電子機器 1 0 の筐体やその他の構成については省略した。電子機器 1 0 は、図 1 に示すように、多層基板 2 0、電子部品 6 0, 7 0 及びマザー基板 1 0 0 を備えている。

[0013] まず、多層基板 2 0 について説明する。多層基板 2 0 は、上側から見たときに長方形形状をなす板状の樹脂基板である。多層基板 2 0 を上側から見たときに、長辺は左右方向に延在し、短辺は前後方向に延在している。多層基板 2 0 は、図 2 に示すように、基材 2 2、外部電極 2 4 a ~ 2 4 d, 2 6 a, 2 6 b、回路導体層 2 8 a ~ 2 8 e, 2 9 a ~ 2 9 e、ビアホール導体 v 1 ~ v 7, v 1 1 ~ v 1 7, v 1 0 0, v 1 0 2、パッケージ部品 8 0 を備えている。なお、外部電極は、外部電極 2 4 a ~ 2 4 d, 2 6 a, 2 6 b 以外

にも設けられているが、外部電極 24 a～24 d, 26 a, 26 b 以外の外部電極については図 1 及び図 2 では省略した。同様に、回路導体層は、回路導体層 28 a～28 e, 29 a～29 e 以外にも設けられているが、回路導体層 28 a～28 e, 29 a～29 e 以外の回路導体層については図 1 及び図 2 では省略した。同様に、ビアホール導体は、ビアホール導体 v 1～v 7, v 11～v 17 以外にも設けられているが、ビアホール導体 v 1～v 7, v 11～v 17 以外のビアホール導体については図 1 及び図 2 A では省略した。

[0014] 基材 22 は、図 2 A に示すように、上側から見たときに、長方形形状をなす可撓性の板状部材である。基材 22 は、絶縁体シート 22 a～22 g（複数の絶縁体層の一例）が上側から下側へとこの順に積層されて構成されている積層体である。基材 22 は、2つの主面を有している。以下では、基材 22 の上側の主面を表面と称し、基材 22 の下側の主面を裏面と称す。基材 22 の裏面は、多層基板 20 の実装時にマザー基板 100 に対向する実装面である。

[0015] 絶縁体シート 22 a～22 g は、上側から見たときに、長方形形状をなしており、基材 22 と同じ形状をなしている。絶縁体シート 22 a～22 g は、ポリイミドや液晶ポリマ等の可撓性を有する熱可塑性樹脂（第 1 の樹脂の一例）を含む材料により構成されている。以下では、絶縁体シート 22 a～22 g の上側の主面を表面と称し、絶縁体シート 22 a～22 g の下側の主面を裏面と称す。

[0016] また、図 2 B に示すように、絶縁体シート 22 b～22 d の中央（対角線の交点付近）にはそれぞれ、上側から見たときに、長方形形状をなす貫通孔 H 1～H 3 が設けられている。貫通孔 H 1～H 3 はそれぞれ、絶縁体シート 22 b～22 d の表面と裏面とを繋ぐように形成されている。また、貫通孔 H 1～H 3 の外縁は、上側から見たときに、互いに一致するように重なり合っている。よって、貫通孔 H 1～H 3 は 1 つに繋がっている。

[0017] また、貫通孔 H 1 の上側の開口は、絶縁体シート 22 a によって塞がれて

いる。貫通孔H 3の下側の開口は、絶縁体シート2 2 eによって塞がれている。これにより、基材2 2内には、貫通孔H 1～H 3が繋がった直方体状の空間S pが形成されている。

[0018] パッケージ部品8 0は、図1、図2 A及び図2 Bに示すように、基材2 2に内蔵されており、直方体状をなしている。以下では、パッケージ部品8 0において、上側（積層方向の一方側の一例）に位置する面を上面（第1の平面の一例）と呼び、下側（積層方向の他方側の一例）に位置する面を下面（第2の平面の一例）と呼び、前側に位置する面を前面と呼び、後側に位置する面を後面と呼び、右側に位置する面を右面と呼び、左側に位置する面を左面と呼ぶ。上面、下面、前面、後面、右面及び左面は、実質的に平面である。上面及び下面は、上下方向に実質的に垂直な平面である。また、前面、後面、右面及び左面は、上面及び下面に対して実質的に垂直であり、上下方向に実質的に平行な平面である。また、前面、後面、右面及び左面を総称して側面と呼ぶこともある。本実施形態では、上面、下面、前面、後面、右面及び左面の接合部分に対して面取りが施されていないが、該接合部分に対して面取りが施されていてもよい。なお、実質的に平面であること、及び、実質的に平行又は垂直であることは、製造ばらつきによって、僅かに平面からずれることや僅かに平行又は垂直からずれることを許容する意味である。

[0019] パッケージ部品8 0は、空間S pに収容されている。これにより、パッケージ部品8 0は、絶縁体シート2 2 b～2 2 dを上下方向に貫通している。更に、絶縁体シート2 2 aの裏面は、パッケージ部品8 0の上面に接触しており、絶縁体シート2 2 e（第1の絶縁体層の一例）の表面は、パッケージ部品8 0の下面に接触している。また、貫通孔H 1～H 3の内周面は、パッケージ部品8 0の側面に接触している。また、絶縁体シート2 2 a～2 2 eは、パッケージ部品8 0に固着している。より詳細には、後述するように、絶縁体シート2 2 a～2 2 gは、基材2 2の熱圧着工程において、軟化した後に固化している。そのため、絶縁体シート2 2 a～2 2 gが軟化する際に、空間S pの内周面とパッケージ部品5 0の上面、下面及び側面（以下、表

面とも呼ぶ) との間の隙間に絶縁体シート 22 a ~ 22 e が流れ込んで、該隙間が絶縁体シート 22 a ~ 22 e により埋められる。更に、絶縁体シート 22 a ~ 22 e が固化する際に、空間 S p の内周面とパッケージ部品 50 表面とが固着して容易に離れなくなる。

[0020] パッケージ部品 80 は、図 2 A 及び図 3 A ないし図 3 D に示すように、電子部品 81 (第 1 の電子部品の一例) 及びコーティング部材 86 を含んでいる。電子部品 81 は、例えば、コンデンサやインダクタ等のチップ型の電子部品であり、本体 82 (第 1 の本体の一例) 及び外部電極 84, 84 b を有している。

[0021] 本体 82 は、セラミック等の材料により作製された直方体状をなす部材であり、内部にコンデンサやインダクタ等の回路素子 (図示せず) を含んでいる。外部電極 84 a (第 1 の外部電極の一例) は、本体 82 の表面に設けられており、本体 82 において上面又は下面のいずれか一方に設けられている。本実施形態では、外部電極 84 a は、本体 82 の左面 (第 1 の直交方向の一方側の面の一例) の全体を覆うと共に、左面に隣接する領域であって、上面 (積層方向の一方側の面の一例)、下面 (積層方向の他方側の面の一例)、前面 (第 2 の直交方向の一方側の面の一例) 及び後面 (第 2 の直交方向の他方側の面の一例) の一部の領域を覆っている。外部電極 84 b は、本体 82 において上面又は下面のいずれか一方に設けられている。本実施形態では、外部電極 84 b は、本体 82 の表面に設けられており、具体的には、本体 82 の右面の全体を覆うと共に、右面に隣接する領域であって、上面、下面、前面及び後面の一部の領域を覆っている。これにより、電子部品 81 の上面、下面、前面及び後面には、凹凸が形成されている。外部電極 84 a, 84 b は、例えば、銀等を主成分とする導電性ペーストが塗布されて形成された下地電極上にニッケルメッキ及び錫メッキが施されることにより形成されている。

[0022] コーティング部材 86 は、エポキシ樹脂等の熱硬化性樹脂 (第 2 の樹脂の一例) を含む材料により構成され、かつ、電子部品 81 の表面の少なくとも

一部を覆っている。これにより、パッケージ部品 80 の上面の少なくとも一部及びパッケージ部品 80 の下面の少なくとも一部はコーティング部材 86 により構成されている。本実施形態では、コーティング部材 86 は、電子部品 81 の表面の全体を覆っている。そのため、電子部品 81 は、コーティング部材 86 から露出していない。そして、パッケージ部品 80 の上面の全体及びパッケージ部品 80 の下面の全体はコーティング部材 86 により構成されている。ただし、コーティング部材 86 の下面（すなわち、パッケージ部品 80 の下面）には、後述するビアホール導体 v100, v102 のための貫通孔が設けられている。そのため、コーティング部材 86 の下面（すなわち、パッケージ部品 80 の下面）は貫通孔において窪んでいる。ただし、この貫通孔は小さいので、コーティング部材 86 の下面（すなわち、パッケージ部品 80 の下面）を便宜上平面と解釈する。

[0023] また、絶縁体シート 22a～22g に用いられるポリイミドや液晶ポリマ等の熱可塑性樹脂の軟化点温度において、コーティング部材 86 に用いられるエポキシ樹脂等の熱硬化性樹脂のヤング率は、絶縁体シート 22a～22g に用いられるポリイミドや液晶ポリマ等の熱可塑性樹脂のヤング率よりも大きい。軟化点とは、樹脂の温度が上昇し変形を始めるときの温度である。ポリイミドの軟化点は例えば 120℃であり、液晶ポリマの軟化点は例えば 150℃である。本願では、軟化点とは JIS K7206 に記載の方法に準じて測定したものを意味する。

[0024] また、コーティング部材 86 に用いられるエポキシ樹脂等の熱硬化性樹脂の線膨張係数は、本体 82 の材料（セラミック）の線膨張係数以上であり、かつ、絶縁体シート 22a～22g に用いられるポリイミドや液晶ポリマ等の熱可塑性樹脂の線膨張係数以下である。より詳細には、セラミックの線膨張係数は、例えば $7 \times 10^{-6}/^{\circ}\text{C}$ 程度であり、液晶ポリマの線膨張係数は、例えば $16 \times 10^{-6}/^{\circ}\text{C}$ 程度であり、エポキシ樹脂の線膨張係数は、例えば $10 \times 10^{-6}/^{\circ}\text{C}$ 程度である。ただし、エポキシ樹脂の線膨張係数についてはエポキシ樹脂に添加するフィラーの量で調整されてもよい。

- [0025] 外部電極 24 a～24 d は、長方形形状の導体層であり、絶縁体シート 22 a の表面に設けられている。外部電極 24 a～24 d は、左側から右側へこの順に並んでいる。外部電極 26 a, 26 b は、長方形形状の導体層であり、絶縁体シート 22 g の裏面に設けられている。外部電極 26 a, 26 b は、左側から右側へこの順に並んでいる。
- [0026] 回路導体層 28 a～28 e, 29 a～29 e はそれぞれ、絶縁体シート 22 b～22 f の表面上に設けられている導体層であり、多層基板 20 内の回路の一部を構成している。回路導体層 28 a～28 e, 29 a～29 e は、図 2 では、線状をなす配線であるが、例えば、矩形状等の面状をなすコンデンサ導体やグランド導体等であってもよい。回路導体層 28 a～28 e は、パッケージ部品 80 に対して左側において、左右方向に延在している。ただし、回路導体層 28 e の右端は、上側から見たときに、パッケージ部品 80 と重なっている。回路導体層 29 a～29 e は、パッケージ部品 80 に対して右側において、左右方向に延在している。ただし、回路導体層 29 e の左端は、上側から見たときに、パッケージ部品 80 と重なっている。
- [0027] 以上のような回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b の材料は、例えば、銅からなる金属箔である。ただし、回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b の表面には表面粗さを低減するために亜鉛鍍金が施されている。
- [0028] また、回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b において絶縁体シート 22 a～22 g に接触している主面の表面粗さは、回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b において絶縁体シート 22 a～22 g に接触していない主面の表面粗さよりも大きい。これにより、回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b は、絶縁体シート 22 a～22 g の裏面に対してアンカー効果によって固着している。なお、回路導体層 28 a～28 e, 29 a～29 e 及び外部電

極 24 a～24 d, 26 a, 26 b と絶縁体シート 22 a～22 g とは、絶縁体シート 22 a～22 g の材料が回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b の凹凸に入り込むことにより物理的に固着しており、化学結合していない。そのため、回路導体層 28 a～28 e, 29 a～29 e 及び外部電極 24 a～24 d, 26 a, 26 b と絶縁体シート 22 a～22 g との境界には接着剤の成分となる樹脂等の異物が殆ど存在していない。

[0029] ビアホール導体 v 1～v 7 はそれぞれ、絶縁体シート 22 a～22 g を上下方向に貫通する層間接続導体である。ビアホール導体 v 1～v 6 はそれぞれ、上側から下側に行くにしたがって太くなる形状をなしている。ビアホール導体 v 7 は、上側から下側に行くにしたがって細くなる形状をなしている。ビアホール導体 v 1 は、外部電極 24 a と回路導体層 28 a とを接続している。ビアホール導体 v 2 は、回路導体層 28 a と回路導体層 28 b とを接続している。ビアホール導体 v 3 は、回路導体層 28 b と回路導体層 28 c とを接続している。ビアホール導体 v 4 は、回路導体層 28 c と回路導体層 28 d とを接続している。ビアホール導体 v 5 は、回路導体層 28 d と回路導体層 28 e とを接続している。ビアホール導体 v 6 とビアホール導体 v 7 とは、互いに接続されることにより一連のビアホール導体を構成している。ビアホール導体 v 6, v 7 は、回路導体層 28 e と外部電極 26 a とを接続している。これにより、外部電極 24 a と外部電極 26 a とが電氣的に接続されている。

[0030] ビアホール導体 v 11～v 17 はそれぞれ、絶縁体シート 22 a～22 g を上下方向に貫通する層間接続導体である。ビアホール導体 v 11～v 16 はそれぞれ、上側から下側に行くにしたがって太くなる形状をなしている。ビアホール導体 v 17 は、上側から下側に行くにしたがって細くなる形状をなしている。ビアホール導体 v 11 は、外部電極 24 b と回路導体層 29 a とを接続している。ビアホール導体 v 12 は、回路導体層 29 a と回路導体層 29 b とを接続している。ビアホール導体 v 13 は、回路導体層 29 b と

回路導体層 29 c とを接続している。ビアホール導体 v 1 4 は、回路導体層 29 c と回路導体層 29 d とを接続している。ビアホール導体 v 1 5 は、回路導体層 29 d と回路導体層 29 e とを接続している。ビアホール導体 v 1 6 とビアホール導体 v 1 7 とは、互いに接続されることにより一連のビアホール導体を構成している。ビアホール導体 v 1 6, v 1 7 は、回路導体層 29 e と外部電極 26 b とを接続している。これにより、外部電極 24 d と外部電極 26 b とが電氣的に接続されている。

[0031] ビアホール導体 v 1 0 0 (接続導体の一例) は、コーティング部材 8 6 及び絶縁体シート 22 e を上下方向に貫通しており、外部電極 8 4 a と回路導体層 28 e とを接続している。より詳細には、ビアホール導体 v 1 0 0 の上端は、外部電極 8 4 a に接続されており、ビアホール導体 v 1 0 0 の下端は回路導体層 28 e に接続されている。そして、ビアホール導体 v 1 0 0 は、外部電極 8 4 a とパッケージ部品 8 0 の下面との間に存在するコーティング部材 8 6 を上下方向に貫通すると共に、絶縁体シート 22 e を上下方向に貫通している。従って、ビアホール導体 v 1 0 0 は、パッケージ部品 8 0 の下面を通過している。

[0032] ビアホール導体 v 1 0 2 は、コーティング部材 8 6 及び絶縁体シート 22 e を上下方向に貫通しており、外部電極 8 4 b と回路導体層 29 e とを接続している。より詳細には、ビアホール導体 v 1 0 2 の上端は、外部電極 8 4 b に接続されており、ビアホール導体 v 1 0 2 の下端は回路導体層 29 e に接続されている。そして、ビアホール導体 v 1 0 2 は、外部電極 8 4 b とパッケージ部品 8 0 の下面との間に存在するコーティング部材 8 6 を上下方向に貫通すると共に、絶縁体シート 22 e を上下方向に貫通している。従って、ビアホール導体 v 1 0 2 は、パッケージ部品 8 0 の下面を通過している。

[0033] ビアホール導体 v 1 ~ v 7, v 1 1 ~ v 1 7, v 1 0 0, v 1 0 2 は、銅、錫や銀等の金属を主成分とする導電性ペーストが固化したものである。本実施形態では、ビアホール導体 v 1 ~ v 7, v 1 1 ~ v 1 7 の材料とビアホール導体 v 1 0 0, v 1 0 2 の材料とは同じである。

[0034] 次に、電子部品 60、70 について説明する。電子部品 60、70 は、基材 22 の表面上に実装される電子部品であり、例えば、半導体集積回路である。ただし、電子部品 60、70 は、コンデンサやインダクタ等のチップ型電子部品であってもよい。電子部品 60 は、本体 60a 及び外部電極 62a、62b を備えている。本体 60a は直方体状をなしている。外部電極 62a、62b は、本体 60a の下面に設けられており、左側から右側へとの順に並んでいる。そして、外部電極 62a、62b はそれぞれ、外部電極 24a、24b に例えばはんだ 64a、64b により接続される。電子部品 70 は、本体 70a 及び外部電極 72a、72b を備えている。本体 70a は直方体状をなしている。外部電極 72a、72b は、本体 70a の下面に設けられており、左側から右側へとの順に並んでいる。そして、外部電極 72a、72b はそれぞれ、外部電極 24c、24d に例えばはんだ 74a、74b により接続される。

[0035] 次に、マザー基板 100 について説明する。マザー基板 100 は、携帯電話等に用いられる大判の回路基板である。マザー基板 100 は、基本的には、可撓性を有さない硬質な基板であるが、可撓性を有していてもよい。マザー基板 100 は、本体 102 及び外部電極 104a、104b を含んでいる。本体 102 は、上側から見たときに、長方形状をなす板状の多層基板である。本体 102 の内部及び表面には電気回路が形成されている。以下では、本体 102 の上側の主面を表面と称し、本体 102 の下側の主面を裏面と称す。なお、マザー基板 100 の表面及び裏面の少なくとも一方には、図示しない表面実装型部品やシールドケース等が実装されていてもよい。

[0036] 外部電極 104a、104b は、長方形状の導体層であり、本体 102 の表面に設けられている。外部電極 104a、104b は、左側から右側へとの順に並ぶように配置されている。なお、マザー基板 100 には、外部電極 104a、104b 以外の図示しない外部電極が更に設けられていてもよい。

[0037] 多層基板 20 は、マザー基板 100 の表面上に実装されている。より詳細

には、外部電極 26a, 26b はそれぞれ、外部電極 104a, 104b に対してはんだ 110a, 110b により実装されている。

[0038] <多層基板の製造方法>

以下に、多層基板 20 の製造方法について図面を参照しながら説明する。図 4A ないし図 4D 及び図 5A ないし図 5D は、パッケージ部品 80 の製造時の透視図である。なお、図 4A ないし図 4D 及び図 5A ないし図 5D において電子部品 81 が点線で示されていることは、電子部品 81 が樹脂内に存在していることを意味する。図 5E、図 6A、図 6B 及び図 7 は、多層基板 20 の製造時の断面構造図である。以下では、一つが多層基板 20 が作製される場合を例にとって説明するが、実際には、大判の絶縁体シートが積層及びカットされることにより、同時に複数の多層基板 20 が作製される。

[0039] パッケージ部品 80 の製造方法について、図 4A ないし図 4D 及び図 5A ないし図 5D を参照しながら説明する。本工程（第 1 の工程の一例）では、電子部品 81 の表面の少なくとも一部をコーティング部材 86 により覆うことにより、上下方向の両端に位置し、かつ、上下方向に実質的に平行な上面及び下面を有するパッケージ部品 80 を形成する。本実施形態では、電子部品 81 の表面の全体をコーティング部材 86 により覆うことによりパッケージ部品 80 を形成する。

[0040] まず、図 4A に示すように、複数の電子部品 81 を PET フィルム等の樹脂シート 200 上に配置する。次に、図 4B に示すように、UV 硬化性を有するエポキシ樹脂を含む液体状の材料を樹脂シート 200 上に塗布した後に、UV 硬化性を有するエポキシ樹脂を含む材料に対して UV を照射して、樹脂層 202 を形成する。これにより、複数の電子部品 81 は、樹脂層 202 内に埋没する。

[0041] 次に、図 4C に示すように、樹脂層 202 の上面をグラインダーにより研磨して、樹脂層 202 の上下方向の厚みを適切な値に調整すると共に、樹脂層 202 の上面を平坦化する。その後、図 4D に示すように、複数の電子部品 81 及び樹脂層 202 から樹脂シート 200 を剥離する。このとき、外部

電極 84 a, 84 b の一部が樹脂層 202 から露出している。

[0042] 次に、図 5 A に示すように、複数の電子部品 81 及び樹脂層 202 の表裏を反転した後、複数の電子部品 81 及び樹脂層 202 の下面に樹脂シート 201 を貼り付ける。次に、図 5 B に示すように、UV 硬化性を有するエポキシ樹脂を含む液体状の材料を樹脂層 202 上に塗布した後に、UV 硬化性を有するエポキシ樹脂を含む材料に対して UV を照射して、樹脂層 203 を形成する。これにより、複数の電子部品 81 は、樹脂層 202, 203 内に埋没し、外部に露出しなくなる。

[0043] なお、予め樹脂層 203 を形成しておき、樹脂層 203 上に複数の電子部品 81 を配置し、樹脂層 203 上に樹脂層 202 を形成してもよい。

[0044] 次に、図 5 C に示すように、樹脂層 203 の上面をグラインダーにより研磨して、樹脂層 202, 203 の上下方向の厚みを適切な値に調整すると共に、樹脂層 203 の上面を平坦化する。次に、図 5 D に示すように、樹脂層 202, 203 をダイサーによりカットした後、樹脂層 203 から樹脂シート 201 を剥離する。これにより、複数のパッケージ部品 80 が完成する。

[0045] 次に、液晶ポリマにより作製された絶縁体シート 22 a ~ 22 g を準備する。次に、絶縁体シート 22 a ~ 22 g の一方の主面の全面に銅箔を形成する。具体的には、絶縁体シート 22 a ~ 22 f の表面に銅箔を張り付ける。絶縁体シート 22 g の裏面に銅箔を張り付ける。更に、絶縁体シート 22 a ~ 22 g の銅箔の表面に、例えば、防錆のための亜鉛鍍金を施して、平滑化する。なお、銅箔以外の金属箔が用いられてもよい。

[0046] 次に、絶縁体シート 22 b ~ 22 d に貫通孔 H1 ~ H3 を形成する。貫通孔 H1 ~ H3 の形成は、例えば、絶縁体シート 22 b ~ 22 d の裏面からレーザービームを照射することにより行われる。なお、パンチにより絶縁体シート 22 b ~ 22 d を打ち抜くことによって貫通孔 H1 ~ H3 を形成してもよい。

[0047] 次に、絶縁体シート 22 a の表面上に形成された銅箔をパターンニングすることにより、図 2 A に示すように、外部電極 24 a ~ 24 d を絶縁体シート

22aの表面上に形成する。具体的には、絶縁体シート22aの表面の銅箔上に、図3に示す外部電極24a～24dと同じ形状のレジストを印刷する。そして、銅箔に対してエッチング処理を施すことにより、レジストにより覆われていない部分の銅箔を除去する。その後、洗浄液（レジスト除去液）を吹き付けてレジストを除去する。これにより、図2Aに示すような、外部電極24a～24dが絶縁体シート22aの表面上にフォトリソグラフィ工程により形成される。

[0048] 次に、図2Aに示すように、回路導体層28a, 29aを絶縁体シート22bの表面上に形成する。また、図2Aに示すように、回路導体層28b, 29bを絶縁体シート22cの表面上に形成する。また、図2Aに示すように、回路導体層28c, 29cを絶縁体シート22dの表面上に形成する。また、図2Aに示すように、回路導体層28d, 29dを絶縁体シート22eの表面上に形成する。また、図2Aに示すように、回路導体層28e, 29eを絶縁体シート22fの表面上に形成する。また、図2Aに示すように、外部電極26a, 26bを絶縁体シート22gの裏面上に形成する。なお、回路導体層28a～28e, 29a～29e及び外部電極26a, 26bの形成工程は、外部電極24a, 24bの形成工程と同じであるので説明を省略する。なお、貫通孔H1～H3を形成する工程は、外部電極24a, 24b, 26a, 26b及び回路導体層28a～28e, 29a～29eを形成する工程の後に行われてもよい。

[0049] 次に、ビアホール導体v1～v4, v6, v7, v11～v14, v16, v17が形成される位置にレーザービームを照射することによって貫通孔を形成する。そして、貫通孔に銅、錫や銀等の金属を主成分とする導電性ペーストを充填する。

[0050] 次に、図5Eに示すように、パッケージ部品80の下面に接触する絶縁体シート22e（第1の絶縁体層の一例）、及び、絶縁体シート22eよりも上側（積層方向の一方側の一例）に積層される絶縁体シート22a～22d（第3の絶縁体層の一例）内にパッケージ部品80を内蔵させるように、絶

縁体シート 22 a ~ 22 e を積層する（第 4 の工程の一例）。すなわち、絶縁体シート 22 a ~ 22 d を積層した後、下側からパッケージ部品 80 を貫通孔 H 1 ~ H 3 内に挿入し、絶縁体シート 22 e を絶縁体シート 22 d の下側に積層する。更に、絶縁体シート 22 a ~ 22 e に対して加熱処理及び加圧処理（熱圧着処理）を施して、絶縁体シート 22 a ~ 22 e を熱圧着する（以下、本工程を 1 次プレスとも呼ぶ）。この際、絶縁体シート 22 a ~ 22 g を構成する熱可塑性樹脂の軟化点以上、かつ、コーティング部材 86 を構成する熱硬化性樹脂が分解しない温度（例えば 260℃ ~ 290℃）で加熱処理を行う。ただし、この加熱処理温度において、絶縁体シート 22 a ~ 22 g を構成する熱可塑性樹脂よりもコーティング部材 86 を構成する熱硬化性樹脂が大きく軟化しなければよい。軟化とは、ヤング率が小さくなることである。言い換えれば、ある同一の加熱処理温度条件において、コーティング部材 86 を構成する樹脂のヤング率は、絶縁体シート 22 a ~ 22 g を構成する樹脂のヤング率よりも大きければよい。1 次プレスでは、絶縁体シート 22 a ~ 22 e が軟化すると共に、貫通孔内の導電性ペーストが固化する。これにより、絶縁体シート 22 a ~ 22 e 同士が接合されると共に、ビアホール導体 v 1 ~ v 4, v 11 ~ v 14 が形成される。更に、熱圧着によって絶縁体シート 22 a ~ 22 e の熱可塑性樹脂が軟化することにより、空間 S p の内周面とパッケージ部品 80 の表面との間に形成されている隙間に熱可塑性樹脂が流れこむ。その後、絶縁体シート 22 a ~ 22 e が冷却されることにより、熱可塑性樹脂が固化し、空間 S p の内周面とパッケージ部品 80 の表面とが固着する。

[0051] 次に、図 6 A に示すように、ビアホール導体 v 5, v 15, v 100, v 102 が形成される位置にレーザービームを照射することにより貫通孔を形成する。貫通孔は、絶縁体シート 22 e 及びコーティング部材 86 の一部を貫通し、パッケージ部品 80 の外部電極 84 a, 84 b の一部が露出するように設けられる。そして、図 6 B に示すように、貫通孔に銅、錫や銀等の金属を主成分とする導電性ペーストを充填する。

[0052] 次に、図 7 に示すように、絶縁体シート 22 e よりも下側（積層方向の他方側の一例）に積層される絶縁体シート 22 f, 22 g（第 4 の絶縁体層の一例）を絶縁体シート 22 e の下側に積層する（第 2 の工程・第 6 の工程の一例）。この積層において、ビアホール導体 v 100, v 102 となるべき導電性ペースト（接続導体の一例）と回路導体層 28 e, 29 e とが接続される。更に、絶縁体シート 22 a ~ 22 g に対して加熱処理及び加圧処理（熱圧着処理）を施して、絶縁体シート 22 a ~ 22 g を熱圧着して基材 22 を形成する（以下、本工程を 2 次プレスとも呼ぶ。第 3 の工程の一例）。この際、絶縁体シート 22 a ~ 22 g を構成する熱可塑性樹脂の軟化点以上、かつ、コーティング部材 86 を構成する熱硬化性樹脂が分解しない温度以下の温度（例えば 260℃ ~ 290℃）で加熱処理を行う。2 次プレスでは、絶縁体シート 22 a ~ 22 g が軟化すると共に、貫通孔内の導電性ペーストが固化する。これにより、絶縁体シート 22 a ~ 22 g 同士が接合されると共に、ビアホール導体 v 5 ~ v 7, v 15 ~ v 17, v 100, v 102 が形成される（第 5 の工程の一例）。また、ビアホール導体 v 100 が外部電極 84 a と回路導体層 28 e とを接続し、ビアホール導体 v 102 が外部電極 84 b と回路導体層 29 e とを接続するようになる。以上の工程を経て、多層基板 20 が完成する。

[0053] 次に、電子部品 60, 70 を基材 22 に対してはんだ 64 a, 64 b, 74 a, 74 b により実装する。

[0054] 最後に、図 1 に示すように、多層基板 20 をマザー基板 100 にはんだ 110 a, 110 b により実装する。この後、マザー基板 100 を筐体に搭載することにより、電子機器 10 が完成する。

[0055] <効果>

本実施形態に係る多層基板 20 によれば、基材 22 の上面及び下面の平坦性を向上させることができる。より詳細には、特許文献 1 に記載の樹脂多層基板 500 では、部品 503 a, 503 b の上面及び下面には図示しない外部電極が設けられている。そのため、部品 503 a, 503 b の上面及び下

面には凹凸が存在する。このような凹凸が存在すると、部品503a, 503bの上面及び下面と樹脂シート502a, 502dとの間に大きな隙間が形成される。そして、熱圧着工程において、部品503a, 503b近傍の樹脂シート502a, 502dは、軟化・流動して隙間に流れ込む。その結果、樹脂多層基板500の上面及び下面において、部品503a, 503bの直上及び直下並びにその近傍に凹凸が形成される。

[0056] そこで、多層基板20では、コーティング部材86は、熱硬化性樹脂を含む材料により構成され、かつ、電子部品81の表面の少なくとも一部を覆っている。そして、パッケージ部品80の上面及び下面の一部は、コーティング部材86により構成されている。すなわち、電子部品81の上面及び下面の凹凸がコーティング部材86により平坦化されている。更に、絶縁体シート22a～22gを構成している熱可塑性樹脂の軟化点温度において、コーティング部材86を構成している熱硬化性樹脂のヤング率は、絶縁体シート22a～22gを構成している熱可塑性樹脂のヤング率よりも大きい。これにより、基材22の加熱処理及び加圧処理の際に、コーティング部材86が軟化せず、又は軟化しにくく、絶縁体シート22a～22gが軟化する。その結果、パッケージ部品80の上面及び下面が平坦の状態が維持されたままで、絶縁体シート22a～22gが軟化及び流動し、パッケージ部品80の表面と空間Spの内周面との間の隙間を埋める。ただし、パッケージ部品80の上面及び下面は平面であるので、パッケージ部品80の上面と絶縁体シート22aの裏面との間の隙間、及び、パッケージ部品80の下面と絶縁体シート22aの表面との間の隙間は非常に小さい。よって、熱圧着工程において、パッケージ部品80近傍の絶縁体シート22a, 22eが、軟化・流動して大量に隙間に流れ込むことが抑制される。その結果、多層基板20の表面及び裏面において、パッケージ部品80の直上及び直下並びにその近傍に凹凸が形成されることが抑制される。

[0057] 基材22の上面の平坦性が向上すると、基材22上に電子部品60, 70を実装する際に、電子部品60, 70の実装ミスの発生が抑制される。また

、基材 22 の下面の平坦性が向上すると、多層基板 20 をマザー基板 100 に実装する際に、多層基板 20 の実装ミスの発生が抑制される。

[0058] また、多層基板 20 では、電子部品 81 と回路導体層 28e, 29e との間で断線が発生することが抑制される。より詳細には、パッケージ部品 80 の上面及び下面が平面であるので、パッケージ部品 80 の上面と絶縁体シート 22a の裏面との間の隙間、及び、パッケージ部品 80 の下面と絶縁体シート 22a の表面との間の隙間は非常に小さい。そのため、図 5E の工程において、パッケージ部品 80 が、例えば、前後方向に延在する軸周り（図 5E における時計回り又は反時計回り）に回転することが抑制される。これにより、図 6B に示す工程において、パッケージ部品 80 の直下における絶縁体シート 22e の裏面が傾くことが抑制される。従って、ビアホール導体 v100 の下端とビアホール導体 v102 の下端の上下方向における位置が揃う。その結果、図 7 に示す工程において、ビアホール導体 v100 と回路導体層 28e とがより確実に接続され、ビアホール導体 v102 と回路導体層 29e とがより確実に接続されるようになる。

[0059] また、多層基板 20 では、以下の理由によっても、電子部品 81 と回路導体層 28e, 29e との間で断線が発生することが抑制される。より詳細には、パッケージ部品 80 の側面は、上下方向に平行な平面である。パッケージ部品 80 の側面と貫通孔 H1～H3 の内周面との間の隙間は非常に小さい。これにより、基材 22 の加熱処理及び加圧処理の際に、絶縁体シート 22b～22e が隙間に大量に流れ込むことが抑制される。その結果、空間 Sp 内においてパッケージ部品 80 が上下方向に延在する軸周りに回転することが抑制される。よって、電子部品 81 の外部電極 84a, 84b の位置と回路導体層 28e, 29e の位置との間にずれが生じにくい。その結果、外部電極 84a, 84b と回路導体層 28e, 29e とがビアホール導体 v100, v102 により確実に接続されるようになる。

[0060] また、多層基板 20 では、多層基板 20 の製造時に、空間 Sp の内周面とパッケージ部品 80 との間の隙間を小さくすることができる。より詳細には

、パッケージ部品 80 は、電子部品 81 がコーティング部材 86 により覆われることにより構成されている。よって、コーティング部材 86 を研磨等により加工することで、コーティング部材 86 を任意の形状及び寸法に加工することができる。その結果、コーティング部材 86 の形状と空間 S p の形状とを近づけることができ、空間 S p の内周面とパッケージ部品 80 との間の隙間を小さくすることができる。以上のように、空間 S p の内周面とパッケージ部品 80 との間の隙間が小さくなると、基材 22 の上面及び下面の平坦性が向上すると共に、パッケージ部品 80 の空間 S p 内における回転が抑制される。よって、電子部品 60, 70 及び多層基板 20 の実装ミスの発生が抑制され、電子部品 81 と回路導体層 28 e, 29 e との間で断線が発生することが抑制される。

[0061] また、ビアホール導体 v 100, v 102 の材料は、ビアホール導体 v 1 ~ v 7, v 11 ~ v 17 の材料と同じである。そのため、基材 22 の加熱処理及び加圧処理の際に、ビアホール導体 v 6, v 7, v 16, v 17, v 100, v 102 を同時に硬化させることができる。

[0062] また、多層基板 20 によれば、本体 82 とコーティング部材 86 との間の剥離、及び、コーティング部材 86 と絶縁体シート 22 a ~ 22 e との剥離の発生を抑制できる。より詳細には、多層基板 20 の製造時には、加熱処理が施される。本体 82、コーティング部材 86 及び絶縁体シート 22 a ~ 22 e は異なる材料で作製されているので、これらの膨張量も異なる。このような膨張量の相違は、本体 82 とコーティング部材 86 との間の剥離、及び、コーティング部材 86 と絶縁体シート 22 a ~ 22 e との剥離の発生の原因となる。

[0063] そこで、多層基板 20 では、コーティング部材 86 に用いられるエポキシ樹脂等の熱可塑性樹脂の線膨張係数は、本体 82 の材料（セラミック）の線膨張係数以上であり、かつ、絶縁体シート 22 a ~ 22 g に用いられるポリイミドや液晶ポリマ等の熱可塑性樹脂の線膨張係数以下である。これにより、コーティング部材 86 に用いられるエポキシ樹脂等の熱可塑性樹脂の線膨

張係数と本体 8 2 の材料（セラミック）の線膨張係数との差を小さくしつつ、コーティング部材 8 6 に用いられるエポキシ樹脂等の熱可塑性樹脂の線膨張係数と絶縁体シート 2 2 a ～ 2 2 g に用いられるポリイミドや液晶ポリマ等の熱可塑性樹脂の線膨張係数との差を小さくすることができる。その結果、前記の膨張量の差が小さくなり、前記の剥離の発生が抑制される。

[0064] （第 1 の変形例）

以下に、第 1 の変形例に係る多層基板 2 0 a について図面を参照しながら説明する。図 8 は、多層基板 2 0 a の断面構造図である。

[0065] 多層基板 2 0 a は、パッケージ部品 8 0 の構造において多層基板 2 0 と相違する。より詳細には、多層基板 2 0 a では、パッケージ部品 8 0 の下面において外部電極 8 4 a, 8 4 b が露出している。その代わり、パッケージ部品 8 0 の下面が絶縁体シート 2 3 （第 2 の絶縁体層の一例）により覆われている。以下に、かかる相違点を中心に、多層基板 2 0 a について説明する。

[0066] 多層基板 2 0 a では、パッケージ部品 8 0 の下面は、平面である。ただし、パッケージ部品 8 0 の下面の一部は、コーティング部材 8 6 により構成されており、パッケージ部品 8 0 の下面の残余の部分は、外部電極 8 4 a, 8 4 b により構成されている。更に、絶縁体シート 2 3 は、上側から見たときに、パッケージ部品 8 0 の下面と同じ形状及び同じサイズを有しており、パッケージ部品 8 0 の下面の全体を覆っている。また、パッケージ部品 8 0 の上下方向の厚みと絶縁体シート 2 3 の上下方向の厚みとの合計は、絶縁体シート 2 2 b ～ 2 2 d の上下方向の厚みの合計と実質的に等しくなっている。

[0067] また、ビアホール導体 v 1 0 0 は、絶縁体シート 2 3, 2 2 e を上下方向に貫通しており、外部電極 8 4 a と回路導体層 2 8 e とを接続している。ただし、ビアホール導体 v 1 0 0 は、コーティング部材 8 6 を貫通していない。ビアホール導体 v 1 0 2 は、絶縁体シート 2 3, 2 2 e を上下方向に貫通しており、外部電極 8 4 b と回路導体層 2 9 e とを接続している。ただし、ビアホール導体 v 1 0 2 は、コーティング部材 8 6 を貫通していない。

[0068] 次に、多層基板 2 0 a の製造方法について説明する。図 9 A ないし図 9 D

は、パッケージ部品 80 及び絶縁体シート 23 の製造時の透視図である。なお、図 9 A ないし図 9 D において電子部品 81 が点線で示されていることは、電子部品 81 が樹脂内に存在していることを意味する。図 10 及び図 11 は、多層基板 20 a の製造時の断面構造図である。

[0069] まず、図 9 A に示すように、複数の電子部品 81 をマザーシート 223 上に配置する。マザーシート 223 は、ポリイミドや液晶ポリマ等の可撓性を有する熱可塑性樹脂を含む材料により構成されており、上側から見たときに、絶縁体シート 23 がマトリクス状に配列された大判のシートである。なお、マザーシート 223 の材料は、絶縁体シート 22 a ~ 22 g の材料と同じである。

[0070] 次に、図 9 B に示すように、UV 硬化性を有するエポキシ樹脂を含む材料をマザーシート 223 上に塗布した後に、UV 硬化性を有するエポキシ樹脂を含む材料に対して UV を照射して、樹脂層 202 を形成する。これにより、複数の電子部品 81 は、複数の電子部品 81 の外部電極 84 a, 84 b の下面の少なくとも一部がマザーシート 223 に接触するように樹脂層 202 内に埋没する。複数の電子部品 81 の外部電極 84 a, 84 b の下面の少なくとも一部がマザーシート 223 に接触するように樹脂層 202 内に埋没しているので、後の工程で貫通孔を設ける際に、絶縁体シート 22 e 及び絶縁体シート 23 の一部を貫通することにより、外部電極 84 a, 84 b の一部が露出させることができる。

[0071] 次に、図 9 C に示すように、樹脂層 202 の上面をグラインダーにより研磨して、樹脂層 202 の上下方向の厚みを適切な値に調整すると共に、樹脂層 202 の上面を平坦化する。最後に、図 9 D に示すように、樹脂層 202 をダイサーによりカットする。これにより、下面に絶縁体シート 23 が貼り付けられた複数のパッケージ部品 80 が完成する。

[0072] 次に、多層基板 20 a の製造方法において絶縁体シート 22 a ~ 22 g を準備する工程からビアホール導体 v1 ~ v4, v6, v7, v11 ~ v14, v16, v17 が形成される位置に形成した貫通孔に導電性ペーストを充

填する工程までの工程については、多層基板 20 の製造方法におけるこれらの工程と同じであるので説明を省略する。ただし、貫通孔は、絶縁体シート 22 e 及び絶縁体シート 23 の一部を貫通し、パッケージ部品 80 の外部電極 84 a, 84 b の一部が露出するように設けられる。

[0073] 次に、図 10 に示すように、絶縁体シート 22 a ~ 22 d を積層した後、下側から絶縁体シート 23 が貼り付けられたパッケージ部品 80 を貫通孔 H1 ~ H3 内に挿入し、絶縁体シート 22 e を絶縁体シート 22 d の下側に積層する。更に、絶縁体シート 22 a ~ 22 e に対して加熱処理及び加圧処理（熱圧着処理とも呼ぶ）を施す（以下、本工程を 1 次プレスとも呼ぶ）。

[0074] 次に、図 11 に示すように、ビアホール導体 v5, v15, v100, v102 が形成される位置にレーザービームを照射することにより貫通孔を形成する。そして、これらの貫通孔に銅、錫や銀等の金属を主成分とする導電性ペーストを充填する。なお、多層基板 20 a の製造方法のこの後の工程は、多層基板 20 の製造方法と同じであるので説明を省略する。

[0075] 以上のように構成された多層基板 20 a も多層基板 20 と同じ作用効果を奏することが可能である。

[0076] また、多層基板 20 a の製造方法によれば、パッケージ部品 80 を容易に作成することができる。より詳細には、多層基板 20 の製造方法では、図 4 D に示す工程において、複数の電子部品 81 及び樹脂層 202 から樹脂シート 200 を剥離する。更に、図 5 A の工程において、複数の電子部品 81 及び樹脂層 202 の表裏を反転した後、複数の電子部品 81 及び樹脂層 202 の下面に樹脂シート 201 を貼り付ける。このように、多層基板 20 の製造方法では、電子部品 81 の全体をコーティング部材 86 により覆うために、樹脂シート 200 の剥離及び樹脂シート 201 の貼り付けが必要であった。

[0077] 一方、多層基板 20 a では、樹脂シート 200, 201 の代わりにマザーシート 223 が用いられている。マザーシート 223 の材料は、絶縁体シート 22 a ~ 22 g と同じ材料である。そのため、マザーシート 223 が分割されて得られる絶縁体シート 23 は、パッケージ部品 80 の下面から剥離さ

れることなく、基材 22 の一部として用いられる。よって、多層基板 20 a の製造方法では、剥離・反転等の工程が不要となり、パッケージ部品 80 を容易に作成することができる。

[0078] (第 2 の変形例)

以下に、第 2 の変形例に係る多層基板 20 b について図面を参照しながら説明する。図 12 は、多層基板 20 b, 20 g の断面構造図である。

[0079] 多層基板 20 b は、ビアホール導体 v 100, v 102 の長さ、並びに、回路導体層 28 f, 29 f 及びビアホール導体 v 8, v 18 を更に備えている点において多層基板 20 と相違する。以下に係る相違点を中心に、多層基板 20 b について説明する。

[0080] 回路導体層 28 f, 29 f は、絶縁体シート 22 e の表面上に設けられている。回路導体層 28 f は、回路導体層 28 d に対して右側に設けられており、左右方向に延在している。回路導体層 29 f は、回路導体層 29 d に対して左側に設けられており、左右方向に延在している。回路導体層 28 f, 29 f は、パッケージ部品 80 の下面に接触している。

[0081] ビアホール導体 v 8 は、絶縁体シート 22 e を上下方向に貫通しており、回路導体層 28 f と回路導体層 28 e とを接続している。ビアホール導体 v 18 は、絶縁体シート 22 e を上下方向に貫通しており、回路導体層 29 f と回路導体層 29 e とを接続している。

[0082] ビアホール導体 v 100 は、コーティング部材 86 を上下方向に貫通しており、外部電極 84 a と回路導体層 28 f とを接続している。より詳細には、ビアホール導体 v 100 の上端は、外部電極 84 a に接続されており、ビアホール導体 v 100 の下端は回路導体層 28 f に接続されている。そして、ビアホール導体 v 100 は、外部電極 84 a とパッケージ部品 80 の下面との間に存在するコーティング部材 86 を上下方向に貫通しており、絶縁体シート 22 e を上下方向に貫通していない。

[0083] ビアホール導体 v 102 は、コーティング部材 86 を上下方向に貫通しており、外部電極 84 b と回路導体層 29 f とを接続している。より詳細には

、ビアホール導体 v 1 0 2 の上端は、外部電極 8 4 b に接続されており、ビアホール導体 v 1 0 2 の下端は回路導体層 2 9 f に接続されている。そして、ビアホール導体 v 1 0 2 は、外部電極 8 4 b とパッケージ部品 8 0 の下面との間に存在するコーティング部材 8 6 を上下方向に貫通しており、絶縁体シート 2 2 e を上下方向に貫通していない。

[0084] 次に、多層基板 2 0 b の製造方法について説明する。図 1 3 ないし図 1 6 は、多層基板 2 0 b, 2 0 g の製造時の断面構造図である。

[0085] 多層基板 2 0 b のパッケージ部品 8 0 の製造方法は、多層基板 2 0 のパッケージ部品 8 0 の製造方法と同じであるので説明を省略する。

[0086] 次に、多層基板 2 0 b の製造方法において絶縁体シート 2 2 a ~ 2 2 g を準備する工程からビアホール導体 v 1 ~ v 3, v 5 ~ v 7, v 1 1 ~ v 1 3, v 1 5 ~ v 1 7 が形成される位置に形成した貫通孔に導電性ペーストを充填する工程までの工程については、多層基板 2 0 の製造方法におけるこれらの工程と同じであるので説明を省略する。ただし、多層基板 2 0 の製造方法では、ビアホール導体 v 4, v 1 4 が形成される位置に形成した貫通孔に導電性ペーストを充填するのに対して、多層基板 2 0 b 製造方法では、ビアホール導体 v 5, v 1 5 が形成される位置に形成した貫通孔に導電性ペーストを充填する。更に、多層基板 2 0 b の製造方法では、回路導体層 2 8 f, 2 9 f を形成すると共に、ビアホール導体 v 8, v 1 8 が形成される位置に形成した貫通孔に導電性ペーストを充填する必要がある。

[0087] 次に、図 1 3 に示すように、絶縁体シート 2 2 a ~ 2 2 d を積層した後、下側からパッケージ部品 8 0 を貫通孔 H 1 ~ H 3 内に挿入する。更に、絶縁体シート 2 2 a ~ 2 2 d に対して加熱処理及び加圧処理を施す（１次プレス）。

[0088] 次に、図 1 4 に示すように、ビアホール導体 v 4, v 1 4, v 1 0 0, v 1 0 2 が形成される位置にレーザービームを照射することにより貫通孔を形成する。そして、図 1 5 に示すように、これらの貫通孔に銅、錫や銀等の金属を主成分とする導電性ペーストを充填する。

[0089] 次に、図16に示すように、パッケージ部品80を絶縁体シート22a～22gに内蔵させると共に、ビアホール導体v100, v102となるべき導電性ペースト（接続導体の一例）がそれぞれ回路導体層28f, 29fに接続されるように、絶縁体シート22dの下に絶縁体シート22e～22gを積層する（第8の工程の一例）。更に、絶縁体シート22a～22gに対して加熱処理及び加圧処理を施して、絶縁体シート22a～22gを熱圧着する（2次プレス）。2次プレスでは、絶縁体シート22a～22gが軟化すると共に、貫通孔内の導電性ペーストが固化する。これにより、絶縁体シート22a～22g同士が接合されると共に、ビアホール導体v4～v8, v14～v18, v100, v102が形成される（第7の工程の一例）。以上の工程を経て、多層基板20bが完成する。

[0090] 以上のように構成された多層基板20bも多層基板20と同じ作用効果を奏することが可能である。

[0091] また、多層基板20bによれば、ビアホール導体v100, v102による接続が安定する。

[0092] より詳細には、ビアホール導体v100, v102は、コーティング部材86を上下方向に貫通し、絶縁体シート22eを上下方向に貫通していない。すなわち、ビアホール導体v100, v102はコーティング部材86のみを介して外部電極84a, 84bと回路導体層28f, 29fとを接続している。これにより、多層基板20と比較して、加熱処理及び加圧処理における絶縁体シート22eの変形量とコーティング部材86の変形量との差を考慮する必要がない。従って、ビアホール導体v100, v102による接続が安定する。

[0093] （第3の変形例）

以下に、第3の変形例に係る多層基板20cについて図面を参照しながら説明する。図17は、多層基板20cの断面構造図である。

[0094] 多層基板20cは、ビアホール導体v5, v15, v100, v102の代わりにスルーホール導体v5', v15', v100', v102' が用

いられている点、絶縁体シート 22 f の表裏が反転している点、及び、ビアホール導体 v 9, v 19 が設けられている点において多層基板 20 と相違する。以下に、かかる相違点を中心に多層基板 20 c について説明する。

[0095] ビアホール導体 v 5, v 15, v 100, v 102 は、絶縁体シート 22 e 及びコーティング部材 86 に形成された貫通孔に導電性ペーストが充填され、導電性ペーストが加熱されることにより形成されていた。一方、スルーホール導体 v 5', v 15', v 100', v 102' は、絶縁体シート 22 e 及びコーティング部材 86 に形成された貫通孔の内周面に銅めっきが施されることにより形成されている。

[0096] ビアホール導体 v 9, v 19 は、絶縁体シート 22 f を上下方向に貫通しており、回路導体層 28 e, 29 e に接続されている。

[0097] また、前記のとおり、絶縁体シート 22 f の表裏が反転している。これにより、スルーホール導体 v 5', v 15', v 100', v 102' はそれぞれ、ビアホール導体 v 6, v 16, v 9, v 19 に接続されている。よって、外部電極 84 a と回路導体層 28 e とは、スルーホール導体 v 100' 及びビアホール導体 v 9 を介して接続されている。外部電極 84 b と回路導体層 29 e とは、スルーホール導体 v 102' 及びビアホール導体 v 19 を介して接続されている。

[0098] 次に、多層基板 20 c の製造方法について説明する。図 18、図 19 A 及び図 19 B は、多層基板 20 c の製造時の断面構造図である。

[0099] 多層基板 20 c のパッケージ部品 80 の製造方法は、多層基板 20 のパッケージ部品 80 の製造方法と同じであるので説明を省略する。

[0100] 次に、多層基板 20 c の製造方法において絶縁体シート 22 a ~ 22 g を準備する工程から絶縁体シート 22 a ~ 22 e に対して加熱処理及び加圧処理（1 次プレス）を施す工程までの工程については、多層基板 20 の製造方法におけるこれらの工程と同じであるので説明を省略する。

[0101] 次に、図 18 に示すように、スルーホール導体 v 5', v 15', v 100', v 102' が形成される位置にレーザービームを照射することにより

貫通孔を形成する。そして、図19Aに示すように、これらの貫通孔に銅めっきを施してスルーホール導体 $v5'$ 、 $v15'$ 、 $v100'$ 、 $v102'$ を形成する。

[0102] 次に、図19Bに示すように、絶縁体シート22eの下に絶縁体シート22f、22gを積層する。ただし、絶縁体シート22fは、回路導体層28e、29eが設けられている主面が下側を向くように配置される。この後、絶縁体シート22a～22gに対して加熱処理及び加圧処理を施す。以上の工程を経て、多層基板20cが完成する。

[0103] 以上のように構成された多層基板20cも多層基板20と同じ作用効果を奏することが可能である。

[0104] (第4の変形例)

以下に、第4の変形例に係る多層基板20dについて図面を参照しながら説明する。図20は、多層基板20dの断面構造図である。

[0105] 多層基板20dは、パッケージ部品80'を更に内蔵している点において多層基板20と相違する。このように、多層基板20dにおいて、2以上のパッケージ部品が内蔵されていてもよい。

[0106] また、パッケージ部品80'は、電子部品81' (第1の電子部品の一例)、81'' (第2の電子部品の一例)を含んでいる。電子部品81'、81''は、パッケージ部品80'内において左右に並んでいる。このように、パッケージ部品80'は、複数の電子部品を含んでいてもよい。

[0107] また、電子部品81'の外部電極84a'、84b'は、本体82'の下面のみに設けられている。同様に、電子部品81''の外部電極84a''、84b''は、本体82''の下面のみに設けられている。このように、外部電極は、本体の下面のみに設けられていてもよい。

[0108] (第5の変形例)

以下に、第5の変形例に係る多層基板20eについて図面を参照しながら説明する。図21は、多層基板20eの断面構造図である。

[0109] 多層基板20eは、絶縁体シート22hが絶縁体シート22aの上側に積

層されている点、及び、ビアホール導体 $v110$ 、 $v112$ を更に備えている点において多層基板 20 と相違する。以下に係る相違点を中心に多層基板 $20e$ について図面を参照しながら説明する。

[0110] 基材 22 は、絶縁体シート $22h$ 、 $22a \sim 22g$ が上側から下側へこの順に積層されて構成されている。外部電極 $24a \sim 24d$ は、絶縁体シート $22h$ の表面上に設けられている。回路導体層 $28g$ 、 $29g$ は、絶縁体シート $22a$ の表面上に設けられている。ビアホール導体 $v0$ は、絶縁体シート $22h$ を上下方向に貫通しており、外部電極 $24a$ と回路導体層 $28h$ とを接続している。ビアホール導体 $v10$ は、絶縁体シート $22h$ を上下方向に貫通しており、外部電極 $24d$ と回路導体層 $29g$ とを接続している。

[0111] ビアホール導体 $v110$ は、コーティング部材 86 及び絶縁体シート $22a$ を上下方向に貫通しており、外部電極 $84a$ と回路導体層 $28g$ とを接続している。より詳細には、ビアホール導体 $v110$ の上端は、回路導体層 $28g$ に接続されており、ビアホール導体 $v110$ の下端は外部電極 $84a$ に接続されている。そして、ビアホール導体 $v110$ は、外部電極 $84a$ とパッケージ部品 80 の上面との間に存在するコーティング部材 86 を上下方向に貫通すると共に、絶縁体シート $22a$ を上下方向に貫通している。従って、ビアホール導体 $v110$ は、パッケージ部品 80 の上面を通過している。

[0112] ビアホール導体 $v112$ は、コーティング部材 86 及び絶縁体シート $22a$ を上下方向に貫通しており、外部電極 $84b$ と回路導体層 $29g$ とを接続している。より詳細には、ビアホール導体 $v112$ の上端は、回路導体層 $29g$ に接続されており、ビアホール導体 $v112$ の下端は外部電極 $84b$ に接続されている。そして、ビアホール導体 $v112$ は、外部電極 $84b$ とパッケージ部品 80 の上面との間に存在するコーティング部材 86 を上下方向に貫通すると共に、絶縁体シート $22a$ を上下方向に貫通している。従って、ビアホール導体 $v112$ は、パッケージ部品 80 の上面を通過している。

[0113] 以上のように構成された多層基板 $20e$ も多層基板 20 と同じ作用効果を奏することが可能である。

[0114] また、多層基板 20 e では、パッケージ部品 80 の上面がビアホール導体 v 110, v 112 により固定され、パッケージ部品 80 の下面がビアホール導体 v 100, v 102 により固定されている。これにより、使用時に外力を受けて、パッケージ部品 80 が基材 22 内において位置ずれを起こすことがより効果的に抑制されるようになる。その結果、パッケージ部品 80 と回路導体層 28 g, 29 g, 28 f, 29 f との間で断線が生じることが抑制される。

[0115] (第 6 の変形例)

以下に、第 6 の変形例に係る多層基板 20 f について図面を参照しながら説明する。図 22 は、多層基板 20 f の断面構造図である。

[0116] 多層基板 20 f は、パッケージ部品 80 が電子部品 81' (第 2 の電子部品の一例) を更に含んでいる点において多層基板 20 e と相違する。以下に係る相違点を中心に多層基板 20 f について図面を参照しながら説明する。

[0117] 電子部品 81 (第 1 の電子部品の一例) と電子部品 81' とは、上側から見たときに、重なるように配置されている。また、コーティング部材 86 は、電子部品 81, 81' を内蔵している。なお、コーティング部材 86 は、電子部品 81, 81' を必ずしも内蔵する必要はなく、電子部品 81, 81' の表面の少なくとも一部を覆っていればよい。

[0118] 電子部品 81' は、本体 82' 及び外部電極 84 a', 84 b' を含んでいる。本体 82' は、直方体状をなしており、本体 82 に対して上側に位置している。外部電極 84 a', 84 b' はそれぞれ、本体 82' の上面に設けられており、左側から右側へとこの順に並んでいる。

[0119] ビアホール導体 v 110 は、コーティング部材 86 及び絶縁体シート 22 a を上下方向に貫通しており、外部電極 84 a' と回路導体層 28 g とを接続している。ビアホール導体 v 112 は、コーティング部材 86 及び絶縁体シート 22 a を上下方向に貫通しており、外部電極 84 b' と回路導体層 29 g とを接続している。

[0120] 以上のように構成された多層基板 20 f も多層基板 20 と同じ作用効果を

奏することが可能である。

[0121] また、多層基板 20 f では、加熱処理及び加圧処理において、パッケージ部品 80 が空間 S p 内において回転することが抑制される。すなわち、パッケージ部品 80 の基材 22 における位置決めが精度よく行われるので、2つの電子部品 81、81' の位置決めが精度よく行われるようになる。

[0122] (第7の変形例)

以下に、第7の変形例に係る多層基板 20 g について図面を参照しながら説明する。図 23 は、多層基板 20 g のパッケージ部品 80 の外観斜視図である。図 24 A は、パッケージ部品 80 を上側から見た図である。図 24 B は、図 24 A の A-A における断面構造図である。図 24 C は、図 24 A の B-B における断面構造図である。

[0123] 多層基板 20 g は、パッケージ部品 80 にスルーホール導体 v 120、v 122 が設けられている点において多層基板 20 b と相違する。なお、多層基板 20 g の断面構造図は、多層基板 20 b の断面構造図と実質的に同じであるので、図 12 を援用する。以下に、かかる相違点を中心に多層基板 20 g について説明する。

[0124] スルーホール導体 v 120 は、コーティング部材 86 を上下方向に貫通しており、外部電極 84 a と回路導体層 28 f とを接続している。より詳細には、スルーホール導体 v 120 の上端は、外部電極 84 a に接続されており、スルーホール導体 v 120 の下端は回路導体層 28 f に接続されている。そして、スルーホール導体 v 120 は、外部電極 84 a とパッケージ部品 80 の下面との間に存在するコーティング部材 86 を上下方向に貫通しており、絶縁体シート 22 e を上下方向に貫通していない。

[0125] スルーホール導体 v 122 は、コーティング部材 86 を上下方向に貫通しており、外部電極 84 b と回路導体層 29 f とを接続している。より詳細には、スルーホール導体 v 122 の上端は、外部電極 84 b に接続されており、スルーホール導体 v 122 の下端は回路導体層 29 f に接続されている。そして、スルーホール導体 v 122 は、外部電極 84 b とパッケージ部品 8

0の下面との間に存在するコーティング部材86を上下方向に貫通しており、絶縁体シート22eを上下方向に貫通していない。

[0126] 以上のようなスルーホール導体v120, v122は、コーティング部材86に設けられた貫通孔の内周面に銅めっきが施されることにより形成されている。そして、スルーホール導体v120, v122は、パッケージ部品80が空間Spに收容される前に形成される。すなわち、パッケージ部品80の完成後に、レーザービームによりコーティング部材86に貫通孔を形成する。そして、貫通孔の内周面に銅めっきを施す。これにより、貫通孔から突出しない導体を形成することができるため、接続部の凹凸を抑制できる。なお、このめっきは貫通孔の内周面だけでなく内周面周囲のコーティング部材86表面にも設けられていてもよい。この後、パッケージ部品80を基材22の空間Spに收容する。

[0127] (その他の実施形態)

本発明に係る多層基板及び多層基板の製造方法は、多層基板20, 20a~20g及び多層基板20, 20a~20gの製造方法に限らず、その要旨の範囲内において変更可能である。

[0128] なお、多層基板20, 20a~20g及び多層基板20, 20a~20gの製造方法の構成を任意に組み合わせてもよい。

[0129] なお、パッケージ部品80の側面は積層方向に平行でなくてもよい。側面は積層方向に平行ではないパッケージ部品80の形状の例としては、例えば、四角錐台が挙げられる。また、パッケージ部品80の側面は平面でなくてもよい。側面が平面ではないパッケージ部品80の形状の例としては、円柱が挙げられる。

[0130] また、パッケージ部品80の上面及び下面は、外部電極84a, 84b及びコーティング部材86により構成されていてもよい。図25は、上面及び下面が外部電極84a, 84b及びコーティング部材86により構成されているパッケージ部品80の外観斜視図である。図25に示すように、パッケージ部品80の製造時の樹脂層202, 203の研磨量を多くすることによ

って、外部電極 84 a, 84 b をコーティング部材 86 から露出させてもよい。この場合、コーティング部材 86 に貫通孔を形成することなく、外部電極 84 a, 84 b とビアホール導体 v 100, v 102 とを接続したり、外部電極 84 a, 84 b と回路導体層 28 f, 29 f とを接続したりできる。

[0131] なお、多層基板 20, 20 a ~ 20 g は、マザー基板 100 に実装されずに用いられてもよい。

[0132] なお、多層基板 20 e において、ビアホール導体 v 100, v 102 が設けられていなくてもよい。この場合には、絶縁体シート 22 a は、パッケージ部品 80 の上面（第 2 の平面の一例）に接触している。そして、ビアホール導体 v 110, v 112（接続導体の一例）は、パッケージ部品 80 の上面を通過し、コーティング部材 86 及び絶縁体シート 22 a を貫通している。

[0133] なお、多層基板 20 a において、絶縁体シート 23 は、パッケージ部品 80 の下面ではなく上面（第 2 の平面の一例）に接触していてもよい。この場合、図 21 に示す多層基板 20 e のように、絶縁体シート 22 a の上側に絶縁体シート 22 h が更に積層される。これにより、絶縁体シート 22 a は、パッケージ部品 80 の上面（第 2 の平面の一例）に接触している。また、絶縁体シート 22 a の表面上には、回路導体層 28 g, 29 g が設けられる。そして、多層基板 20 a は、ビアホール導体 v 100, v 102 の代わりに、ビアホール導体 v 110, v 112 を備えている。ビアホール導体 v 110, v 112（接続導体の一例）は、パッケージ部品 80 の上面を通過し、コーティング部材 86 及び絶縁体シート 22 a を貫通する。そして、ビアホール導体 v 110 は、回路導体層 28 g と外部電極 84 a とを接続し、ビアホール導体 v 112 は、回路導体層 29 g と外部電極 84 b とを接続する。

[0134] 以上のように、多層基板 20, 20 b ~ 20 d, 20 g においても、多層基板 20 a, 20 e と同様に、ビアホール導体 v 100, v 102 の代わりにビアホール導体 v 110, v 112（接続導体の一例）が設けられていてもよい。この場合には、絶縁体シート 22 a は、パッケージ部品 80 の上面

(第2の平面の一例)に接触している。そして、ビアホール導体v110, v112(接続導体の一例)は、パッケージ部品80の上面を通過し、コーティング部材86及び絶縁体シート22aを貫通している。

[0135] なお、多層基板20aにおいて、ビアホール導体v110, v112はそれぞれ、回路導体層28e, 29eに直接に接続されているが、ビアホール導体v110, v112とは別のビアホール導体を介して回路導体層28e, 29eに直接に接続されていてもよい。すなわち、ビアホール導体v110, v112はそれぞれ、外部電極84a, 84bと回路導体層28e, 29eとを電氣的に接続していればよい。

産業上の利用可能性

[0136] 以上のように、本発明は、多層基板及び多層基板の製造方法に有用であり、特に、基材の主面の平坦性を向上させることができる点で優れている。

符号の説明

[0137] 10: 電子機器

20, 20a~20g: 多層基板

22: 基材

22a~22g, 23: 絶縁体シート

28a~28f, 29a~29f: 回路導体層

50, 80, 80': パッケージ部品

60, 70, 81, 81', 81'': 電子部品

60a, 70a, 82, 82', 82'': 本体

24a~24d, 26a, 26b, 62a, 62b, 72a, 72b, 84a, 84a', 84a'', 84b, 84b', 84b'': 外部電極

86: コーティング部材

H1~H3: 貫通孔

Sp: 空間

v1~v9, v11~v19, v100, v102, v110, v112:

ビアホール導体

v 5' , v 1 0 0' , v 1 0 2' , v 1 2 0, v 1 2 2 : スルーホール導体

請求の範囲

- [請求項1] 熱可塑性樹脂である第1の樹脂を含む材料により構成されている複数の絶縁体層が積層方向に積層されて構成されている基材と、
前記基材に内蔵されているパッケージ部品であって、前記積層方向の両端に位置し、かつ、該積層方向に実質的に垂直な第1の平面及び第2の平面を有するパッケージ部品と、
を備えており、
前記パッケージ部品は、
第1の電子部品と、
第2の樹脂を含む材料により構成され、かつ、前記第1の電子部品の表面の少なくとも一部を覆っているコーティング部材と、
を含んでおり、
前記第1の樹脂の軟化点温度において、前記第2の樹脂のヤング率は、前記第1の樹脂のヤング率よりも大きく、
前記第1の平面の少なくとも一部及び前記第2の平面の少なくとも一部は、前記コーティング部材により構成されていること、
を特徴とする多層基板。
- [請求項2] 前記第1の電子部品は、
第1の本体と、
前記第1の本体の表面に設けられている第1の外部電極を、
有しており、
前記多層基板は、
前記絶縁体層に設けられている回路導体層と、
前記コーティング部材を貫通しており、前記第1の外部電極と前記回路導体層とを接続している接続導体と、
を更に備えていること、
を特徴とする請求項1に記載の多層基板。
- [請求項3] 前記複数の絶縁体層は、前記第2の平面に接触する第1の絶縁体層

を含んでおり、

前記接続導体は、前記第2の平面を通過し、かつ、前記コーティング部材及び前記第1の絶縁体層を貫通していること、

を特徴とする請求項2に記載の多層基板。

[請求項4]

前記複数の絶縁体層は、前記第2の平面に接触する第2の絶縁体層を含んでおり、

前記第1の電子部品は、

第1の本体と、

前記第1の本体の表面に設けられている第1の外部電極を、

有しており、

前記第2の平面は、前記コーティング部材及び前記第1の外部電極により構成されており、

前記多層基板は、

前記絶縁体層に設けられている回路導体層と、

前記第2の絶縁体層を前記積層方向に貫通しており、前記第1の外部電極と前記回路導体層とを電氣的に接続している接続導体と、

を更に備えていること、

を特徴とする請求項1に記載の多層基板。

[請求項5]

前記絶縁体層を前記積層方向に貫通する層間接続導体を、

更に備えており、

前記接続導体の材料と前記層間接続導体の材料とは同じであること

、

を特徴とする請求項2ないし請求項4のいずれかに記載の多層基板

。

[請求項6]

前記第1の電子部品は、

直方体状の第1の本体と、

前記第1の本体において前記積層方向のいずれか一方の面上に設けられている第1の外部電極と、

有していること、

を特徴とする請求項 1 ないし請求項 5 のいずれかに記載の多層基板

。

[請求項7]

前記積層方向に直交する方向を第 1 の直交方向と定義し、

前記積層方向及び前記第 1 の直交方向に直交する方向を第 2 の直交方向と定義し、

前記第 1 の外部電極は、前記第 1 の本体において、前記第 1 の直交方向の一方側の面の全体を覆うと共に、

前記第 1 の直交方向の一方側の面に隣接する領域であって、前記積層方向の両側の面の一部、及び、前記第 2 の直交方向の両側の一部の領域を覆っていること、

を特徴とする請求項 6 に記載の多層基板。

[請求項8]

前記第 2 の樹脂の線膨張係数は、前記第 1 の本体の材料の線膨張係数以上、かつ、前記第 1 の樹脂の線膨張係数以下であること、

を特徴とする請求項 4 又は請求項 7 のいずれかに記載の多層基板。

[請求項9]

前記パッケージ部品は、

第 2 の電子部品を、

更に含んでおり、

前記コーティング部材は、前記第 1 の電子部品及び前記第 2 の電子部品の表面の少なくとも一部を覆っていること、

を特徴とする請求項 1 ないし請求項 8 のいずれかに記載の多層基板

。

[請求項10]

前記第 1 の電子部品と前記第 2 の電子部品は、前記積層方向から見たときに重なっていること、

を特徴とする請求項 9 に記載の多層基板。

[請求項11]

前記パッケージ部品は、直方体状をなしていること、

を特徴とする請求項 1 ないし請求項 10 のいずれかに記載の多層基板。

[請求項12] 前記第2の樹脂は、熱硬化性樹脂であること、
を特徴とする請求項1ないし請求項11のいずれかに記載の多層基板。

[請求項13] 第1の電子部品の表面の少なくとも一部をコーティング部材により覆うことにより、積層方向の両端に位置し、かつ、該積層方向に実質的に垂直な第1の平面及び第2の平面を有するパッケージ部品を形成する第1の工程と、

前記パッケージ部品を内蔵するように複数の絶縁体層を前記積層方向に積層する第2の工程と、

前記複数の絶縁体層に対して加熱処理及び加圧処理を施して基材を形成する第3の工程と、

を備えており、

前記複数の絶縁体層は、熱可塑性樹脂である第1の樹脂を含む材料により構成されており、

前記コーティング部材は、第2の樹脂を含む材料により構成されており、

前記加熱処理の温度において、前記第2の樹脂のヤング率は、前記第1の樹脂のヤング率よりも大きいこと、

を特徴とする多層基板の製造方法。

[請求項14] 前記第1の平面は、前記積層方向の一方側に位置し、
前記第2の平面は、前記積層方向の他方側に位置し、
前記第1の電子部品は、

第1の本体と、

前記第1の本体の表面に設けられている第1の外部電極を、
更に含んでおり、

前記複数の絶縁体層は、前記第2の平面に接触する第1の絶縁体層、該第1の絶縁体層よりも前記積層方向の一方側に積層される1以上の第3の絶縁体層、及び、該第1の絶縁体層よりも該積層方向の他方

側に積層される第4の絶縁体層を含んでおり、

前記多層基板は、

前記第4の絶縁体層に設けられている回路導体層を、

更に備えており、

前記第3の工程は、

前記第1の絶縁体層及び前記第3の絶縁体層内に前記パッケージ部品を内蔵させるように、該第1の絶縁体層及び該第3の絶縁体層を積層する第4の工程と、

前記コーティング部材及び前記第1の絶縁体層を貫通する接続導体を形成する第5の工程と、

前記接続導体と前記回路導体層とが接続されるように、前記第1の絶縁体層及び前記第4の絶縁体層を積層する第6の工程と、

を含んでいること、

を特徴とする請求項13に記載の多層基板の製造方法。

[請求項15]

前記第4の工程では、加熱処理及び加圧処理を施して、前記第1の絶縁体層及び前記第3の絶縁体層を熱圧着し、

前記第6の工程では、加熱処理及び加圧処理を施して、前記第1の絶縁体層及び前記第4の絶縁体層を熱圧着すること、

を特徴とする請求項14に記載の多層基板の製造方法。

[請求項16]

前記第1の平面は、前記積層方向の一方側に位置し、

前記第2の平面は、前記積層方向の他方側に位置し、

前記第1の電子部品は、

第1の本体と、

前記第1の本体の表面に設けられている第1の外部電極と、

を更に含んでおり、

前記複数の絶縁体層は、前記第2の平面に接触する第1の絶縁体層、該第1の絶縁体層よりも前記積層方向の一方側に積層される1以上の第3の絶縁体層を含んでおり、

前記多層基板は、

前記第 1 の絶縁体層に設けられている回路導体層を、

更に備えており、

前記第 3 の工程は、

前記コーティング部材を貫通し、前記第 1 の外部電極に接続されている接続導体を形成する第 7 の工程、

前記第 1 の絶縁体層及び前記第 3 の絶縁体層内に前記パッケージ部品を内蔵させると共に、前記接続導体が前記回路導体層に接続されるように、該第 1 の絶縁体層及び該第 3 の絶縁体層を積層する第 8 の工程と、

を含んでいること、

を特徴とする請求項 13 に記載の多層基板の製造方法。

[請求項 17]

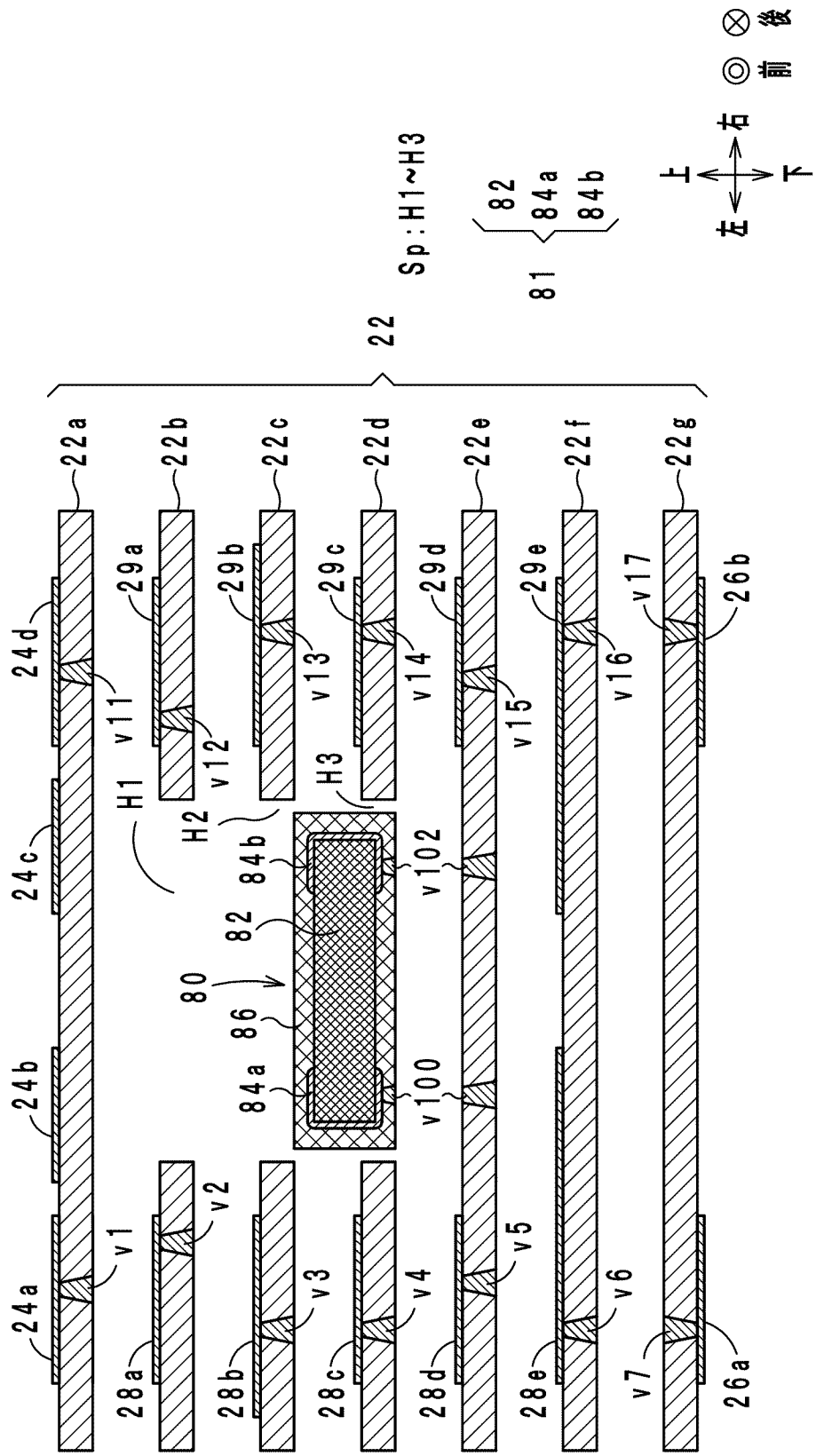
前記第 8 の工程では、加熱処理及び加圧処理を施して、前記第 1 の絶縁体層及び前記第

3 の絶縁体層を熱圧着すること、

を特徴とする請求項 16 に記載の多層基板の製造方法。

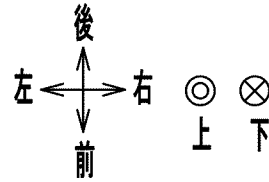
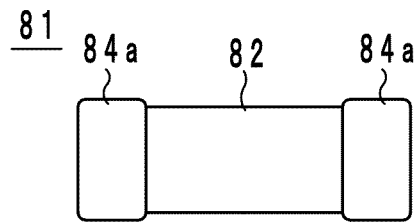
[図2B]

20



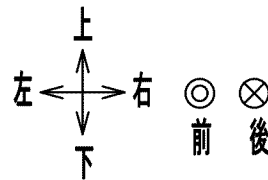
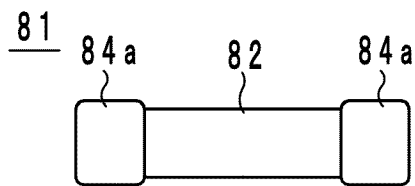
[図3A]

図3A



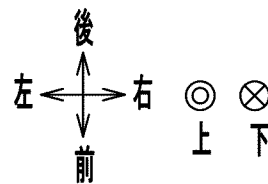
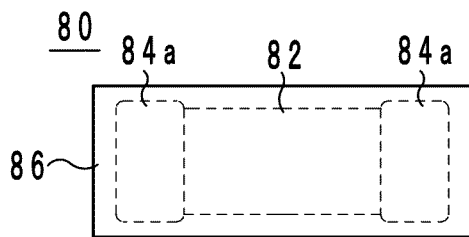
[図3B]

図3B



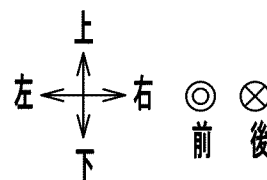
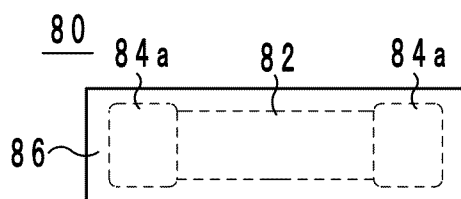
[図3C]

図3C



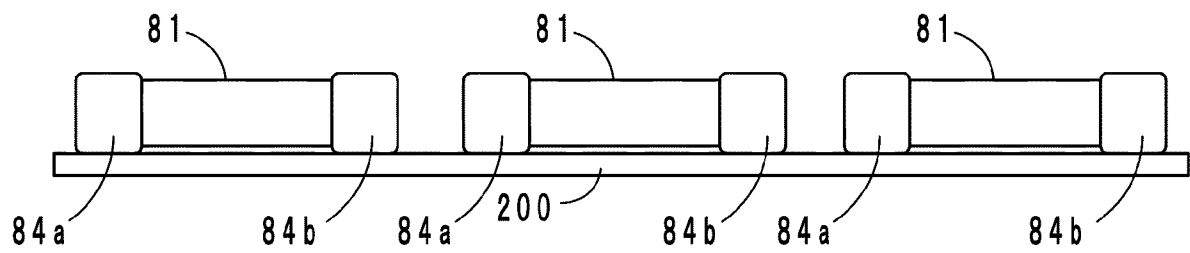
[図3D]

図3D



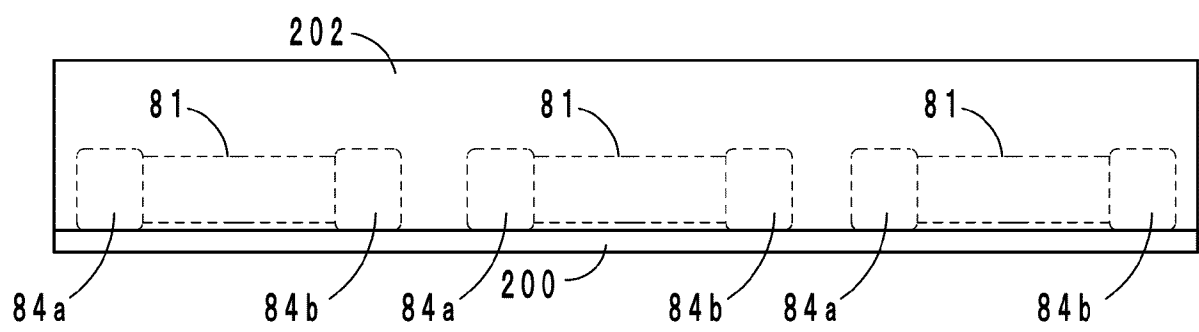
[図4A]

図4A



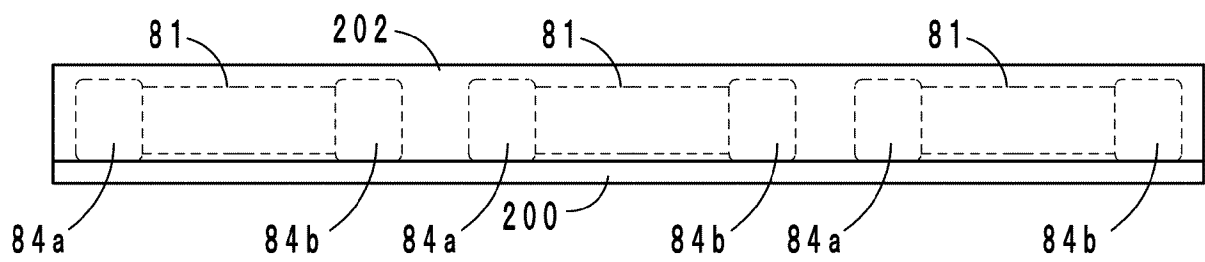
[図4B]

図4B



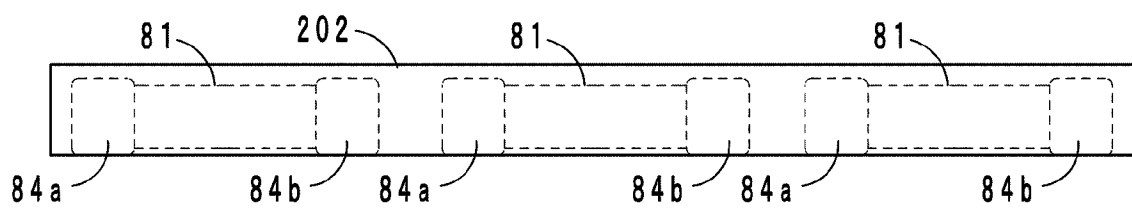
[図4C]

図4C



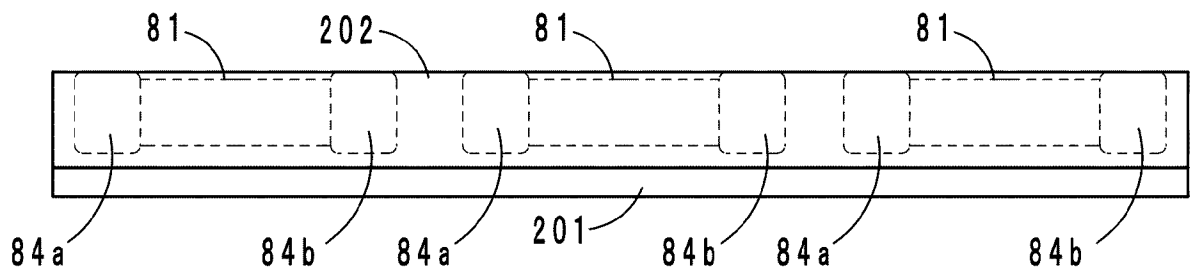
[図4D]

図4D



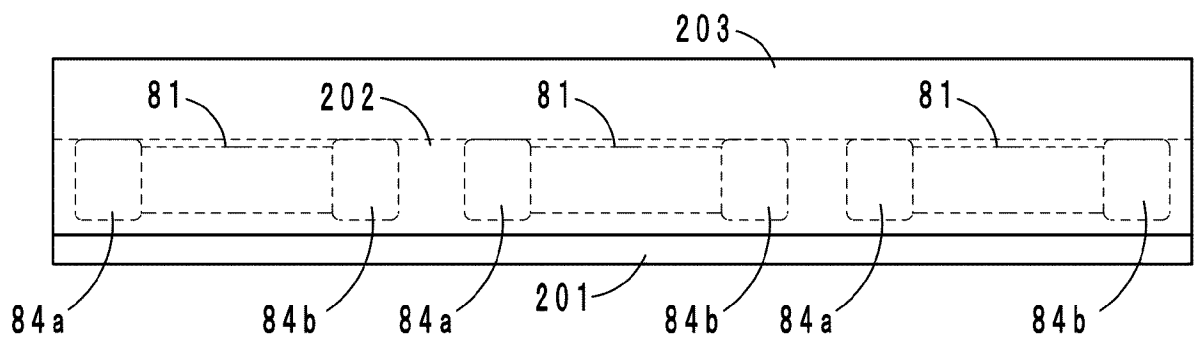
[図5A]

図5A



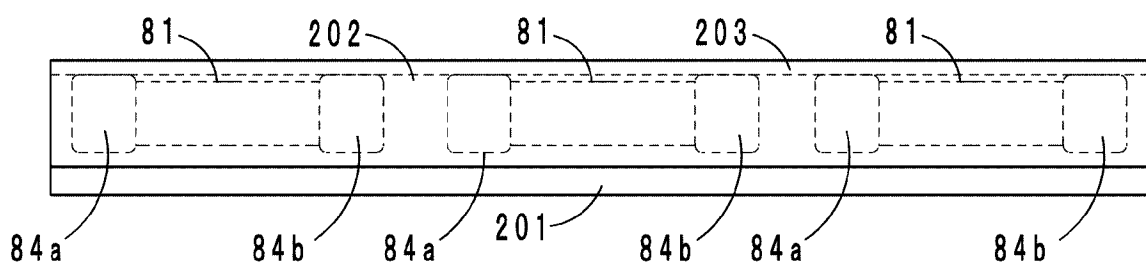
[図5B]

図5B



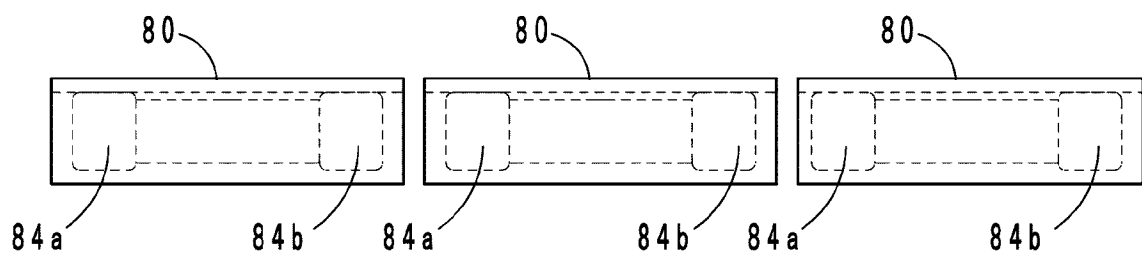
[図5C]

図5C



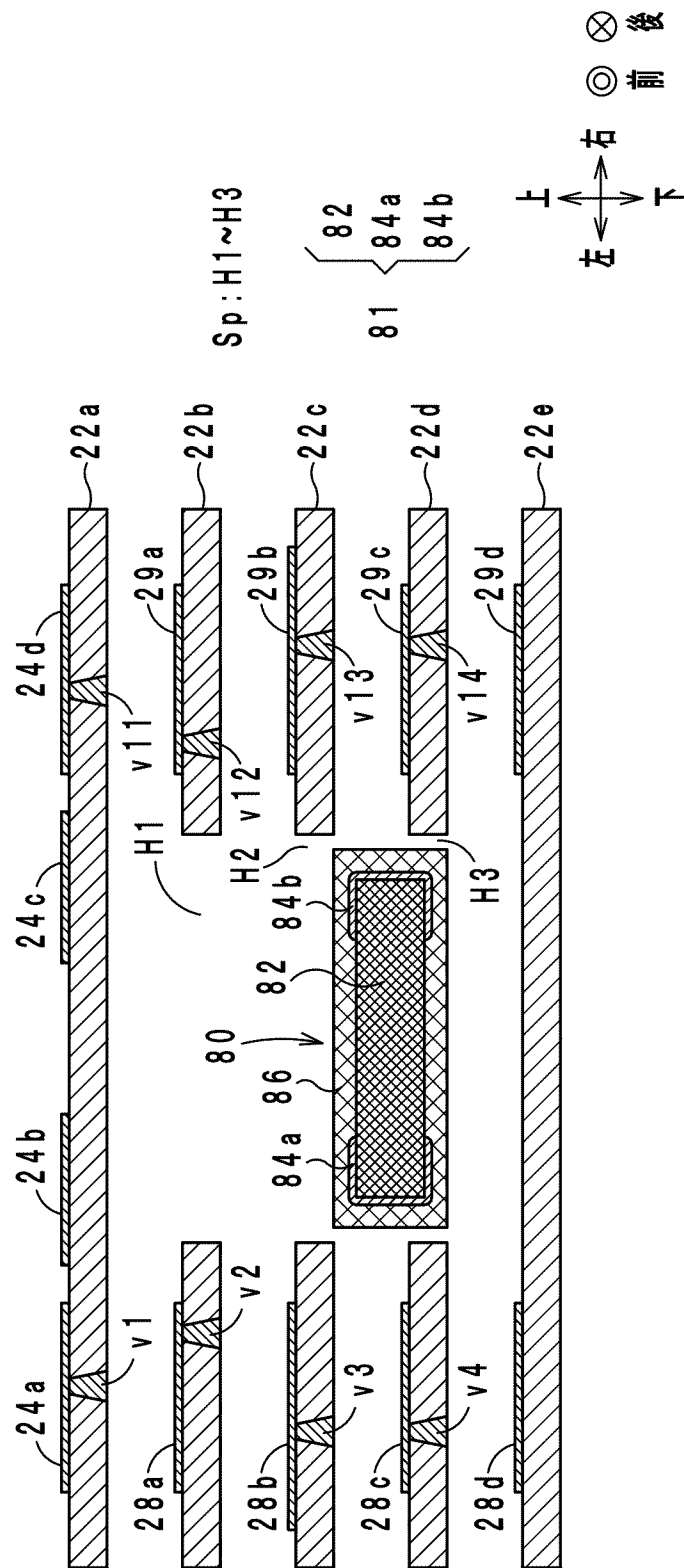
[図5D]

図5D

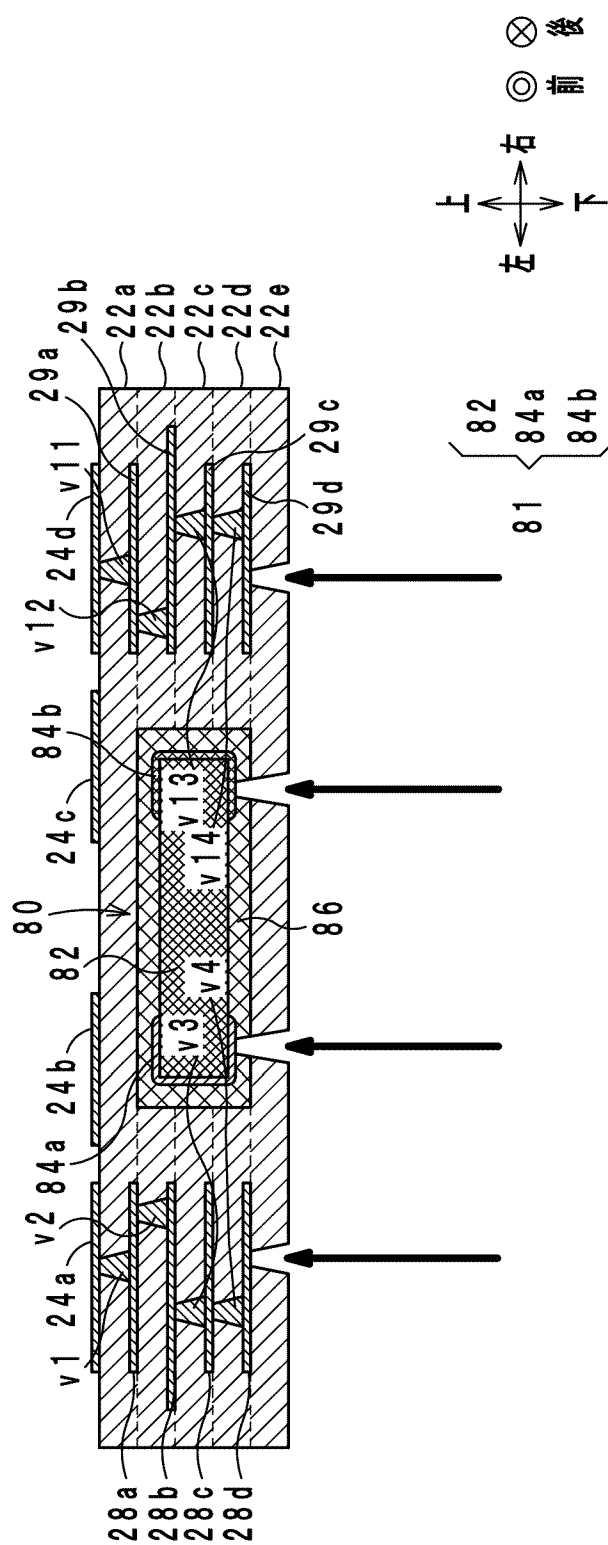


[図5E]

図5E

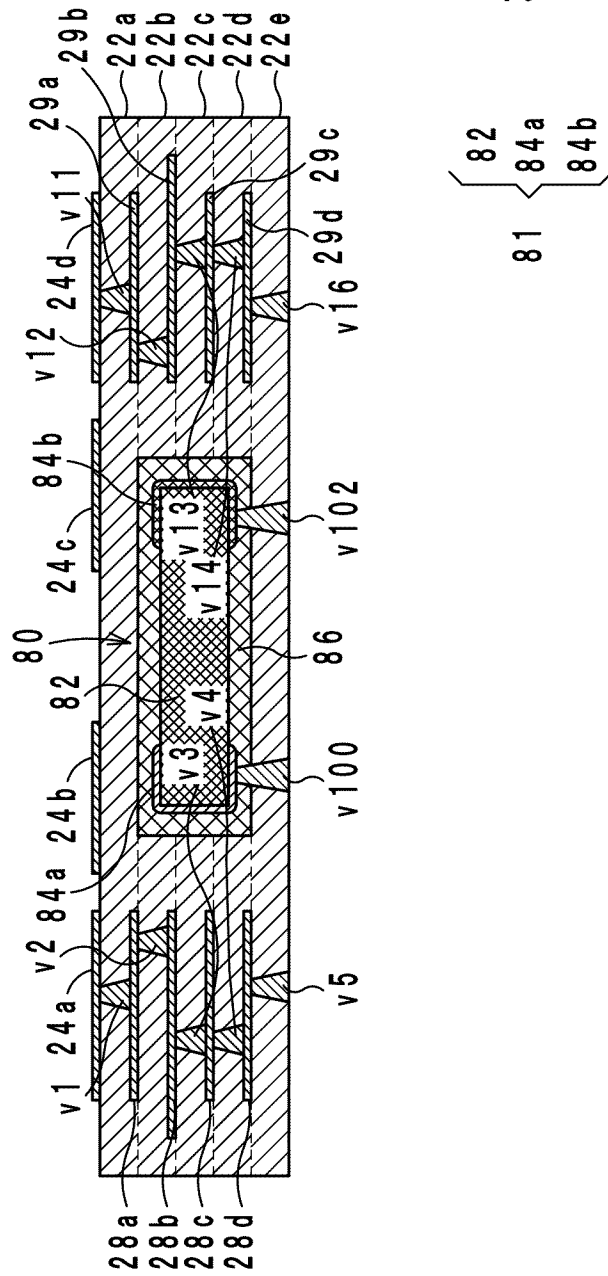


[図6A]



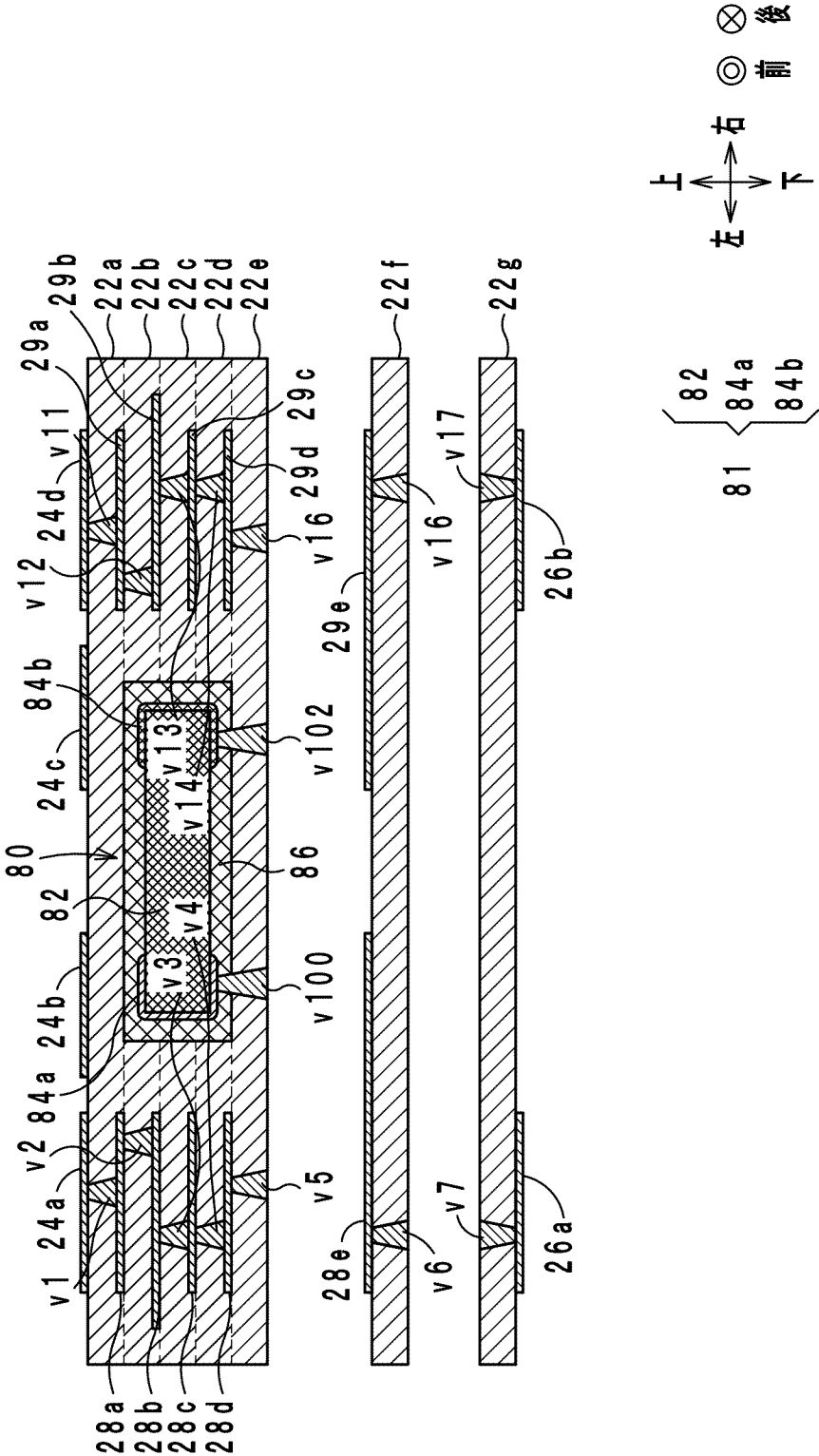
[図6B]

図6B



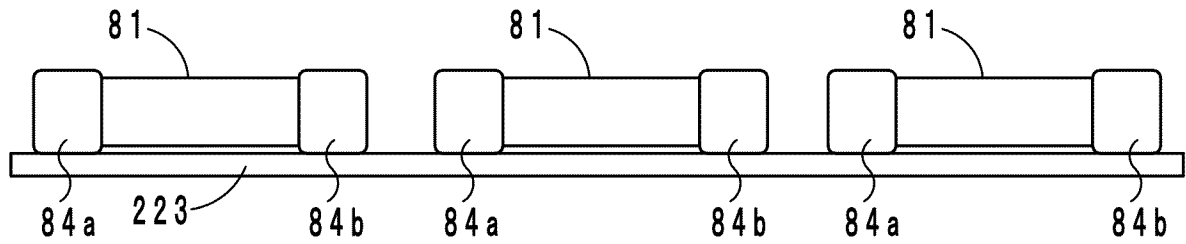
[図7]

図7



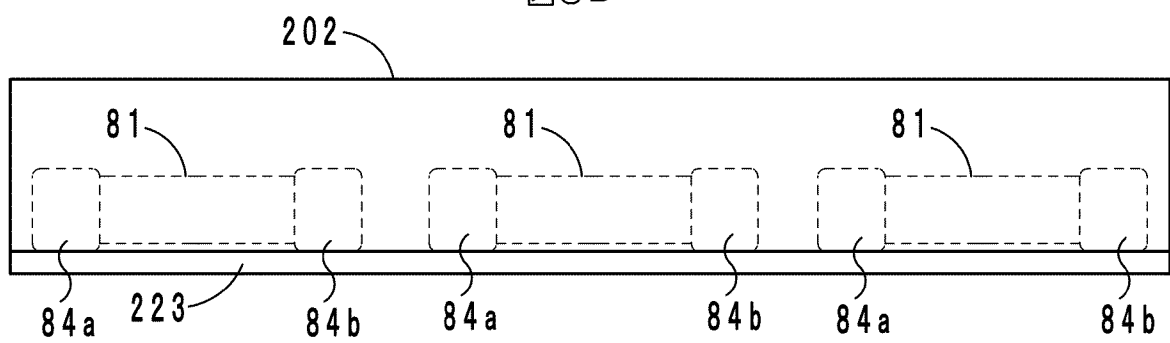
[図9A]

図9A



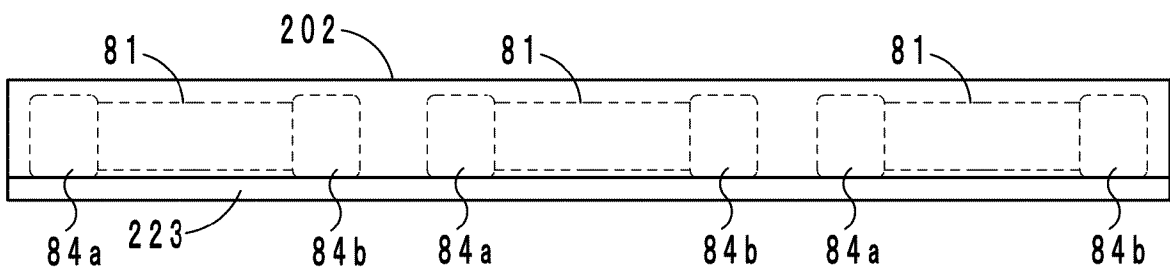
[図9B]

図9B



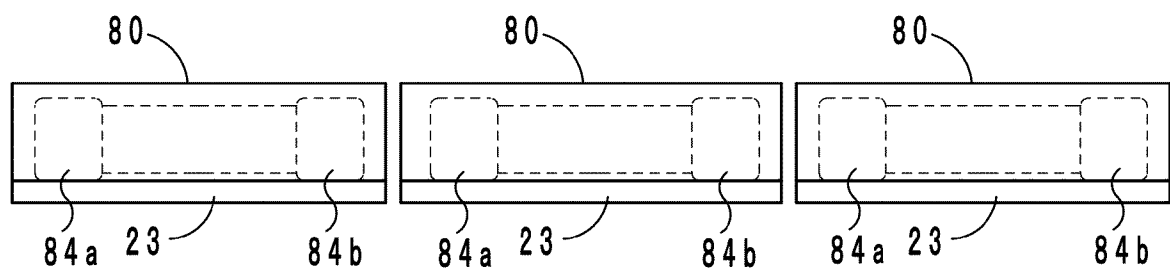
[図9C]

図9C



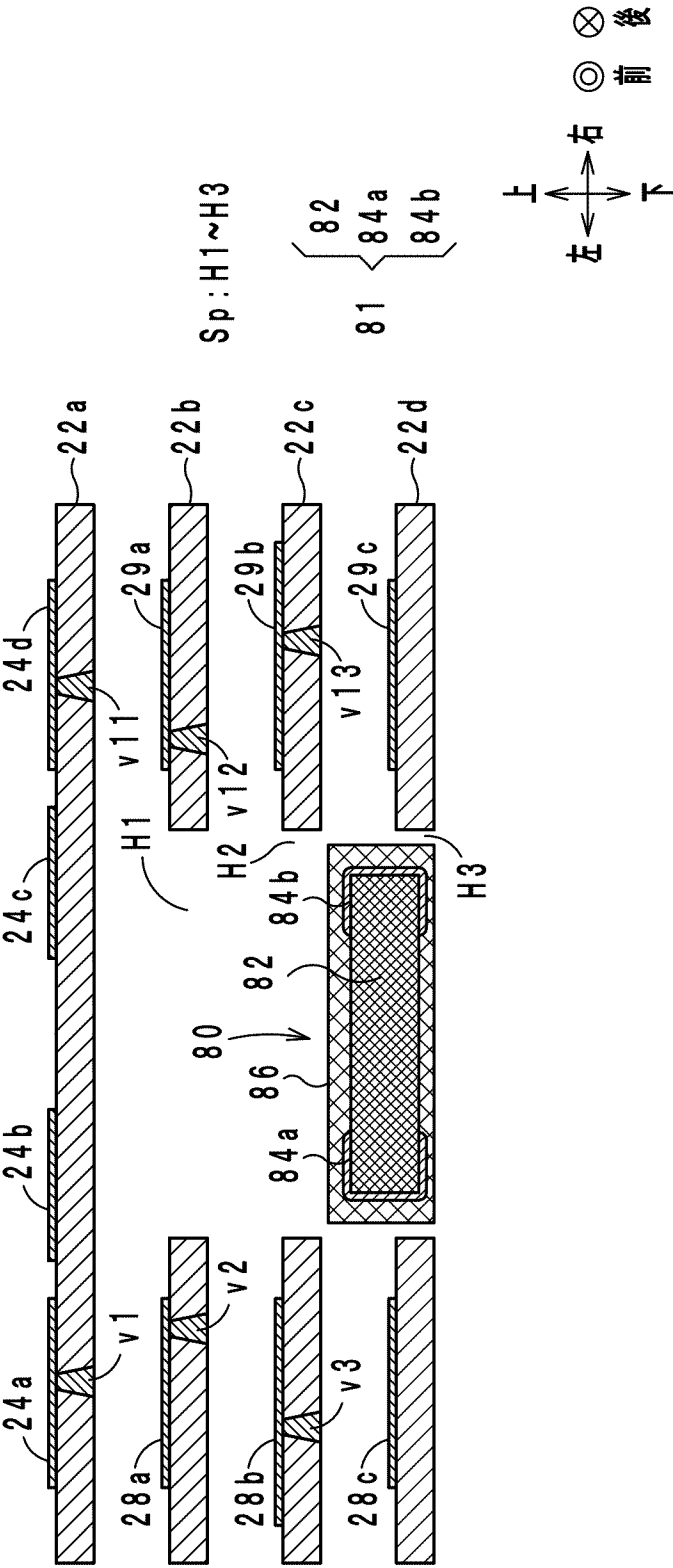
[図9D]

図9D



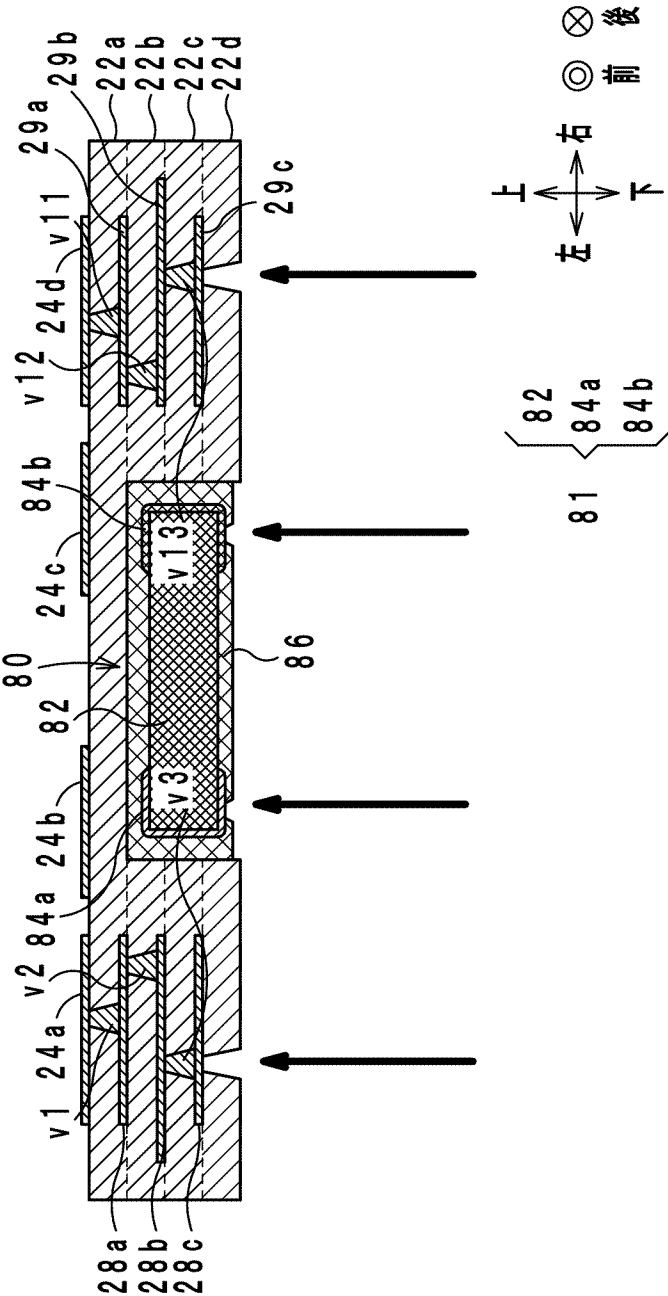
[図13]

図13



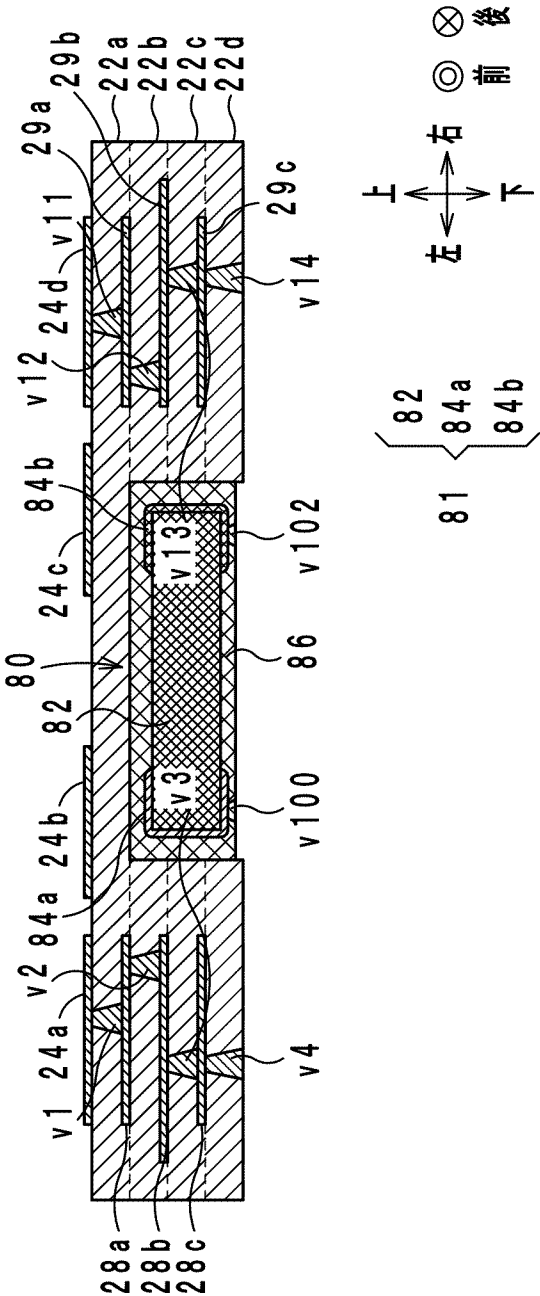
[図14]

図14

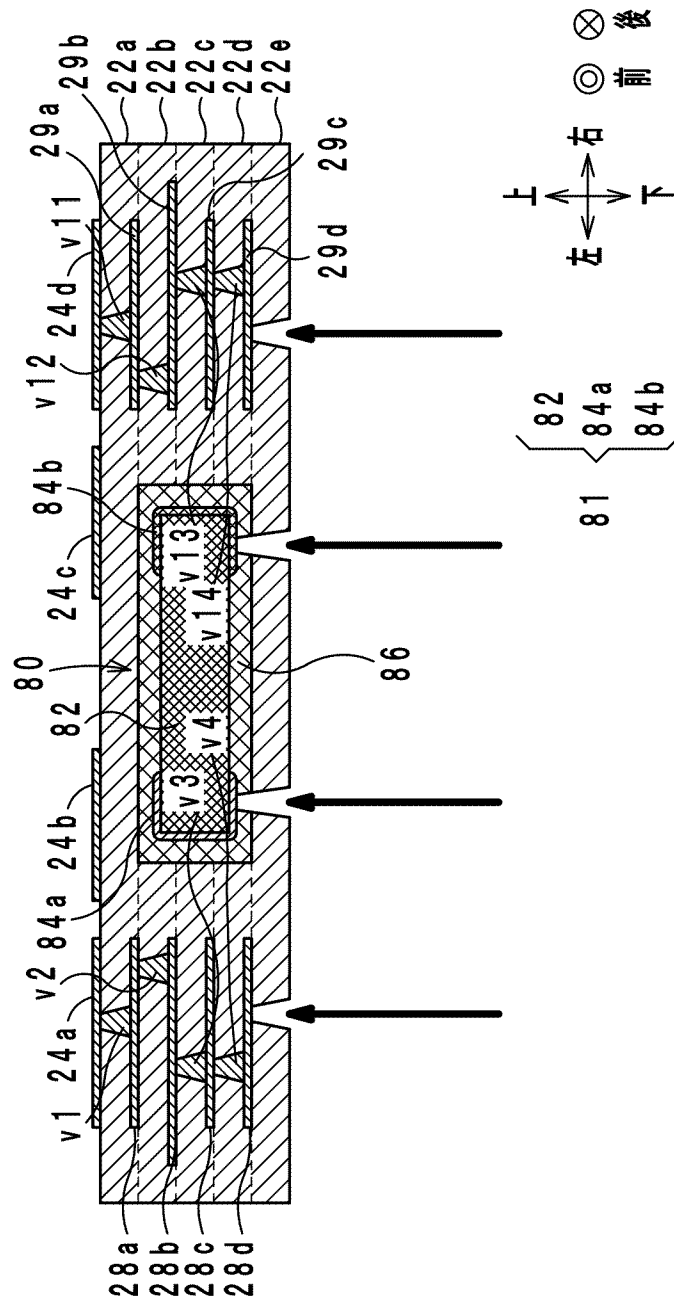
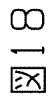


[図15]

図15

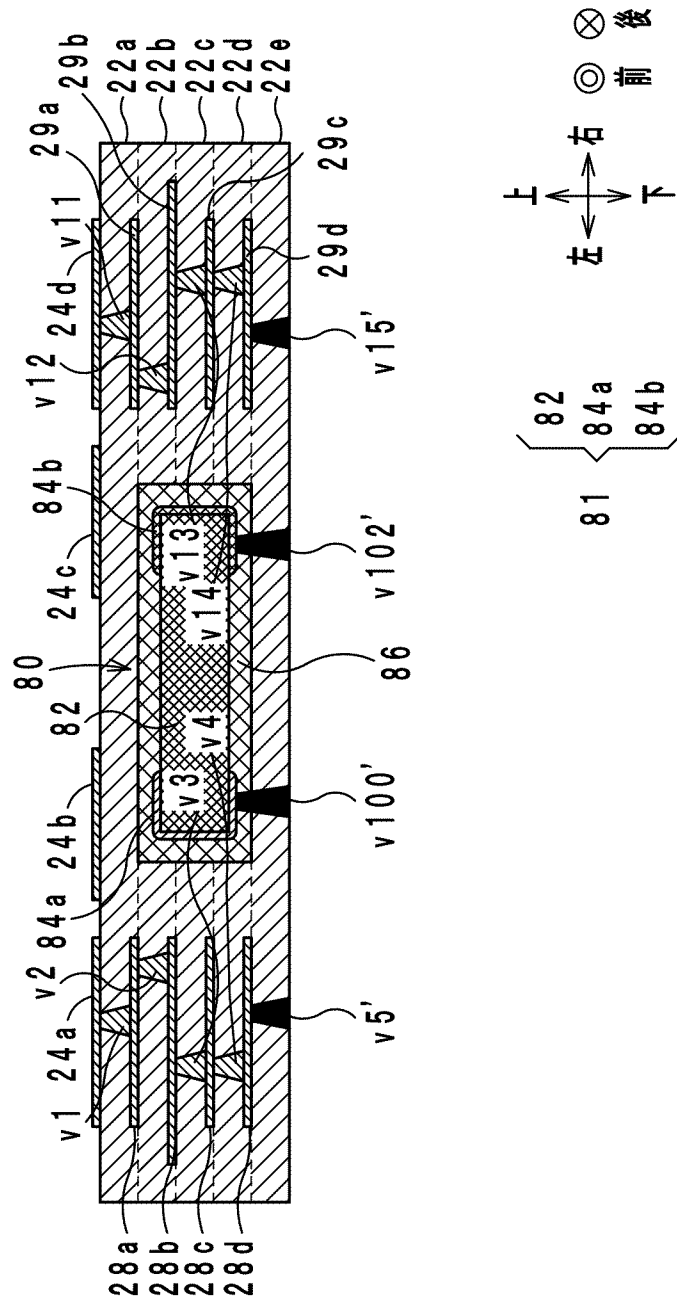


[図18]

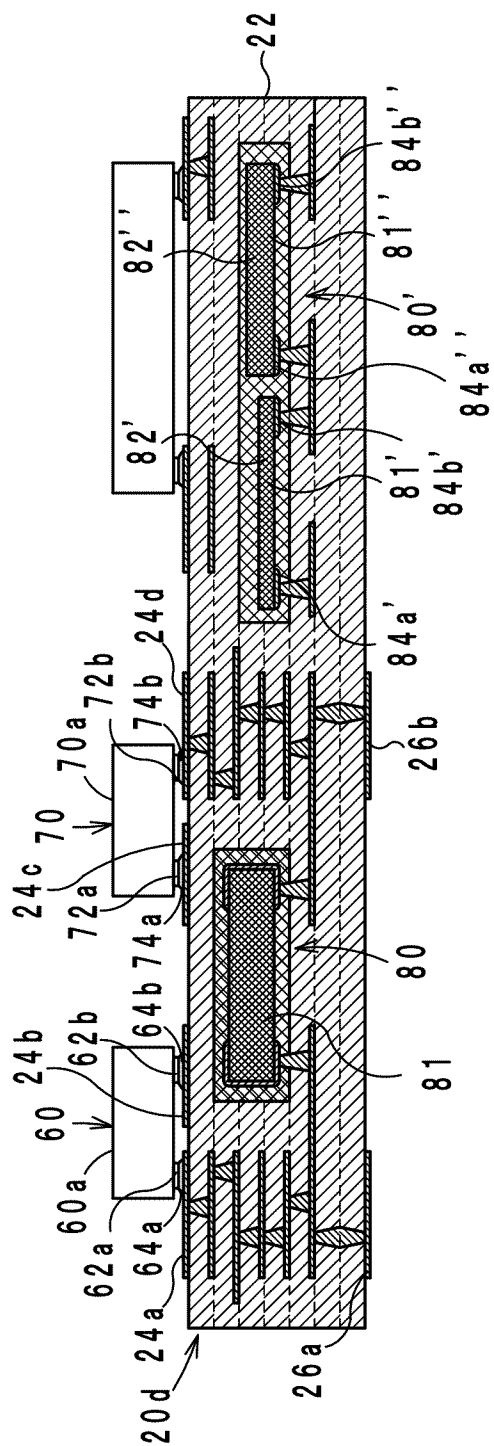


[図19A]

図19A

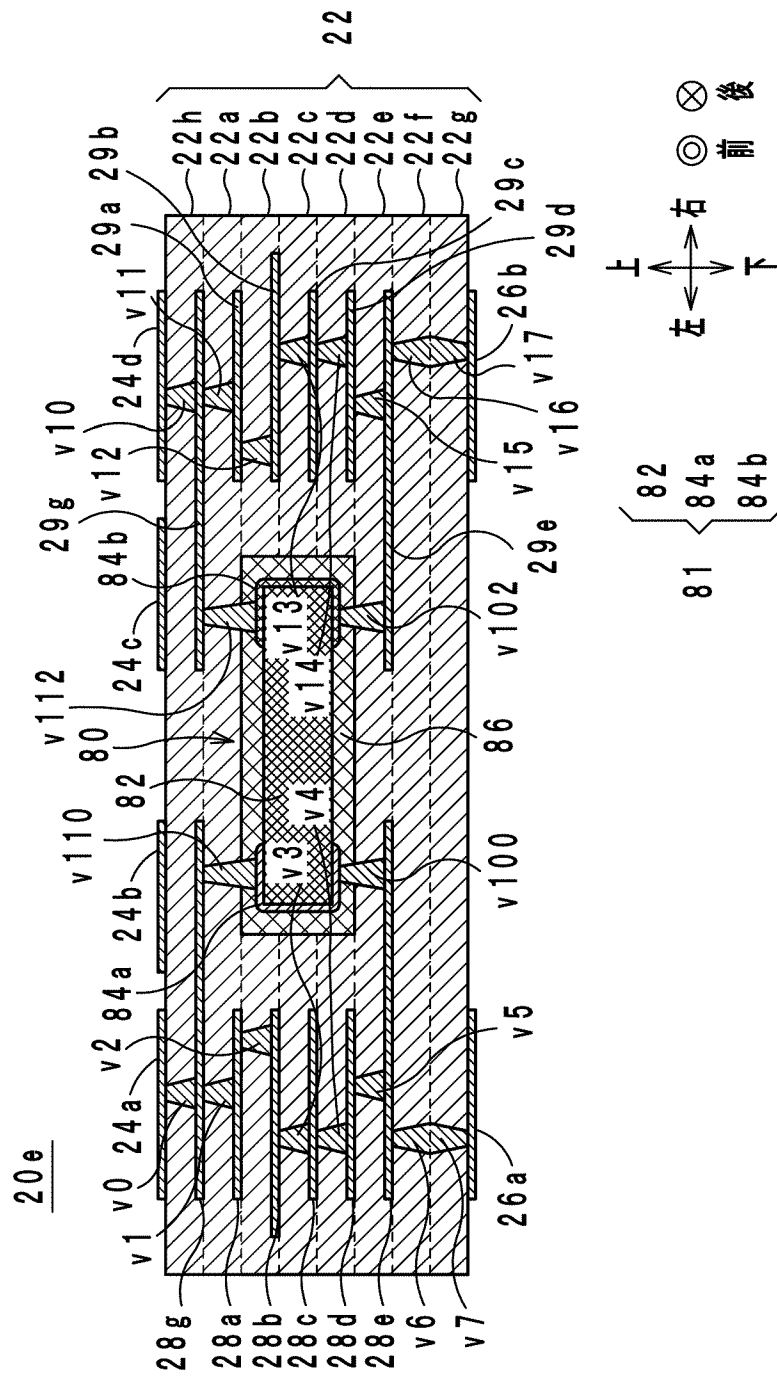


20X



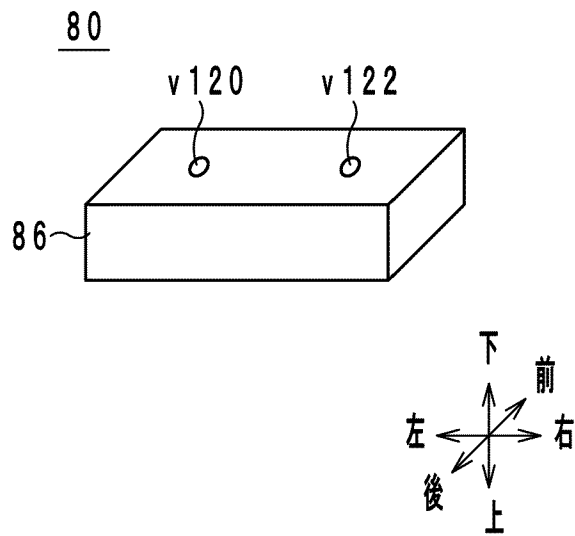
[図21]

図21



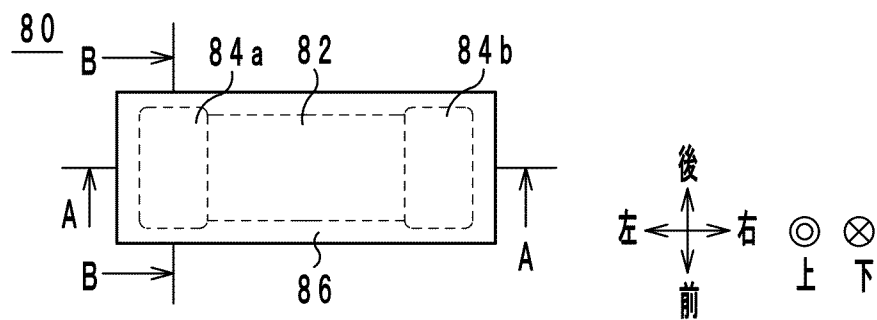
[図23]

図23



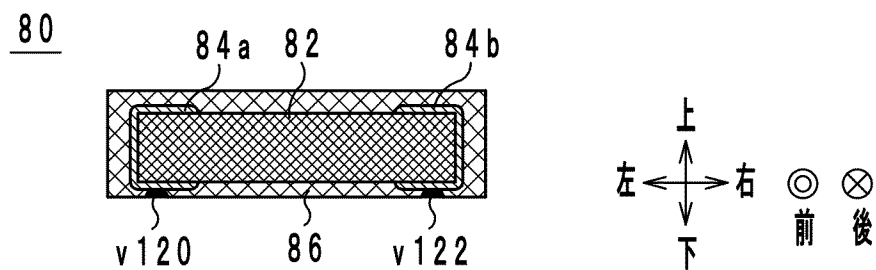
[図24A]

図24A

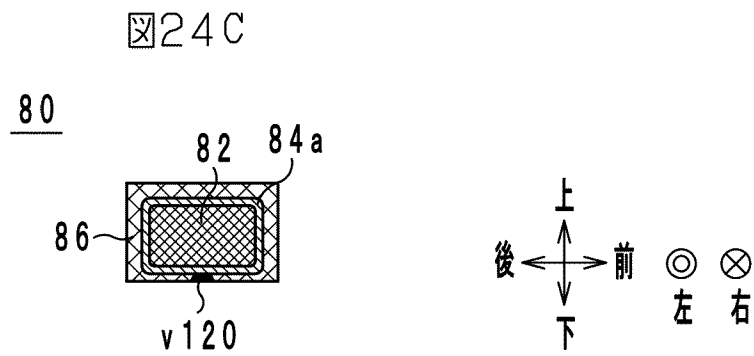


[図24B]

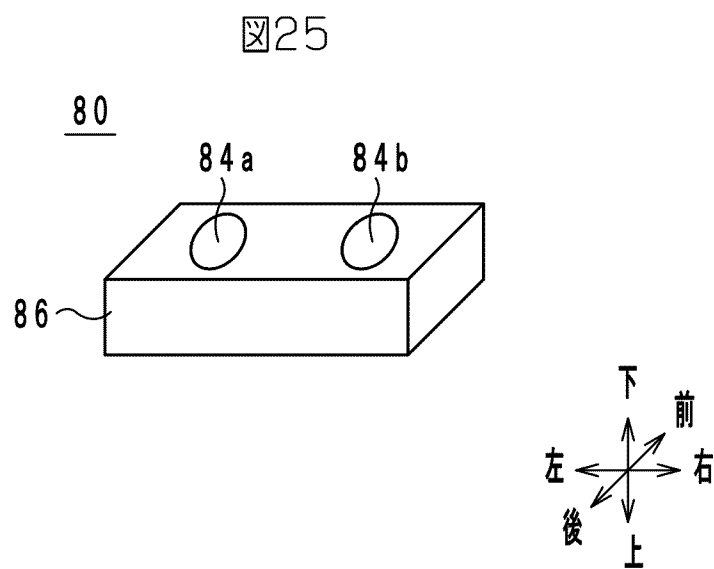
図24B



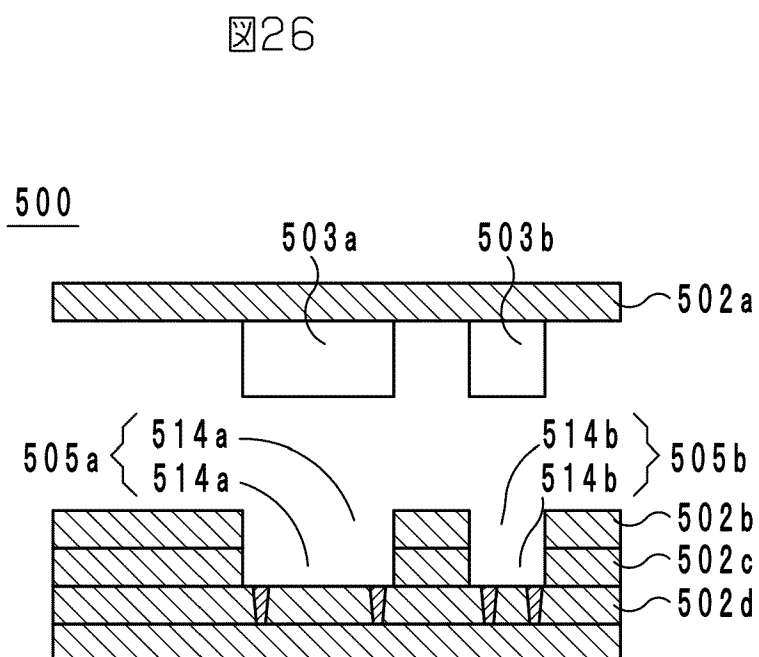
[図24C]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087171

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/121993 A1 (Murata Mfg. Co., Ltd.), 06 October 2011 (06.10.2011), paragraphs [0046] to [0054], [0076] to [0077]; fig. 1, 4 & JP 2013-42164 A & US 2013/0242517 A1 paragraphs [0054] to [0062], [0084] to [0085]; fig. 1, 4	1-17
Y	WO 2014/203603 A1 (Murata Mfg. Co., Ltd.), 24 December 2014 (24.12.2014), paragraphs [0013] to [0033], [0065] to [0068] & US 2016/0044798 A1 paragraphs [0058] to [0078], [0112] to [0115] & CN 105103665 A	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 February 2017 (22.02.17)

Date of mailing of the international search report
07 March 2017 (07.03.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/087171

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-085222 A (Toshiba Corp.), 10 April 2008 (10.04.2008), paragraphs [0023] to [0025], [0031] to [0032] (Family: none)	2-3, 5, 14-17
Y	JP 2007-116155 A (Samsung Electro Mechanics Co., Ltd.), 10 May 2007 (10.05.2007), paragraphs [0038] to [0043]; fig. 3(d) & US 2007/0087512 A1 paragraphs [0044] to [0049]; fig. 3(d) & KR 10-0700922 B1 & CN 1953151 A & TW 00I300320 B	4

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2011/121993 A1（株式会社村田製作所）2011.10.06, 段落[0046]-[0054], [0076]-[0077], 図1, 図4 & JP 2013-42164 A & US 2013/0242517 A1, 段落[0054]-[0062], [0084]-[0085], 図1, 図4	1-17
Y	WO 2014/203603 A1（株式会社村田製作所）2014.12.24, 段落[0013]-[0033], [0065]-[0068] & US 2016/0044798 A1, 段落[0058]-[0078], [0112]-[0115] & CN 105103665 A	1-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22.02.2017

国際調査報告の発送日

07.03.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小林 大介

5D

9848

電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-085222 A (株式会社東芝) 2008.04.10, 段落[0023]-[0025], [0031]-[0032] (ファミリーなし)	2 - 3, 5, 1 4 - 1 7
Y	JP 2007-116155 A (サムソン エレクトロメカニックス カンパニーリミテッド.) 2007.05.10, 段落[0038]-[0043], 図 3(d) & US 2007/0087512 A1, 段落[0044]-[0049], 図 3(d) & KR 10-0700922 B1 & CN 1953151 A & TW 00I300320 B	4