

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la
Propriété Intellectuelle
Bureau international



(43) Date de la publication internationale
24 septembre 2020 (24.09.2020)

WIPO | PCT

(10) Numéro de publication internationale
WO 2020/187988 A1

(51) Classification internationale des brevets :
H02M 3/158 (2006.01) *H02M 1/15* (2006.01)
H02M 1/00 (2006.01)

(72) Inventeur : **BOISSIERE, Philippe** ; CONTINENTAL
AUTOMOTIVE FRANCE, 1 avenue Paul Ourliac - Service
Intellectual Property, 31100 TOULOUSE (FR).

(21) Numéro de la demande internationale :
PCT/EP2020/057455

(74) Mandataire : **FOURNIE, Gilles** ; CONTINENTAL AU-
TOMOTIVE FRANCE, Service Intellectual Property, 1,
avenue Paul Ourliac, 31100 TOULOUSE (FR).

(22) Date de dépôt international :
18 mars 2020 (18.03.2020)

(81) États désignés (*sauf indication contraire, pour tout titre de
protection nationale disponible*) : AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR,
KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM,
PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC,
SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(25) Langue de dépôt : français

(26) Langue de publication : français

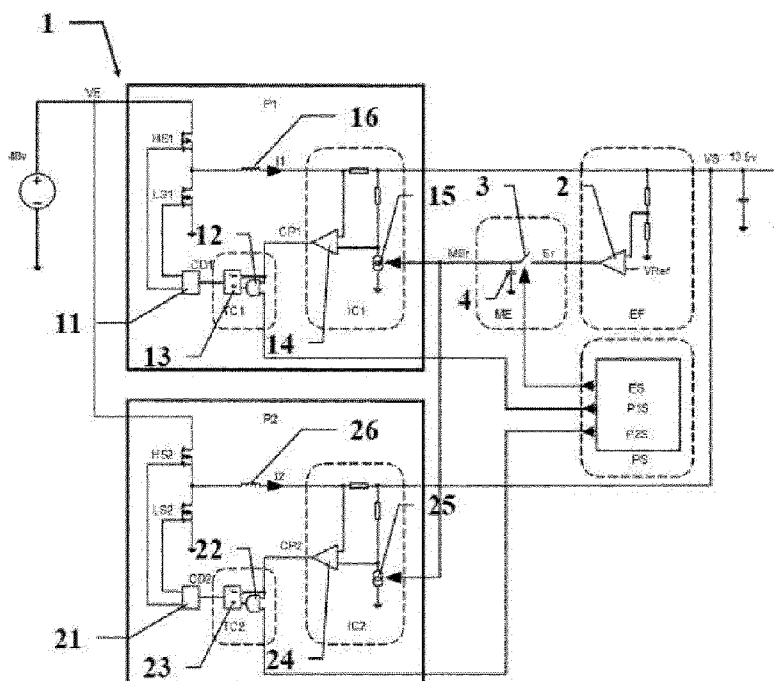
(30) Données relatives à la priorité :
FR1902737 18 mars 2019 (18.03.2019) FR

(71) Déposant : **CONTINENTAL AUTOMOTIVE GMBH**
[DE/DE] ; Vahrenwalder Strasse 9, 30165 HANOVRE
(DE).

(54) Title: DIRECT VOLTAGE CONVERTER

(54) Titre : CONVERTISSEUR DE TENSION CONTINUE

[FIG 1]



(57) Abstract: The invention relates to a direct voltage converter (1) comprising a plurality of chopper modules (P1, P2) arranged in parallel and synchronised in an interleaved manner, wherein all the chopper modules (P1, P2) are slaved to the same error signal (Er, MEr) sampled for each chopping period.

(57) Abrégé : L'invention concerne un convertisseur (1) de tension continue, comprenant plusieurs modules à découpage (P1, P2), disposés en parallèle, synchronisés de manière entrelacée, tous les modules à découpages (P1, P2) étant asservis sur un même signal d'erreur (Er, MEr) échantillonné pour chaque période de découpage.

[Suite sur la page suivante]

WO 2020/187988 A1

(84) **États désignés** (*sauf indication contraire, pour tout titre de protection régionale disponible*) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasién (AM, AZ, BY, KG, KZ, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Publiée:

— avec rapport de recherche internationale (Art. 21(3))

DESCRIPTION**TITRE : Convertisseur de tension continue****DOMAINE DE L'INVENTION**

L'invention concerne le domaine de l'électronique et plus
5 particulièrement celui des convertisseurs de tension continue.

ETAT DE LA TECHNIQUE

Il est connu pour convertir une tension continue d'utiliser
un module à découpage. De manière connue un tel module à
découpage est apte à augmenter ou à réduire la tension de
10 sortie. L'augmentation, respectivement la réduction, est
déterminée par un signal d'erreur indiquant si la tension de
sortie est inférieure, respectivement supérieure, à une
tension de référence ou de consigne souhaitée. Le signal
d'erreur est échantillonné à une fréquence élevée/période très
15 courte, nommée fréquence/période de découpage. Une fréquence
de découpage est typiquement comprise entre 10 et 1000 kHz,
par exemple 400 kHz.

Il est encore connu, pour des intensités et/ou puissances
importantes, afin d'optimiser la dissipation thermique,
20 d'utiliser plusieurs tels modules à découpage et de les
disposer en parallèle.

Le problème est que chaque module à découpage fonctionne
indépendamment des autres. Ceci conduit à des oscillations
potentiellement dommageables de la tension de sortie.

25 Il est encore connu d'entrelacer les temps de
fonctionnement des modules à découpage, mais cela ne suffit
pas à réduire suffisamment les oscillations de la tension de
sortie.

EXPOSE DE L'INVENTION

30 Il convient d'améliorer la synchronisation des différents
modules à découpage, afin qu'ils fonctionnent de concert et
que leurs efforts s'équilibrent, pour produire une tension de
sortie la plus étale possible.

Le principe de l'invention consiste à asservir, sur chaque
35 période de découpage, les différents modules à découpage sur
un même signal d'erreur, en mémorisant ledit signal d'erreur
sur la période de découpage et à les synchroniser,
préférentiellement de manière entrelacée.

Pour cela l'invention a pour objet un convertisseur de tension continue, comprenant au moins deux modules à découpage, disposés en parallèle, et un module d'erreur, chaque module à découpage étant piloté par un signal d'erreur, déterminé par le module d'erreur, indicatif d'une erreur entre une tension de sortie, commune à tous les modules à découpage, et une tension de référence, où le convertisseur comprend encore un module de mémorisation apte, pour chaque période de découpage, à mémoriser le signal d'erreur et à transmettre un signal d'erreur mémorisé identique à tous les modules à découpage en lieu et place du signal d'erreur et un module de synchronisation apte à produire, pour chaque période de découpage, un signal de synchronisation par module à découpage autorisant le pilotage respectif d'un module à découpage de manière entrelacée.

Des caractéristiques ou des modes de réalisation particuliers, utilisables seuls ou en combinaison, sont :

- le module de synchronisation est encore apte à produire, à chaque période de découpage, un signal de mémorisation commandant la mémorisation du module de mémorisation,
- chaque module à découpage comprend un demi pont à transistors associé à une inductance, apte à réaliser le découpage d'une tension d'entrée de manière à produire un courant dans ladite inductance, un module comparateur comparant une image du courant avec le signal d'erreur mémorisé, pour produire un signal de comparaison, un moyen de commande produisant un signal de commande du demi pont en fonction du signal de comparaison et d'un signal de synchronisation issu du module de synchronisation,
- un moyen de commande comprend pour produire le signal de commande, une fonction logique ET entre le signal de synchronisation et le signal de comparaison et une fonction bascule RS activée par la sortie de la fonction logique ET et désactivée par le signal de comparaison inversé,
- un signal de synchronisation est à l'état haut sensiblement en permanence et présente une impulsion à l'état bas une fois par période de découpage, les impulsions des

différents signaux de synchronisation étant entrelacées, préférentiellement de manière régulière,

- le signal de mémorisation comprend une impulsion par période de découpage,
- 5 • le convertisseur comprend encore un module de pilotage du demi pont apte à commander de manière exclusive l'un des transistors du demi pont lorsque le signal de commande est dans un état et à commander de manière exclusive l'autre des transistors du demi pont lorsque le signal de commande est
10 dans l'autre état.

BREVE DESCRIPTION DES DESSINS

D'autres caractéristiques, avantages et détails de l'invention seront mieux compris à la lecture du complément de description qui va suivre de modes de réalisation donnés à
15 titre d'exemple non limitatifs en relation avec des dessins sur lesquels :

[FIG 1] représente un schéma de principe d'un convertisseur selon l'invention, et

[FIG 2] représente, sur un diagramme temporel comparatif,
20 différents signaux indicatifs du fonctionnement du convertisseur.

DESCRIPTION DETAILLEE DE MODES DE REALISATION DE L'INVENTION

En référence à la Figure 1, le convertisseur 1 de tension
25 continue selon l'invention reçoit une tension d'entrée VE, ici par exemple 48 V et fournit une tension de sortie VS, qui doit rester sensiblement égale à une tension de consigne ou de référence VRef, ici par exemple 13,6 V, et ce malgré des variations de la demande en courant.

30 Pour cela, de manière connue, le convertisseur 1 comprend un module à découpage P1. De manière connue un tel module à découpage P1 comprend un demi pont comprenant deux moyens de commutation HS1, LS1, tels des transistors, montés en série entre la tension d'entrée VE et la masse. La tension de sortie
35 VS est prise entre les deux transistors HS1, LS1. Un transistor « haut » HS1 disposé entre la tension d'entrée VE et la tension de sortie VS est piloté lorsque le courant I1 dans le module à découpage P1 doit être augmenté. L'autre transistor « bas »

LS1 disposé entre la tension de sortie VS et la masse est piloté lorsque le courant I1 dans le module à découpage P1 doit être réduit. De manière connue, un module de pilotage 11 pilote de manière exclusive les deux transistors HS1, LS1. Ce module de pilotage 11 est commandé par un signal de commande CD1.

De manière connue, un module d'erreur EF compare, au moyen d'un comparateur 2, la tension de sortie VS avec une tension de consigne VRef et produit un signal d'erreur Er indicatif de la différence entre la tension de sortie VS et la tension de référence VRef souhaitée.

De manière connue, un module comparateur IC1 compare, au moyen d'un comparateur 14, un courant de consigne, produit par un générateur de courant 15 piloté par un signal d'erreur MEr issu du module d'erreur EF, avec le courant I1 circulant dans le module à découpage P1. Cette comparaison produit un signal de comparaison CP1.

Entre parenthèses, un module à découpage selon l'art antérieur fonctionne ainsi de manière autonome et asservie. Le module TC1 de commande et le module de mémorisation ME, ajoutés par l'invention, sont absents. Le signal MEr est égal au signal d'erreur Er et pilote le module comparateur IC1. Le signal de commande CD1 est égal au signal de comparaison CP1 : le module de pilotage 11 pilote le transistor HS1 de manière à augmenter le courant I1 lorsque CP1 est à l'état haut, indicatif d'un courant I1 inférieur à la consigne, et au contraire le module de pilotage 11 pilote le transistor LS1 de manière à réduire le courant I1 lorsque CP1 est à l'état bas, indicatif d'un courant I1 supérieur à la consigne.

En plus du module à découpage P1, le convertisseur 1 selon l'invention comprend encore au moins un deuxième module à découpage P2. Le nombre de modules à découpage peut être quelconque. Les modules à découpage sont disposés en parallèle : ils reçoivent la même tension d'entrée VE et contribuent tous à la tension de sortie VS. Tous les modules à découpage sont en tous points identiques.

La figure 1 illustre un convertisseur 1 avec deux tels modules à découpage P1, P2. Pour les signes de référence

littéraux, l'indice 1 se rapporte au premier module à découpage P1 et l'indice 2 se rapporte au deuxième module à découpage P2. Pour les signes de référence numériques, un signe 1x désigne, dans le premier module à découpage P1, le même
5 composant 2x dans le deuxième module à découpage P2.

Le convertisseur 1 selon l'invention comprend encore, de manière caractéristique, un module de mémorisation ME. Ce module de mémorisation ME est commun à tous les modules à découpage. Il est apte, pour chaque période de découpage T, à
10 mémoriser le signal d'erreur Er. Ceci est figuré par un échantillonneur 3, commandé par un signal ES, et un bloqueur/moyen de stockage 4 qui mémorise la valeur du signal d'erreur Er, lors d'une commande de l'échantillonneur 3. Le signal mémorisé est nommé MEr. Il est ainsi identique au signal
15 d'erreur Er à l'instant de la mémorisation et reste sensiblement égal à cette valeur durant une période de découpage T. Ce signal mémorisé MEr est transmis à tous les modules à découpage P1, P2, et remplace, relativement à l'art antérieur, le signal d'erreur Er.

Il convient de noter une caractéristique importante de l'invention : au cours d'une période de découpage T, tous les modules de découpage P1, P2 sont asservis sur une valeur identique mémorisée MEr du signal d'erreur Er. Ceci contribue à l'obtention d'une grande stabilité de la tension de sortie
25 Vs, en ce que tous les modules à découpages sont asservis sur une même consigne.

Du fait de la présence de plusieurs modules à découpage P1, P2, le convertisseur 1 selon l'invention, comprend encore un module de synchronisation PS. Ce module de synchronisation
30 PS est apte à produire, pour chaque période de découpage T, un signal de synchronisation P1S, P2S respectif par module à découpage P1, P2. Chaque tel signal de synchronisation P1S, P2S autorise sélectivement le module à découpage P1, P2 associé à réaliser le pilotage pour corriger le courant I1, I2
35 correspondant. Avantageusement les signaux de synchronisation P1S, P2S sont entrelacés.

La mémorisation réalisée par le module de mémorisation ME est pilotée par un signal de mémorisation ES. Ce signal de

mémorisation ES est une horloge de période égale à la période de découpage T. Elle est produite par un module, par exemple le module de synchronisation PS.

Afin d'être sûr que le signal d'erreur mémorisé M_{Er} soit
5 établi lors de son utilisation pour l'asservissement de l'un des modules à découpage P1, P2, l'impulsion de mémorisation du signal de mémorisation ES est avantageusement décalée afin de ne pas coïncider avec l'une quelconque impulsion d'un des signaux de synchronisation P1S, P2S.

10 Comme décrit précédemment, chaque module à découpage P1, P2 comprend un demi pont à transistors, comprenant chacun un transistor « haut » HS1, HS2, un transistor « bas » LS1, LS2 et un module de pilotage 11, 21 associé à une inductance 16, 26, apte à réaliser le découpage de la tension d'entrée VE de
15 manière à produire un courant I1, I2 dans ladite inductance 16, 26, et un moyen comparateur IC1, IC2 comparant une image du courant I1, I2 avec le signal d'erreur mémorisé M_{Er} pour produire un signal de comparaison CP1, CP2.

Le convertisseur 1 selon l'invention comprend encore, de
20 manière caractéristique, un module de commande TC1, TC2 produisant un signal de commande CD1, CD2 du demi pont HS1, LS1, 11, HS2, LS2, 21 en fonction du signal de comparaison CP1, CP2 et d'un signal de synchronisation P1S, P2S issu du module de synchronisation PS. Un tel module de commande TC1,
25 TC2 est respectivement ajouté par l'invention dans chacun des modules à découpage P1, P2.

Un module de commande TC1, TC2 a pour fonction de modifier le signal de comparaison CP1, CP2, en l'interrompant en fonction du signal de synchronisation P1S, P2S, pour produire
30 le signal de commande CD1, CD2, qui pilote effectivement le demi pont de transistors.

Le principe d'un module de commande TC1, TC2 est de produire un signal de commande CD1, CD2 qui reproduit le signal de comparaison CP1, CP2 suite à une indication du signal de synchronisation P1S, P2S, mais repasse à l'état bas lorsque le
35 signal de comparaison indique que le courant I1, I2 a atteint sa valeur de consigne M_{Er}. Il s'ensuit qu'un module à découpage P1, P2 est piloté comme s'il était seul, en fonction de la

comparaison du courant I1, I2 avec la consigne MEr, mais uniquement entre la réception du signal de synchronisation P1S, P2S et un instant où le courant I1, I2 atteint et/ou dépasse ladite consigne MEr. Ensuite l'asservissement est
5 stoppé jusqu'à la prochaine indication du signal de synchronisation P1S, P2S. L'entrelacement permet alors aux autres modules à découpages d'intervenir de manière temporellement décalée et de contribuer à la production de la tension de sortie Vs.

10 Pour cela, selon un mode de réalisation possible, un module de commande TC1, TC2 comprend, pour produire le signal de commande CD1, CD2, une fonction logique ET 12, 22 et une fonction bascule RS 13, 23. La fonction logique ET 12, 22 est disposé entre le signal de synchronisation P1S, P2S et le
15 signal de comparaison CP1, CP2.

Une bascule RS, de manière connue, assure une fonction de mémorisation temporelle. Elle possède une entrée d'activation SET et une entrée de réinitialisation/désactivation RESET. Elle fournit en sortie un signal maintenu à l'état haut si le
20 dernier signal à l'état haut a été vu sur l'entrée SET et un signal maintenu à l'état bas si le dernier signal à l'état haut a été vu sur l'entrée RESET, y compris si le signal qui a produit un changement d'état est depuis repassé à l'état bas.

25 La sortie de la fonction logique ET 12, 22 est connectée à l'entrée d'activation SET de ladite fonction bascule RS 13, 23. Le signal de comparaison CP1, CP2 inversé est connecté à l'entrée de désactivation RESET. L'entrée SET n'est sensible qu'à un front montant.

30 Ainsi, un front montant du signal de synchronisation P1S, P2S combiné par la fonction logique « ET » avec un état haut du signal de comparaison CP1, CP2 active la bascule RS et place le signal de commande CD1, CD2 à l'état haut. Au contraire un état bas, du fait de la présence d'un inverseur, du signal de
35 comparaison CP1, CP2 désactive la bascule RS et place le signal de commande CD1, CD2 à l'état bas. Du fait de l'effet mémoire assuré par la bascule « RS », ledit état bas du signal de commande CD1, CD2 est ainsi obligatoirement maintenu jusqu'au

prochain front montant du signal de synchronisation P1S, P2S.

Dans un signal de synchronisation P1S, P2S, le front montant est le phénomène important, du fait de la sensibilité exclusive de la bascule RS à un front montant. Aussi, un signal
5 de synchronisation P1S, P2S est avantageusement à l'état haut sensiblement en permanence et présente une impulsion à l'état bas une fois par période de découpage T, afin de pouvoir présenter un front montant.

Les impulsions des différents signaux de synchronisation
10 P1S, P2S sont entrelacées. Cet entrelacement est de préférence régulier : la période de découpage T est régulièrement découpée par lesdites impulsions en autant de parties égales qu'il y a de modules à découpage P1, P2.

Afin que tous les modules à découpage P1, P2 soient, pour
15 chaque période de découpage T, asservis sur un même signal d'erreur mémorisé MEr, la mémorisation est réalisée périodiquement selon une période égale à la période de découpage T. Aussi le signal de mémorisation ES comprend une impulsion par période de découpage T.

20 Le module de pilotage 11, 21 d'un demi pont est apte à commander de manière exclusive l'un des transistors HS1, HS2 du demi pont lorsque le signal de commande CD1, CD2 est dans un état et à commander de manière exclusive l'autre des transistors LS1, LS2 du demi pont lorsque le signal de commande
25 CD1, CD2 est dans l'autre état.

En référence à la figure 2, afin de compléter la description, va maintenant être décrit le fonctionnement temporel du convertisseur 1 selon l'invention. La figure 2 présente des courbes figurées sur des diagrammes partageant
30 tous, à fin de comparaison, la même échelle de temps en abscisses.

De haut en bas, la première courbe représente le signal de mémorisation ES qui permet de synchroniser la mémorisation MEr du signal d'erreur Er par le module de mémorisation ME. Le
35 signal de mémorisation ES est majoritairement à l'état bas, il monte un bref instant à l'état haut de manière à fermer l'échantillonneur 3 et redescend à l'état bas selon une impulsion périodique de période égale la période de découpage

T. La nouvelle valeur du signal d'erreur mémorisé MEr est disponible à partir de ce front descendant.

Les deuxième et troisième courbes figurent les signaux de synchronisation P1S, P2S respectifs des modules à découpages P1, P2. Il convient d'avoir autant de signaux de synchronisation que de modules à découpage, ici par exemple 2. Un signal de synchronisation P1S, P2S est majoritairement à l'état haut, il descend un bref instant à l'état bas de manière à pouvoir remonter à l'état haut selon une impulsion périodique de période égale la période de découpage T. Les impulsions respectives des différents signaux de synchronisation sont entrelacées, avantageusement régulièrement. Le front montant est l'événement utile en ce qu'il pilote le module de commande TC1, TC2 et autorise l'asservissement.

Les quatrième et cinquième courbes, représentées sur le même diagramme, présentent respectivement le signal d'erreur Er et le signal d'erreur mémorisé MEr, ce dernier est constant par paliers. Le signal d'erreur Er évolue. Le signal d'erreur mémorisé MEr fige sa valeur, tel que souligné par les pointillés, lors d'un front descendant du signal de mémorisation ES. Cette valeur est sensiblement maintenue, pendant une période T, jusqu'à la prochaine mémorisation.

Les sixième et septième courbes, représentées sur un même diagramme, figurent respectivement à nouveau le signal d'erreur mémorisé MEr et le courant I1 dans le premier module à découpage P1, à fin de comparaison, telle que celle réalisée par le module de comparaison IC1.

La huitième courbe figure le signal de comparaison CP1 produit par le module de comparaison TC1. Il peut être vérifié que le signal de comparaison CP1 est à l'état bas lorsque I1 est supérieur au signal d'erreur mémorisé MEr et à l'état haut dans le cas contraire. Un état haut du signal de comparaison CP1 indique que le courant I1 est trop faible et qu'il conviendrait de commander le transistor haut HS1 du demi pont pour corriger cela en augmentant le courant I1. Il peut être noté qu'une commande du transistor bas LS1, ou ce qui est équivalent une absence de commande du transistor haut HS1, entraîne une baisse du courant I1.

La neuvième courbe figure le signal de commande CD1, issu de la transformation du signal de comparaison CP1 par le module de commande TC1. Le signal de commande CD1 est initialement à l'état bas. Il passe à l'état haut, tel que souligné par un trait pointillé, sur un front montant du signal de synchronisation P1S, alors que le signal de comparaison CP1 est simultanément à l'état haut, cette combinaison de signaux P1S ET CP1 étant à l'entrée d'activation SET de la bascule 13. Du fait de la mémorisation réalisée par la bascule 13, cet état haut est maintenu indépendamment de l'état des signaux (CP1, P1S) présents à ladite entrée d'activation SET.

Ainsi le transistor haut HS1 du demi pont est commandé à partir du moment où l'impulsion du signal de synchronisation P1S (front montant) est reçue, si et seulement si le courant I1 est inférieur au signal d'erreur mémorisé MEr, ce qui est figuré par CP1 à l'état haut. Ainsi le pilotage du module de découpage P1 n'est autorisé que suite à réception de l'impulsion du signal de synchronisation P1S, si un tel pilotage est nécessaire : le courant I1 est inférieur au signal d'erreur mémorisé MEr, et seulement tant que ce pilotage est nécessaire : dès que le courant I1 rattrape le signal d'erreur mémorisé MEr, le pilotage est stoppé et est interdit pour le reste de la période de découpage T du signal de synchronisation en cours.

Le signal de commande CD1 repasse à l'état bas, tel que souligné par un trait pointillé, lorsque le signal de comparaison CP1 repasse à l'état bas, puisque CP1 inversé est connecté à l'entrée de désactivation RESET de la bascule 13. Du fait de la mémorisation réalisée par la bascule 13, cet état bas est maintenu indépendamment de l'état du signal (NOT(CP1)) présent à ladite entrée de désactivation RESET. Ceci se maintient jusqu'à la prochaine impulsion du signal de synchronisation P1S.

Ainsi le transistor haut HS1 du demi pont n'est plus commandé à partir du moment où le signal de comparaison CP1 s'annule, indicatif du fait que le courant I1 a rejoint ou dépassé le signal d'erreur mémorisé MEr.

Les dixième et onzième courbes figurent respectivement les

signaux HS1 et LS1 de pilotage des transistors HS1, LS1 produits par le module de pilotage 11 à partir du signal de commande CD1. La fonction est ici simple : le signal HS1 recopie le signal de commande CD1, $HS1 = CD1$ et le signal LS1 inverse le signal de commande $LS1 = \text{NOT}(CD1)$. Il peut être
5 vérifié que les deux transistors HS1, LS1 sont pilotés en disjonction.

Les courbes I2, CP2, CD2, HS2, LS2, non représentées, présentent des allures similaires, en étant cependant
10 synchronisées sur le signal de synchronisation P2S, soit ici décalées d'une demi-période de découpage $T/2$.

REVENDICATIONS

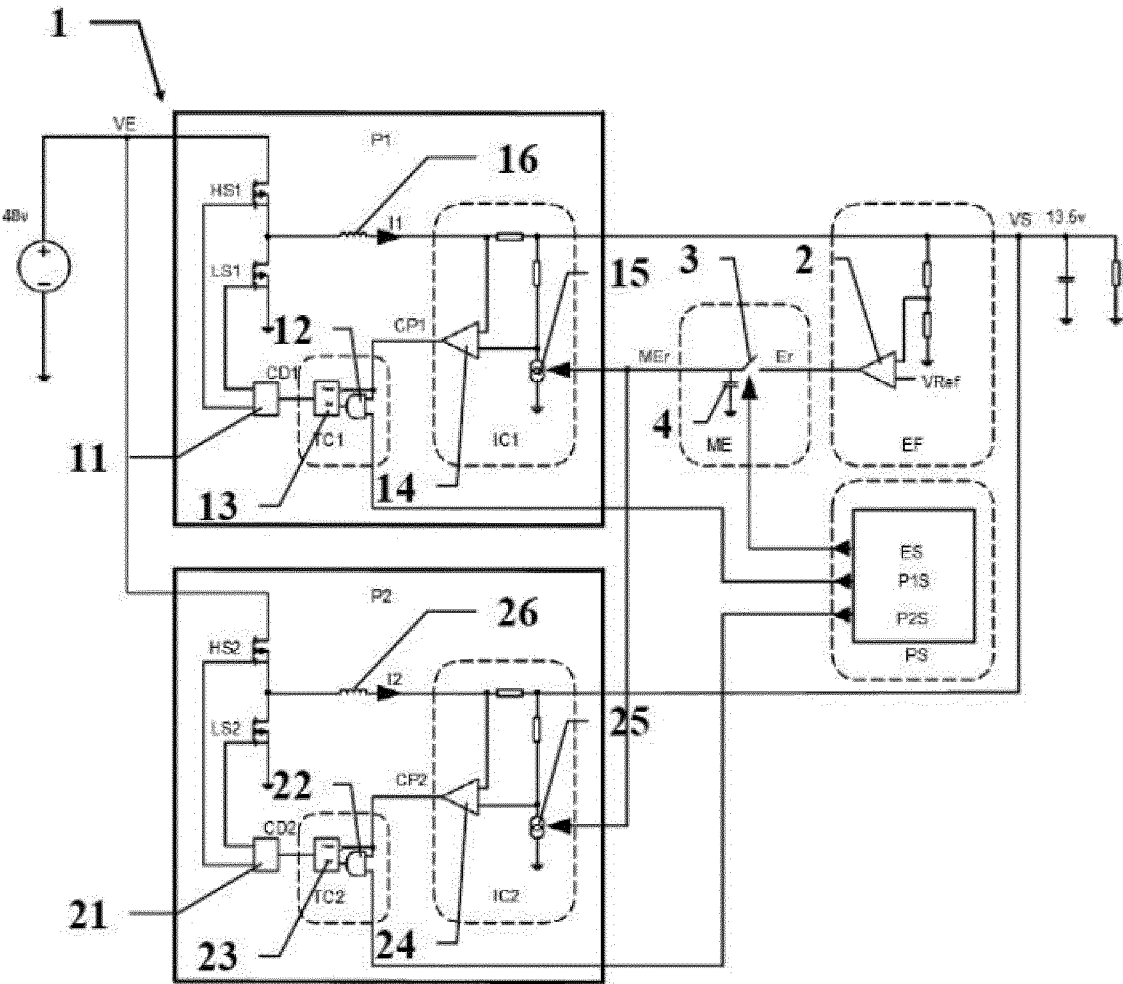
1. Système Convertisseur (1) de tension continue, comprenant au moins deux modules à découpage (P1, P2), disposés en parallèle, et un module d'erreur (EF) adapté pour générer un signal d'erreur (Er), indicatif d'une erreur entre une tension de sortie (VS) et une tension de référence (VRef), caractérisé en ce que le convertisseur (1) comprend encore un module de mémorisation (ME) apte, pour chaque période de découpage (T), à mémoriser le signal d'erreur (Er) et à transmettre le signal d'erreur mémorisé (MEr) identique à tous les modules à découpage (P1, P2) en lieu et place du signal d'erreur (Er) et un module de synchronisation (PS) apte à produire, pour chaque période de découpage (T), un signal de synchronisation (P1S, P2S) par module à découpage (P1, P2) autorisant le pilotage respectif d'un module à découpage (P1, P2) de manière entrelacée.
2. Convertisseur (1) selon la revendication 1, où le module de synchronisation (PS) est encore apte à produire, à chaque période de découpage (T), un signal de mémorisation (ES) commandant la mémorisation du module de mémorisation (ME).
3. Convertisseur (1) selon la revendication 2, où un module de commande (TC1, TC2), comprend pour produire le signal de commande (CD1, CD2), une fonction logique ET (12, 22) entre le signal de synchronisation (P1S, P2S) et le signal de comparaison (CP1, CP2) et une fonction bascule RS (13, 23) activée par la sortie de la fonction logique ET (12, 22) et désactivée par le signal de comparaison (CP1, CP2) inversé.
4. Convertisseur (1) selon l'une quelconque des revendications 1 à 3, où un signal de synchronisation (P1S, P2S) est à l'état haut sensiblement en permanence et présente une impulsion à l'état bas une fois par période de découpage (T), les impulsions des différents signaux de synchronisation

(P1S, P2S) étant entrelacées, préférentiellement de manière régulière.

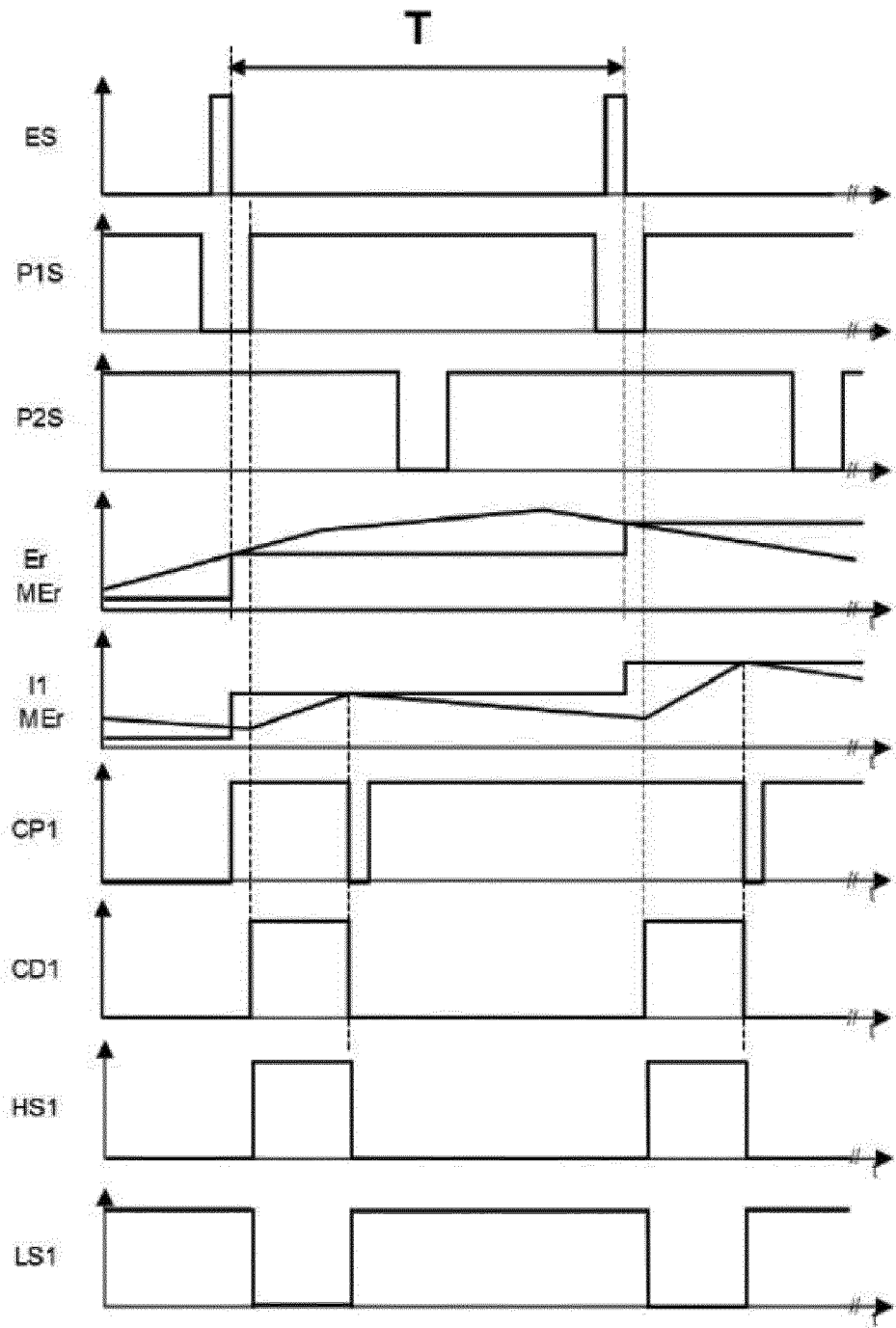
5 5. Convertisseur (1) selon l'une quelconque des revendications 2 à 4, où le signal de mémorisation (ES) comprend une impulsion par période de découpage (T).

10 6. Convertisseur (1) selon l'une quelconque des revendications 1 à 5, comprenant encore un module de pilotage (11, 21) apte à commander de manière exclusive l'un des transistors (HS1, HS2) d'un demi pont lorsque le signal de commande (CD1, CD2) est dans un état et à commander de manière exclusive l'autre des transistors (LS1, LS2) du demi pont lorsque le signal de commande (CD1, CD2) est dans l'autre état.

[FIG 1]



[FIG 2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2020/057455

A. CLASSIFICATION OF SUBJECT MATTER**H02M 3/158**(2006.01)i; **H02M 1/00**(2006.01)i; **H02M 1/15**(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M; G05F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2004120169 A1 (SCHROM GERHARD [US] ET AL) 24 June 2004 (2004-06-24) figures 1-2 paragraph [0002] - paragraph [0007]	1-6
Y	US 2005083024 A1 (HARRIS MATTHEW B [US] ET AL) 21 April 2005 (2005-04-21) figures 1-3 paragraph [0005] paragraph [0023] - paragraph [0025] paragraph [0036] - paragraph [0037]	1-6
Y	US 9912240 B1 (NGUYEN JAMES [US] ET AL) 06 March 2018 (2018-03-06) figures 1-3 column 2, line 24 - column 3, line 7 column 4, line 64 - column 5, line 12 column 6, line 12 - line 35	1-6
Y	US 2005212502 A1 (CASEY CHARLES A [US] ET AL) 29 September 2005 (2005-09-29) figure 1 paragraph [0012] - paragraph [0018]	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 May 2020

Date of mailing of the international search report

04 June 2020

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Riehl, Philippe

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2020/057455

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2004120169	A1	24 June 2004	NONE			
US	2005083024	A1	21 April 2005	CN	1609742	A	27 April 2005
				TW	I281771	B	21 May 2007
				US	2005083024	A1	21 April 2005
US	9912240	B1	06 March 2018	CN	107565818	A	09 January 2018
				US	9912240	B1	06 March 2018
US	2005212502	A1	29 September 2005	CN	1677814	A	05 October 2005
				HK	1081335	A1	29 July 2011
				TW	I351811	B	01 November 2011
				US	2005212502	A1	29 September 2005

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/EP2020/057455

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H02M3/158 H02M1/00 H02M1/15 ADD.		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE Documentation minimale consultée (système de classification suivi des symboles de classement) H02M G05F		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 2004/120169 A1 (SCHROM GERHARD [US] ET AL) 24 juin 2004 (2004-06-24) figures 1-2 alinéa [0002] - alinéa [0007] -----	1-6
Y	US 2005/083024 A1 (HARRIS MATTHEW B [US] ET AL) 21 avril 2005 (2005-04-21) figures 1-3 alinéa [0005] alinéa [0023] - alinéa [0025] alinéa [0036] - alinéa [0037] -----	1-6
Y	US 9 912 240 B1 (NGUYEN JAMES [US] ET AL) 6 mars 2018 (2018-03-06) figures 1-3 colonne 2, ligne 24 - colonne 3, ligne 7 colonne 4, ligne 64 - colonne 5, ligne 12 colonne 6, ligne 12 - ligne 35 ----- -/-	1-6
☒ Voir la suite du cadre C pour la fin de la liste des documents ☒ Les documents de familles de brevets sont indiqués en annexe		
* Catégories spéciales de documents cités: "A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée "T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée 26 mai 2020		Date d'expédition du présent rapport de recherche internationale 04/06/2020
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé Riehl, Philippe

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	US 2005/212502 A1 (CASEY CHARLES A [US] ET AL) 29 septembre 2005 (2005-09-29) figure 1 alinéa [0012] - alinéa [0018] -----	1-6

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/EP2020/057455

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2004120169	A1	24-06-2004	AUCUN	

US 2005083024	A1	21-04-2005	CN 1609742 A	27-04-2005
			TW I281771 B	21-05-2007
			US 2005083024 A1	21-04-2005

US 9912240	B1	06-03-2018	CN 107565818 A	09-01-2018
			US 9912240 B1	06-03-2018

US 2005212502	A1	29-09-2005	CN 1677814 A	05-10-2005
			HK 1081335 A1	29-07-2011
			TW I351811 B	01-11-2011
			US 2005212502 A1	29-09-2005
