



(12) 发明专利

(10) 授权公告号 CN 101548328 B

(45) 授权公告日 2014. 04. 23

(21) 申请号 200780044726. 3

G06F 12/00 (2006. 01)

(22) 申请日 2007. 12. 04

G11C 19/00 (2006. 01)

(30) 优先权数据

G11C 7/22 (2006. 01)

11/567, 551 2006. 12. 06 US

G11C 8/18 (2006. 01)

H03M 9/00 (2006. 01)

(85) PCT国际申请进入国家阶段日

2009. 06. 03

(56) 对比文件

US 2006031593 A1, 2006. 02. 09, 全文.

(86) PCT国际申请的申请数据

US 2004148482 A1, 2004. 07. 29, 全文.

PCT/CA2007/002183 2007. 12. 04

审查员 吴士芬

(87) PCT国际申请的公布数据

W02008/067659 EN 2008. 06. 12

(73) 专利权人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 潘弘柏 吴学俊

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇 徐丁峰

(51) Int. Cl.

G11C 7/10 (2006. 01)

G06F 1/04 (2006. 01)

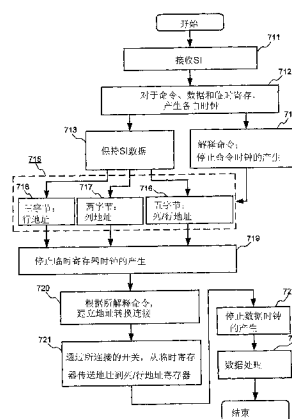
权利要求书1页 说明书18页 附图24页

(54) 发明名称

用于捕获串行输入数据的设备和方法

(57) 摘要

一种串行输入处理设备提供在命令译码器以高频率执行命令解释时如何捕获串行数据且无单个位的损失。使用多个时钟, 锁存预定序列的串行位的单个字节并且临时存储位流。在传送字节信息到指定地址寄存器以寄存地址之前执行临时存储。通过在时钟前沿锁存串行输入的所有位流, 执行地址寄存和数据寄存。当处于高频操作中(例如, 1GHz 或者 1ns 周期时间), 由于命令位流解释和下一个位数据流之间的足够的时间容限, 则不需要附加的寄存器用来在命令解释期间存储位数据。



1. 一种用于捕获串行互连配置的多个装置中的串行输入中包含的数据的设备,所述装置的每一个具有用于接收串行输入数据的串行输入连接和用于提供串行输出数据的串行输出连接,所述设备包括:

用于根据预定序列接收包括操作命令、地址和数据的串行输入的串行输入电路,所述串行输入被分组为表示操作命令、地址和数据的输入位流中的字节;

用于连续地存储包括在所接收的串行输入中的所述命令的位流的命令存储电路;

用于解释存储在所述命令存储电路中的操作命令的命令解释器;

用于连续地临时存储包括在所接收的串行输入中的所述地址和所述数据的输入位流的临时保持电路,同时所述操作命令被解释;以及

用于响应所述命令解释器解释的操作命令来选择性地将所述临时保持电路连接到地址寄存器的地址转换电路,其中,所述地址寄存器用于存储所述临时保持电路中临时存储的所述位流的地址。

2. 一种用于捕获串行互连配置的多个装置中的串行数据的方法,所述装置的每一个具有用于接收串行输入数据的串行输入连接和用于提供串行输出数据的串行输出连接,所述方法包括:

根据预定序列接收包括操作命令、地址和数据的串行输入,串行输入被分组为表示操作命令、地址和数据的输入位流中的字节;

在命令寄存器中连续存储所述操作命令的位流;

译码存储在所述命令寄存器中的操作命令;

连续临时存储所述地址和所述数据的所述输入位流,同时所述命令被译码;并且

响应被译码的操作命令,选择性地提供临时存储的所述地址的输入位流到地址寄存器。

用于捕获串行输入数据的设备和方法

[0001] 相关申请

[0002] 本申请要求 2006 年 12 月 6 日提交的美国专利申请 11/567551 的优先权的权益。

技术领域

[0003] 本发明总地涉及数据处理设备和方法。更具体地,本发明涉及用于处理和捕获串行输入数据的设备和方法。

背景技术

[0004] 当前消费电子装置使用存储器装置。例如,诸如数码照相机、便携式数字助理、便携式音频/视频播放器和移动终端的移动电子装置一直以来要求大容量存储器,优选的是具有不断增加容量和速度能力的非易失性存储器。由于在没有电力的情况下保持数据,因此优先选择非易失性存储器和硬盘驱动器,从而延长了电池寿命。

[0005] 虽然,现有存储器装置对于许多目前的消费电子装置以足够速度操作,但是这样的存储器装置用于要求高数据速率的未来电子装置和其他装置中可能并不足够。例如,记录高分辨率移动图像的移动多媒体装置可能要求存储模块比使用当前存储器技术的存储器模块具有更大的编程吞吐量。虽然这样的解决方案看起来简单,但是以这样的高频率,信号质量存在问题,这在存储器的操作频率上设定了实际的限制。存储器使用一组并行输入/输出(I/O)引脚和其它部件通信,引脚的数量依赖于所期望的配置。I/O 引脚接收命令指令和输入数据并且提供输出数据。这公知为并行接口。例如,高速操作可以导致诸如串扰、信号扭曲和信号衰减的通信退化效应,从而降低信号质量。

[0006] 为了在系统板上实现较高密度和较快速度操作的结合,存在两种设计技术:串行互连配置和诸如多点的并行互连配置。这些设计技术可以被用来克服决定硬盘与存储器系统之间存储交换的成本和操作效率的密度问题。但是,多点相对于存储器系统的串行互连具有缺陷。例如,如果多点存储器系统的数量增加,结果每一引脚的负载效应、延迟时间也增加,使得通过由存储器装置的线电阻-电容负载和引脚电容量引发的多点连接削弱了多点系统的总性能。诸如存储器装置的装置中的串行链路可以使用单引脚输入来串行接收所有的地址、命令和数据。串行链路可以提供串行互连配置,以通过该串行互连配置来有效地控制命令位、地址位和数据位。通过提供串行互连配置,存储器装置识别符(ID)号码被分配给链配置上的每一装置。存储器装置可以是动态随机存取存储器(DRAM)、静态随机存取存储器(SRAM)或者闪存存储器。

[0007] 对于较低速操作系统应用,可以接受捕获数据流的逻辑电路组合。但是,在高速操作的情况下,由于在命令解释期间的快时钟操作,不能确保从单个串行端口到指定寄存器的正确的数据捕获。

发明内容

[0008] 根据本发明的一个方面,提供了一种用于根据预定序列处理包括所述命令、地址

和数据的串行输入(SI)的方法,所述串行输入对于表示该命令、地址和数据的所有位流被分组。所述方法包括:接收所述SI;保持所接收的SI的位流;独立于保持所述位流,解释所接收的SI的命令;并且响应所解释的命令并基于所接收的SI来存取存储器。

[0009] 例如,在实施保持的步骤期间,实施解释的步骤。所述解释的步骤包括:存储所接收的SI的命令;并且译码所存储的命令以确定所述命令的操作控制模式。

[0010] 所述方法可以包括接收使能输入。响应所接收的使能输入,启用SI的命令的接收。

[0011] 优选地,响应所确定的操作控制模式,分别产生第一和第二时钟。所述第一时钟被用于解释所述命令。所述第二时钟被用于保持所述位流。根据所确定的操作控制模式,在解释步骤完成后停止所述第一时钟的产生,并且在第一时钟产生停止之后停止第二时钟的产生。

[0012] 例如,所述存取的步骤包括捕获所接收的SI的数据。基于所捕获的数据,所接收的SI中的位流的地址被临时存储并且传送所述临时存储的地址以存取所述存储器。

[0013] 优选地,所述传送的步骤包括响应所述操作控制模式建立所述临时存储的地址的路径,使得通过其传送所述临时存储的地址。根据所述操作控制模式来提供传送路径信息以建立所述临时存储的地址的路径。

[0014] 在另一个示例中,通过预定的路径传送所述临时存储的地址。在该示例中,不需要根据所述操作控制模式选择路径。

[0015] 根据本发明的另一方面,提供根据预定序列用于处理包括命令、地址和数据的串行输入(SI)的设备,所述串行输入对于表示该命令、地址和数据的所有输入位流被分组并且用于存取用于数据处理的存储器。所述设备包括:用于临时存储所述SI的位流的临时保持电路;用于独立于由所述临时保持电路临时保持的所述位流来解释所述SI的命令的解释电路;以及用于响应所解释的命令并基于所述SI来存取所述存储器的数据处理电路。

[0016] 例如,所述解释电路包括:用于存储所述命令的存储电路;以及用于译码所存储的命令以确定所述命令的操作控制模式的译码电路。

[0017] 所述设备还可以包括:用于响应所述操作控制模式产生操作时钟的时钟发生电路,以及用于存储临时保持电路中临时存储的所述位流的地址以存取所述存储器的地址寄存器电路。

[0018] 例如,所述临时保持电路包括串行连接的J个临时寄存器,使得一个寄存器转发其所存储的位流到下一个寄存器。所述地址寄存器电路包括用于存储从所述J个临时寄存器传送的地址的J个地址寄存器,J为大于1的整数。

[0019] 所述路径电路可以包括用于根据所述操作控制模式的地址转换信息在所述J个临时寄存器和所述J个地址寄存器之间选择地址传送路径的转换电路。

[0020] 所述路径电路可以包括用于通过其从所述J个临时寄存器传送所述临时存储的地址到所述J个地址寄存器的预定传送路径。

[0021] 根据所述实施例,可以使用内部产生的多个时钟在不丢失任何位情况下捕获输入端口的串行输入,通过该多个时钟,命令、地址和数据被锁存在所指定的寄存器中。在本发明的实施例中,通过新类型的多时钟数据捕获和运行中数据锁存,串行输入处理设备使用内部产生的多个时钟在不丢失任何位情况下捕获串行输入,通过该多个时钟所指定的寄存

器锁存命令、地址和数据。

[0022] 根据本发明的一个实施例,提供一种用于控制临时寄存器和产生多个时钟以锁存位数据流而不是使用单个公共时钟的装置。在此实施例中,在串行命令位和下一个位流之间不需要间隔时间来译码命令。这样提高了闪烁存储器接口的速度。

[0023] 根据本发明的又一方面,提供包括串行互连配置中的多个装置的设备,所述装置的每一个具有用于接收串行输入数据的串行输入连接和用于提供串行输出数据的串行输出连接,所述装置的每一个具有用于捕获串行数据的部件。所述装置包括用于根据预定序列接收命令、地址和数据的串行输入(SI)的串行输入电路,对于表示该命令、地址和数据的所有输入位流其以字节为基础被分组;用于临时存储所接收的 SI 的位流的临时保持电路;用于独立于由所述临时保持电路保持的所述命令来解释所述 SI 的命令的解释电路;以及用于响应所解释的命令并基于所接收的 SI 来存取所述存储器的数据处理电路。

[0024] 根据本发明的又另一方面,提供用于捕获串行互连配置中的多个装置中的串行输入(SI)中包含的数据的设备,所述装置的每一个具有用于接收串行输入数据的串行输入连接和用于提供串行输出数据的串行输出连接,所述设备被采用在所述装置的至少一个中。所述设备包括用于根据预定序列来接收命令、地址和数据的 SI 的串行输入电路(SI),对于表示该命令、地址和数据的所有输入位流其以字节为基础被分组;用于存储所述命令数据的位流的命令接收电路;用于译码存储在所述命令寄存器中的命令数据的命令解释电路;用于临时存储位流的临时保持电路,所述命令数据在命令寄存器中被译码;以及用于根据命令译码器译码的命令建立从所述临时寄存器到地址寄存器的连接的地​​址转换电路。

[0025] 根据本发明的又另一方面,提供用于捕获串行互连配置中的多个装置中的串行数据的方法,所述装置的每一个具有用于接收串行输入数据的串行输入连接和用于提供串行输出数据的串行输出连接。所述方法包括:用于根据预定序列来接收命令、地址和数据的串行数据输入,对于表示该命令、地址和数据的所有输入位数据流其被分组为基于字节的数据;连续存储所述命令数据的位流;译码存储在所述命令寄存器中的命令数据;连续临时存储位流,同时在命令寄存器中译码所述命令数据;并且根据命令译码器译码的命令建立从所述临时寄存器到地址寄存器的连接。

[0026] 通过阅读结合附图的本发明的以下具体实施例描述,对于本领域内的普通技术人员而言,本发明的其他方面和特征将变得明显。

附图说明

[0027] 仅通过示例,参考附图,现在描述本发明的实施例,其中:

[0028] 图 1 为示出使用本发明的一个实施例所应用到的串行互连实现的存储器装置的框图;

[0029] 图 2A 示出存储器装置的单数据速率(SDR)操作的时序图;

[0030] 图 2B 示出存储器装置的双数据速率(DDR)操作的时序图;

[0031] 图 3A、3B 和 3C 示出用于图 1 中所示本发明的实施例中的串行输入信号的配置;

[0032] 图 4A 为示出包括在图 1 中所示装置中的装置处理电路的框图;

[0033] 图 4B 为图 4A 中所示的装置处理电路的操作的流程图;

[0034] 图 5A、5B 和 5C 示出根据本发明的实施例的图 1 中所示的其中一个装置;

- [0035] 图 6 为示出图 5C 中所示的命令解释器的框图；
- [0036] 图 7 为示出图 6 中所示的命令分类器的框图；
- [0037] 图 8 为示出图 6 中所示的内部时钟发生器的框图；
- [0038] 图 9A 为示出包括在图 5A 中所示内部时钟发生器中的命令寄存器时钟发生器的框图；
- [0039] 图 9B 为示出图 8 中所示的临时寄存器时钟发生器和数据寄存器时钟发生器的框图；
- [0040] 图 10 为图 5A、5B 和 5C 中所示实施例的信号的相对时序图；
- [0041] 图 11 为示出图 6 中所示的地址转换控制器的框图；
- [0042] 图 12 为示出图 5A、5B 和 5C 中所示实施例的串行输入控制操作的流程图；
- [0043] 图 13A、13B 和 13C 示出用于图 1 中所示装置的另一个实施例中的串行输入信号的配置；
- [0044] 图 14A、14B 和 14C 示出根据本发明的另一个实施例的图 1 中所示的其中一个装置；
- [0045] 图 15 为示出图 14C 中所示的命令解释器的框图；
- [0046] 图 16 为示出图 14A、14B 和 14C 中所示其他实施例的串行输入控制操作的流程图；
- [0047] 图 17 为示出图 6 中所示的内部时钟发生器的另一个示例的框图；
- [0048] 图 18A 为示出包括在图 17 中所示内部时钟发生器中的命令寄存器时钟发生器的框图；
- [0049] 图 18B 为示出图 17 中所示的临时寄存器时钟发生器和数据寄存器时钟发生器的框图；和
- [0050] 图 19 为图 17 中所示内部时钟发生器的信号的相对时序图。

具体实施方式

[0051] 在对本发明实例实施例的下面的详细描述中，将参照作为其中一部分的说明书附图，并且其中通过本发明可以实施的具体实例实施例的图解示出。这些实施例描述的足够详细，以使本领域普通技术人员能够实现本发明，应当理解，也可使用其他实施例，并且可以在不脱离本发明范围的情况下做出逻辑上的、电学上的和其他改变。因此，下面的详细描述不应理解成限制本发明，并且本发明的范围由所附的权利要求确定。

[0052] 总地，本发明提供用于捕获串行输入数据的设备和方法。现在将结合例如 MISL（多个独立串行链路）的串行互连存储器装置来描述本发明的实施例。MISL 接口包括闪烁存储器中的输入 / 输出电路，用于提升操作性能，而无需改变核心结构。这是闪烁存储器的接口和数据处理的革新。由于闪存单元结构的限制和单元的固有的低性能，闪存性能的提升已经是存储器工业中要解决的关键问题。包括闪烁存储器核心的大部分产品具有分别同时锁存所有的地址位、所有的命令位和所有的数据位的并行端口。串行链路使用用于串行接收所有地址、命令和数据的单个引脚输入。在 2005 年 12 月 30 日提交的美国专利申请 11/324023、2006 年 3 月 28 日提交的美国临时专利申请 60/787710 题目为“存储器装置的串行互连”、以及 2006 年 5 月 23 日提交的美国临时专利申请 60/802645 题目为“存储器装置的串行互连”中描述了 MISL 的细节。

[0053] MISL 提供十分独特的输入序列以支持具有串行输入端口的不同的操作模式。因此,根据命令输入的类型,改变随后的位流的字节长度以及输入字节的总数。在大于 200MHz 的高频操作中,如果直到命令位解释完成才会有临时寄存器来保持位数据,由于在命令解释期间的快速时钟操作,则不能确保从单个串行端口捕获到指定寄存器的正确数据。如所知的闪烁存储器中,根据命令输入,可以改变命令字节之后的随后字节配置和长度。

[0054] 为了不丢失输入端口处接收的任何单个位地捕获数据,单个时钟控制和快速逻辑被用于迅速接收数据的下一字节的之前方案由于系统应用中的以十分高的频率时钟高速操作而不适合。

[0055] MISL 采用串行输入和输出端口,使得如果由串行互连将命令和地址连同来自存储器核心的真实数据输出结果组合在一起,则输出缓冲器将该命令和地址传送到下一个装置。在数据输出的情况下,对于命令和地址串行字符串,相关的输出缓冲器由 OPE (输出端口使能器) 控制,而输入缓冲器由 IPE (输入端口使能器) 启用。对于输出缓冲器仅 OPE 控制不允许传送命令和地址串行字符串到下一个装置。该功能仅在串行连接中有效。甚至单个装置可以具有相同的功能,来维持对于单个装置的相同水平的控制。

[0056] MISL 接口将使用数个串行到并行寄存器来捕获串行数据并且关于所有的输入位数据流将其分组为基于字节的数据。根据来自系统控制器的串行数据格式的预定序列,仅有单个引脚 SI (串行输入) 接收命令、地址和数据。

[0057] 图 1 示出采用串行连接实施的存储器装置,其中串行和单个输入和输出端口被用于存储器系统中所连接的多个存储器装置或者串行互连的装置。在图 1 中,装置被串行连接。每个矩形框表示一个存储器装置。每个存储器装置的核心可包括动态随机存取存储器 (DRAM) 单元、静态随机存取存储器 (SRAM) 单元、闪烁存储器单元等。如图 1 中所示,串行输入端口 (SIP) 和串行输出端口 (SOP) 被串行连接在相邻存储器装置之间,但是每一装置的时钟输入 (CLK) 与公共链路相连。在此示例中,例如通过时钟的负载,能够确定存储器系统的性能。图 1 能够可选择地称为混合类型的串行互连。

[0058] 该时钟被用于锁存输入数据流到预定寄存器,以在存储器核心操作开始之前存储位信息。该实施例具有根据接口类型被锁存在时钟的上升沿或者时钟的两个边沿 (上升和下降) 的串行输入 (SI)。例如,如果采用单数据速率 (SDR) 作为系统的接口类型,则时钟的上升沿锁存输入数据。在双数据速率 (DDR) 接口类型的情况中,时钟的两个边沿锁存输入流来加速写和读操作。通过 SDR 或 DDR 操作可以处理所有的数据类型 (装置号码数据、命令数据、地址数据、输入数据)。可以采用两种类型的数据速率接口 (SDR 或者 DDR)。同样,也可以使用诸如 QDR (四倍数据速率) 等其他类型的接口。

[0059] 参考图 1,时钟被共同馈送到装置。在此示例中,片选择信号 111 被共同馈送到所有装置的片选择输入 CS。例如,串行连接的装置为第一装置 113-1 到第四装置 113-4。当片选择信号 111 为逻辑“低”,第一装置 113-1 到第四装置 113-4 在同一时间被启用,使得包含在串行输入 (SI) 信号 115 中的输入数据通过所有的装置激活从第一装置 113-1 被传送到最后装置 113-4。当数据通过该装置被传送时存在时钟延迟。在串行连接中,串行时钟信号 117 被共同馈送到配置存储器系统的串行互连的装置 113-1 到 113-4 的时钟输入 CLK。第一装置 113-1 通过馈送到其输入端口使能输入 IPE 的输入端口使能信号 119 被启用以处理数据,并且其数据输出操作通过馈送到其输出端口使能输入 OPE 的输出端口使能信号 121

来启用。第一装置 113-1 从其输入端口使能输出 IPEQ 和输出端口使能输出 OPEQ 提供输入端口使能输出信号 133-1 和输出端口使能输出信号 135-1 到第二装置 113-2。相同地,其他装置 113-2 到 113-4 的每一个通过馈送到其 IPE 和 OPE 输入的各自输入和输出使能信号来启用,并且输入端口使能和输出端口使能输出信号从其 IPEQ 和 OPEQ 输出被提供。

[0060] 片选择信号 111、串行输入信号 115、时钟信号 117、输入端口使能信号 119 和输出端口使能信号 121 由存储器控制器(未示)提供。第一装置 113-1 到第三装置 113-3 的串行输出信号 131-1 到 131-3、输入端口使能输出信号 133-1 到 133-3 和输出端口使能输出信号 135-1 到 135-3 被分别提供给下一个装置 113-2 到 113-4。第四装置 113-4 也提供串行输出信号 131-4、输入端口使能输出信号 133-4 和输出端口使能输出信号 135-4。串行输出信号 131-4 为装置的整个串行互连的串行输出信号。

[0061] 第一装置 113-1 到第四装置 113-4 分别在其中具有第一装置处理电路 210-1 到第四装置处理电路 210-4。每一个装置处理电路响应串行输入信号和控制信号执行控制其装置和数据处理的功能。每一个装置的被处理的数据被提供给下一个装置。

[0062] 图 2A 示出存储器装置的单数据速率(SDR)操作的相对时序。图 2B 示出存储器装置的双数据速率(DDR)操作的相对时序。每幅图示出一个端口中的操作。在 SDR 和 DDR 操作的每一个中,片选择信号被共同连接以同时启用所有的装置,使得第一装置的输入数据被传送到最后一个装置。

[0063] 对于所有的位流,串行输入中的命令、地址和数据的序列结构被预定和分组。命令定义的一个示例组为:(i) 仅有命令;(ii) 命令 + 一个字节数据;(iii) 命令 + 列地址;(iv) 命令 + 列地址 + 2112 字节数据;(v) 命令 + 列和行地址 + 2112 字节数据;(vi) 命令 + 列和行地址;(vii) 命令 + 行地址;和(viii) 命令 + 行地址 + 2112 字节数据。因此,串行输入位流的结构是灵活的,并且命令之后的位分配不固定。

[0064] 图 3A、3B 和 3C 描绘提供给图 1 中示出的第一装置 113-1 的串行输入信号 115 的配置。虽然被分组的位流包括装置号(DN)(一个字节),但是此处并未示出。图 3A 中所示的配置为上面(v)命令 + 列和行地址 + 2112 字节数据(两个字节的列地址和三个字节的行地址)的示例。图 3B 中所示的配置为上面(iv)命令 + 列地址 + 2112 字节数据(两个字节的列地址)的示例。图 3C 中所示的配置为上面(viii)命令 + 行地址 + 2112 字节数据(三个字节的行地址)的示例。

[0065] 响应时钟信号 117 的每一个脉冲来提供串行输入中的每一个数据位。在此示例中,表示命令位 C7-C0 的第一个八位(即,一个字节)与时钟 P₀-P₇ 同步。在图 3A 所示的示例中,(两个字节的)列地址位 CA15-CA0 与时钟 P₂₄-P₃₉ 同步,(三个字节的)行地址位 RA23-RA0 与时钟 P₄₀-P₆₃ 同步,并且(2112 字节的)数据位 Data 16895、16894……与时钟 P₆₄ 等等同步。在图 3B 所示的示例中,(两个字节的)列地址位 CA15-CA0 与时钟 P₂₄-P₃₉ 同步,(2112 字节的)数据位 Data 16895、16894……与时钟 P₄₀ 及其后同步。在图 3C 所示的示例中,(三个字节的)行地址位 RA23-RA0 与时钟 P₂₄-P₄₇ 同步,并且(2112 字节的)数据位 Data 16895、16894……与时钟 P₄₈ 及其后同步。串行输入包括其他信息数据,例如体地址和装置地址(未示)。串行输入位流中的命令配置是灵活的。串行输入的配置根据特定应用可以被不同安排。

[0066] 图 4A 示出图 1 中所示的第一装置处理电路 210-1 到第四装置处理电路 210-4 的

每一个的示例实现。图 4B 示出图 4A 中所示的装置处理电路的操作。参见图 4A 和 4B, 代表装置处理电路的装置处理电路 210-1 包括串行输入(SI) 位保持电路 220、命令解释电路 230、处理电路 240 和存储器电路 250。对于所有位流串行输入 SI 包括根据预定序列并且被分组的命令、地址和数据。装置处理电路 210-i 接收位流。串行输入 SI 的位被保持在串行位保持电路 220 中(步骤 261)。命令解释电路 230 解释串行输入 SI 的命令位(步骤 262)。独立于命令解释执行位保持。响应所解释的命令和所保持的 SI 位, 处理电路 240 通过存取存储器电路 250 执行数据处理(步骤 263)。所处理的数据通过串行输出端口(SOP) 被输出到下一个装置。在示例中, 并行执行命令解释和位保持。执行命令解释, 同时执行位保持是优选的示例。

[0067] 图 5A、5B 和 5C 示出图 1 中所示的第一装置 113-1 的详细电路。第二装置 113-2 到第四装置 113-4 的每一个具有和第一装置 113-1 相同的结构。第一装置 113-1 接收如图 3 中所示的串行输入。

[0068] 参见图 5A-5C, 串行输入信号 115 包含串行输入信号格式的、并且通过串行输入端口(SIP) 馈送到 SIP 输入缓冲器 311 的命令、地址和数据。串行输入信号 115 被馈送到命令寄存器 317、数据寄存器 319 和具有多个临时寄存器(J 个寄存器, J 为大于 1 的整数) 的临时寄存器块 320。在此特定示例中, 临时寄存器块 320 包括五(=J) 个寄存器: 即第一临时寄存器 321、第二临时寄存器 323、第三临时寄存器 325、第四临时寄存器 327 和第五临时寄存器 329。命令寄存器 317、数据寄存器 319 和第一临时寄存器 321 的每一个顺序接收串行输入信号 115 中包含的命令、地址和数据。

[0069] 时钟信号 117 和输入端口使能信号 119 分别通过时钟输入缓冲器 337 和 IPE 输入缓冲器 339 被馈送到内部时钟发生器 335。内部时钟发生器 335 从命令解释器 343 接收三位的操作模式组信号 341, 使得发生器 335 被启用来产生时钟。内部时钟发生器 335 本地产生命令寄存器时钟信号 345、数据寄存器时钟信号 347 和临时寄存器时钟信号 349。命令寄存器时钟信号 345 被馈送到命令寄存器 317。数据寄存器时钟信号 347 被馈送到数据寄存器 319。临时寄存器时钟信号 349 被馈送到临时寄存器块 320 的第一临时寄存器 321 到第五临时寄存器 329。

[0070] 响应至 SIP 的串行输入信号 115 上的数据, 命令寄存器 317 提供所寄存的命令输出信号 397 到命令解释器 343, 其提供操作模式组信号 341 给内部时钟发生器 335。同样, 命令解释器 343 提供 M 位的所译码的指令信号 398 和 n 位的地址转换控制信号 399。地址转换控制信号 399 被馈送到地址转换电路 371。所译码的指令信号 398 被馈送到控制器 / 数据处理器 370。控制器 / 数据处理器 370 接收时钟信号 117、片选择信号 111、输入端口使能信号 119 和输出端口使能信号 121。控制器 / 数据处理器 370 控制装置并且分别提供输入端口使能输出信号 133-1 和输出端口使能输出信号 135-1。同样, 控制器 / 数据处理器 370 接收所寄存的数据输出信号 359 并且执行对存储器 372 的数据存取(写和 / 或读) 的功能。响应片选择信号 111、时钟信号 117 和输出端口使能信号 121 输出所处理的数据。所输出的数据被包括在串行输出信号 131-1 中。

[0071] 在临时寄存器块 320 中, 第一临时寄存器 321 到第五临时寄存器 329 串行连接。响应馈送到临时寄存器时钟信号 349 的时钟, 存储在一个寄存器中的八位数据被移出并且移入下一个寄存器。来自第一临时寄存器 321 的第一临时地址信号 351 被馈送到第二临时

寄存器 323, 来自第二临时寄存器 323 的第二临时地址信号 353 被馈送到第三临时寄存器 325。来自第三临时寄存器 325 的第三临时地址信号 355 被馈送到第四临时寄存器 327, 来自第四临时寄存器 327 的第四临时地址信号 357 被馈送到第五临时寄存器 329。

[0072] 来自第一临时寄存器 321 到第五临时寄存器 329 的、每一个都是八位信号的第一临时地址输出信号 361 到第五临时地址输出信号 369 被馈送到包括具有不同逻辑门、传输门、三态反相器的多个内部逻辑转换(未示)的地址转换电路 371。地址转换电路 371 传送第一到第五临时地址输出信号到具有多个地址寄存器(J 个寄存器)的地址寄存器块。在实施例中, 地址寄存器块包括具有 K 个寄存器的列地址寄存器块 381 和具有(J-K) 个寄存器的行地址寄存器块 395, K 为大于 1 的整数。在此特定示例中, K 为 2。地址转换电路 371 提供第一列地址输入信号 373 和第二列地址输入信号 375 分别到列地址寄存器块 381 的第一列寄存器 377 和第二列寄存器 379, 并且提供第一行地址输入信号 383、第二行地址输入信号 385 和第三行地址输入信号 387 分别到行地址寄存器块 395 的第一行寄存器 389、第二行寄存器 391 和第三行寄存器 393。

[0073] 响应列地址锁存信号 382, 第一列地址输入信号 373 和第二列地址输入信号 375 的每一个的八位数据分别同时被锁存在第一列寄存器 377 和第二列寄存器 379 中。同样, 响应行地址锁存信号 384, 第一行地址输入信号 383、第二行地址输入信号 385 和第三行地址输入信号 387 的每一个的八位数据分别同时被锁存在第一行寄存器 389、第二行寄存器 391 和第三行寄存器 393 中。响应列地址读出信号 386, 读出第一列寄存器 377 和第二列寄存器 379 中锁存的每一个八位数据。响应行地址读出信号 388, 读出第一行寄存器 389、第二行寄存器 391 和第三行寄存器 393 中锁存的每一个八位数据。列地址锁存信号 382、行地址锁存信号 384、列地址读出信号 386 和行地址读出信号 388 由控制器 / 数据处理器 370 提供。从寄存器 377、379、389、391 和 393 读出的八位数据分别包含在被馈送到控制器 / 数据处理器 370 的第一列地址信号 378、第二列地址信号 380、第一行地址信号 390、第二行地址信号 392 和第三行地址信号 394 中。

[0074] 图 6 示出图 5C 中所示的命令解释器 343 的更详细的电路。命令解释器 343 为用于根据输入命令类型来控制本地和内部时钟产生和地址转换电路的组合逻辑电路。参见图 6, 具有八位命令位的所寄存的命令输出信号 397 被馈送到命令译码器 451, 命令译码器 451 随之提供具有作为内部指令而被提供的 M 位的所译码的指令信号 398。基于所寄存的命令输出信号 397 的“命令位”输入, 从命令译码器 451 产生内部指令。M 位指示被执行到装置中的指令的数量。所译码的指令信号 398 被馈送到命令分类器 455, 命令分类器 455 随之提供操作模式组信号 341 到地址转换控制器 461。通过命令分类器 455, 确定装置控制的预定的命令类别。根据所确定的控制类别, 操作模式组信号 341 被产生并且被馈送到地址转换控制器 461。操作模式组信号 341 包含三位操作模式信号 OPM1、OPM2 和 OPM3。操作模式信号 OPM1、OPM2 和 OPM3 的产生将在随后参考图 7 描述。

[0075] 地址转换控制器 461 提供具有 n 位包含转换控制信号 SW1、SW1*、SW2、SW2*、SW3 和 SW3* 的地址转换控制信号 399。信号 SW1、SW1*、SW2、SW2*、SW3 和 SW3* 的产生随后将在下面参考图 11 描述。参考图 5A-5C 和图 6, 三位的操作模式组信号 341 作为操作模式组信号 341 提供给内部时钟发生器 335。如上所述, 响应临时寄存器时钟信号 349, 临时寄存器块 320 的寄存器存储列和行地址。通过输入命令建立地址的序列。使用操作模式信号, n 位控

制被产生并且发送到地址转换电路 371。

[0076] 图 7 示出图 6 中所示的命令分类器 455 的更详细的电路。命令分类器 455 从图 6 中所示的命令译码器 451 接收所译码的指令信号 398。参考图 7, 命令分类器 455 包括第一命令逻辑电路 471、第二命令逻辑电路 473 和第三命令逻辑电路 475 以及第一操作模式信号发生器 511、第二操作模式信号发生器 513 和第三操作模式信号发生器 515。第一命令逻辑电路 471 包括两个或非门 541 和 543 以及与非门 545。第二命令逻辑电路 473 包括三个或非门 561、563 和 565 以及与非门 567。第三命令逻辑电路 475 包括三个或非门 581、583 和 585 以及与非门 587。

[0077] 在此示例中, SI 的命令为“页面读出”、“随机数据输入”、“写配置”、“体选择”、“随机数据读出”、“页面读出复制”、“用于复制的目标地址”、“块擦除”和“串行数据输入”。也包括其他的命令。这些命令(由八位命令位表示)由命令解释器 343 的命令译码器 451 译码并且因此被提供作为 M 位包含多个所译码的信号 481-489 的所译码的指令信号 398。信号 481 包含所译码的页面读出命令。信号 482 包含所译码的随机数据输入命令。信号 483 包含所译码的写配置命令。信号 484 包含所译码的体选择命令。信号 485 包含所译码的随机数据读出命令。信号 486 包含所译码的页面读出复制命令。信号 487 包含所译码的用于复制命令的目标地址。信号 488 包含所译码的块擦除命令。信号 489 包含所译码的串行数据输入命令。

[0078] 页面读出命令信号 481 和随机数据输入命令信号 482 被馈送到或非门 541。写配置命令信号 483 和体选择命令信号 484 被馈送到或非门 543。或非门 541 和 543 的逻辑输出信号被馈送到与非门 545, 与非门 545 的输出被提供作为第一命令逻辑电路 471 的第一命令逻辑信号 547。信号 547 被馈送到第一操作模式信号发生器 511。

[0079] 随机数据读出命令信号 485 和页面读出复制命令信号 486 被馈送到或非门 561。用于复制命令信号 487 的目标地址和随机数据输入命令信号 482 被馈送到或非门 563。块擦除命令信号 488 和体选择命令信号 484 被馈送到或非门 565。来自或非门 561、563 和 565 的逻辑输出信号被馈送到与非门 567, 与非门 567 的输出被提供作为第二命令逻辑电路 473 的第二命令逻辑信号 569。信号 569 被馈送到第二操作模式信号发生器 513。

[0080] 页面读出命令信号 481 和页面读出复制命令信号 486 被馈送到或非门 581。用于复制命令信号 487 的目标地址和串行数据输入命令信号 489 被馈送到或非门 583。块擦除命令信号 488 和体选择命令信号 484 被馈送到或非门 585。来自或非门 581、583 和 585 的逻辑输出信号被馈送到与非门 587, 与非门 587 的输出被提供作为第三命令逻辑电路 475 的第三命令逻辑信号 589。信号 589 被馈送到第三操作模式信号发生器 515。

[0081] 第一操作模式信号发生器 511、第二操作模式信号发生器 513 和第三操作模式信号发生器 515 也接收改变标志信号 521 和复位信号 523。第一操作模式信号发生器 511、第二操作模式信号发生器 513 和第三操作模式信号发生器 515 分别提供由操作模式组信号 341 包含的第一操作模式信号 549、第二操作模式信号 571 和第三操作模式信号 591 (“OPM1”、“OPM2”和“OPM3”)。

[0082] 图 8 示出图 5A 中所示的内部时钟发生器 335 的更详细的电路。参考图 5A 和图 8, 内部时钟发生器 335 包括命令寄存器时钟发生器 415、临时寄存器时钟发生器 417 和数据寄存器时钟发生器 419。如图 9A 所示, 命令寄存器时钟发生器 415 包括具有用于接收时钟信

号 117 的时钟输入 IN 和用于接收输入端口使能信号 119 的使能输入 EN 的 N 计数器 421。计数器 421 具有用于提供其计数输出信号 423 到与门 425 的计数输出 OUT, 与门 425 随之提供命令寄存器时钟信号 345。时钟信号 117 也被馈送到与门 425。计数器 421 通过输入端口使能信号 119 激活并且计数时钟信号 117 的脉冲。当计数达到 N(例如, 8), 计数停止, 使得命令寄存器 317 中的 SI 的寄存结束。在计数 N(即, 对应于一个字节的八个时钟周期)期间, 计数输出信号 423 为“高”。因此, 通过响应计数输出信号 423 来门控, 与门 425 输出将包含在命令寄存器时钟信号 345 中的 N(即, 8) 个时钟。在此示例中, N 表示命令的位的数量(参见图 3A-3C)。

[0083] 图 9B 示出图 8 中所示的临时寄存器时钟发生器 417 和数据寄存器时钟发生器 419 的更详细的电路。参考图 9B, 临时寄存器时钟发生器 417 包括计数器 431、计数确定电路 433、极限值电路 435 和与门 437。极限值电路 435 包括临时寄存译码器 436 和寄存器 437。计数器 431 通过馈送到其使能输入 EN 的输入端口使能信号 119 激活, 并且之后连续计数馈送到其计数输入 IN 的时钟信号 117 的脉冲。包含在操作模式组信号 341 中的三位操作模式信号 OPM1、OPM2 和 OPM3 被馈送到极限值电路 435 的译码器 436。译码器 436 译码 OPM1、OPM2 和 OPM3 并且其所译码的值寄存在寄存器 438 中。计数确定电路 433 确定计数器 431 的计数是否达到由保持在寄存器 438 中的 OPM1、OPM2 和 OPM3 限定的极限值 VI 1。计数确定电路 433 提供计数确定输出信号 439 到接收时钟信号 117 的与门 437。在计数器 431 开始计数时计数确定输出信号 439 变成“高”, 在计数达到极限值 VI 1 时变成“低”。通过响应信号 439 而门控, 与门 437 输出将包含在临时寄存器时钟信号 349 中的 VI1 时钟。在此示例中, 由 OPM1、OPM2 和 OPM3 限定的 VI1 表示命令和行与列地址的位的总数(参见图 3A 到图 3C)。

[0084] 类似地, 数据寄存器时钟发生器 419 包括计数器 441、计数确定电路 443、极限值电路 445 和与门 447。极限值电路 445 包括数据寄存译码器 446 和寄存器 448。数据寄存译码器 446 的译码功能不同于临时寄存译码器 436 的功能。计数器 441 由输入端口使能信号 119 激活, 并且之后连续计数时钟信号 117 的脉冲。由译码器 446 译码 OPM1、OPM2 和 OPM3 并且其所译码的值寄存在寄存器 448 中。计数确定电路 443 确定计数器 441 的计数是否达到由保持在寄存器 448 中的 OPM1、OPM2 和 OPM3 限定的极限值 VI 2。计数确定电路 443 提供计数确定输出信号 449 到与门 447。在计数器 441 开始计数时计数确定输出信号 449 变成“高”, 在计数达到极限值 VI 2 时变成“低”。通过响应信号 449 而门控, 与门 447 输出将包含在数据寄存器时钟信号 347 中的 VI2 时钟。在此示例中, 由 OPM1、OPM2 和 OPM3 限定的 VI2 表示命令和行与列地址以及数据的位的总数(参见图 3A 到图 3C)。

[0085] 图 10 示出图 5A、5B 和 5C 中所示的串行输入处理设备中的时钟信号 117、命令寄存器时钟信号 345、临时寄存器时钟信号 349 和数据寄存器时钟信号 347 的信号的相对时序图。

[0086] 参考图 5、9A、9B 和 10, 在此示例中, 通过在时间 T0 启用的输入端口使能信号 119, 激活命令寄存器时钟发生器 415、临时寄存器时钟发生器 417 和数据寄存器时钟发生器 419。这些发生器的计数器 421、431 和 441 开始时钟脉冲的计数。命令寄存器时钟信号 345、临时寄存器时钟信号 349 以及数据寄存器时钟信号 347 的产生在时间 T1 开始。计数 N 时, 计数器 421 停止计数(时间 T2)。因此, 命令寄存器时钟信号 345 的产生停止。响应命令寄

寄存器时钟信号 345, 命令寄存器 317 存储其中的串行输入位。之后, 计数 VI1 时, 计数器 431 停止计数(时间 T3)。因此, 临时寄存器时钟信号 349 的产生停止。响应临时寄存器时钟信号 349, 串行输入位被存储在临时寄存器块 320 的寄存器 321-329 中。之后, 计数 VI 2 时, 计数器 441 停止计数(时间 T4)。因此, 数据寄存器时钟信号 347 的产生停止。响应数据寄存器时钟信号 347, 串行输入中的数据位被存储在数据寄存器 319 中。

[0087] 同样地, 通过命令类型来确定临时寄存器时钟信号 349 和数据寄存器时钟信号 347 的结束点(T3 和 T4)。例如如果输入命令仅具有列地址(两个字节), 将使用 3×8 周期=24 个时钟来锁存 3 字节数据。最短命令输入的示例是一个字节且之后没有任何地址或者数据输入, 诸如读出 ID 或者写 ID 入口。在这样的示例中, 不处理临时寄存器块 320 中的已经锁存的数据。

[0088] 锁存位数据流之后, 根据包含在来自命令解释器 343 的地址转换控制信号 399 中的所译码的或者所解释的命令, 对于行地址或者列地址, 临时寄存器块 320 的第一临时寄存器 321 到第五临时寄存器 329 连接到列地址寄存器块 381 的第一列寄存器 377 和第二列寄存器 379 以及行地址寄存器块 395 的第一行寄存器 389、第二行寄存器 391 和第三行寄存器 393 的特定一个。

[0089] 操作模式 <p :0> 被用在串行输入处理设备中作为临时寄存器和特定地址寄存器之间的路径转换的控制信号。由转换信号“SW”和“SW*”控制地址转换电路 371 的内部逻辑转换。连同命令解释, 根据随后的位流信息和跟随命令字节的字节数量所有的命令被挑选出来以产生操作模式 <p :0>。

[0090] 表 1 示出对于寄存器转换控制的命令分类

[0091] 表 1

[0092]

串行输入中的命令定义	OPM3	OPM2	OPM1
(i) 仅命令	0	0	0

[0093]

(ii) 命令 + 一个字节数据	0	0	1
(ii i) 命令 + 列地址	0	1	0
(iv) 命令 + 列地址 +2112 字节数据	0	1	1
(v) 命令 + 列 / 行地址 +2112 字节数据	1	0	0
(vi) 命令 + 列 / 行地址	1	0	1
(vii) 命令 + 行地址	1	1	0

[0094] 表 1 示出对于串行互连装置用在串行输入中的分类的命令类型的一个示例。操作模式 <p :0> (串行互连装置中 p=2)提供下一个地址字节大小和地址类型的信息和其后的地址, 使得连续的数据位流可以在运行中被译码, 同时输入位数据被流入数据寄存器和临时

寄存器中。表 1 中, (iv) 命令 + 列地址 + 2112 字节数据是图 3B 中示出的 SI 配置的示例。(v) 命令 + 列 / 行地址 + 2112 字节数据是图 3A 中示出的 SI 配置的示例。对于其他命令系统, 命令的分类可以不同于上面, 并且可以依据存储器系统配置与其能够执行的功能。

[0095] 由图 7 中所示的命令分类器 455 执行表 1 中所示的操作模式产生的逻辑。完成命令译码之后, 根据命令字节之后的地址的类型, 所有的命令被挑选出来。由图 8 中所示的内部时钟发生器 335 执行临时寄存器时钟信号 349 和数据寄存器时钟信号 347 的产生。内部时钟发生器 335 的计数器 421 需要从时钟信号 117 和 IPE 的第一交叠上升点检查一个字节单元, 并且提供计数输出信号 423。基于计数输出信号 423 的信号脉冲, 基于另一类型的命令时钟发生器 415、临时寄存器时钟发生器 417 和数据时钟发生器 419 执行内部时钟发生器 335 的它们的功能操作。

[0096] 在此示例中, 从串行输入到 SIP 引脚的第一和第二字节被分配给装置号 (DN) (一个字节) 和命令 (一个字节)。第一两个字节 (对应于 16 个时钟周期) 被固定, 并且因此对其不施加任何改变。从第三个字节, 数据寄存器时钟信号 347 和临时寄存器时钟信号 349 被启用和触发来捕获串行输入位流, 直到操作模式确定输入数据流的结束点。通过操作模式解释到相关的块, 输入位流的长度与期望的结果相匹配。临时 5、3、2、1 或者 0 字节输出控制临时寄存器时钟信号 349 的结束点。对于数据寄存器时钟信号 347 产生到相关的块中, 执行同样的控制。

[0097] 基于操作模式解释, 如果下一个地址包含三个字节, 临时寄存器时钟信号 349 在三个字节时钟点停止。连同数据寄存器时钟信号 347 的产生, 数据锁存和控制为重要因素。

[0098] 如上所述, 操作模式信号 “<p:0>” 被用在串行输入处理设备中作为用于临时和特定寄存器之间的路径转换的控制信号。包含在操作模式组信号 341 中的操作模式 “OPM” 被转换为包含在地址开关控制信号 399 中的路径转换控制 “SW”。表 2 示出操作模式和所译码的路径转换控制输出。

[0099] 表 2

[0100]

操作模式 “OPM”			路径转换控制 “SW”					
OPM3	OPM2	OPM1	SW3	SW3*	SW2	SW2*	SW1	SW1*
0	0	0	0	1	0	1	0	1
0	0	1	0	1	0	1	0	1
0	1	0	1	0	0	1	0	1
0	1	1	1	0	0	1	0	1
1	0	0	0	1	1	0	1	0
1	0	1	0	1	1	0	1	0
1	1	0	0	1	1	0	0	1
1	1	1	0	1	0	1	0	1

[0101] 表 2 是用在其中串行互连多个存储器装置的存储器系统中的分类的命令类型的

一个示例。对于其他命令系统,所分类的命令可以依据存储器系统被转换为不同的路径转换控制组合。

[0102] 图 11 示出图 6 中所示的地址转换控制器 461。参考图 11,地址转换控制器 461 接收操作模式组信号 341 的信号“OPM3”、“OPM2”和“OPM1”。第二操作模式信号 571 (“OPM2”)被反相器 611 反相并且其反相输出信号和第三操作模式信号 591 (“OPM3”)被馈送到与非门 613。与非门 613 的输出信号 615 被反相器 617 反相并且提供第一非反相转换信号 619 “SW1”。第一非反相转换信号 619 还被反相器 621 反相,并且提供第一反相转换信号 623 “SW1*”。第一操作模式信号 549 (“OPM1”)由反相器 631 反相并且其反相输出信号、第二操作模式信号 571 和第三操作模式信号 591 被馈送到与非门 633。与非门 633 的输出信号和输出信号 615 被馈送到与非门 635 并且其输出信号 637 被提供第二反相转换信号 641 “SW2*”的反相器 639 反相。第二反相转换信号 641 还被反相器 643 反相,并且提供第二非反相转换信号 645 “SW2”。第三操作模式信号 591 (“OPM3”)被馈送到反相器 651 并且其反相输出信号和第二操作模式信号 571 被馈送到与非门 653。与非门 653 的输出信号 655 由提供第三非反相转换信号 659 “SW3”的反相器 657 反相。第三非反相转换信号 659 还被反相器 661 反相并且提供第三反相转换信号 663 “SW3*”。第一非反相转换信号 619、第一反相转换信号 623、第二反相转换信号 641、第二非反相转换信号 645、第三非反相转换信号 659 和第三反相转换信号 663 包括在地址转换控制信号 399 中。与非门 635 和反相器 639 形成与电路。相同地,与非门 653 和反相器 657 形成与电路。

[0103] 地址转换电路 371 接收包括在转换信号 399 中的第一非反相转换信号 619 (“SW1”)、第一反相转换信号 623 (“SW1*”)、第二反相转换信号 641 (“SW2*”)、第二非反相转换信号 645 (“SW2”)、第三非反相转换信号 659 (“SW3”)和第三反相转换信号 663 (“SW3*”)。这些信号由图 11 中所示的地址转换控制器 461 提供。

[0104] 图 12 示出图 5A、5B 和 5C 中所示的串行输入处理设备的数据控制操作的流程图。参考图 5A-5C 和图 6-12, SI 信号被提供到串行输入处理设备之后,开始数据控制操作。当输入端口使能信号 119 变成“高”,从 SIP 连续接收串行输入数据(步骤 711)并且产生用于命令、数据和临时寄存的各自时钟(步骤 712)。响应临时寄存时钟,保持串行输入位(步骤 713)。在位保持期间,解释所接收的 SI 信号包含的命令并且停止命令寄存时钟的产生(步骤 714)。但是临时寄存器时钟和数据寄存器时钟的产生持续并且 SI 寄存持续,以及当接收到包含在 SI 信号中的两个、三个或者五个字节的地址时,保持该地址(步骤 715)。从所解释的命令提供两个(即,列地址)、三个(行地址)或者五个(列和行地址)的地址字节数量的信息(步骤 714)。根据地址字节信息,保持五个字节的地址(步骤 716),保持两个字节的地址(步骤 717)或者保持三个字节的地址(步骤 718)并且停止临时寄存时钟的产生(步骤 719)。在步骤 717 中,在第一临时寄存器 321 到第二临时寄存器 323 中存储两个字节的地址。在步骤 718 中,在第一临时寄存器 321 到第三临时寄存器 325 中存储三个字节的地址。在步骤 716 中,在第一临时寄存器 321 到第五临时寄存器 329 中存储五个字节的地址。

[0105] 来自命令解释器 343 的地址转换控制信号 399 包含步骤 714 所解释的操作命令。根据操作命令,通过地址转换电路 371 以三个不同方式建立连接(步骤 720)。之后,临时保持地址通过地址转换电路 371 的所连接的开关被传送到列地址寄存器块 381 和 / 或行地址寄存器块 395 (步骤 721)。

[0106] 在两个字节的地址的情况中,它们是列地址(参见图 3B)。两个字节的地址被保持在第二临时寄存器 323 和第一临时寄存器 321 中。第二临时地址输出信号 363 和第一临时地址输出信号 361 分别被传送到第二列寄存器 379 和第一列寄存器 377,如图 5B 所示(见地址转换电路 371 中的箭头(I))。(ii)在三个字节的地址的情况中,它们是行地址(参见图 3C)。三个字节的地址被保持在第三临时寄存器 325、第二临时寄存器 323 和第一临时寄存器 321 中。第三临时地址输出信号 365、第二临时地址输出信号 363 和第一临时地址输出信号 361 分别被传送到第三行寄存器 393、第二行寄存器 391 和第一行寄存器 389 (参见图 5B 的转换地址 371 中的箭头(II))。(iii)在五个字节的地址的情况中,第一两个字节表示列地址并且其他三个字节表示行地址(参见图 3A)。第一两个字节的地址被保持在第五临时寄存器 329 和第四临时寄存器 327 中,并且其他三个字节的地址被保持在第三临时寄存器 325、第二临时寄存器 323 和第一临时寄存器 321 中。第五临时地址输出信号 369、第四临时地址输出信号 367 被传送到第二列寄存器 379 和第一列寄存器 377。第三临时地址输出信号 365、第二临时地址输出信号 363 和第一临时地址输出信号 361 分别被传送到第三行寄存器 393、第二行寄存器 391 和第一行寄存器 389 (参见图 5B 的转换地址 371 中的箭头(III))。

[0107] 响应列地址锁存信号 382,第一列寄存器 377 和第二列寄存器 379 锁存其中所提供的临时寄存器地址。相同地,响应行地址锁存信号 384,第一行寄存器 389 到第三行寄存器 393 锁存其中所提供的临时寄存器地址。

[0108] 完成临时寄存器地址的传送之后,停止数据时钟的产生(步骤 722)。响应列地址读出信号 386,第一列寄存器 377 和第二列寄存器 379 中所寄存的列地址被读出并且被提供给控制器 / 数据处理器 370。相同地,响应行地址读出信号 388,第一行寄存器 389 到第三行寄存器 393 中的所寄存的行地址被读出并且被提供给控制器 / 数据处理器 370。控制器 / 数据处理器 370 通过对存储器 372 的存取执行数据处理(步骤 23)。所处理的数据从串行输出端口(SOP)作为串行输出信号被输出到下一个装置的 SIP。在命令解释器 343 的命令解释期间,寄存器捕获所有的位数据且无损失。

[0109] 在实施例中,如上所述,执行同时的数据捕获和命令解释,结果是能够降低由于短周期操作的丢失数据的可能性。使用临时寄存器块 320 避免了对于等待和解释命令数据的时间间隔的任何需求。当在命令寄存器 317 中译码命令数据时,来自 SIP 引脚的位流被临时存储到临时寄存器块 320,直到发出新的命令。依赖于命令解释器 343 的结果,地址转换电路 371 建立从临时寄存器块 320 到列地址寄存器块 381 和行地址寄存器块 395 的一个或者多个连接。以此方式,可以实现无需命令解释和持续数据捕获之间的时间间隔的高速操作。命令译码和使用临时寄存器块 320 的下一个串行数据位流捕获之间的独立路径控制确保了高速操作。

[0110] 图 13A、13B 和 13C 描绘提供给图 1 中所示的第一装置 113-1 的串行输入信号 115 的其他配置。这些是列和行地址字节被分配到位流中“固定”位置的示例。虽然被分组的位流包括装置号(DN)(一个字节),此处并未示出。图 13A 中所示的配置与图 3A 中所示的相同:即,命令 + 列和行地址 + 2112 字节数据。图 13B 中所示的配置与图 3B 中所示的类似:即,命令 + 列地址 + 2112 字节数据。但是,由于没有行地址,列地址和数据之间的三个字节为伪行地址字节“伪地址”。图 13C 中所示的配置与图 3C 中所示的类似:即,命令 + 行地址

+2112 字节数据。但是,由于没有列地址,行地址之前的两个字节为伪列地址字节。同样,命令之后,两个字节和三个字节被固定分配给列和行地址。其他位被固定分配给其他的位信息。

[0111] 图 14A、14B 和 14C 示出应用图 13A-13C 中所示串行输入的本发明的另一个实施例。与图 5A、5B 和 5C 所示的不同在于既不存在地址转换电路也不存在地址转换控制信号。由于在任意命令位流中行和列地址字节被映射到同样的位置,则不需要这些前述的部件。在之前实施例中,临时保持在临时寄存器中的八位数据被传送到对应的地址寄存器。

[0112] 参考图 14A-14C,包含命令、地址和数据的串行输入信号 115 通过其串行输入端口(SIP)被馈送到缓冲器 811。串行输入信号 115 被馈送到命令寄存器 817、数据寄存器 819 和包括第一到第五临时寄存器 821、823、825、827 和 829 的临时寄存器块 820。命令寄存器 817、数据寄存器 819 和第一临时寄存器 821 的每一个顺序接收包含在串行输入信号 115 中的命令、地址和数据。

[0113] 内部时钟发生器 835 分别通过缓冲器 837 和缓冲器 839 接收时钟信号 117 和输入端口使能信号 119。时钟发生控制信号 841 被从命令解释器 843 馈送到内部时钟发生器 835,该内部时钟发生器 835 分别提供命令寄存器时钟信号 845、数据寄存器时钟信号 847 和临时寄存器时钟信号 849 到命令寄存器 817、数据寄存器 819 和临时寄存器块 820 中的第一临时寄存器 821 到第五临时寄存器 829。

[0114] 响应 SIP 上的数据,命令寄存器 817 提供所寄存的命令输出信号 897 到命令解释器 843。命令解释器 843 分别提供所译码的指令信号 898 和地址转换控制信号 899 到控制器/数据处理器 870 和地址转换电路 871。响应片选择信号 111、输入端口使能信号 119 和输出端口使能信号 121,控制器/数据处理器 870 控制装置并且分别提供输入端口使能输出信号 133-1 和输出端口使能输出信号 135-1。同样,响应所寄存的数据输出信号 859 和所译码的指令信号 898,控制器/数据处理器 870 执行对存储器 872 的数据存取(写和/或读)的功能。响应片选择信号 111 和输出端口使能信号 121,所输出的数据作为串行输出信号 131-1 被输出。

[0115] 从第一临时寄存器 821 串行地输出的第一临时地址信号 851 被馈送到第二临时寄存器 823,来自第二临时寄存器 823 的第二临时地址信号 853 被馈送到第三临时寄存器 825。来自第三临时寄存器 825 的第三临时地址信号 855 被馈送到第四临时寄存器 827,来自第四临时寄存器 827 的第四临时地址信号 857 被馈送到第五临时寄存器 829。

[0116] 来自第一临时寄存器 821 的八位的第一临时地址输出信号 861、来自第二临时寄存器 823 的八位的第二临时地址输出信号 863、来自第三临时寄存器 825 的八位的第三临时地址输出信号 865、来自第四临时寄存器 827 的八位的第四临时地址输出信号 867 和来自第五临时寄存器 829 的八位的第五临时地址输出信号 869 被馈送到行地址寄存器块 895 的第一行寄存器 889、第二行寄存器 891 和第三行寄存器 893 以及列地址寄存器块 881 的第一列寄存器 877 和第二列寄存器 879。

[0117] 响应锁存信号 884,第一临时地址输出信号 861 到第五临时地址输出信号 869 的每一个的八位数据被锁存在行地址寄存器块 895 和列地址寄存器块 881 的对应的寄存器中。响应地址读出信号 888,行地址寄存器块 895 和列地址寄存器块 881 的每一个寄存器的八位数据被读出并被提供到控制器/数据处理器 870。由控制器/数据处理器 870 提供锁存信

号 884 和地址读出信号 888。

[0118] 图 15 示出图 14C 中所示的命令解释器 843 的更详细的电路。命令解释器 843 为用于根据输入命令类型来控制本地和内部时钟产生的组合逻辑电路。参考图 15, 具有 K 位命令位 (例如, 8 位) 的所寄存的命令输出信号 897 被馈送到命令译码器 951, 命令译码器 951 随之提供具有作为内部指令被提供的 M 位的所译码的指令信号 898。基于所寄存的命令输出信号 897 的“命令位”输入, 从命令译码器 951 产生内部指令。M 位指示被装置执行的指令的数量。所译码的指令信号 898 被馈送到命令分类器 955, 从而根据预定的命令类别, 包含操作模式 OPM1、OPM2 和 OPM3 的操作模式组信号被译码。

[0119] 在图 14A-14C 和图 15 所示的示例中, 来自命令分类器 955 的操作模式组信号为被提供给内部时钟发生器 835 用于时钟产生的时钟发生控制信号 841。响应由内部时钟发生器 835 提供的临时寄存器时钟信号 849, 临时寄存器块 820 的寄存器 821-829 存储列和行地址。通过输入命令建立地址的序列。

[0120] 图 16 示出图 14A、14B 和 14C 中所示的串行输入处理设备的数据控制操作的流程图。参考图 14A-14C 和图 15-16, SI 信号被提供到串行输入处理设备之后, 开始数据控制操作。当输入端口使能信号 119 变成“高”, 从 SIP 连续接收串行输入数据 (步骤 971) 并且产生用于命令、数据和临时寄存的各自时钟 (步骤 972)。响应临时寄存时钟, 保持串行输入位 (步骤 973)。在位保持期间, 解释所接收的 SI 信号包含的命令并且停止命令寄存时钟的产生 (步骤 974)。但是, 临时寄存器时钟和数据寄存器时钟的产生持续并且 SI 寄存持续, 以及当接收到包含在 SI 信号中的两个、三个或者五个字节的地址时, 该地址被保持在临时寄存器块 820 的五个寄存器 829 到 821 中 (步骤 975)。

[0121] 在五个字节的地址 (即图 13A 中所示的列和行地址) 的情况中, 五个字节的地址被存储在第五临时寄存器 829 到第一临时寄存器 821 中 (步骤 976)。在两个字节的地址 (即图 13B 中所示的列地址) 的情况中, 两个字节的地址被存储在第五临时寄存器 829 和第四临时寄存器 827 中 (步骤 977)。在三个字节的地址 (即图 13C 中所示的行地址) 的情况中, 三个字节的地址被存储在第五临时寄存器 829 到第三临时寄存器 825 中 (步骤 978)。随后, 停止临时寄存时钟的产生 (步骤 979)。同样, 所临时地保持的地址被传送到列地址寄存器块 881 和 / 或行地址寄存器块 895 (步骤 980)。

[0122] 完成临时寄存器地址的传送之后, 停止数据时钟的产生 (步骤 981)。响应读出信号 888, 第一列寄存器 877 和第二列寄存器 879 中所寄存的列地址被读出并且被提供给控制器 / 数据处理器 870。类似地, 响应读出信号 888, 第一行寄存器 889 到第三行寄存器 893 中的所寄存的行地址被读出并且被提供给控制器 / 数据处理器 870。控制器 / 数据处理器 870 通过对存储器 872 的存取执行数据处理 (步骤 978)。所处理的数据从 SOP 作为串行输出信号被输出到下一个装置的 SIP。在命令解释器 843 的命令解释期间, 寄存器捕获所有的位数据且无损失。所处理的数据从 SOP 作为串行输出信号被输出到下一个装置的 SIP。在命令解释器 843 的命令解释期间, 寄存器捕获所有的位数据且无损失。控制器 / 数据处理器 870 不处理“伪”地址以及列和行地址字节。

[0123] 图 17 示出图 5A 中所示的内部时钟发生器的另一个示例。参考图 17, 内部时钟发生器 935 包括命令寄存器时钟发生器 915、临时寄存器时钟发生器 917 和数据寄存器时钟发生器 919。如图 18A 所示, 命令寄存器时钟发生器 915 包括具有用于接收时钟信号 117 的时

钟输入 IN 和用于接收输入端口使能信号 119 的使能输入 EN 的 N 计数器 921。计数器 921 具有分别用于提供其计数输出信号 922 和 923 的计数输出 OUT1 和 OUT2。输出信号 922 为用于启用临时寄存器时钟发生器 917 和数据寄存器时钟发生器 919 的所延迟的使能信号。输出信号 923 被馈送到与门 925 并且与门 925 随之提供命令寄存器时钟信号 345。时钟信号 117 也被馈送到与门 925。计数器 921 通过输入端口使能信号 119 激活并且计数时钟信号 117 的脉冲。当计数达到 N (例如,8),计数停止。当计数 N 期间(即,对应于一个字节的八个时钟周期),计数输出信号 923 为“高”。因此,通过响应计数输出信号 923 来门控,与门 925 输出将包含在命令寄存器时钟信号 345 中的 N (即,8) 个时钟。

[0124] 图 18B 示出图 17 中所示的临时寄存器时钟发生器 917 和数据寄存器时钟发生器 919 的更详细的电路。参考图 18B,临时寄存器时钟发生器 917 包括计数器 931、计数确定电路 933、极限值电路 935 和与门 937。极限值电路 935 包括临时寄存译码器 936 和寄存器 937。

[0125] 类似地,数据寄存器时钟发生器 919 包括计数器 941、计数确定电路 943、极限值电路 945 和与门 947。极限值电路 945 包括数据寄存译码器 946 和寄存器 948。数据寄存译码器 946 的译码功能不同于临时寄存译码器 936 的功能。

[0126] 计数器 931 和 941 由馈送到其使能输入 EN 的所延迟的使能信号 922 激活,并且之后连续计数时钟信号 117 的脉冲。包含在操作模式组信号 341 中的三位操作模式信号 OPM1、OPM2 和 OPM3 被馈送到译码器 936 和 946。OPM1、OPM2 和 OPM3 的所译码的值 VI3 和 VI4 被提供给寄存器 938 和 948 用于寄存。计数确定电路 933 和 943 分别确定计数是否达到极限值 VI3 和 VI4 并且提供计数确定输出信号 939 和 949。响应计数确定输出信号 939 和 949,与门 937 和 947 分别输出包含 VI 3 时钟脉冲和 VI 4 时钟脉冲的时钟信号 349 和 347。

[0127] 图 19 示出图 17 中所示的内部时钟发生器 935 提供的时钟信号的相对时序图。参考图 17-19,当输入端口使能信号 119 启用时,激活命令寄存器时钟发生器 915 (时间 T0)。在时间 T1 计数器 921 开始计数时钟脉冲并且开始命令寄存器时钟信号 345 的产生。当计数达到 N 时,计数器 921 停止计数(时间 T2. 1)并且提供所延迟的使能信号 22。响应所延迟的使能信号 922,计数器 931 和 941 被启用来计数时钟信号 117 的时钟脉冲。在第一时间脉冲,计数器 931 和 941 开始计数(时间 T2. 2)。计数 VI 3 时,计数器 931 停止计数(时间 T3)。因此,临时寄存器时钟信号 349 的时钟脉冲产生停止。类似地,计数 VI4 时,计数器 441 停止计数(时间 T4)。数据寄存器时钟信号 347 的时钟脉冲产生停止。在此示例中,直到 N 计数器 921 完成计数,计数器 931 和 941 才运行,因此降低了功耗。

[0128] 根据包括临时寄存器和对于每一寄存器的各自时钟产生的实施例,串行闪烁存储器可以高速运行。具体地,不需要如普通串行闪烁存储器中的命令和之后地址字节之间的时间间隔。

[0129] 根据本发明的实施例提供在命令解释器 343 高速执行命令解释时如何捕获串行数据而没有单个位的损失。根据操作中限定的串行位序列,多个时钟被用于锁存单独字节,并且临时寄存器被用于在传送字节信息到诸如地址寄存器的指定寄存器之前临时存储位流。在输入端口接收的所有位流,即 SI,在时钟的上升沿被锁存。例如在 1GHz 操作的情况中,1ns 周期时间不提供命令位流解释和下一个位数据流之间的足够的时间容限,从而在命令解释期间应该考虑附加的寄存器以存储传入的位数据。该实施例提供用来控制临时寄存

器并且产生多个时钟而不是使用单个公共时钟来锁存位数据流的装置。该实施例可以被用在具有大于 1GHz 的时钟频率(1ns 周期时间)的高速操作中。在串行命令位和下一个位流之间不需要间隔时间用于译码命令。

[0130] 在上述实施例中,为了简化,基于有效的“高”信号对操作已经进行了描述。根据设计上的优选,也可以设计电路为基于“低”有效信号来执行操作。命令寄存器时钟信号 345 可以根据操作模式指定而具有两个字节或者多个字节。时间控制可以从命令类型启用的连续和多个时钟改变为具有用来激活所选择串行寄存器的附加的控制信号的单个时钟。根据时间规范、地址布置和地址长度,可以改变发出多个时钟的序列。如上所述,可以应用串行闪烁存储器或者具有串行输入位流控制的产品。

[0131] 在上述实施例中,为了简化,装置部件和电路可以如图所示互相连接。在本发明的实际应用中,设备、装置、部件和电路等可以互相直接相连。同样,如果对于设备的操作有必要,装置、部件和电路等也可以通过其他装置、部件和电路等互相间接连接。因此,在实际配置中,电路部件和装置互相直接或者间接耦合。

[0132] 本实施例已经结合 MISL 描述。但是本发明不限于此。本发明可以适用于用于捕获或者处理串行输入数据的任何设备和方法。

[0133] 本发明的上述实施例仅用于示例,对于本领域技术人员,在不脱离所附的权利要求所单独限定的本发明范围之内,可以对具体实施例进行各种替换、修改和变更。

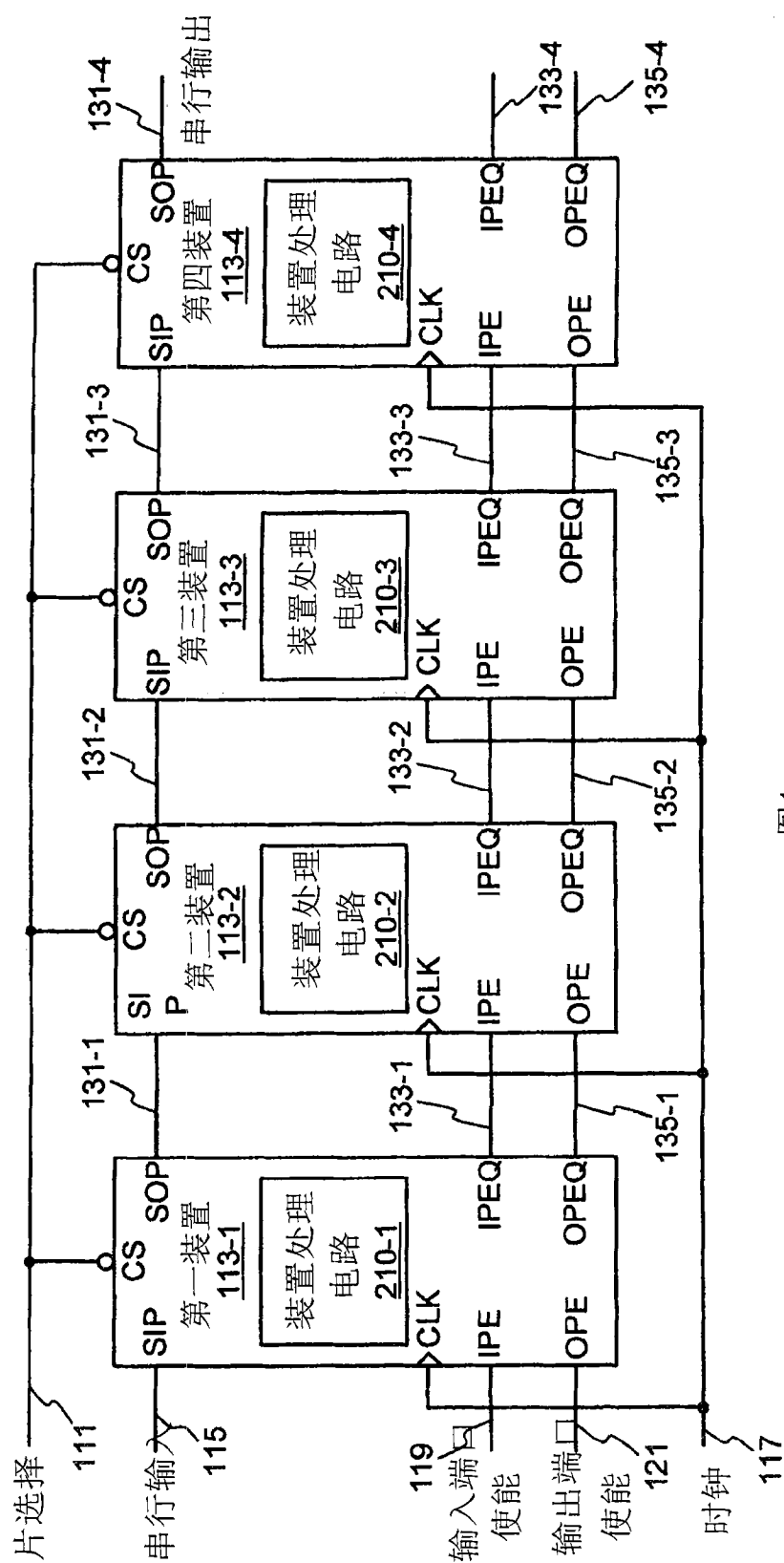


图1

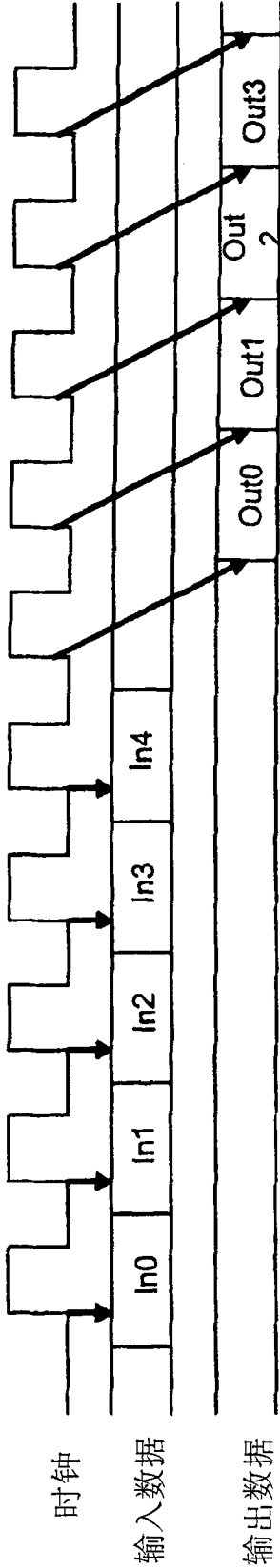


图2A

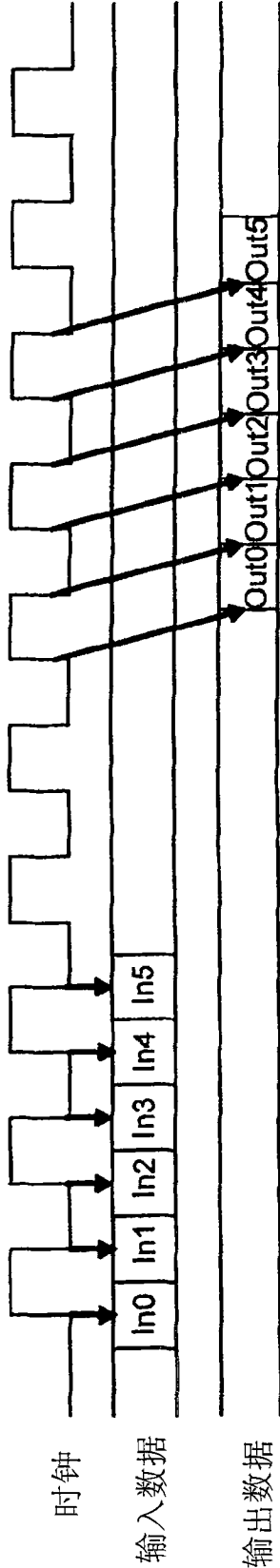
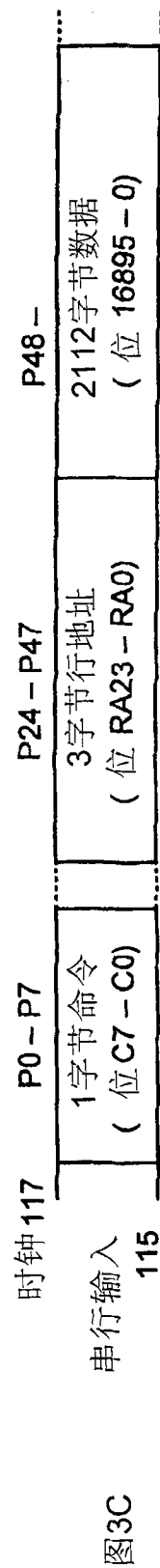
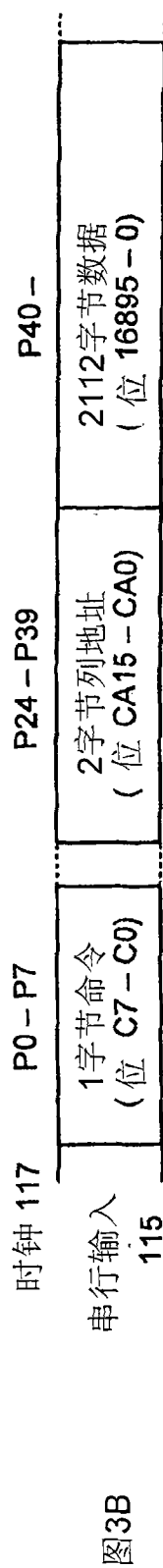
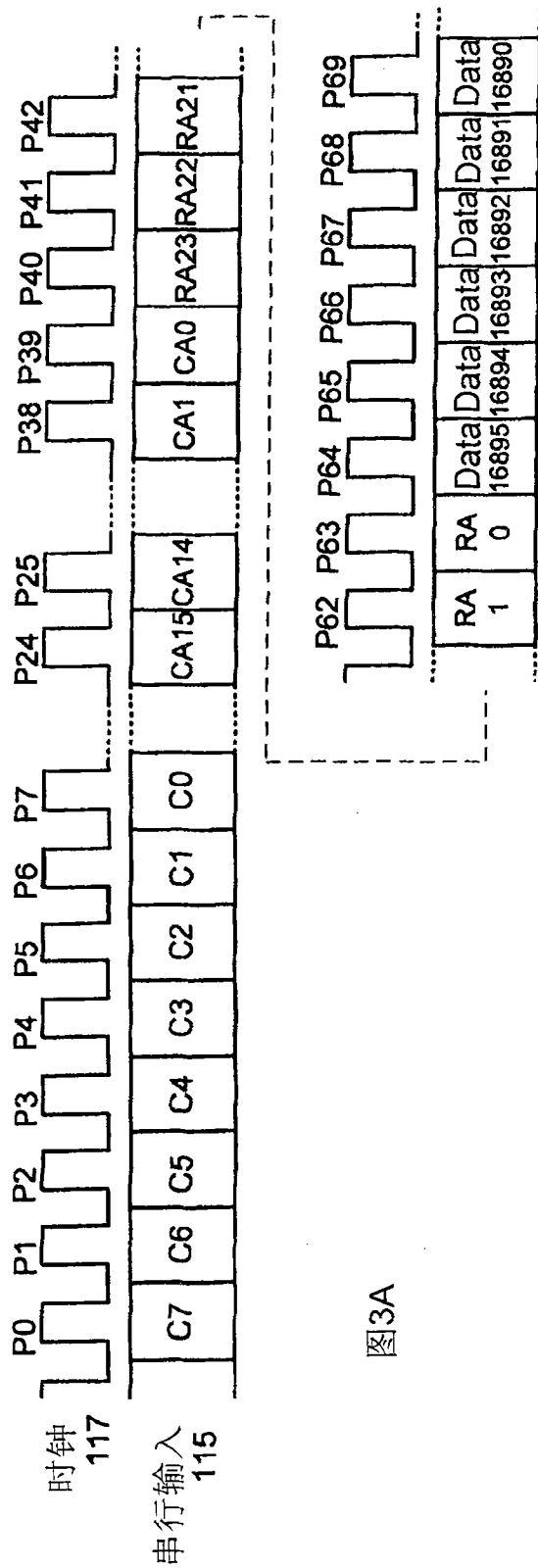


图2B



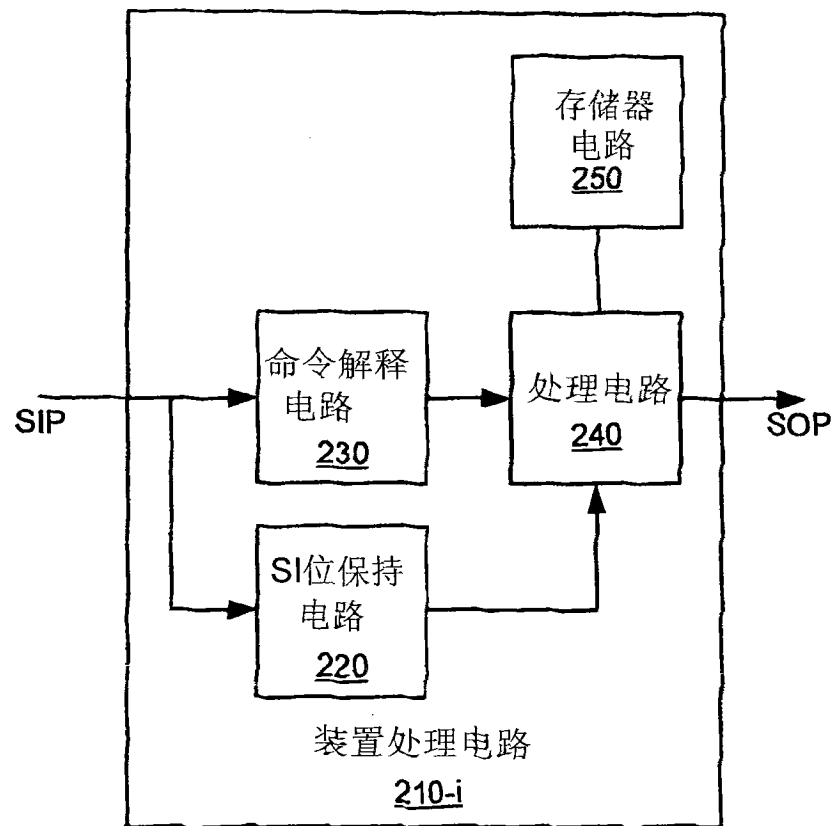


图4A

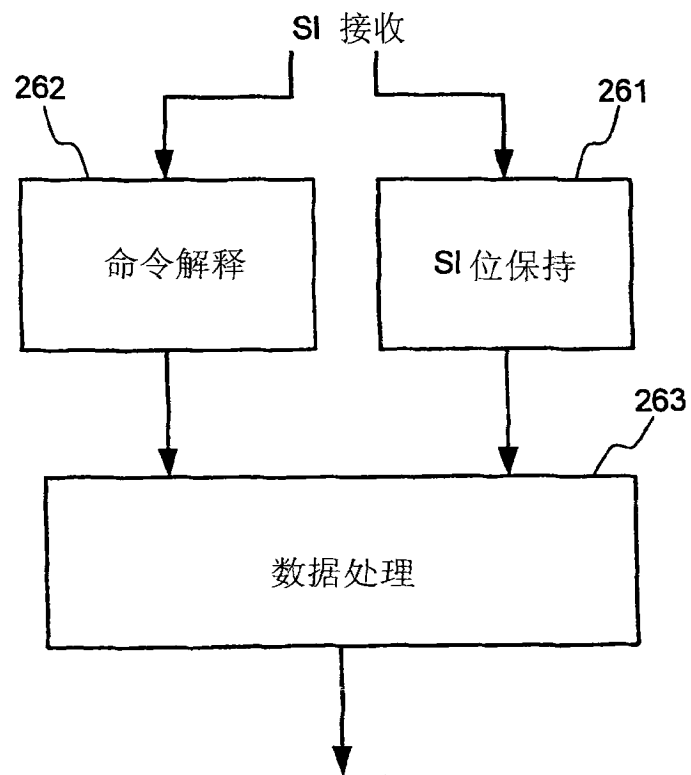


图4B

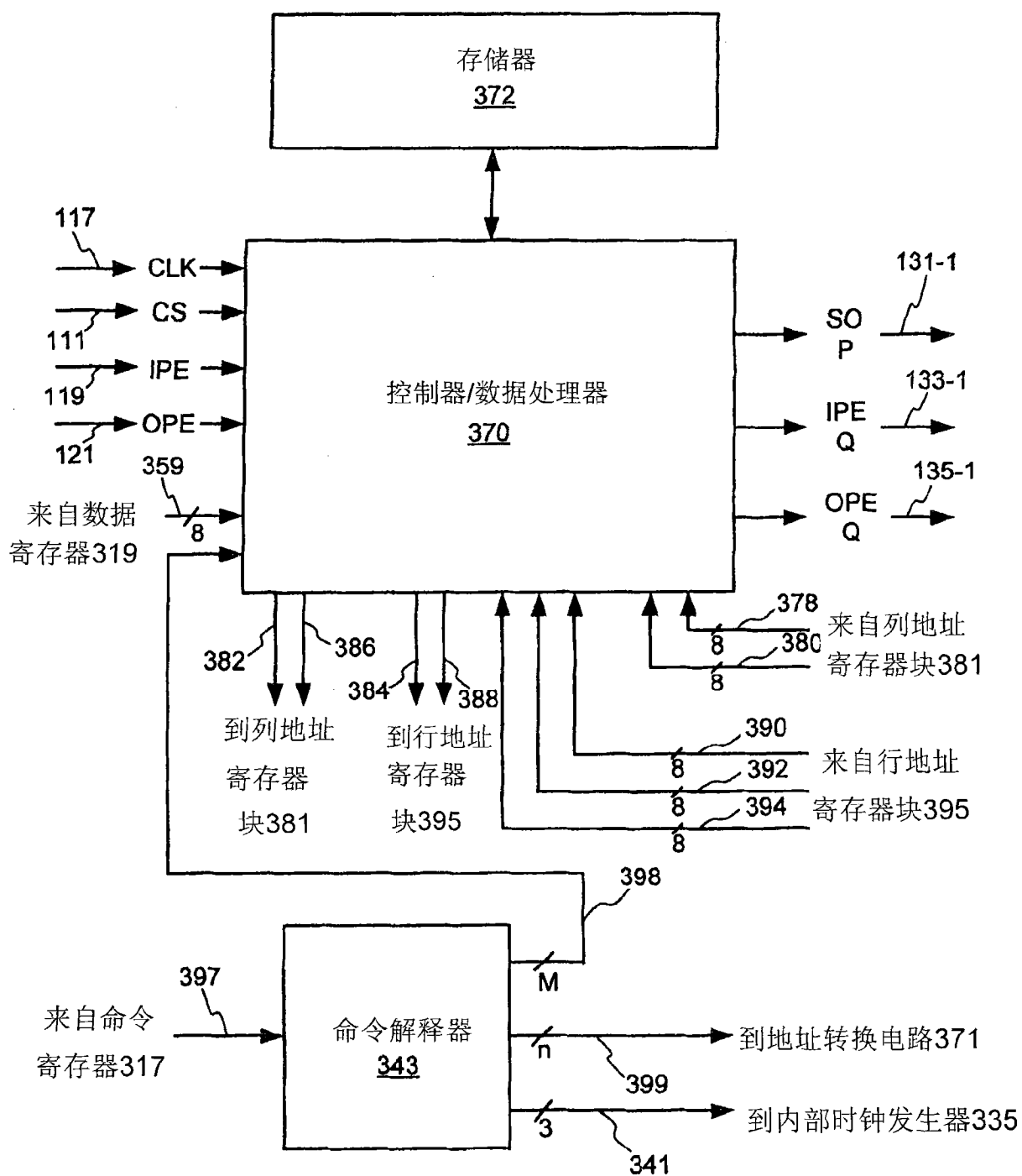


图 5C

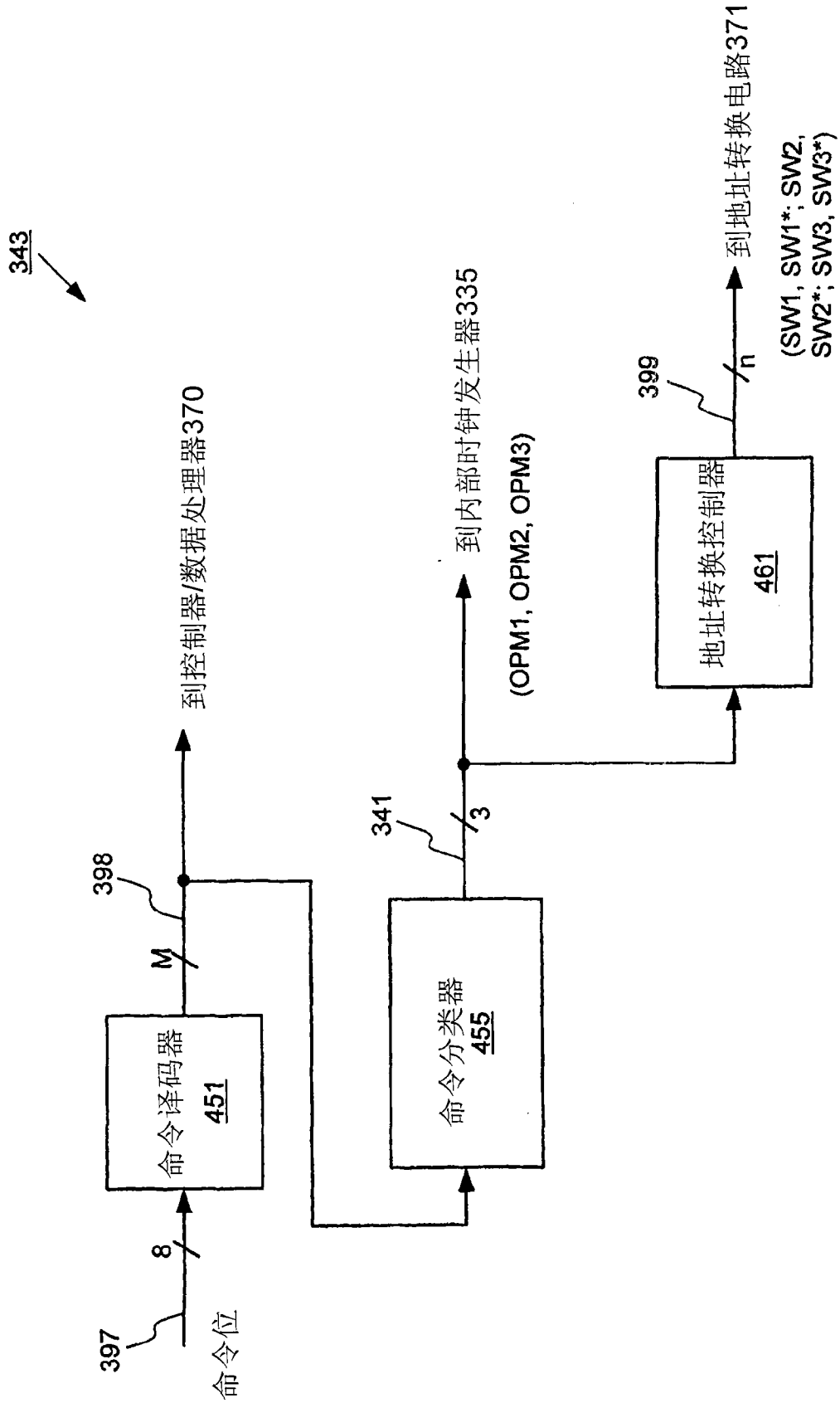


图6

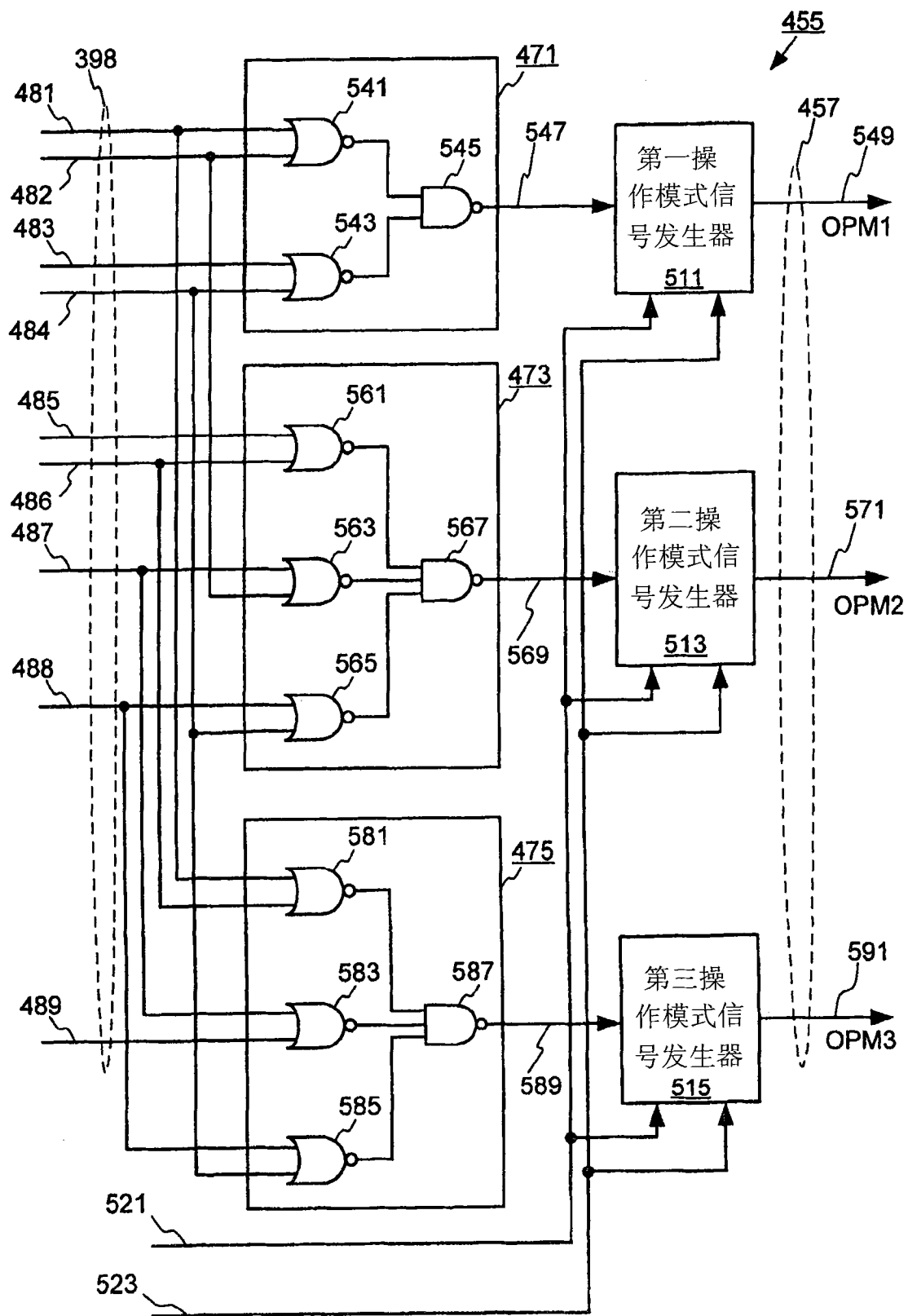


图 7

10/23

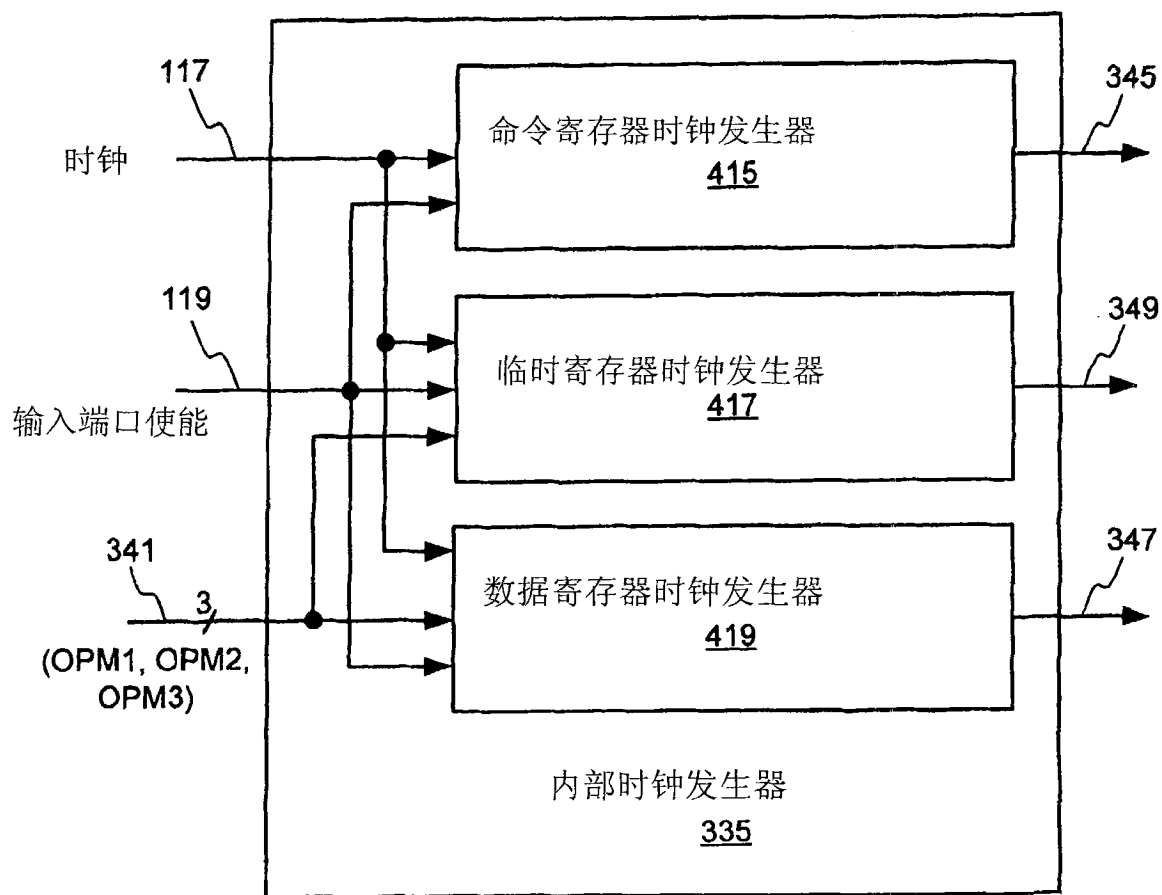


图 8

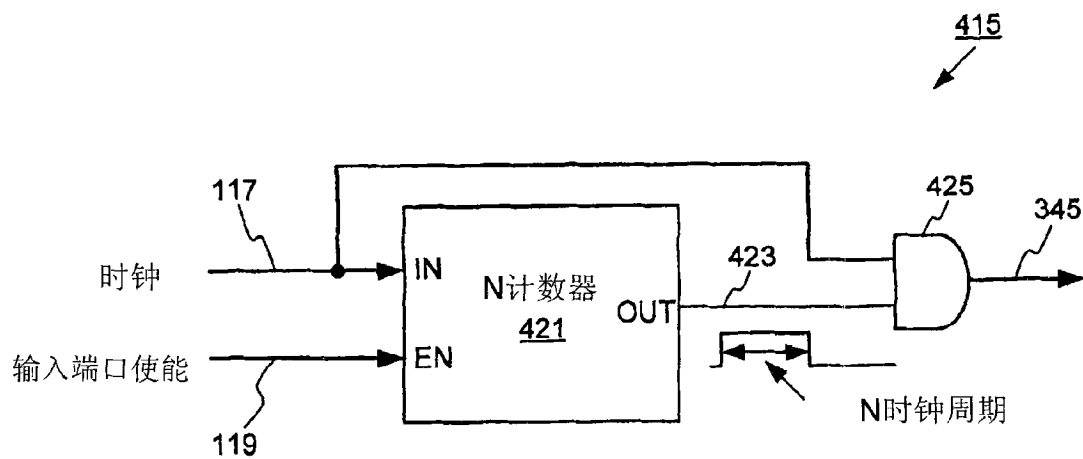


图 9A

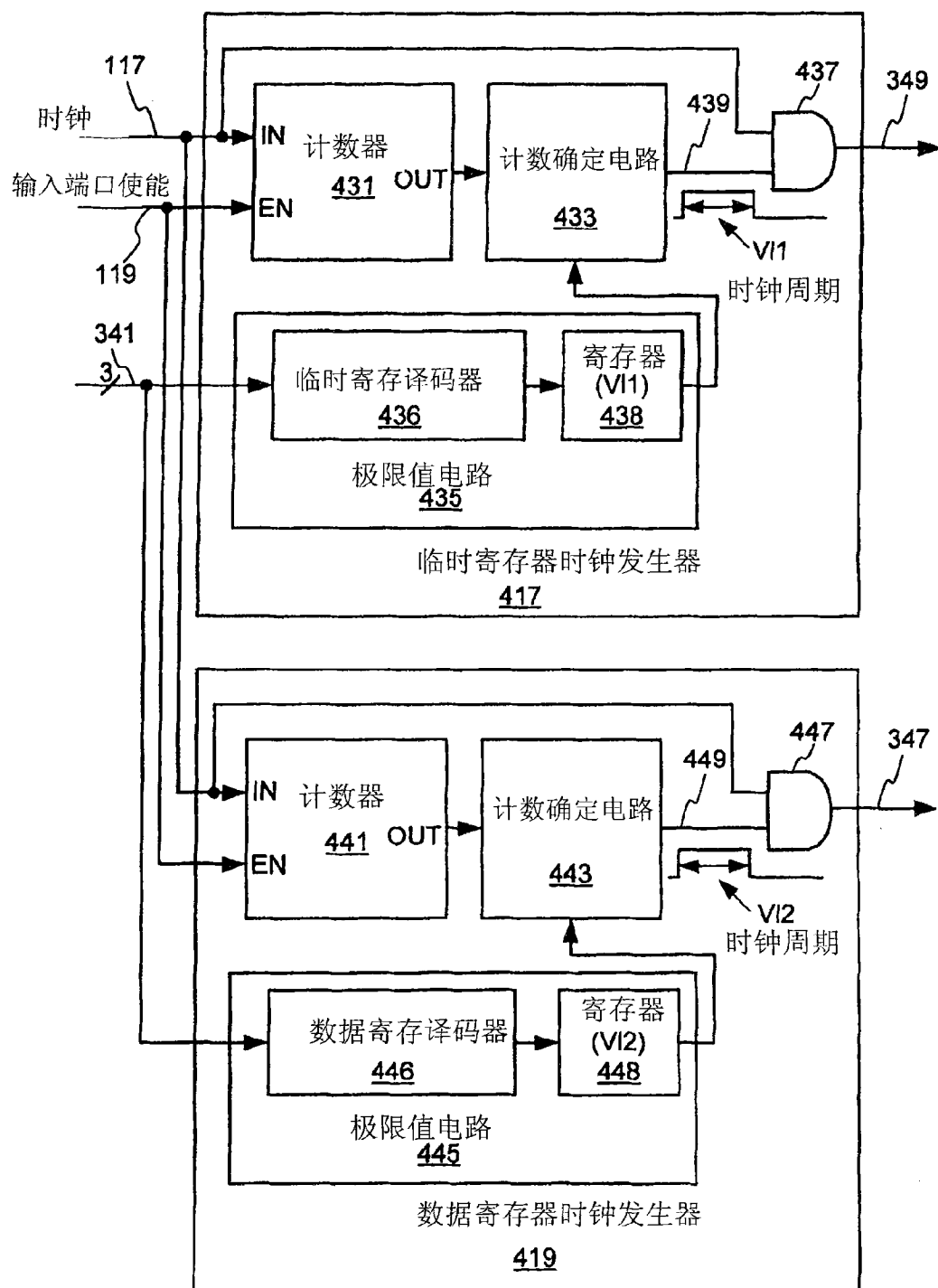


图 9B

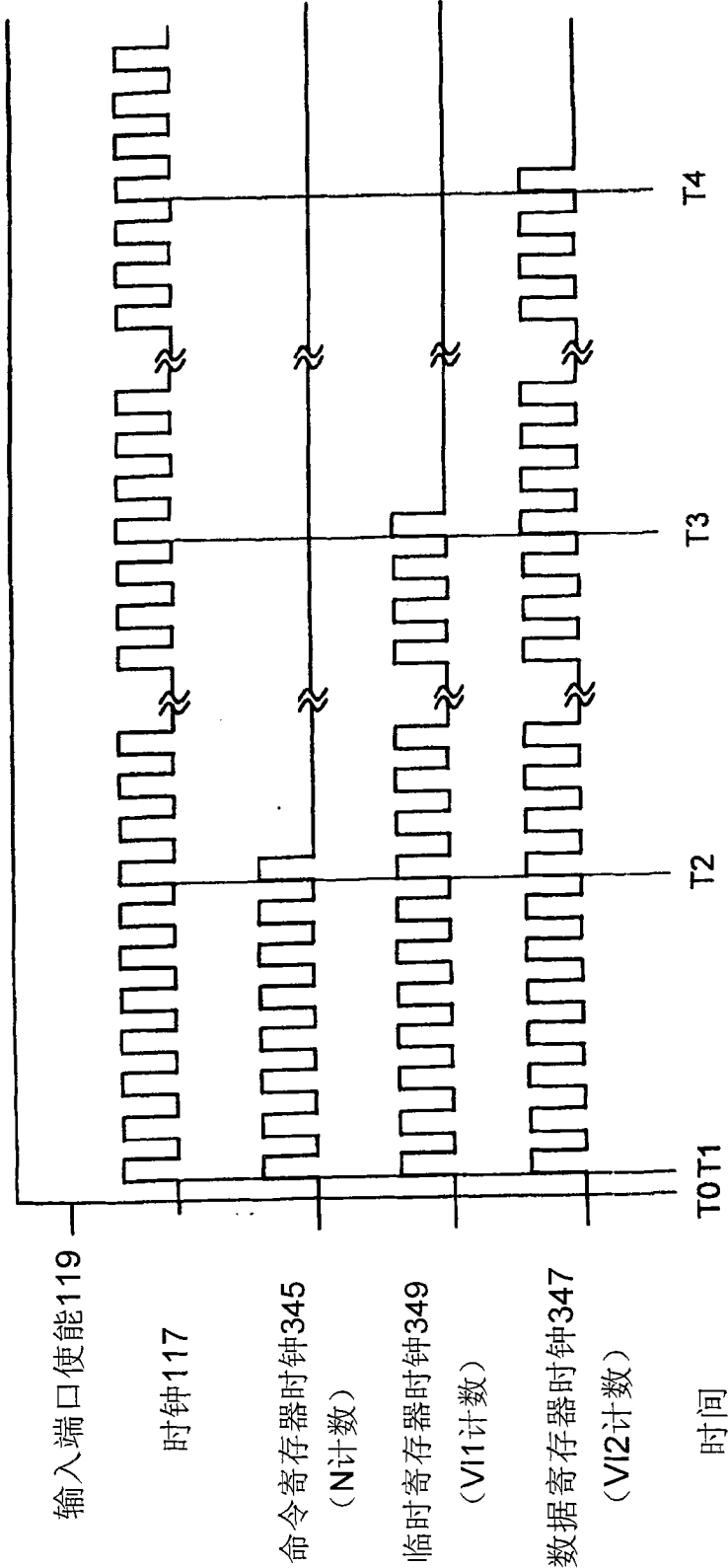


图10

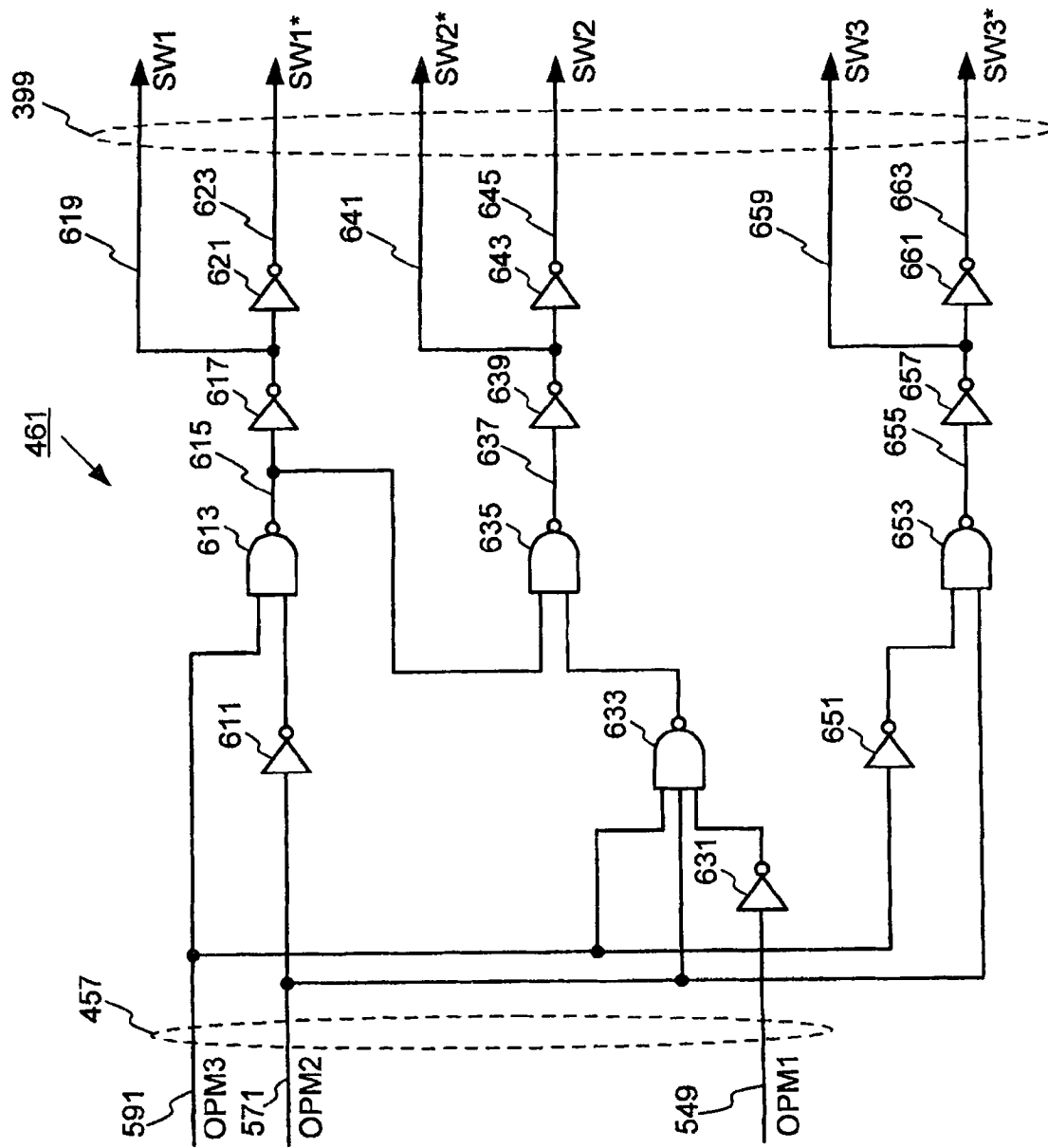


图11

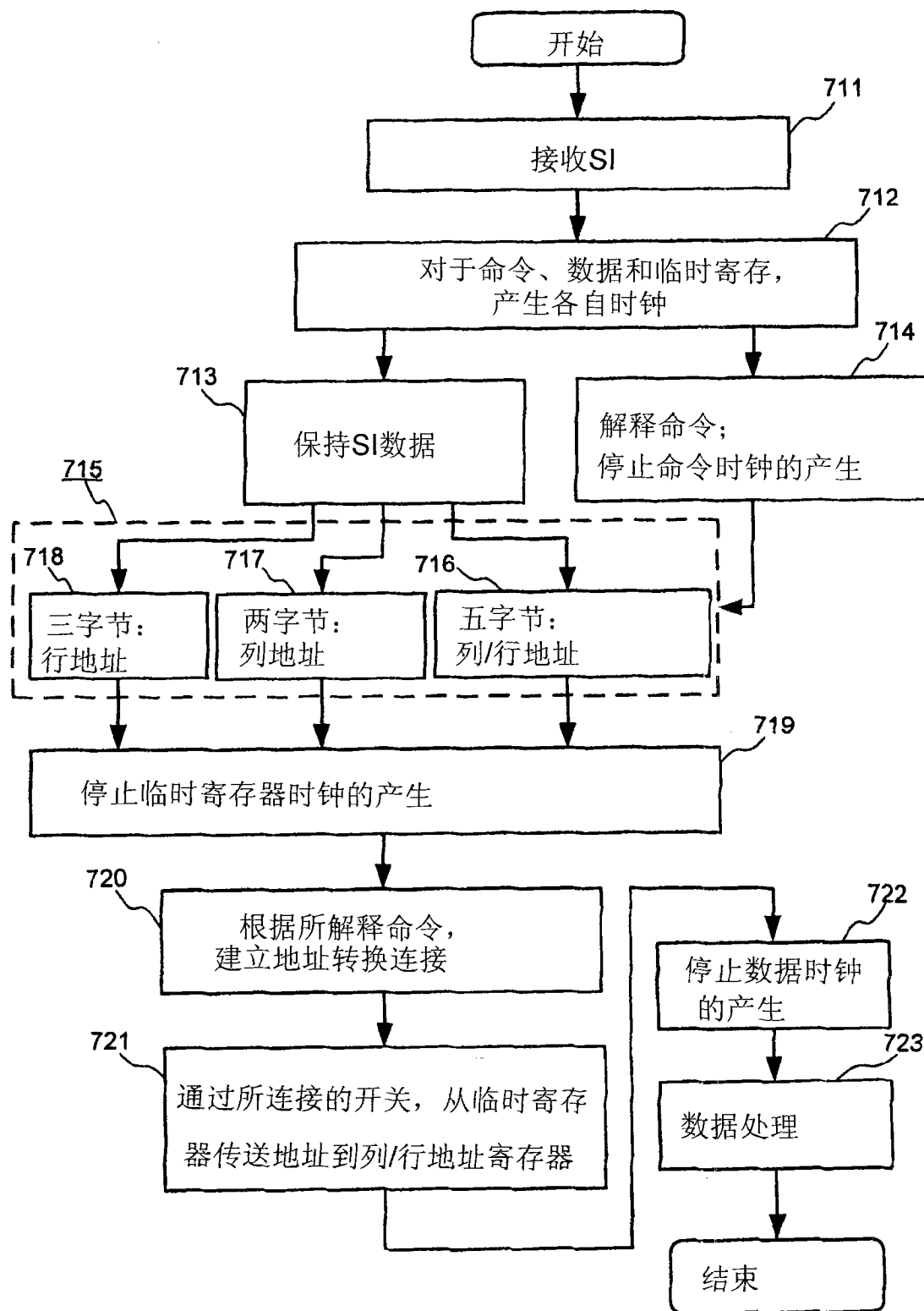


图 12

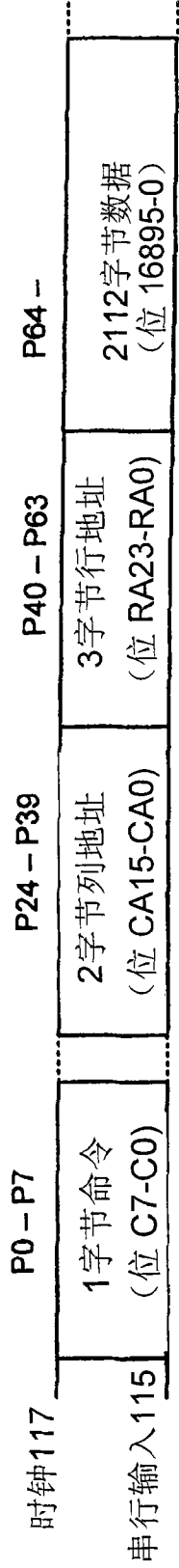


图13A

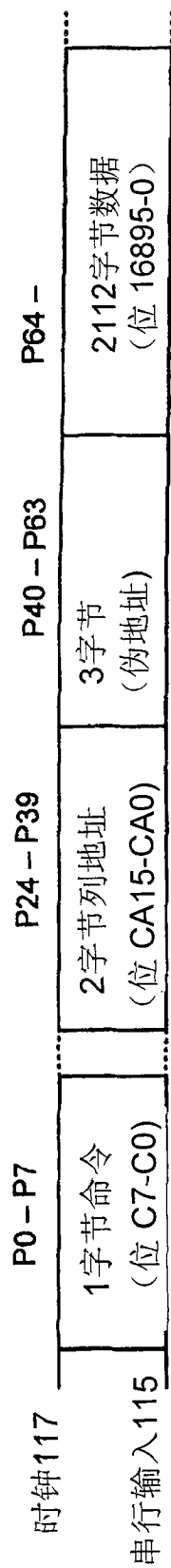


图13B

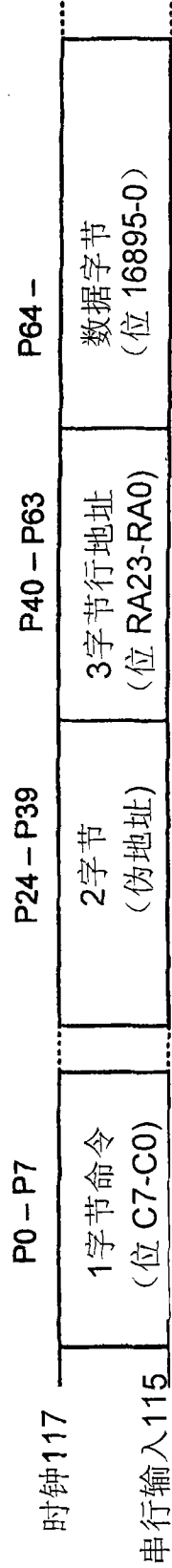


图13C

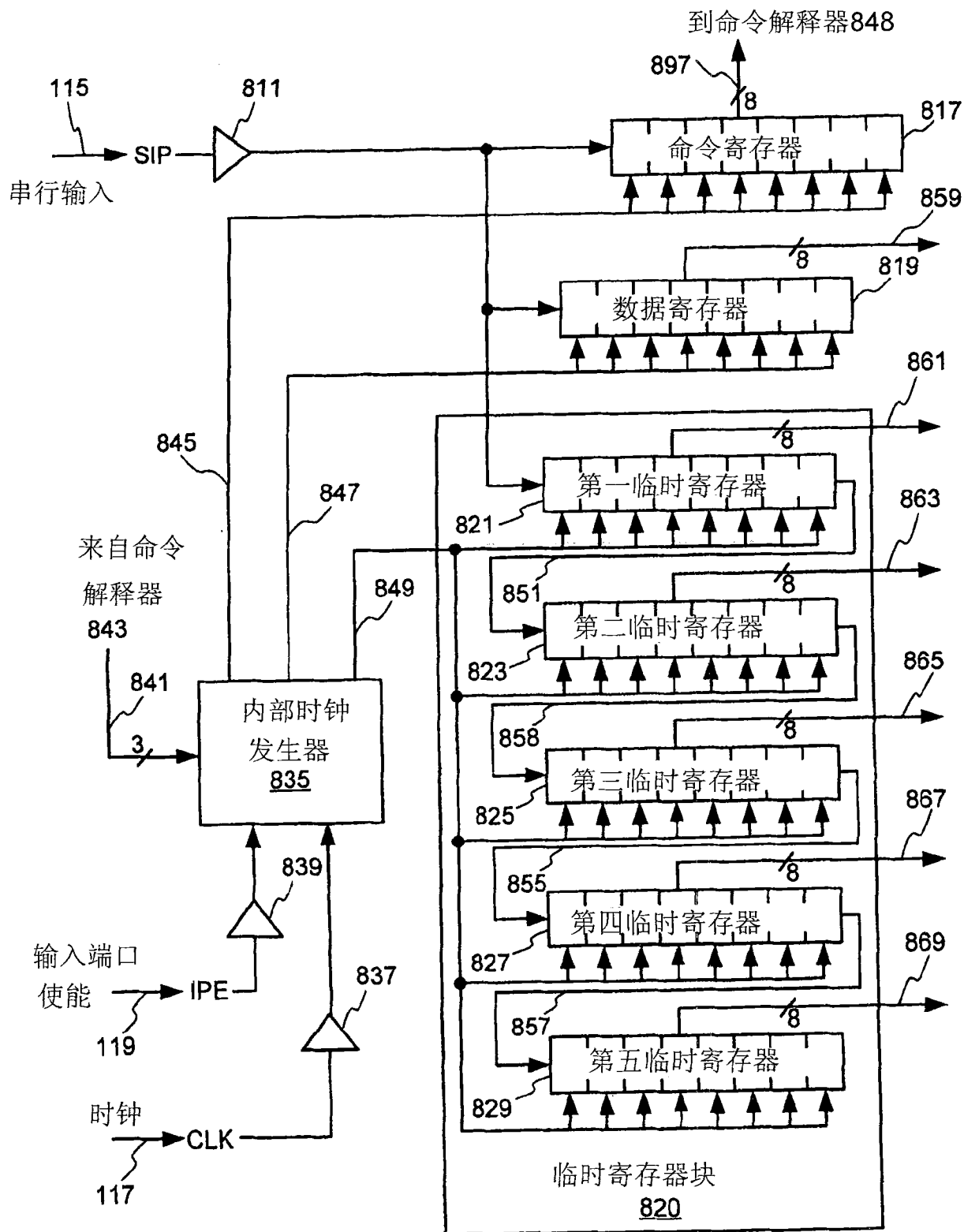


图 14A

17/23

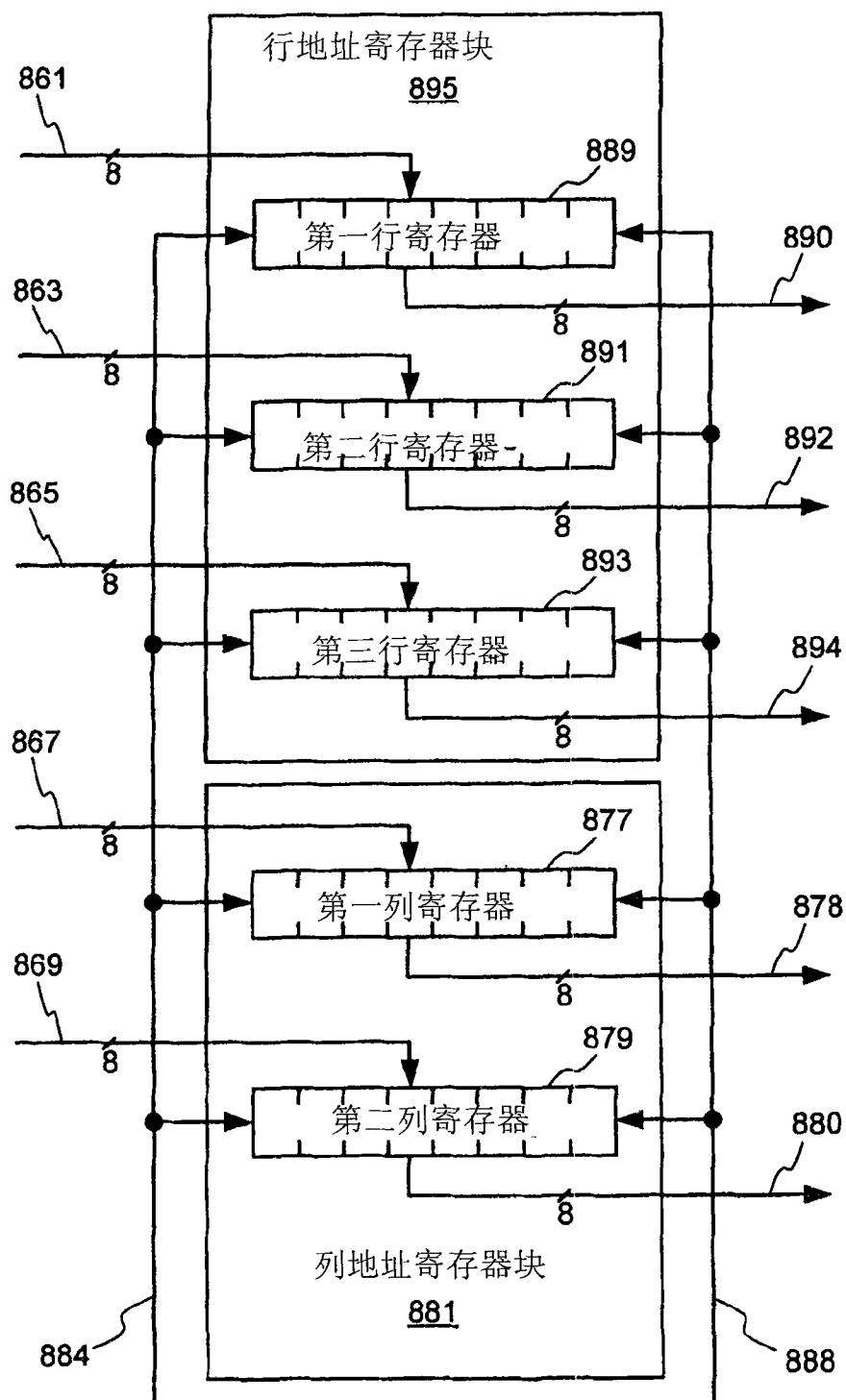


图 14B

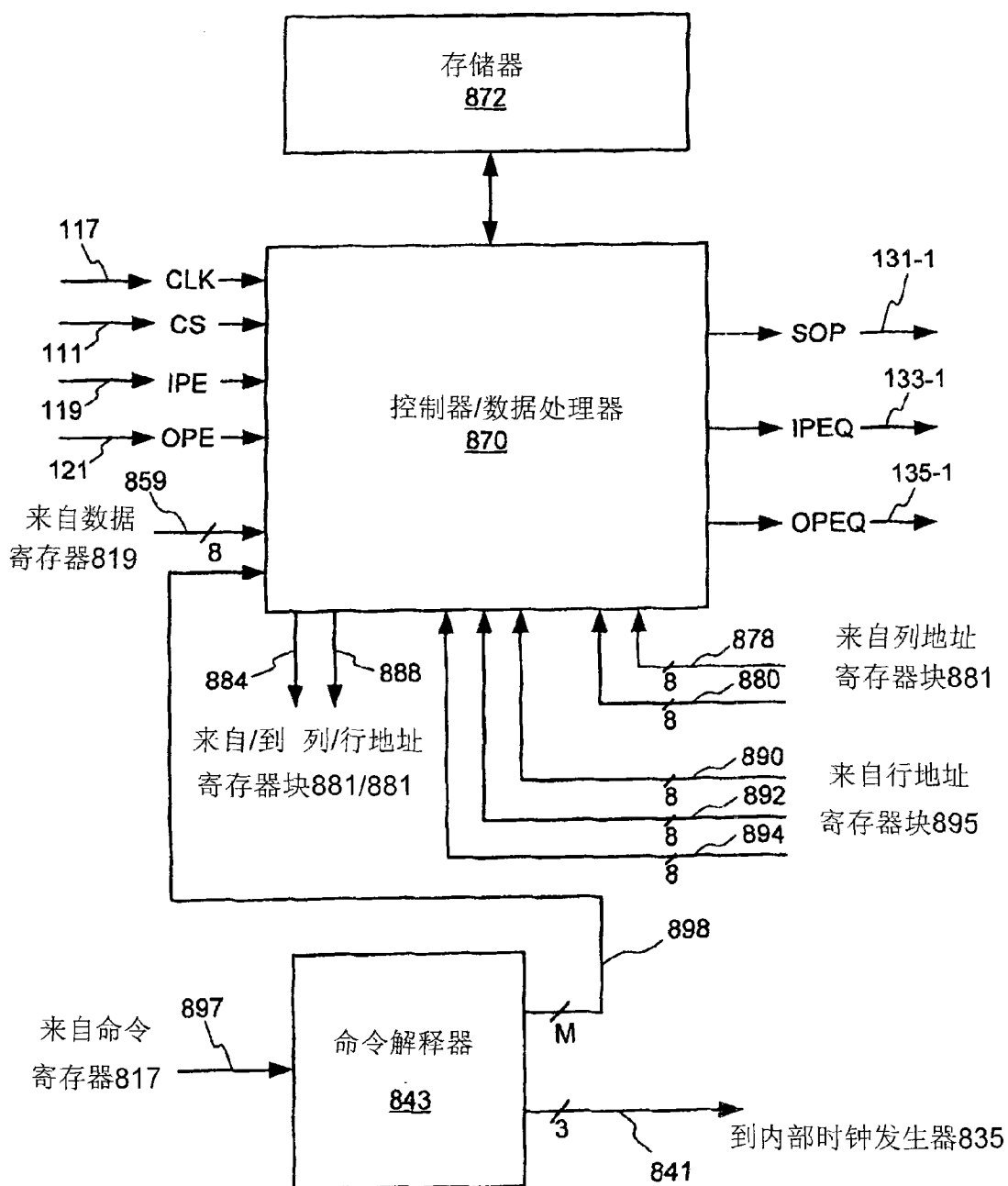


图 14C

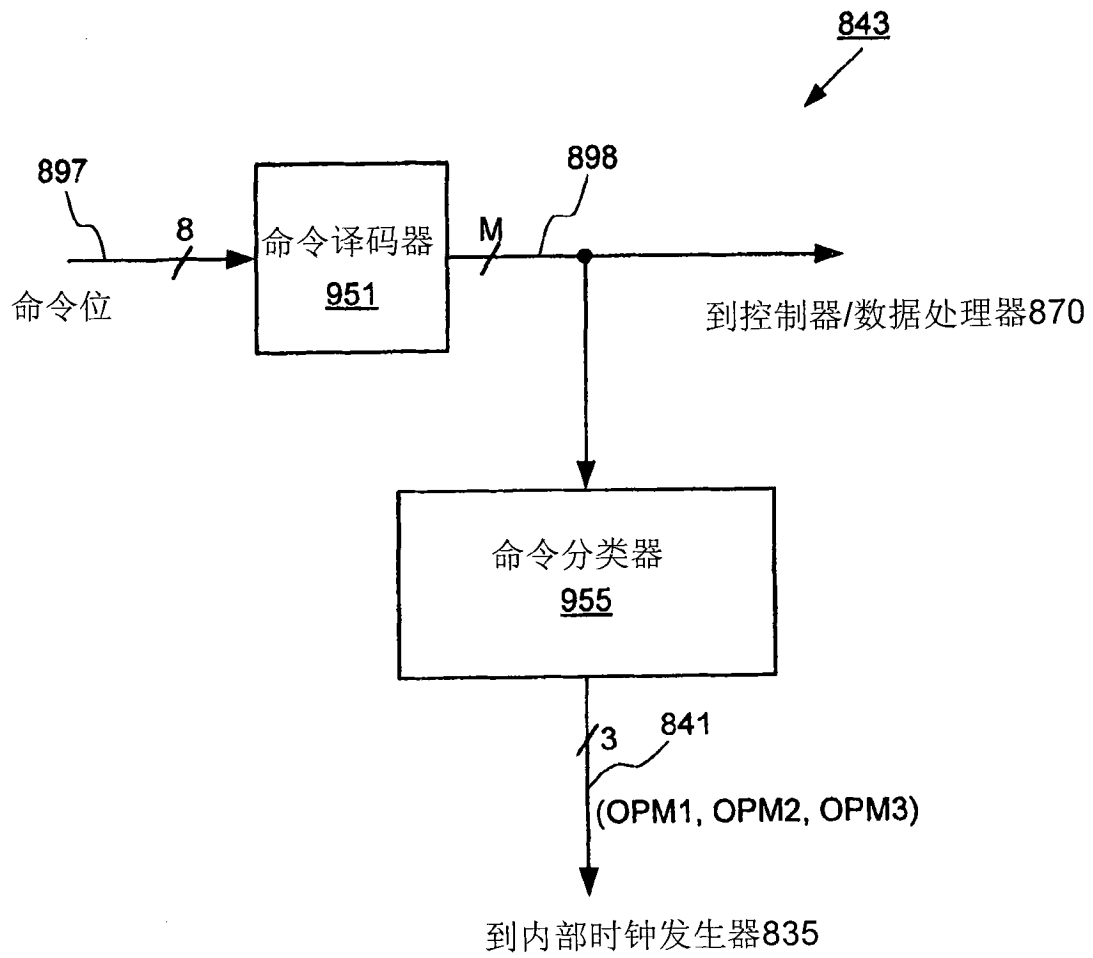


图 15

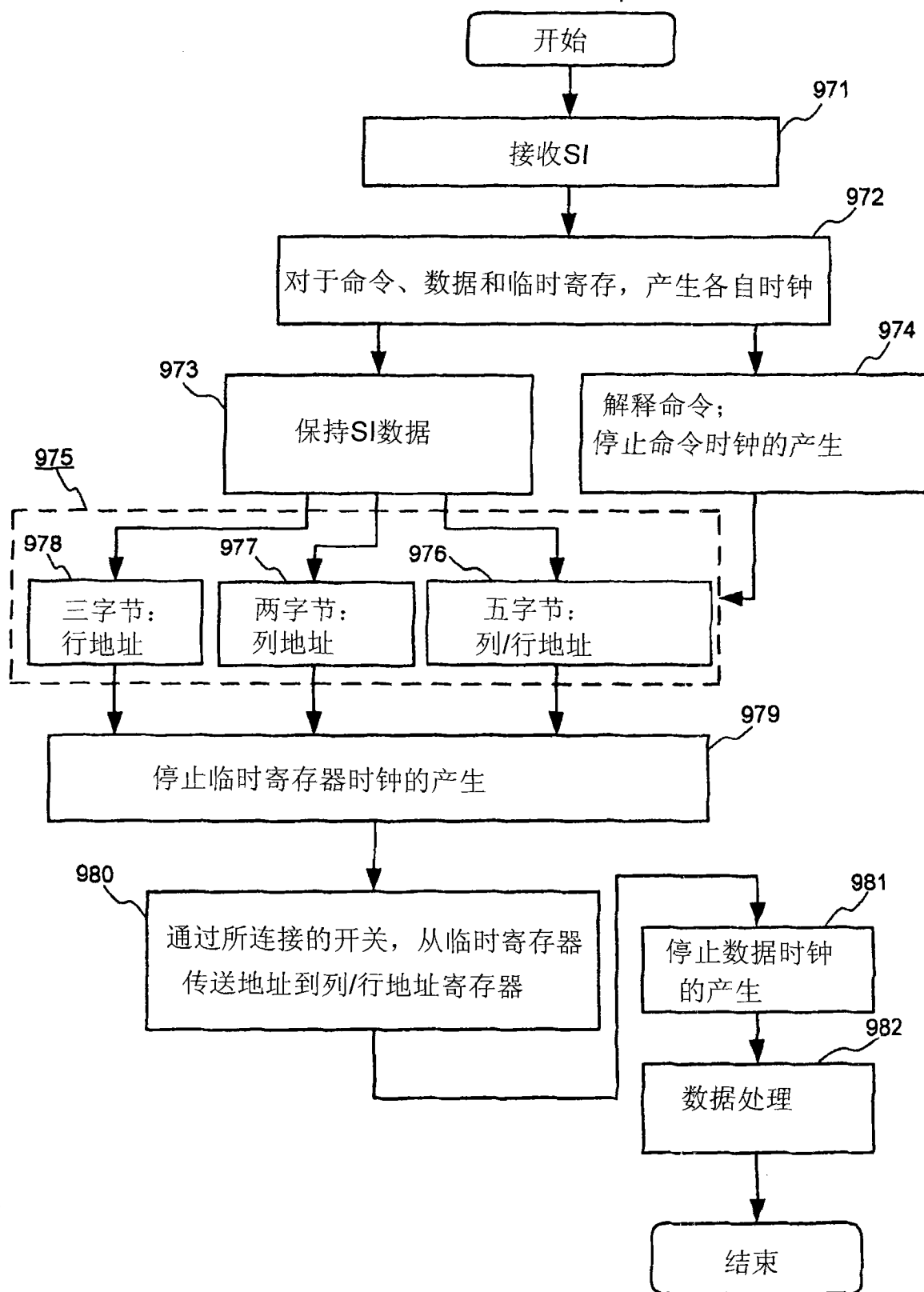


图 16

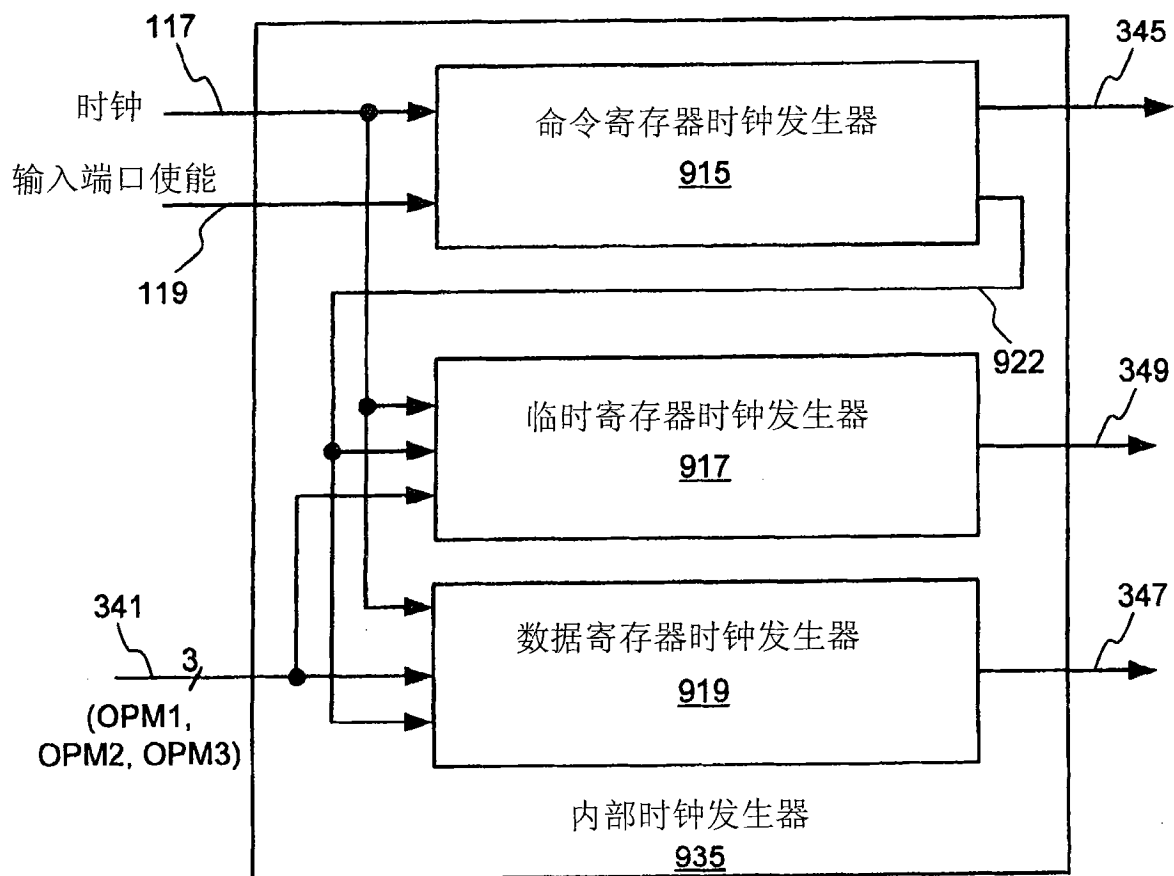


图 17

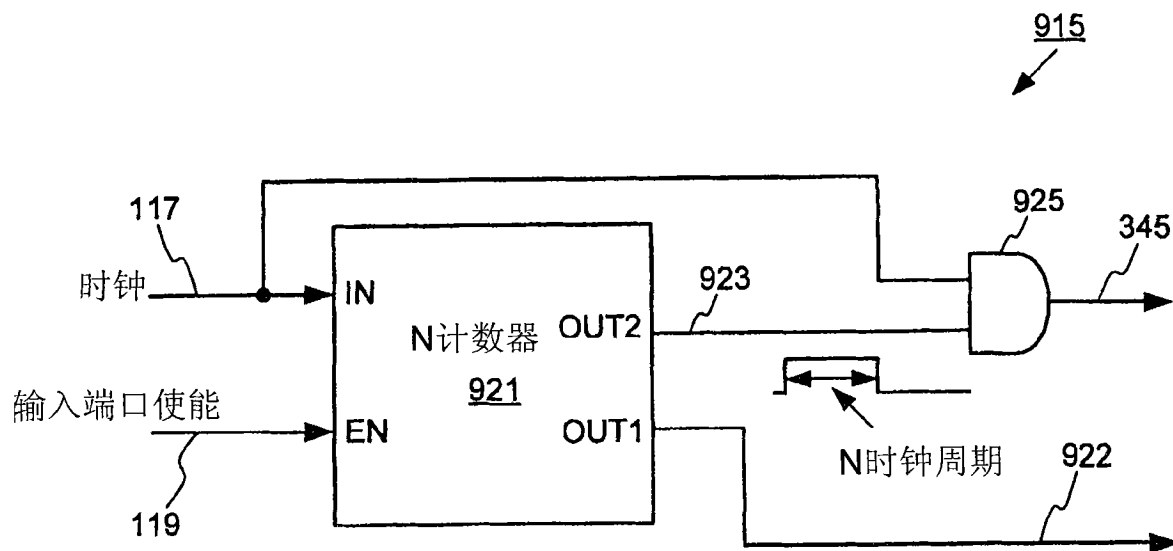


图 18A

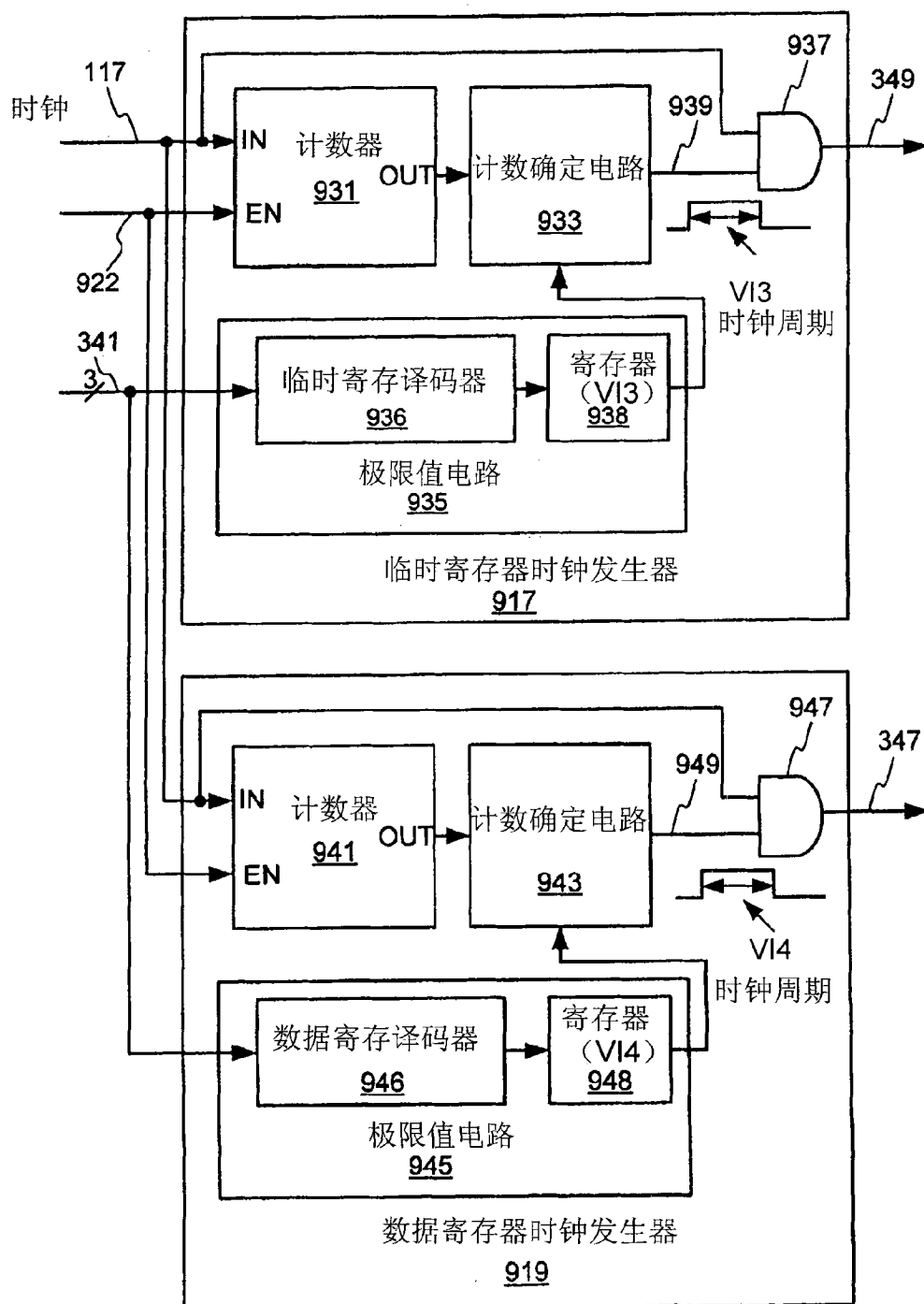


图 18B

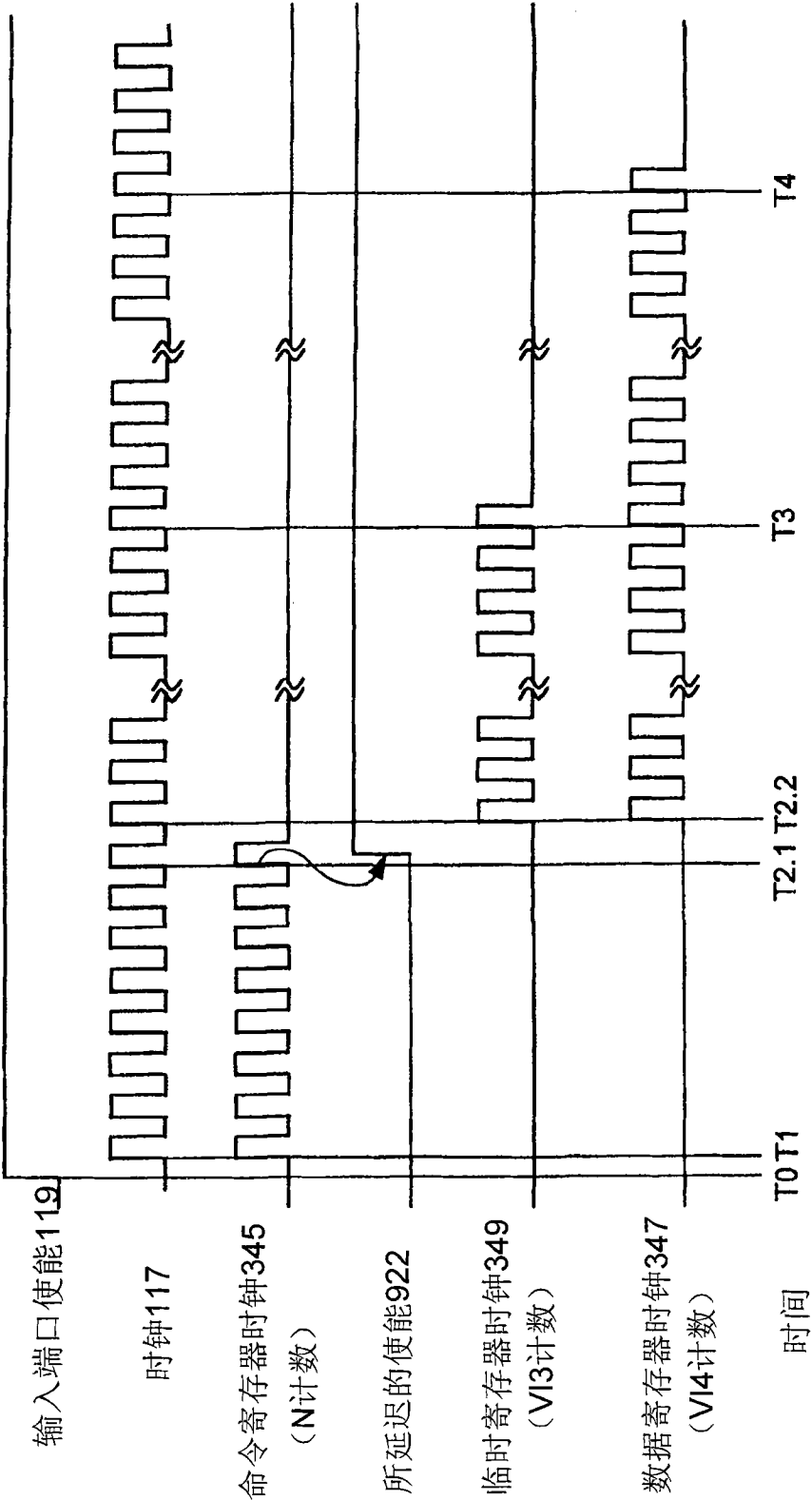


图19