

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年3月5日(2020.3.5)

【公開番号】特開2017-138979(P2017-138979A)

【公開日】平成29年8月10日(2017.8.10)

【年通号数】公開・登録公報2017-030

【出願番号】特願2017-12854(P2017-12854)

【国際特許分類】

G 06 F 12/00 (2006.01)

G 11 C 11/405 (2006.01)

G 11 C 14/00 (2006.01)

【F I】

G 06 F 12/00 5 6 4 A

G 11 C 11/34 3 5 2 B

G 11 C 11/34 3 5 2 A

【手続補正書】

【提出日】令和2年1月23日(2020.1.23)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プロセッサコア、メモリ部、およびバスを有する半導体装置であり、

前記メモリ部は第1メモリを有し、

前記第1メモリはメモリセルを有し、

前記メモリセルは、第1トランジスタ、第2トランジスタ、および容量素子を有し、

前記第1トランジスタの第1端子は前記第2トランジスタのゲートに電気的に接続され

、前記第2トランジスタのゲートは、前記容量素子の第1端子に電気的に接続され、

前記プロセッサコアは、書き込みイネーブル信号を生成する機能を有し、

前記バスは、前記書き込みイネーブル信号を前記メモリ部に出力する機能を有し、

前記第1メモリは、前記書き込みイネーブル信号に基づいて、待機信号を生成する機能を有し、

前記バスは前記待機信号を前記プロセッサコアに出力する機能を有し、

前記プロセッサコアは、前記待機信号に基づいて、前記メモリ部へのアクセスをnクロックサイクル時間(nは1以上の整数)延期する機能を有する半導体装置。

【請求項2】

プロセッサコア、メモリ部、バス、レジスタ、クロック生成部、およびロジック部を有する半導体装置であり、

前記メモリ部は第1メモリを有し、

前記第1メモリはメモリセルを有し、

前記メモリセルは、第1トランジスタ、第2トランジスタ、および容量素子を有し、

前記第1トランジスタの第1端子は前記第2トランジスタのゲートに電気的に接続され

、前記第2トランジスタのゲートは、前記容量素子の第1端子に電気的に接続され、

前記プロセッサコアは、前記レジスタに第1データを書き込む機能を有し、

前記レジスタは前記第1データを前記クロック生成部に出力する機能と、前記第1データを前記ロジック部に出力する機能とを有し、

前記クロック生成部は、前記第1データに応じた周波数のクロック信号を生成する機能を有し、

前記ロジック部は、前記第1データに基づいて第1信号を生成する機能と、前記第1信号を前記第1メモリに出力する機能とを有し、

前記プロセッサコアは、書き込みイネーブル信号を生成する機能を有し、

前記バスは、前記書き込みイネーブル信号を前記メモリ部に出力する機能を有し、

前記第1メモリは、前記書き込みイネーブル信号および前記第1信号に基づいて、待機信号を生成する機能を有し、

前記バスは前記待機信号を前記プロセッサコアに出力する機能を有し、

前記プロセッサコアは、前記待機信号に基づいて、前記メモリ部へのアクセスをmクロックサイクル時間（mは0以上の整数）延期する機能を有する半導体装置。

【請求項3】

請求項1又は2において、

第3トランジスタを有し、

前記第2トランジスタの第1端子と前記第3トランジスタの第1端子は互いに電気的に接続されている半導体装置。

【請求項4】

請求項1乃至3の何れか1項において、

前記第1トランジスタのチャネル形成領域は、酸化物半導体を有する半導体装置。

【請求項5】

請求項1乃至4の何れか1項において、

前記メモリ部は、SRAM、フラッシュメモリ、強誘電体RAM、磁気抵抗RAM、抵抗変化RAM、および相変化RAMの少なくとも1つを有する半導体装置。

【請求項6】

チップおよびリードを有し、

前記リードは前記チップに電気的に接続され、

前記チップには、請求項1乃至5の何れか1項に記載の半導体装置が設けられている電子部品。

【請求項7】

請求項6に記載の電子部品と、

表示部、タッチセンサ、マイク、スピーカ、操作キー、及び筐体の少なくとも一と、を有する電子機器。