



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0094917
(43) 공개일자 2014년07월31일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2013-0007573
(22) 출원일자 2013년01월23일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
석성대
서울 동작구 현충로 119, 105동 502호 (흑석동, 명수대현대아파트)
강희수
서울 양천구 목동로 186, 731동 1402호 (목동, 목동7단지아파트)
(74) 대리인
권혁수, 송윤호, 오세준

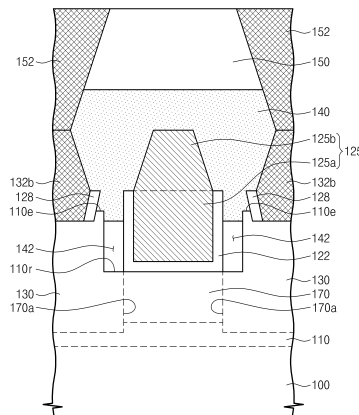
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치가 제공된다. 이 반도체 장치는 기판 상에 배치된 반도체 핀을 가로지르는 게이트 전극, 게이트 전극과 반도체 핀 사이에 개재된 게이트 절연막, 게이트 전극 아래의 반도체 핀에 정의된 3차원 구조의 채널 영역, 게이트 전극 양측의 반도체 핀에 형성되며, 게이트 전극으로부터 이격된 불순물 영역들, 게이트 전극을 제외한 기판 전면을 덮는 제 1 층간 절연막, 제 1 층간 절연막을 관통하여 불순물 영역들과 접촉하는 제 1 콘택 플러그, 및 게이트 전극을 덮되, 게이트 전극과 불순물 영역들 사이의 공간의 일부를 채워 게이트 전극과 불순물 영역들 사이에 에어 갭을 정의하는 제 2 층간 절연막을 포함한다.

대표도 - 도1b



(72) 발명자

박성일

경기 수원시 영통구 영통로 232, 802동 201호 (영
통동, 벽적골8단지아파트)

오창우

경기 수원시 영통구 청명북로 33, 439동 206호 (영
통동, 청명마을4단지아파트)

특허청구의 범위

청구항 1

기판 상에 배치된 반도체 핀을 가로지르는 게이트 전극;
 상기 게이트 전극과 상기 반도체 핀 사이에 개재된 게이트 절연막;
 상기 게이트 전극 아래의 상기 반도체 핀에 정의된 3차원 구조의 채널 영역;
 상기 게이트 전극 양측의 상기 반도체 핀에 형성되되, 상기 게이트 전극으로부터 이격된 불순물 영역들;
 상기 게이트 전극을 제외한 상기 기판 전면을 덮는 제 1 층간 절연막;
 상기 제 1 층간 절연막을 관통하여 상기 불순물 영역들과 접촉하는 제 1 콘택 플러그; 및
 상기 게이트 전극을 덮되, 상기 게이트 전극과 상기 불순물 영역들 사이의 공간의 일부를 채워 상기 게이트 전극과 상기 불순물 영역들 사이에 에어 갭을 정의하는 제 2 층간 절연막을 포함하는 반도체 장치.

청구항 2

제 1항에 있어서,
 상기 제 2 층간 절연막은 상기 제 1 층간 절연막보다 낮은 유전 상수를 갖는 반도체 장치.

청구항 3

제 1항에 있어서,
 상기 불순물 영역들 각각의 상부면은 상기 채널 영역의 상부면보다 높은 높이를 갖는 반도체 장치.

청구항 4

제 1항에 있어서,
 상기 게이트 전극은:
 일정한 폭을 갖는 하부 게이트부; 및
 상기 하부 게이트부로부터 점차적으로 좁아지는 폭을 갖는 상부 게이트부를 포함하는 반도체 장치.

청구항 5

제 4항에 있어서,
 상기 제 2 층간 절연막은 상기 하부 게이트부와 상기 불순물 영역들 사이의 공간의 일부를 채우는 반도체 장치.

청구항 6

제 4항에 있어서,
 상기 게이트 절연막은 상기 하부 게이트부의 측벽으로 더 연장되는 반도체 장치.

청구항 7

제 1항에 있어서,
 상기 제 1 콘택 플러그는 상기 게이트 전극으로부터 멀어지는 방향으로 오르막 경사의 측벽을 갖는 형태인 반도체 장치.

청구항 8

제 1항에 있어서,

상기 제 2 층간 절연막 및 상기 제 1 콘택 플러그를 덮는 제 3 층간 절연막; 및

상기 제 3 층간 절연막을 관통하여 상기 제 1 콘택 플러그와 접촉하는 제 2 콘택 플러그를 더 포함하는 반도체 장치.

청구항 9

기판 상에 배치된 반도체 핀을 가로지르되, 게이트 절연막을 개재하는 게이트 전극을 형성하는 것;

상기 게이트 전극 아래의 상기 반도체 핀에 3차원 구조의 채널 영역을 정의하기 위해, 상기 게이트 전극 양측의 상기 반도체 핀에 상기 게이트 전극으로부터 이격된 불순물 영역들을 형성하는 것;

상기 게이트 전극의 측벽을 덮는 희생 절연막을 형성하는 것;

상기 게이트 전극의 양측에 배치되어 상기 불순물 영역들에 접촉하는 제 1 콘택 플러그를 형성하는 것;

상기 희생 절연막을 제거하는 것; 및

상기 게이트 전극을 덮되, 상기 게이트 전극과 상기 불순물 영역들 사이의 공간의 일부를 채워 상기 게이트 전극과 상기 불순물 영역들 사이에 에어 갭을 정의하는 캡핑 층간 절연막을 형성하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 10

제 9항에 있어서,

상기 희생 절연막을 제거하는 것은:

상기 게이트 전극과 상기 제 1 콘택 플러그 사이의 상기 희생 절연막의 일부를 제거하는 것;

상기 희생 절연막의 일부가 제거된 부위의 공간이 넓어지도록 상기 게이트 전극 및 상기 제 1 콘택 플러그를 식각하는 것; 및

상기 게이트 전극과 상기 제 1 콘택 플러그 사이에 남아있는 상기 희생 절연막을 제거하는 것을 포함하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 더 구체적으로 3차원 구조의 채널 영역을 포함하는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여, 반도체 장치는 전자 산업에서 중요한 요소로 각광받고 있다. 반도체 장치들은 논리 데이터(data)를 저장하는 반도체 기억 장치, 논리 데이터를 연산 처리하는 반도체 논리 장치 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 장치 등으로 구분될 수 있다. 전자 산업이 고도로 발전함에 따라, 반도체 장치의 특성들에 대한 요구가 점점 증가하고 있다. 예컨대, 반도체 장치에 대한 높은 신뢰성, 고속화 및/또는 다기능화 등과 관련된 요구가 점점 증가하고 있다. 이러한 요구들을 충족시키기 위하여, 반도체 장치 내 구조들은 점점 복잡해지고 있으며, 또한, 반도체 장치는 점점 고집적화되고 있다.

[0003] 반도체 장치의 고집적화 경향이 높아짐에 따라, 모스 전계 효과 트랜지스터(Metal-Oxide-Silicon Field Effect Transistor : MOSFET, 이하, 트랜지스터라 함)의 채널(channel) 폭이 감소하여, 트랜지스터의 구동 전류량이 감소하고 있다. 이러한 구동 전류량이 감소함으로써, 반도체 장치에 여러 가지 문제점들이 발생하고 있다. 예컨대, 트랜지스터의 동작 속도가 감소할 수 있다. 또한, 트랜지스터의 구동 전류량의 차이 등을 이용하는 반도체 기억 장치의 데이터 센싱 마진(data sensing margin)이 감소할 수 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 해결하고자 하는 과제는 교류 성능을 향상시킬 수 있는 반도체 장치를 제공하는 데 있다.
- [0005] 본 발명이 해결하고자 하는 다른 과제는 교류 성능을 향상시킬 수 있는 반도체 장치의 제조 방법을 제공하는 데 있다.
- [0006] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 상기한 과제를 달성하기 위하여, 본 발명은 반도체 장치를 제공한다. 이 반도체 장치는 기판 상에 배치된 반도체 핀을 가로지르는 게이트 전극, 게이트 전극과 반도체 핀 사이에 개재된 게이트 절연막, 게이트 전극 아래의 반도체 핀에 정의된 3차원 구조의 채널 영역, 게이트 전극 양측의 반도체 핀에 형성되며, 게이트 전극으로부터 이격된 불순물 영역들, 게이트 전극을 제외한 기판 전면을 덮는 제 1 층간 절연막, 제 1 층간 절연막을 관통하여 불순물 영역들과 접촉하는 제 1 콘택 플러그, 및 게이트 전극을 덮되, 게이트 전극과 불순물 영역들 사이의 공간의 일부를 채워 게이트 전극과 불순물 영역들 사이에 에어 갭을 정의하는 제 2 층간 절연막을 포함할 수 있다.
- [0008] 제 2 층간 절연막은 제 1 층간 절연막보다 낮은 유전 상수를 가질 수 있다.
- [0009] 불순물 영역들 각각의 상부면은 채널 영역의 상부면보다 높은 높이를 가질 수 있다.
- [0010] 게이트 전극은 일정한 폭을 갖는 하부 게이트부 및 하부 게이트부로부터 점차적으로 좁아지는 폭을 갖는 상부 게이트부를 포함할 수 있다. 제 2 층간 절연막은 하부 게이트부와 불순물 영역들 사이의 공간의 일부를 채울 수 있다. 게이트 절연막은 하부 게이트부의 측벽으로 더 연장될 수 있다.
- [0011] 제 1 콘택 플러그는 게이트 전극으로부터 멀어지는 방향으로 오르막 경사의 측벽을 가질 수 있다.
- [0012] 제 2 층간 절연막 및 제 1 콘택 플러그를 덮는 제 3 층간 절연막, 및 제 3 층간 절연막을 관통하여 제 1 콘택 플러그와 접촉하는 제 2 콘택 플러그를 더 포함할 수 있다.
- [0013] 또한, 상기한 다른 과제를 달성하기 위하여, 본 발명은 반도체 장치의 제조 방법을 제공한다. 이 방법은 기판 상에 배치된 반도체 핀을 가로지르되, 게이트 절연막을 개재하는 게이트 전극을 형성하는 것, 게이트 전극 아래의 반도체 핀에 3차원 구조의 채널 영역을 정의하기 위해, 게이트 전극 양측의 반도체 핀에 게이트 전극으로부터 이격된 불순물 영역들을 형성하는 것, 게이트 전극의 측벽을 덮는 희생 절연막을 형성하는 것, 게이트 전극의 양측에 배치되어 불순물 영역들에 접촉하는 제 1 콘택 플러그를 형성하는 것, 희생 절연막을 제거하는 것, 및 게이트 전극을 덮되, 게이트 전극과 불순물 영역들 사이의 공간의 일부를 채워 게이트 전극과 불순물 영역들 사이에 에어 갭을 정의하는 캡핑 층간 절연막을 형성하는 것을 포함할 수 있다.
- [0014] 희생 절연막을 제거하는 것은 게이트 전극과 제 1 콘택 플러그 사이의 희생 절연막의 일부를 제거하는 것, 희생 절연막의 일부가 제거된 부위의 공간이 넓어지도록 게이트 전극 및 제 1 콘택 플러그를 식각하는 것, 및 게이트 전극과 제 1 콘택 플러그 사이에 남아있는 희생 절연막을 제거하는 것을 포함할 수 있다.
- [0015] 게이트 전극 및 제 1 콘택 플러그를 식각하는 것에 의해, 게이트 전극은 일정한 폭을 갖는 하부 게이트부 및 하부 게이트부로부터 점차적으로 좁아지는 폭을 갖는 상부 게이트부로 구성될 수 있다.
- [0016] 게이트 전극 및 제 1 콘택 플러그를 식각하는 것에 의해, 제 1 콘택 플러그는 게이트 전극으로부터 멀어지는 방향으로 오르막 경사를 갖는 측벽을 가질 수 있다.
- [0017] 캡핑 층간 절연막은 하부 게이트부와 불순물 영역들 사이의 공간의 일부를 채울 수 있다.
- [0018] 게이트 절연막은 하부 게이트부의 측벽으로 더 연장된 형태일 수 있다.
- [0019] 희생 절연막과 제 1 콘택 플러그 사이에 개재되는 스페이서를 형성하는 것을 더 포함할 수 있다.
- [0020] 캡핑 층간 절연막 및 제 1 콘택 플러그를 덮는 상부 층간 절연막을 형성하는 것, 및 상부 층간 절연막을 관통하여 제 1 콘택 플러그와 접촉하는 제 2 콘택 플러그를 형성하는 것을 더 포함할 수 있다.

발명의 효과

[0021] 상술한 바와 같이, 본 발명의 과제의 해결 수단에 따르면 반도체 장치가 게이트 전극의 하부 게이트부와 반도체 핀(semiconductor fin) 사이에 정의된 에어 갭을 포함함으로써, 가장자리 전계(fringing field)가 최소화될 수 있다. 이에 따라, 가장자리 전계에 의한 커패시턴스(capacitance)가 최소화되어 교류 성능이 향상된 반도체 장치 및 그 제조 방법이 제공될 수 있다.

[0022] 또한, 본 발명의 과제의 해결 수단에 따르면 반도체 장치가 게이트 전극의 상부 게이트부와 제 1 콘택 플러그 사이에 낮은 유전 상수를 갖는 제 2 층간 절연막을 구비하는 동시에, 게이트 전극의 상부 게이트부와 제 1 콘택 플러그 사이의 거리가 커짐으로써, 이들 사이의 기생 커패시턴스가 최소화될 수 있다. 이에 따라, 기생 커패시턴스가 최소화되어 교류 성능이 향상될 수 있는 반도체 장치 및 그 제조 방법이 제공될 수 있다.

도면의 간단한 설명

[0023] 도 1a는 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다.
 도 1b 내지 도 1d는 각각 도 1a의 A-A' 선, B-B' 선 및 C-C' 선을 따라 절단한 단면도들이다.
 도 2 내지 도 14는 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위해 도 1a의 A-A' 선을 따라 절단한 공정 단면도들이다.
 도 15는 본 발명의 실시예들에 따른 반도체 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략적인 블록도이다.
 도 16은 본 발명의 실시예들에 따른 반도체 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략적인 블록도이다.
 도 17은 본 발명에 따른 실시예들에 따른 반도체 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략적인 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면들과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되는 것이 아니라 서로 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0025] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 또한, 바람직한 실시예에 따른 것이기 때문에, 설명의 순서에 따라 제시되는 참조 부호는 그 순서에 반드시 한정되지는 않는다. 이에 더하여, 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다.

[0026] 또한, 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 예시도인 단면도 및/또는 평면도들을 참고하여 설명될 것이다. 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 예를 들면, 직각으로 도시된 식각 영역은 라운드지거나 소정 곡률을 가지는 형태일 수 있다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이며 발명의 범주를 제한하기 위한 것이 아니다.

[0027] 도 1a는 본 발명의 실시예에 따른 반도체 장치를 설명하기 위한 평면도이고, 그리고 도 1b 내지 도 1d는 각각 도 1a의 A-A' 선, B-B' 선 및 C-C' 선을 따라 절단한 단면도들이다.

- [0028] 도 1a 내지 도 1d를 참조하면, 기판(100) 상에 3차원 구조의 반도체 핀(110)이 배치된다. 반도체 핀(110)의 상부 모서리는 편이상 직각을 이루는 것으로 도시되었다. 하지만, 반도체 핀(110)의 상부 모서리는 둥글게 굴곡진 형태인 것이 바람직할 수 있다. 기판(100)은 반도체 기판일 수 있다. 도시된 바와 같이, 반도체 핀(110)의 하부면은 기판(100)과 접촉할 수 있다. 이와는 달리, 반도체 핀(110)은 기판(100) 상에 배치된 매몰 절연막(미도시) 상에 배치될 수도 있다. 즉, 반도체 핀(110)은 SOI(Semiconductor On Insulator) 기판의 매몰 절연막 상에 배치된 반도체층으로부터 형성될 수 있다. 이하, 상세한 설명에서는 반도체 핀(110)이 기판(100)과 접촉된 경우에 대해 설명한다(물론, 본 발명이 SOI 기판에 적용될 수 있음은 자명한 것이다.).
- [0029] 반도체 핀(110)의 주변의 기판(100) 상에 소자분리 패턴(isolation pattern, 113)이 배치된다. 소자분리 패턴(113)은 반도체 핀(110)의 아랫부분의 측면을 둘러싸는 형태일 수 있다. 소자분리 패턴(113)은 실리콘 산화물(silicon oxide)으로 형성될 수 있다.
- [0030] 게이트 전극(125)이 반도체 핀(110)을 가로지르고, 게이트 절연막(122)이 게이트 전극(125)과 반도체 핀(110) 사이에 개재된다. 게이트 전극(125)은 도전 물질인 도핑된 폴리실리콘(doped polysilicon), 금속(예를 들어, 텅스텐(W) 또는 몰리브덴(Mo) 등), 도전성 금속 질화물(예를 들어, 티타늄 질화물(TiN) 또는 탄탈륨 질화물(Ta₃N₅) 등) 및 금속 실리사이드(예를 들어, 텅스텐 실리사이드(WSi₂) 또는 코발트 실리사이드(CoSi₂) 등) 중에 선택된 적어도 하나를 포함한다. 바람직하게는, 본 발명의 실시예에 따른 게이트 전극(125)은 텅스텐으로 형성될 수 있다. 게이트 절연막(122)은 화학적 기상 증착(Chemical Vapor Deposition : CVD) 방법으로 형성된 실리콘 산화물을 포함할 수 있다.
- [0031] 게이트 전극(125)은 일정한 폭을 갖는 하부 게이트부(125a) 및 하부 게이트부(125a)로부터 점차적으로 좁아지는 폭을 갖는 상부 게이트부(125b)를 포함할 수 있다. 즉, 게이트 전극(125)의 상부 게이트부(125b)는 위쪽으로 향하는 방향으로 오르막 경사의 측면을 가질 수 있다. 게이트 절연막(122)은 하부 게이트부(125a)의 측면으로 더 연장될 수 있다. 즉, 게이트 전극(125)의 하부 게이트부(125a)는 게이트 절연막(122)에 의해 둘러싸일 수 있다. 게이트 전극(125)의 하부 게이트부(125a)의 측면으로 연장된 게이트 절연막(122) 부위는 스페이서(spacer) 역할을 할 수 있다.
- [0032] 게이트 전극(125) 양측의 반도체 핀(110)에 게이트 전극(125)으로부터 이격된 불순물 영역들(130)이 배치된다. 게이트 전극(125) 양측에 각각 이격되어 배치된 한 쌍의 불순물 영역들(130)은 핀 트랜지스터의 소스(source)/드레인(drain) 영역들에 해당한다. 게이트 전극(125) 아래의 반도체 핀(110)에 3차원 구조를 갖는 채널 영역(170)이 정의된다. 불순물 영역들(130) 각각의 상부면은 채널 영역(170)의 상부면보다 높은 높이를 가질 수 있다. 즉, 핀 트랜지스터는 엘리베이티드(elevated) 소스/드레인 영역들을 가질 수 있다.
- [0033] 채널 영역(170)은 한 쌍의 불순물 영역들(130) 사이의 반도체 핀(110)에 정의된다. 채널 영역(170)은 한 쌍의 불순물 영역들(130)과 각각 접촉하는 한 쌍의 제 1 측면들(170a)과, 제 1 측면들(170a)에 대하여 수직하며 서로 마주보는 한 쌍의 제 2 측면들(170b)을 포함한다. 게이트 전극(125)은 채널 영역(170)의 상부면 및 한 쌍의 제 2 측면들(170b)을 덮는다. 게이트 전극(125) 및 불순물 영역들(130)은 핀 트랜지스터를 구성한다.
- [0034] 제 1 층간 절연막(120)이 게이트 전극(125) 부위를 제외한 기판(100) 전면을 덮는다. 즉, 제 1 층간 절연막(120)은 불순물 영역들(130)을 포함하는 기판(100) 전면을 덮지만, 게이트 전극(125) 부위를 노출한다. 제 1 층간 절연막(120)은 실리콘 산화물로 형성될 수 있다.
- [0035] 제 1 층간 절연막(120)을 관통하여 불순물 영역들(130)과 접촉하는 제 1 콘택 플러그(first contact plug, 132b)가 제공된다. 제 1 콘택 플러그(132b)는 불순물 영역들(130)의 비저항에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 것이 바람직할 수 있다. 예컨대, 제 1 콘택 플러그(132b)는 도전성 금속 질화물(예를 들어, 티타늄 질화물 또는 탄탈륨 질화물 등), 금속(예를 들어, 티타늄(Ti), 탄탈륨(Ta), 텅스텐, 알루미늄(Al) 또는 구리(Cu) 등) 및 금속 실리사이드(예를 들어, 티타늄 실리사이드(TiSi₂) 또는 탄탈륨 실리사이드(TaSi₂) 등) 중에서 선택된 적어도 하나를 포함하는 것이 바람직할 수 있다. 바람직하게는, 본 발명의 실시예에 따른 제 1 콘택 플러그(132b)는 텅스텐으로 형성될 수 있다. 제 1 콘택 플러그(132b)는 기둥 형태(pillar-shaped)일 수 있다. 제 1 콘택 플러그(132b)는 게이트 전극(125)으로부터 멀어지는 방향으로 오르막 경사의 측면을 가질 수 있다.
- [0036] 제 2 층간 절연막(140)이 게이트 전극(125) 부위를 덮되, 게이트 전극(125)과 불순물 영역들(130) 사이의 공간의 일부를 채워 게이트 전극(125)과 불순물 영역들(130) 사이에 에어 갭(air gap, 142)을 정의한다. 또한, 제 2 층간 절연막(140)은 반도체 핀(110) 상의 제 1 층간 절연막(120)과 소자분리 패턴(113) 상의 제 1 층간 절연막

(120) 사이의 공간의 일부를 채워 제 1 층간 절연막들(120) 사이에 추가적인 에어 갭(142)을 정의(도 1d 참조)할 수 있다. 즉, 제 2 층간 절연막(140)은 한 쌍의 불순물 영역들(130)과 각각 접촉하는 채널 영역(170)의 한 쌍의 제 1 측면들(170a)과 제 1 층간 절연막(120) 사이의 공간의 일부를 채워 채널 영역(170)의 한 쌍의 제 1 측면들(170a) 상에 추가적인 에어 갭(142)을 정의할 수 있다. 제 2 층간 절연막(140)은 게이트 전극(125)의 하부 게이트부(125a)와 불순물 영역들(130) 사이의 공간의 일부를 채울 수 있다. 즉, 에어 갭(142)의 상부는 게이트 전극(142b)의 하부 게이트부(125a)의 상부보다 낮은 높이를 가질 수 있다. 제 2 층간 절연막(140)은 제 1 층간 절연막(120)보다 낮은 유전 상수를 갖는 물질을 포함할 수 있다. 제 2 층간 절연막(140)의 상부면은 제 1 콘택 플러그(132b)의 상부면보다 높은 높이를 가질 수 있다.

[0037] 제 3 층간 절연막(150)이 제 2 층간 절연막(140) 및 제 1 콘택 플러그(132b)를 덮는다. 제 3 층간 절연막(150)은 실리콘 산화물로 형성될 수 있다. 제 3 층간 절연막(150)을 관통하여 제 1 콘택 플러그(132b)와 접촉하는 제 2 콘택 플러그(152)가 제공된다. 제 2 콘택 플러그(152)는 불순물 영역들(130)의 비저항에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 것이 바람직할 수 있다. 예컨대, 제 2 콘택 플러그(152)는 도전성 금속 질화물(예를 들어, 티타늄 질화물 또는 탄탈륨 질화물 등), 금속(예를 들어, 티타늄, 탄탈륨, 텅스텐, 알루미늄 또는 구리 등) 및 금속 실리사이드(예를 들어, 티타늄 실리사이드 또는 탄탈륨 실리사이드 등) 중에서 선택된 적어도 하나를 포함하는 것이 바람직할 수 있다. 바람직하게는, 본 발명의 실시예에 따른 제 2 콘택 플러그(152)는 텅스텐으로 형성될 수 있다. 제 2 콘택 플러그(152)는 기둥 형태일 수 있다. 제 2 콘택 플러그(152)는 게이트 전극(125)으로부터 멀어지는 방향으로 내리막 경사의 측면을 가질 수 있다.

[0038] 상기한 본 발명의 실시예에 따른 반도체 장치는 게이트 전극(125)의 하부 게이트부(125a)와 반도체 핀(110) 사이에 정의된 에어 갭(142)을 포함함으로써, 가장자리 전계가 최소화될 수 있다. 이에 따라, 가장자리 전계에 의한 커패시턴스가 최소화되어 교류 성능이 향상될 수 있는 반도체 장치가 제공될 수 있다.

[0039] 또한, 본 발명의 실시예에 따른 반도체 장치는 게이트 전극(125)의 상부 게이트부(125b)와 제 1 콘택 플러그(132b) 사이에 낮은 유전 상수를 갖는 제 2 층간 절연막(140)을 구비하는 동시에, 게이트 전극(125)의 상부 게이트부(125b)와 제 1 콘택 플러그(132b) 사이의 거리가 커짐으로써, 이들 사이의 기생 커패시턴스가 최소화될 수 있다. 이에 따라, 기생 커패시턴스가 최소화되어 교류 성능이 향상될 수 있는 반도체 장치가 제공될 수 있다.

[0040] 도 2 내지 도 14은 본 발명의 실시예에 따른 반도체 장치의 제조 방법을 설명하기 위해 도 1a의 A-A' 선을 따라 절단한 공정 단면도들이다.

[0041] 도 2를 참조하면, 기판(100)의 소정 영역 상에 하드 마스크 패턴(hard mask pattern, 미도시)을 형성한 후, 하드 마스크 패턴을 마스크로 하는 식각 공정으로 기판(100)을 식각하는 것에 의해 반도체 핀(110)이 형성된다. 기판(100)은 벌크(bulk) 기판 또는 SOI 기판일 수 있다. 하드 마스크 패턴은 기판(100)에 대하여 식각 선택비를 갖는 물질, 예컨대, 실리콘 질화물(SiN)을 포함할 수 있다. 물론, 하드 마스크 패턴은 기판(100)과의 사이에 개재된 버퍼(bufferr) 산화막(미도시)을 더 포함할 수 있다.

[0042] 기판(100) 전면 상에 소자분리막이 형성되고, 소자분리막은 하드 마스크 패턴이 노출될 때까지 평탄화된다. 이어서, 평탄화된 소자분리막을 리세스(recess)하는 것에 의해 반도체 핀(110)의 아랫부분을 둘러싸는 소자분리 패턴(도 1c 또는 도 1d의 113 참조)이 형성된다. 하드 마스크 패턴이 제거된다. 하드 마스크 패턴은 평탄화된 소자분리막을 형성한 후에 제거될 수 있다.

[0043] 소자분리막을 형성하기 전에, 반도체 핀(110)에 트리밍 공정(trimming process)이 수행될 수 있다. 트리밍 공정은 산화 공정 및 반도체 핀(110)의 산화된 부분을 제거하는 공정을 수행하여, 반도체 핀(110)의 측면을 매끄럽게 함과 더불어 반도체 핀(110)의 폭을 조절하는 공정이다. 트리밍 공정은 적어도 1회 이상 반복적으로 수행할 수도 있다.

[0044] 도시되지 않았지만, 반도체 핀(110)의 상부 모서리는 둥글게 굴곡진 형태로 형성될 수 있다. 트리밍 공정에 의하여 반도체 핀(110)의 상부 모서리가 둥글게 굴곡진 형태로 형성될 수 있다. 이와는 달리, 하드 마스크 패턴의 제거 및 소자분리 패턴의 형성이 진행된 후에, 반도체 핀(110)에 산화 공정 및 세정 공정을 적어도 1회 반복적으로 수행하는 것에 의해 반도체 핀(110)의 상부 모서리가 둥글게 굴곡진 형태로 형성될 수도 있다.

[0045] 기판(110) 상에 반도체 핀(110)의 소정 영역을 리세스하는 것에 의해 반도체 핀(110)은 리세스된 일부분(110r) 및 리세스된 일부분(110r)의 양측에 엘리베이트드 부분들(110e)을 가질 수 있다.

[0046] 반도체 핀(110)의 리세스된 일부분(110r)을 가로지르는 희생 게이트 전극(112)이 형성된다. 즉, 희생 게이트 전

극(112)은 반도체 핀(110)의 엘리베이트드 부분들(110e)과 이격되도록 형성될 수 있다. 희생 게이트 전극(112)은 폴리실리컨으로 형성될 수 있다. 희생 게이트 전극(112)을 마스크로 하는 이온 주입 공정에 의해 반도체 핀(110)의 엘리베이트드 부분들(110e)에 불순물 영역들(130)이 형성될 수 있다. 희생 게이트 전극(112) 양측에 각각 이격되어 형성된 한 쌍의 불순물 영역들(130)은 핀 트랜지스터의 소스/드레인 영역들에 해당한다. 즉, 핀 트랜지스터는 엘리베이트드 소스/드레인 영역들을 가질 수 있다. 이러한 불순물 영역들(130)에 의해 희생 게이트 전극(112) 아래의 반도체 핀(110)에 3차원 구조를 갖는 채널 영역(170)이 정의된다.

- [0047] 반도체 핀(110)을 가로지르는 희생 게이트 전극(112)을 포함하는 기관(100)의 프로파일(profile)을 따라 희생 절연막(114)이 형성된다. 즉, 희생 절연막(114)은 기관(100)의 전면을 거의 일정한 두께로 덮는 동시에, 희생 게이트 전극(112)과 불순물 영역들(130) 사이의 공간을 채울 수 있다. 희생 절연막(114)은 화학적 기상 증착 방법 또는 물리적 기상 증착(Physical Vapor Deposition : PVD) 방법으로 형성된 실리콘 질화막일 수 있다.
- [0048] 희생 절연막(114)을 덮는 제 1 층간 절연막(120)이 형성된다. 제 1 층간 절연막(120)은 실리콘 산화물로 형성될 수 있다. 희생 절연막(114)이 노출될 때까지 제 1 층간 절연막(120)이 평탄화된다.
- [0049] 도 3을 참조하면, 희생 게이트 전극(112)의 상부면을 덮는 희생 절연막(114)을 에치백(etchback) 공정으로 제거하는 것에 의해 희생 게이트 전극(112)의 상부면이 노출된다.
- [0050] 도 4를 참조하면, 상부면이 노출된 희생 게이트 전극(112)이 제거된다. 희생 게이트 전극(112)이 제거된 기관(100)의 프로파일을 따라 게이트 절연막(122)이 형성된다. 게이트 절연막(122)은 화학적 기상 증착 방법으로 형성된 실리콘 산화막일 수 있다.
- [0051] 게이트 절연막(122)을 포함하는 기관(110)의 전면을 덮는 게이트 전극막(124)이 형성된다. 게이트 전극막(124)은 도전 물질인 금속(예를 들어, 텅스텐(W) 또는 몰리브덴(Mo) 등), 도전성 금속 질화물(예를 들어, 티타늄 질화물(TiN) 또는 탄탈륨 질화물(Ta₃N₅) 등) 및 금속 실리사이드(예를 들어, 텅스텐 실리사이드(WSi₂) 또는 코발트 실리사이드(CoSi₂) 등) 중에 선택된 적어도 하나를 포함한다. 바람직하게는, 본 발명의 실시예에 따른 게이트 전극막(124)은 텅스텐으로 형성될 수 있다.
- [0052] 도 5을 참조하면, 희생 절연막(114)이 노출될 때까지 게이트 전극막(124), 게이트 절연막(122) 및 제 1 층간 절연막(120)이 평탄화된다. 이에 따라, 상부면이 노출된 예비 게이트 전극(124a)이 형성될 수 있다. 또한, 예비 게이트 전극(124a)은 게이트 절연막(122)에 의해 둘러싸일 수 있다. 예비 게이트 전극(124a)의 측벽을 둘러싸는 게이트 절연막(122) 부위는 스페이서 역할을 할 수 있다.
- [0053] 도 6을 참조하면, 예비 게이트 전극(124a)을 포함하는 기관(100)의 전면을 덮는 캡핑막(capping layer, 126)이 형성된다. 캡핑막(126)은 희생 절연막(114)과 동일한 물질로 형성될 수 있다. 즉, 캡핑막(126)은 실리콘 질화물로 형성될 수 있다.
- [0054] 도 7을 참조하면, 예비 게이트 전극(124a) 부위 상의 캡핑막(126) 상에 마스크 패턴(미도시)을 형성하고, 마스크 패턴을 마스크로 사용하는 식각 공정으로 캡핑막(126), 희생 절연막(114), 제 1 층간 절연막(120) 및 불순물 영역들(110)의 일부들을 식각하는 것에 의해 불순물 영역들(130)이 노출된다. 이러한 식각 공정에 의해 캡핑막(126) 및 희생 절연막(114)은 예비 게이트 전극(124a)을 향하는 방향으로 오르막 경사의 측벽들을 가질 수 있다. 마스크 패턴이 제거된다.
- [0055] 도 8을 참조하면, 불순물 영역들(130)이 노출된 기관(100)을 덮은 스페이서막이 형성된다. 스페이서막은 게이트 절연막(122)과 동일한 물질로 형성될 수 있다. 즉, 스페이서막은 실리콘 산화물로 형성될 수 있다. 스페이서막을 식각하는 것에 의해 예비 게이트 전극(124a)의 상부를 덮는 캡핑막(126)의 측벽 및 예비 게이트 전극(124a)의 측벽을 덮은 희생 절연막(114)을 덮는 스페이서(128)가 형성된다.
- [0056] 스페이서(128)를 포함하는 기관(100)을 덮는 제 1 콘택 플러그막(132)이 형성된다. 제 1 콘택 플러그막(132)은 불순물 영역들(130)의 비저항에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 것이 바람직할 수 있다. 예컨대, 제 1 콘택 플러그막(132)은 도전성 금속 질화물(예를 들어, 티타늄 질화물 또는 탄탈륨 질화물 등), 금속(예를 들어, 티타늄, 탄탈륨, 텅스텐, 알루미늄 또는 구리 등) 및 금속 실리사이드(예를 들어, 티타늄 실리사이드 또는 탄탈륨 실리사이드 등) 중에서 선택된 적어도 하나를 포함하는 것이 바람직할 수 있다. 바람직하게는, 본 발명의 실시예에 따른 제 1 콘택 플러그막(132)은 텅스텐으로 형성될 수 있다.
- [0057] 도 9를 참조하면, 예비 게이트 전극(124a)이 노출될 때까지 제 1 콘택 플러그막(132), 캡핑막(126) 및 스페이서(128)가 평탄화된다. 이에 따라, 상부면이 노출된 예비 게이트 전극(124a) 및 상부면이 노출된 예비 제 1 콘택

플러그(132a)가 형성될 수 있다. 이에 따라, 예비 게이트 전극(124a)의 하부면 및 측벽을 둘러싸는 게이트 절연막(122)이 형성될 수 있다. 또한, 스페이서(128)를 개재하여 희생 절연막(114)의 측벽을 덮는 예비 제 1 콘택 플러그(132a)가 형성될 수 있다.

[0058] 도 10을 참조하면, 예비 게이트 전극(123a)과 예비 제 1 콘택 플러그(132a) 사이의 희생 절연막(114)의 일부가 제거된다. 이러한 희생 절연막(114)의 일부가 제거될 수 있는 것은 실리콘 질화물로 형성된 희생 절연막(114)은 실리콘 산화물로 형성된 게이트 절연막(122) 및 스페이서(128), 및 도전성 물질로 형성된 예비 게이트 전극(123a) 및 예비 제 1 콘택 플러그(132a)에 대해 식각 선택비를 갖기 때문이다.

[0059] 도 11을 참조하면, 희생 절연막(114)의 일부가 제거된 부위의 공간이 넓어지도록 예비 게이트 전극(124a), 게이트 절연막(122), 스페이서(128) 및 예비 제 1 콘택 플러그(132a)가 식각된다. 이에 따라, 예비 게이트 전극(123a)은 일정한 폭을 갖는 하부 게이트부(125a) 및 하부 게이트부(125a)로부터 점차적으로 좁아지는 폭을 갖는 상부 게이트로 구성된 게이트 전극(125)으로 형성될 수 있다. 또한, 예비 제 1 콘택 플러그(132a)는 게이트 전극(125)로부터 멀어지는 방향으로 오르막 경사를 갖는 측벽을 갖는 제 1 콘택 플러그(132b)로 형성될 수 있다. 이는 도전 물질로 형성된 예비 게이트 전극(123a) 및 예비 제 1 콘택 플러그(132a), 및 실리콘 산화물로 형성된 게이트 절연막(122) 및 스페이서(128)는 실리콘 질화물로 형성된 희생 절연막(114)에 대해 식각 선택비를 갖기 때문이다. 이에 따라, 게이트 절연막(112)은 게이트 전극(125)의 하부 게이트부(125a)의 측벽을 덮는 형태일 수 있다. 즉, 게이트 전극(125)의 하부 게이트부(125a)는 게이트 절연막(122)에 의해 둘러싸일 수 있다.

[0060] 도 12를 참조하면, 게이트 전극(125)과 제 1 콘택 플러그(132b) 사이에 남아있는 희생 절연막(114)이 제거된다. 이때, 도 1d에 도시된 것과 같이, 반도체 핀(110) 상의 제 1 층간 절연막(120)과 소자분리 패턴(113) 상의 제 1 층간 절연막(120) 사이에 형성된 희생 절연막(114)도 같이 제거될 수 있다. 즉, 한 쌍의 불순물 영역들(130)과 각각 접촉하는 채널 영역(170)의 한 쌍의 제 1 측면들(170a)과 제 1 층간 절연막(120) 사이에 형성된 희생 절연막(114)도 같이 제거될 수 있다.

[0061] 도 13을 참조하면, 게이트 전극(125) 부위를 덮되, 게이트 전극(125)과 불순물 영역들(130) 사이의 공간의 일부를 채워 게이트 전극(125)과 불순물 영역들(130) 사이에 에어 갭(142)을 정의하는 제 2 층간 절연막(140)이 형성된다. 제 2 층간 절연막(140)은 게이트 전극(125)의 하부 게이트부(125a)와 불순물 영역들(130) 사이의 공간의 일부를 채울 수 있다. 이때, 도 1d에 도시된 것과 같이, 제 2 층간 절연막(140)은 반도체 핀(110) 상의 제 1 층간 절연막(120)과 소자분리 패턴(113) 상의 제 1 층간 절연막(120) 사이의 공간의 일부를 채워 제 1 층간 절연막들(120) 사이에 추가적인 에어 갭(142)을 정의할 수 있다. 즉, 제 2 층간 절연막(140)은 한 쌍의 불순물 영역들(130)과 각각 접촉하는 채널 영역(170)의 한 쌍의 제 1 측면들(170a)과 제 1 층간 절연막(120) 사이의 공간의 일부를 채워 채널 영역(170)의 한 쌍의 제 1 측면들(170a) 상에 추가적인 에어 갭(142)을 정의할 수 있다.

[0062] 제 2 층간 절연막(140)은 게이트 전극(125)의 하부 게이트부(125a)와 불순물 영역들(130) 사이의 공간의 일부를 채울 수 있다. 즉, 에어 갭(142)의 상부는 게이트 전극(142b)의 하부 게이트부(125a)의 상부보다 낮은 높이를 가질 수 있다. 이는 앞선 도 11에서 예비 게이트 전극(124a), 게이트 절연막(122), 스페이서(128) 및 예비 제 1 콘택 플러그(132a)를 식각하여 희생 절연막(114)의 일부가 제거된 부위의 공간은 넓은 폭을 갖지만, 앞선 도 12에서 게이트 전극(125)과 제 1 콘택 플러그(132b) 사이에 남아있는 희생 절연막(114)이 제거된 부위는 좁은 폭을 가지기 때문에, 제 2 층간 절연막(140)은 게이트 전극(124a)의 상부 게이트부(125b)와 제 1 콘택 플러그(132b) 사이의 공간을 모두 채울 수 있는 반면에, 게이트 전극(124a)의 하부 게이트부(125a)와 불순물 영역들(130) 사이의 공간의 일부분만을 채우지 못하는 갭필(gapfill) 능력을 가진다.

[0063] 제 2 층간 절연막(140)은 제 1 층간 절연막(120)보다 낮은 유전 상수를 갖는 물질로 형성될 수 있다. 또한, 제 2 층간 절연막(140)은 낮은 단차 피복률(step coverage)을 갖는 물질 또는 방법으로 형성될 수 있다. 제 2 층간 절연막(140)의 상부면은 제 1 콘택 플러그(132b)의 상부면보다 높은 높이를 가질 수 있다.

[0064] 도 14를 참조하면, 제 2 층간(140) 절연막 및 제 1 콘택 플러그(132b)를 덮는 제 3 층간 절연막(150)이 형성된다. 제 3 층간 절연막(150)은 실리콘 산화물로 형성될 수 있다.

[0065] 제 3 층간 절연막(150)을 관통하여 제 1 콘택 플러그(132b)와 접촉하는 제 2 콘택 플러그(152)가 형성된다. 제 2 콘택 플러그(152)는 불순물 영역들(130)의 비저항에 비하여 낮은 비저항을 갖는 도전 물질을 포함하는 것이 바람직할 수 있다. 예컨대, 제 2 콘택 플러그(152)는 도전성 금속 질화물(예를 들어, 티타늄 질화물 또는 탄탈륨 질화물 등), 금속(예를 들어, 티타늄, 탄탈륨, 텅스텐, 알루미늄 또는 구리 등) 및 금속 실리사이드(예를 들어, 티타늄 실리사이드 또는 탄탈륨 실리사이드 등) 중에서 선택된 적어도 하나를 포함하는 것이 바람직할 수

있다. 바람직하게는, 본 발명의 실시예에 따른 제 2 콘택 플러그(152)는 텅스텐으로 형성될 수 있다. 제 2 콘택 플러그(152)는 게이트 전극(125)으로부터 멀어지는 방향으로 내리막 경사의 측벽을 가질 수 있다.

- [0066] 상기한 본 발명의 실시예에 따른 방법으로 제조된 반도체 장치는 게이트 전극(125)의 하부 게이트부(125a)와 반도체 핀(110) 사이에 정의된 에어 갭(142)을 포함함으로써, 가장자리 전계가 최소화될 수 있다. 이에 따라, 가장자리 전계에 의한 커패시턴스가 최소화되어 교류 성능이 향상될 수 있는 반도체 장치가 제공될 수 있다.
- [0067] 또한, 본 발명의 실시예에 따른 방법으로 제조된 반도체 장치는 게이트 전극(125)의 상부 게이트부(125b)와 제 1 콘택 플러그(132b) 사이에 낮은 유전 상수를 갖는 제 2 층간 절연막(140)을 구비하는 동시에, 게이트 전극(125)의 상부 게이트부(125b)와 제 1 콘택 플러그(132b) 사이의 거리가 커짐으로써, 이들 사이의 기생 커패시턴스가 최소화될 수 있다. 이에 따라, 기생 커패시턴스가 최소화되어 교류 성능이 향상될 수 있는 반도체 장치가 제공될 수 있다.
- [0068] 도 15는 본 발명의 실시예에 따른 반도체 장치를 포함하는 메모리 시스템의 일 예를 나타내는 개략적인 블록도이다.
- [0069] 도 15를 참조하면, 메모리 시스템(1100, memory system)은 개인 휴대용 정보 단말기(Personal Digital Assistant : PDA), 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 전화기(wireless phone), 이동 전화(mobile phone), 디지털 음악 재생기(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 소자에 적용될 수 있다.
- [0070] 메모리 시스템(1100)은 컨트롤러(1110, controller), 키패드(key pad), 키보드(key board) 및 표시 장치(display)와 같은 입/출력(Input/Output : I/O) 장치(1120), 메모리(1130), 인터페이스(1140, interface), 및 버스(1150, bus)를 포함한다. 메모리(1130)와 인터페이스(1140)는 버스(1150)를 통해 상호 소통된다.
- [0071] 컨트롤러(1110)는 적어도 하나의 마이크로 프로세서(microprocessor), 디지털 시그널 프로세서(digital signal processor), 마이크로 컨트롤러(microcontroller), 또는 그와 유사한 다른 프로세스 장치들을 포함한다. 메모리(1130)는 컨트롤러(1110)에 의해 수행된 명령을 저장하는 데에 사용될 수 있다. 입/출력 장치(1120)는 시스템(1100) 외부로부터 데이터 또는 신호를 입력받거나 또는 시스템(1100) 외부로 데이터 또는 신호를 출력할 수 있다. 예를 들어, 입/출력 장치(1120)는 키보드, 키패드 또는 표시 장치를 포함할 수 있다.
- [0072] 메모리(1130)는 본 발명의 실시예들에 따른 반도체 장치를 포함한다. 메모리(1130)는 또한 다른 종류의 메모리, 임의의 수시 접근이 가능한 휘발성 메모리, 기타 다양한 종류의 메모리를 더 포함할 수 있다.
- [0073] 인터페이스(1140)는 데이터를 통신 네트워크(network)로 송출하거나, 통신 네트워크로부터 데이터를 받는 역할을 한다.
- [0074] 도 16은 본 발명의 실시예에 따른 반도체 장치를 구비하는 메모리 카드의 일 예를 나타내는 개략적인 블록도이다.
- [0075] 도 16을 참조하면, 고용량의 데이터 저장 능력을 지원하기 위한 메모리 카드(1200, memory card)는 본 발명에 따른 반도체 장치를 포함하는 메모리 소자(1210)를 장착한다. 본 발명에 따른 메모리 카드(1200)는 호스트(host)와 메모리 소자(1210) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함한다.
- [0076] 에스램(1221, Static Random Access Memory : SRAM)은 프로세싱 유닛(processing unit)인 중앙 처리 장치(1222, Central Processing Unit : CPU)의 동작 메모리로서 사용된다. 호스트 인터페이스(1223, host I/F)는 메모리 카드(1200)와 접속되는 호스트의 데이터 교환 프로토콜(protocol)을 구비한다. 오류 정정 부호 블록(1224, Error Correction Coding block: ECC block)은 멀티 비트(multi-bit) 특성을 갖는 메모리 소자(1210)로부터 독출된 데이터에 포함되는 오류를 검출 및 정정한다. 메모리 인터페이스(1225, memory I/F)는 본 발명의 반도체 장치를 포함하는 메모리 소자(1210)와 인터페이스한다. 중앙 처리 장치(1222)는 메모리 컨트롤러(1220)의 데이터 교환을 위한 제반 제어 동작을 수행한다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 메모리 카드(1200)는 호스트와의 인터페이스를 위한 부호 데이터를 저장하는 롬(미도시, Read Only Memory : ROM) 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.
- [0077] 이상의 본 발명의 반도체 장치, 메모리 카드 또는 메모리 시스템에 따르면, 고집적화된 메모리 시스템이 제공될 수 있다. 특히, 최근 활발히 진행되고 있는 솔리드 스테이트 드라이브(Solid State Drive : SSD) 장치와 같은 메모리 시스템에 본 발명의 반도체 장치가 제공될 수 있다. 이 경우, 고집적화된 메모리 시스템이 구현될 수 있

다.

[0078] 도 17은 본 발명에 따른 실시예에 따른 반도체 장치를 장착하는 정보 처리 시스템의 일 예를 나타내는 개략적인 블록도이다.

[0079] 도 17을 참조하면, 이동 기기(mobile device)나 데스크톱 컴퓨터(desktop computer)와 같은 정보 처리 시스템에 본 발명의 반도체 장치(1311) 및 시스템 버스(1360)와 반도체 장치(1311) 간의 제반 데이터 교환을 제어하는 메모리 컨트롤러(1312)를 포함하는 메모리 시스템(1310)이 장착된다. 본 발명에 따른 정보 처리 시스템(1300)은 메모리 시스템(1310)과 각각 시스템 버스(1360)에 전기적으로 연결된 모뎀(1320, M0dulator and DEM0dulator : MODEM), 중앙 처리 장치(1330), 램(1340), 유저 인터페이스(1350, user interface)를 포함한다. 메모리 시스템(1310)은 앞서 도 15에서 언급된 메모리 시스템과 실질적으로 동일하게 구성될 것이다. 메모리 시스템(1310)에는 중앙 처리 장치(1330)에 의해서 처리된 데이터 또는 외부에서 입력된 데이터가 저장된다. 여기서, 상술한 메모리 시스템(1310)이 솔리드 스테이트 드라이브로 구성될 수 있으며, 이 경우 정보 처리 시스템(1300)은 대용량의 데이터를 메모리 시스템(1310)에 안정적으로 저장할 수 있다. 그리고 신뢰성의 증대에 따라, 메모리 시스템(1310)은 오류 정정에 소요되는 자원을 절감할 수 있어 고속의 데이터 교환 기능을 정보 처리 시스템(1300)에 제공할 것이다. 도시되지 않았지만, 본 발명에 따른 정보 처리 시스템(1300)에는 응용 칩셋(application chipset), 카메라 이미지 신호 프로세서(Image Signal Processor : ISP), 입/출력 장치 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자들에게 자명하다.

[0080] 또한, 본 발명에 따른 반도체 장치를 포함하는 메모리 소자 또는 메모리 시스템은 다양한 형태들의 패키지(package)에 실장될 수 있다. 예를 들면, 본 발명에 따른 메모리 소자 또는 메모리 시스템은 패키지 온 패키지(Package on Package : PoP), 볼 그리드 어레이(Ball Grid Arrays : BGAs), 칩 스케일 패키지(Chip Scale Packages : CSPs), 플라스틱 리디드 칩 캐리어(Plastic Leaded Chip Carrier : PLCC), 플라스틱 듀얼 인라인 패키지(Plastic Dual In-line Package : PDIP), 다이 인 와플 팩(die in waaffle pack), 다이 인 웨이퍼 폼(die in wafer form), 칩 온 보드(Chip On Board : COB), 세라믹 듀얼 인라인 패키지(CERamic Dual In-line Package : CERDIP), 플라스틱 메트릭 쿼드 플랫 팩(plastic Metric Quad Flat Pack : MQFP), 썬 쿼드 플랫 팩(Thin Quad Flat Pack : TQFP), 스몰 아웃라인 집적 회로(Small-Outline Integrated Circuit : SOIC), 썬링크 스몰 아웃라인 패키지(Shrink Small-Outline Package : SSOP), 썬 스몰 아웃라인 패키지(Thin Small-Outline Package : TSOP), 썬 쿼드 플랫 팩(Thin Quad Flat Pack : TQFP), 시스템 인 패키지(System In Package : SIP), 멀티 칩 패키지(Multi Chip Package : MCP), 웨이퍼 레벨 패키지(Wafer-level Fabricated Package : WFP) 또는 웨이퍼 레벨 적층 패키지(Wafer-level processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 패키지에 실장될 수 있다.

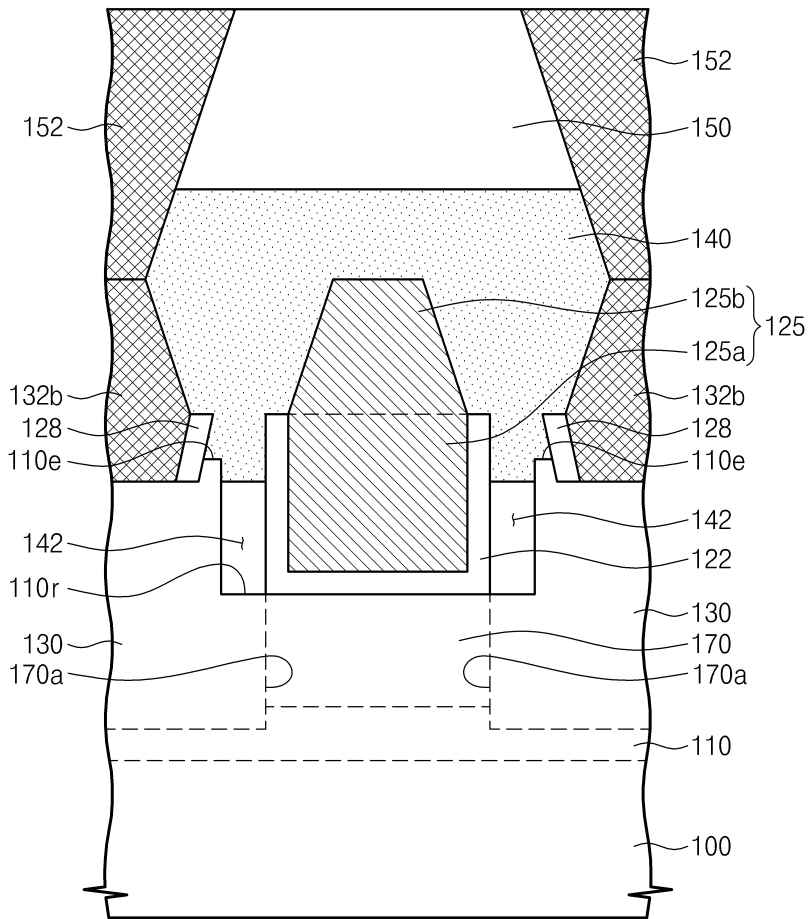
[0081] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

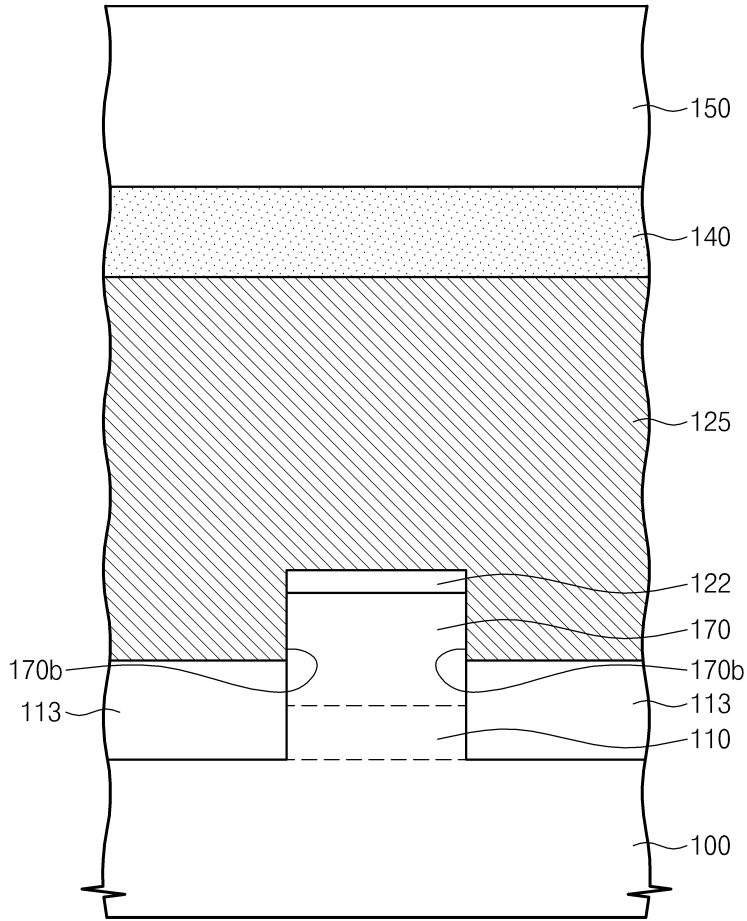
- [0082] 100 : 기판
- 110 : 반도체 핀
- 110e : 엘리베이트드 부분
- 110r : 리세스된 일부분
- 112 : 희생 게이트 전극
- 113 : 소자분리 패턴
- 114 : 희생 절연막
- 120 : 제 1 층간 절연막
- 122 : 게이트 절연막
- 124 : 게이트 전극막

- 124a : 예비 게이트 전극
- 125 : 게이트 전극
- 125a : 하부 게이트부
- 125b : 상부 게이트부
- 126 : 캡핑막
- 128 : 스페이서
- 130 : 불순물 영역
- 132 : 제 1 콘택 플러그막
- 132a : 예비 제 1 콘택 플러그
- 132b : 제 1 콘택 플러그
- 140 : 제 2 층간 절연막
- 142 : 에어 갭
- 150 : 제 3 층간 절연막
- 152 : 제 2 콘택 플러그
- 170 : 채널 영역
- 170a : 제 1 측면
- 170b : 제 2 측면
- 1100 : 메모리 시스템
- 1110 : 컨트롤러
- 1120 : 입/출력 장치
- 1130 : 메모리
- 1140 : 인터페이스
- 1150 : 버스
- 1200 : 메모리 카드
- 1210 : 메모리 소자
- 1220 : 메모리 컨트롤러
- 1221 : 에스램
- 1222 : 중앙 처리 장치
- 1223 : 호스트 인터페이스
- 1224 : 오류 정정 부호 블록
- 1225 : 메모리 인터페이스
- 1300 : 정보 처리 시스템
- 1310 : 메모리 시스템
- 1311 : 반도체 장치
- 1312 : 메모리 컨트롤러
- 1320 : 모델

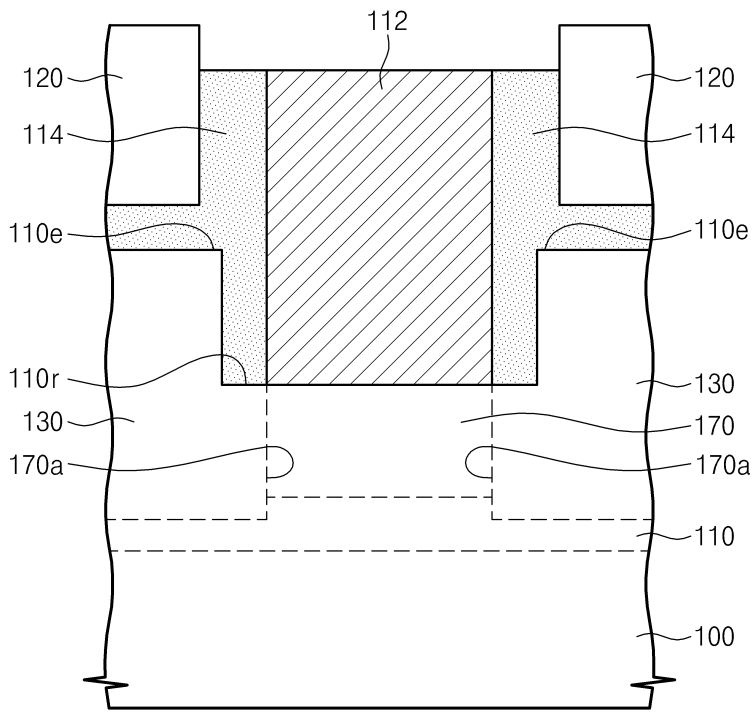
도면1b



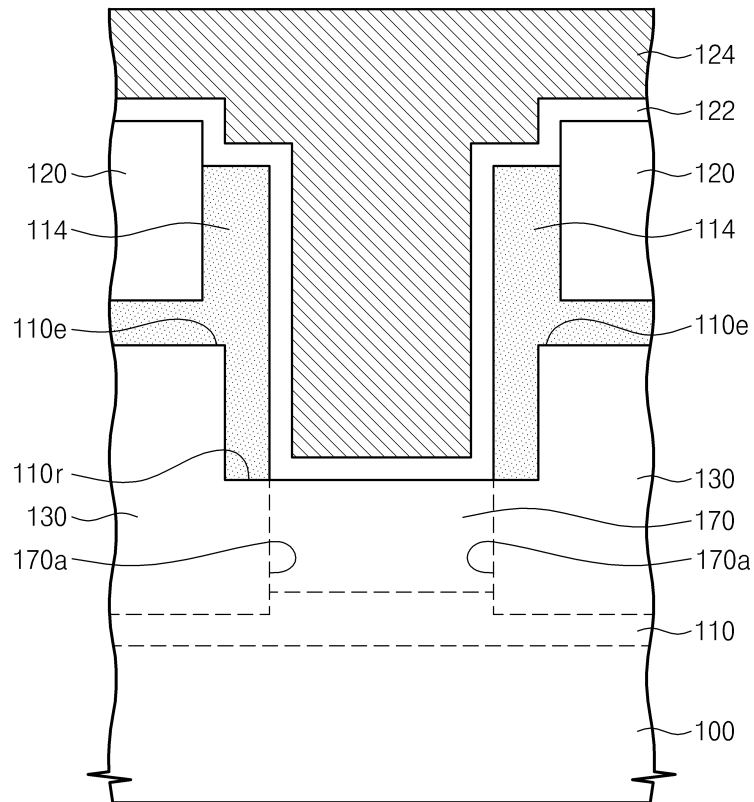
도면1c



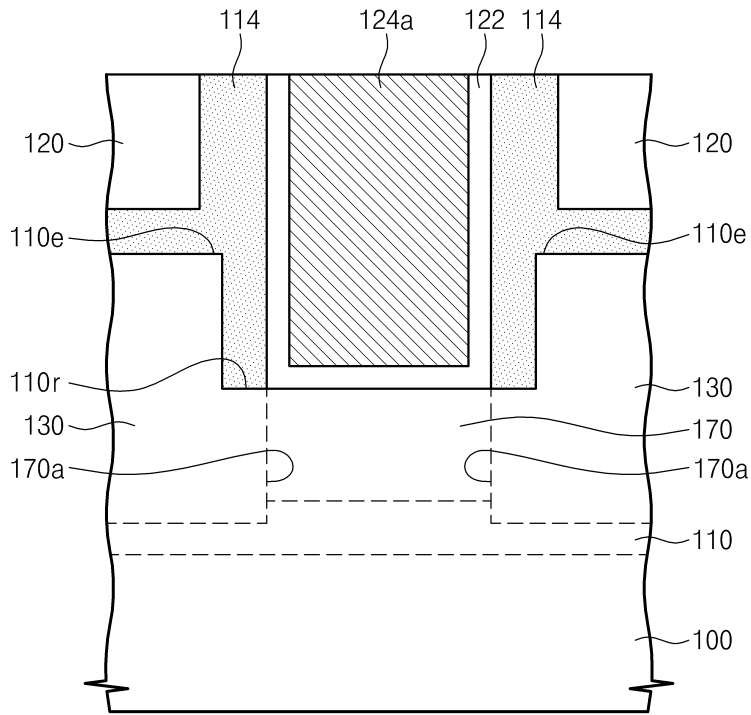
도면3



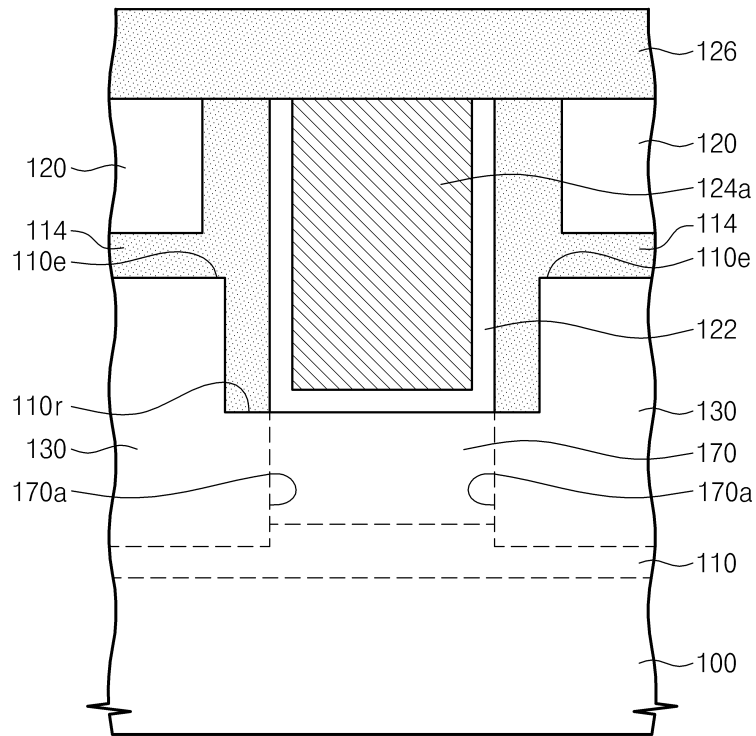
도면4



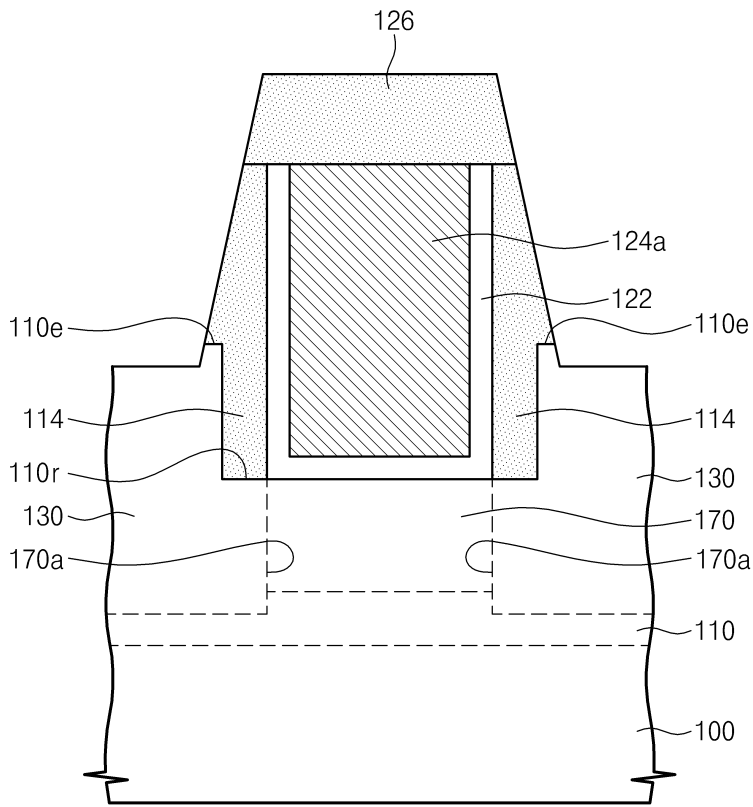
도면5



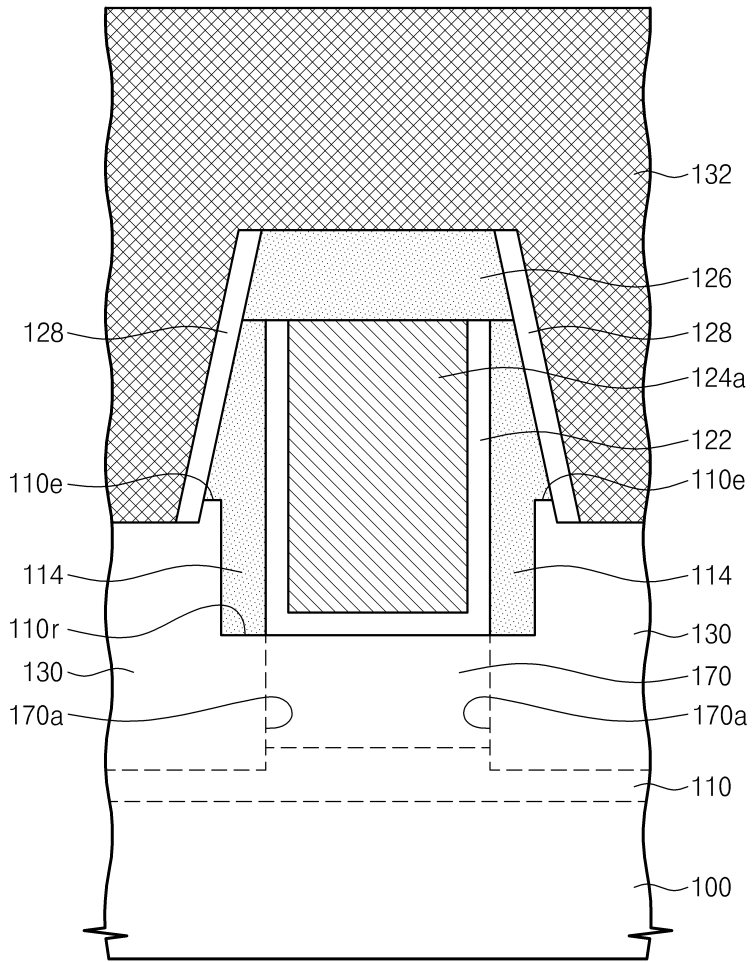
도면6



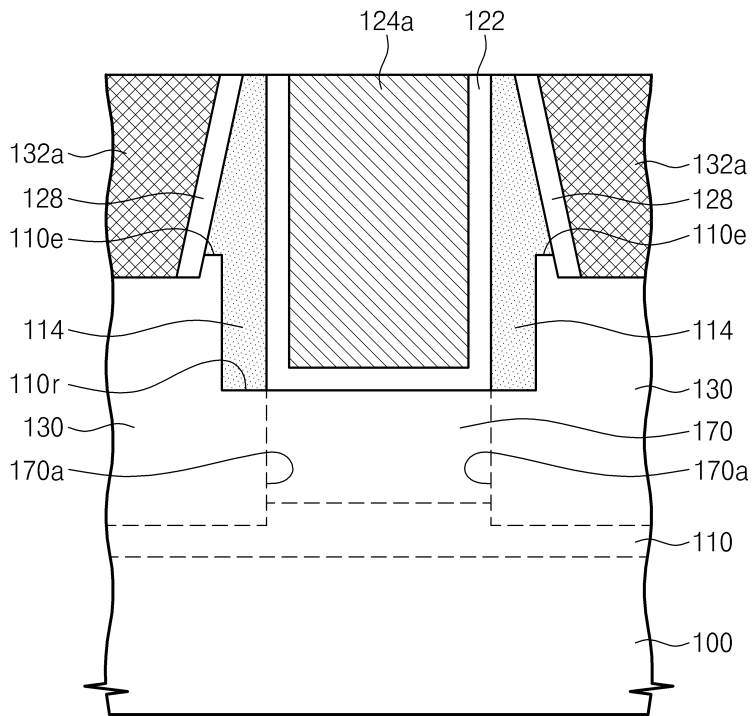
도면7



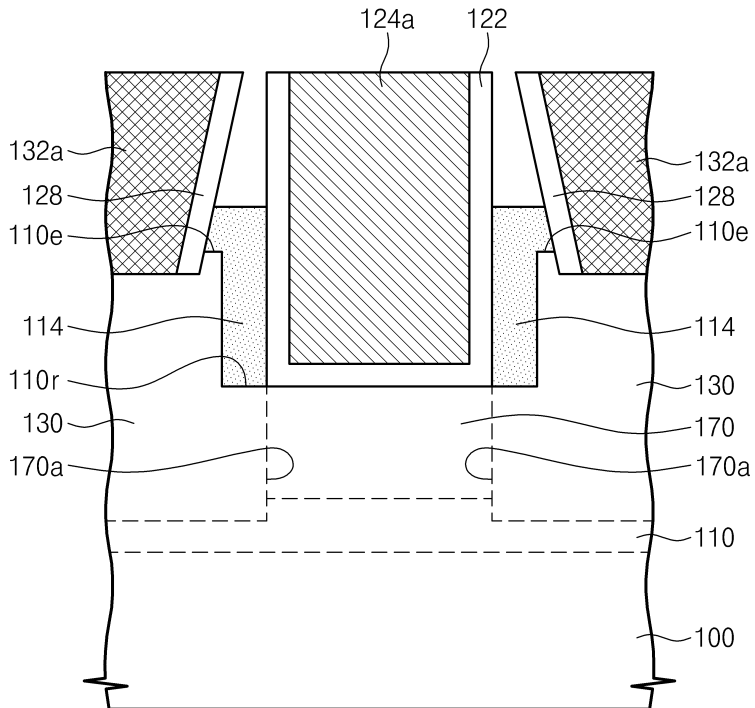
도면8



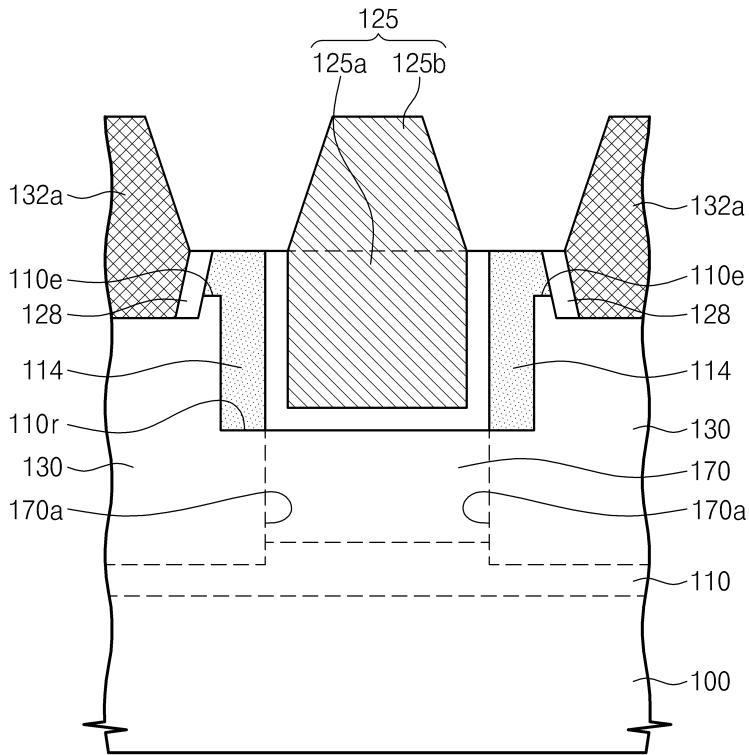
도면9



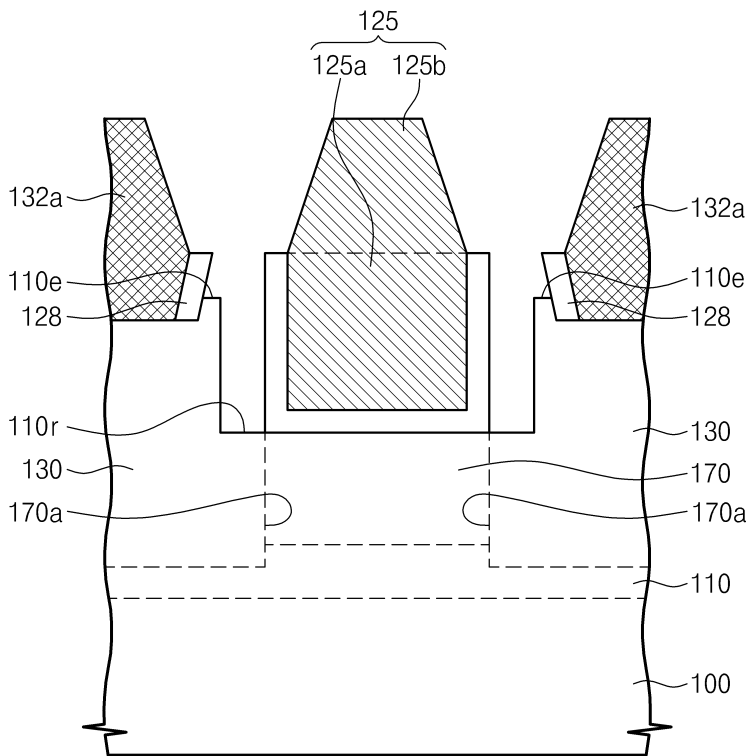
도면10



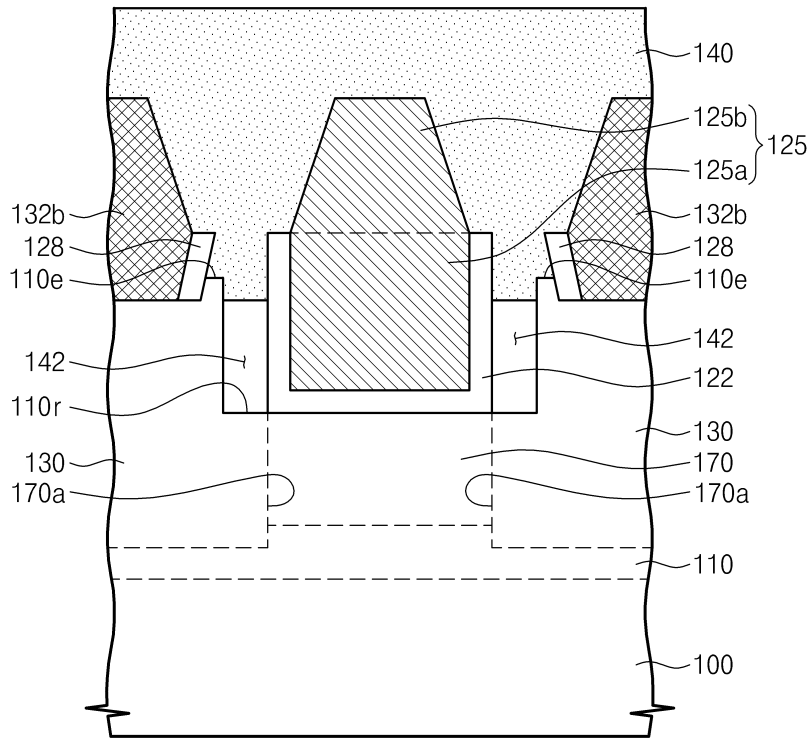
도면11



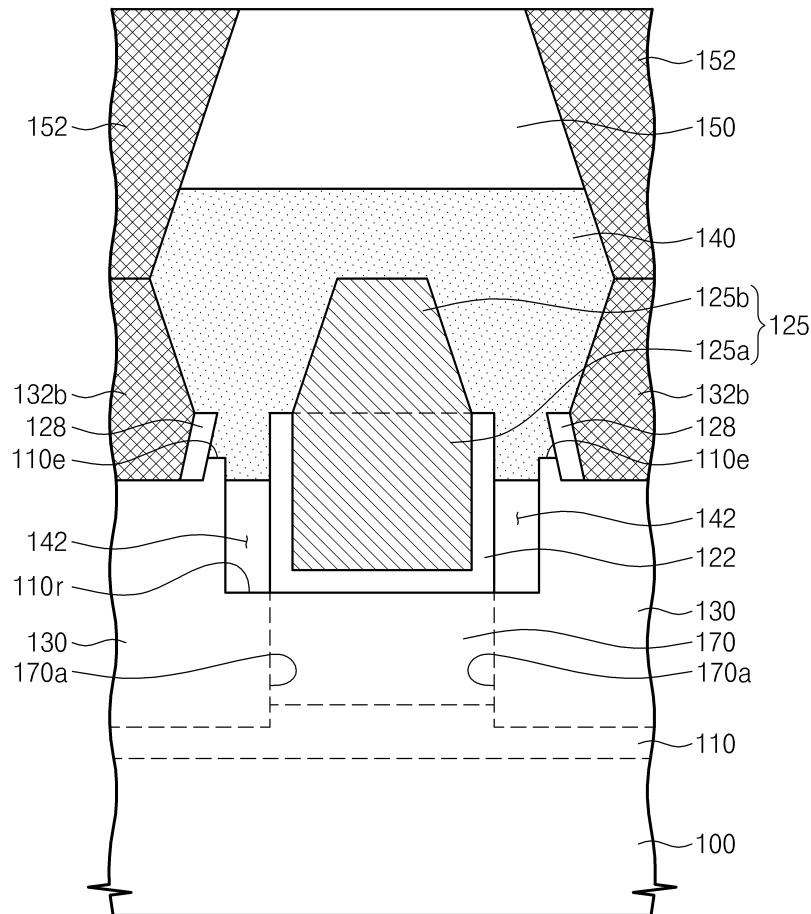
도면12



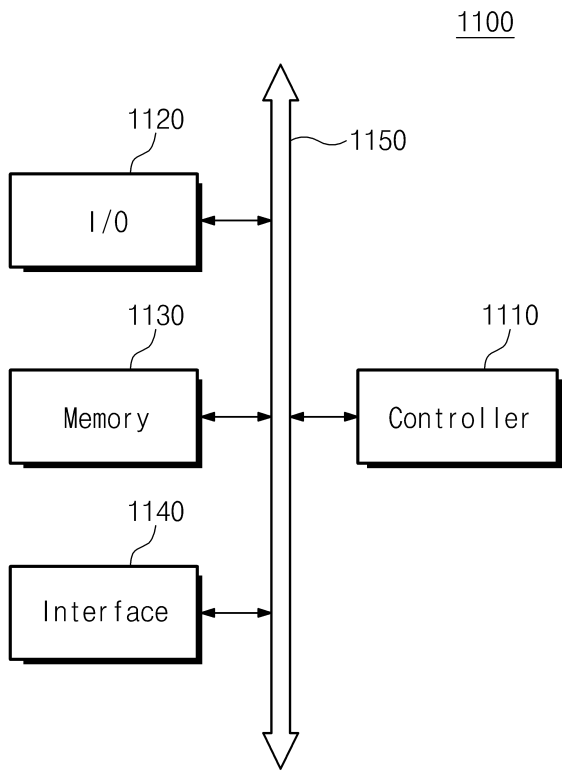
도면13



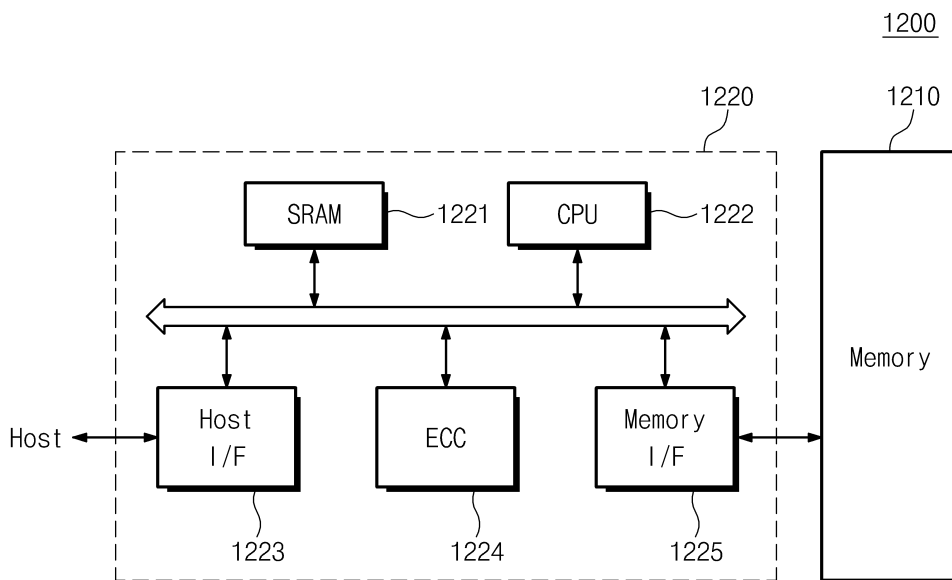
도면14



도면15



도면16



도면17

