



[12] 发明专利申请公开说明书

[21] 申请号 200480015428.8

[43] 公开日 2006年7月5日

[11] 公开号 CN 1799237A

[22] 申请日 2004.5.7

[21] 申请号 200480015428.8

[30] 优先权

[32] 2003.6.4 [33] US [31] 10/454,906

[86] 国际申请 PCT/US2004/014218 2004.5.7

[87] 国际公布 WO2004/110008 英 2004.12.16

[85] 进入国家阶段日期 2005.12.2

[71] 申请人 特罗皮亚恩公司

地址 美国加利福尼亚

[72] 发明人 托马斯·E·毕得卡

韦恩·S·李 加里·L·度

[74] 专利代理机构 中国国际贸易促进委员会专利商  
标事务所  
代理人 马浩

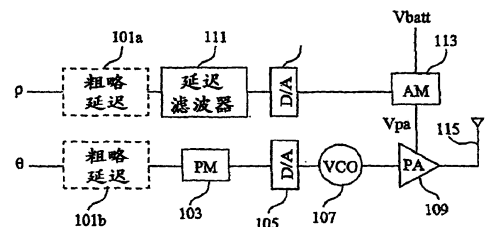
权利要求书 3 页 说明书 5 页 附图 2 页

[54] 发明名称

极化调制器中的数字时间校准

[57] 摘要

以子采样分辨率数字地控制极化调制器中的幅度(101a)路径和相位(101b)路径的相对计时的方法和设备。本发明的方法和设备使用数字滤波器(111)来近似子采样时间延迟。使用数字信号处理来近似子采样时间延迟的各种计数可被用于实现此近似。理想地,滤波器将具有全通幅度响应和线性相位响应。在实践中,幅度可以是低通,相位可以不是完美地线性的。这样的与理想的响应的偏离将引入一些失真。然而,取决于被处理的特定信号,此失真可以小得可以接受。



1、一种在具有分离的幅度路径和相位路径的调制器中实现幅度路径信号和相位路径信号之间的时间校准的方法，包括：

5 在幅度路径和相位路径中的至少一个内设置数字电路；和  
调整该数字电路的至少一个参数以实现幅度路径信号和相位路径信号之间的相对延迟，该相对延迟对应于幅度路径信号和相位路径信号之间的实质的时间校准。

2、如权利要求 1 所述的方法，其中，数字电路包括线性滤波器、  
10 IIR 滤波器、FIR 滤波器、或者全通滤波器。

3、如权利要求 1 所述的方法，其中，数字滤波器包括具有多于两个系数的 IIR 滤波器。

4、如权利要求 1 所述的方法，其中，所述相对延迟小于或等于与  
所述调制器相关联的一个采样间隔。

15 5、如权利要求 1 所述的方法，其中，所述数字电路包括具有两个或更多系数的 FIR 滤波器。

6、如权利要求 1 所述的方法，其中，对控制调制器的系统时钟、  
或者对由所述幅度路径和相位路径任一提供的的数据信号，不执行物理时间延迟。

20 7、一种在具有分离的幅度路径和相位路径的调制器中实现幅度路径信号和相位路径信号之间的时间校准的方法，包括：

在幅度路径和相位路径中的至少一个内设置数字电路；和  
调整所述数字电路的至少一个参数以实现幅度路径信号和相位  
25 路径信号的时间校准，其小于或等于与所述调制器相关联的一个采样  
间隔。

8、如权利要求 7 所述的方法，其中，所述数字电路包括一个数字滤波器。

9、如权利要求 8 所述的方法，其中，所述数字滤波器包括线性滤波器、IIR 滤波器、FIR 滤波器、或者全通滤波器。

10、如权利要求 8 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 IIR 滤波器。

11、如权利要求 8 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 FIR 滤波器。

5 12、一种发送器，包括：

分离的幅度和相位路径；

放大器，响应于分离的幅度和相位信号来产生通信信号；和  
在幅度路径和相位路径中的至少一个内的数字电路，

10 其中，调整数字电路的参数以实现幅度路径信号和相位路径信号之间的相对延迟，该相对延迟小于或等于与所述发送器的数字电路相关联的一个采样间隔。

13、如权利要求 12 所述的方法，其中，所述数字电路包括一个数字滤波器。

15 14、如权利要求 13 所述的方法，其中，所述数字滤波器包括线性滤波器、IIR 滤波器、FIR 滤波器、或者全通滤波器。

15、如权利要求 13 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 IIR 滤波器。

16、如权利要求 13 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 FIR 滤波器。

20 17、一种电路，包括：

幅度路径，具有可操作的电路来对输入信号进行幅度调制以产生幅度调制的信号；

相位路径，具有可操作的电路来对所述输入信号进行相位调制以产生相位调制的信号；和

25 在所述幅度路径和相位路径中的至少一个内的数字延迟电路，所述数字延迟电路具有能被调整的一个或多个参数，以校正所述幅度调制的信号和相位调节的信号之间的计时偏离。

18、如权利要求 17 所述的方法，还包括放大器，其被配置以接收所述幅度调制信号和相位调制信号。

19、如权利要求 17 所述的方法，其中，所述数字电路能够实现将所述计时偏离减少到一个采样间隔的分数之内。

20、如权利要求 17 所述的方法，其中，对任一所述幅度调制的信号和相位调制的信号不执行模拟实现的时间延迟。

5 21、如权利要求 19 所述的方法，其中，对任一所述幅度调制的信号和相位调制的信号不执行模拟实现的时间延迟。

22、如权利要求 17 所述的方法，其中，所述数字延迟电路包括一个数字滤波器。

10 23、如权利要求 22 所述的方法，其中，所述数字滤波器包括线性滤波器、IIR 滤波器、FIR 滤波器、或者全通滤波器。

24、如权利要求 22 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 IIR 滤波器。

25、如权利要求 22 所述的方法，其中，所述数字滤波器包括具有两个或更多系数的 FIR 滤波器。

15 26、一种电路，包括：

幅度路径，具有用于对输入信号进行幅度调制以产生幅度调制的信号的电路；

相位路径，具有用于对输入信号进行相位调制以产生相位调制的信号的电路；和

20 用于数字地校正在所述幅度调制的信号和相位调制的信号之间的时间偏离的装置。

## 极化调制器中的数字时间校准

### 5 技术领域

本发明一般涉及功率调制器。更具体地说，本发明涉及在极化调制器的幅度路径和相位路径之间的时间校准。

### 背景技术

10 在极化调制器中，幅度调制和相位调制在被组合之前被分别处理以创建期望的信号。幅度调制和相位调制的处理是不同的，这些处理可引入幅度和相位信号分量之间的相对时间偏移。如果该相对时间偏移不被校正，则期望的信号将不会精确地产生，并且导致失真。典型地，该失真将导致带外信号能量的增加。

15 一种解决此问题的方法是用足够快的采样率处理信号，以使需要的时间偏移校正可用简单的数字寄存器来实现。如果信号带宽低，那么这可以是合理的方法。然而，对于高带宽信号，诸如 CDMA 和 WCDMA，相对的幅度/相位计时可能需要精确到一纳秒或更短的时间。这样的计时分辨率将需要 1GHz 的数量级的采样率，这是不现实的。  
20 的。

另一种方法是使用模拟延迟部件。这些延迟部件将被放置在 D/A 转换之后的幅度和/或相位路径中。不幸的是，此方法有几个缺点，包括：（1）延迟可能随着时间随着温度变化，并且各部分之间的延迟可能变化；（2）由模拟延迟部件提供的延迟可能需要被校准，这在低成本制造环境下是缺点；和（3）模拟延迟部件可能难以被整合进集成电路，这增加了需要的组件的数量。  
25

### 发明内容

公开了以子采样分辨率数字地控制极化调制器中的幅度路径和

相位路径的相对计时的方法和设备。由于是完全数字化的，没有对于系统信号的计时所必需的操纵。计时分辨率受系统的动态范围而不是采样率的限制。数字滤波器被使用以近似于采样时间延迟。使用数字信号处理来近似于采样时间延迟的各种技术可被用于此目的。滤波器理想地将具有全通幅度响应和线性相位响应。在实践中，幅度可以是低通，相位可以不是完美地线性的。这样的与理想响应的偏离将引入一些失真。然而，取决于被处理的特定信号，此失真可以小得可以接受。因此，在信号之中的精细分辨率时间校准在没有时钟或数据信号的明确延迟操纵的情况下可被实现。更低的开发和生产成本是直接的好处。

本发明的其它方面在下面被描述和主张要求，并且通过参照说明书的其余部分和附图，将实现对本发明的本质和优点的进一步的理解。

#### 附图说明

图 1 是极化调制器的一部分的框图；

图 2 是显示关于 EDGE 发送各种信号的屏蔽功率频谱密度(PSD)的图表，这些信号包括从时间偏离的幅度和相位分量产生的信号、从使用线性数字滤波器校准的幅度和相位分量产生的信号、和从使用全通滤波器校准的幅度和相位分量产生的信号；

图 3 是显示与各种信号的幅度相位时间偏移相对的在 400kHz 偏移的功率的图表；和

图 4 是显示分别比较与线性和全通滤波器的延迟相对的在 400kHz 偏移的功率的图表。

#### 具体实施方式

现在参照图 1，根据本发明的实施例的极化调制器的一部分被显示。将被发送的信号以极化的形式被表示为幅度信息  $\rho$  和相位信息  $\theta$ 。可选地，在延迟块 101a、101b 中，幅度路径和相位路径之一可相对于另一个被延迟一个或多个采样周期以实现粗略时间校准。

首先考虑相位路径，相位调制通过数字相位调制器 103 被执行。随后是数模转换（105），作为结果的模拟信号被运用于压控振荡器（VCO）107。VCO 的输出信号被运用于 RF 功率放大器 109 的 RF 输入。最好，RF 放大器在压缩或交换模式下运行。

5 接下来考虑幅度路径，幅度信息被运用于延迟滤波器 111 来进行如下文中更详细地描述的精细的子采样时间延迟调整。随后是数模转换（110），作为结果的信号被运用于幅度调制器，或功率驱动器 113。幅度调制器接收电源电压  $V_{batt}$  作为输入并产生被运用于功率放大器 109 的供电端的电压  $V_{pa}$ 。响应于 VCO 的输出信号以及电压  $V_{pa}$ ，功  
10 率放大器产生期望的输出信号，该信号被运用于天线 115 例如用于发送。这里应该提及的是，尽管延迟滤波器被显示在图 1 中位于幅度路径中，但是它可以同等良好地位于相位路径中。

如前述图 1 所示，幅度和相位的相对计时通过将一路径相对于另一个进行延迟可被控制。现在将考虑延迟滤波器 111 的进一步的细  
15 节。不失一般性，考虑将幅度  $\rho$  延迟  $\tau$ ，其中， $\tau$  是一个采样间隔的分数。以数学而言，幅度  $\rho$  仅在离散时刻  $kT$  是已知的，其中， $k$  是整数， $T$  是采样周期。精确的估计将发现在一些  $kT + \Delta T$  时刻的幅度，其中， $0 < \Delta < 1$ 。对于本公开的剩余部分，在离散时刻  $kT$  的幅度  $\rho$  将被表示为  $\rho(k)$ 。

20 一种方法打算使用线性插值。线性插值可被视为具有两个滤波器系数的非递归滤波操作。滤波器输出将提供在  $kT + \Delta T$  时刻的幅度的估计。如果滤波器输入被表示为  $x$  并且滤波器输出被表示为  $y$ ，则线性插值被表示为

$$y(k) = x(k) + \Delta[x(k+1) - x(k)]$$

25 线性插值已在这里描述，从而只需要一次乘法，这在实际实现中很重要。注意延迟的分辨率仅受用于表示延迟的比特数量的限制。

另一种方法打算使用一阶全通滤波器。此滤波器是无限脉冲响应（IIR）型并由以下递归式定义

$$y(k) = c[x(k) - y(k-1)] + x(k-1)$$

其中，

$$c = \frac{1-\Delta}{1+\Delta}$$

另一种方法打算使用被设计得具有近乎线性的相位和近乎平坦的通频带的有限脉冲响应（FIR）滤波器。例如，可根据最小均方差（MMSE）标准来设计这样的滤波器。

现在将通过仿真来展示数字子采样延迟补偿的有效性。仿真过程被用于产生具有每符号 16 个采样的 PAM 信号，计算幅度和相位，将幅度时移一个采样，并对幅度和相位进行二中抽一。然后幅度和相位具有每符号 8 个采样，并且相对的幅度-相位计时偏移正好是 1/2 采样。不失一般性，EDGE 信号被用于此展示。

图 2 显示重建的 EDGE 信号的 PSD 上的 1/2 采样计时偏移的效果，其中，可以看出幅度-相位时间偏移使得信号违反了 EDGE 频谱屏蔽（来自 DCS 1800 移动站的 3GPP TS 45.005 v5.1.0，具有小于等于 30dBm 的输出功率）。如果用线性插值校正幅度-相位时间偏移，则可以看出校正的信号符合频谱屏蔽。然而在 400kHz 偏移处与所述屏蔽的裕量仅为大约 3dB。如果一阶全通滤波器被用于补偿时间偏移，则在 400kHz 偏移处与所述屏蔽所得到的裕量接近 17dB。这显示出全通滤波器能够更好地补偿幅度-相位时间偏移。线性插值和全通滤波的相对性能将取决于采样率。如果在足够高的采样率处理信号，则在线性插值和全通滤波之间的差别将会非常小。

为了确定线性插值和全通滤波校正一定范围的时间偏移值的能力，执行下面的模拟。具有每符号 64 个采样的 EDGE 信号被产生，并且以下步骤被执行：计算幅度和相位，将幅度时移零至八个采样，然后对幅度和相位进行八中抽一。幅度和相位然后具有每符号 8 个采样，并且在 1/8 采样步骤中，相对的幅度-相位计时偏移从 0 到 1 个采样变化。图 3 显示对于未校正信号和作为时间偏移的函数的校正信号，在 400kHz 偏移的 PSD 的相对功率。清楚的是在所有情况下 1/2 采样的时间偏移是最差的情况。全通滤波器能够补偿较宽范围的时间偏移而在性能上几乎没有变化。



最后的问题是由于线性插值和全通滤波的延迟参数所需要的分辨率。为了研究此问题，执行下面的模拟。具有每符号 8 个采样的 EDGE 信号被产生，幅度和相位之间的  $1/2$  采样时间偏移，以及线性插值器和全通滤波器的时间延迟参数是变化的。此试验的结果显示在图 4 中。

5 以 0.5 采样的延迟值，名义上的时间校正被实现。对于线性滤波器，在 400kHz 偏移的功率向下多于 55dB。对于全通滤波器，功率向下多于 70dB。

在实践中，延迟滤波器的参数可在设计时被校准，并被设置以实现期望的 PSD 特征。对于不同的设计，延迟滤波器的参数可以不同。

10 从前面的描述中应该理解，线性插值和一阶全通滤波器都可提供将幅度-相位计时控制到子采样精度的有效手段。全通滤波器以增加的实现复杂性为代价提供更高的性能。通过使用具有多于两个线头 (tap) 的 FIR 滤波器来近似所期望的延迟，可实现性能的进一步提高。可以根据 MMSE 标准设计这样的滤波器。所呈现的所有这些仿真已完全

15 被硬件实现所验证。这证明使用严格的数字技术，子采样时间信号延迟移动完全可被实现，消除了在设计中的数据或时钟信号的延迟操纵的任何需要。或者，同等地，消除了被强迫接收系统时钟频率 (采样次数) 设置的时间校准分辨率的折衷。

然而，以上是本发明的优选实施例的完整描述，各种变体、修改、

20 和等同物可被使用。因此，以上描述不应被用来限制本发明的范围，该范围由所附权利要求限定。

图1

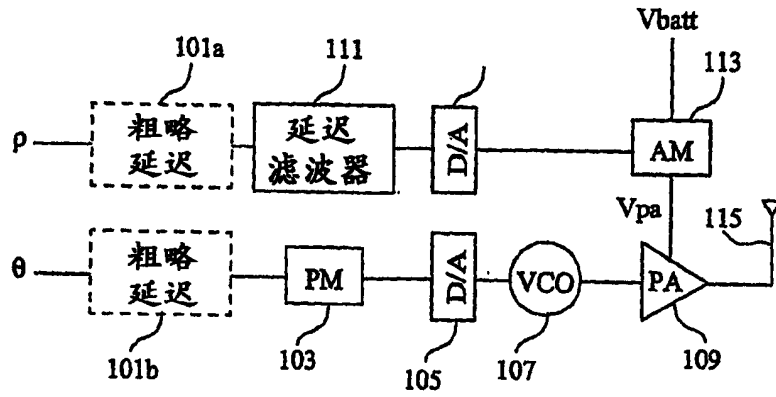


图2

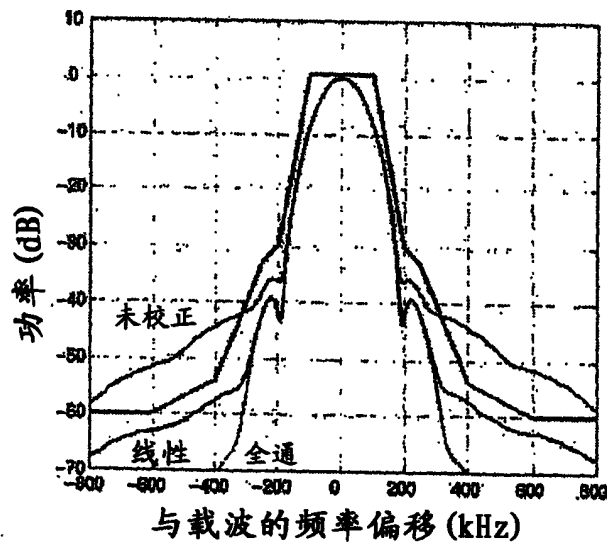


图3

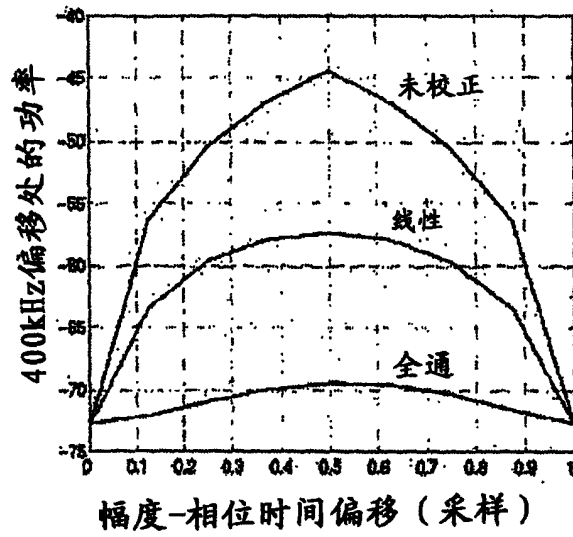


图4

