

【特許請求の範囲】

【請求項 1】

第 1 導電型のボディ物質を有する半導体ボディの上部表面に沿って設けられた複数個の同極性の電界効果トランジスタ（「F E T」）を有する構成体において、各 F E T が、

該ボディ物質のチャンネルゾーン、

該半導体ボディ内にその上部表面に沿って位置されており、該チャンネルゾーンによって横方向に分離されており、該ボディ物質と夫々の P N 接合を形成するために第 1 導電型とは反対の第 2 導電型の第 1 及び第 2 ソース／ドレイン（「S／D」）ゾーンであって、各 S／D ゾーンが主要 S／D 部分及び該主要 S／D 部分と横方向に連続的であり且つ該ゲート電極の下側を横方向に延在している一層軽度にドーピングした横方向 S／D 延長部を有しており該チャンネルゾーンが該ボディの上部表面に沿って該 S／D 延長部によって終端されている第 1 及び第 2 S／D ゾーン、

該チャンネルゾーンの上側に位置しているゲート誘電体層、及び

該チャンネルゾーンの上方で該ゲート誘電体層の上側に位置しているゲート電極、を有しており、（a）該複数の F E T の内の第 1 F E T の S／D ゾーンの S／D 延長部が該複数の F E T の内の第 2 F E T の S／D ゾーンの S／D 延長部とは異なって構成又は／及び形態とされており、且つ（b）第 1 F E T の S／D ゾーンの内の特化した一つの S／D 延長部が第 2 F E T の S／D ゾーンの内の特化した一つの S／D 延長部よりも一層高度にドーピングされている、

構成体。

【請求項 2】

請求項 1 において、該複数の F E T の内の一つのゲート誘電体層が該複数の F E T の内の別のもののゲート誘電体層とは実質的に異なる厚さのものである構成体。

【請求項 3】

請求項 1 又は 2 において、該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングされている該ボディ物質のポケット部分が該複数の F E T の内の一つの S／D ゾーンの内の一つのみにほぼ沿ってそのチャンネルゾーン内に延在してその F E T のチャンネルゾーンをその S／D ゾーンに関して非対称的とさせている構成体。

【請求項 4】

請求項 1 又は 2 において、該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングされている該ボディ物質の一对のポケット部分が該複数の F E T の内の一つの S／D ゾーンに沿って夫々そのチャンネルゾーン内に延在している構成体。

【請求項 5】

請求項 1 又は 2 において、第 1 F E T の該特定した S／D ゾーンの S／D 延長部が第 1 F E T の S／D ゾーンの内残りのものの S／D 延長部よりも一層高度にドーピングされている構成体。

【請求項 6】

請求項 5 において、該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングされている該ボディ物質のポケット部分が第 1 F E T の該特定した S／D のみにほぼ沿ってそのチャンネルゾーン内に延在して第 1 F E T のチャンネルゾーンをその S／D ゾーンに関して非対称的とさせている構成体。

【請求項 7】

請求項 5 において、第 1 F E T の該特定した S／D ゾーンの S／D 延長部が、第 1 F E T の残りの S／D ゾーンの S／D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 8】

請求項 7 において、第 1 F E T の該特定した S／D ゾーンの S／D 延長部が第 2 F E T の S／D ゾーンの内残りのものの S／D 延長部よりも一層高度にドーピングされている構成体。

【請求項 9】

請求項 5 において、

第 1 F E T の該特定した S / D ゾーンの S / D 延長部が該複数の F E T の内の第 3 F E T の両方の S / D 延長部よりも一層高度にドーピングされており、及び

第 3 F E T のゲート誘電体層が第 2 F E T のゲート誘電体層とは実質的に異なる厚さのものである、

構成体。

【請求項 1 0】

請求項 1 又は 2 において、第 1 F E T の各 S / D ゾーンの S / D 延長部が第 2 F E T の各 S / D ゾーンの S / D 延長部よりも一層高度にドーピングされている構成体。

【請求項 1 1】

請求項 1 0 において、第 1 F E T の各 S / D ゾーンの S / D 延長部が第 2 F E T の各 S / D ゾーンの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 1 2】

請求項 1 0 において、該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングされている該ボディ物質の一对のポケット部分が第 1 F E T の S / D ゾーンに沿って夫々そのチャンネルゾーン内に延在している構成体。

【請求項 1 3】

請求項 1 0 において、

第 1 F E T の各 S / D ゾーンの S / D 延長部が該複数の F E T の内の第 3 F E T の両方の S / D 延長部よりも一層高度にドーピングされており、及び

第 3 F E T のゲート誘電体層が第 2 F E T のゲート誘電体層とは実質的に異なる厚さのものである、

構成体。

【請求項 1 4】

請求項 1 0 において、該複数の F E T の内の第 3 F E T の S / D ゾーンの内の特化した一つの S / D 延長部が第 3 F E T の S / D ゾーンの内残りのものの S / D 延長部よりも一層高度にドーピングされている構成体。

【請求項 1 5】

請求項 1 4 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングされている該ボディ物質のポケット部分が第 1 及び第 3 F E T の各々の S / D ゾーンの内一つに沿ってそのチャンネルゾーン内に延在している構成体。

【請求項 1 6】

請求項 1 4 において、

該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質のポケット部分が第 3 F E T の該特定した S / D ゾーンのみにはほぼ沿ってそのチャンネルゾーン内に延在して第 3 F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称的とさせており、及び

該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質の一对のポケット部分が第 1 F E T の S / D ゾーンに沿って夫々延在してそのチャンネルゾーン内に延在している、

構成体。

【請求項 1 7】

請求項 1 4 において、第 3 F E T の該特定した S / D ゾーンの S / D 延長部が第 2 F E T の S / D ゾーンの各々の S / D 延長部よりも一層高度にドーピングされている構成体。

【請求項 1 8】

請求項 1 7 において、第 3 F E T の該特定した S / D ゾーンの S / D 延長部が、(a) 第 3 F E T の残りの S / D ゾーンの S / D 延長部、及び (b) 第 2 F E T の各 S / D ゾーンの S / D 延長部、の両方よりも該ボディの上部表面下側により少ない深さに延在している構成体。

10

20

30

40

50

【請求項 19】

請求項 1 又は 2 において、第 1 F E T の該特定した S / D ゾーンの S / D 延長部が第 2 F E T の該特定した S / D ゾーンの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 20】

第 1 導電型のボディ物質を有している半導体ボディの上部表面に沿って設けられている複数の同極性の電界効果トランジスタ（「F E T」）を有する構成体において、各 F E T が、

該ボディ物質のチャンネルゾーン、

該半導体ボディ内にその上部表面に沿って位置されており、該チャンネルゾーンによって横方向に分離されており、且つ該ボディ物質と夫々の P N 接合を形成するために第 1 導電型とは反対の第 2 導電型である第 1 及び第 2 ソース / ドレイン（「S / D」）ゾーンであって、各 S / D ゾーンが主要 S / D 部分及び該主要 S / D 部分と横方向に連続的であり且つ該ゲート電極の下側に横方向に延在する一層軽度にドーブした横方向 S / D 延長部を有しており、該チャンネルゾーンが該ボディの上部表面に沿って該 S / D 延長部によって終端されている、第 1 及び第 2 S / D ゾーン、

該チャンネルゾーンの上側に位置しているゲート誘電体層、及び

該チャンネルゾーンの上方で該ゲート誘電体層の上側に位置しているゲート電極、を有しており、（a）該複数の F E T の内の第 1 F E T の S / D ゾーンの S / D 延長部が該複数の F E T の内の第 2 F E T の S / D ゾーンの S / D 延長部とは異なって構成又は／及び形態とされており、及び（b）第 1 F E T の S / D ゾーンの内の特化した一つの S / D 延長部が第 2 F E T の S / D ゾーンの内の特化した一つの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している、構成体。

【請求項 21】

請求項 20 において、該複数の F E T の内の一つのゲート誘電体層が該複数の F E T の内の別のもののゲート誘電体層とは実質的に異なる厚さのものである構成体。

【請求項 22】

請求項 20 又は 21 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドーブされている該ボディ物質のポケット部分が、該複数の F E T の内の一つの S / D ゾーンの内の一つのみにほぼ沿ってそのチャンネルゾーン内に延在してその F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称的とさせている構成体。

【請求項 23】

請求項 20 又は 21 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドーブされている該ボディ物質の一对のポケット部分が、該複数の F E T の内の一つの S / D ゾーンに沿って夫々そのチャンネルゾーン内に延在している構成体。

【請求項 24】

請求項 20 又は 21 において、第 1 F E T の該特定した S / D ゾーンの S / D 延長部が、第 1 F E T の S / D ゾーンの内残りのものの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 25】

請求項 24 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドーブされている該ボディ物質のポケット部分が、第 1 F E T の該特定した S / D のみにほぼ沿ってそのチャンネルゾーン内に延在して第 1 F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称的とさせている構成体。

【請求項 26】

請求項 24 において、第 1 F E T の該特定した S / D ゾーンの S / D 延長部が第 2 F E T の S / D ゾーンの内残りの一つの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 27】

請求項 26 において、

第 1 F E T の該特定した S / D ゾーンの S / D 延長部が該複数の F E T の内の第 3 F E T の両方の S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在しており、及び

第 3 F E T のゲート誘電体層が第 2 F E T のゲート誘電体層とは実質的に異なる厚さのものである、

構成体。

【請求項 28】

請求項 20 又は 21 において、第 1 F E T の各 S / D ゾーンの S / D 延長部が、第 2 F E T の各 S / D ゾーンの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している、構成体。

10

【請求項 29】

請求項 28 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドープされている該ボディ物質の一对のポケット部分が、第 1 F E T の S / D ゾーンに沿って夫々そのチャンネルゾーン内に延在している構成体。

【請求項 30】

請求項 28 において、

第 1 F E T の各 S / D ゾーンの S / D 延長部が、該複数の F E T の内の第 3 F E T の両方の S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在しており、及び

第 3 F E T のゲート誘電体層が第 2 F E T のゲート誘電体層とは実質的に異なる厚さのものである、

20

構成体。

【請求項 31】

請求項 28 において、該複数の F E T の内の第 3 F E T の S / D ゾーンの内の特化した一つの S / D 延長部が、第 3 F E T の S / D ゾーンの内残りのものの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 32】

請求項 31 において、該ボディ物質の横方向に隣接した物質よりも一層高度にドープした該ボディ物質のポケット部分が、第 1 及び第 3 F E T の各々の S / D ゾーンの内一つに沿ってそのチャンネルゾーン内に延在している構成体。

30

【請求項 33】

請求項 31 において、

該ボディ物質の横方向に隣接した物質よりも一層高度にドープした該ボディ物質のポケット部分が、第 3 F E T の該特定した S / D ゾーンのみにはほぼ沿ってそのチャンネルゾーン内に延在して第 3 F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称的とさせており、及び

該ボディ物質の横方向に隣接した物質よりも一層高度にドープした該ボディ物質の一对のポケット部分が、夫々第 1 F E T の S / D ゾーンに沿ってそのチャンネルゾーン内に延在している、

構成体。

40

【請求項 34】

請求項 31 において、第 3 F E T の該特定した S / D ゾーンの S / D 延長部が、第 2 F E T の各 S / D ゾーンの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在している構成体。

【請求項 35】

第 1 導電型のボディ物質を有する半導体ボディから複数の同極性の電界効果トランジスタ（「F E T」）を有する構成体を製造する方法において、

ゲート電極がその F E T 用のチャンネルゾーンであることが意図されている該ボディ物質の部分の上方に位置されており且つそれからゲート誘電体層によって垂直方向に分離されているように各 F E T 用のゲート電極を画定し、及び

50

第1導電型と反対の第2導電型の複合半導体ドーパントを該半導体ボディ内に導入して、各FET用に、そのFETのチャンネルゾーンによって横方向に分離されている第2導電型の一対のソース／ドレイン（「S／D」）ゾーンを形成し、且つ各S／Dゾーンが主要S／D部分及び該主要S／D部分と横方向に連続的であり且つ該ゲート電極の下側を横方向に延在している一層軽度にドーピングした横方向S／D延長部を有するように及び該チャンネルゾーンがそのFETのゲート誘電体層直下で該S／D延長部によって終端されるよう該S／Dゾーンと夫々一対のPN接合を形成し、第2導電型の該複合ドーパントを導入する動作が、（a）該複数のFETの内の第1FETのS／Dゾーンの内の特定した一つのS／D延長部を少なくとも部分的に画定するために第2導電型の第1半導体ドーパントを該半導体ボディ内に導入すること、及び（b）該複数のFETの内の第2FETのS／Dゾーンの内の特定した一つのS／D延長部を少なくとも部分的に画定するために第2導電型の第2半導体ドーパントを該半導体ボディ内に導入すること、を包含しており、第2導電型の第1ドーパントが第2導電型の第2ドーパントよりも一層高いドーピング量で導入されて第1FETの該特定したS／DゾーンのS／D延長部が第2FETの該特定したS／DゾーンのS／D延長部よりも一層高度にドーピングさせる、ことを包含している方法。

10

【請求項36】

請求項35において、該複数のFETの内の一つのFETのゲート誘電体層が該複数のFETの内の別のFETのゲート誘電体層とは実質的に異なる厚さのものである方法。

【請求項37】

20

請求項35又は36において、更に、第1導電型の半導体ドーパントを該ボディ物質内に導入して該複数のFETの内のひとつのFET用のポケット部分をその中に画定することを包含しており、その結果、該ポケット部分は該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングされ且つそのFETのS／Dゾーンの内の一つのみにはほぼ沿ってそのチャンネルゾーン内に延在してそのFETのチャンネルゾーンをそのS／Dゾーンに関して非対称的とさせている方法。

【請求項38】

請求項35又は36において、更に、第1導電型の半導体ドーパントを該ボディ物質内に導入して該複数のFETの内の一つのFET用の一対のポケット部分をその中に画定することを包含しており、その結果、該ポケット部分は該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングされ且つそのFETのS／Dゾーンに沿ってそのチャンネルゾーン内に夫々延在する方法。

30

【請求項39】

請求項35又は36において、第2導電型の該第2ドーパントの導入が、又、第1FETのS／Dゾーンの内の残りのもののS／D延長部を少なくとも部分的に画定し、第1FETの該特定したS／DゾーンのS／D延長部が第1FETの残りのS／DゾーンのS／D延長部よりも一層高度にドーピングされる方法。

【請求項40】

請求項39において、更に、第1導電型の半導体ドーパントを該ボディ物質に導入してその中に第1FET用のポケット部分を画定することを包含しており、該ポケット部分は該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングされ且つ第1FETの該特定したS／Dゾーンのみにはほぼ沿ってそのチャンネルゾーン内に延在して第1FETの該チャンネルゾーンをそのS／Dゾーンに関して非対称的とさせる方法。

40

【請求項41】

請求項39において、更に、第1導電型の半導体ドーパントを該ボディ物質内に導入してその中に第1FET用のポケット部分を画定することを包含しており、該ポケット部分は該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングされ且つ第1FETの該特定したS／Dゾーンのみにはほぼ沿ってそのチャンネルゾーン内に延在して第1FETの該チャンネルゾーンをそのS／Dゾーンに関して非対称的とさせる方法。

【請求項42】

50

請求項 4 1 において、第 1 導電型の該ドーパント及び第 2 導電型の該第 1 ドーパントが両方共マスクにおける実質的に同じ開口を介して該半導体ボディ内に導入される方法。

【請求項 4 3】

請求項 3 5 又は 3 6 において、第 2 導電型の該第 2 ドーパントの導入が、第 2 F E T の S / D ゾーンの内の残りのものの S / D 延長部を少なくとも部分的に画定し、従って第 1 F E T の該特定した S / D ゾーンの S / D 延長部が第 2 F E T の残りの S / D ゾーンの S / D 延長部よりも一層高度にドーブされる方法。

【請求項 4 4】

請求項 4 3 において、第 2 導電型の該第 1 ドーパントが第 2 導電型の該第 2 ドーパントよりも該半導体ボディ内に一層低い平均深さで導入され、従って第 1 F E T の該特定した S / D ゾーンの S / D 延長部が第 1 F E T の残りの S / D ゾーンの S / D 延長部よりも該ボディの上部表面下側により少ない深さに延在する方法。

10

【請求項 4 5】

請求項 4 3 において、更に、第 1 導電型の半導体ドーパントを該ボディ物質内に導入してその中に第 1 F E T 用のポケット部分を画定することを包含しており、その結果、該ポケット部分は該ボディ物質の横方向に隣接する物質よりも一層高度にドーブされており且つ第 1 F E T の該特定した S / D ゾーンのみにはほぼ沿ってそのチャンネルゾーン内に延在して第 1 F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称的とさせる方法。

【請求項 4 6】

第 1 導電型のボディ物質を有する半導体ボディから複数個の同極性の電界効果トランジスタ（「F E T」）を有する構成体を製造する方法において、

20

ゲート電極がその F E T 用のチャンネルゾーンであることが意図されている該ボディ物質の部分の上方に位置され且つ該部分からゲート誘電体層によって垂直方向に分離されているように各 F E T 用のゲート電極を画定し、及び

第 1 導電型と反対の第 2 導電型の複合半導体ドーパントを該半導体ボディ内に導入して、各 F E T 用に、その F E T のチャンネルゾーンによって横方向に分離した第 2 導電型の一对のソース／ドレイン（「S / D」）ゾーンを形成し、且つ各 S / D ゾーンが主要 S / D 部分及び該主要 S / D 部分と横方向に連続的であり且つ該ゲート電極の下側を横方向に延在する一層軽度でドーブした横方向 S / D 延長部を有するように且つ該チャンネルゾーンがその F E T のゲート誘電体層直下で該 S / D 延長部によって終端されるように該 S / D ゾーンと夫々一对の P N 接合を形成し、第 2 導電型の該複合ドーパントを導入する動作が、（a）該複数の F E T の内の第 1 F E T の S / D ゾーンの内の特化した一つの S / D 延長部を少なくとも部分的に画定するために第 2 導電型の第 2 半導体ドーパントを該半導体ボディ内に導入すること、及び（b）該複数の F E T の内の第 2 F E T の S / D ゾーンの内の特化した一つの S / D 延長部を少なくとも部分的に画定するために第 2 導電型の第 2 半導体ドーパントを該半導体ボディ内に導入すること、を包含しており、第 2 導電型の該第 1 ドーパントは第 2 導電型の該第 2 ドーパントよりも一層低い平均深さで該半導体ボディ内に導入され、従って第 1 F E T の該特定した S / D ゾーンの S / D 延長部は第 2 F E T の該特定した S / D ゾーンの S / D 延長部よりも該半導体ボディ内により少ない深さに延在する、方法。

30

40

【請求項 4 7】

請求項 4 6 において、該複数の F E T の内のひとつの F E T のゲート誘電体層が該複数の F E T の内の別の F E T のゲート誘電体層とは実質的に異なる厚さのものである方法。

【請求項 4 8】

請求項 4 6 又は 4 7 において、更に、第 1 導電型の半導体ドーパントを該ボディ物質内に導入してその中に該複数の F E T の内のひとつの F E T 用のポケット部分を画定することを包含しており、該ポケット部分は該ボディ物質の横方向に隣接した物質よりも一層高度にドーブされ且つその F E T の S / D ゾーンの内の一つのみにはほぼ沿ってそのチャンネルゾーン内に延在してその F E T の該チャンネルゾーンをその S / D ゾーンに関して非対称

50

的とさせる方法。

【請求項 49】

請求項 46 又は 47 において、更に、第 1 導電型の半導体ドーパントを該ボディ物質内に導入してその中に該複数の FET の内の一つの FET 用に一对のポケット部分を画定することを包含しており、該ポケット部分は該ボディ物質の横方向に隣接した物質よりも一層高度にドーパされ且つその FET の S/D ゾーンに沿ってそのチャンネルゾーン内に夫々延在する方法。

【請求項 50】

請求項 46 又は 47 において、第 2 導電型の該第 2 ドーパントの導入が、又、第 1 又は第 2 FET の S/D ゾーンの内残りのものの S/D 延長部を少なくとも部分的に画定し、従ってその FET の該特定した S/D ゾーンの S/D 延長部はその FET の残りの S/D ゾーンの S/D 延長部よりも該半導体ボディ内により少ない深さに延在する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、全て本願と同日に出願した以下の国際特許出願に関連している、即ち、国際特許出願 _____ (Bulucea et al.)、代理人ドケット番号 NS-7005WO、国際特許出願 _____ (Bulucea et al.)、代理人ドケット番号 NS-7040WO、国際特許出願 _____ (Parker et al.)、代理人ドケット番号 NS-7192WO、国際特許出願 _____ (Bahl et al.)、代理人ドケット番号 NS-7210WO、国際特許出願 _____ (Yang et al.)、代理人ドケット番号 NS-7307WO、国際特許出願 _____ (Yang et al.)、代理人ドケット番号 NS-7313WO、国際特許出願 _____ (Bulucea et al.)、代理人ドケット番号 NS-7433WO、国際特許出願 _____ (Bulucea et al.)、代理人ドケット番号 NS-7434WO、国際特許出願 _____ (French et al.)、代理人ドケット番号 NS-7435WO、及び国際特許出願 _____ (Chaparala et al.)、代理人ドケット番号 NS-7437WO。本書で繰り返さない範囲で、これらのその他の出願の内容は引用により本書に取り込む。

【0002】

本発明は、半導体技術に関するものであって、特に、絶縁ゲート型電界効果トランジスタ (FET) に関するものである。以下に記載する絶縁ゲート FET (IGFET) の全ては、そうでないことが示されない限り、表面チャンネルエンハンスメントモード IGFET である。

【背景技術】

【0003】

IGFET は、ゲート誘電体層がゲート電極をソースゾーンとドレインゾーンとの間に延在するチャンネルゾーンから電氣的に絶縁する半導体装置である。エンハンスメントモード IGFET におけるチャンネルゾーンは、しばしば、基板又は基板領域と呼称されるボディ領域の一部であり、それは、ソース及びドレインと夫々の PN 接合を形成する。エンハンスメントモード IGFET においては、チャンネルゾーンは、ソースとドレインとの間の全ての半導体物質から構成されている。IGFET 動作期間中、電荷キャリアが、上部半導体表面に沿ってチャンネルゾーン内に誘起されるチャンネルを介して、ソースからドレインへ移動する。スレッショールド電圧は、スレッショールド (最小) 導通電流の与えられた定義に対して IGFET が電流の導通を開始するゲート対ソース電圧の値である。チャンネル長は、上部半導体表面に沿ってのソースとドレインとの間の距離である。

【0004】

IGFET は、種々のデジタル及びアナログ機能を実施するために集積回路 (IC) において使用されている。IC 動作能力が過去数年にわたり進化したので、IGFET は次第に一層小さなものとなっており、最小チャンネル長において斬進的な減少となっている。IGFET に対する古典的モデルによって記述される態様で動作する IGFET は、し

10

20

30

40

50

ばしば。「長チャンネル」装置として特性付けられる。IGFETは、古典的なIGFETモデルからIGFETの挙動が著しく逸れるような範囲へチャンネル長が減少される場合に、「短チャンネル」装置として記述される。短チャンネル及び長チャンネルの両方のIGFETがICにおいて使用されるが、超大規模集積適用例におけるデジタル機能のために利用される大多数のIGFETは、使用可能なリソグラフィ技術で信頼性をもって製造可能な最小チャンネル長を有するようにレイアウトされる。

【0005】

空乏領域は、ソースとボディ領域との間の接合に沿って延在する。別の空乏領域がドレインとボディ領域との間の接合に沿って延在する。各空乏領域内には高電界が存在する。或る条件下において、特にチャンネル長が小さい場合には、ドレイン空乏領域はソース空乏領域へ横方向に延在して上部半導体表面に沿って又はその下側においてそれと合体する場合がある。上部半導体表面に沿ってのソースとドレイン空乏領域との間の合体は表面パンチスルーと呼称される。上部半導体表面下側でのこれら2つの空乏領域の合体はバルクパンチスルーと呼称される、表面又はバルクのパンチスルーが発生すると、IGFETの動作はそのゲート電極によって制御することは不可能である。両方のタイプのパンチスルーを回避することが必要である。

【0006】

IGFETの寸法が減少するにつれ、短チャンネルレジームで動作するものを包含して、IGFETの性能を改善するために種々の技術が使用されている。一つの性能改善技術は、ゲート誘電体層内へのホットキャリア注入を回避するためにドレインにおける電界を減少させるための二部構成ドレインを具備するIGFETを提供することが関与している。IGFETは、又、通常、同様の構成とされた二部構成ソースが設けられている。別の従来の性能改善技術は、チャンネル長が減少されるに従い表面パンチスルーを禁止するため、及びスレッショールド電圧の通常不所望のロールオフを一層短いチャンネル長へシフトさせるために、ソースに沿ってのポケット部分内にチャンネルゾーンのドーパント濃度を増加させることである。どのようにしてIGFETに二部構成ドレインと類似した二部構成ソースを設けるかということと同様に、ドーパント濃度も、通常、ドレインに沿ってのポケット部分において増加される。その結果得られるIGFETは、典型的に、対称的な装置である。

【0007】

図1は、米国特許第6,548,842B1(Bulucea et al.)に記載されているようなその様な従来の長チャンネル対称的NチャンネルIGFET20を例示している。IGFET20は、P型単結晶シリコン(モノシリコン)半導体ボディから形成されている。IGFET20の上部表面は凹設された電氣的に絶縁性のフィールド絶縁領域22が設けられており、それは、N型ソース/ドレイン(S/D)ゾーン26及び28を具備する活性半導体島状部24を横方向に取り囲んでいる。各S/Dゾーン26又は28は、非常に高度にドーブした主要部分26M又は28Mと、一層軽度ドーブしているが尚且つ高度にドーブした横方向延長部26E又は28Eとから構成されている。

【0008】

S/Dゾーン26及び28は、軽度ドーブした下部部分34と、高度にドーブした中間ウェル部分36と、上部部分38とから構成されるP型ボディ物質32のチャンネルゾーン30によって互いに分離されている。上部ボディ物質部分38の殆どは中程度にドーブされているが、部分38はイオン注入された高度にドーブしたハローポケット部分40及び42を包含しており、それらは夫々S/Dゾーン26及び28に沿って延在している。IGFET20は、更に、ゲート誘電体層44、上側に存在する非常に高度にドーブしたN型多結晶シリコン(ポリシリコン)ゲート電極46、電氣的に絶縁性の側壁スペーサ48及び50、メタルシリサイド層52,54,56を包含している。

【0009】

S/Dゾーン26及び28は大部分は互いに鏡像である。ハローポケット40及び42も大部分は互いに鏡像であり、従ってチャンネルゾーン30はチャンネルドーパント濃度

10

20

30

40

50

に関して対称的に長手方向にグレイデッド (graded)、即ち勾配が付けられている。この対称性のために、S/Dゾーン26又は28のいずれもIGFET動作期間中にソースとして作用することが可能であり、一方他方のS/Dゾーン26又は28はドレインとして作用する。このことは、S/Dゾーン26及び28が或る時間期間中に夫々ソース及びドレインとして機能し且つ他の時間期間中に夫々ドレイン及びソースとして機能する幾つかのデジタル状態に対して特に適している。

【0010】

図2は、IGFET20に対して長手方向距離xの関数として上部半導体表面に沿ってどのように正味のドーパント濃度 N_N が変化するかを例示している。IGFET20は対称的な装置であるから、図2はチャンネル中心から開始する上部半導体表面に沿っての半分の分布を提示している。図2における曲線セグメント26M^{*}、26E^{*}、28M^{*}、28E^{*}、30^{*}、40^{*}、及び42^{*}は、夫々、領域26M、26E、28M、28E、30、40、及び42の正味のドーパント濃度を表している。点線曲線セグメント40[〃]又は42[〃]はポケット40又は42を形成する過程においてS/Dゾーン26又は28に対する位置内に導入されたP型ドーパントを包含するハローポケット40又は42を形成するP型半導体ドーパントの全濃度を表している。

10

【0011】

S/Dゾーン26又は28に沿って、特に横方向S/D延長部26E又は28Eに沿って、各ハローポケット40又は42によって与えられる増加されたP型ドーパントチャンネルドーパント濃度は、表面パンチスルーを回避させる。上部ボディ物質部分38もイオン注入したP型アンチパンチスルー(「PAT」)半導体ドーパントが与えられており、それはS/Dゾーン26及び28の深さの近傍において最大濃度に到達している。このことはバルクパンチスルーを回避させる。

20

【0012】

米国特許第6,548,842号において提示されている情報に基づいて、図3aは主要S/D部分26M又は28Mを介して延在する仮想的垂直線に沿って深さyの関数として全P型及び全N型ドーパントの濃度 N_T がどのように変化するかを概略的に図示している。図3a中の曲線セグメント26M[〃]又は28M[〃]は、主要S/D部分26M又は28Mを画定するN型ドーパントの全濃度を表している。曲線セグメント34[〃]、36[〃]、38[〃]及び40[〃]又は42[〃]は、一緒になって、夫々の領域34、36、38、及び40又は42を画定するP型ドーパントの全濃度を表している。

30

【0013】

ウエル部分36は、P型PATドーパントの最大濃度のものよりも下側の深さにおいて最大濃度に到達するP型主要ウエル半導体ドーパントを具備するイオン注入用IGFET20によって画定されている。P型主要ウエルドーパントの最大濃度はP型PATドーパントの最大濃度よりも幾分一層大きい、全P型ドーパントの垂直分布は最大ウエルドーパント濃度の位置から主要S/D部分26M又は28Mにいたるまで比較的平坦である。米国特許第6,548,842号は、主要S/D部分26M又は28Mを介して上述した垂直線に沿ってのP型ドーパント分布が、PAT及びウエルドーパントの最大濃度の深さの間の深さにおいて最大濃度に到達する付加的なP型半導体ドーパントを注入することにより更に平坦化させることが可能であることを開示している。この状態を図3bに例示しており、曲線セグメント58[〃]はこの更なるP型ドーパントによって発生された変化を表している。

40

【0014】

P下部部分34上方のボディ物質32の部分、即ちP+ハローポケット部分40及び42を含んでおりP+ウエル部分36及びP型上部部分38によって形成されている領域、をウエルと言及する。何故ならば、そのボディ物質部分は、半導体ボディの軽度にドーピングした半導体物質内にP型半導体ドーパントを導入することにより形成されているからである。そのように導入された全ウエルドーパントは、ここでは、P型主要ウエルドーパント、P型PATドーパント、P型ハローポケットドーパント、及び、図3bのIGF

50

E T変形例においては、付加的なP型ドーパントから構成されている。

【0015】

ウエルの種々のタイプがICにおいて、特に、IGFETボディ物質用の軽度にドーブした開始半導体物質がP型又はN型の導電型であるかに依存してNチャンネル又はPチャンネルIGFETのいずれかに対してウエルを使用しなければならない相補的IGFETを含むICにおいて、使用されている。相補的IGFETを包含するICは、一般的に、Nチャンネル及びPチャンネルIGFET特性のマッチングを容易とさせるためにP型及びN型の両方のウエルを使用する。

【0016】

通常「CMOS」製造と呼ばれる初期の相補的IGFET（「CIGFET」）製造プロセスは、しばしば、典型的に、主に熱的に成長されるシリコン酸化物から構成される凹設されたフィールド絶縁性領域の形成前に、軽度にドーブされている半導体物質内に浅く主要な半導体ウエルドーパントを最初に導入させることによって、ここでは「拡散された（diffused）」ウエルと呼称するウエルを形成していた。そのフィールド酸化物成長はきまって数時間の期間にわたり高温において実施されていたので、ウエルドーパントは半導体物質内に深くに拡散していた。その結果、拡散したウエルドーパントの最大濃度は、上部半導体表面において、又はその非常に近くにおいて、発生していた。又、拡散したウエルドーパントの垂直分布は該上部半導体表面近くにおいて比較的平坦なものであった。

【0017】

より最近のCIGFET製造プロセスにおいては、比較的高い注入エネルギーでのイオン注入がフィールド酸化物の形成の後にウエルを形成するために使用されている。そのウエルドーパントはフィールド酸化物を形成するために使用される長い高温操作に露呈されるものではないので、ウエルドーパントの最大濃度は、半導体物質内への顕著な深さにおいて発生する。このようなウエルは、「レトログレード（retrograde）」ウエルと呼称される。何故ならば、ウエルドーパントの濃度は、最大ウエルドーパント濃度の表面下位置から上部半導体表面へ移る場合に減少するからである。レトログレードウエルは、典型的に、拡散ウエルよりも一層浅い。レトログレードウエルの利点及び欠点は、（a）Brown et al.、「進化したプロセス技術における傾向—サブミクロンCMOS装置設計及びプロセス条件（Trends in Advanced Process Technology - Submicrometer CMOS Device Design and Process Requirements）」、Procs. IEEE、1986年12月、1678—1702頁、及び（b）Thompson et al.、「MOSスケーリング：21世紀に対するトランジスタチャレンジ（MOS Scaling: Transistor Challenges for the 21st Century）」、インテルテクノロジージャーナル、Q398、1998年、1—19頁、において説明されている。

【0018】

図4は、Rung et al.（「Rung」）、「より高密度CMOS用のレトログレードPウエル（A Retrograde p-Well for Higher Density CMOS）」、IEEE Trans Elec. Devs.、1981年10月、1115—1119頁に一般的に記載されているように、レトログレードウエルを使用する対称的なNチャンネルIGFET60を例示している。図1における領域に対応する図4における領域は、簡単化のために、同じ参照記号で示してある。このことを記憶して、IGFET60は軽度にドーブしたN型基板62から作成される。凹設型フィールド絶縁性領域22が、シリコンプロセスの局所的酸化に従って、上部半導体表面に沿って形成される。その後、基板62の一部内にP型半導体ドーパントを選択的に注入することによってP型レトログレードウエル64を形成する。次いで、残りのIGFET領域を形成して図4に示したようにIGFET60を製造する。

【0019】

レトログレードウエル64のP型ドーパント濃度は、ピークウエルドーパント濃度の近傍において記号「P」によって示されている中程度のレベルである。ウエルドーパント濃度は、上部半導体表面において記号「P-」によって示されている低レベルへ降下する。図4における点線は、上部半導体表面へ向かってウエル64のP部分から移る場合に、P

レベルから P-レベルへウェルドーパント濃度が遷移する箇所を概略的に表している。

【0020】

図5は、正味のドーパント濃度 N_N での IGFET 60 の長手中心を介しての仮想的垂直線に沿ってのドーパント分布の一般的な性質を表している。曲線セグメント 62* 及び 64* は、夫々、N型基板 62 及び P型レトログレードウェル 64 の正味ドーパント濃度を表している。矢印 66 は、ウェル 64 における最大表面下 P型ドーパント濃度の位置を表している。比較として、曲線セグメント 68* は、典型的に一層深い P型拡散型ウェルの正味の垂直ドーパント分布を表している。

【0021】

Run g によってシミュレーションされているようなレトログレードウェル 64 の長手中心を介しての仮想的な垂直線に沿ってのドーパント分布の特定の例は、正味のドーパント濃度 N_N によって図6中に示されている。曲線セグメント 26' 又は 28' は、IGFET 60 の Run g のシミュレーションの S/Dゾーン 26 又は 28 を介しての仮想的な垂直線に沿っての個別的な N型ドーパント濃度を表している。図6が示しているように、P型ウェルドーパントの濃度は、ウェル 64 内の最大 P型ドーパント濃度の位置 66 から上部半導体表面へ移る場合に 10 の係数を超えて減少する。図6は、又、位置 66 の深さは IGFET 60 における S/Dゾーン 26 又は 28 のほぼ 2 倍の深さであることを表している。

【0022】

最大ウェルドーパント濃度が、(i) 上部半導体表面におけるウェルドーパント濃度よりも少なくも 10 の係数一層大きく、且つ (ii) S/Dゾーンの最大深さと比較して比較的深く、例えば、それよりも一層深く、発生するウェル 64 のようなレトログレード IGFET ウェルは、「空の (empty)」ウェルとしてみることが可能である。何故ならば、IGFET のチャンネルが形成されるウェルの上部近くにおいてのウェルドーパントの量は比較的小さいからである。対照的に、拡散型ウェル、即ち軽度にドーブされている半導体物質内に浅く半導体ウェルドーパントが導入され、次いで該半導体物質内深くに拡散されたウェルは、「充填した (filled)」ウェルである。図1における対称的 IGFET 20 用のウェルは、同様に、充填したウェルとしてみることが可能である。何故ならば、APTドーパントが、主要なウェルドーパントがウェルドーパントのみであった場合に発生するであろうようなレトログレードウェルを「充填」するからである。

【0023】

対称的 IGFET 構成は、装置動作期間中に IGFET を介して電流が一方向にのみ流れる状態においては通常は必要とはされない。米国特許第 6, 548, 842 号において更に説明されているように、対称的 IGFET 20 のドレイン側ハローポケット部分 42 は、図7aに示したような長い Nチャンネル IGFET 70 を製造するために削除することが可能である。IGFET 70 は非対称的な装置である。何故ならば、チャンネルゾーン 30 は非対称的に長手方向にドーパントがグレイデッドされている即ち勾配が付けられているからである。IGFET 70 における S/Dゾーン 26 及び 28 は、通常、ソース及びドレインとして夫々機能する。図7bは、長チャンネル IGFET 70 に対応する非対称的短 Nチャンネル IGFET 72 を例示している。IGFET 72 において、ソース側ハローポケット 40 はドレイン 28 に接近して近づいている。上部半導体表面に沿っての長手方向距離 x の関数としての正味のドーパント濃度 N_N を、夫々、IGFET 70 及び 72 に対して図8a及び8bに示してある。

【0024】

非対称的 IGFET 70 及び 72 は、対称的 IGFET 60 と同じ APT 及びウェル注入を受け取る。従って、ソース 26 及びドレイン 28 を介して延在する垂直線に沿って、IGFET 70 及び 72 は、点線曲線セグメント 74" がハローポケット 42 の不存在に起因してドレイン 28 を介しての垂直ドーパント分布を表していることを除いて、図3aに示したドーパント分布を有している。IGFET 構成が該付加的なウェル注入に与えられて更に垂直ドーパント分布を平坦化させる場合には、図3bが結果的に得られる垂直ド

10

20

30

40

50

ーパント分布を提示しているが、この場合にも曲線セグメント 7 4 ” はドレイン 2 8 を介してのドーパント分布を表している。

【0025】

米国特許第 6, 078, 082 号及び 6, 127, 700 号（両方共、Bulucea）は、非対称的なチャンネルゾーンであるが米国特許第 6, 548, 842 号の発明の IGFET において使用されているものとは異なる垂直ドーパント特性を有している IGFET を記載している。非対称的チャンネルゾーンを有する IGFET は、その他の従来技術文献においても調べられており、例えば、（a）Buti et al., 「信頼性及び性能のための非対称的ハローソース GOLD ドレイン（HS-GOLD）深サブハーフミクロン N-MOSFET 設計（Asymmetrical Halo Source GOLD drain (HS-GOLD) Deep Sub-half Micron n-MOSFET Design for Reliability and Performance）」、IEDM Tech. Dig., 1989 年 12 月 3～6 日、26. 2. 1-26. 2. 4 頁、（b）Chai et al., 「RF ワイヤレス適用例用グレイデッドチャンネル CMOS（GCMOS）及び準自己整合型（QSA）NPN を特徴とした費用効果的な 0.25 μm L_{eff} BiCMOS 技術（A Cost-Effective 0.25 μm L_{eff} BiCMOS Technology Featuring Graded-Channel CMOS (GCMOS) and a Quasi-Self-Aligned (QSA) NPN for RF Wireless Applications）」、Procs. 2000 Bipolar/BiCOMS Circs. And Tech. Meeting, 2000 年 9 月 24～26 日、11-113 頁、（c）Ma et al., 「高性能低電圧 DSP 適用例用グレイデッドチャンネル MOSFET（GCMOSFET）（Graded-Channel MOSFET (GCMOSFET) for High Performance, Low Voltage DSP Applications）」、IEEE Trans. VLSI Syst. Dig., 1997 年 12 月、352-358 頁、（d）Su et al., 「混合型アナログ・デジタル適用例用高性能スケラブルサブミクロン MOSFET（A High-Performance Scalable Submicron MOSFET for Mixed Analog/Digital Applications）」、IEDM Tech. Dig., 1991 年 12 月、367-370 頁、及び（e）Tsui et al., 「マイクロプロセッサをベースとしたスマートパワー適用例用の揮発性 0.5 μm 相補的 BiCMOS 技術（A Volatile Half-Micron Complementary BiCMOS Technology for Microprocessor-Based Smart Power Applications）」、IEEE Trans. Elec. Devs., 1995 年 3 月、564-570 頁、等である。

【0026】

Choi et al.（「Choi」）、「深サブミクロン MOSFET 用の新たな自己整合型非対称的構成の設計及び解析（Design and analysis of a new self-aligned asymmetric structure for deep sub-micrometer MOSFET）」、Solid-State Electronics、Vol. 45、2001 年、1673-1678 頁、はソース延長部がドレイン延長部よりも一層高度にドーピングされていることを除いて、IGFET 70 又は 72 と同様の形態とされた非対称的 N チャンネル IGFET を記載している。Choi の IGFET は、又、中間ウェル部分 36 に対応するウェル領域を欠如している。図 9 は、対応する領域を識別するために、IGFET 70 又は 72 に対して使用したものと同一参照記号を使用した Choi の IGFET 80 を例示している。ソース延長部 26E 及びドレイン延長部 28E は両方共図 9 においては「N+」のラベルを付しているが、IGFET 80 のソース延長部 26E におけるドーピングはドレイン延長部 28E におけるドーピングよりも 10 の係数を幾分超えて一層大きなものである。一層高度のソース延長部のドーピングは、そうでなければソース 26 に沿ってハローポケット 40 の存在から発生する増加されたソースと関連する寄生容量を減少させるべきものであることを Choi が指摘している。

【0027】

図 10a-10d（集約的に「図 10」）は、IGFET 80 を製造するための Choi のプロセスにおけるステップを表している。図 10a を参照すると、夫々ゲート誘電体層 44 及びポリシリコンゲート電極 46 に対するプリカーサー層 44P 及び 46P が、ボディ物質部分 34 に対するプリカーサーを構成している軽度にドーピングされている P 型モノシリコンウエハ 34P に沿って相継いで形成される。パッド酸化物の層がプリカーサーゲート電極層 46P 上に付着され且つパターン形成されてパッド酸化物層 82 を形成する。

窒化シリコンの層が該構成体の上に付着され且つ部分的に除去されて窒化物領域 8 4 を形成し、それは横方向においてパッド酸化物 8 2 と当接し且つゲート電極層 4 6 P の一部を露出させる。

【0028】

ゲート電極層 4 6 P の露出されている部分を除去した後に、一価にイオン化した砒素を、10 キロエレクトロンボルト (k e V) のエネルギーで且つ 1×10^{15} イオン数 / cm^2 の高ドーズ量で誘電体層 4 4 P の露出部分を介してウエハ 3 4 P 内にイオン注入させて、ソース延長部 2 6 E に対する高度にドーピングされた N 型プリカーサー 2 6 E P を画定する。一価にイオン化したニフッ化ボロンも誘電体層 4 4 P の露出部分を介してウエハ 3 4 P 内にイオン注入させてソース側ハローポケット 4 0 に対する高度にドーピングされた P 型プリカーサー 4 0 P を画定する。該ハロー注入は 65 k e V のエネルギーで且つ 2×10^{13} イオン数 / cm^2 の高ドーズ量で行われる。

10

【0029】

窒化物領域 8 4 が窒化シリコン領域 8 6 へ変換され、それは横方向においてパッド酸化物 8 2 と当接し且つ誘電体層 4 4 P の前に露出されていた部分を被覆する。図 10 c を参照のこと。パッド酸化物 8 2 を除去した後に、ゲート電極層 4 6 P の露出部分を除去して、図 10 d に示したように、ゲート電極 4 6 の形状で層 4 6 P の残部を残存させる。その際に誘電体層 4 4 P の別の部分が露出される。誘電体層 4 4 P のこの新たに露出された部分を介してウエハ 3 4 P 内に一価にイオン化された砒素をイオン注入させてドレイン延長部 2 8 E に対する高度にドーピングされた N 型プリカーサー 2 8 E P を画定する。このドレイン延長部注入は、ソース延長部注入と同じエネルギー 10 k e V で行われるが、かなり一層低いドーズ量の 5×10^{13} イオン数 / cm^2 において行われる。その結果、ドレイン延長部及びソース延長部の注入物はウエハ 3 4 P 内への基本的に同じ深さにおいて最大濃度に到達する。後のステップ (不図示) において、窒化物 8 6 を除去し、ゲート側壁スペーサ 4 8 及び 5 0 を形成し、砒素をイオン注入して S / D 部分 2 6 M 及び 2 8 M を画定し、且つ迅速熱アニールを実施して図 9 に示したような I G F E T 8 0 を製造する。

20

【0030】

C h o i のソース延長部とドレイン延長部とを分離させ、次いでドレイン延長部 2 8 E よりも著しく一層高いドーピングでソース延長部 2 6 E を形成してソース側ハローポケット 4 0 から発生する増加されたソース関連寄生容量を緩和させることは明らかに有益である。しかしながら、図 10 のプロセスにおいて、C h o i がゲート電極 4 6 の形成とソース / ドレイン延長部 2 6 E 及び 2 8 E の形成とを結合することは労が多く且つその他のタイプの I G F E T を提供する一層大型の半導体プロセス内に C h o i のプロセスを組み込むことを困難なものとする場合がある。このような非対称的な I G F E T を製造するための一層簡単な技術を持つことが望ましい。特に、異なってドーピングされるソース / ドレイン延長部の形成からゲート電極形成を分離させることが望ましい。

30

【0031】

「混合信号 (mixed signal)」という用語は、デジタル及びアナログの両方の回路ブロックを包含している I C のことを意味している。デジタル回路は、典型的に、与えられた電流リーク仕様において最大の潜在的なデジタル速度を得るために最も積極的にスケールした N チャンネル及び P チャンネル I G F E T を使用する。アナログ回路は、デジタル I G F E T とは異なる性能条件に露呈される I G F E T 及び / 又はバイポーラトランジスタを使用する。アナログ I G F E T に対する条件は、通常、高線形電圧利得、高周波数においての良好な小信号及び大信号周波数応答、良好なパラメータマッチング、低入力ノイズ、能動及び受動コンポーネントに対する良く制御された電氣的パラメータ、及び減少された寄生効果、特に減少された寄生容量、を包含している。アナログ及びデジタルブロックに対して同じトランジスタを使用することは経済的に魅力があるかもしれないが、そうすることは、典型的に、弱体化されたアナログ性能となる。アナログ I G F E T 性能に課される多くの条件はデジタルスケーリングの結果と矛盾する。

40

【0032】

50

より詳細には、アナログ I G F E T の電氣的パラメータは、デジタルブロック内の I G F E T よりも一層厳しい仕様に露呈される。増幅器として使用されるアナログ I G F E T においては、I G F E T の出力抵抗はその本来的な利得を最大化させるために最大化させることが必要である。出力抵抗は、又、アナログ I G F E T の高周波数性能を設定する上で重要である。対照的に、デジタル回路においては出力抵抗は著しく一層重要なものではない。デジタル回路における出力抵抗の減少された値は、デジタル回路がその論理状態、例えば論理「0」及び論理「1」、を識別することが可能である限り、一層高い電流駆動及び結果的に得られる一層高いスイッチング速度と引き換えに容認することが可能である。

【0033】

アナログトランジスタを介して通過する電気信号の形状は回路性能にとって臨界的であり且つ通常妥当な程度に高調波歪及びノイズが無いように維持されねばならない。高調波歪は主にトランジスタ利得及びトランジスタ容量の非線形性によって発生される。従って、アナログトランジスタに関する線形性の要求は非常に高い。PN接合における寄生容量は本来的な電圧非線形性を有しており、それはアナログブロックにおいて緩和させることが必要である。逆に、信号線形性はデジタル回路においては、通常、二次的な重要性のものである。

【0034】

アナログ増幅器において使用される I G F E T の小信号アナログ速度性能は小信号周波数限界において決定され且つ小信号利得及びソース及びドレインに対する PN 接合に沿っての寄生容量が関与する。アナログ増幅器 I G F E T の大信号アナログ速度性能は、同様に、大信号周波数限界において決定され且つ I G F E T 特性の非線形性が関与する。

【0035】

論理ゲートのデジタル速度は、トランジスタ／負荷結合の大信号スイッチング時間で定義され、その場合に駆動電流及び出力容量が関与する。従って、アナログ速度性能はデジタル速度性能とは異なって決定される。アナログ及びデジタル速度に対する最適化は異なる場合があり、異なるトランジスタパラメータ条件となる場合がある。

【0036】

デジタル回路ブロックは、主として、製造可能な最小の I G F E T を使用する。結果的に得られる寸法のばらつきが本来的に大きいので、デジタル回路におけるパラメータマッチングはしばしば比較的拙いものである。対照的に、所要の性能を達成するためにはアナログ回路においては良好なパラメータマッチングが通常必要とされる。このことは、典型的に、ソース対ドレイン伝播遅延を出来るだけ低いものとさせるためにアナログ I G F E T を出来るだけ短くさせるという条件下において、デジタル I G F E T よりも一層大きな寸法でアナログトランジスタを製造することを必要とする。

【先行技術文献】

【特許文献】

【0037】

【特許文献1】米国特許第 6, 548, 842 号

【特許文献2】米国特許第 6, 078, 082 号

【特許文献3】米国特許第 6, 127, 700 号

【非特許文献】

【0038】

【非特許文献1】Brown et al., 「進化したプロセス技術における傾向ーサブミクロン CMOS 装置設計及びプロセス条件 (Trends in Advanced Process Technology - Submicrometer CMOS Device Design and Process Requirements)」, Procs. IEEE, 1986 年 12 月、1678-1702 頁

【非特許文献2】Thompson et al., 「MOS スケーリング：21 世紀に対するトランジスタチャレンジ (MOS Scaling: Transistor Challenges for the 21st Century)」, インテルテクノロジージャーナル、Q398, 1998 年、1-19 頁

10

20

30

40

50

【非特許文献3】Rung et al., 「より高密度CMOS用のレトログレードPウェル (A Retrograde p-Well for Higher Density CMOS)」、IEEE Trans Elec. Devs., 1981年10月、1115-1119頁

【非特許文献4】Buti et al., 「信頼性及び性能のための非対称的ハローソースGOLDドレイン (HS-GOLD) 深サブハーフミクロンN-MOSFET設計 (Asymmetrical Halo Source GOLD drain (HS-GOLD) Deep Sub-half Micron n-MOSFET Design for Reliability and Performance)」、IEDM Tech. Dig., 1989年12月3-6日、26. 2. 1-26. 2. 4頁

【非特許文献5】Chai et al., 「RFワイアレス適用例用グレイデッドチャンネルCMOS (GCMOS) 及び準自己整合型 (QSA) NPNを特徴とした費用効果的な0. 25 μm Leff BiCMOS技術 (A Cost-Effective 0.25 μm Leff BiCMOS Technology Featuring Graded-Channel CMOS (GCMOS) and a Quasi-Self-Aligned (QSA) NPN for RF Wireless Applications)」、Procs. 2000 Bipolar/BiCOMS Circls. And Tech. Meeting、2000年9月24-26日、11-113頁

【非特許文献6】Ma et al., 「高性能低電圧DSP適用例用グレイデッドチャンネルMOSFET (GCMOSFET) (Graded-Channel MOSFET (GCMOSFET) for High Performance, Low Voltage DSP Applications)」、IEEE Trans. VLSI Sysys. Dig., 1997年12月、352-358頁

【非特許文献7】Su et al., 「混合型アナログ・デジタル適用例用高性能スケーラブルサブミクロンMOSFET (A High-Performance Scalable Submicron MOSFET for Mixed Analog/Digital Applications)」、IEDM Tech. Dig., 1991年12月、367-370頁

【非特許文献8】Tsui et al., 「マイクロプロセッサをベースとしたスマートパワー適用例用の揮発性0. 5ミクロン相補的BiCMOS技術 (A Volatile Half-Micron Complementary BiCMOS Technology for Microprocessor-Based Smart Power Applications)」、IEEE Trans. Elec. Devs., 1995年3月、564-570頁

【発明の概要】

【発明が解決しようとする課題】

【0039】

前述した考慮事項に鑑み、良好なアナログ特性を具備するIGFETを提供する半導体製造プラットフォームを有することが望ましい。アナログIGFETは、高い本来的な利得、高い出力抵抗、減少させた寄生容量での高い小信号スイッチング速度、特にソース・ボディ及びドレイン・ボディ接合に沿っての減少させた寄生容量を有するべきである。該製造プラットフォームが高性能デジタルIGFETを提供することが可能であることも望ましい。

【課題を解決するための手段】

【0040】

本発明は、IGFET性能を向上させ且つIGFET寿命を増加させるために、横方向ソース/ドレイン延長部、ハローポケット部分、及びゲート誘電体厚さの選択的に異なる構成を有する、一群の同極性のIGFET、即ち全てNチャンネル又は全てPチャンネル、を包含する半導体構成体を提供する。本IGFETは、混合信号適用例を含むアナログ及びデジタル適用例用の高性能特性を具備するIGFETを提供する半導体製造プラットフォーム内に組み込むのに特に適している。本IGFETは該半導体製造プラットフォームの多様性を向上させる。

【0041】

より詳細には、本発明に基く構成は、第1導電型のボディ物質を有する半導体ボディの上部表面に沿って設けられた複数個の同極性のIGFETを包含する。各IGFETは、該ボディ物質のチャンネルゾーン、該半導体ボディ内にその上部表面に沿って位置されている第1及び第2ソース/ドレイン (「S/D」) ゾーン、該チャンネルゾーンの上側に位置しているゲート誘電体層、及び該チャンネルゾーンの上方で該ゲート誘電体層の上側

に位置しているゲート電極で形成される。該 S/D ゾーンは、該チャンネルゾーンによって横方向に分離されており、該ボディ物質と夫々の P N 接合を形成するために第 1 導電型とは反対の第 2 導電型である。

【0042】

各 S/D ゾーンは、主要 S/D 部分、及び該主要 S/D 部分と横方向に連続的であり且つ該ゲート電極の下側を横方向に延在する一層軽度ドーピングした S/D 延長部を有している。該チャンネルゾーンは上部半導体表面に沿って該 S/D 延長部によって終端されている。該 S/D 延長部、特にドレインとして作用する S/D ゾーン用のもの、を使用することは、そのドレインとして作用する S/D ゾーン近くの各 I G F E T のゲート誘電体層内へのホットキャリア注入を減少させる。動作時間に関しての不所望なスレッショールド電圧ドリフトはそれにより減少される。該複数の I G F E T の内の第 1 のものの S/D ゾーンの S/D 延長部は、該 I G F E T の内の第 2 のものの S/D ゾーンの S/D 延長部とは異なって構成又は及び形態とされている。

10

【0043】

本発明の 1 側面においては、第 1 I G F E T の S/D ゾーンの内の特化した一つの S/D 延長部は、第 2 I G F E T の S/D ゾーンの内の特化した一つの S/D 延長部よりも一層高度にドーピングされるべく構成する。該ボディ物質の横方向に隣接する物質よりも一層高度にドーピングしたボディ物質のポケット部分が、通常、該 I G F E T の内の一つの S/D ゾーンの内の一つのみにはほぼ沿ってそのチャンネルゾーン内に延在して、その I G F E T をその S/D ゾーンに関して非対称的とさせている。代替的に又は付加的に、該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質の一对のポケット部分が、夫々、該 I G F E T の内の一つの S/D ゾーンに沿ってそのチャンネルゾーン内に延在する。該ポケット部分の存在は、バルクパンチスルー及びその結果発生する該 I G F E T をそれらのゲート電極を介して制御することの不可能性を回避することに貢献する。

20

【0044】

該 I G F E T の内の一つのゲート誘電体層は、好適には、該 I G F E T の内の別のもののゲート誘電体層とは著しく異なる厚さのものである。このことは、これら 2 個の I G F E T が実質的に異なる電圧範囲にわたり動作することを可能とする。

【0045】

該 I G F E T の S/D 延長部、ポケット部分、及びゲート誘電体厚さの構成の内の一々の特定の選択においては、第 1 I G F E T のその特定した S/D ゾーンの S/D 延長部は第 1 I G F E T の S/D ゾーンに残りのものの S/D 延長部よりも一層高度にドーピングされている。第 1 I G F E T の該特定した S/D ゾーンの S/D 延長部は、好適には、該 I G F E T 構成の内この選択における第 1 I G F E T の残りの S/D ゾーンの S/D 延長部よりも上部半導体表面下側においてより少ない深さに延在する。これらの装置特徴の内いずれもが第 1 I G F E T をして非対称的装置とさせる。非対称的第 1 I G F E T の該特定した S/D ゾーンは、通常、そのソースとして作用し、一方、該非対称的 I G F E T の残りの S/D ゾーンはそのドレインとして作用する。重要なことであるが、これら 2 個の装置特徴は I G F E T のゲート誘電体層内へのホットキャリア注入の更なる減少となる。

30

【0046】

該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質のポケット部分は、該非対称的第 1 I G F E T の該特定した S/D に沿ってそのチャンネルゾーン内に延在して該非対称的 I G F E T のチャンネルゾーンをその S/D ゾーンに関して非対称的なものとさせ、それにより該非対称的 I G F E T に更なる非対称性を与えることが可能である。該非対称的 I G F E T はアナログ適用例及び単一方向デジタル適用例に適している。

40

【0047】

第 1 I G F E T の該特定した S/D ゾーンの S/D 延長部は、又、好適には、第 2 I G F E T の S/D ゾーンの内に残りのものの S/D 延長部よりも一層高度にドーピングされている。その場合には、第 2 I G F E T はデジタル適用例に特に適した対称的装置とすること

50

が可能である。

【0048】

第1 I G F E Tの該特定したS/DゾーンのS/D延長部は、好適には、該I G F E Tの内の第3のものの両方のS/D延長部よりも一層高度にドーピングされている。第3 I G F E Tは、同様に、対称的装置とすることが可能である。第3 I G F E Tのゲート誘電体層は第2 I G F E Tのゲート誘電体層とは実質的に異なる厚さのものである。従って、第2及び第3 I G F E Tは実質的に異なる電圧範囲にわたり動作させることが可能である。

【0049】

第1 I G F E Tの各S/DゾーンのS/D延長部は、該I G F E TのS/D延長部、ポケット部分、及びゲート誘電体厚さの形態の内での別の特定の選択における第2 I G F E Tの各S/DゾーンのS/D延長部よりも一層高度にドーピングされている。第1 I G F E Tの各S/DゾーンのS/D延長部は、第2 I G F E Tの各S/DゾーンのS/D延長部よりも上部半導体表面下側深くに一層少なく延在する場合もある。該I G F E Tの両方はデジタル適用例における異なる機能に対して特に適切な対称的装置とすることが可能である。

10

【0050】

第1 I G F E Tの該特定したS/DゾーンのS/D延長部は、好適には、前述した構成選択における該I G F E Tの内の第3のものの両方のS/D延長部よりも一層高度にドーピングされている。この場合も、第3 I G F E Tは対称的装置とすることが可能である。第3 I G F E Tのゲート誘電体層は第2 I G F E Tのゲート誘電体層よりも実質的に異なる厚さのものであり、それにより第2及び第3 I G F E Tが実質的に異なる電圧範囲にわたり動作することを可能とする。第1及び第2 I G F E Tも対称的装置とすることが可能であるので、これら3個のI G F E Tの全ては回路適用例において異なる機能を実施するのに適した異なる装置特性の対称的装置とすることが可能である。

20

【0051】

本発明の第2の側面においては、第1 I G F E TのS/Dゾーンの内の特定した一つのS/D延長部が、第2 I G F E TのS/Dゾーンの内の特定した一つのS/D延長部よりも上部半導体表面下側深くに一層少なく延在している。本発明の第1の側面において発生することと同様に、該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質のポケット部分は、通常、該I G F E Tの内の一つのS/Dゾーンの内の一つのみにはほぼ沿って本発明の第2の側面におけるそのチャンネルゾーン内に延在して、そのI G F E TをそのS/Dゾーンに関して非対称的とさせている。代替的に又は付加的に、該ボディ物質の横方向に隣接した物質よりも一層高度にドーピングした該ボディ物質の一对のポケット部分が、夫々、該I G F E Tの内の一つのS/Dゾーンに沿って本発明の第2の側面においてそのチャンネルゾーン内に延在する。

30

【0052】

該I G F E Tの内の一つのゲート誘電体層は、好適には、本発明の第2の側面において本I G F E Tの別のもののゲート誘電体層とは実質的に異なる厚さのものである。このことは、再度、これら2個のI G F E Tが実質的に異なる電圧範囲にわたり動作することを可能とさせる。

40

【0053】

本発明の第2の側面におけるI G F E TのS/D延長部、ポケット部分、及びゲート誘電体厚さの構成の特定の選択は、本発明の第1の側面における特定の構成選択と同様である。例えば、第1 I G F E Tはそれを非対称的装置とさせる特性を与えることが可能である。第2 I G F E Tはそれが対称的装置であることを可能とさせる特性を与えることが可能である。該I G F E Tの内の第3のものは、それが第2 I G F E Tとは実質的に異なるゲート誘電体厚さの対称的装置であることを可能とする特性を与えることが可能である。

【0054】

第1及び第2 I G F E Tは、又、それら両方を異なる機能に適した異なる構成の対称的装置であることを可能とする特性を与えることが可能である。該I G F E Tの内の第3の

50

ものは、それが第2 I G F E Tとは実質的に異なるゲート誘電体厚さの別の対称的装置であることを可能とする特性を与えることが可能である。これら3個全てのI G E F Tは異なる機能に適している。

【0055】

本発明に従って、第1導電型のボディ物質を有する半導体ボディから半導体構成体が製造される。各I G F E T用のゲート電極が、そのI G F E Tのチャンネルゾーンであることが意図されている該半導体ボディの部分の上方で且つそれからそのI G E F Tのゲート誘電体層によって垂直方向に分離されて画定される。第2導電型の複合半導体ドーパントを該半導体ボディ内に導入して各I G F E TのS/Dゾーンを形成する。該複合ドーパントの導入は、(i)該I G F E Tの内の第1のもののS/Dゾーンの内の特定した一つのS/D延長部を少なくとも部分的に画定するために第2導電型の第1半導体ドーパントを該半導体ボディ内に導入すること、及び(ii)該I G F E Tの内の第2のもののS/Dゾーンの内の特定した一つのS/D延長部を少なくとも部分的に画定するために第2導電型の第2半導体ドーパントを該半導体ボディ内に導入すること、を包含している。

【0056】

上述した本発明の第1の側面の特性を有する半導体構成体を製造する場合に、第2導電型の第1ドーパントを第2導電型の第2ドーパントよりも一層高いドーズ量で導入する。第1I G F E Tの該特定したS/DゾーンのS/D延長部は、第2I G F E Tの該特定したS/DゾーンのS/D延長部よりも一層高度にドーブされる。上述した本発明の第2の側面の特性を有する半導体構成体を製造する場合に、第2導電型の第1ドーパントを第2導電型の第2ドーパントよりも一層低い平均深さで該半導体ボディ内に導入する。このことは第1I G F E Tの該特定したS/DゾーンのS/D延長部が、第2I G F E Tの該特定したS/DゾーンのS/D延長部よりも、該半導体ボディ内に一層少ない深さに延在することを可能とさせる。

【0057】

要するに、本発明は、半導体製造プラットフォーム内に組み込むのに適した一群のI G F E Tを提供している。これらのI G F E Tは、高性能及び長寿命を達成するために横方向ソース/ドレイン延長部、ハローポケット部分、及びゲート誘電体厚さの異なる構成を有している。回路設計者は、特定の回路適用例に対して選択すべき広範な種類の進化した能力のI G E F Tを有している。その結果、本発明は従来技術と比較して大きな進化を提供している。

【図面の簡単な説明】

【0058】

【図1】充填したウェルを使用する従来の対称的長NチャンネルI G F E Tの正面断面図。

【図2】図1のI G F E Tに対してチャンネル中心から長手距離の関数として上部半導体表面に沿っての正味ドーパント濃度のグラフ。

【図3】(a)及び(b)は、図1, 7a, 7bのI G F E Tに対する2つの夫々異なるウェルドーピング条件においてソース/ドレインゾーンを介しての仮想的垂直線に沿っての深さの関数としての全ドーパント濃度のグラフ。

【図4】レトログレード空のウェルを使用する従来の対称的長NチャンネルI G F E Tの正面断面図。

【図5】図4のI G F E Tの長手中心を介しての仮想的垂直線に沿っての深さの関数としての全ドーパント濃度の定性的グラフ。

【図6】図4のI G F E Tの長手中心を介しての仮想的垂直線に沿っての深さの関数としての全ドーパント濃度の定量的グラフ。

【図7】(a)及び(b)は、夫々、従来の非対称的長及び短NチャンネルI G F E Tの正面断面図。

【図8】(a)及び(b)は、図7(a)及び(b)の夫々のI G F E Tに対するチャンネル中心からの長手方向距離の関数としての上部半導体表面に沿っての正味ドーパント濃

10

20

30

40

50

度のグラフ。

【図 9】従来の非対称的長 N チャンネル I G F E T の正面断面図。

【図 10】(a) 乃至 (d) は図 9 の I G F E T を製造する場合の幾つかのステップを表している正面断面図。

【図 11-1】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-2】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-3】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-4】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-5】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-6】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-7】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-8】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 11-9】本発明に従って構成される C I G F E T 半導体構成体の 9 つの部分の正面断面図。

【図 12】図 11-1 の非対称的 N チャンネル I G F E T のコアの拡大正面断面図。

【図 13】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T に対する上部半導体表面に沿っての長手距離の関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 14】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T の主要ソース部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 15】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T のソース延長部を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 16】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T のチャンネルゾーンを介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 17】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T のドレイン延長部を介しての仮想的垂直線に沿っての深さの関数としての個別、全、正味ドーパント濃度の夫々のグラフ。

【図 18】(a) 乃至 (c) は図 12 の非対称的 N チャンネル I G F E T の主要ドレイン部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、正味ドーパント濃度の夫々のグラフ。

【図 19 a】図 11-1 の非対称的 N チャンネル I G F E T のコアの変形例の部分の拡大正面断面図。

【図 19 b】図 11-1 の非対称的 P チャンネル I G F E T のコアの変形例の部分の拡大正面断面図。

【図 20】(a) 乃至 (c) は図 19 a の非対称的 N チャンネル I G F E T のハローポケット部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 21】(a) 乃至 (c) は図 19 a の非対称的 N チャンネル I G F E T のソース延長部を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント

10

20

30

40

50

濃度の夫々のグラフ。

【図 2 2】(a) 及び (b) は図 1 1-2 の延長型ドレイン N チャンネル 及び P チャンネル I G F E T のコアの夫々の拡大正面断面図。

【図 2 3】(a) 乃至 (c) は図 2 2 a の延長型ドレイン N チャンネル I G F E T の主要ウエル領域を介しての夫々一對の仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 2 4】(a) 乃至 (c) は図 2 2 b の延長型ドレイン N チャンネル I G F E T の主要ウエル領域を介しての夫々一對の仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 2 5】(a) 及び (b) は図 2 2 (a) 及び (b) の延長型ドレイン N チャンネル 及び P チャンネル I G F E T の夫々の製造した実現例に対するゲート対ソース電圧の複数の値におけるドレイン対ソース電圧の関数としてのリニアルのドレイン電流のグラフ。

【図 2 6】(a) 及び (b) は図 2 2 (a) 及び (b) の延長型ドレイン N チャンネル 及び P チャンネル I G F E T の夫々の製造した実現例に対するウエル対ウエル間隔の関数としてのブレークダウン電圧のグラフ。

【図 2 7】選択したウエル対ウエル間隔における図 2 2 (a) の延長型ドレイン N チャンネル I G F E T の実現に対しての及び図 2 2 (a) の I G F E T のゼロのウエル対ウエル間隔への拡張に対してのドレイン対ソース電圧の関数としてのリニアルのドレイン電流のグラフ。

【図 2 8】(a) 及び (b) は参照延長型ドレイン N チャンネル I G F E T 及び図 2 2 (a) の延長型ドレイン N チャンネル I G F E T の夫々のコンピュータシミュレーションの断面図。

【図 2 9】図 1 1-3 の対称的低リーク N チャンネル I G F E T のコアの拡大正面断面図。

【図 3 0】(a) 乃至 (c) は図 2 9 の対称的低リーク N チャンネル I G F E T に対する上部半導体表面に沿っての長手距離の関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 1】(a) 乃至 (c) は図 2 9 の対称的低リーク N チャンネル I G F E T のいずれかのソース／ドレインゾーンの主要部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 2】(a) 乃至 (c) は図 2 9 の対称的低リーク N チャンネル I G F E T のチャンネルゾーンを介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 3】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1 1-1 乃至 1 1-5 に示した 5 つの部分の製造する場合の複数のステップを表す正面断面図であって、(a) 乃至 (c) は図 1 1-1 乃至 1 1-5 の全てに示した構成部分に適用されるステップを示した正面断面図。

【図 3 3 d】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1 1-1 乃至 1 1-5 に示した 5 つの部分の製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1-1 乃至 1 1-5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 e】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1 1-1 乃至 1 1-5 に示した 5 つの部分の製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1-1 乃至 1 1-5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 f】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1 1-1 乃至 1 1-5 に示した 5 つの部分の製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1-1 乃至 1 1-5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 g】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1

10

20

30

40

50

【図 3 3 s】本発明に従って図 1 1-1 乃至 1 1-9 の C I G F E T 半導体構成体の図 1 1-1 乃至 1 1-5 に示した 5 つの部分の製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1-1 乃至 1 1-5 の構成部分に到達するステ

50

ップを示した正面断面図。

【図 3 3 t】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 u】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 v】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 w】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 x】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 3 y】本発明に従って図 1 1 - 1 乃至 1 1 - 9 の C I G F E T 半導体構成体の図 1 1 - 1 乃至 1 1 - 5 に示した 5 つの部分製造する場合の複数のステップを表す正面断面図であって、(1) 乃至 (5) は夫々図 1 1 - 1 乃至 1 1 - 5 の構成部分に到達するステップを示した正面断面図。

【図 3 4 - 1】図 1 1 - 1 乃至 1 1 - 3 に夫々示した C I G F E T 半導体構成体の部分の本発明に従って構成した変形例の 3 つの部分の正面断面図。

【図 3 4 - 2】図 1 1 - 1 乃至 1 1 - 3 に夫々示した C I G F E T 半導体構成体の部分の本発明に従って構成した変形例の 3 つの部分の正面断面図。

【図 3 4 - 3】図 1 1 - 1 乃至 1 1 - 3 に夫々示した C I G F E T 半導体構成体の部分の本発明に従って構成した変形例の 3 つの部分の正面断面図。

【図 3 5】(a) 乃至 (c) は図 3 4 - 1 の非対称的 N チャンネル I G F E T の主要及び下部ソース部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 6】(a) 乃至 (c) は図 3 4 - 1 の非対称的 N チャンネル I G F E T の主要及び下部ドレイン部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 7】(a) 乃至 (c) は図 3 4 - 3 の対称的低リーク N チャンネル I G F E T のいずれかのソース／ドレインゾーンの主要及び下部部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 3 8】本発明に従って構成された別の C I G F E T 半導体構成体の N チャンネル部分の正面断面図。

【図 3 9】(a) 乃至 (c) は図 3 8 の非対称的 N チャンネル I G F E T の主要ソース部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 4 0】(a) 乃至 (c) は図 3 8 の非対称的 N チャンネル I G F E T のソース延長部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 4 1 a】図 3 3 l - 1, 3 3 l - 3 及び 3 3 l - 4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面

10

20

30

40

50

断面図。

【図 4 1 b】図 3 3 1-1, 3 3 1-3 及び 3 3 1-4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面断面図。

【図 4 1 c】図 3 3 1-1, 3 3 1-3 及び 3 3 1-4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面断面図。

【図 4 1 d】図 3 3 1-1, 3 3 1-3 及び 3 3 1-4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面断面図。

【図 4 1 e】図 3 3 1-1, 3 3 1-3 及び 3 3 1-4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面断面図。

【図 4 1 f】図 3 3 1-1, 3 3 1-3 及び 3 3 1-4 の段階から基本的に開始する本発明に従って図 3 8 の C I G F E T 構成体を製造する場合の或るステップを表している正面断面図。

【図 4 2】(a) 乃至 (c) は図 1 2 の非対称的 N チャンネル I G F E T の先行する変形例の主要ソース部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 4 3】(a) 乃至 (c) は図 1 2 の非対称的 N チャンネル I G F E T の先行する変形例のチャンネルゾーンを介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 4 4】(a) 乃至 (c) は図 1 2 の非対称的 N チャンネル I G F E T の先行する変形例の主要ドレイン部分を介しての仮想的垂直線に沿っての深さの関数としての個別、全、及び正味ドーパント濃度の夫々のグラフ。

【図 4 5】ゲート誘電体層の上部表面から正規化した深さの関数として図 1 1-3, 1 1-4、又は 1 1-6 等の P チャンネル I G F E T のゲート誘電体層における窒素濃度のグラフ。

【図 4 6 a】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 b】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 c】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 d】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 e】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 f】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【図 4 6 g】図 3 3 i-4 及び 3 3 i-5 の段階の直後に存在する構成体で開始する図 1 1-4 及び 1 1-5 の対称的 P チャンネル I G F E T に対する窒化ゲート誘電体層を製造する場合における或るステップを表している正面断面図。

【0 0 5 9】

10

20

30

40

50

同一又は非常に類似している一つ又は複数の項目を表すために、好適実施例の説明及び図面において同様の参照記号を使用している。ドーパント分布グラフを含む図面中におけるダッシュ（'）、二重ダッシュ（''）、アステリスク（*）及びシャープ（#）符号を有する参照記号の数字部分は、夫々、他の図面中の同様の番号が付けられた領域又は位置を表している。この点に関して、異なるドーパント分布グラフにおける同じ参照記号によって識別されている曲線は同じ意味を持っている。

【0060】

ドーパント分布グラフにおいて、「個別」ドーパント濃度は各別々に導入されたN型及び各別々に導入されたP型のドーパントの個別的な濃度を意味しており、一方「全」ドーパント濃度は全体の（即ち絶対的な）N型ドーパント濃度及び全体の（即ち絶対的な）P型ドーパント濃度を意味している。ドーパント分布グラフにおける「正味」ドーパント濃度は、全N型ドーパント濃度と全P型ドーパント濃度との差である。正味ドーパント濃度は、全N型ドーパント濃度が全P型ドーパント濃度を超過している場合には、正味「N型」として表してあり、且つ全P型ドーパント濃度が全N型ドーパント濃度を超過している場合には、正味「P型」として表してある。

【0061】

誘電体層、特にゲート誘電体層、の厚さは、多くの他のIGFET要素及び領域の寸法よりもかなり小さい。誘電体層を明確に表すために、それらの厚さは、一般的に、IGFETの断面図においては誇張して示してある。

【0062】

半導体領域の導電型が単一の組のドーパント導入条件において、即ち基本的に単一ドーピング条件で、その領域内に導入された半導体ドーパントによって決定され、且つその領域にわたってドーパント濃度が一つの一般的なドーピングレベル、例えば「P」又は「N」によって表される中程度、から別の一般的なドーパントレベル、例えば「P-」又は「N-」によって表される軽度、へ変化する場合には、それらの2つのドーピングレベルにおけるその領域の部分は、一般的に、点線によって表している。IGFETの断面図におけるドット及びダッシュ線、即ち一点鎖線、は垂直ドーパント分布グラフにおけるドーパント分布に対する位置を表している。IGFETの断面図における最大ドーパント濃度は、略語「MAX」を包含するダッシュ及びダブルドット線、即ち二点差線、で示してある。

【0063】

図11-3乃至11-9に示した対称的IGFETのゲート電極は、便宜上、全て同じ長さのものとして示してあるが、以下に与えるチャンネル長さ値によって表されるように、図11-4、11-5、及び11-7乃至11-9のIGFETは、典型的に、図11-3及び11-6のIGFETよりも著しく一層大きなチャンネル長のものである。

【0064】

製造プロセスにおける或るステップを表している図面中の参照記号の終りににおける文字「P」は、その製造プロセスの終りを含む後の段階を表す図面中に示されており且つ「P」に先行する参照記号の部分によってその後の段階の図面中において識別されている領域に対するプリカーサー即ち先駆体を表している。

【発明を実施するための形態】

【0065】

目次

- A. 参照表記法及びその他の予備的情報
- B. 混合信号適用例に適した相補的IGFET構成体
- C. ウエルアーキテクチャ及びドーピング特性
- D. 非対称の高電圧IGFET
 - D1. 非対称の高電圧NチャンネルIGFETの構成
 - D2. 非対称の高電圧NチャンネルIGFETのソース／ドレイン延長部
 - D3. 非対称の高電圧NチャンネルIGFETのソース／ドレイン延長部における異な

10

20

30

40

50

るドーパント

- D 4. 非対称の高電圧Nチャンネル I G F E Tにおけるドーパント分布
- D 5. 非対称の高電圧Pチャンネル I G F E Tの構成
- D 6. 非対称の高電圧Pチャンネル I G F E Tのソース／ドレイン延長部
- D 7. 非対称の高電圧Pチャンネル I G F E Tのソース／ドレイン延長部における異なるドーパント

D 8. 非対称の高電圧Pチャンネル I G F E Tにおけるドーパント分布

D 9. 非対称の高電圧 I G F E Tの共通の特性

D 1 0. 非対称の高電圧 I G F E Tの性能利点

D 1 1. 特別に調整したハローポケット部分を具備する非対称の高電圧 I G F E T

10

E. 延長型ドレイン I G F E T

E 1. 延長型ドレインNチャンネル I G F E Tの構成

E 2. 延長型ドレインNチャンネル I G F E Tにおけるドーパント分布

E 3. 延長型ドレインNチャンネル I G F E Tの動作物理

E 4. 延長型ドレインPチャンネル I G F E Tの構成

E 5. 延長型ドレインPチャンネル I G F E Tにおけるドーパント分布

E 6. 延長型ドレインPチャンネル I G F E Tの動作物理

E 7. 延長型ドレイン I G F E Tの共通の特性

E 8. 延長型ドレイン I G F E Tの性能利点

E 9. 特別に調整したハローポケット部分を具備する延長型ドレイン I G F E T

20

F. 対称的低電圧低リーク I G F E T

F 1. 対称的低電圧低リークNチャンネル I G F E Tの構成

F 2. 対称的低電圧低リークNチャンネル I G F E Tにおけるドーパント分布

F 3. 対称的低電圧低リークPチャンネル I G F E T

G. 対称的低電圧低スレッシュホールド電圧 I G F E T

H. 公称のスレッシュホールド電圧の大きさの対称の高電圧 I G F E T

I. 公称のスレッシュホールド電圧の大きさの対称的低電圧 I G F E T

J. 対称の高電圧低スレッシュホールド電圧 I G F E T

K. 対称のネイティブ (Native) 低電圧Nチャンネル I G F E T

L. 対称のネイティブ高電圧Nチャンネル I G F E T

30

M. 現在の I G F E Tの全てに通常適用可能な情報

N. 混合信号適用例に適した相補的 I G F E T構成体の製造

N 1. 一般的な製造情報

N 2. ウエル形成

N 3. ゲート形成

N 4. ソース／ドレイン延長部及びハローポケット部分の形成

N 5. ゲート側壁スペーサ及びソース／ドレインゾーンの主要部分の形成

N 6. 最終処理

N 7. P型ディープソース／ドレイン延長部ドーパントの顕著に傾斜した注入

N 8. 非対称的 I G F E Tのソース／ドレイン延長部における異なるドーパントの注入

40

N 9. 特別に調整したハローポケット部分を具備する非対称的 I G F E Tの形成

O. 垂直にグレイデッドさせたソース・ボディ接合及びドレイン・ボディ接合

P. マルチプライ (Multiply) 注入型ソース延長部を具備する非対称的 I G F E T

P 1. マルチプライ注入型ソース延長部を具備する非対称的Nチャンネル I G F E Tの構成

P 2. マルチプライ注入型ソース延長部を具備する非対称的Nチャンネル I G F E Tの製造

Q. ソース・ボディ及びドレイン・ボディ接合下側のハイポアブラプト (Hypoabrupt) な垂直ドーパント分布

R. 窒化ゲート誘電体層

50

R 1. 窒化ゲート誘電体層内の垂直窒素濃度分布

R 2. 窒化ゲート誘電体層の製造

S. 変形例

A. 参照表記法及びその他の予備的情報

以下及び図面中に使用される参照記号は以下の意味を有しており、その場合に「リニア
ル (lineal)」とは単位 I G F E T 幅当りのことを意味している。

【0066】

10

I_D ≡ ドレイン電流

I_{Dw} ≡ リニアルドレイン電流

K_S ≡ 半導体物質の比誘電率 (relative permittivity)

k ≡ ボルツマン定数

L ≡ 上部半導体表面に沿ってのチャンネル長

L_{DR} ≡ ゲート長の描画値によって与えられるようなチャンネル長の描画値

L_K ≡ 延長型ドレイン I G F E T に対する間隔長定数

L_{WW} ≡ 延長型ドレイン I G F E T に対するウエル対ウエル分離距離

L_{WW0} ≡ 延長型ドレイン I G F E T に対するオフセット間隔長

N_C ≡ チャンネルゾーンにおける平均正味ドーパント濃度

20

N_I ≡ 個別ドーパント濃度

N_N ≡ 正味ドーパント濃度

N_{N2} ≡ 窒素濃度

N_{N2low} ≡ ゲート誘電体層内の窒素濃度の低値

N_{N2max} ≡ ゲート誘電体層内の窒素濃度の最大値

N_{N2top} ≡ 上部ゲート誘電体表面に沿っての窒素濃度

N_T ≡ 全、即ち絶対、ドーパント濃度

N' ≡ イオン注入した物質により受け取られるイオンのドーズ量

N'_{max} ≡ 近似的四分の一象限注入 (one-quadrant implantation) におけるイオン注
入した物質による受け取られるイオンの最大ドーズ量

30

N'_1 ≡ 近似的四分の一象限注入におけるイオン注入した物質により受け取られるイオ
ンの最小ドーズ量

n_i ≡ イントリンシックキャリア濃度

q ≡ 電子電荷

R_{DE} ≡ ドレイン延長部を画定するためにイオン注入した半導体ドーパントの範囲

R_{SE} ≡ ソース延長部を画定するためにイオン注入した半導体ドーパントの範囲

R_{SHj} ≡ ソース側ハローポケット部分における j 番目ソースハロー局所的濃度最大を
画定するためにイオン注入した j 番目半導体ドーパントの範囲

T ≡ 絶対温度

t_{dmax} ≡ 表面空乏領域の最大厚さ

40

t_{Gd} ≡ ゲート誘電体厚さ

t_{GdH} ≡ ゲート誘電体厚さの高値

t_{GdL} ≡ ゲート誘電体厚さの低値

t_{sd} ≡ 表面誘電体層の平均厚さ

V_{BD} ≡ ドレイン対ソースブレイクダウン電圧

V_{BDmax} ≡ ドレイン対ソースブレイクダウン電圧の最大値

V_{BDmin} ≡ ドレイン対ソースブレイクダウン電圧の実際の最小値

V_{BD0} ≡ ドレイン対ソースブレイクダウン電圧の理論的最小値

V_{DS} ≡ ドレイン対ソース電圧

V_T ≡ スレッシュホールド電圧

50

x	≡ 長手方向距離	
$x_{D E O L}$	≡ ゲート電極がドレイン延長部とオーバーラップする量	
$x_{S E O L}$	≡ ゲート電極がソース延長部とオーバーラップする量	
y	≡ 深さ、垂直距離	
y_D	≡ ドレインの最大深さ	
$y_{D E}$	≡ ドレイン延長部の最大深さ	
$y_{D E P K}$	≡ 横方向ドレイン延長部と同じ導電型の半導体ドーパントの最大（ピーク）濃度の、横方向ドレイン延長部における、位置における平均深さ	
$y_{D L}$	≡ 下部ドレイン部分の最大深さ	
$y_{D M}$	≡ 主要ドレイン部分の最大深さ	10
$y_{D N W P K}$	≡ 深いNウェル半導体ドーパントの最大（ピーク）濃度の位置における平均深さ	
$y_{F I}$	≡ 凹設型フィールド絶縁領域の厚さ（又は深さ）	
$y_{I I}$	≡ 最大衝突電離の位置の深さ	
$y_{N W}$	≡ N型空の主要ウェルの底部における深さ	
$y_{N W P K}$	≡ N型空の主要ウェル半導体ドーパントの最大（ピーク）濃度の位置における平均深さ	
$y_{P W}$	≡ P型空の主要ウェルの底部における深さ	
$y_{P W P K}$	≡ P型空の主要ウェル半導体ドーパントの最大（ピーク）濃度の位置における平均深さ	20
y_S	≡ ソースの最大深さ	
$y_{S D}$	≡ ソース／ドレインゾーンの最大深さ	
$y_{S E}$	≡ ソース延長部の最大深さ	
$y_{S E P K}$	≡ 横方向ソース延長部と同じ導電型の半導体ドーパントの最大（ピーク）濃度の、横方向ソース延長部における、位置における平均深さ	
$y_{S E P K D}$	≡ 深いソース／ドレイン延長部半導体ドーパントの最大（ピーク）濃度の、横方向ソース延長部における、位置における平均深さ	
$y_{S E P K S}$	≡ 浅いソース／ドレイン延長部半導体ドーパントの最大（ピーク）濃度の、横方向ソース延長部における、位置における平均深さ	
$y_{S H}$	≡ ソース側ハローポケット部分の最大深さ	30
$y_{S H j}$	≡ ソース側ハローポケット部分における j 番目ソースハロー局所的濃度最大の深さ	
$y_{S L}$	≡ 下部ソース部分の最大深さ	
$y_{S M}$	≡ 主要ソース部分の最大深さ	
y'	≡ 上部ゲート誘電体表面下側の深さ	
$y'_{N 2 l o w}$	≡ ゲート誘電体層内の窒素濃度の低値における上部ゲート誘電体表面下側の平均深さの値	
$y'_{N 2 m a x}$	≡ ゲート誘電体層内の窒素濃度の最大値における上部ゲート誘電体表面下側の平均深さの値	
y''	≡ 下部ゲート誘電体表面上方の高さ	40
α	≡ 半導体ドーパントのイオン注入用の垂直からの概略の傾斜角度	
$\alpha_{D E}$	≡ ドレイン延長部のイオン注入用の垂直からの傾斜角度	
$\alpha_{S E}$	≡ ソース延長部のイオン注入用の垂直からの傾斜角度	
$\alpha_{S H}$	≡ ソース側ハローポケット部分のイオン注入用の傾斜角度	
$\alpha_{S H j}$	≡ 傾斜角度 $\alpha_{S H}$ の j 番目の値、即ち j 番目ソース側ハローポケット部分のイオン注入用の垂直からの傾斜角度	
β	≡ 半導体ボディの一つの主たる横方向に対する方位角	
β_0	≡ 3つの90°増分で増加される方位角の基本値	
$\Delta R_{S H j}$	≡ ソース側ハローポケット部分内に j 番目ソースハロー局所的濃度最大を画定するためにイオン注入した j 番目半導体ドーパントの範囲におけるばらつき	50

Δy_{DE} ≡ ドレイン延長部を画定する半導体ドーパントのイオン注入の前にプリカーサードレイン延長部の上部に沿って除去されたモノシリコンの平均厚さ

Δy_{SE} ≡ ソース延長部を画定する半導体ドーパントのイオン注入の前にプリカーサースソース延長部の上部に沿って除去されたモノシリコンの平均厚さ

Δy_{SH} ≡ ソース側ハローポケット部分を画定する半導体ドーパントのイオン注入の前にプリカーサースソース側ハローポケット部分の上部に沿って除去されたモノシリコンの平均厚さ

ϵ_0 ≡ 自由空間（真空）中の誘電率

ϕ_F ≡ フェルミ電位

ϕ_T ≡ 反転電位

10

以下に使用されるように、「表面隣接」という用語は、上部半導体表面、即ち単結晶又は大部分が単結晶の半導体物質からなる半導体ボディの上部表面、に隣接している（又はそれに延在している）ことを意味している。ドーブした単結晶半導体物質内への深さに対する全ての参照は、そうでないことが表示されない限り、上部半導体表面から下側の深さを意味している。同様に、別の品目よりも単結晶半導体物質内に一層深くに延在している一つの品目に対する全ての参照は、そうでないことが表示されない限り、上部半導体表面に対して一層深いものであることを意味している。IGFETのドーブした単結晶半導体領域内の或る位置の各深さ又は平均深さは、そうでないことが表示されない限り、そのIGFETのゲート誘電体層の底部を介して延在する平面から測られたものである。

20

【0067】

同じ導電型の2つの隣接する（又は連続する）半導体領域の間の境界は、幾分不正確である。点線は、通常、このような境界を表示するために図面中において使用されている。定量的目的のためには、バックグラウンドドーパント濃度における半導体基板領域と該基板領域と同じ導電型であるようにドーピング操作によって形成される隣接半導体領域との間の境界は、全ドーパント濃度がバックグラウンドドーパント濃度の2倍である位置であると考えられる。同じ導電型であるためにドーピング操作によって形成される2つの隣接半導体領域の間の境界は、同様に、該2つの領域を形成するために使用されるドーパントの全濃度が等しい位置であると考えられる。

【0068】

30

そうでないことが表示されない限り、半導体ドーパント又は不純物に対しての各参照は、P型半導体ドーパント（アクセプタ原子で形成される）又はN型半導体ドーパント（ドナー原子で形成される）を意味している。半導体ドーパントの「原子種（atomic species）」は、そのドーパントを形成する元素を意味している。幾つかの場合に、半導体ドーパントは、2つ又はそれ以上の異なる原子種から構成されている。

【0069】

半導体ドーパントのイオン注入に関しては、「ドーパント含有粒子種（dopant-containing particle species）」は、注入されるべきドーパントを含有しており且つ注入サイトへ向かってイオン注入装置によって指向される粒子（原子又は分子）を意味している。例えば、元素ボロン又は二フッ化ボロンは、P型ドーパントボロンをイオン注入するためのドーパント含有粒子種として作用することが可能である。「粒子イオン化電荷状態（particle ionization charge state）」とは、イオン注入期間中におけるドーパント含有粒子種の荷電状態、即ち一価にイオン化、二価にイオン化等の状態を意味している。

40

【0070】

IGFETのチャンネル長Lは、上部半導体表面に沿ってのIGFETのソース／ドレインゾーン間の最小距離である。IGFETの描画（drawn）チャンネル長 L_{DR} は、IGFETのゲート長の描画値である。IGFETのソース／ドレインゾーンがIGFETのゲート電極下側に一定不変に延在する限り、IGFETのチャンネル長LはIGFETの描画長 L_{DR} 未満である。

【0071】

50

I G F E Tは2つの直交するラテラル (lateral)、即ち横 (水平 (horizontal)) 方向、即ち上部 (又は下部) 半導体表面に対してほぼ平行に延在する平面において互いに垂直に延在する方向、によって特性付けられる。これらの2つの横方向は、ここでは、長手方向及びトランスバース (transverse)、即ち横断方向と呼称する。長手方向はI G F E Tの長さの方向、即ちそのソース／ドレイン (「S／D」) ゾーンの内の何れか一方からそのS／Dゾーンの内の他方への方向、である。トランスバース (横断) 方向は、I G F E Tの幅の方向である。

【0072】

I G F E Tを包含する半導体ボディは2つの主たる (principal) 直交するラテラル即ち横 (水平) 方向、即ち上部 (又は下部) 半導体表面に対してほぼ平行に延在する平面において互いに垂直に延在する2つの方向、を有している。本C I G F E T構成体のいずれかの実現例におけるI G F E Tは、通常、半導体ボディ上にレイアウトされ、従って各I G F E Tの長手方向はその半導体ボディの主たるラテラル即ち横方向の内の一つの方向に延在する。例えば、I G F E Tの幾つかの長手方向は、その半導体ボディの主たる横方向の内の一つの方向に延在し、一方他のI G F E Tの長手方向はその半導体ボディの主たる横方向の内の他方の方向に延在する。

【0073】

I G F E Tがそのソース／ドレインゾーンの両方に沿って且つその中間チャンネルゾーン内へほぼ鏡像態様で構成される場合には、I G F E Tは対称的であるとして以下に説明する。例えば、各ソース／ドレインゾーンに沿って別のハローポケット部分を具備するI G F E Tは、典型的に、そのソース／ドレインゾーンが、多分それらの長さを除いて、ほぼ互いに鏡像である場合には、ここでは対称的であるとして説明する。しかしながら、ハローポケットの内の一つの位置内へのイオン注入期間中における部分的シャドーイング等の要因に起因して、上部半導体表面に沿ってのハローポケットにおけるドーパント分布はほぼ鏡像では無い場合がある。このような場合には、I G F E Tが対称的な装置であるとして説明される場合でも、I G F E Tの実際の構成においては典型的に幾らかの非対称性が存在している。

【0074】

対称的であるか非対称的であるかに拘わらず、I G F E Tは、駆動電位 (電圧) がソースとして作用しているS／Dゾーンとドレインとして作用しているS／Dゾーンとの間に存在する場合に「バイアスオン (biased-on)」及び「バイアスオフ (biased-off)」として呼称される2つのバイアス状態 (又は条件) を有している。これらの2つのバイアス状態を説明する上での便宜上、ソース作用及びドレイン作用のS／Dゾーンは夫々ここではソース及びドレインとして呼称する。バイアスオン状態において、I G F E Tは導通しており、その場合のI G F E Tのゲート電極とソースとの間の電圧 V_{GS} は駆動電位の影響下において電荷キャリアが自由にソースからチャンネルを介してドレインへ流れるような値にある。該電荷キャリアは、I G F E TがNチャンネル型である場合には電子であり、I G F E TがPチャンネル型である場合にはホールである。

【0075】

I G F E Tは、バイアスオフ状態において非導通状態であり、その場合のゲート対ソース電圧 V_{GS} は、駆動電位の大きさ (絶対値) がI G F E Tにブレイクダウンを発生させるのに十分に高いものでない限り、ソースとドレインとの間に駆動電位が存在するにも拘わらず電荷キャリアがソースからチャンネルを介してドレインへ著しく流れることの無いような値にある。該電荷キャリアは、NチャンネルI G F E Tに対しては電子であり、PチャンネルI G F E Tに対してはホールである。バイアスオフ状態において、ゲート対ソース電圧 V_{GS} がI G F E Tをバイアスオン状態とさせるような値であった場合に電荷キャリアが自由にソースからチャンネルを介してドレインへ流れるようにソース及びドレインがバイアスされる。

【0076】

より詳細には、NチャンネルI G F E Tは、(a) そのドレインがそのソースに対して

適宜の正の電位にあり、且つ (b) そのゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T と等しいか又はそれを超える場合に、バイアスオン状態にある。そして、電子がソースからチャンネルを介してドレインへ流れる。電子は負の電荷キャリアであるから、正の電流の流れはドレインからソースへである。Nチャンネル IGFET は、そのドレインがそのソースに対して正の駆動電位にあるが、そのゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T より低く、従ってその正の駆動電位がドレイン対ソースブレークダウンを発生させるのに十分に高いもので無い限り、ソースからチャンネルを介してドレインへの著しい電子の流れは存在しない場合にバイアスオフ状態にある。スレッシュホールド電圧 V_T は、通常、エンハンスメントモード Nチャンネル IGFET に対しては正であり、デプリションモード Nチャンネル IGFET に対しては負である。 10

【0077】

相補的な態様において、Pチャンネル IGFET は、(a) そのドレインがそのソースに対して適宜の負の電位にあり、且つ (b) そのゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T 未満であるか又は等しい場合に、バイアスオン状態にある。ホールがソースからチャンネルを介してドレインへ流れる。ホールは正の電荷キャリアであるから、正の電流の流れはソースからドレインへである。Pチャンネル IGFET は、そのドレインがそのソースに対して負の電位にあるが、そのゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T よりも一層大きく、従って負の駆動電位の大きさがドレイン対ソースブレークダウンを発生させるのに十分に高いもので無い限り、ソースからチャンネルを介してドレインへのホールの著しい流れは存在しない場合に、バイアスオフ状態にある。スレッシュホールド電圧 V_T は、通常、エンハンスメントモード Pチャンネル IGFET に対しては負であり、且つデプリションモード Pチャンネル IGFET に対しては正である。 20

【0078】

半導体物質内の電荷キャリアは、通常、電子及びホールの両方を意味する。電荷キャリアが局所的電界の方向に移動することの言及は、ホールがほぼ局所的電界ベクトルの方向に移動しており、且つ電子が局所的電界ベクトルに対して反対方向に移動していることを意味している。

【0079】

ここで単数又は複数形式で使用される「最大濃度 (maximum concentration)」及び「濃度最大 (concentration maximum)」という用語は、通常、交換可能であり、即ち、そうでないことが表示されない限り、同じ意味を有している。 30

【0080】

IGFET のボディ物質の導電型を決定する半導体ドーパントは、ボディ物質ドーパントとして便宜的に指定される。IGFET がウエル領域を使用する場合には、ボディ物質ドーパントは 1 つ又は複数の半導体ウエルドーパントを包含している。IGFET の S/D ゾーン下側の垂直ドーパント分布は、ボディ物質ドーパントの濃度がその S/D ゾーンよりも上部半導体表面下側に 10 倍を超えることの無い深さに下側に存在するボディ物質位置に沿って表面下最大に到達し、且つその S/D ゾーンを介して該ボディ物質ドーパントの最大濃度の表面下位置から延在する仮想的垂直線に沿って該ボディ物質ドーパントの最大濃度の表面下位置からその S/D ゾーンへ、即ちその S/D ゾーンに対する PN 接合へ、上方へ移る場合に少なくとも 10 の係数だけ減少する場合に、「ハイポアブラプト (hypoabrupt)」として呼称される。米国特許第 7, 419, 863 B1 号及び米国特許公開第 2008/0311717 A1 号及び 2008/0308878 A1 号 (全て Buluce a) を参照すると良い。下側のハイポアブラプト垂直ドーパント分布を有する S/D ゾーンに対する PN 接合は、便宜上、時折、ハイポアブラプト接合と呼ばれる。 40

【0081】

相補的な態様で、IGFET の S/D ゾーン下側の垂直ドーパント分布は、ボディ物質ドーパントの濃度が、その S/D ゾーンよりも上部半導体表面下側の 10 倍を超えることの無い深さに下側のボディ物質位置に沿って表面下最大に到達するが、その S/D ゾーン 50

を介してボディ物質ドーパントの最大濃度の表面下位置から延在する仮想垂直線に沿ってそのS/Dゾーンに対するPN接合へ上方へ移る場合に10の係数未満だけ減少する場合に、「非ハイポアブラプト」として呼称される。下側の非ハイポアブラプト垂直ドーパント分布を有するS/Dゾーンに対するPN接合は、便宜上、時折、非ハイポアブラプト接合と呼ばれる。

【0082】

B. 混合信号適用例に適した相補的IGFET構成体

図11-1乃至11-9（集会的に「図11」）は、特に混合信号適用例に適したものであるように本発明に従って構成された相補的IGFET（「CIGFET」）の9つの部分を例示している。図11に示した複数のIGFETは、3つの異なる電圧レジーム（regime）で動作するように構成されている。これら複数のIGFETの幾つかは数ボルト、例えば3.0Vの公称動作範囲、の電圧範囲にわたり動作する。これらのIGFETは、しばしば、ここでは、「高電圧」IGFETとして呼称される。その他のものは一層低い電圧範囲、例えば1.2Vの公称動作範囲、にわたり動作し、且つ類似的に、しばしば、ここでは、「低電圧」IGFETとして呼称される。残りのIGFETは、該高電圧及び低電圧IGFETよりも一層大きな電圧範囲にわたり動作し、且つ、一般的に、ここでは、「拡張電圧（extended voltage）」IGFETとして呼称される。該拡張電圧IGFETに対する動作範囲は、通常、少なくとも10V、例えば12V、である。

【0083】

図11におけるIGFETは、高値 t_{GdH} と低値 t_{GdL} の2つの異なる平均公称厚さのゲート誘電体層を使用している。高電圧及び拡張電圧IGFETの各々に対してゲート誘電体厚さは高値 t_{GdH} である。3.0V動作の場合、ゲート誘電体物質がシリコン酸化物又は大部分がシリコン酸化物である場合には、高ゲート誘電体厚さ t_{GdH} は4~8nm、好適には5~7nm、典型的には6~6.5nmである。低電圧IGFETの各々に対するゲート誘電体厚さは低値 t_{GdL} である。1.2V動作の場合、同様にゲート誘電体物質がシリコン酸化物又は大部分がシリコン酸化物である場合には、低ゲート誘電体厚さ t_{GdL} は1~3nm、好適には1.5~2.5nm、典型的には2nmである。図11のIGFETのパラメータに対して以下に与える典型的な数値の全ては、一般的に、ゲート誘電体層が前述の典型的な厚さの値を有している現在のCIGFET半導体構成体の実現に対して適用される。

【0084】

非対称的IGFETは図11-1及び11-2に示してあり、一方、対称的IGFETは図11-3乃至11-9に示されている。より特定的には、図11-1は、非対称の高電圧NチャンネルIGFET100及び同様に構成されている非対称の高電圧PチャンネルIGFET102を図示している。非対称的IGFET100及び102は、単一方向電流適用例に対して設計されている。非対称的延長ドレインNチャンネルIGFET104及び同様に構成されている非対称的延長ドレインPチャンネルIGFET106が図11-2に図示されている。延長ドレインIGFET104及び106は、数ボルトより大きな電圧を使用する、パワー装置、高電圧スイッチ、電氣的に消去可能なプログラマブルリードオンリメモリ（「EEPROM」）プログラミング回路、及び静電放電（「ESD」）保護装置等の適用例に対して特に適した拡張電圧装置を構成している。その非対称性のために、各IGFET100、102、104又は106は、通常、そのチャンネルゾーン電流流れが常に同じ方向にある状態で使用される。

【0085】

対称的IGFETに移ると、図11-3は、対称的低電圧低リークNチャンネルIGFET108及び同様に構成された低電圧低リークPチャンネルIGFET110を図示している。「低リーク（low-leakage）」という用語は、ここでは、IGFETが非常に低い電流リークを有しているように設計されていることを意味している。低スレッシュホールド電圧の大きさの対称的低電圧NチャンネルIGFET112及び低スレッシュホール

ド電圧の大きさの同様に構成された対称的低電圧PチャンネルIGFET 114が図11-4に図示されている。 V_T が、ここでは、スレッシュホールド電圧に対する記号として表記する限り、IGFET 112及び114は、しばしば、低 V_T 装置として呼称される。

【0086】

図11-5は、公称 V_T 大きさの対称の高電圧NチャンネルIGFET 116及び公称 V_T 大きさの同様に構成された対称の高電圧PチャンネルIGFET 118を図示している。公称 V_T 大きさの対称的低電圧NチャンネルIGFET 120及び公称 V_T 大きさの同様に構成された対称的低電圧PチャンネルIGFET 122が図11-6に図示されている。図11-7は、対称の高電圧低 V_T NチャンネルIGFET 124及び同様に構成された対称の高電圧低 V_T PチャンネルIGFET 126を図示している。

10

【0087】

更に以下に説明するように、非対称的IGFET 100及び102及び対称的IGFET 108, 110, 112, 114, 116, 118, 120, 122, 124, 126は全てP型及びN型ウェルを種々に使用する。延長ドレインIGFET 104及び106の領域の幾つかは、P型及びN型ウェルを形成するために使用されるドーパント導入によって画定される。その結果、延長ドレインIGFET 104及び106は、効果的に、P型及びN型ウェルを使用する。

【0088】

図11-8は、一对の対称的ネイティブ低電圧NチャンネルIGFET 128及び130を図示している。一对の夫々対応する対称的ネイティブ高電圧NチャンネルIGFET 132及び134が図11-9に図示されている。「ネイティブ(native)」という用語は、ここでは、NチャンネルIGFET 128, 130, 132及び134がいかなるウェルも使用するものではないことを意味している。特に、ネイティブNチャンネルIGFET 128, 130, 132及び134は、図11のCIGFETに対する開始領域を形成する軽度ドーピングしたP型モノシリコンから直接的に形成される。IGFET 128及び132は公称 V_T 装置である。IGFET 130及び134は低 V_T 装置である。

20

【0089】

対称的IGFET 112, 114, 124及び130の各々のスレッシュホールド電圧 V_T は、正又は負とすることが可能である。従って、IGFET 112, 114, 124及び130は、エンハンスメントモード(通常オン)又はデプリションモード(通常オフ)の装置とすることが可能である。IGFET 112は、典型的に、エンハンスメントモード装置である。IGFET 114, 124及び130は、典型的に、デプリションモード装置である。更に、対称的IGFET 126及び134はデプリションモード装置である。

30

【0090】

参照記号の長いつながりの数を減少させるために、図11に例示したIGFET 100, 102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122, 124, 126, 128, 130, 132及び134のグループは、ここでは、しばしば、それらの参照記号のリストを列挙すること無しに、「例示した」IGFETとして集団的に呼称する。例示したIGFETのサブグループは、同様に、しばしば、ここでは、そのサブグループを特徴付ける用語によって更に識別される。例えば、対称的IGFET 108, 110, 112, 114, 116, 118, 120, 122, 124, 126, 128, 130, 132及び134は、しばしば、単に例示した対称的IGFETとして呼称される。例示したIGFETのコンポーネントは、同様に、しばしば、ここでは、それらのコンポーネントに対する参照記号のリストを列挙すること無しに、例示したIGFETのコンポーネントとして呼称される。同じ手順が例示したIGFETのサブグループのコンポーネントにも使用される。

40

【0091】

前述した識別表記法に注意して、例示した対称的IGFETは全てデジタル回路適用例

50

に対して適切である。例示した対称的 I G F E T のいずれもが、適切である場合には、アナログ回路適用例において使用することが可能である。例示した対称的 I G F E T によって与えられる異なる特徴は、回路設計者が特定の回路の必要性に最も良く適う I G F E T を選択することを可能とさせる。

【0092】

非対称的 I G F E T 100 及び 102 及び例示した対称的 I G F E T は、便宜上、全て長チャンネル装置として図示してある。しかしながら、これらの I G F E T のいずれもが短チャンネルバージョンで、特に低リーク I G F E T 108, 110, 120 及び 122 で実現することが可能である。その場合には、対称的 I G F E T 108, 110, 120 又は 122 の短チャンネルバージョンのハローポケット部分（以下に更に説明する）は上

10

【0093】

どの特定のチャンネル長値も、一般的に、I G F E T 動作の短チャンネル及び長チャンネルレジームを分けるものではなく、又は、一般的に、短チャンネル I G F E T を長チャンネル I G F E T から区別するものではない。短チャンネル I G F E T、即ち短チャンネルレジームにおいて動作する I G F E T は、単に、その特性が短チャンネル効果によって著しく影響される I G F E T である。長チャンネル I G F E T、即ち長チャンネルレジームにおいて動作する I G F E T は、短チャンネル I G F E T の逆である。約 0.4 μm のチャンネル長値が、大体、米国特許第 6,548,842 号における背景技術に対する短チャンネルレジームと長チャンネルレジームとの間の境界を構成するものであるが、長チャンネル／短チャンネル境界は、ゲート誘電体厚さ、最小印刷可能特徴寸法、チャンネルゾンドーパント濃度、及びソース／ドレインーボディ接合深さ等の種々の要因に依存してチャンネル長の一層高い又は一層低い値において発生する場合がある。

20

【0094】

非対称的 I G F E T 100 及び 102 が、軽度ドーピングした P 型モノシリコンの開始領域内に形成した共通ディープ (deep) N ウェル（以下に更に説明する）を使用して図 11 において図示されている。代替的に、各 I G F E T 100 又は 102 は、ディープ N ウェルを欠如するバージョンで与えることが可能である。好適実現例においては、N チャンネル I G F E T 100 はディープ N ウェルを使用し、一方 P チャンネル I G F E T 102 はディープ N ウェルを欠如する。例示した対称的 I G F E T のいずれもがディープ N ウェルを使用するものとして示されていないが、例示した非ネイティブ対称的 I G F E T の各々は、代替的に、ディープ N ウェルを使用するバージョンで与えることが可能である。例示した非ネイティブ N チャンネル I G F E T の内の一つに対して使用される場合に、ディープ N ウェルは、N チャンネル I G F E T の P 型ボディ領域を下側の P-モノシリコンから電氣的に分離させる。このことは、N チャンネル I G F E T を各他の N チャンネル I G F E T から電氣的に分離させることを可能とさせる。I G F E T 100 のような非ネイティブ N チャンネル I G F E T に対して使用されるディープ N ウェルを図 11 の例における I G F E T 102 のような隣接する P チャンネル I G F E T の下側に延在させることは、典型的に、その I G F E T のパッキング密度を増加させることを可能とさせる。

30

40

【0095】

例示した非ネイティブ I G F E T は、代替的に、軽度ドーピングした N 型モノシリコンの開始領域から作成することが可能である。その場合には、ディープ N ウェルを、該ディープ N ウェルに対して相補的機能を実施する対応するディープ P ウェルで置換させることが可能である。例示したネイティブ N チャンネル I G F E T は、P 型開始モノシリコン領域を必要とし、従って N-開始モノシリコン領域を使用する結果的に得られる C I G F E T 構成体内には存在しない。しかしながら、例示したネイティブ N チャンネル I G F E T の各々は N-開始モノシリコン内に形成される対応するネイティブ P チャンネル I G F E T と置換させることが可能である。

【0096】

50

図11のCIGFET構成体は、主に、適宜にゲート誘電体厚さを減少させ及び／又はドーピング条件を調節することによって達成される非対称的高電圧IGFET100及び102の一層低い電圧のバージョンを包含することが可能である。P-開始モノシリコン領域からN-開始モノシリコン領域へ変化させること及びディープP及びNウェルを使用するか又は使用しないことに関する上述した見解の全ては、IGFET100, 102, 104, 106の変形例に対して適用される。

【0097】

例示したIGFET及び例示したIGFETの上述した変形例以外の回路要素は図11のCIGFET構成体のその他の部分（不図示）に設ける場合がある。例えば、種々のタイプの抵抗、コンデンサ、及び／又はインダクトと共に、バイポーラトランジスタ及びダイオードを本CIGFET構成体に設ける場合がある。該バイポーラトランジスタは上に引用した国際特許出願第____号、代理人ドケット番号NS-7307WO、に記載されているように構成する場合がある。

【0098】

該抵抗はモノシリコン又はポリシリコン要素とする場合がある。付加的な回路要素の特性依存して、本CIGFET構成体も付加的な要素に対する適宜の電氣的分離を包含している。例示したIGFET及びそれらの上述した変形例の選択したものは、典型的に、図11のCIGFET構成体の特定の実現例に存在している。要するに、図11のCIGFET構成体のアーキテクチャは、混合信号IC適用例に適したIGFET及びその他の回路要素を提供している。

【0099】

C. ウェルアーキテクチャ及びドーピング特性

例示したIGFETのモノシリコン要素は、軽度にドーピングしたP型基板領域136を具備するドーピングしたモノシリコン半導体ボディの一部を構成している。典型的に主にシリコン酸化物から構成される電氣的絶縁性物質のパターン化したフィールド領域138は該半導体ボディの上部表面内に凹設（recessed）される。フィールド絶縁領域138は図11においては浅いトレンチ分離型のものとして図示してあるが、その他の態様で構成することが可能である。

【0100】

上部半導体表面内へのフィールド絶縁領域138の凹設は、一群のラテラル即ち横方向に離隔されたアクティブ半導体島状部を画定する。図11においては、20個のこのようなアクティブ島状部140, 142, 144A, 144B, 146A, 146B, 148, 150, 152, 154, 156, 158, 160, 162, 164, 166, 168, 170, 172, 174が表われている。非延長型ドレインIGFET100, 102, 108, 110, 112, 114, 116, 118, 120, 122, 124, 126, 128, 130, 132, 134が、夫々、島状部140, 142, 148, 150, 152, 154, 156, 158, 160, 162, 164, 166, 168, 170, 172, 174を使用する。Nチャンネル延長型ドレインIGFET104は島状部144A及び144Bを使用する。Pチャンネル延長型ドレインIGFET106は同様に島状部146A及び146Bを使用する。幾つかの実施例においては、図11に示されているIGFET及び上述したIGFET変形例の内の2個又はそれ以上がアクティブ島状部の内の一つを使用する。これは、例えば、IGFETの内の2個又はそれ以上がソース又はドレイン等の1個の要素を共用する場合に発生する。

【0101】

該半導体ボディは、主要なウェル領域180, 182, 184A, 184B, 186A, 186B, 188, 190, 192, 194, 196, 198, 200, 202, 204, 206と、ディープで中程度にドーピングしたN型ウェル領域210, 212と、分離用の中程度にドーピングしたP型ウェル領域216とを包含している。例示した主要なウェル領域、ディープNウェル領域210, 212、基板領域136への電氣的コンタクトは、フ

ィールド絶縁体 138 によって上部半導体表面に沿って画定されている付加的な横方向に分離されたアクティブ半導体島状部（不図示）を介して行われる。

【0102】

ディープNウエル領域 210 及び 212 は、夫々、P-基板領域 136 と分離用PN接合 220 及び 222 を形成している。そうする場合に、ディープNウエル 210 及び 212 は、図 1 に示されているその他のウエル領域よりも半導体ボディ内に一層深くに延在する。そのために、主要なウエル領域 180, 182, 184A, 184B, 186A, 186B, 188, 190, 192, 194, 196, 198, 200, 202, 204, 206 及び分離用ウエル領域 216 は浅いウエルと考えることが可能である。

【0103】

主要なウエル領域 180, 184A, 188, 192, 196, 200, 204 は、夫々、Nチャンネル非ネイティブIGFET 100, 104, 108, 112, 116, 120, 124 に対するP型ウエルである。主要なウエル領域 186B はPチャンネル非ネイティブIGFET 106 に対するP型ウエルである。主要なウエル領域 182, 186A, 190, 194, 198, 202, 206 は、夫々、非ネイティブPチャンネルIGFET 102, 106, 110, 114, 118, 122, 126 に対するN型ウエルである。主要なウエル領域 184B は非ネイティブNチャンネルIGFET 104 に対するN型ウエルである。

【0104】

便宜上、図 11 は半導体ボディ内に同じ深さに延在しているものとして例示した主要なウエル領域の全てを図示している。しかしながら、例示したP型の主要なウエルの深さは、例示したN型の主要なウエルの深さよりも僅かに小さいか又は多少一層大きいものとすることが可能である。又、各例示したP型の主要なウエルがP-基板領域 136 内に合体するか又はディープNウエルと合流するかに依存して、例示したP型の主要なウエルの或るものは他のものよりも半導体ボディ内に一層深くに延在する。同様に、各例示したN型の主要なウエルがP-基板領域 136 と合流するか又はディープNウエル内に合体するかに依存して、例示したN型の主要なウエルの或るものは他のものよりも半導体ボディ内に一層深くに延在する。

【0105】

同じ導電型の下部のドーブしたモノシリコン領域内に合体するドーブしたモノシリコン領域の深さに関しては、上部のモノシリコン領域の深さは、該上部領域を画定する半導体ドーパントの濃度が該下部領域を画定する半導体ドーパントの濃度と等しい位置において発生するものと考えられる。ディープNウエル 210 又は 212 のような一層深いN型ウエル領域内に合体する、N型主要ウエル 182 又は 186A 等の、N型主要ウエル領域の深さは、該2つのN型ウエルを画定するN型半導体ドーパントの濃度が同じである位置において発生する。P-基板領域 136 が実質的に一様なバックグラウンドドーパント濃度のP型モノシリコンから形成される場合に、基板領域 136 内に合体するP型主要ウエル 184A 等のP型ウエル領域の深さは、P型ウエルドーパント濃度がP型バックグラウンドドーパント濃度の2倍である位置において発生する。

【0106】

P型主要ウエル領域 180 は、非対称的高電圧NチャンネルIGFET 100 に対してのボディ物質又はボディ物質領域を構成し、且つディープNウエル領域 210 と分離用PN接合 224 を形成する。図 11-1 を参照のこと。N型主要ウエル領域 182 はディープNウエル 210 内に合体する。N型主要ウエル 182 とディープNウエル 210 との結合は、非対称的高電圧PチャンネルIGFET 102 に対するボディ物質又はボディ物質領域を形成する。

【0107】

ディープNウエル 210 がNチャンネルIGFET 100 のP型主要ウエル領域 180 の下側に存在しているがPチャンネルIGFET 102 の下側には延在することのない実施例（不図示）において、P型主要ウエル 180 はNチャンネルIGFET 100 用のボ

10

20

30

40

50

ディ物質（領域）を形成する。しかしながら、N型主要ウエル182はもっぱらPチャンネルIGFET102に対するボディ物質（領域）を構成し且つ基板領域136とPN接合を形成する。ディープNウエル210を完全に欠如している実施例（不図示）においては、P型主要ウエル180とP-基板領域136との結合がNチャンネルIGFET100に対するボディ物質を形成し、一方N型主要ウエル182はPチャンネルIGFET102用のボディ物質を構成し且つ基板領域136とPN接合を形成する。

【0108】

P型主要ウエル領域184Aは図11-2に示したようにP-基板領域136内に合体する。P型主要ウエル184AとP-基板領域136との結合は延長型ドレインNチャンネルIGFET104に対するボディ物質、即ちボディ物質領域、を形成する。IGFET104のN型主要ウエル領域184Bは、以下に更に説明するように、基板領域136とドレイン・ボディPN接合226を形成する。

10

【0109】

N型主要ウエル領域186AはディープNウエル領域212内に合体する。N型主要ウエル186AとディープNウエル212との結合は、延長型ドレインPチャンネルIGFET106に対するボディ物質、即ちボディ物質領域、を形成する。IGFET106のP型主要ウエル領域186Bは、以下の更に説明するように、ディープNウエル212とドレイン・ボディPN接合228の一部を形成する。

【0110】

Pウエル領域216が、フィールド絶縁体領域138の下側で且つIGFET104のN型主要ウエル領域184BとIGFET106のディープNウエル領域212との間に位置されている。IGFET104及び106は非常に高い電圧で動作し且つ図11-2の例においては互いに隣接しているので、Pウエル216はIGFET104及び106を互いに電氣的に分離する。Pウエル216は、延長型ドレインIGFET104及び106が互いに隣接していない実施例においては、削除することが可能である。

20

【0111】

P型主要ウエル領域188とP-基板領域136との結合は、対称的低電圧低リークNチャンネルIGFET108用のボディ物質、即ちボディ物質領域、を形成している。図11-3を参照のこと。N型主要ウエル領域190は対称的低電圧低リークPチャンネルIGFET110に対するボディ物質、即ちボディ物質領域、を構成しており且つ基板領域136と分離用のPN接合230を形成している。

30

【0112】

対称的低電圧低 V_T NチャンネルIGFET112用のボディ物質（領域）は、同様に、P型主要ウエル領域192とP-基板領域136との結合によって形成されている。図11-4を参照のこと。N型主要ウエル領域194は対称的低電圧低 V_T PチャンネルIGFET114に対するボディ物質（領域）を構成しており且つ基板領域136と分離用のPN接合232を形成している。

【0113】

P型主要ウエル領域196とP-基板領域136との結合は対称的高電圧公称 V_T NチャンネルIGFET116に対するボディ物質（領域）を形成している。図11-5を参照のこと。N型主要ウエル領域198は対称的高電圧公称 V_T PチャンネルIGFET118に対するボディ物質（領域）を構成しており且つ基板領域136と分離用PN接合234を形成している。

40

【0114】

対称的低電圧公称 V_T NチャンネルIGFET120に対するボディ物質（領域）は、P型主要ウエル領域200とP-基板領域136との結合によって形成されている。図11-6を参照のこと。N型主要ウエル領域202は対称的低電圧公称 V_T PチャンネルIGFET122用のボディ物質（領域）を構成し且つ基板領域136と分離用PN接合236を形成する。

【0115】

50

P型主要ウェル領域204とP-基板領域136との結合は対称的高電圧低 V_T NチャンネルIGFET124用のボディ物質(領域)を形成する。図11-7を参照のこと。N型主要ウェル領域206は対称的光電圧低 V_T PチャンネルIGFET126用のボディ物質(領域)を構成し且つ基板領域136と分離用PN接合238を形成する。

【0116】

P-基板領域136は、専ら、ネイティブNチャンネルIGFET128, 130, 132, 134の各々に対するボディ物質(領域)を構成する。図11-8及び11-9を参照のこと。

【0117】

主要ウェル領域180, 182, 184A, 184B, 186A, 186B, 192, 204, 206は全て空の(empty)レトログレドウェルである。より特定的には、NチャンネルIGFET100, 112又は124のP型主要ウェル180, 192又は204は、P型半導体ドーパントでドーブされており、該ドーパントはそのIGFETのS/Dゾーン内にも存在する。P型ドーパントの濃度は、(a)IGFET100, 112又は124のチャンネル及びS/Dゾーンの各々のほぼ全ての下側を横方向に延在する表面下最大濃度位置において表面下濃度最大に局所的に到達し、且つ(b)そのIGFETのS/Dゾーンの内の特定した一つを介して選択した垂直位置に沿って該表面下最大濃度位置から上部半導体表面へ上方へ移る場合に少なくとも10の係数だけ、好適には少なくとも20の係数だけ、より好適には少なくとも40の係数だけ、減少する。IGFET100, 112又は124のP型主要ウェル180, 192又は204におけるP型ドーパントの最大濃度の表面下位置は、そのIGFETの特定したS/Dゾーンの最大深さよりも10倍を超えることの無い、好適には5倍を超えることの無い、より好適には4倍を超えることの無い、深さにおいて発生する。

【0118】

以下に更に説明するように、非対称的IGFET100のソースに沿ってP型ハローポケット部分が存在している。IGFET100に対する特定したS/Dゾーンは、典型的に、そのドレインであるが、そのソースに沿ってP型ハローポケット部分を欠如しているIGFET100の変形例におけるそのソース又はドレインである場合がある。その特定したS/Dゾーンは対称的IGFET112又は124に対するS/Dゾーンの何れかとする事が可能である。

【0119】

更に、P型ドーパントの濃度は、NチャンネルIGFET100, 112又は124のP型の空の主要ウェル180, 192又は204における表面下最大濃度位置からIGFET100, 112又は124に対する選択した垂直位置に沿ってその特定したS/Dゾーンへ移る場合に、実質的に単調的に、典型的には10の係数未満だけ、減少する。IGFET100, 112又は124のP型主要ウェル180, 192又は204におけるP型ドーパントの最大濃度の表面下位置はそのIGFETの特定したS/Dゾーンの最大深さよりも10倍を超えることの無い深さにおいて発生するので、IGFET100, 112又は124の特定したS/Dゾーン下側のドーパント分布は典型的に非ハイポアブラプトである。P型ドーパントの濃度における減少は、通常、実質的に変曲無しであり、即ちIGFET100, 112又は124に対する選択した垂直位置に沿ってIGFET100, 112又は124に対する表面下最大濃度位置からその特定したS/Dゾーンへ移る場合にインフレクション(inflexion)即ち変曲することが無い。

【0120】

NチャンネルIGFET100, 112又は124のP型の空の主要ウェル領域180, 192又は204におけるP型ドーパントの前述した局所的濃度最大は、ここではP型の空の主要ウェルドーパントとして呼称するP型半導体ドーパントの半導体ボディ内への導入から発生する。P型ハローポケット部分を有する非対称的IGFET100の場合には、該ハローポケットは、P型の空の主要ウェルドーパントによって発生される濃度最大よりもかなり少ない深さにおいて付加的な局所的濃度最大に到達するように半導体ボディ

内に導入したここではP型ソースハロー（又はチャンネルグレイディング）ドーパントとして呼称される付加的なP型半導体ドーパントによって発生される。P型の空の主要ウェル180におけるこれらの2つのP型濃度最大を明確に区別するために、P型の空の主要ウェルドーパントによって発生されるP型濃度最大は、一般的に、ここでは、ウェル180における「ディープ」P型の空のウェル濃度最大として呼称される。P型ソースハロードーパントから発生するP型濃度最大は、対応する態様で、一般的に、ここでは、ウェル180における「浅い」P型の空のウェル濃度最大として呼称される。P型ソースハロードーパントは、又、ここでは、P型のソース側ハローポケットドーパントとして、又は単にP型ソース側ポケットドーパントとして呼称される場合がある。

【0121】

非対称的NチャンネルIGFET100のP型ハローポケットは、IGFET100の短チャンネルバージョンにおいてそのドレインに到達する場合がある。しかしながら、IGFET100が例示した長チャンネル装置として又は短チャンネル装置として実現されるかに拘わらずに、顕著な量のP型ソースハロードーパントが該ドレインを横断して完全に横方向に存在していることは通常無い。IGFET100のドレインを介して延在し且つ顕著な量のP型ソースハロードーパントを有することの無い仮想垂直線が常に存在している。従って、IGFET100のソースに沿ってのP型ハローポケット部分の存在は、P型の空の主要ウェル領域180内のP型ドーパント、即ち全P型ドーパント、の濃度がそのIGFETのS/Dゾーンの内の特定した一つを介しての選択した垂直位置に沿ってディープP型の空のウェル濃度最大の表面下位置から上部半導体表面へ移る場合に少なくとも10の係数だけ減少すること、及びP型の空の主要ウェル180内の該選択した垂直位置に沿っての該全P型ドーパントの濃度減少は、該選択した垂直位置に沿って該ディープP型の空のウェル濃度最大の表面下位置からそのIGFETの特定したS/Dゾーンへ移る場合に、通常、実質的に単調的であり且つ実質的に変曲無しであるということの基準を満たすことを阻止するものではない。

【0122】

前述したP型ウェル濃度基準を満たすことに加えて、NチャンネルIGFET100、112又は124のP型の空のウェル主要ウェル領域180、192又は204における全P型ドーパントの濃度は、好適には、該選択した垂直位置に沿って該IGFETの特定したS/Dゾーンに対するPN接合から上部半導体表面へ移る場合に実質的に単調的に減少する。IGFET100、112又は124の該特定したS/Dゾーンの上部表面に沿って、時折、P型半導体ドーパントの幾らかのパイルアップ即ち蓄積が発生する場合がある。その場合には、P型の空の主要ウェル180、192又は204内の全P型ドーパントの濃度は、該特定したS/Dに対するPN接合から該選択した垂直位置に沿って該特定したS/Dゾーンに対するPN接合の最大深さの20%よりも上部半導体表面から離れることの無い点へ移る場合に実質的に単調的に減少する。

【0123】

P型の空の主要ウェル領域180、192及び204のドーパント濃度特性と同様に、PチャンネルIGFET102、114又は126のN型の空の主要ウェル領域182、194又は206はN型半導体ドーパントでドーパされており、該ドーパントはそのIGFETのS/Dゾーン内にも存在している。該N型ドーパントの濃度は、(a) IGFET102、114又は126のチャンネル及びS/Dゾーンの各々のほぼ全ての下側を横方向に延在している表面下最大濃度位置における表面下濃度最大に局所的に到達し、且つ(b) 該表面下最大濃度位置からそのIGFETのS/Dゾーンの内の特定した一つを介して選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に少なくとも10の係数だけ、好適には少なくとも20の係数だけ、より好適には少なくとも40の係数だけ、減少する。IGFET102、114又は126のN型主要ウェル182、194又は206におけるN型ドーパントの最大濃度の表面下位置は、そのIGFETの特定したS/Dゾーンの最大深さよりも10倍を超えることの無い、好適には5倍を超えることの無い、より好適には4倍を超えることの無い、深さにおいて発生する。

【0124】

N型ハローポケット部分は、以下に説明するように、非対称的IGFET102のソースに沿って存在している。IGFET102に対する特定したS/Dゾーンは、典型的に、そのドレインであるが、ソースに沿ってN型ハローポケット部分を欠如しているIGFET102の変形例においてはそのソース又はドレインとすることが可能である。該特定したS/Dゾーンは対称的IGFET114又は126に対するいずれかのS/Dゾーンとすることが可能である。

【0125】

又、N型ドーパントの濃度は、PチャンネルIGFET102, 114又は126のN型の空の主要ウェル182, 194又は206における表面下最大濃度位置からIGFET102, 114又は126に対する選択した垂直位置に沿ってその特定したS/Dゾーンへ移る場合に、実質的に単調的に、典型的には10の係数未満だけ、減少する。その結果、IGFET102, 114又は126の該特定したS/Dゾーン下側のドーパント分布は典型的に非ハイポアブラプトである。N型ドーパントの濃度における減少は、通常、IGFET102, 114又は126に対する表面下最大濃度位置からIGFET102, 114又は126に対する該選択した垂直位置に沿ってその特定したS/Dゾーンへ移る場合に、実質的に変曲無しである。

【0126】

NチャンネルIGFET102, 114又は126のN型の空の主要ウェル領域182, 194又は206におけるN型ドーパントの前述した局所的濃度最大は、ここではN型の空の主要ウェルドーパントと呼称するN型半導体ドーパントの半導体ボディ内への導入から発生する。N型ハローポケット部分を具備する非対称的IGFET102の場合には、該N型ハローポケットは、N型の空の主要ウェルドーパントによって発生された濃度最大よりもかなりより少ない深さにおいて付加的な局所的濃度最大に到達するように、半導体ボディ内に導入されるここではN型のソースハロー（又はチャンネルグレイディング）ドーパントと呼称される付加的なN型半導体ドーパントによって発生される。N型の空の主要ウェル182におけるこれら2つの濃度最大を明確に区別するために、N型の空の主要ウェルドーパントによって発生されるN型濃度最大は、一般的に、ここでは、ウェル182内の「ディープ（deep）」なN型の空のウェル濃度最大と呼称される。N型ソースハロードーパントから発生するN型濃度最大は、対応的に、一般的に、ここでは、ウェル182における「浅い（shallow）」N型の空のウェル濃度最大と呼称される。該N型ソースハロードーパントは、又、ここでは、N型ソース側部ハローポケットドーパントとして又は単にN型ソース側部ポケットドーパントと呼称される場合がある。

【0127】

非対称的PチャンネルIGFET102のN型ハローポケットは、IGFET102の短チャンネルバージョンにおけるそのドレインに到達する場合がある。しかしながら、IGFET102が長チャンネル又は短チャンネルの形式で実現されているかに拘わらずに、著しい量のN型ソースハロードーパントが該ドレインを横断して横方向に完全に存在していることは通常無い。常に、IGFET102のドレインを介して延在しており且つ著しい量のN型ソースハロードーパントを有することの無い仮想垂直線が存在している。従って、IGFET102のソースに沿ってのN型ハローポケット部分の存在は、N型の空の主要ウェル領域182内のN型ドーパント、即ち全N型ドーパント、の濃度がディープN型濃度最大の表面下位置からそのIGFETのS/Dゾーンの内の特定した一つを介して選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に少なくとも10の係数だけ減少すること、及びN型の空の主要ウェル182内の該選択した垂直位置に沿っての全N型ドーパントの濃度減少は、通常、該ディープN型濃度最大の表面下位置から該選択した垂直位置に沿ってそのIGFETの特定したS/Dゾーンへ移る場合に実質的に単調的であり且つ実質的に変曲無しであることの基準を充足することを阻止するものではない。

【0128】

前述したN型ウェル濃度基準を充足することの他に、NチャンネルIGFET102,

114又は126のN型の空の主要ウェル領域182, 194又は206における全N型ドーパントの濃度は、好適には、該IGFETの特定したS/Dゾーンに対するPN接合から該選択した垂直位置に沿って上部半導体表面へ移る場合に、実質的に単調的に減少する。N型半導体ドーパントの幾らかのパイルアップが、時折、IGFET102, 114又は126の該特定したS/Dゾーンの上部に沿って発生する場合がある。その場合には、N型の空の主要ウェル182, 194又は206内の全N型ドーパントの濃度は、該特定したS/Dゾーンに対するPN接合から該選択した垂直位置に沿って該特定したS/Dゾーンに対するPN接合の最大深さの20%よりも上部半導体表面から更に遠くでは無い点へ移る場合に、実質的に単調的に減少する。

【0129】

主要ウェル領域180, 182, 192, 194, 204, 206は空のウェルであるから、充填された主要ウェル領域を使用する同等のIGFETのチャンネルゾーンにおいてよりもIGFET100, 102, 112, 114, 124, 126のチャンネルゾーン内においてより少ない全半導体ドーパントが存在している。その結果、ドーパント原子との衝突に起因する電荷キャリア（NチャンネルIGFETの場合は電子で、PチャンネルIGFETの場合にはホール）の散乱は、充填した主要ウェルを具備する同等のIGFETの結晶格子におけるよりも、IGFET100, 102, 112, 114, 124, 126のチャンネルゾーンの結晶格子においては、その発生はより少ない。従って、IGFET100, 102, 112, 114, 124, 126のチャンネルゾーンにおける電荷キャリアの移動度は増加される。このことは、非対称的IGFET100及び102が増加したスイッチング速度を有することを可能とさせる。

【0130】

延長型ドレインIGFET104及び106の空の主要ウェル領域184A, 184B, 186A, 186Bに関しては、NチャンネルIGFET104のP型の空の主要ウェル184A又はPチャンネルIGFET106のP型の空の主要ウェル186BにおけるP型半導体ドーパントの濃度は、(a)ウェル184A又は186B内の表面下最大濃度位置において表面下濃度最大に局所的に到達し、且つ(b)該表面下最大濃度位置からウェル184A又は186Bを介しての選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に、少なくとも10の係数だけ、好適には少なくとも20の係数だけ、より好適には少なくとも40の係数だけ、減少する。以下に更に説明するように、NチャンネルIGFET104に対するウェル184Aを介しての該選択した垂直位置は、そのハローポケットの側部に位置されている。PチャンネルIGFET106に対するウェル186Bを介しての該選択した垂直位置は、アクティブ島状部146Aを介して延在している。P型主要ウェル184A又は186Bにおける該選択した垂直位置に沿ってのP型ドーパントの濃度減少は、通常、実質的に単調的である。IGFET104又は106のP型主要ウェル184A又は186B内のP型ドーパントの最大濃度の表面下位置は、そのIGFETのソースの最大深さよりも10倍を超えて一層深くに発生するものではなく、好適には5倍を超えて一層深くに発生するものではなく、更に好適には4倍を超えて一層深くに発生するものではない。

【0131】

P型の空の主要ウェル領域184A及び186BにおけるP型ドーパントの前述した局所的濃度最大は、半導体ボディ内へのP型の空の主要ウェルドーパントの導入から発生する。各P型の空の主要ウェル184A又は186BにおけるP型ドーパントの濃度は、通常、そのウェル184A又は186BにおいてP型の空の主要ウェルドーパントによって発生された濃度最大よりも著しく一層少ない深さにおいて付加的な局所的濃度最大に到達する。各主要ウェル184A又は186Bにおけるこれら2つのP型濃度最大を明確に区別するために、ウェル184A又は186BにおいてP型の空の主要ウェルドーパントによって発生されるP型濃度最大は、一般的に、ここでは、そのウェル184A又は186Bにおける「ディープ(deep)」なP型の空のウェル濃度最大として呼称する。各主要ウェル184A又は186Bにおいて付加的なP型ドーパントによって発生されるP型濃度

最大は、対応する態様で、一般的に、ここでは、そのウェル 184 A 又は 186 B における「浅い (shallow)」P 型の空のウェル濃度最大として呼称する。

【0132】

各 P 型の空の主要ウェル領域 184 A 又は 186 B における該浅い P 型の空のウェル濃度最大は、その P 型の空の主要ウェル 184 A 又は 186 B 内に導入した付加的な P 型の空のウェル半導体ドーパントから発生し、且つそのウェル 184 A 又は 186 B を横断して単に部分的に横方向に延在するに過ぎない。P 型ウェル 184 A 又は 186 B を介して延在し且つ著しい量の付加的な P 型の空のウェルドーパントを有するものではない仮想的垂直線が常に存在している。従って、ウェル 184 A 又は 186 B 内の付加的な P 型の空のウェルドーパントの存在は、ウェル 184 A 又は 186 B 内の P 型ドーパント、即ち全 P 型ドーパント、の濃度が、該ディープ P 型の空のウェル濃度最大の表面下位置からそのウェル 184 A 又は 186 B を介して選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に、少なくとも 10 の係数だけ減少すること、及びウェル 184 A 又は 186 B 内の該選択した垂直位置に沿っての全 P 型ドーパントの濃度減少が、通常、実質的に単調的であること、の P 型空ウェルの基準を充足することを阻止するものではない。

【0133】

相補的な態様で、N チャンネル IGFET 104 の N 型の空の主要ウェル領域 184 B 又は P チャンネル IGFET 106 の P 型の空の主要ウェル領域 186 A における N 型半導体ドーパントの濃度は、同様に、(a) 空の主要ウェル 184 B 又は 186 A における表面下最大濃度位置における表面下濃度最大に局所的に到達し、且つ (b) 該表面下最大濃度位置からそのウェル 184 B 又は 186 A を介して選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に、少なくとも 10 の係数だけ、好適には少なくとも 20 の係数だけ、より好適には少なくとも 40 の係数だけ、減少する。更に以下に説明するように、N チャンネル IGFET 104 に対するウェル 184 B を介しての該選択した垂直位置はアクティブ島状部 144 A を介して延在する。P チャンネル IGFET 106 に対するウェル 186 A を介しての該選択した垂直位置は、そのハローポケットの脇に位置されている。P 型主要ウェル 184 B 又は 186 A の N 型主要ウェル 184 B 又は 186 A における N 型ドーパントの最大濃度の表面下位置は、その IGFET ソースの最大深さよりも 10 倍を超えて一層深くに発生するものではなく、好適には 5 倍を超えて一層深くに発生するものではなく、更に好適には 4 倍を超えて一層深くに発生するものではない。それに沿って、P 型ウェル 184 A 又は 186 B における P 型ドーパント及び N 型ウェル 184 B 又は 186 A における N 型ドーパントがこれらの局所的濃度最大に到達する、垂直位置の例は、図 22 a, 22 b, 23 a-23 c, 24 a-24 c に関連して以下に提示してある。

【0134】

N 型の空の主要ウェル領域 184 B 及び 186 A における N 型ドーパントの前述した局所的濃度最大は、半導体ボディ内への N 型の空の主要ウェルドーパントの導入から発生する。各 N 型の空の主要ウェル 184 B 又は 186 A における N 型ドーパントの濃度は、通常、そのウェル 184 B 又は 186 A における N 型の空の主要ウェルによって発生される濃度最大よりもかなり一層小さな深さにおいて付加的な局所的濃度最大に到達する。各主要ウェル 184 B 又は 186 A における 2 つの N 型濃度最大を明確に区別するために、各ウェル 184 B 又は 186 A における N 型の空の主要ウェルドーパントによって発生される N 型濃度最大は、一般的に、ここでは、そのウェル 184 B 又は 186 A における「ディープ」な N 型の空のウェルの濃度最大として呼称する。各主要ウェル 184 B 又は 186 A における付加的な N 型ドーパントによって発生される N 型濃度最大は、対応的に、一般的に、ここでは、「浅い」N 型の空のウェル濃度最大として呼称する。

【0135】

各 N 型の空の主要ウェル領域 184 B 又は 186 A における浅い N 型の空のウェル濃度最大は、その N 型の空の主要ウェル 184 B 又は 186 A 内に導入される付加的な N 型の空のウェル半導体ドーパントから発生し、且つそのウェル 184 B 又は 186 A を横断し

て横方向に部分的に延在するに過ぎない。N型ウエル184B又は186Aを介して延在し且つ著しい量の付加的なN型の空のウエルドーパントを有することの無い仮想的垂直線が常に存在している。その結果、ウエル184B又は186Aにおける付加的なN型の空のウエルドーパントの存在は、ウエル184B又は186AにおけるN型ドーパント、即ち全N型ドーパント、の濃度がディープなN型の空のウエル濃度最大の表面下位置からそのウエル184B又は186Aを介して選択した垂直位置に沿って上部半導体表面へ上方へ移る場合に、少なくとも10の係数だけ減少すること、及びウエル184B又は186Aにおける該選択した垂直位置に沿っての全N型ドーパントの濃度減少が通常は実質的に単調的なものであること、のN型の空のウエルの基準を充足することを阻止するものではない。

10

【0136】

図11-2内の「MAX」とマークを付けたダッシュ・アンド・ダブルドット、すなわち二点鎖線は、(a) P型の空の主要ウエル領域184A及び186BにおけるP型ディープ局所的濃度最大、及び(b) N型の空の主要ウエル領域184B及び186AにおけるN型ディープ局所的濃度最大、の表面下位置を表している。これらの線によって表されているように、延長ドレイン型NチャンネルIGFET104のN型の空の主要ウエル184BにおけるディープN型濃度最大は、そのIGFETのP型の空の主要ウエル184AにおけるディープP型濃度最大とほぼ同じ深さにおいて発生している。同様に、延長ドレイン型PチャンネルIGFET106のP型の空の主要ウエル186BにおけるディープP型濃度最大は、IGFET106のN型の空の主要ウエル186AにおけるディープN型濃度最大とほぼ同じ深さにおいて発生している。

20

【0137】

空の主要ウエル領域184B及び186Bは、夫々、以下に更に説明するように、延長型ドレインIGFET104及び106のドレインとして部分的又は完全に作用する。主要ウエル184B及び186Bを空のレトログレードウエルとして構成することにより、IGFET104及び106の各々における電界の最大値は、従来の延長型ドレインIGFETにおいて通常発生するように上部半導体表面に沿ってではなく、モノシリコンのバルク内において発生する。特に、各IGFET104又は106における電界の最大値は、ウエル184B又は186Bにおける主要ウエルドーパントの前述した局所的濃度最大の表面下位置において又はその近くにおいてドレインとボディ物質との間のPN接合に沿って発生する。その結果、従来の延長型ドレインIGFETにおいて通常発生するように上部半導体表面に沿ってモノシリコンにおいてよりも、IGFET104又は106のモノシリコンのバルク内において、特に該ドレインのバルク内において、衝突イオン化が一層発生する。

30

【0138】

衝突イオン化をモノシリコンのバルクへシフトさせることにより、より少ない数の電荷キャリアが上部半導体表面に到達し、上部半導体表面に沿うモノシリコン内において実質的な衝突イオン化が発生する従来の延長型ドレインIGFETのゲート誘電体層内よりも延長型ドレインIGFET104及び106のゲート誘電体層内に十分なエネルギーが注入される。IGFET104及び106は、それらのゲート誘電体層内への電荷注入に起因するそれらのスレッショールド電圧変化を有することを実質的に回避する。従って、IGFET104及び106はかなり向上された信頼性のものである。

40

【0139】

更に、NチャンネルIGFET104の空の主要ウエル領域184A及び184Bは、好適には、互いに離隔されている。空の主要ウエル184A及び184Bの間の最小間隔 L_{ww} は、主要ウエル184A内のディープP型濃度最大の位置からウエル184B内のディープN型濃度最大の位置へ延在する仮想的水平線にほぼ沿って発生する。何故ならば、これら2つの濃度最大はほぼ同じ深さにおいて発生するからである。PチャンネルIGFET106の空の主要ウエル領域186A及び186Bは、同様に、好適には、互いに離隔されている。空の主要ウエル186A及び186Bの間の最小間隔 L_{ww} も同様に主

50

要ウェル186A内のディープN型濃度最大の位置から主要ウェル186B内のディープP型濃度最大の位置へ延在する仮想的水平線にほぼ沿って発生する。何故ならば、これら2つの濃度最大はほぼ同じ深さにおいて発生するからである。IGFET104及び106に対する最小ウェル対ウェル間隔 L_{WW} の位置は以下に説明する図22a及び22bに例示してある。

【0140】

延長型ドレインIGFET104又は106のドレイン対ソースブレイクダウン電圧 V_{BD} は最小ウェル対ウェル間隔 L_{WW} に依存する。特に、IGFET104又は106のブレイクダウン電圧 V_{BD} は、ブレイクダウン電圧 V_{BD} が飽和値に到達する点に至るまで、ウェル対ウェル間隔 L_{WW} が増加するに従い、増加する。間隔 L_{WW} でのブレイクダウン電圧 V_{BD} における増加は、典型的に、図27に関連して以下に示すように、市場の感心がある V_{BD}/V_{WW} 領域において $6V/\mu m$ の近傍にある。NチャンネルIGFET104における空のレトログレードウェル184A及び184B、又はPチャンネルIGFET106における空のレトログレードウェル186A及び186Bの使用は、市場の感心がある V_{BD}/L_{WW} 領域においてブレイクダウン電圧 V_{BD} を制御するための便利な方法を提供している。

【0141】

主要ウェル領域188, 190, 196, 198, 200, 202は全て充填したウェルである。より詳細には、対称的NチャンネルIGFET108, 116又は120のP型主要ウェル188, 196又は200は、(a)そのIGFETのチャンネル及びS/Dゾーンの各々のほぼ全ての下側に横方向に延在する表面下位置において表面下濃度最大に局所的に到達し、且つ(b)該表面下位置からそのIGFETのS/Dゾーンの各々を介していずれかの垂直位置に沿って上部半導体表面へ上方へ移る場合に、10の係数未満だけ増加又は減少するP型半導体ドーパントを有している。IGFET108, 116又は120のP型主要ウェル188, 196又は200におけるP型ドーパントの最大濃度の表面下位置は、そのIGFETのS/Dゾーンの各々の最大深さよりも上部半導体表面下側に10倍を越えて一層深くに発生するものではなく、好適には5倍を越えて一層深くに発生するものではなく、更に好適には4倍を越えて一層深くに発生するものではない。

【0142】

P型の充填した主要ウェル領域188, 196, 200におけるP型ドーパントの前述した局所的濃度最大は、ここではP型充填した主要ウェルドーパントと呼称するP型半導体ドーパントの半導体ボディ内への導入から発生する。各P型充填した主要ウェル188, 196又は200内のP型ドーパントの濃度は、そのウェル188, 196又は200において少なくとも一つの付加的な局所的濃度最大に到達する。P型ウェル188, 196又は200における各付加的なP型濃度最大は、そのウェル188, 196又は200におけるP型充填した主要ウェルドーパントから発生する濃度最大よりもかなりより一層小さな深さにおいて発生する。各充填した主要ウェル188, 196又は200における複数のP型濃度最大を明確に区別するために、ウェル188, 196又は200におけるP型充填した主要ウェルドーパントによって発生されるP型濃度最大は、一般的に、ここでは、そのウェル188, 196又は200における「ディープ」P型充填したウェル濃度最大として呼称する。各充填した主要ウェル188, 196又は200における各付加的なP型濃度最大は、対応する態様で、一般的に、ここでは、そのウェル188, 196又は200における「浅い」P型充填したウェル濃度最大として呼称する。

【0143】

各P型充填した主要ウェル領域188, 196又は200は、通常、その充填した主要ウェル188, 196又は200を横方向に実質的に完全に横断して延在する少なくとも1個の浅いP型充填したウェル濃度最大を有している。従って、各P型主要ウェル188, 196又は200を介して且つそのウェル188, 196又は200におけるディープP型充填したウェル濃度最大を介しての任意の仮想的垂直線に沿ってのP型ドーパント分布は、少なくとも2つの局所的濃度最大を有している。各P型主要ウェル188, 196

又は200における各浅いP型充填したウエル濃度最大は、そのウエル188, 196又は200内への付加的なP型充填した半導体ドーパントの導入によって発生される。該付加的なP型充填したウエルドーパントはその全体的な横方向範囲にわたり各P型主要ウエル188, 196又は200を実質的に「充填」し、従って各主要ウエル188, 196又は200は充填したウエルである。

【0144】

対称的NチャンネルIGFET108, 116及び120のP型充填した主要ウエル領域188, 196及び200は、付加的なP型充填したドーパントとして、ここではP型アンチパンチスルー（「APT」）ドーパントと呼称するP型半導体ドーパントを受け取る。P型APTドーパントの最大濃度は、通常、上部半導体表面下側に0.1 μm を越えるが、上部半導体表面下側に0.4 μm を越えるものではない所で発生する。更に、P型APTドーパントの最大濃度は、IGFET動作期間中にIGFET108, 116, 120のチャンネルゾーン内に上部半導体表面に沿って延在するチャンネル表面空乏領域下側に発生する。この様な態様でP型APTドーパントを位置決めさせることにより、P型APTドーパントは、IGFET108, 116, 120において、特にそれらのチャンネル長が比較的短い場合に、ソース対ドレインバルクパンチスルーが発生することを阻止する。

【0145】

ここではP型スレッショールド調節ドーパントと呼称するP型半導体ドーパントも、付加的なP型充填したウエルドーパントとして、対称的NチャンネルIGFET108及び116のP型主要充填したウエル領域188及び196へ与えられる。P型スレッショールド調節ドーパントの最大濃度は、P型APTドーパントの最大濃度よりも一層小さい深さにおいて発生する。

【0146】

低電圧NチャンネルIGFET120のスレッショールド電圧 V_T が公称の正の値にある場合に、P型スレッショールド調節ドーパントは低電圧IGFET108の正のスレッショールド電圧をしてIGFET120の公称 V_T 値を超えさせる。低電圧IGFET108の増加されたスレッショールド電圧は、バイアスオフ状態において減少された電流リークを有することを可能とさせる。従って、IGFET108は、低オフ状態電流リークを必要とするが増加されたスレッショールド電圧を受け付けることが可能な低電圧適用例に対して特に適している。そのために、IGFET108は図11-3における高 V_T 装置として識別される。

【0147】

公称スレッショールド電圧の低電圧IGFET120は低電圧低リークIGFET108の仲間である。何故ならば、それらは両方共ソース対ドレインバルクパンチスルーを阻止するためのP型APTドーパントを受け取るからである。しかしながら、IGFET120はP型スレッショールド調節ドーパントを受け取るものではない。従って、IGFET120は、中程度に低いスレッショールド電圧を必要とするが非常に低いオフ状態電流リークを必要とするものではない低電圧適用例に対して特に適している。

【0148】

対称的低電圧IGFET108及び120は、P型APTドーパントとP型スレッショールド調節ドーパントの両方を欠如する対称的低電圧低 V_T NチャンネルIGFET112の仲間である。その低スレッショールド電圧のために、IGFET112は、IGFETが回路動作期間中に常にオンである低電圧状態において使用するのに特に適している。パンチスルー及び過剰な電流リークを回避するために、IGFET112はIGFET120又は108よりも適宜一層大きなチャンネル長のものである。

【0149】

P型スレッショールド調節ドーパントは、対称的高電圧IGFET116のスレッショールド電圧 V_T を高電圧適用例に適した公称値に設定する。IGFET116は、P型APTドーパント及びP型スレッショールド調節ドーパントの両方を欠如している対

10

20

30

40

50

称的高電圧低 V_T Nチャンネル IGFET 124 の仲間である。低電圧状態における IGFET 112 を使用する場合は、IGFET 124 の低スレッショールド電圧は、IGFET が回路動作期間中に常にオンである高電圧状態において使用するのに特に適しているものとさせる。IGFET 124 は、パンチスルー及び過剰な電流リークを回避するために、IGFET 116 よりも適宜一層大きなチャンネル長のものである。

【0150】

IGFET 108, 116, 120 の P 型充填した主要ウエル領域 188, 196, 200 について上述したと類似して、対称的 P チャンネル IGFET 110, 118 又は 122 の N 型充填した主要ウエル領域 190, 198 又は 202 は、(a) その IGFET のチャンネル及び S/D ゾーンの各々のほぼ全ての下側を横方向に延在する表面位置において表面下濃度最大に局所的に到達し、且つ (b) 該表面下位置からその IGFET の S/D ゾーンの各々を介しての任意の垂直位置に沿って上部半導体表面へ上方へ移る場合に 10 の係数未満だけ増加又は減少する、N 型半導体ドーパントを包含している。IGFET 110, 118 又は 122 の N 型充填した主要ウエル 190, 198 又は 202 における N 型ドーパントの最大濃度の表面下位置は、その IGFET の S/D ゾーンの各々の最大深さよりも 10 倍を越えて、好適には 5 倍を越えて、更に好適には 4 倍を越えて、一層深くに発生することは無い。

【0151】

N 型充填した主要ウエル領域 190, 198, 202 における N 型ドーパントの前述した局所的濃度最大は、半導体ボディ内に導入された N 型充填した主要ウエルドーパントと呼称される N 型半導体ドーパントから発生する。各 N 型充填した主要ウエル 190, 198 又は 202 における N 型ドーパントの濃度は、そのウエル 190, 198 又は 202 における少なくとも 1 個の付加的な局所的濃度最大に到達する。N 型ウエル 190, 198 又は 202 における各付加的な N 型濃度最大は、そのウエル 190, 198 又は 202 における N 型充填した主要ウエルドーパントから発生する濃度最大よりもかなり一層小さな深さにおいて発生する。各充填した主要ウエル 190, 198 又は 202 における複数の N 型濃度最大を明確に区別するために、ウエル 190, 198 又は 202 における N 型充填した主要ウエルドーパントによって発生される N 型濃度最大は、一般的に、ここでは、そのウエル 190, 198 又は 202 における「ディープ」N 型充填したウエル濃度最大として呼称される。各充填した主要ウエル 190, 198 又は 202 における各付加的な N 型濃度最大は、対応的に、一般的に、ここでは、ウエル 190, 198 又は 202 における「浅い」N 型充填したウエル濃度最大と呼称される。

【0152】

各 N 型充填した主要ウエル領域 190, 198 又は 202 は、通常、その充填した主要ウエル 190, 198 又は 202 にわたり実質的に完全に横方向に延在する少なくとも 1 個の浅い N 型充填したウエル濃度最大を有している。従って、各 N 型主要ウエル 190, 198 又は 202 を介して且つそのウエル 190, 198 又は 202 におけるディープ N 型充填したウエル濃度最大を介しての任意の仮想的垂直線に沿う N 型ドーパント分布は、少なくとも 2 個の局所的濃度最大を有している。各 N 型主要ウエル 190, 198 又は 202 における各浅い N 型充填した濃度最大は、そのウエル 190, 198 まあは 202 内に付加的な N 型充填した半導体ドーパントを導入することにより発生される。該付加的な N 型充填したウエルドーパントは各 N 型主要ウエル 190, 198 又は 202 を実質的にその全体的な横方向範囲にわたり「充填」する。

【0153】

対称的 P チャンネル IGFET 110, 118, 122 の N 型充填した主要ウエル領域 190, 198, 202 は、付加的な N 型充填したウエルドーパントとして、ここでは N 型 APT ドーパントとして呼称される N 型半導体ドーパントを受け取る。N 型 APT ドーパントの最大濃度は、通常、上部半導体表面下側に $0.1 \mu\text{m}$ を越えるが、上部半導体表面下側に $0.4 \mu\text{m}$ を越えるものでは無く発生する。更に、N 型 APT ドーパントの最大濃度は、IGFET 動作期間中に IGFET 110, 118, 122 のチャンネルゾーン

内に上部半導体表面に沿って延在するチャンネル表面空乏領域下側に発生する。このような態様でN型A P Tドーパントを位置決めすることは、I G F E T 1 1 0, 1 1 8, 1 2 2において、特に、それらが比較的短チャンネル長のものである場合に、ソース対ドレインバルクパンチスルーが発生することを阻止する。

【0154】

ここではN型スレッシュホールド調節ドーパントと呼称するN型半導体ドーパントも付加的なN型充填したドーパントとしてNチャンネルI G F E T 1 1 0及び1 1 8のN型充填した主要ウェル領域1 9 0及び1 9 8へ供給される。N型スレッシュホールド調節ドーパントの最大濃度は、N型A P Tドーパントの最大濃度よりも一層小さな深さにおいて発生する。

10

【0155】

低電圧PチャンネルI G F E T 1 2 2のスレッシュホールド電圧 V_T が公称の負の値にある場合に、N型スレッシュホールド調節ドーパントが低電圧低リークI G F E T 1 1 0の負スレッシュホールド電圧の大きさをI G F E T 1 2 2の公称 V_T 値の大きさを越えさせる。I G F E T 1 1 0の増加した V_T 大きさは、バイアスオフ状態において減少した電流リークを有することを可能とさせる。従って、I G F E T 1 1 0は、低オフ状態電流リークを必要とするが増加した大きさのスレッシュホールド電圧を受け付けることが可能な低電圧適用例に対して特に適している。このことに鑑みて、I G F E T 1 1 0は図1 1 - 3における高 V_T 装置として識別される。

【0156】

公称スレッシュホールド電圧の低電圧I G F E T 1 2 2は、低電圧I G F E T 1 1 0の仲間である。何故ならば、それらは両方共ソース対ドレインバルクパンチスルーを阻止するためのN型A P Tドーパントを受け取るからである。しかしながら、I G F E T 1 2 2はN型スレッシュホールド調節ドーパントを受け取ることは無い。その結果、I G F E T 1 2 2は、中程度に低の V_T の大きさを必要とするが非常に低いオフ状態電流リークを必要とするものではない低電圧適用例に対して特に適している。

20

【0157】

対称的低電圧I G F E T 1 1 0及び1 2 2は、N型A T Pドーパント及びN型スレッシュホールド調節ドーパントの両方を欠如している対称的低電圧低 V_T PチャンネルI G F E T 1 1 4の仲間である。そのスレッシュホールド電圧の大きさが低いために、I G F E T 1 1 4は、I G F E Tが回路動作期間中に常にオンである低電圧状態において使用するのに特に適している。パンチスルー及び過剰な電流リークを回避するために、I G F E T 1 1 4はI G F E T 1 2 2又は1 1 0よりも適宜に一層大きなチャンネル長のものである。

30

【0158】

N型スレッシュホールド調節ドーパントは、対称的高電圧I G F E T 1 1 8のスレッシュホールド電圧 V_T を高電圧適用例に適した公称値に設定する。I G F E T 1 1 8は、N型A P TドーパントとN型スレッシュホールド調節ドーパントの両方を欠如する対称的高電圧低 V_T PチャンネルI G F E T 1 2 6の仲間である。低電圧状態に対してI G F E T 1 1 4について説明したことと同様に、I G F E T 1 2 6のスレッシュホールド電圧の低い大きさは、回路動作期間中にI G F E Tが常にオンである高電圧状態において使用するのに特に適している。I G F E T 1 2 6は、パンチスルー及び過剰な電流リークを回避するためにI G F E T 1 1 8よりも適宜に一層大きなチャンネル長のものである。

40

【0159】

対称的ネイティブ低電圧NチャンネルI G F E T 1 2 8及び1 2 0は、低電圧適用例に適している。相補的な態様において、対称的ネイティブ高電圧NチャンネルI G F E T 1 3 2及び1 3 4は高電圧適用例に適している。ネイティブI G F E T 1 2 8, 1 3 0, 1 3 2, 1 3 4は、典型的に、優れたマッチング及びノイズ特性を有している。

【0160】

以下の表は、1 8個の例示したI G F E Tに対する典型的な適用例区域、識別番号、極

50

性、対称型、及び主要ウェル型を要約している。

【0161】

【表1】

典型的適用区域	電圧／電流特性	IGFET	極性	対称性	主要ウェル
高速入力／出力 ステージ	高電圧 単一方向	100 及び 102	相補的	非対称	空の
パワー、高電圧スイッチング、 EEPROMプログラミング、 及びESD保護	拡張電圧 単一方向	104 及び 106	相補的	非対称	空の
低電流リークの 低電圧デジタル 回路	低電圧高 V_T 双方向	108 及び 110	相補的	対称	充填した
常時オン状態にある 低電圧高速デジタル 回路	低電圧低 V_T 双方向	112 及び 114	相補的	対称	空の
入力／出力デジタル ステージにおける 伝達ゲート	高電圧 公称 V_T 双方向	116 及び 118	相補的	対称	充填した
汎用低電圧 デジタル回路	低電圧 公称 V_T 双方向	120 及び 122	相補的	対称	充填した
常時オン状態にある 入力／出力デジタル ステージにおける 伝達ゲート	高電圧低 V_T 双方向	124 及び 126	相補的	対称	空の
汎用低電圧 クラスA回路	低電圧 公称 V_T 双方向	128	Nチャンネル	対称	無し
常時オン状態にある 高速低電圧クラスA 回路	低電圧低 V_T 双方向	130	Nチャンネル	対称	無し
汎用高電圧 クラスA回路	高電圧 公称 V_T 双方向	132	Nチャンネル	対称	無し
常時オン状態にある 高速高電圧クラスA 回路	高電圧低 V_T 双方向	134	Nチャンネル	対称	無し

【0162】

2つのタイプの非対称型相補的IGFET対を提供することに加えて、本CIGFET構成体は、ウェル型及び低電圧／高電圧動作範囲の全て4つの結合における対称的相補的IGFET対を提供している。対称的IGFET108及び110及び対称的相補的IGFET120及び122は低電圧充填したウェル装置である。対称的相補的IGFET112及び114は低電圧空のウェル装置である。対称的相補的IGFET116及び118は高電圧充填したウェル装置である。対称的IGFET124及び126は高電圧空のウェル装置である。本発明のCIGFET構成体は、混合信号ICの設計者に対して、広

【0163】

本発明のCIGFET構成体を製造するプロセスの完全なる説明は以下の製造プロセスのセクションにおいて提示する。しかしながら、本CIGFET構成体において使用されるウェル領域の基本的な説明を完結する上で、P型空の主要ウェル領域180、184A、186AのP型ディープ局所的濃度最大及びP型空の主要ウェル領域192及び204

のP型濃度最大は、通常、半導体ボディ内へ典型的にはボロンであるP型空の主要ウェルドーパントを選択的にイオン注入することにより実質的に同時的に画定される。その結果、P型空の主要ウェル180, 184A, 186BのP型ディープ局所的濃度最大及びP型空の主要ウェル192及び204のP型濃度最大はほぼ同じ平均深さ y_{PWPK} において発生する。

【0164】

P型空の主要ウェル領域180, 184A, 186B, 192又は204における平均深さ y_{PWPK} におけるP型空の主要ウェル最大ドーパント濃度は、通常、 $4 \times 10^{17} - 1 \times 10^{18}$ 原子数/cm³で、典型的には 7×10^{17} 原子数/cm³である。平均P型空の主要ウェル最大濃度深さ y_{PWPK} は、通常、0.4-0.7 μmで、典型的には0.5-0.55 μmである。

10

【0165】

空のウェルNチャンネルIGFET100, 112, 124のいずれもがディープPウェル領域を使用するものではない。従って、NチャンネルIGFET100, 112又は124に対するP型空の主要ウェル表面下最大濃度は、IGFET100, 112又は124に対する平均P型空の主要ウェル最大濃度深さ y_{PWPK} におけるP型空の主要ウェル表面下最大濃度位置からIGFET100, 112又は124に対する深さ y_{PWPK} の少なくとも5倍、通常は少なくとも10倍、好適には少なくとも20倍、の深さ y へ垂直下方へ移る場合に、全P型ドーパント濃度の実質的に唯一の局所的表面下濃度最大である。

20

【0166】

各空のウェルNチャンネルIGFET100, 112又は124は、代替的に、その濃度がそのIGFETのチャンネルゾーンのほぼ全ての下側で且つ通常はそのIGFETのS/Dゾーンの各々のほぼ全ての下側にも横方向に延在している更なる表面下最大濃度位置においてP型の更なる表面下最大濃度に局所的に到達するが、それはそのIGFETのP型の空のウェル領域180, 192又は204の基本的な空のウェルの性質に実質的に影響を与えるものではない、ここではディープPウェルドーパントと呼称する、P型半導体ドーパントで画定されるディープPウェル領域を使用する変形例において与えることが可能である。該ディープPウェルドーパントの局所的な更なる表面下最大濃度位置は、その空の主要ウェル180, 192又は204におけるP型平均空の主要ウェル最大濃度深さ y_{PWPK} よりも一層大きな深さ y の平均値において空の主要ウェル180, 192又は204において発生する。

30

【0167】

ディープPウェルドーパントの最大P型ドーパント濃度の平均深さは、通常、平均P型空の主要ウェル最大濃度深さ y_{PWPK} の10倍、好適には5倍、を越えるものではない。ディープPウェルドーパントは、空の主要ウェル180, 192又は204における y_{PWPK} 未満の任意の深さ y における全P型濃度を25%を越えること無く、通常10%を越えること無く、好適には2%を越えること無く、更に好適には1%を越えること無く、典型的には0.5%を越えること無く、上昇させる。

【0168】

N型空の主要ウェル領域182, 184B, 186AのN型ディープ局所的濃度最大及びN型空の主要ウェル領域194及び206のN型濃度最大は、通常、半導体ボディ内に典型的にはボロンであるN型空の主要ウェルドーパントを選択的にイオン注入することにより実質的に同時的に画定される。従って、N型空の主要ウェル182, 184B, 186AのN型ディープ局所的濃度最大及びN型空の主要ウェル194及び206のN型濃度最大はほぼ同じ平均深さ y_{NWPk} において発生する。

40

【0169】

N型空の主要ウェル領域182, 184B, 186A, 194又は206における平均深さ y_{NWPk} におけるN型空の主要ウェル最大ドーパント濃度は、通常、 $3 \times 10^{17} - 1 \times 10^{18}$ 原子数/cm³、典型的には 6×10^{17} 原子数/cm³である。平均N

50

型空の主要ウェル最大濃度深さ y_{NWPK} は通常 $0.4 - 0.8 \mu m$ であり、典型的には $0.55 - 0.6 \mu m$ である。従って、N型空の主要ウェル 182, 184B, 186A, 194 又は 206 における平均N型空の主要ウェル最大濃度深さ y_{NWPK} は、典型的に、P型空の主要ウェル領域 180, 184A, 186B, 192 又は 204 における平均P型空の主要ウェル最大濃度深さ y_{PWPK} よりも典型的に僅かに一層大きいものである。

【0170】

対称的空のウェルPチャンネル IGFET 114 及び 126 のいずれもが図11の例におけるディープNウェル領域を使用するものではない。ディープNウェル領域 210 は、上述した如く、非対称的空のウェル IGFET 100 及び 102 の変形例において削除することが可能である。本例におけるPチャンネル IGFET 114 及び 126 の場合及び非対称的 IGFET 100 及び 102 のその変形例の場合、Pチャンネル IGFET 102, 114 又は 126 に対するN型の空の主要ウェル表面下最大濃度は、IGFET 102, 114 又は 126 に対する平均N型空の主要ウェル最大濃度深さ y_{NWPK} におけるN型空の主要表面下最大濃度位置から IGFET 102, 114 又は 126 に対する深さ y_{NWPK} の少なくとも5倍、通常は少なくとも10倍、好適には少なくとも20倍、の深さ y へ垂直下方へ移る場合に全N型ドーパント濃度の実質的に唯一の局所的表面下濃度最大である。

【0171】

ディープNウェル領域 210 及び 212 は、通常、半導体ボディ内に、ここではディープNウェルドーパントと呼称するN型半導体ドーパントを選択的にイオン注入することによって実質的に同時的に画定される。その結果、ディープNウェル 210 及び 212 は、同じ平均深さ y_{DNWPK} においてN型局所的濃度最大に到達する。ディープNウェルドーパントは典型的には燐である。

【0172】

ディープNウェル領域 210 及び 212 内のディープNウェルドーパントの最大濃度は、N型空の主要ウェル領域 182, 184B, 186A, 194, 206 内のN型空の主要ウェルドーパントの最大濃度よりも半導体ボディ内にかなり一層深くに発生する。ディープNウェル 210 及び 212 内のディープNウェルドーパントの最大濃度の平均深さ y_{DNWPK} は、通常、N型空の主要ウェル 182, 184B, 186A のN型ディープ局所的濃度最大及びN型空の主要ウェル 194 及び 206 のN型濃度最大の平均深さ y_{NWPK} の10倍、好適には5倍、を越えるものではない。より特定的には、平均ディープNウェル最大濃度深さ y_{DNWPK} は、通常、平均N型空の主要ウェル最大濃度深さ y_{NWPK} の1.5 - 5.0倍、好適には2.0 - 4.0倍、典型的には2.5 - 3.0倍である。

【0173】

付加的に、ディープNウェル領域 210 及び 212 におけるディープNウェルドーパントの平均深さ y_{DNWPK} 及び最大濃度は、ディープNウェルドーパントの存在が、通常、平均N型空の主要ウェル最大濃度深さ y_{NWPK} 未満の任意の深さ y における非対称的Pチャンネル IGFET 102 の空の主要ウェル領域 182 における全（絶対的）N型濃度に関して、且つ y_{NWPK} 未満の任意の深さ y における延長型ドレインPチャンネル IGFET 106 の空の主要ウェル領域 186A における全（絶対的）N型濃度に関して、マイナーな効果を有しているに過ぎない。特に、ディープNウェルドーパントは、空の主要ウェル 182 又は 186A における y_{NWPK} 未満の任意の深さ y における全N型濃度を25%、通常は10%、を越えて上昇させるものではない。

【0174】

更に特定的には、ディープNウェルドーパントの存在は、通常、平均N型空の主要ウェル最大濃度深さ y_{NWPK} 未満の任意の深さ y における非対称的Pチャンネル IGFET 102 の空の主要ウェル領域 182 における全（絶対的）N型濃度に関して、且つ y_{NWPK} 未満の任意の深さ y における延長型ドレインPチャンネル IGFET 106 の空の主

10

20

30

40

50

要ウェル領域 186A における全（絶対的）N 型濃度に関して、何ら顕著な効果を有するものではない。空の主要ウェル 182 又は 186A における y_{NWPK} 未満の任意の深さ y における全 N 型濃度は、好適には、ディープ N ウェルドーパントに起因して、2 % を超えて、より好適には 1 % を越えて、典型的には 0.5 % を越えて、上昇されるものではない。同じことが、空の主要ウェル領域 194 又は 206 下側にディープ N ウェル領域を具備している対称的 P チャンネル IGFET 114 又は 126 の変形例に適用される。

【0175】

ディープウェル領域 210 又は 212 における平均深さ y_{DNWPK} におけるディープ N ウェル最大ドーパント濃度は、通常、 $1 \times 10^{17} - 4 \times 10^{17}$ 原子数 / cm^3 、典型的に 2×10^{17} 原子数 / cm^3 、である。平均ディープ N ウェル最大濃度深さ y_{DNWPK} は、通常、 $1.0 - 2.0 \mu\text{m}$ 、典型的に $1.5 \mu\text{m}$ 、である。

10

【0176】

P 型充填した主要ウェル領域 188, 196, 200 の P 型ディープ局所的濃度最大は、通常、半導体ボディ内に典型的にはボロンである P 型充填した主要ウェルドーパントを選択的にイオン注入することによって実質的に同時的に画定される。構造上の簡単化のために、P 型充填した主要ウェルドーパントの濃度最大は、典型的に、P 型空の主要ウェルドーパントの濃度最大とほぼ同じ平均深さ y_{PWPK} にあるように配置される。P 型空の及び充填した主要ウェル注入が同じイオン化電荷状態で同じドーパント含有粒子種を使用する同じ P 型ドーパントで行なわれる場合には、P 型充填した主要ウェル注入は P 型空のウェル注入とほぼ同じ注入エネルギーにおいて実施される。これら 2 つの P 型主要ウェル注入は、通常、ほぼ同じ注入ドーズにおいて行なわれる。

20

【0177】

N 型充填した主要ウェル領域 190, 198, 202 の N 型ディープ局所的濃度最大は、同様に、通常、半導体ボディ内に典型的には燐である N 型充填した主要ウェルドーパントを選択的にイオン注入することにより実質的に同時的に画定される。N 型充填したウェルドーパントの濃度最大は、構造上の簡単化のために、典型的に、N 型空の主要ウェルドーパントの濃度最大とほぼ同じ平均深さ y_{NWPK} であるように配置される。N 型空の及び充填した主要ウェル注入が同じイオン化電荷状態において同じドーパント含有粒子種を使用する同じ N 型ドーパントで行なわれる典型的な場合には、N 型充填した主要ウェル注入は N 型空のウェル注入とほぼ同じ注入エネルギーにおいて実施される。これら 2 つの N 型主要ウェル注入は、通常、ほぼ同じ注入ドーズで行なわれる。

30

【0178】

フィールド絶縁領域 138 を形成した後に、任意の更なる P 型又は N 型ウェル注入と共に、これら 5 つのウェル注入が実施され且つ、一般的に、任意の順番で行なうことが可能である。

【0179】

非対称的 IGFET 100 及び 102 及び例示した対称的 IGFET の各ソース / ドレインゾーンは、典型的に、垂直にグレイドされた（勾配が付けられた）接合が設けられている。即ち、IGFET 100 及び 102 及び例示した対称的 IGFET の各ソース / ドレインゾーンは、典型的に、非常に高度にドーブした主要部分と、一層軽度 to ドーブされているが尚且つ高度にドーブされており該主要部分の下側に位置しており且つ該主要部分と垂直方向に連続している下部部分とを包含している。同じことが、延長型ドレイン IGFET 104 及び 106 のソース及びドレインコンタクトゾーンに適用される。垂直にグレイドされた即ち勾配が付けられた接合特徴を与える高度にドーブされた下部部分は、説明の便宜上、非対称的高電圧 IGFET、延長型ドレイン IGFET、対称的 IGFET、全ての IGFET に対して一般的に適用可能な情報、及び本 CIGFET 構成体の製造、に関する以下のセクションにおいて記載するものではない。これらの 5 つのセクションに付随する図面中においてもこれらの高度にドーブした下部部分は示されていない。その代わりに、垂直にグレイドされた接合は、図 34-1 乃至 34-3 に示した IGFET の垂直にグレイドした接合変形例に関連して以下に別個に取り扱う。

40

50

【0180】

D. 非対称的高電圧 IGFET

D1. 非対称的高電圧Nチャンネル IGFETの構成

非対称の高電圧空のウエル相補的 IGFET 100 及び 102 の内部構造について説明する。Nチャンネル IGFET 100 で始めると、図 11-1 に図示したような IGFET 100 のコアの拡大図を図 12 に示してある。IGFET 100 は、上部半導体表面に沿ってアクティブ半導体島状部 140 内に位置している一対の N 型ソース／ドレイン（「S/D」）ゾーン 240 及び 242 を有している。S/D ゾーン 240 及び 242 は、しばしば、夫々、ソース 240 及びドレイン 242 として以下に呼称する。何故ならば、それらは、通常、必ずしも必要なものではないが、夫々、ソース及びドレインとして機能するからである。ソース 240 及びドレイン 242 は、IGFET 100 に対するボディ物質を構成している P 型空の主要ウエル領域 180 のチャンネルゾーン 244 によって隔離されている。P 型空のウエルボディ物質 180 は、(a) N 型ソース 240 とソース・ボディ PN 接合 246 を、且つ (b) N 型ドレイン 242 とドレイン・ボディ PN 接合 248 を、形成する。

10

【0181】

P 型空のウエルボディ物質 180 の中程度にドーピングしたハローポケット部分 250 が上部半導体表面までソース 240 に沿って延在しており且つソース 240 とドレイン 242 との間の位置で終端している。図 11-1 及び 12 は、ソース 240 が P ソース側ハローポケット 250 よりも一層深くに延在している状態を例示している。代替的に、ハローポケット 250 はソース 240 よりも一層深くに延在することが可能である。その場合、ハローポケット 250 はソース 240 下側を横方向に延在する。ハローポケット 250 は P 型ソースハロードーパントで画定されている。

20

【0182】

ソース側ハローポケット部分 250 外側の P 型空のウエルボディ物質 180 の部分は、P 型空のウエル主要ボディ物質部分 254 を構成している。ボディ物質 180 内のディープ P 型空のウエル濃度最大の位置からハローポケット部分 250 外側の仮想的垂直線に沿って上部半導体表面へ移る場合に、空のウエル主要ボディ物質部分 254 内の P 型ドーパントの濃度は、記号「p」によって表してある中程度のドーピングから記号「-p」によって表してある軽度のドーピングへ徐々に降下する。図 11-1 及び 12 における点線 256 は、それより下側においては、主要ボディ物質部分 254 内の P 型ドーパント濃度が中程度の p ドーピングにあり且つそれより上側においては、部分 254 における P 型ドーパント濃度が軽度の p ドーピングにある位置を概略的に表している。線 256 下側のボディ物質部分 254 の中程度にドーピングした下部部分は、図 12 において p 下部ボディ物質部分 254 L として示してある。P ハローポケット 250 外側の線 256 上側のボディ物質部分 254 の軽度にドーピングした上部部分は図 12 においては p-上部ボディ物質部分 254 U として示してある。

30

【0183】

チャンネルゾーン 244（図 11-1 又は 12 においては特に境界が示されていない）は、ソース 240 とドレイン 242 との間の全ての P 型モノシリコンから構成されている。特に、チャンネルゾーン 244 は、主要ボディ物質部分 254 の p-上部部分（254 U）の表面隣接セグメント、及び (a) 図 11-1 及び 12 の例に例示されているようにソース 240 がハローポケット 250 よりも一層深くに延在している場合には、p ハローポケット部分 250 の全て、又は (b) それがソース 240 よりも一層深くに延在している場合には、ハローポケット 250 の表面隣接セグメント、によって形成される。いずれの場合にも、ハローポケット 250 は、チャンネルゾーン 244 内のボディ物質部分 254 の p-上部部分（254 U）の直接隣接する物質よりも一層高度に P 型にドーピングされている。ソース 240 に沿ってのハローポケット 250 の存在は、チャンネルゾーン 244 を非対称的に長手方向にドーパントでグレイデッド即ち勾配が付けられたものとさせてい

40

50

る。

【0184】

t_{GdH} 高厚さ値にあるゲート誘電体層260が上部半導体表面上に位置されており且つチャンネルゾーン244にわたり延在している。ゲート電極262がチャンネルゾーン244上方でゲート誘電体層260の上に位置されている。ゲート電極262はソース240及びドレイン242にわたり部分的に延在している。

【0185】

N型ソース240は非常に高度にドーブした主要部分240M及びより軽度ドーブした横方向延長部240Eから構成されている。N++主要ソース部分240Mよりも一層軽度ドーブされているが、本件におけるようにサブミクロン相補的IGFET適用例においては、横方向ソース延長部240Eは未だに高度にドーブされている。N型ドレイン242は同様に非常に高度にドーブした主要部分242Mと一層軽度ドーブされているが未だに高度にドーブされている横方向延長部242Eとから構成されている。N++主要ソース部分240M及びN++主要ドレイン部分242Mは、通常、典型的に砒素であるN型主要S/Dドーパントとして呼称されるN型半導体ドーパントのイオン注入によって画定される。ソース240及びドレイン242に対する外部電氣的コンタクトが、夫々、主要ソース部分240M及び主要ドレイン部分242Mを介して形成される。

【0186】

横方向ソース延長部240E及び横方向ドレイン延長部242Eは上部半導体表面に沿ってチャンネルゾーン244を終端させる。ゲート電極262が各横方向延長部240E又は242Eの一部にわたり延在している。電極262は、通常、N++主要ソース部分240M又はN++主要ドレイン部分242Mのいずれの部分にわたっても延在するものではない。誘電体側壁スペーサ264及び266がゲート電極262の両側の横断方向側壁に沿って夫々位置されている。メタルシリサイド層268, 270, 272が、夫々、ゲート電極262、主要ソース部分240M、主要ドレイン部分242Mの上部に沿って位置されている。

【0187】

D2. 非対称的高電圧NチャンネルIGFETのソース／ドレイン延長部

非対称的高電圧IGFET100のドレイン延長部242Eはソース延長部240Eよりも一層軽度ドーブされている。しかしながら、各横方向延長部240E又は242EのN型ドーピングは記号「n+」によって表される高度のN型ドーピングの範囲内に入る。従って、横方向延長部240E及び242Eは両方共図11-1及び12において「n+」として示されている。以下の更に説明するように、横方向ソース延長部240Eにおける高度のN型ドーピングは、通常、横方向ドレイン延長部242Eにおける高度のN型ドーピングを与えるために使用されるN型ドーパントよりも一層高い原子量のN型ドーパントによって与えられる。

【0188】

N+ソース延長部240Eは、通常、N型浅いソース延長部ドーパントと呼称されるN型半導体ドーパントのイオン注入によって画定される。何故ならば、それは比較的浅いN型ソース延長部を画定する場合に使用されるだけだからである。N+ドレイン延長部242は、通常、N型ドレイン延長部ドーパントとして且つ又N型ディープS/D延長部ドーパントとして呼称されるN型半導体ドーパントのイオン注入によって画定される。何故ならば、それは、比較的深いN型ソース延長部及び比較的深いN型ドレイン延長部の両方を画定する場合に使用されるからである。

【0189】

N+横方向延長部240E及び242Eは複数の目的のために機能する。主要ソース部分240M及び主要ドレイン部分242Mが典型的にイオン注入によって画定されるので、延長部240E及び242Eは、主要ソース部分240M及び主要ドレイン部分242Mの非常に高い注入ドーズをゲート誘電体260から離れたままとさせることにより、I

10

20

30

40

50

G F E T 製造期間中にゲート誘電体層 2 6 0 が損傷されることを防止するバッファとして作用する。I G F E T 動作期間中、横方向延長部 2 4 0 E 及び 2 4 2 E は、チャンネルゾーン 2 4 4 内の電界を、N ++ 主要ソース部分 2 4 0 M 及び N ++ 主要ドレイン部分 2 4 2 M がゲート電極 2 6 2 下側に延在していた場合に発生するであろうものよりも一層低いものとさせる。ドレイン延長部 2 4 2 E の存在は、ゲート誘電体 2 6 0 内へのホットキャリア注入を阻止し、それによりゲート誘電体 2 6 0 が荷電されることを防止する。その結果、I G F E T 1 0 0 のスレッシュホールド電圧 V_T は動作時間に関して高度に安定であり、即ちドリフトすることは無い。

【0190】

I G F E T 1 0 0 は、チャンネルゾーン 2 4 4 の上部表面に沿って空乏領域内に形成される一次電子のチャンネルを介して N + ソース延長部 2 4 0 E から N + ドレイン延長部 2 4 2 E へ電流を導通させる。ゲート誘電体層 2 6 0 内へのホットキャリア注入に関して、ドレイン 2 4 2 内の電界は該一次電子をして加速させ且つドレイン 2 4 2 に近づくにつれてエネルギーを得させる。ドレイン 2 4 2 において衝突イオン化が発生して二次電荷キャリア、即ち電子とホールの両方、を形成し、それらは概略的に局所的電界の方向に移動する。二次電荷キャリアの内の幾つか、特に二次電子、がゲート誘電体層 2 6 0 方向へ移動する。ドレイン延長部 2 4 2 E は主要ドレイン部分 2 4 2 M よりも一層軽度ドーピングされているので、一次電子はドレイン 2 4 2 内に入る場合に減少された電界に露呈される。その結果、より少ない数のホット（エネルギー豊富な）二次電荷キャリアがゲート誘電体層 2 6 0 内に注入される。ゲート誘電体 2 6 0 に対するホットキャリア損傷が減少される。又、ゲート誘電体 2 6 0 は、そうでなければ I G F E T 1 0 0 のスレッシュホールド電圧 V_T に不所望にドリフトを発生させるような、減少された充電を経験する。

【0191】

より特定的には、その N 型 S / D ゾーンの各々が非常に高度にドーピングしている主要部分と一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部とから構成されている基準 N チャンネル I G F E T について検討する。基準 I G F E T のソース及びドレイン延長部が I G F E T 1 0 0 のソース延長部 2 4 0 E におけるのと実質的に同じ高度の N 型ドーピングにある状態と比較して、ドレイン延長部 2 4 2 E における一層低い N 型ドーピングは、ドレイン延長部 2 4 2 E に沿ってドレイン・ボディ接合 2 4 8 の部分にわたってのドーパント濃度における変化を、基準 I G F E T におけるドレイン延長部の部分に沿ってのドレイン・ボディ P N 接合の部分にわたってのドーパント濃度における変化よりも一層除々なものとする。ドレイン延長部 2 4 2 E に沿ってのドレイン・ボディ接合 2 4 8 の部分に沿っての空乏領域の幅はそれにより増加される。このことはドレイン延長部 2 4 2 E における電界を更に減少させる。その結果、基準 I G F E T のドレイン延長部におけるよりもドレイン延長部 2 4 2 E においてより少ない衝突イオン化が発生する。ドレイン延長部 2 4 2 E における減少された衝突イオン化のために、I G F E T 1 0 0 はゲート誘電体層 2 6 0 内への損傷を発生させるホットキャリア注入の発生はより少ない。

【0192】

N + ソース延長部 2 4 0 E よりも一層軽度ドーピングされていることに加えて、N + ドレイン延長部 2 4 2 E は N + ソース延長部 2 4 0 E よりも著しく一層深くに延在する。夫々の主要 S / D 部分よりも一層軽度ドーピングされており且つ上部半導体表面に沿って I G F E T のチャンネルゾーンを終端させる横方向 S / D 延長部を具備している I G F E T に対して、 y_{SE} 及び y_{DE} が夫々 S / D 延長部の最大深さを表すものとする。I G F E T 1 0 0 のドレイン延長部 2 4 2 E の深さ y_{DE} はソース延長部 2 4 0 E の深さ y_{SE} を著しく越える。I G F E T 1 0 0 のドレイン延長部深さ y_{DE} は、通常、そのソース延長部深さ y_{SE} よりも少なくとも 20 %、好適には少なくとも 30 %、より好適には少なくとも 50 %、更により好適には少なくとも 100 %、一層大きなものである。幾つかの要因が、ドレイン延長部 2 4 2 E がソース延長部 2 4 0 E よりも著しく一層深くに延在することとさせる。

【0193】

ソース延長部 240E 及びドレイン延長部 242E は、各々、上部半導体表面下側の最大（即ちピーク）N 型ドーパント濃度に到達する。上部半導体表面に沿って IGFET のチャンネルゾーンを終端させ且つ上部半導体表面下側を概略的に横方向に延在している夫々の位置に沿って最大（即ちピーク）濃度が発生する半導体ドーパントによって画定される IGFET の S/D ゾーンの夫々の主要 S/D 部分よりも一層軽度（一層浅く）にドーピングされている横方向 S/D 延長部を具備している IGFET に対して、 y_{SEPK} 及び y_{DEPK} を夫々該 S/D 延長部に対する延長部を画定するドーパントの最大濃度の位置における平均深さを表すものとする。IGFET 100 のソース延長部 240E 及びドレイン延長部 242E に対する最大ドーパント濃度深さ y_{SEPK} 及び y_{DEPK} を図 12 に表してある。ソース延長部 240E に対する深さ y_{SEPK} は通常 $0.004 - 0.020 \mu m$ 、典型的に $0.015 \mu m$ 、である。ドレイン延長部 242E に対する深さ y_{DEPK} は、通常、 $0.010 - 0.030 \mu m$ 、典型的に $0.020 \mu m$ 、である。

10

【0194】

ソース延長部 240E よりも著しく一層深くに延在するドレイン延長部 242E に貢献する一つの要因は、IGFET 100 に対する前述した y_{SEPK} 及び y_{DEPK} 値によって表されるように、ソース延長部 240E 及びドレイン延長部 242E に対するイオン注入は、ドレイン延長部 242E における最大 N 型ドーパント濃度の深さ y_{DEPK} がソース延長部 240E における最大 N 型ドーパント濃度の深さ y_{SEPK} を著しく越えるように、実施される。IGFET 100 に対する最大ドレイン延長部ドーパント濃度深さ y_{DEPK} は、通常、その最大ソース延長部ドーパント濃度深さ y_{SEPK} よりも少なくとも 10%、好適には少なくとも 20%、より好適には少なくとも 30% 一層大きい。

20

【0195】

ドレイン延長部 242E がソース延長部 240E よりも一層軽度（一層浅く）にドーピングされているので、ドレイン延長部 242E における深さ y_{DEPK} における最大全 N 型ドーパント濃度はソース延長部 240E における深さ y_{DEPK} における最大全 N 型ドーパント濃度よりも著しく一層低い。ドレイン延長部 242E における深さ y_{DEPK} における最大全 N 型ドーパント濃度は、通常、ソース延長部 240E における深さ y_{SEPK} における最大全 N 型ドーパント濃度の半分、好適には四分の一、より好適には十分の一、更に好適には二十分の一を越えることは無い。その結果、ドレイン延長部 242E における深さ y_{DEPK} における最大正味 N 型ドーパント濃度は、ソース延長部 240E における深さ y_{SEPK} における最大正味 N 型ドーパント濃度よりも著しく少なく、通常、その半分、好適にはその四分の一、より好適にはその十分の一、更により好適にはその二十分の一、である。別の言い方をすると、ソース延長部 240E における深さ y_{SEPK} における最大全又は正味 N 型ドーパント濃度は、ドレイン延長部 242E における深さ y_{DEPK} における最大全又は正味 N 型ドーパント濃度よりも著しく一層大きく、通常少なくとも 2 倍、好適には少なくとも 4 倍、より好適には少なくとも 10 倍、更により好適には少なくとも 20 倍、である。

30

【0196】

ソース延長部 240E よりも著しく一層深く延在するドレイン延長部 242E に貢献する 2 つの他の要因は、p+ソース側ハローポケット部分 250 が関与する。ハローポケット 250 における P 型ドーパントは、ソース延長部 240E における N 型の浅いソース延長部ドーパントの拡散を阻止し、それによりソース延長部深さ y_{SE} を減少させる。ハローポケット 250 における P 型ドーパントはソース延長部 240E の底部を一層高い位置において発生させてソース延長部深さ y_{SE} を一層減少させる。

40

【0197】

ソース延長部 240E よりも著しく一層深くに延在しており且つそれよりも一層軽度（一層浅く）にドーピングされているドレイン延長部 242E の結合は、ドレイン延長部 242E における N 型ディープ S/D 延長部ドーパントをソース延長部 240E における N 型の浅いソース延長部ドーパントよりも著しく一層垂直方向に拡散させる。従って、ドレイン延長部 242E における全 N 型ドーパントの分布は、ソース延長部 240E における全 N 型ドーパント

50

の分布よりも著しく垂直方向に広がっている。

【0198】

I G F E T 1 0 0 又は基準 I G F E T などの I G F E T を介してソースからドレインへ流れる電流は、通常、ドレインに入ると下方へ広がる。基準 I G F E T のソース延長部及びドレイン延長部におけるN型ドーパント濃度がソース延長部 2 4 0 E と実質的に同じにドーピングされており且つ同じ深さに延在している状態と比較して、ドレイン延長部 2 4 2 E の増加した深さは、ドレイン延長部 2 4 2 E を介しての電流の流れを基準 I G F E T のドレイン延長部におけるよりも一層垂直方向に広がることを可能とさせる。従って、ドレイン延長部 2 4 2 E における電流密度は基準 I G F E T のドレイン延長部における電流密度未満である。

10

【0199】

ドレイン延長部 2 4 2 E における全N型ドーパントの増加した広がり、ドレイン延長部 2 4 2 E における電界を基準 I G F E T のドレイン延長部における電界より小さなものとさせる。基準 I G F E T のドレイン延長部におけるよりもドレイン延長部 2 4 2 E においてより少ない衝突イオン化が発生する。更に、基準 I G F E T のドレイン延長部におけるよりもドレイン延長部 2 4 2 E において上部半導体表面から一層離れて衝突イオン化が発生する。基準 I G F E T のゲート誘電体層よりもゲート誘電体 2 6 0 に到達するホットキャリアはより少ない。その結果、I G F E T 1 0 0 のゲート誘電体層 2 6 0 内へのホットキャリア注入の量は更に減少される。

20

【0200】

ドレイン延長部 2 4 2 E は、ソース延長部 2 4 0 E よりも、ゲート電極 2 6 2 下側を著しく更に横方向に延在している。夫々の主要 S / D 部分よりも一層軽度、ドーピングされており且つ上部半導体表面に沿って I G F E T のチャンネルゾーンを終端させる横方向 S / D 延長部を具備している I G F E T に対して、 x_{SEOL} 及び x_{DEOL} が I G F E T のゲート電極が夫々ソース延長部及びドレイン延長部とオーバーラップする量を表すものとする。I G F E T 1 0 0 のゲート電極 2 6 2 がドレイン延長部 2 4 2 E とオーバーラップする量 x_{DEOL} は、ゲート電極 2 6 2 がソース延長部 2 4 0 E とオーバーラップする量 x_{SEOL} を著しく超えている。ゲート電極オーバーラップ x_{SEOL} 及び x_{DEOL} は I G F E T 1 0 0 に対して図 1 2 に示してある。I G F E T 1 0 0 のゲート対ドレイン延長部オーバーラップ x_{DEOL} は、そのゲート対ソース延長部オーバーラップ x_{SEOL} よりも、通常少なくとも 2 0 %、好適には少なくとも 3 0 %、より好適には少なくとも 5 0 %、一層大きい。

30

【0201】

ゲート電極 2 6 2 のドレイン側端部近くのゲート誘電体物質の品質は、通常、不幸なことに、ゲート誘電体物質の残部の品質ほど良好なものでは無い。基準 I G F E T の S / D 延長部が、ソース延長部 2 4 0 E がゲート電極 2 6 2 下側を横方向に延在するのと同じ量だけゲート電極下側を横方向に延在する状態と比較して、ドレイン延長部 2 4 2 E がゲート電極 2 6 2 下側を横方向に延在する一層大きな量は、ドレイン延長部 2 4 2 E を介しての電流の流れを、基準 I G F E T のドレイン延長部におけるよりも垂直方向に更に広げさせることを可能とする。ドレイン延長部 2 4 2 E における電流密度は更に減少される。このことは、基準 I G F E T のドレイン延長部におけるよりも、ドレイン延長部 2 4 2 E における衝突イオン化を更により少ないものとさせることとなる。ゲート誘電体層 2 6 0 内へのホットキャリア注入の量は更に一層減少される。減少されたドーピング、一層大きな深さ、及びドレイン延長部 2 4 2 E の一層大きなゲート・電極オーバーラップに起因して、I G F E T 1 0 0 はゲート誘電体 2 6 0 内への損傷が発生するようなホットキャリア注入の影響を受けることは非常に小さく、それにより I G F E T 1 0 0 のスレッショールド電圧を動作時間に関して非常に安定なものとさせることを可能とさせる。

40

【0202】

上部半導体表面に沿って I G F E T のチャンネルゾーンが終端される一層軽度、ドーピングされている横方向ソース延長部及びドレイン延長部と夫々選択的な主要ソース及びドレイン

50

ン部分を具備する I G F E T に対して、 $y_{S M}$ 及び $y_{D M}$ が主要ソース及びドレイン部分の夫々の最大深さを表すものとする。I G F E T 1 0 0 の主要ドレイン部分 2 4 2 M の深さ $y_{D M}$ は、典型的に、主要ソース部分 2 4 0 M の深さ $y_{S M}$ とほぼ同じである。I G F E T 1 0 0 に対する深さ $y_{S M}$ 及び $y_{D M}$ の各々は、通常 $0.08 - 0.20 \mu m$ で、典型的には $0.14 \mu m$ である。ハローポケット部分 2 5 0 を画定する P 型ドーパントが存在するために、I G F E T 1 0 0 の主要ソース部分深さ $y_{S M}$ はその主要ドレイン部分深さ $y_{D M}$ よりも僅かに小さいものとするのが可能である。

【0203】

I G F E T 1 0 0 の主要ソース部分 2 4 0 M は、図 1 1 - 1 及び 1 2 の例においては、ソース延長部 2 4 0 E よりも一層深くに延在している。従って、I G F E T 1 0 0 の主要ソース部分深さ $y_{S M}$ はそのソース延長部深さ $y_{S E}$ を越えている。対照的に、I G F E T 1 0 0 のドレイン延長部深さ $y_{D E}$ はその主要ドレイン部分深さ $y_{D M}$ を越えている。従って、I G F E T 1 0 0 のドレイン延長部深さ $y_{D E}$ はその主要延長部ドレイン部分深さ $y_{D M}$ を越えている。又、ドレイン延長部 2 4 2 E は主要ドレイン部分 2 4 2 M の下側を横方向に延在している。

【0204】

y_S 及び y_D が、夫々、I G F E T のソース及びドレインの最大深さを表すものとする。深さ y_S 及び y_D は I G F E T のソース・ボディ及びドレイン・ボディ P N 接合、即ち、I G F E T 1 0 0 に対してはソース・ボディ接合 2 4 6 及びドレイン・ボディ接合 2 4 8、の夫々の最大深さである。図 1 1 - 1 及び 1 2 の例においては、I G F E T 1 0 0 の主要ソース部分深さ $y_{S M}$ がそのソース延長部深さ $y_{S E}$ を越えているので、I G F E T 1 0 0 のソース深さ y_S はその主要ソース部分深さ $y_{S M}$ と等しい。一方、I G F E T 1 0 0 のドレイン深さ y_D は、この例においては、そのドレイン延長部深さ $y_{D E}$ と等しい。何故ならば、I G F E T 1 0 0 のドレイン延長部深さ $y_{D E}$ はその主要ドレイン部分深さ $y_{D M}$ を越えているからである。

【0205】

I G F E T 1 0 0 のソース深さ y_S は通常 $0.08 - 0.20 \mu m$ であり、典型的に $0.14 \mu m$ である。I G F E T 1 0 0 のドレイン深さ y_D は通常 $0.10 - 0.22 \mu m$ であり、典型的に $0.16 \mu m$ である。I G F E T 1 0 0 のドレイン深さ y_D は、通常、そのソース深さ y_S を $0.01 - 0.05 \mu m$ 、典型的には $0.02 \mu m$ だけ越えている。更に、I G F E T 1 0 0 のソース延長部深さ $y_{S E}$ は通常 $0.01 - 0.10 \mu m$ であり、典型的に $0.04 \mu m$ である。I G F E T 1 0 0 のドレイン延長部深さ $y_{D E}$ は $0.10 - 0.22 \mu m$ であり、典型的に $0.16 \mu m$ である。従って、I G F E T 1 0 0 のドレイン延長部深さ $y_{D E}$ は、典型的に、そのソース延長部深さ $y_{S E}$ の約 4 倍であり、且つ、いずれの場合においても、典型的に、そのソース延長部深さ $y_{S E}$ の 3 倍を越えている。

【0206】

D 3. 非対称的高電圧 N チャンネル I G F E T のソース／ドレイン延長部における異なるドーパント

非対称的 N チャンネル I G F E T 1 0 0 のソース延長部 2 4 0 E における N 型浅いソース延長部ドーパント及びそのドレイン延長部 2 4 2 E における N 型ディープ S / D 延長部ドーパントは、同じ原子種とすることが可能である。例えば、これらの N 型ドーパントの両方は砒素とすることが可能である。代替的に、両方の N 型ドーパントを燐とすることが可能である。

【0207】

I G F E T 1 0 0 の特性、特にゲート誘電体層 2 6 0 内へのホットキャリア注入を回避する能力、は、ソース延長部 2 4 0 E における N 型浅いソース延長部ドーパントがドレイン延長部 2 4 2 E における N 型ディープ S / D 延長部ドーパントよりも一層高い原子量のものであるように選択される場合に、向上される。そのために、N 型ディープ S / D 延長

10

20

30

40

50

部ドーパントは1個の5a族元素であり、一方N型浅いソース延長部ドーパントは、N型ディープS/D延長部ドーパントとして使用される5a族元素よりも一層高い原子量の別の5a族元素である。好適には、N型ディープS/D延長部ドーパントは5a族元素の燐であり、一方N型浅いソース延長部ドーパントは一層高い原子量の5a族元素の砒素である。N型浅いソース延長部ドーパントは、一層高い原子量の5a族元素であるアンチモンとすることも可能である。その場合には、N型ディープS/D延長部ドーパントは砒素又は燐である。

【0208】

イオン注入される半導体ドーパントはレンジ (range) とストラグル (straggle) によって特性付けされる。レンジとはイオン注入された物質内におけるドーパントの原子によって移動される平均距離である。ストラグルとは、そのレンジの標準偏差である。換言すると、ストラグルは、ドーパント原子によって移動される実際の距離がドーパント原子によって移動される平均距離からの差異の標準量である。その一層高い原子量のために、N型浅いソース延長部ドーパントは、同じイオン注入エネルギー又はモノシリコンにおける同じレンジにおいてN型ディープS/D延長部ドーパントよりもモノシリコン内においてのストラグルは一層少ない。

10

【0209】

更に、N型浅いソース延長部ドーパントの一層高い原子量は、N型ディープS/D延長部ドーパントよりも一層低い拡散係数を有するものとさせる。同じ熱処理に露呈された場合に、N型浅いソース延長部ドーパントの原子は、N型ディープS/D延長部ドーパントの原子よりも、IGFET100のモノシリコン内においての拡散はより少ない。N型浅いソース延長部ドーパントの一層低いストラグル及び一層低い拡散係数は、IGFET1100のソース抵抗を減少させる。その結果、IGFET100は一層多くの電流を導通させる。そのトランスコンダクタンスが有益的に増加される。

20

【0210】

N型ディープソース延長部ドーパントの一層低いストラグル及び一層低い拡散は、ソース延長部240Eに一層シャープなドーパント濃度分布を与える。このことは、ハローポケット部分250とソース延長部240Eとの間の相互作用を改善する。実質的に同じ製造パラメータに従ってIGFET100の複数ユニットの製造期間中に、ユニット毎の変動はより少なく且つ一層良好なIGFETマッチングが得られる。一方、N型ディープS/D延長部ドーパントの一層高いストラグル及び一層大きな拡散は、ドレイン延長部242Eに一層ソフトな（一層拡散した）ドーパント濃度分布を与える。ドレイン延長部242Eにおけるピーク電界は上述したものよりも更に一層減少される。IGFET100の高電圧信頼性がかなり改善される。

30

【0211】

D4. 非対称的高電圧NチャンネルIGFETにおけるドーパント分布

非対称的高電圧NチャンネルIGFET100のソース240に沿ってのハローポケット部分250の存在は、チャンネルゾーン244を、上述した如く、非対称的で長手方向にドーパントをグレイデッド即ち勾配を付けたものとさせる。ソース延長部ドーピングよりも一層軽度のドレイン延長部ドーピング、ソース延長部深さよりも一層大きなドレイン延長部深さ、及びゲート電極対ソース延長部オーバーラップよりも一層大きなゲート電極対ドレイン延長部オーバーラップは、IGFET100に更なる非対称性を与える。上述した如く、ボディ物質180はエンプティ (empty) ウェル即ち空のウェルである。IGFET100のドーピング非対称性及びボディ物質180の空のウェルドーピング特性の更なる理解は、図13(a) - (c) (集約的に「図13」)、図14(a) - (c) (集約的に「図14」)、図15(a) - (c) (集約的に「図15」)、図16(a) - (c) (集約的に「図16」)、図17(a) - (c) (集約的に「図17」)、及び図18(a) - (c) (集約的に「図18」) を助けを借りて簡単化される。

40

【0212】

50

図13はIGFET100に対して長手方向距離 x の関数としての上部半導体表面に沿っての例示的なドーパント濃度を提示している。図13に提示されている曲線は、チャンネルゾーン244における非対称的長手方向ドーパントグレーディング及びドレイン延長部242Eがソース延長部240Eよりもゲート電極262下側を更に延在することから発生するS/D延長部非対称性の例を例示している。

【0213】

図14-18は、IGFET100に対する例示的な垂直ドーパント濃度情報を提示している。主要ソース部分240M及び空のウェル主要ボディ物質部分254を介して仮想的垂直線274Mに沿っての深さの関数としての例示的なドーパント濃度が図14に提示されている。図15は、ゲート電極262のソース側及びソース延長部240Eを介しての仮想的垂直線274Eに沿っての深さ y の関数としての例示的なドーパント濃度を提示している。チャンネルゾーン244及び主要ボディ物質部分254を介しての仮想的垂直線276に沿っての深さ y の関数としての例示的なドーパント濃度が図16に提示されている。ハローポケット部分250及びドレイン242の間の垂直位置を介して垂直線276が通過している。図17は、ゲート電極262のドレイン側でドレイン電極242Eを介しての仮想的垂直線278Eに沿っての深さ y の関数としての例示的なドーパント濃度を提示している。主要ドレイン部分242M及びボディ物質部分254を介しての仮想的垂直線278Mに沿っての深さ y の関数としての例示的なドーパント濃度が図18に提示されている。

【0214】

夫々、主要ソース部分240M、チャンネルゾーン244、及び主要ドレイン部分242Mに対する図14、16、18に提示されている曲線は、主要ボディ物質部分254及びハローポケット部分250によって形成されるボディ物質180の空のウェルドーピング特性の例を主に例示している。夫々、ソース延長部240E及びドレイン延長部242Eに対する図15及び17に提示されている曲線は、ドレイン延長部242Eが一層軽度に変傾されており且つソース延長部240Eよりも一層深くに延在していることから発生するS/D延長部非対称性の1例を主に例示している。PN接合224におけるボディ物質180の底部がソース延長部240E及びドレイン延長部242Eの底部よりもかなり下側にあるので、図15及び17は図14、16、18よりも一層小さな深さスケールにある。

【0215】

図13(a)は、主として領域136、210、240M、240E、242M、242E、250、254を画定しており、従ってチャンネルゾーン244の非対称的長手方向ドーパントグレーディング及びソース延長部240Eとドレイン延長部242Eにわたるゲート電極262のオーバーラップの非対称的性質を確立している個別的半導体ドーパントの上部半導体表面に沿っての濃度 N_I を特に示している。図14a、15a、16a、17a、18aは、特に、領域136、210、240M、240E、242M、242E、250、254を垂直方向に画定し、従って、夫々、(a)主要ソース部分240M及び空のウェル主要ボディ物質部分254の下側に存在する物質、(b)ソース延長部240M、(c)チャンネルゾーン244及び主要ボディ物質部分254の下側に存在する物質、即ち外側ハローポケット部分250、(d)ドレイン延長部242E、及び(e)主要ドレイン部分242M及びボディ物質部分254の下側に存在する物質、における垂直ドーパント分布を確立する、個別的な半導体ドーパントの仮想的垂直線174M、174E、276、278E、278Mに沿っての濃度 N_I を例示している。

【0216】

図13a、14a、15a、16a、17a、18aにおける曲線210'、240M'、240E'、242M'、242E'は、ディープNウェル210、主要ソース部分240M、ソース延長部240E、主要ドレイン部分242M、及びドレイン延長部242Eを夫々形成するために使用されたN型ドーパントの濃度 N_I （表面及び垂直）を表している。曲線136'、250'、254'は、基板領域136、ハローポケット250

10

20

30

40

50

、及び空のウェル主要ボディ物質部分 2 5 4 を夫々形成するために使用した P 型ドーパントの濃度 N_I (表面及び垂直) を表している。品目 2 4 6 #, 2 4 8 #, 2 2 4 # は、どこで正味ドーパント濃度 N_N がゼロとなるかを表しており、従って、夫々、ソース・ボディ接合 2 4 6、ドレイン・ボディ接合 2 4 8、及び P 型空の主要ウェル領域 1 8 0 とディープ N ウェル領域 2 1 0 との間の分離用 P N 接合 2 2 4 の位置を表している。

【0 2 1 7】

上部半導体表面に沿っての領域 2 4 0 M, 2 4 0 E, 2 4 2 M, 2 4 2 E, 2 5 0, 2 5 4 における全 P 型及び全 N 型ドーパントの濃度 N_T が図 1 3 b に示されている。図 1 4 b, 1 5 b, 1 6 b, 1 7 b, 1 8 b は、垂直線 2 7 4 M, 2 7 4 E, 2 7 6, 2 7 8 E, 2 7 8 M に沿っての領域 1 3 6, 2 1 0, 2 4 0 M, 2 4 0 E, 2 4 2 M, 2 4 2 E, 2 5 0, 2 5 4 における全 P 型及び全 N 型ドーパントの濃度 N_T を種々に図示している。領域 1 3 6, 2 5 0, 2 5 4 に夫々対応する曲線セグメント 1 3 6 ", 2 5 0 ", 2 5 4 " は、P 型ドーパントの全濃度 N_T を表している。図 1 3 b における品目 2 4 4 " はチャンネルゾーン 2 4 4 に対応しており且つ曲線セグメント 2 5 0 " 及び 2 5 4 " のチャンネルゾーン部分を表している。図 1 4 b, 1 5 b, 1 6 b, 1 7 b, 1 8 b における品目 1 8 0 " は空のウェルボディ物質 1 8 0 に対応している。

【0 2 1 8】

図 1 4 b, 1 5 b, 1 6 b, 1 7 b, 1 8 b における曲線 2 4 0 M ", 2 4 0 E ", 2 4 2 M ", 2 4 2 E " は、夫々、主要ソース部分 2 4 0 M, ソース延長部 2 4 0 E、主要ドレイン部分 2 4 2 M 及びドレイン延長部 2 4 2 E に対応しており且つ N 型ドーパントの全濃度 N_T を表している。図 1 3 b 及び 1 4 b における品目 2 4 0 " はソース 2 4 0 に対応しており且つ曲線セグメント 2 4 0 M " 及び 2 4 0 E " の結合を表している。図 1 3 b 及び 1 8 b における品目 2 4 2 " はドレイン 2 4 2 に対応しており且つ曲線セグメント 2 4 2 M " 及び 2 4 2 E " の結合を表している。品目 2 4 6 #, 2 4 8 #, 2 2 4 # は、夫々、接合 2 4 6, 2 4 8, 2 2 4 の位置を表している。図 1 5 b における曲線 2 1 0 " は図 1 6 a における曲線 2 1 0 ' と同じである。図 1 7 b における曲線 2 5 4 " は図 1 7 a における曲線 2 5 4 ' とほぼ同じである。

【0 2 1 9】

図 1 3 c は上部半導体表面に沿っての正味ドーパント濃度 N_N を示している。垂直線 2 7 4 M, 2 7 4 E, 2 7 6, 2 7 8 E, 2 7 8 M に沿っての正味ドーパント濃度 N_N が夫々の図 1 4 c, 1 5 c, 1 6, 1 7 c, 1 8 c に提示されている。曲線セグメント 2 5 0 * 及び 2 5 4 * が夫々の領域 2 5 0 及び 2 5 4 における P 型ドーパントの正味濃度 N_N を表している。図 1 3 c における品目 2 4 4 * は、チャンネルゾーン曲線セグメント 2 5 0 * 及び 2 5 4 * の結合を表しており、従ってチャンネルゾーン 2 4 4 における正味 P 型ドーパントの濃度 N_N を提示している。図 1 4 c, 1 5 c, 1 6 c, 1 7 c, 1 8 c における品目 1 8 0 * は空のウェルボディ物質 1 8 0 に対応している。

【0 2 2 0】

主要ソース部分 2 4 0 M、ソース延長部 2 4 0 E、主要ドレイン部分 2 4 2 M、及びドレイン延長部 2 4 2 E における正味 N 型ドーパントの濃度 N_N は、夫々、図 1 3 c、1 4 c、1 5 c、1 6 c、1 7 c、1 8 c における曲線セグメント 2 4 0 M *, 2 4 0 E *, 2 4 2 M *, 2 4 2 E * によって表されている。図 1 3 c 及び 1 4 c における品目 2 4 0 * はソース 2 4 0 に対応しており且つ曲線セグメント 2 4 0 M * 及び 2 4 0 E * の結合を表している。図 1 3 c 及び 1 8 c における品目 2 4 2 * はドレイン 2 4 2 に対応しており且つ曲線セグメント 2 4 2 M * 及び 2 4 2 E * の結合を表している。

【0 2 2 1】

図 1 3 に示されているように、上部半導体表面に沿ってのドーパント分布について、I G F E T 1 0 0 のドーピング非対称性及びボディ物質 1 8 0 の空のウェルドーピング特性を更に調べて、検討する。ディープ N ウェル 2 1 0 を画定するディープ N ウェルドーパントの濃度 N_I は上部半導体表面に沿って非常に低く、 1×10^{14} 原子数 / cm^3 未満であり、ディープ N ウェル 2 1 0 は実効的に上部半導体表面に到達するものではない。従っ

10

20

30

40

50

て、ディープNウェル210に対する濃度 N_I 、 N_T 、 N_N を表す参照記号210'、210"、210*は図13には表れない。更に、ディープNウェルドーパントは、上部半導体表面に沿ってか又は下側に拘わらずに、ソース240、チャンネルゾーン244、又はドレイン242のドーパント特性に何らの著しい影響を与えるものではない。

【0222】

主要ソース部分240M及び主要ドレイン部分242Mを画定する場合に使用したN型主要S/Dドーパントに対して上部半導体表面に沿っての濃度 N_I は、図13aにおいて夫々の曲線240M'及び242M'によって表されている。図13aにおける曲線240E'によって表される上部半導体表面に沿っての濃度 N_I を有するN型浅いソース延長部ドーパントは主要ソース部分240M中に存在している。図13aにおける曲線242E'によって表される上部半導体表面に沿っての濃度 N_I を有するN型ディープS/D延長部ドーパントは、同様に、主要ドレイン部分242M内に存在する。曲線240E'及び242E'に対しての夫々曲線240M'及び242M'の比較は、上部半導体表面に沿ってのソース240及びドレイン242における全N型ドーパントの濃度 N_T の最大値は、夫々、図13bにおける曲線セグメント240M"及び242M"によって夫々示されているように、主要ソース部分240M及び主要ドレイン部分242Mにおいて発生すること、を示している。

【0223】

図13aにおける曲線136'及び254'によって夫々表されている上部半導体に沿っての濃度 N_I を有する空の主要ウェルドーパント及びP型バックグラウンドドーパントがソース240及びドレイン242の両方に存在している。更に、図13aにおける曲線250'によって表されている上部半導体表面に沿っての濃度 N_I を有するP型ソースハロドーパントがドレイン242内ではなくソース240内に存在している。

【0224】

図13bを図13aと比較すると、図13bにおいて夫々の曲線240"及び242"によって表されているソース240及びドレイン242の両方における全N型ドーパントの上部表面濃度 N_T が、ソース・ボディ接合246及びドレイン・ボディ接合248の近くを除いて、図13aにおける夫々の曲線136'、250'、254'によって表されているP型バックグラウンド、ソースハロー、及び空の主要ウェルドーパントの上部表面濃度 N_I の和よりもかなり一層大きいことを示している。正味ドーパント濃度 N_N が接合246及び248においてゼロへ移行する場合には、ソース240及びドレイン242における全N型ドーパントの上部表面濃度 N_T は、図13cにおける曲線セグメント240M*及び242M*によって夫々表されているソース240及びドレイン242における正味N型ドーパントの上部表面濃度 N_N において大部分が夫々反映される。従って、上部半導体表面に沿ってのソース240及びドレイン242における正味ドーパント濃度 N_N の最大値は、夫々、主要ソース部分240M及び主要ドレイン部分242Mにおいて発生する。

【0225】

曲線部分240M*及び242M*によって更に表されるように、N++主要ソース部分240M及びN++主要ドレイン部分242Mにおける正味ドーパント濃度 N_N の最大値は上部半導体表面に沿ってほぼ同じであり、通常は少なくとも 1×10^{20} 原子数/cm³であり、典型的には 4×10^{20} 原子数/cm³である。主要ソース部分240M及び主要ドレイン部分242Mにおける上部表面濃度 N_N の最大値は、容易に、少なくとも $1 \times 10^{19} - 3 \times 10^{19}$ 原子数/cm³程度に低下することが可能である。主要ソース部分240Mは主要ドレイン部分242Mよりも僅かに一層高度にドーブさせることが可能である。従って、主要ソース部分240Mにおける正味上部表面ドーパント濃度 N_n の最大値は、主要ドレイン部分242Mにおける正味上部表面ドーパント濃度 N_N の最大値を越える。

【0226】

上部半導体表面に沿って主要ソース部分240Mからソース延長部240Eへ移る場合

に、ソース２４０における全Ｎ型ドーパントの濃度 N_T は主要ソース部分２４０Ｍにおける最大値から図１３ｂにおける複合ソース曲線２４０”によって示されているようにソース延長部２４０Ｅにおける一層低い値へ降下する。複合ドレイン曲線２４２”は、同様に、ドレイン２４２における全Ｎ型ドーパントの濃度 N_T が、上部半導体表面に沿って主要ドレイン部分２４２Ｍからドレイン延長部２４２Ｅへ移る場合に、主要ドレイン部分２４２Ｍにおける最大値からドレイン延長部２４２Ｅにおける一層低い値へ降下することを示している。ソース延長部２４０Ｅ及びドレイン延長部２４２Ｅにおけるこれら２つの一層低い N_T 値は以下に説明するように異なる。

【０２２７】

ソース延長部２４０Ｅ及びドレイン延長部２４２Ｅは、上述した如く、通常、Ｎ型浅いソース延長部及びディープＳ／Ｄ延長部ドーパントの夫々のイオン注入によって画定される。イオン注入が、（ａ）ソース延長部２４０Ｅにおける深さ y_{SEPK} における最大全Ｎ型ドーパント濃度がドレイン延長部２４２Ｅにおける深さ y_{DEPK} における最大全Ｎ型ドーパント濃度の通常少なくとも２倍、好適には少なくとも４倍、より好適には少なくとも１０倍、更により好適には少なくとも２０倍であり、且つ（ｂ）ドレイン延長部２４２Ｅの最大ドーパント濃度深さ y_{DEPK} がソース延長部２４０Ｅの最大ドーパント濃度深さ y_{SEPK} の通常少なくとも１０％、好適には少なくとも２０％、更に好適には少なくとも３０％一層大きいように、実施される場合に、ソース延長部２４０Ｅの上部表面に沿って曲線２４０Ｅ’によって表されるＮ型浅いソース延長部ドーパントの濃度 N_I の最大値は、図１３ａに示されているように、ドレイン延長部２４２Ｅの上部表面に沿って曲線２４２Ｅ’によって表されているＮ型ディープＳ／Ｄ延長部ドーパントの濃度 N_I の最大値を著しく越える。ソース延長部２４０ＥにおけるＮ型浅いソース延長部ドーパントの上部表面濃度 N_I の最大値は、ドレイン延長部２４２ＥにおけるＮ型ディープＳ／Ｄ延長部ドーパントの上部表面濃度 N_I の最大値の、通常少なくとも２倍、好適には少なくとも３倍、より好適には少なくとも５倍、典型的には１０倍である。

【０２２８】

Ｐ型バックグラウンドドーパントの濃度 N_I は、Ｎ型浅いソース延長部ドーパントの濃度 N_I 及びＮ型ディープＳ／Ｄ延長部ドーパントの濃度 N_I と比較して非常に低いので、上部半導体表面に沿ってのＮ型ディープＳ／Ｄ延長部ドーパントの濃度 N_I に対するＮ型浅いソース延長部ドーパントの濃度 N_I の比は、図１３ｂ及び１３ｃに夫々示されているように、全ドーパント濃度 N_T 及び正味ドーパント濃度 N_N において実質的に反映されている。その結果、正味Ｎ型ドーパントの濃度 N_N の最大値は、ドレイン延長部２４２Ｅの上部表面に沿ってよりもソース延長部２４０Ｅの上部表面に沿って、著しく一層大きく、通常は少なくとも２倍であり、好適には少なくとも３倍であり、より好適には少なくとも５倍であり、典型的には１０倍である。ソース延長部２４０Ｅにおける上部表面濃度 N_N の最大値は通常は $1 \times 10^{19} - 2 \times 10^{20}$ 原子数／ cm^3 であり、典型的に 4×10^{19} 原子数／ cm^3 である。従って、ドレイン延長部２４２Ｅにおける上部表面濃度 N_N の対応する最大値は通常は $1 \times 10^{18} - 2 \times 10^{19}$ 原子数／ cm^3 であり、典型的には 4×10^{18} 原子数／ cm^3 である。

【０２２９】

垂直線２７４Ｅ及び２７８Ｅに夫々沿ってのソース延長部２４０Ｅ及びドレイン延長部２４２Ｅにおける垂直ドーパント分布については、ソース延長部２４０Ｅを介しての垂直線２７４Ｅは主要ソース部分２４０Ｍから十分に離れており、主要ソース部分２４０Ｍを画定するＮ型主要Ｓ／Ｄドーパントは線２７４Ｅに沿って全Ｎ型ドーパント濃度 N_N に何らの著しい影響を与えるものではない。従って、図１５ａにおける曲線２４０Ｅ’は曲線２４０Ｅ”とほぼ同一であり、それは、図１５ｂにおいて、ソース延長部２４０Ｅにおける全Ｎ型ドーパントの濃度 N_T を表している。その結果、Ｎ型浅いソース延長部ドーパントの濃度 N_I が線２７４Ｅに沿ってその最大値に到達する深さは、ソース延長部２４０Ｅにおける全Ｎ型ドーパント濃度 N_T の最大値における深さ y_{SEPK} にほぼ等しい。

【０２３０】

図15aにおける曲線240E'上の小円は、ソース延長部240EにおけるN型浅いソース延長部ドーパントの濃度 N_I の最大値の深さ y_{SEPK} を表している。ソース延長部240Eにおける深さ y_{SEPK} における最大 N_I ドーパント濃度は通常は $1 \times 10^{19} - 6 \times 10^{20}$ 原子数/cm³であり、典型的には 1.2×10^{20} 原子数/cm³である。

【0231】

同様の態様で、ドレイン延長部242Eを介しての垂直線278Eは主要ドレイン部分242Mから十分に離れているので、主要ドレイン部分242Mを画定するN型主要S/Dドーパントは線278Eに沿っての全N型ドーパント濃度 N_N に何らの顕著な影響を与えるものではない。従って、図17aにおける曲線242E'は、図17bにおいて、ドレイン延長部242Eにおける全N型ドーパントの濃度 N_T を表す曲線242E"とほぼ同一である。その結果、N型ディープS/D延長部ドーパントの濃度 N_I が線274Eに沿ってその最大値に到達する深さは、ドレイン延長部242Eにおける全N型ドーパント濃度 N_T の最大値の深さ y_{DEPK} にほぼ等しい。

【0232】

図17aにおける曲線242E'上の小円は、同様に、ドレイン延長部242EにおけるN型ディープS/D延長部ドーパントの濃度 N_I の最大値の深さ y_{DEPK} を表している。ドレイン延長部242Eにおける深さ y_{DEPK} における最大 N_I ドーパント濃度は $5 \times 10^{17} - 6 \times 10^{19}$ 原子数/cm³であり、典型的には 3.4×10^{18} 原子数/cm³である。

【0233】

N型浅いソース延長部ドーパントの濃度 N_I の最大値の深さ y_{SEPK} を表す小円が付けられた曲線240E'は、図17aにおいて点線形式で繰返し示されている。そこに示されているように、ドレイン延長部242Eに対する深さ y_{DEPK} はソース延長部240Eに対する深さ y_{SEPK} よりも著しく一層大きい。図17aは、深さ y_{DEPK} が深さ y_{SEPK} よりも30%を越えて一層大きい場合の例を提示している。

【0234】

図17aは、又、ソース延長部240Eにおける深さ y_{SEPK} におけるN型浅いソース延長部ドーパントの濃度 N_I の最大値は、ドレイン延長部242Eにおける深さ y_{DEPK} におけるN型ディープS/D延長部ドーパントの濃度 N_I の最大値よりも著しく一層大きいことを示している。図15及び17の例においては、深さ y_{SEPK} におけるN型浅いソース延長部ドーパントの最大濃度は、深さ y_{DEPK} におけるN型ディープS/D延長部ドーパントの最大濃度の30倍と40倍との間である。

【0235】

図15b及び17bにおける曲線240E"及び242E"上の小円は、夫々、深さ y_{SEPK} 及び y_{DEPK} を表している。深さ y_{SEPK} を表す小円を有する曲線240E"は、図17bにおいて点線形式で繰返し示されている。曲線240E"及び242E"は夫々図15及び17の例における曲線240E'及び242E'とほぼ同一であるので、この例におけるソース延長部240Eにおける深さ y_{SEPK} における全N型ドーパントの最大濃度は、ドレイン延長部242Eにおける深さ y_{DEPK} における全N型ドーパントの最大濃度の30倍と40倍との間にある。

【0236】

図15c及び17cにおいて、ソース延長部240E及びドレイン延長部242Eにおける正味N型ドーパントの正味濃度 N_N を夫々表している曲線240E*及び242E*は深さ y_{SEPK} 及び y_{DEPK} を表すための夫々の小円を有している。深さ y_{SEPK} を表す小円を有する曲線240E*は図17cにおいて点線形式で繰返し示されている。

【0237】

暫時図17aに戻ると、ドレイン延長部242EにおけるN型ディープS/D延長部ドーパントの分布は、曲線242E'及び240E'の形状によって示されるように、ソース延長部240EにおけるN型浅いソース延長部ドーパントの分布よりも著しく垂直方向

10

20

30

40

50

に広がっている。曲線 2 4 2 E' 及び 2 4 0 E' が図 1 5 及び 1 7 の例における曲線 2 4 2 E' 及び 2 0 4 E' と夫々ほぼ同一であるので、ドレイン延長部 2 4 2 E を介しての垂直線 2 7 8 E に沿っての全 N 型ドーパントの分布は、同様に、図 1 7 b における曲線 2 4 2 E' 及び 2 4 0 E' によって示されるように、ソース延長部 2 4 0 E を介しての垂直線 2 7 4 E に沿っての全 N 型ドーパントの分布よりも垂直方向に著しく一層に広がっている。図 1 7 c に示されているように、このことはドレイン延長部 2 4 2 E の深さ y_{DE} をソース延長部 2 4 0 E の深さ y_{SE} を著しく越えるものとさせている。IGFET 1 0 0 のドレイン延長部深さ y_{DE} は、図 1 5 及び 1 7 の例においては、そのソース延長部深さ y_{SE} の 2 倍を越えている。

【0 2 3 8】

ソース 2 4 0 を画定する N 型主要 S/D ドーパントは、主要ソース部分 2 4 0 M に適当に近く、従って垂直線 2 7 4 E よりもソース部分 2 4 0 M へ一層近い位置においてソース延長部 2 4 0 E を介して通過する仮想的垂直線に沿ってのソース延長部 2 4 0 E における全 N 型ドーパントの濃度 N_T に著しい影響を有している。その結果、該浅いソース延長部ドーパントの濃度 N_I がソース延長部 2 4 0 E を介してのその他の線に沿ってその最大値に到達する深さは、ソース延長部 2 4 0 E における全 N 型ドーパント濃度 N_T の最大値の深さ y_{SEPK} とは幾分異なる場合がある。同様に、ドレイン 2 4 2 を画定する N 型主要 S/D ドーパントは、主要ドレイン部分 2 4 2 M に適当に近く、従って垂直線 2 7 8 E よりもドレイン部分 2 4 2 M に一層近い位置においてドレイン延長部 2 4 2 E を介して通過する仮想的垂直線に沿ってのドレイン延長部 2 4 2 E における正味 N 型ドーパントの濃度 N_N に著しい影響を有している。N 型ディープ S/D 延長部ドーパントの濃度 N_I が、ドレイン延長部 2 4 2 E を介してのその他の線に沿ってその最大値に到達する深さは、同様に、ドレイン延長部 2 4 2 E における全 N 型ドーパント濃度 N_T の最大値の深さ y_{DEPK} から幾分異なる場合がある。しかしながら、線 2 7 4 E 及び 2 7 8 E に沿っての全及び正味ドーパント濃度特性は、一般的に、この様なその他の仮想的垂直線に沿っても満足されるものであるが、それは、それらの線が夫々主要 S/D 部分 2 4 0 M 及び 2 4 2 M に近すぎないまでである。

【0 2 3 9】

チャンネルゾーン 2 4 4 へ移ると、チャンネルゾーン 2 4 4 における非対称的グレイディング (grading) は、上述した如く、ソース 1 4 0 に沿ってのハローポケット部分 2 5 0 の存在から発生する。図 1 3 a は、ソース側ハローポケット 2 5 0 における P 型ドーパントは上部半導体表面に沿って 3 つの一次成分、即ち 3 つの別々のドーピング操作で供給される成分、を有している。これらの 3 つの一次 P 型ドーパント成分の内の一つは図 1 3 a において曲線 1 3 6' によって表されている P 型バックグラウンドドーパントである。該 P 型バックグラウンドドーパントは、通常、領域 2 1 0, 2 4 0, 2 4 2, 2 5 0, 2 5 4 を包含するモノシリコン物質の全てにわたり低いほぼ一様な濃度で存在している。該 P 型バックグラウンドドーパントの濃度は、通常、 $1 \times 10^{14} - 8 \times 10^{14}$ 原子数/ cm^3 であり、典型的には 4×10^{14} 原子数/ cm^3 である。

【0 2 4 0】

上部半導体表面に沿ってのハローポケット部分 2 5 0 における P 型ドーパントの 3 つの一次成分の内別のものは、図 1 3 a において曲線 2 5 4' によって表されている P 型空の主要ウェルドーパントである。該 P 型空の主要ウェルドーパントの濃度も上部半導体表面に沿って極めて低く、通常 $4 \times 10^{15} - 2 \times 10^{16}$ 原子数/ cm^3 であり、典型的には 6×10^{15} 原子数/ cm^3 である。これらの一次 P 型ドーピング成分の内 3 番目のものは図 1 3 a において曲線 2 5 0' によって表されている P 型ソースハロドーパントである。該 P 型ソースハロドーパントは、ハローポケット部分 2 5 0 を画定するために、高い上部表面濃度において与えられており、通常は $5 \times 10^{17} - 3 \times 10^{18}$ 原子数/ cm^3 であり、典型的には 1×10^{18} 原子数/ cm^3 である。P 型ソースハロドーパントの上部表面濃度の特定の値は IGFET 1 0 0 のスレッショールド電圧を設定するために臨界的に調節され、典型的には 5 % 以内の精度である。

【0241】

該P型ソースハロードーパントは、図13aに曲線250'で表しているように、ソース240内にも存在している。ソース240におけるP型ソースハロードーパントの濃度 N_I は、典型的に、その全上部表面に沿って実質的に一定である。ソース240から上部半導体表面に沿ってチャンネルゾーン244へ長手方向に移る場合に、P型ソースハロードーパントの濃度 N_I は、ソース240における実質的に一定レベルからソース240とドレイン242との間の位置において基本的にゼロへ減少する。

【0242】

上部半導体表面に沿ってのチャンネルゾーン244における全P型ドーパントがP型バックグラウンドドーパントと、空の主要ウェルドーパントと、上部表面に沿ってのソースハロードーパントとの和であるので、上部表面に沿っての全P型チャンネルゾンドーパントは図13bにおける曲線セグメント244"によって表される。曲線セグメント244"における変化は、ソース240からドレイン242へチャンネルゾーン244を横断して長手方向に移る場合に、上部表面に沿ってのゾーン244における全P型ドーパントの濃度 N_T は、ソース240におけるP型ソースハロードーパントの基本的に一定の値からソース240とドレイン242との間の位置におけるP型主要ウェルドーパントの低い上部表面の値へ降下し、次いでドレイン242への距離の残部に対してはその低い値に留まることを示している。

【0243】

P型ソースハロードーパントの濃度 N_I は、幾つかの実施例においては、ソース240からドレイン242への距離の一部に対して基本的に一定のソースレベルにあり且つ次いで前述した態様で減少する場合がある。その他の実施例においては、P型ソースハロードーパントの濃度 N_I は、ソース240の上部表面の一部のみに沿って基本的に一定のソースレベルにあり、次いでソース240の上部表面内の或る位置からソース・ボディ接合246へ上部半導体表面に沿って長手方向に移る場合に、減少する場合がある。そうである場合には、チャンネルゾーン244におけるP型ソースハロードーパントの濃度 N_I は、ドレイン242へ向かってゾーン244を横断して長手方向に移る場合に、ソース・ボディ接合246を交差する直後に減少する。

【0244】

上部半導体表面に沿ってのチャンネルゾーン244におけるP型ソースハロードーパントの濃度 N_I がソース240からドレイン242への距離の一部に対して基本的に一定のソースレベルにあるか無いかに関わらずに、上部表面に沿ってのゾーン244内の全P型ドーパントの濃度 N_T は、ゾーン244がソース240と合流する箇所においてよりもゾーン244がドレイン242と合流する箇所において一層低い。特に、チャンネルゾーン244における全P型ドーパントの濃度 N_T は、上部表面に沿ってのソース・ボディ接合246においてよりも、上部半導体表面に沿ってドレイン・ボディ接合248において、通常は少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも50の係数、一層低く、典型的には100の係数又はそれ以上一層低い。

【0245】

図13cは、曲線244*によって表されているように、上部半導体表面に沿ってのチャンネルゾーン244内の正味P型ドーパントの濃度 N_N が、上部表面に沿ってのゾーン244内の正味P型ドーパントの濃度 N_N がPN接合246及び248においてゼロへ降下していることを除いて、上部表面に沿ってのゾーン244内の全P型ドーパントの濃度 N_T と同様の態様で変化している、ことを示している。従って、チャンネルゾーン244のソース側は、ドレイン側と比較して、P型ドーパントの高い正味量を有している。チャンネルゾーン244におけるP型ドーパントの高いソース側量は、ソース・ボディ接合246に沿っての空乏領域のチャンネル側部分の厚さを減少させる。

【0246】

又、チャンネルゾーン244のソース側に沿っての高いP型ドーパント濃度は、ソース240をドレイン242における比較的高い電界から遮蔽する。このことが発生する理由

10

20

30

40

50

は、ドレイン 242 からの電界線が、ソース 240 に沿っての空乏領域内のイオン化されたドーパント原子上で終端し且つ電子に対する電位障壁を有害に低下させる代わりに、ハローポケット部分 250 内のイオン化された P 型ドーパント原子上で終端するからである。ソース・ボディ接合 246 に沿っての空乏領域は、ドレイン・ボディ接合 248 に沿っての空乏領域へパンチスルーすることが阻止される。チャンネルゾーン 244 におけるソース側 P 型ドーパントの量を適切に選択することにより、IGFET 100 においてパンチスルーが回避される。

【0247】

ハローポケット部分 250 及び空のウェル主要ボディ物質部分 254 で形成される P 型空の主要ウェル領域 180 の特性を図 14, 16, 18 を参照して検討する。チャンネルゾーン 244 の場合のように、P 型主要ウェル領域 180 における全 P 型ドーパントは、図 14a, 16a, 18a における曲線 136', 250', 254' によって夫々表されている P 型バックグラウンドドーパントと、ソースハロドーパントと、空の主要ウェルドーパントとから構成されている。ハローポケット部分 250 近くを除いて、主要ボディ物質部分 254 における全 P 型ドーパントは、P 型バックグラウンドドーパントと空の主要ウェルドーパントとのみから構成されている。

【0248】

上述した如く、P 型空の主要ウェル領域 180 は、P 型空の主要ウェルドーパントのイオン注入に起因してほぼ平均深さ y_{PWPK} においてディープ局所的濃度最大を有している。この P 型局所的濃度最大は、ウェル領域 180 を完全に横方向に横断して、従って主要ボディ物質部分 254 を完全に横方向に横断して延在する表面下位置に沿って発生する。ほぼ深さ y_{PWPK} における P 型濃度最大の位置はチャンネルゾーン 244 下側であり、通常はソース 240 及びドレイン 242 の各々の全ての下側であり、且つ通常はハローポケット部分 250 の下側である。

【0249】

P 型空の主要ウェルドーパントの最大濃度の位置における平均深さ y_{PWPK} は、IGFET 100 のソース・ボディ接合 246 及びドレイン・ボディ接合 248 の最大深さ y_s 及び y_d を越えている。その結果、主要ボディ物質部分 254 の一部は、ソース 240 と P 型空の主要ウェルドーパントの最大濃度の位置との間に位置されている。ボディ物質部分 254 の別の部分は、同様に、ドレイン 242 と P 型空の主要ウェルドーパントの最大濃度の位置との間に位置されている。

【0250】

より特定のには、IGFET 100 の主要ソース部分深さ y_{SM} 、ソース延長部深さ y_{SE} 、ドレイン延長部深さ y_{DE} 、及び主要ドレイン部分深さ y_{DM} は各々 P 型空の主要ウェル最大ドーパント濃度深さ y_{PWPK} よりも一層小さい。ドレイン延長部 242E は主要ドレイン部分 242M の全ての下側に存在しているので、P 型空のウェル主要ボディ物質部分 254 の一部は、深さ y_{PWPK} における P 型空の主要ウェルドーパントの最大濃度の位置と主要ソース部分 240M、ソース延長部 240E、ドレイン延長部 242E の各々との間に位置されている。P 型空の主要ウェル最大ドーパント濃度深さ y_{PEPK} は、IGFET 100 用のドレイン深さ y_d 、特にドレイン延長部深さ y_{DE} 、よりも 10 倍、好適には 5 倍、より好適には 4 倍、を越えて一層大きいものではない。図 18a における例においては、深さ y_{PWPK} はドレイン延長部深さ y_{DE} の 2 倍の近傍にある。

【0251】

図 18a において曲線 254' によって表されている P 型空の主要ウェルドーパントの濃度 N_I は、深さ y_{PWPK} における P 型空の主要ウェルドーパントの最大濃度の位置から、主要ボディ物質部分 254 の上側に存在する部分を介して、次いでドレイン 242 を介して、特に主要ドレイン部分 242M 下側に存在するドレイン延長部 242E の部分を介して次いで主要ドレイン部分 242M を介して、垂直線 278M に沿って、上部半導体表面へ上方へ移る場合に、少なくとも 10 の係数だけ、好適には少なくとも 20 の係数だけ、より好適には少なくとも 40 の係数だけ、減少する。図 18a は、P 型空の主要ウェル

10

20

30

40

50

ドーパントの濃度 N_I が、P型空の主要ウェルドーパントの最大濃度の位置 y_{PWPK} から、主要ボディ物質部分 254 の上側に存在する部分を介して次いでドレイン 242 を介して、線 278M に沿って上部半導体表面へ上方へ移る場合に、80 の係数を超えて、100 の係数の近傍で減少する例、を提示している。

【0252】

品目 248 # はドレイン・ボディ接合 248 を表していることに注意して、P型空の主要ウェルドーパントの濃度 N_I における減少は、深さ y_{PWPK} におけるP型空の主要ウェルドーパントの最大濃度から、垂直線 278M に沿ってドレイン 242 の底部における接合 248、特にドレイン延長部 242E の底部、へ上方に移る場合に、10 の係数未満だけ実質的に単調的であり且つ実質的に変曲無しである。図 18a は、P型空の主要ウェルドーパントの濃度 N_I が、ドレイン・ボディ接合 248 から線 278M に沿って上部半導体表面へ移る場合に、実質的に単調的に減少する例、を示している。ドレイン 242 の上部表面に沿ってP型空の主要ウェルドーパントの幾らかのパイルアップが発生する場合には、P型空の主要ウェルドーパントの濃度 N_I は、ドレイン・ボディ接合 248 から線 278M に沿って接合 248 の最大深さ y_D の 20% よりも上部半導体表面から離れることのない点へ移る場合に、実質的に単調的に減少する。上述した如く、IGFET 100 の場合には、ドレイン・ボディ接合深さ y_D はドレイン延長部深さ y_{DE} と等しい。

【0253】

P型空の主要ウェル領域 180 における全P型ドーパント濃度 N_T を表す曲線 180 " は、図 18b におけるセグメント 254 " 及び 236 " から構成されている。図 18b における曲線セグメント 254 " は、図 18a における曲線 254 ' 及び 136 ' の対応する部分の結合を表している。従って、図 18b における曲線セグメント 254 " は、P型ボディ物質部分 254 におけるバックグラウンドドーパントとP型空の主要ウェルドーパントとの和の濃度 N_N を表している。

【0254】

P型ソースハロドーパントは、深さ y_{PWPK} におけるP型濃度最大の位置に関して殆ど顕著な影響を有するものではない。P型バックグラウンドドーパントの濃度 N_I は、図 18a における曲線 136 ' 及び 254 ' によって表されているように、 y_{PWPK} よりも一層大きいものでは無い深さ y に対して、主要ドレイン部分 242M を介しての垂直線 278M に沿ってのP型空の主要ウェルドーパントの濃度 N_I と比較して、非常に小さい。 y_{PWPK} よりも一層大きいものでは無い深さ y に対して線 278M に沿ってのP型空の主要ウェルドーパントの濃度 N_I に対するP型バックグラウンドドーパントの濃度 N_I の一層高い比は、P型バックグラウンドドーパント対P型空の主要ウェルドーパント濃度の比が典型的に 0.1 の近傍にある場合に、上部半導体表面において発生する。深さ y_{PWPK} から線 278M に沿って上部半導体表面への全P型ドーパントは、主に、P型空の主要ウェルドーパントから構成される。このことは、図 18b において曲線 180 " によって表されている全P型ドーパントの濃度 N_T が、 y_{PWPK} よりも一層大きくない深さ y に対してP型空の主要ウェルドーパントの濃度 N_I と線 278M に沿ってのほぼ同じ変化を有することを可能とさせる。

【0255】

図 18a における曲線 210 ' によって表されるディープNウェルドーパントの濃度 N_I は、図 18a に示した y 深さ範囲を超えた深さ y_{DNWPK} における最大値に到達し、且つ上部半導体表面へ向かって移る場合に、その最大（ピーク）値から減少する。図 18c において曲線セグメント 180 * によって表されている正味P型ドーパントの濃度 N_N は、ドレイン・ボディ接合 248 と分離用接合 224 との間の表面下位置において最大値に到達する。ディープNウェルドーパントの存在は、主要ドレイン部分 242M を介して垂直線 278M に沿っての正味P型ドーパント濃度の位置を深さ y_{PWPK} よりも僅かに小さな平均深さにおいて発生させる。

【0256】

主要ドレイン部分 242M を画定するために使用したN型主要 S/D ドーパントの濃度

N_I は、図 18 a における曲線 242 M' によって表したように、ドレイン部分 242 M における表面下位置において最大に到達する。図 18 a における曲線 242 E' は、ドレイン延長部 242 E を画定するために使用した N 型ディープ S/D 延長部ドーパントも主要ドレイン部分 242 M 内に存在することを、示している。従って、図 18 b における曲線 242 M'' は、図 18 a における曲線 242 M' 及び 242 E' の対応する部分の和を表している。同様に、図 18 b における曲線 242 E'' は、図 18 a における曲線 242 E' 及び 242 M' の対応する部分の和を表している。ドレイン延長部 242 E は主要ドレイン部分 242 M よりも一層深くに延在しているので、N 型ディープ S/D 延長部ドーパントの濃度 N_I は、主要ドレイン部分 242 E の下側に存在するドレイン延長部 242 E の部分における N 型主要 S/D ドーパントの濃度 N_I を越えている。従って、主要ドレイン部分 242 M を介して垂直線 278 M に沿っての N 型ディープ S/D 延長部ドーパントの濃度 N_I は、主要ドレイン部分 242 M の下側に存在するドレイン延長部 242 E の部分において、図 18 b における曲線セグメント 242 M'', 242 E'', 210'' の結合によって表される全 N 型ドーパントの濃度 N_T に対して著しい貢献を与える。ドレイン・ボディ接合 248 においてゼロへ移行する場合に、図 18 c における曲線 242* によって表される線 278 M に沿っての正味 N 型ドーパントの濃度 N_N は、線 278 M に沿っての全 N 型ドーパントの濃度 N_T における変化を反映する。

【0257】

図 16 を参照すると、チャンネルゾーン 244 を介してソース側ハローポケット部分 250 の脇へ通過する垂直線 276 に沿っての P 型ドーパント分布は、ドレイン 242 を介して垂直線 278 M に沿っての P 型ドーパント分布とほぼ同じである。即ち、線 276 に沿って遭遇する P 型ドーパントは、図 16 a における夫々の曲線 254' 及び 136' によって表されるように、P 型空の主要ウエルドーパントとバックグラウンドドーパントとから構成される。P 型空の主要ウエルドーパントの濃度 N_I は深さ y_{PWPK} において最大に到達するので、線 276 に沿っての全 P 型ドーパントの濃度 N_T は、図 16 b における曲線 180'' によって示されるように、深さ y_{PWPK} における最大に到達する。

【0258】

垂直線 276 はディープ N ウェル 210 を介して通過する。しかしながら、線 276 は、ソース 240 又はドレイン 242 を介して通過するものではない。N 型 S/D ドーパントのいずれもが線 276 に沿ってのドーパント分布に何らの顕著な効果を有するものではない。従って、P 型空の主要ウエルドーパントの濃度 N_I 又は全 P 型ドーパントの濃度 N_T は、深さ y_{PWPK} からチャンネルゾーン 244 を介して垂直線 276 に沿って上部半導体表面へ上方へ移る場合に、少なくとも 10 の係数、好適には少なくとも 20 の係数、より好適には少なくとも 40 の係数、だけ減少する。図 16 及び 18 の特定の例においては、P 型空の主要ウエルドーパントの濃度 N_I 又は全 P 型ドーパントの濃度 N_T は、深さ y_{PWPK} から線 276 に沿ってチャンネルゾーン 244 を介して上部半導体表面へ移る場合に、80 の係数を超えて、100 の係数の近傍において、減少する。P 型空の主要ウエルドーパントの濃度 N_I 又は全 P 型ドーパントの濃度 N_T が深さ y_{PWPK} から垂直線 278 M に沿って上部半導体表面へ移る場合に通常実質的に単調的に減少することの上述した説明は、深さ y_{PWPK} から垂直線 276 に沿って上部半導体表面へ移る場合に適用される。

【0259】

P 型バックグラウンドドーパント、ソースハロードーパント、及び空の主要ウエルドーパントは、上述した如く、ソース 240 中に存在する。図 14 a における曲線 136'、250'、254' を参照のこと。その結果、ソース 240 を介して垂直線 274 M に沿っての P 型ドーパント分布は、図 14 a における曲線 250' 及び図 14 b における曲線セグメント 250'' によって表されているように、P 型ソースハロードーパントの影響を包含している場合がある。P 型空の主要ウエルドーパントの濃度 N_I が、深さ y_{PWPK} から垂直線 274 M に沿って主要ボディ物質部分 254 の上側に存在する部分を介して及びソース 240 を介して上部半導体表面へ上方へ移る場合に、少なくとも 10 の係数だけ

減少する場合であっても、全P型ウェルドーパントの濃度 N_T は、同様に深さ y_{PWPK} から線274Mに沿って上部半導体表面へ上方へ移る場合に、この様な態様で振る舞いをしない場合があり、且つ典型的にはその様な振る舞いをしない。

【0260】

主要ドレイン部分242MにおけるN型主要S/Dドーパントの濃度 N_I の場合の如く、図14aにおける曲線240M'は、ソース140におけるN型主要S/Dドーパントの濃度 N_I が主要ソース部分240Mにおける表面下位置において最大に到達すること、を示している。ソース延長部240Eを画定するために使用されたN型浅いソース延長部ドーパントは、図14aにおいて曲線240E'によって示されるように、主要ソース部分240M内に存在する。ソース延長部240Eが主要ソース部分240Mの下側に延在するので、図14bにおける曲線240M''は図14aにおける曲線240M'及び240E'の和を表している。しかしながら、N型主要S/Dドーパントの濃度 N_I は、主要ソース部分240Mを介して垂直線274Mに沿っての任意の深さ y におけるN型浅いソース延長部ドーパントの濃度 N_I よりもかなり一層大きい。従って、図14bにおける垂直線274Mに沿っての全N型ドーパントの濃度 N_T を表している曲線セグメント240M''及び210''の結合は、図14aにおける曲線240M'をほぼ繰返している。ソース・ボディ接合246においてゼロへ移行する場合に、図14cにおける曲線240*によって表される正味N型ドーパントの濃度 N_N は、線274Mに沿っての全N型ドーパントの濃度 N_T における変化を反映している。

【0261】

D5. 非対称的高電圧PチャンネルIGFETの構成

非対称的高電圧PチャンネルIGFET102は非対称的高電圧NチャンネルIGFET100と内部的に基本的に同じに構成されているが、IGFET102のボディ物質は、IGFET100の場合に発生するように単に空の主要ウェル領域(180)ではなく、N型空の主要ウェル領域182とディープNウェル領域210とから構成されている点は異なる。IGFET102の領域における導電型は、一般的には、IGFET100における対応する領域の導電型と反対である。

【0262】

より特定のには、IGFET102は、図11-1に示したように、上部半導体表面に沿ってアクティブ半導体島状部142内に位置されている一対のP型S/Dゾーン280及び282を有している。S/Dゾーン280及び282は、しばしば、夫々、ソース280及びドレイン282として以下において呼称される。何故ならば、それらは、通常、必ずしも必要というわけではないが、夫々、ソース及びドレインとして機能するからである。ソース280及びドレイン282はN型の空のウェルボディ物質182、即ち全ボディ物質182及び210の内の部分182、のチャンネルゾーン284によって離隔されている。N型空のウェルボディ物質182は、(a) P型ソース280とソース・ボディPN接合286、及び(b) P型ドレイン282とドレイン・ボディPN接合288を形成する。

【0263】

N型空のウェルボディ物質182の中程度にドーブしたハローポケット部分290は、上部半導体表面までソース280に沿って延在し且つソース280とドレイン282との間の位置において終端する。図11-1は、ソース280がNソース側ハローポケット290よりも一層深くに延在している状態を例示している。代替例として、ハローポケット290はソース280よりも一層深くに延在することが可能である。ハローポケット290はソース290の下側を横方向に延在する。ハローポケット290はN型ソースハロードーパントで画定される。

【0264】

ソース側ハローポケット部分290外側のN型の空のウェルボディ物質182の部分は、N型空のウェルボディ物質部分294を構成する。ボディ物質182におけるディープ

N型空のウェル濃度最大の位置からハローポケット部分290外側の仮想的垂直線（不図示）に沿って上部半導体表面へ移る場合に、空のウェル主要ボディ物質部分294におけるN型ドーパントの濃度は、記号「n」で示した中程度のドーピングから記号「n-」で示した軽度のドーピングへ徐々に降下する。図11-1における点線296は、その下側においては、主要ボディ物質部分294におけるN型ドーパント濃度が中程度のNドーピングにあり且つその上側においては、部分294におけるN型ドーパント濃度が軽度のNドーピングにある位置を概略的に表している。

【0265】

チャンネルゾーン284（図11-1においては特に区画されていない）は、ソース280とドレイン282との間の全てのN型モノシリコンから構成されている。より特定のには、チャンネルゾーン284は、空のウェル主要ボディ物質部分294のN-上部部分の表面隣接セグメント、及び（a）図11-1の例に示されているようにソース280がハローポケット290よりも一層深くに延在している場合には、全てのNハローポケット部分290、又は（b）それがソース280よりも一層深くに延在している場合には、ハローポケット290の表面隣接セグメント、によって形成される。いずれの場合においても、ハローポケット290は、チャンネルゾーン284における主要ボディ物質部分294のN-上部部分の直接隣接部分よりも一層高度にN型にドーブされている。ソース290に沿ってのハローポケット290の存在は、チャンネルゾーン284をして非対称的に長手方向にドーパントをグレイドさせ即ち勾配を付けさせる。

【0266】

t_{GDH} の高い厚さ値にあるゲート誘電体層300は、上部半導体表面上に位置されており且つチャンネルゾーン284上を延在している。ゲート電極302がチャンネルゾーン284上方でゲート誘電体層300上に位置されている。ゲート電極302がソース280及びドレイン282上を部分的に延在している。

【0267】

P型ソース280は、非常に高度にドーブした主要部分280M及び一層軽度にドーブした横方向延長部280Eから構成されている。P型ドレイン282は、同様に、非常に高度にドーブした主要部分282M及び一層軽度にドーブした横方向延長部282Eから構成されている。P++主要ソース部分280M及びP++主要ドレイン部分282Mよりも夫々一層軽度にドーブされているが、横方向ソース延長部280E及び横方向ドレイン延長部282Eは、本サブミクロンCIGFET適用例においては尚且つ高度にドーブされている。主要ソース部分280M及び主要ドレイン部分282Mは、通常、ここでは典型的にボロンであるP型主要S/Dドーパントとして呼称されるP型半導体ドーパントのイオン注入によって画定される。ソース280及びドレイン282への外部電気的コンタクトは、夫々、主要ソース部分280M及び主要ドレイン部分282Mを介して行なわれる。

【0268】

横方向ソース延長部280E及び横方向ドレイン延長部282Eは、上部半導体表面に沿ってのチャンネルゾーン284を終端させる。ゲート電極302が各横方向延長部280E又は282Eの一部にわたり延在している。電極302は、通常、p++主要ソース部分280M又はp++主要ドレイン部分282Mのいずれの部分の上にも延在するものではない。誘電体側壁スペーサ304及び306は、ゲート電極302の両側の横断方向側壁に沿って夫々位置されている。メタルシリサイド層308、310、312が、夫々、ゲート電極302、主要ソース部分280M、及び主要ドレイン部分282Mの上部に沿って位置されている。

【0269】

D6. 非対称の高電圧PチャンネルIGFETのソース／ドレイン延長部

非対称の高電圧PチャンネルIGFET102のドレイン延長部282Eはソース延長部280Eよりも一層軽度にドーブされている。しかしながら、各横方向延長部280E

又は282EのP型ドーピングは、記号「p+」によって表される高度のP型ドーピングの範囲内に該当する。従って、ソース延長部280E及びドレイン延長部282Eは図11-1においては両方共「p+」の記号が付されている。

【0270】

P+ソース延長部280Eは、通常、P型浅いソース延長部ドーパントと呼称されるP型半導体ドーパントのイオン注入によって画定される。何故ならば、それは比較的浅いP型ソース延長部を画定する場合にのみ使用されるからである。P+ドレイン延長部282Eは、通常、P型ディープドレイン延長部ドーパントとして及びP型ディープS/D延長部ドーパントとして呼称されるP型半導体ドーパントのイオン注入によって画定される。何故ならば、それは比較的ディープP型ソース延長部及び比較的ディープP型ドレイン延長部の両方を画定する場合に使用されるからである。ソース延長部280E及びドレイン延長部282EにおけるP型ドーピングは、典型的に、ボロンによって与えられる。

【0271】

P+横方向延長部280E及び282Eは、IGFET100における横方向延長部240E及び242Eと実質的に同じ目的をIGFET102において達成する。この点に関して、IGFET102はチャンネルゾーン284の上部表面に沿っての空乏領域内に誘起される一次ホールのチャンネルを介してP+ソース延長部280EからP+ドレイン延長部282Eへ電流を導通させる。ドレイン282内の電界は、一次ホールを加速させ且つそれらがドレイン282に近づくに従いエネルギーを獲得させる。一方向に移動するホールは基本的に反対方向にドーパント原子から離れる方向に移動する電子であることを注意すると、該ホールはドレイン282内の原子と衝突して二次電荷キャリア、即ち電子とホールの両方、を発生し、それらは一般的に局所的電界の方向に移動する。該二次電荷キャリアの内の幾らか、特に二次ホール、はゲート誘電体層300の方へ移動する。ドレイン延長部282Eは主要ドレイン部分282Mよりも一層軽度ドーピングされているので、該一次ホールはドレイン282内に入るに従い減少された電界に露呈される。その結果、ゲート誘電体層300を荷電させるためにより少ない数のホット（エネルギー豊富な）二次電荷キャリアが該ゲート誘電体層内に注入される。IGFET102のスレッショールド電圧 V_T の不所望なドリフトは実質的に減少される。

【0272】

ソース延長部240Eにおけるよりもドレイン延長部242Eにおける一層軽度のN型ドーピングの結果としてIGFET100はゲート誘電体層260内に更により少ない数の損傷を発生するホットキャリア注入を行なうことと同じ理由により、ソース延長部280Eにおけるよりもドレイン延長部282Eにおける一層軽度のP型ドーピングは、IGFET102をしてゲート誘電体層300内への更により少ない数のホットキャリア注入を行なわせる。即ち、IGFET102における一層軽度のドレイン延長部ドーピングは、ドレイン延長部282Eに沿ってドレイン・ボディ接合288の部分にわたりドーパント濃度における一層緩やかな変化を発生させる。ドレイン延長部282Eに沿ってドレイン・ボディ接合288の部分に沿っての空乏領域の幅は増加され、ドレイン延長部282Eにおける電界を減少させる。ドレイン延長部282Eにおける衝突イオン化における結果的に発生する減少に起因して、ゲート誘電体層300内へのホットキャリア注入は減少される。

【0273】

P+ソース延長部280E及びP+ドレイン延長部282Eの各々は、上部半導体表面下側の最大（即ちピーク）のP型ドーパント濃度に到達する。ソース延長部280E及びドレイン延長部282Eがイオン注入によって画定されているので、ソース延長部280Eは、通常、ソース延長部280Eを介して延在して仮想的垂直線（不図示）が存在しており且つ主要ソース部分280Mを画定するP型ドーパントがその垂直線に沿っての全P型ドーパント濃度に何らの顕著な影響を有するものではないように該垂直線は主要ソース部分280Mから十分に離れている、という性質のものである。その結果、P型浅いソース延長部ドーパントの濃度が該垂直線に沿ってその最大値に到達する深さは、ソース延長

部 280E における全 P 型ドーパント濃度の最大値における深さ y_{SEPK} に等しい。ソース延長部 280E に対する深さ y_{SEPK} は、通常、 $0.003 - 0.015 \mu m$ であり、典型的には $0.006 \mu m$ である。ソース延長部 280E における深さ y_{SEPK} における P 型浅いソース延長部ドーパントの最大濃度は、通常、 $6 \times 10^{18} - 6 \times 10^{19}$ 原子数 / cm^3 であり、典型的には 1.5×10^{19} 原子数 / cm^3 と 2×10^{19} 原子数 / cm^3 との間である。

【0274】

ドレイン延長部 282E は、同様に、通常、ドレイン延長部 282E を介して延在する仮想的垂直線（不図示）が存在しており且つ該垂直線は主要ドレイン部分 282M を画定する P 型ドーパントがその垂直線に沿っての全 P 型ドーパント濃度に何らの顕著な影響を与えないように主要ドレイン部分 282M から十分に離れている、というような性質のものである。P 型ディープ S / D 延長部ドーパントの濃度がドレイン延長部 282E を介しての垂直線に沿ってのその最大値に到達する深さは、通常、ドレイン延長部 282E における全 P 型ドーパント濃度の最大値における深さ y_{DEPK} にほぼ等しい。ソース延長部 280E における P 型浅い P 型ソース延長部ドーパントの最大濃度の深さ y_{SEPK} の場合のように、ドレイン延長部 282E に対する深さ y_{DEPK} は、通常、 $0.003 - 0.015 \mu m$ であり、典型的には $0.006 \mu m$ である。

【0275】

ドレイン延長部 282E における深さ y_{DEPK} における P 型ディープ S / D 延長部ドーパントの最大濃度は、通常、 $4 \times 10^{18} - 4 \times 10^{19}$ 原子数 / cm^3 であり、典型的には 1×10^{19} 原子数 / cm^3 と 1.5×10^{19} 原子数 / cm^3 との間である。これは、たとえば、ドレイン延長部 282E における P 型ディープ S / D 延長部ドーパントの深さ y_{DEPK} が、典型的に、ソース延長部 280E における P 型浅い P 型ソース延長部ドーパントの深さ y_{SEPK} と同じであるとしても、ソース延長部 280E における深さ y_{SEPK} における P 型浅いソース延長部ドーパントの最大濃度が通常 $6 \times 10^{18} - 6 \times 10^{19}$ 原子数 / cm^3 であり、典型的に 1.5×10^{19} 原子数 / cm^3 と 2×10^{19} 原子数 / cm^3 との間であることよりも幾分一層低めである。最大濃度の差は、ドレイン延長部 282E がソース延長部 280E よりも一層軽度にドーピングされることの表れである。

【0276】

ドレイン延長部 282E に対する最大濃度深さ y_{DEPK} は、通常、ソース延長部 280E に対する最大濃度深さ y_{SEPK} とほぼ同じであるが、P + ドレイン延長部 282E は P + ソース延長部 280E よりも著しく一層深くに延在する。換言すると、IGFET 102 のドレイン延長部 282E の深さ y_{DE} はソース延長部 280E の深さ y_{SE} を著しく越えるものである。IGFET 102 のドレイン延長部深さ y_{DE} は、そのソース延長部深さ y_{SE} よりも、通常少なくとも 20 %、好適には少なくとも 30 %、より好適には少なくとも 50 %、更に一層より好適には少なくとも 100 %、一層大きい。

【0277】

2 つの主要な要因が、ドレイン延長部 282E をソース延長部 280E よりも著しく一層深くに延在させることとなる。両方の要因は、n + ソース側ハローポケット部分 290 が関与する。第 1 に、ハローポケット部分 290 における N 型ドーパントは、ソース延長部深さ y_{SE} を減少させるために、ソース延長部 280E における P 型浅いソース延長部ドーパントの拡散を遅滞化させる。第 2 に、ハローポケット 290 における N 型ドーパントは、ソース延長部 280E の底部をして一層高い位置において発生させ、それによりソース延長部深さ y_{SE} を更に減少させる。ドレイン延長部 282E 内の最大 P 型ドーパント濃度の深さ y_{DEPK} がソース延長部 280E 内の最大 P 型ドーパント濃度の深さ y_{SEPK} を越えるようにイオン注入を実施することによって、ドレイン延長部 282E はソース延長部 280E よりも更に一層深くに延在するように配置させることが可能である。

【0278】

非対称的 IGFET 100 及び 102 の典型的な実現例において、N チャンネル IGF

ET100のPハローポケット部分250におけるP型ソースハロードーパントは、PチャンネルIGFET102のP+ソース延長部280EにおけるP型浅いソース延長部ドーパントと同じ原子種であり、通常はボロンである。類推的に、PチャンネルIGFET102のNハローポケット部分290におけるN型ソースハロードーパントは、NチャンネルIGFET100のN+ソース延長部240EにおけるN型浅いソース延長部ドーパントと同じ原子種であり、通常は砒素である。

【0279】

砒素原子はボロン原子よりもかなり一層大きい。その結果、PチャンネルIGFET102のハローポケット部分290におけるN型ドーパントは、NチャンネルIGFET100のハローポケット部分250におけるP型ドーパントがソース延長部240EにおけるN型浅いソース延長部ドーパントの拡散を遅滞化させるよりもかなり一層にソース延長部280EにおけるP型浅いソース延長部ドーパントの拡散を妨害する。このことは、PチャンネルIGFET102のドレイン延長部282Eに対する最大濃度深さ y_{DEPK} がソース延長部280Eに対する最大濃度深さ y_{SEPK} と通常ほぼ同じである一方、NチャンネルIGFET100のドレイン延長部242Eに対する最大濃度深さ y_{DEPK} がソース延長部240Eに対する最大濃度深さ y_{SEPK} よりもかなり一層大きいものであるが、IGFET100及び102がソース延長部深さ y_{SE} に対してのドレイン延長部深さ y_{DE} の同等の比を有することを可能とさせる。

【0280】

PチャンネルIGFET102のドレイン延長部282EにおけるP型ディープS/D延長部ドーパントの分布は、ソース延長部280EにおけるP型浅いソース延長部ドーパントの分布よりも著しく一層垂直方向に広がっている。その結果、ドレイン延長部282Eにおける全P型ドーパントの分布は、ソース延長部280Eにおける全P型ドーパントの分布よりも著しく一層垂直方向に広がっている。

【0281】

ソース延長部280Eよりもドレイン延長部282Eの一層大きな深さは、IGFET100がゲート誘電体層260内へのより少ないホットキャリア注入を発生させるのとはほぼ同じ理由により、IGFET102のゲート誘電体層300内へのホットキャリアの注入を更に減少させる。特に、IGFET102におけるドレイン延長部282Eの増加された深さは、ドレイン延長部282Eを介しての電流を垂直方向に一層広がらせ、それによりドレイン延長部282Eにおける電流密度を減少させる。ドレイン延長部282Eにおける全P型ドーパントの増加した広がり、ドレイン延長部282Eにおける電界を減少させる。その結果発生するドレイン延長部282Eにおける衝突イオン化の減少は、ゲート誘電体300内へのより少ないホットキャリア注入を発生させる。

【0282】

ドレイン延長部282Eは、ソース延長部280Eよりも、ゲート電極302の著しく一層下側に延在している。その結果、IGFET102のゲート電極302がそれによりドレイン延長部282Eとオーバーラップする量 x_{DEOL} はゲート電極302がソース延長部280Eとオーバーラップする量 x_{SEOL} を著しく超える。IGFET102のゲート対ドレイン延長部オーバーラップ x_{DEOL} は、そのゲート対ソース延長部オーバーラップ x_{SEOL} よりも通常少なくとも20%、好適には少なくとも30%、より好適には少なくとも50%、一層大きい。

【0283】

ソース延長部280E上よりもドレイン延長部282E上のゲート電極302の一層大きなオーバーラップは、ソース延長部240E上よりもドレイン延長部242E上のゲート電極262の一層大きなオーバーラップの結果としてIGFET100がゲート誘電体層260内へのより少ないホットキャリア注入を発生するということと同じ理由により、IGFET102のゲート誘電体層300内へのホットキャリア注入を更に減少させる。即ち、IGFET102のドレイン延長部282Eがゲート電極302下側を横方向に延在する一層大きな量は、ドレイン延長部282Eを介しての電流の流れがより一層垂直方

10

20

30

40

50

向に広がることを可能とさせる。ドレイン延長部 282E における電流密度が更に減少される。ドレイン延長部 282E における衝突イオン化における結果的に得られる更なる減少は、ゲート誘電体層 300 内への更により少ないホットキャリア注入とさせる。この減少したドーピング、一層大きな深さ、及びドレイン延長部 282E の一層大きなゲート電極オーバーラップのために、IGFET 102 ではゲート誘電体 300 内へのホットキャリア注入の発生は非常に僅かである。IGFET 100 の場合のように、IGFET 102 のスレッショールド電圧は動作時間に関して非常に安定している。

【0284】

IGFET 102 の主要ドレイン部分 282M の深さ y_{DM} は、典型的に、主要ソース部分 280M の深さ y_{SM} とほぼ同じである。IGFET 102 用の深さ y_{SM} 及び y_{DM} の各々は通常 $0.05 - 0.15 \mu m$ であり、典型的には $0.10 \mu m$ である。ハローポケット部分 290 を画定する N 型ドーパントの存在に起因して、IGFET 102 の主要ソース部分深さ y_{SM} はその主要ドレイン部分深さ y_{DM} よりも多少小さくすることが可能である。

【0285】

IGFET 102 の主要ソース部分 280M は、図 11-1 の例においては、ソース延長部 280E よりも一層深くに延在する。IGFET 102 の主要ソース部分深さ y_{SM} はそのソース延長部深さ y_{SE} を越える。対照的に、ドレイン延長部 282E は、この例においては、主要ドレイン部分 282M よりも一層深くに延在する。その結果、IGFET 102 のドレイン延長部深さ y_{DE} はその主要ドレイン部分深さ y_{DM} を越える。又、ドレイン延長部 282E は、主要ドレイン部分 282M の下側を横方向に延在する。

【0286】

IGFET 102 の主要ソース部分深さ y_{SM} が図 11-1 の例におけるそのソース延長部深さ y_{SE} を越えるので、IGFET 102 のソース深さ y_S はその主要ソース部分深さ y_{SM} と等しい。一方、IGFET 102 のドレイン深さ y_D は、この例においては、そのドレイン延長部深さ y_{DE} と等しい。何故ならば、IGFET 102 のドレイン延長部深さ y_{DE} はその主要ドレイン部分深さ y_{DM} を越えるからである。IGFET 102 のソース深さ y_S は通常 $0.05 - 0.15 \mu m$ であり、典型的には $0.10 \mu m$ である。IGFET 102 のドレイン深さ y_D は通常 $0.08 - 0.20 \mu m$ であり、典型的には $0.14 \mu m$ である。IGFET 102 のドレイン深さ y_D は通常 $0.01 - 0.10 \mu m$ だけ、典型的には $0.04 \mu m$ だけ、そのソース深さ y_S を越える。更に、IGFET 102 のソース延長部深さ y_{SE} は $0.08 - 0.20 \mu m$ であり、典型的には $0.14 \mu m$ である。従って、IGFET 102 のドレイン延長部深さ y_{DE} は典型的にそのソース延長部深さ y_{SE} の 2 倍を越えるものである。

【0287】

IGFET 102 は図 11-1 の実現例においてはディープ N ウェル領域 210 を使用している。平均ディープ N ウェル最大濃度深さ y_{DNWPk} は通常 $1.0 - 2.0 \mu m$ であり、典型的には $1.5 \mu m$ であるので、IGFET 102 に対する平均深さ y_{DNWPk} はそのドレイン深さ y_D の通常 5 - 25 倍で、好適には 8 - 16 倍である。

【0288】

D7. 非対称的高電圧 P チャンネル IGFET のソース／ドレイン延長部における異なるドーパント

非対称的 N チャンネル IGFET 100 のソース延長部 240E 及びドレイン延長部 242E を画定するためにどのようにして異なる原子量の半導体ドーパントを使用するかということと同様に、非対称的 P チャンネル IGFET 102 のソース延長部 280E を画定するために使用される P 型浅いソース延長部ドーパントは、IGFET 102 のドレイン延長部 282E を画定するために使用される P 型ディープ S/D 延長部ドーパントよりも一層高い原子量のものとすることが可能である。従って、P 型ディープ S/D 延長部ドーパントは通常 1 つの 3a 族元素であり、一方 P 型浅いソース延長部ドーパントは、P 型

10

20

30

40

50

ディープ S/D 延長部 ドーパントとして使用される該 3 a 族元素よりも一層高い原子量の別の 3 a 族元素である。好適には、該 P 型ディープ S/D 延長部 ドーパントは 3 a 族元素のボロンであり、一方該 P 型浅いソース延長部 ドーパントの候補は一層高い原子量の 3 a 族元素のガリウム及びインジウムである。S/D 延長部 280 E 及び 282 E に対しての異なるドーパントの使用は、S/D 延長部 240 E 及び 242 E に対しての異なるドーパントの使用に起因して P チャンネル IGFET 100 によって達成されるものと、同様の利点を達成することを可能とさせる。

【0289】

D 8. 非対称的高電圧 P チャンネル IGFET におけるドーパント分布

10

導電型が逆になるが、P チャンネル IGFET 102 は、N チャンネル IGFET 100 に対する上部半導体表面に沿っての長手方向ドーパント分布に極めて類似した、上部半導体表面に沿っての長手方向のドーパント分布を有している。ディープ N ウェル 210 を画定するディープ N ウェル ドーパントの濃度 N_1 は、上述した如く、上部半導体表面に沿って非常に低く、従ってディープ N ウェル 210 は実効的に上部半導体表面に到達するものではない。IGFET 100 のソース 240、チャンネルゾーン 244、及びドレイン 242 の場合に発生するように、ディープ N ウェル ドーパントは、上部半導体表面に沿ってであるか又は下側であるかに拘わらずに、IGFET 102 のソース 280、チャンネルゾーン 284、又はドレイン 282 のドーパント特性に何らの顕著な効果を有しているものではない。

20

【0290】

上部半導体表面に沿ってのソース 280 及びドレイン 282 内の正味ドーパント濃度の最大値は、夫々、P++ 主要ソース部分 280 M 及び P++ 主要ドレイン部分 282 M において発生する。特に、主要 S/D 部分 280 M 及び 282 M における正味ドーパント濃度の最大上部表面値はほぼ同じであり、通常少なくとも 1×10^{20} 原子数/cm³ であり、典型的には 5×10^{20} 原子数/cm³ である。上部半導体表面に沿っての主要 S/D 部分 280 M 又は 282 M における正味ドーパント濃度の最大値は少なくとも $1 \times 10^{19} - 3 \times 10^{19}$ 原子数/cm³ 程度に低下する場合がある。

【0291】

P 型バックグラウンドドーパント濃度は、ソース延長部 280 E 及びドレイン延長部 282 E を画定する P 型ドーパントの上部表面濃度と比較して、無視可能な程度に低いものである。ソース延長部 280 E 及びドレイン延長部 282 E の各々における正味ドーパント濃度の最大上部表面値は通常 $3 \times 10^{18} - 2 \times 10^{19}$ 原子数/cm³ であり、典型的には 9×10^{18} 原子数/cm³ である。

30

【0292】

チャンネルゾーン 284 における非対称的 그레이ディング (grading) は、上述した如く、ソース 280 に沿ってのハローポケット部分 290 の存在から発生する。ソース側ハローポケット 290 における N 型ドーパントは上部半導体表面に沿って 3 つの一次成分、即ち 3 つの別々のドーピング操作で与えられる成分、を有している。これらの 3 つの一次 N 型ドーパント成分の内の一はディープ N ウェル ドーパントであり、その上部表面濃度は、上述した如く、上部半導体表面において非常に低く、従って該ディープ N ウェル ドーパントは上部半導体表面に沿っての N 型ドーパント濃度に対して貢献するものとしては実質的に無視することが可能である。

40

【0293】

上部半導体表面に沿ってのハローポケット部分 290 における N 型ドーパントのこれらの 3 つの一次成分の内別のものは、N 型空の主要ウェル ドーパントであり、その上部表面濃度は非常に低く、通常は $6 \times 10^{15} - 6 \times 10^{16}$ 原子数/cm³ であり、典型的には 1×10^{16} 原子数/cm³ である。ハローポケット部分 290 における N 型ドーパントの内 3 番目の一次成分は N 型ソースハロー ドーパントであり、その上部表面濃度は高く、通常は $4 \times 10^{17} - 4 \times 10^{18}$ 原子数/cm³ であり、典型的には 1×10^{18}

50

⁸ 原子数/cm³である。N型ソースハロードーパントはハローポケット290を画定する。N型ソースハロードーパントの上部表面濃度の特定の値は、IGFET102のスレッシュホールド電圧を設定するために臨界的に調節され、典型的に5%の精度内である。

【0294】

N型ソースハロードーパントもソース280内に存在している。ソース280におけるN型ソースハロードーパントの濃度は、典型的に、その全体的な上部表面に沿って実質的に一定である。ソース280から上部半導体表面に沿って長手方向にチャンネルゾーン284内に移る場合に、N型ソースハロードーパントの濃度は、ソース280における実質的に一定のレベルからソース280とドレイン282との間の或る位置において基本的にゼロへ降下する。N型空の主要ウェルドーパントの上部表面濃度はソースハロードーパントの上部表面濃度と比較して小さいので、上部表面に沿ってのチャンネルゾーン284内の全N型ドーパントの濃度はソース280におけるN型ソースハロードーパントの基本的に一定な値からソース280とドレイン282との間の或る位置におけるN型主要ウェルドーパントの低上部表面値へ降下し、次いでドレイン282への距離の残部に対してその低い値に維持される。

【0295】

N型ソースハロードーパントの濃度は、幾つかの実施例においては、IGFET100におけるP型ソースハロードーパントに対して上述した幾つかの態様の内のいずれかにおいて変化する場合がある。N型ソースハロードーパントの濃度がこれらの態様の内のいずれかにおいて又は上述した典型的な態様において変化するか否かに拘わらずに、上部半導体表面に沿ってのIGFET102のチャンネルゾーン284における全N型ドーパントの濃度は、ゾーン284がソース280と合流する箇所におけるよりも、ゾーン284がドレイン282と合流する箇所において一層低い。より詳細には、チャンネルゾーン284における全N型ドーパントの濃度は、上部表面に沿ってソース・ボディ接合286におけるよりも、上部半導体表面に沿ってドレイン・ボディ接合288において、通常少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも50の係数、典型的には100又はそれ以上の係数だけ一層低い。

【0296】

上部半導体表面に沿ってのチャンネルゾーン284における正味N型ドーパントの濃度は、上部表面に沿ってのゾーン284における正味N型ドーパントの濃度は接合286及び288においてゼロへ降下することを除いて、上部表面に沿ってゾーン284における正味N型ドーパントの濃度に類似した態様で変化する。従って、チャンネルゾーン284のソース側はドレイン側と比較してN型ドーパントの高い正味量を有している。チャンネルゾーン284におけるN型ドーパントの高いソース側の量は、ソース・ボディ接合286に沿っての空乏領域のチャンネル側の厚さを減少させる。

【0297】

IGFET100において何が起こるかとは類似して、IGFET102におけるチャンネルゾーン284のソース側に沿っての高いN型ドーパント濃度は、ドレイン282からの電気力線を、ソース280に沿っての空乏領域内のイオン化されたドーパント原子上で終端する代わりに、ハローポケット部分290内のイオン化されたN型ドーパント原子上で終端させ、ホールに対する電位障壁を有害的に低下させる。その際にソース280はドレイン282における比較的高い電界から遮蔽される。このことは、ソース・ボディ接合286に沿っての空乏領域がドレイン・ボディ接合288に沿っての空乏領域へパンチスルーすることを阻止する。チャンネルゾーン284におけるソース側N型ドーパントの量を適切に選択することは、IGFET102がパンチスルーを回避することを可能とさせる。

【0298】

次に、ハローポケット部分290及びN型空のウェル主要ボディ物質部分294と共に形成されるN型空の主要ウェル領域182の特性について検討する。チャンネルゾーン284の場合のように、N型主要ウェル領域182内の全N型ドーパントは、N型空の主要

ウエルドーパント、ソースハロードーパント、及びディープNウエルドーパントから構成されている。ハローポケット部分290近くを除いて、主要ボディ物質部分294における全N型ドーパントは、N型空の主要ウエルドーパントとディープNウエルドーパントとのみからなる。N型空の主要ウエルドーパント及びディープNウエルドーパントは、ソース280及びドレイン282内にも存在している。N型ソースハロードーパントはソース280内に存在しているが、ドレイン282内には存在していない。

【0299】

N型空の主要ウエル領域182は、上述した如く、N型空の主要ウエルドーパントのイオン注入に起因する平均深さ y_{NWPK} において発生するディープ局所的濃度最大を有している。このN型局所的濃度最大は、ウエル領域182にわたり完全に横方向に、従って主要ボディ物質部分294にわたり完全に横方向に延在する表面下位置に沿って発生する。深さ y_{NWPK} におけるN型濃度最大の位置はチャンネルゾーン284下側、通常はソース280及びドレイン282の各々の全ての下側、であり且つ又通常ハローポケット部分290の下側である。

【0300】

N型空の主要ウエルドーパントの最大濃度の位置の平均深さ y_{NWPK} は、IGFET102のソース・ボディ接合286及びドレイン・ボディ接合288の最大深さ y_D 及び y_D を越える。従って、主要ボディ物質部分294の一部は、ソース280とN型空の主要ウエルドーパントの最大濃度の位置との間に位置している。ボディ物質部分294の別の一部は、ドレイン282とN型空の主要ウエルドーパントの最大濃度の位置との間に位置している。

【0301】

より詳細には、IGFET102の主要ソース部分深さ y_{SM} 、ソース延長部深さ y_{SE} 、ドレイン延長部深さ y_{DE} 、及び主要ドレイン部分深さ y_{DM} は各々N型空の主要ウエル最大ドーパント濃度深さ y_{NWPK} 未満である。ドレイン延長部282Eは主要ドレイン部分282Mの全ての下側に位置しているので、N型空のウエル主要ボディ物質部分294の一部は深さ y_{NWPK} におけるN型空の主要ウエルドーパントの最大濃度の位置と、主要ソース部分280M、ソース延長部280E、及びドレイン延長部282Eの各々との間に位置している。深さ y_{NWPK} は、IGFET102に対するドレイン深さ y_D 、特にドレイン延長部深さ y_{DE} 、よりも10倍、好適には5倍、より好適には4倍、を越えるものではない。

【0302】

N型空の主要ウエルドーパントの濃度は、深さ y_{NWPK} におけるN型空の主要ウエルドーパントの最大濃度の位置から、主要ボディ物質部分294の上側に存在する部分を介して次いでドレイン282を介して、特に主要ドレイン部分282Mの下側に存在するドレイン延長部282Eの部分を介して次いで主要ドレイン部分282Mを介して、選択した仮想的垂直線（不図示）に沿って上部半導体表面へ上方へ移る場合に、少なくとも10の係数、好適には少なくとも20の係数、更に好適には40の係数、だけ減少する。

【0303】

N型空の主要ウエルドーパントの濃度における減少は、深さ y_{NWPK} におけるN型空の主要ウエルドーパントの最大濃度の位置から、ドレイン282の底部、特にドレイン延長部282Eの底部、における接合288へ該選択した垂直線に沿って上方へ移る場合に、10の係数未満だけ実質的に単調的であり且つ実質的に変曲無しである。IGFET102の場合に、ドレイン・ボディ接合深さ y_D がドレイン延長部深さ y_{DE} に等しいことに注意する。N型空の主要ウエルドーパントの濃度は、典型的に、ドレイン・ボディ接合288から該垂直線に沿って上部半導体表面へ移る場合に、実質的に単調的に減少する。ドレイン282の上部表面に沿ってN型空の主要ウエルドーパントの幾らかのパイルアップが発生する場合には、N型空の主要ウエルドーパントの濃度は、ドレイン・ボディ接合288から該垂直線に沿って接合288の最大深さ y_D の20%よりも上部半導体表面から離れることの無い或る点へ移る場合に、実質的に単調的に減少する。

【0304】

N型ソースハロドーパントは、深さ y_{NWPK} におけるN型濃度最大の位置に関して殆ど顕著な効果を有するものではない。図18aを簡単に参照すると、図18aの水平軸は平均P型空の主要ウェル最大濃度深さ y_{PWPK} を表すべく符号が付けられている。上述した如く、図18aにおいて曲線210'によって表されているディープNウェルドーパントの濃度は、図18aに示されている y 深さ範囲を超えた深さにおいて最大値に到達し且つ、上部半導体表面へ向けて移る場合に、その最大値から減少する。

【0305】

空の主要ウェル最大濃度深さ y_{NWPK} 及び y_{PWPK} は通常互いに非常に近いという事実に鑑みて図18aを検討すると、深さ y_{PWPK} において、従って深さ y_{NWPK} において、ディープNウェルドーパントの濃度はN型空の主要ウェルドーパントの濃度と比較して非常に小さいものであることが示される。深さ y_{NWPK} から該選択した垂直線に沿ってドレイン282を介して上部半導体表面へ向けて移る場合に、ディープNウェルドーパントの濃度は、ディープNウェルドーパントの濃度が深さ y の任意の値におけるN型空の主要ウェルドーパントの濃度と比較して非常に小さいまま継続しているような態様で、減少する。従って、全N型ドーパントの濃度は、深さ y_{NWPK} からその垂直線に沿って上部半導体表面へ移る場合に、N型空の主要ウェルドーパントの濃度と実質的に同じ態様で減少する。

【0306】

N型空の主要ウェル及びディープNウェルドーパントはソース280内に存在している。更に、N型ソースハロドーパントは、通常、ソース280の横方向範囲の一部、典型的には全て、にわたり存在している。その結果、ソース280を介しての選択した仮想的垂直線に沿ってのN型ドーパント分布は、N型ソースハロドーパントの影響を包含している場合がある。たとえN型空の主要ウェルドーパントの濃度が、深さ y_{NWPK} からその垂直線に沿って主要ボディ物質部分294の上側に存在する部分を介して且つソース280を介して上部半導体表面へ上方へ移る場合に、少なくとも10の係数だけ減少したとしても、全N型ウェルドーパントの濃度は、深さ y_{NWPK} から該垂直線に沿って上部半導体表面へ上方へ同じように移る場合に、このような態様で振舞うことが無い場合があり、典型的にはその様に振舞うことはない。

【0307】

D9. 非対称的高電圧IGFETの共通の特性

非対称的IGFET100及び102を一緒に見て、IGFET100のP型空のウェルボディ物質180又はIGFET102のN型空のボディ物質182の導電型を「第1」導電型と呼称することとする。他の導電型、即ちIGFET100のN型ソース240及びドレイン242の導電型又はIGFET102のP型ソース280及びドレイン282の導電型、「第2」導電型である。従って、第1及び第2導電型は、夫々、IGFET100に対してはP型及びN型である。IGFET102の場合には、第1及び第2導電型は、夫々、N型及びP型である。

【0308】

IGFET100における全P型ドーパントの濃度 N_T は、上述した如く、深さ y_{PWPK} から垂直線278Mを介してIGFET100のドレイン242を介して上部半導体表面へ移る場合に、P型空の主要ウェルドーパントの濃度 N_I と大部分同じ態様で減少する。又上述した如く、IGFET102における全N型ドーパントの濃度は、深さ y_{NWPK} から選択した垂直線に沿ってドレイン282を介して上部半導体表面へ移る場合に、N型空の主要ウェルドーパントの濃度と大部分同じ態様で同様に減少する。第1導電型はIGFET100に対してはP型であり且つIGFET102に対してはN型であるので、IGFET100及び102は、深さ y_{PWPK} 又は y_{NWPK} における第1導電型の全ドーパントの最大濃度の表面下位置から該垂直線に沿って上側に存在する主要ボディ物質を介して且つドレイン242又は282を介して上部半導体表面へ上方へ移る場合に、

少なくとも10の係数、好適には少なくとも20の係数、更に好適には少なくとも40の係数、だけ減少するという一般的な性質を有している。

【0309】

更に、IGFET100又は102における第1導電型の全ドーパントの濃度は、深さ y_{PWPK} 又は y_{NWPK} における第1導電型の全ドーパントの最大濃度の位置から該表示した垂直線に沿ってドレイン・ボディ接合248又は288へ上方へ移る場合に、実質的に単調的に、典型的には10の係数未満だけ、且つ実質的に変曲無しで減少する。ドレイン・ボディ接合248又は288から該垂直線に沿って上部半導体表面へ移る場合に、IGFET100又は102における第1導電型の全ドーパントの濃度は、典型的に、実質的に単調的に減少する。ドレイン242又は282の上部表面に沿って第1導電型の全ドーパントの幾らかのパイルアップが発生する場合には、第1導電型の全ドーパントの濃度は、ドレイン・ボディ接合248又は288から該垂直線に沿って接合248又は288の最大深さ y_D の20%よりも上部半導体表面から離れることの無い或る点へ移る場合に、実質的に単調的に減少する。

【0310】

IGFET100のドレイン242又はIGFET102のドレイン282を介しての垂直線に沿っての前述した垂直ドーパント分布特徴は、IGFET100におけるP型バックグラウンドドーパントの存在によって、又はIGFET102におけるディープNウェルドーパントの存在によって著しく影響を受けることは無い。深さ y_{PWPK} 又は y_{NWPK} から、選択した垂直線に沿ってドレイン242又は282を介して上方へ移る場合に、第1導電型の全ドーパントは空のウェルボディ物質180又は182の空の主要ウェルドーパントだけとして良好に近似させることが可能である。この近似は、一般的に、空の主要ウェル領域192, 194, 204, 206を夫々使用する以下に更に取り扱う対称的IGFET112, 114, 124, 126のドレインを介して延在する選択した仮想的垂直線に沿って使用することが可能である。

【0311】

NチャンネルIGFET100のスレッシュホールド電圧 V_T は、0.3 μm 近傍の描画したチャンネル長 L_{DR} で且つ6-6.5 nmのゲート誘電体厚さにおいて0.5 V乃至0.75 Vで、典型的に0.6 V乃至0.65 V、である。PチャンネルIGFET102のスレッシュホールド電圧 V_T は、同様に0.3 μm 近傍の描画したチャンネル長 L_{DR} で且つ6-6.5 nmのゲート誘電体厚さにおいて-0.5 V乃至-0.7 Vで、典型的には-0.6 Vである。IGFET100及び102は、高動作電圧範囲、例えば3.0 V、においての一方向電流適用例に特に適している。

【0312】

D10. 非対称の高電圧IGFETの性能利点

良好なIGFET性能のために、IGFETのソースは、短チャンネル長においてスレッシュホールド電圧 V_T のロールオフを回避するために、妥当に可能な限りシャロウ (shallow) 即ち浅いものとすべきである。ソース抵抗の存在においてIGFETの実効トランスコンダクタンスを最大とさせるために、ソースは出来るだけ高度にドーブすべきである。非対称的IGFET100及び102は、ソース延長部240E及び280Eを使用し且つそれらを夫々一層浅くに構成し且つドレイン延長部242E及び282Eよりも一層高度にドーブさせることによってこれらの目的を充足する。このことはIGFET100及び102が高いトランスコンダクタンスを有し、その結果、高い本来的な利得を有することを可能とする。

【0313】

ドレイン延長部242E及び282Eは、非対称の高電圧IGFET100及び102がそれらのドレイン242及び282においてそれらのゲート誘電体層260及び300内へのホット電荷キャリアの注入を実質的に回避することを可能とさせる。IGFET100及び102のスレッシュホールド電圧は動作時間に関して著しくドリフトすることは

無い。

【0314】

高電圧能力を達成し且つホットキャリア注入を減少させるために、IGFETのドレインは妥当に可能な限り出切るだけ深く且つ軽度ドーピングしたものとすべきである。これらの必要性は、IGFETのオン抵抗を著しく増加させること無しに且つ短チャンネルレスリッシュホールド電圧ロールオフを発生すること無しに、充足されるべきである。非対称的IGFET100及び102は、ドレイン延長部242E及び282Eを夫々ソース延長部240E及び280Eよりも一層深くに延在させ且つ一層軽度ドーピングさせることによってこれらの更なる目的を充足する。ドレイン242又は282に沿ってハローポケット部分の不存在はホットキャリア信頼性を更に向上させる。

10

【0315】

IGFETの寄生容量は、IGFETを包含する回路の速度性能を設定する場合に、特に高周波数スイッチング動作において、重要な役割を担う。非対称的IGFET100及び102においてのレトログレード空のウェル領域180及び182の使用は、それらのソース240及び280及びそれらのドレイン242及び282の下側のドーピングを減少させ、それによりそれらのソース・ボディ接合246及び286及びそれらのドレイン・ボディ接合248及び288に沿っての寄生容量を減少させる。その減少された寄生接合容量はIGFET100及び102が一層早くスイッチすることを可能とさせる。

【0316】

ソース側ハローポケット部分250及び290が夫々チャンネルゾーン244及び284に与える長手方向ドーパントグレイディング即ち勾配は、 V_T ロールオフのオンセットを一層短いチャンネル長へ移動させることによって短チャンネル長における V_T ロールオフを緩和させることを助ける。ホールポケット250及び290は、又、夫々、ソース240及び280に沿って付加的なボディ物質ドーパントを与える。このことは、ソース・ボディ接合246及び248においての空乏領域厚さを減少させ且つIGFET100及び102がソース対ドレインパンチスルーを回避することを可能とさせる。

20

【0317】

IGFETの駆動電流は飽和におけるそのドレイン電流 I_D である。同じゲート電圧オーバーライド及びドレイン対ソース電圧 V_{DS} において、非対称的IGFET100及び102は、通常、対称的な対応物よりも一層高い駆動電流を有している。

30

【0318】

NチャンネルIGFET100のドレイン対ソース電圧 V_{DS} はIGFET動作期間中に増加されるので、ドレイン電界における結果的に発生する増加はドレイン空乏領域をソース240へ向かって拡大させる。この拡大は、ドレイン空乏領域がソース側ハローポケット部分250に近づく場合にほぼ終了する。IGFET100は飽和状態となり、それは対称的な対応物よりも一層強い。従って、IGFET100の構成は有益的に一層高い出力抵抗を有することを可能とさせる。電圧極性を反転すると、PチャンネルIGFET102も一層高い出力抵抗を有している。IGFET100及び102は、リニア及び飽和の両方において、増加したトランスコンダクタンスを有している。

【0319】

IGFET100及び102におけるレトログレードウェルドーパント分布と長手方向チャンネルドーパントグレイディングとの結合は、ノイズを減少した状態で、良好な高周波数小信号性能及び優れた大信号性能を提供する。特に、IGFET100及び102は、広い小信号帯域幅、高い小信号スイッチング速度、及びカットオフ周波数の高いピーク値を含む高いカットオフ周波数を有している。

40

【0320】

D11. 特別に調整したハローポケット部分を具備する非対称的高電圧IGFET

IGFET100又は102のようなIGFETにソース側ハローポケット部分を設けることの利点の内の一つは、ハローポケットにおける増加したドーピングが、IGFET

50

がそのバイアスオフ状態にある場合に、ソース対ドレイン（「S-D」）リーク電流を減少させることである。S-Dリーク電流における減少は、IGFETの駆動電流における幾らかの減少の犠牲で達成される。ポケット部分における結果的に得られるほぼガウス状の垂直ドーパント分布が単一の表面下位置に沿って最大濃度に到達するように単一イオン注入によって画定されるソース側ハローポケット部分を具備するIGFETにおいて、ハローポケットにおける正味ドーパント濃度が幾らかの最小値未満である箇所、特に上部半導体表面に沿って又はその近くにおいての或る位置において著しいオフ状態S-D電流リークが発生する場合がある。

【0321】

IGFETにおけるハローポケットを画定するための単一のイオン注入期間中に使用されるドーパント量は、該ハローポケットにおける正味ドーパント濃度がそうでなければ著しいオフ状態S-D電流リークが発生するような各位置に沿ってこの最小値よりも上であるように増加させることが可能である。しかしながら、ハローポケットにおける全体的な増加したドーピングはIGFETの駆動電流を不所望に更に減少させることとなる。この問題に対する一つの解決は、ハローポケット内の垂直ドーパント分布が上部半導体表面から下方のそれを越えては通常著しいオフ状態S-D電流リークが存在しない表面下位置へ比較的平坦であるように構成することである。それによりIGFETの駆動電流は最大化され、一方オフ状態S-D電流リークを実質的に回避する。

【0322】

図19a及び19bは、ソース側ハローポケット部分250及び290が夫々中程度にドーパされたP型ソース側ハローポケット部分250U及び中程度にドーパされたN型ソース側ハローポケット部分290Uで置換されている相補的非対称的高電圧IGFET100及び102の変形例100U及び102Uの一部を夫々示している。ソース側ハローポケット部分250U及び290Uは、IGFET100及び102の夫々のレベルにおいてそれらの駆動電流を実質的に維持しながらそれらがバイアスオフ状態にある場合に相補的非対称的高電圧IGFET100U及び102Uが減少したS-D電流リークを有することが可能であるように特に調整されている。

【0323】

ハローポケット部分250U及び290Uにおけるハローポケットドーパント分布の特別の調整及び該特別のハローポケットドーパント分布を形成するために使用される製造技術に起因するIGFET100U及び102Uの隣接部分において発生する僅かに修正されたドーパント分布以外は、IGFET100U及び102Uは夫々IGFET100及び102と実質的に同じに構成されている。減少したオフ状態S-D電流リークを有しているので、IGFET100U及び102Uは、夫々、IGFET100及び102と実質的に同じに動作し且つ同じ利点を有している。

【0324】

特にNチャンネルIGFET100Uに注目すると、そのpハローポケット部分250Uにおけるドーパント分布は、上部半導体表面に対して垂直に延在する実質的に任意の仮想的垂直線に沿ってハローポケット250Uを介してN型ソース240側へ、特にN+ソース延長部240Eの脇へのP型ソースハローポケットドーパントの垂直ドーパント分布が、上部半導体表面近くにおいて比較的フラット即ち平坦であるように調整されている。一つのそのような仮想的垂直線314が図19aに示されている。

【0325】

IGFET100Uの上部半導体表面近くでのP型ソースハローポケットドーパントの垂直ドーパント分布における実質的な平坦性は、P型ソースハローポケットドーパントの濃度 N_1 が、ハローポケット250Uを介してN型ソース240の脇へ延在する垂直線314のような実質的に任意の仮想的垂直線に沿って互いに垂直方向に離隔されているM個の異なる位置における複数個Mの局所的濃度最大、に到達するように構成することにより達成される。P型ソースハロードーパントの濃度 N_1 におけるM個の局所的最大の、夫々、最も浅いハロードーパント最大濃度位置PH-1から最も深いハロードーパント最大濃

10

20

30

40

50

度位置 $PH-M$ へ移る場合に次第に一層深くなる M 個の位置 $PH-1$, $PH-2$, . . . , $PH-M$ (集約的に「位置 PH 」) に沿って発生する。

【0326】

$IGFET102U$ のハローポケット部分 $250U$ は、 M 個の垂直方向に隣接したハローポケットセグメント $250U-1$, $250U-2$, . . . , $250U-M$ からなるものとしてみることが可能である。 j を 1 から M へ変化する整数とすると、各ハローポケットセグメント $250U-j$ はハロードーパント最大濃度位置 $PH-j$ に沿って発生する P 型ソースハロードーパント濃度最大を包含している。最も浅いハロードーパント最大濃度位置 $PH-1$ を包含しているハローポケットセグメント $250U-1$ はハローポケットセグメント $250U-1$ 乃至 $250U-M$ の内で最も浅いものである。最も深い最大濃度位置 $PH-M$ を包含しているハローポケットセグメント $250U-M$ はセグメント $250U-1$ 乃至 $250U-M$ の内の最も深いものである。

10

【0327】

P 型ソースハロードーパントは、典型的に、ハローポケットセグメント $250U-1$ 乃至 $250U-M$ の全てにおいて同一の原子種である。しかしながら、ハローポケットセグメント $250U-1$ 乃至 $250U-M$ においては異なる種の P 型ソースハロードーパントが様々な存在することが可能である。

【0328】

各ハロードーパント最大濃度位置 $PH-j$ は、通常、ただ一つの原子種の P 型ソースハロードーパントから発生する。このことに鑑み、ハローポケットセグメント $250U-j$ における最大濃度位置 $PH-j$ を発生するために使用される P 型ソースハロードーパントの原子種は、ここでは、 j 番目 P 型ソースハロードーパントとして呼称する。その結果、 M 個の順番付けした P 型ソースハロードーパントが存在し、それらは、典型的に、全て同じ原子種であるが、それらは原子種において種々に異なることが可能である。これらの M 個の順番付けした P 型ソースハロードーパントは、一般的に、単に P 型ソースハロードーパントとして呼称される全体的な P 型ソースハロードーパントを形成する。

20

【0329】

P 型ソースハロードーパントの濃度 N_1 における局所的最大の複数個 M は図 19 a の例においては 3 である。従って、図 19 a におけるセグメント化した P ハローポケット部分 $250U$ は 3 個の垂直方向に隣接したハローポケットセグメント $250U-1$ 乃至 $250U-3$ で形成されており、それらはハロードーパント最大濃度位置 $PH-1$ 乃至 $PH-3$ に沿って発生する P 型ソースハロードーパント濃度最大を夫々包含している。図 19 a におけるハローポケットセグメント $250U-1$ 乃至 $250U-3$ の最大濃度位置 $PH-1$ 乃至 $PH-3$ を夫々決定するために、夫々、第 1、第 2、第 3 P 型ソースハロードーパントとして指定された 3 個の番号付けされた P 型ソースハロードーパントが存在している。

30

【0330】

ハロードーパント最大濃度位置 PH は図 19 a においては点線で示してある。これらの点線によって示されるように、各ハロードーパント最大濃度位置 $PH-j$ は N 型ソース 240 内に延在している。各ハロードーパント最大濃度位置 $PH-j$ は、通常、 $N++$ 主要ソース部分 $240M$ にわたり完全に実質的に横方向に延在している。図 19 a の例においては、各ハロードーパント最大濃度 $PH-j$ は $N+$ ソース延長部 $240E$ を介して延在している。しかしながら、一つ又はそれ以上のハロードーパント最大濃度位置 PH はソース延長部 $240E$ 下側を、従って P ハローポケット部分 $250U$ の下側物質を介して、延在することが可能である。ソース 240 内への各ハロードーパント最大濃度位置 $PH-j$ の延長は、セグメント化したハローポケット $250U$ が形成される以下に記載する態様から発生する。

40

【0331】

各ハロードーパント最大濃度位置 $PH-j$ は、又、 P 型空のウェル主要ボディ物質部分 254 、即ちセグメント化したハローポケット部分 $250U$ の外側の P 型主要ウェルボディ物質領域 180 の部分、内に延在する。このことは、同一の導電型であるようなドーピ

50

ング操作によって形成される2つの半導体領域、即ちここではポケット250U及びボディ物質部分254、の間の境界が上方に発生するように、即ち該2つの領域を形成するために使用されるドーパントの（正味）濃度が等しい位置において、画定される態様から起こる。

【0332】

IGFET100Uのソース側ハローポケット部分250Uにおける全P型ドーパントは、IGFET100のソース側ハローポケット部分250について上述した如く、P型バックグラウンドドーパントと、空の主要ウエルドーパントと、ソースハロードーパントとから構成されている。位置PHに沿ってのP型ソースハロードーパントの濃度 N_I におけるM個の局所的最大は、IGFET100Uのハローポケット250Uにおける全P型ドーパントの濃度 N_T をポケット250U内のM個の夫々対応する異なる位置に沿ってM個の夫々対応する局所的最大に到達させる。位置PHの場合のように、ハローポケット250Uにおける全P型ドーパントの濃度 N_T におけるM個の最大の位置は、ポケット250Uを介してソース240の脇へ上部半導体表面へ垂直に延在する例えば垂直線314の実質的に任意の仮想的垂直線に沿って互いに垂直方向に離隔されている。

10

【0333】

ハローポケット部分250Uにおける全P型ドーパントの濃度 N_T におけるM個の最大の位置は、ポケット250におけるP型ハロードーパントの濃度 N_I におけるM個の最大の位置PHから夫々種々に異なる場合がある。これらの差異が発生する範囲において、それらは通常非常に小さいものである。従って、図19aにおける点線PHはポケット250Uにおける全P型ドーパントの濃度 N_T におけるM個の濃度最大の位置を夫々表している。従って、ポケット250Uにおける全P型ドーパントの濃度 N_T におけるM個の濃度最大の位置PHはソース240内に及びP型空のウエル主要ボディ物質部分254内に横方向に延在している。

20

【0334】

ハローポケット部分250Uにおける正味P型ドーパントの濃度 N_N についても同じことが言える。N型浅いソース延長部ドーパントの幾らかはハローポケット250U内に存在しているが、位置PHに沿ってのP型ソースハロードーパントの濃度 N_I におけるM個の局所的最大は、ここでのポケット250Uにおける正味P型ドーパントの濃度 N_N をしてポケット250UにおけるM個の夫々対応する異なる位置に沿ってM個の夫々対応する局所的最大に到達させる。同様に、ポケット250Uにおける正味P型ドーパントの濃度 N_N におけるM個の最大の位置は、ポケット250Uを介してソース240の脇へ上部半導体表面へ垂直に延在する例えば垂直線314等の実質的に任意の仮想的垂直線に沿って互いに垂直方向に離隔されている。

30

【0335】

ハローポケット部分250Uにおける全P型ドーパントの濃度 N_T の場合のように、ハローポケット250Uにおける正味P型ドーパントの濃度 N_N におけるM個の最大の位置は、ポケット250UにおけるP型ハロードーパントの濃度 N_I におけるM個の最大の位置PHから夫々種々に異なる場合がある。図19aにおけるポケット250U中に存在すると示されている点線PHの部分は、ポケット250Uにおける全P型ドーパントの濃度 N_T におけるM濃度最大の位置を夫々表すことも可能である。

40

【0336】

上部半導体表面近くのハローポケット部分250Uにおける垂直ドーパント分布の平坦化の理解は、図20a-20c（集約的に「図20」）及び図21a-21c（集約的に「図21」）の助けを借りて容易化される。図19aの例におけるハローポケット250Uを介しての垂直線314に沿っての深さyの関数としての例示的ドーパント濃度が図20に提示されている。図21は図19aの例におけるIGFET100Uのソース延長部240Eを介しての垂直線274Eに沿っての深さyの関数としての例示的ドーパント濃度を提示している。品目 y_{SH} は図19aに表示されているようにハローポケット250Uの最大深さである。

50

【0337】

図20a及び21aは、領域136, 240E, 250U-1, 250U-2, 250U-3, 254をほぼ画定する個別的な半導体ドーパントの濃度 N_I （ここでは垂直のみ）を特に例示している。曲線250U-1', 250U-2', 250U-3'は、ハローポケットセグメント250U-1乃至250U-3の最大濃度位置PH-1乃至PH-3を夫々決定するために使用された第1、第2、第3P型ソースハロドーパントの濃度 N_I を表している。

【0338】

領域180, 240E, 250U, 254における全P型及び全N型ドーパントの濃度 N_T （ここでは垂直のみ）は図20b及び21bに図示されている。曲線部分250U"はハローポケット部分250Uにおける全P型ドーパントの濃度 N_T を表している。図12a及び21bを参照すると、品目246*は、正味ドーパント濃度 N_N がゼロとなる箇所を示しており、従ってソース延長部240Eに沿ってのソース・ボディ接合246の部分の位置を表している。

【0339】

図20c及び21cはPハローポケット部分250U及びN+ソース延長部240Eにおける正味ドーパント濃度 N_N （ここでは垂直のみ）を提示している。曲線部分250*はハローポケット部分250Uにおける正味P型ドーパントの濃度 N_N を表している。

【0340】

特に図20aを参照すると、垂直線314に沿っての第1、第2、第3P型ソースハロドーパントの濃度 N_I を垂直方向に表している曲線250U-1'乃至250U-3'は、一次近似ではほぼガウス形状のものである。曲線250U-1', 250U-2', 250U-3'は品目316-1, 316-2, 316-3（集約的に「ピーク316」）によって夫々表されているピークに到達している。最も低い番号のピーク316-1は最も浅いピークである。最も高い番号のピーク316-3、即ち、一般的には、ピーク316-M、は最も深いピークである。

【0341】

番号付けしたP型ソースハロドーパントの濃度 N_I におけるピーク316の内の連続するものの間の垂直間隔（距離）は比較的小さい。又、曲線250U-1'乃至250U-3'に対する標準偏差は、ピーク対ピーク間隔と比較して比較的大きい。最も浅いピーク316-1の深さは、典型的に、平均ピーク対ピーク間隔の半分近傍である。ピーク316における第1乃至第3P型ソースハロドーパントの濃度 N_I の最大値は、通常、互いに近く、特に垂直線314がソース延長部240Eに近づくに従いそうである。より詳細には、ピーク316における濃度 N_I は、通常、互いに40%内、好適には20%内、より好適には10%内である。

【0342】

各ピーク316-jは図20bにおける曲線部分250U"によって表されるように垂直線314に沿ってのハローポケット部分250Uにおける全P型ドーパントの濃度 N_T におけるj番目の局所的最大の位置PH-jの一つの点である。（a）曲線250U-1'乃至250U-3'に対する標準偏差はピーク316の相次ぐものの間隔と比較して比較的大きく、（b）最も浅いピーク316-1の深さは典型的に平均ピーク対ピーク間隔の半分近傍であり、且つ（c）ピーク316における第1乃至第3P型ソースハロドーパントの濃度 N_I は通常互いに近いものであるので、ハローポケット250Uにおける全P型ドーパントの濃度 N_T における変化は、線314に沿って上部半導体表面からハローポケット250UにおけるP型局所的濃度最大の最も深いものの位置PH-M、即ち図19aの例においては位置PH-3、へ移る場合に、通常比較的小さい。その結果、ハローポケット250Uにおける全P型ドーパントの濃度 N_T における垂直分布は、上部半導体表面からポケット250Uを介してソース延長部240Eの脇へ延在する線314のような仮想的垂直線に沿ってポケット250U内の最も深い最大濃度位置PH-Mへ移る場合に、通常比較的平坦である。

【0343】

ハローポケット部分250Uにおける全P型ドーパントの濃度 N_T は、ポケット250Uを介してソース延長部240Eの脇へ延在する垂直線314などの仮想的垂直線に沿ってハローポケット250Uにおける局所的P型濃度最大の最も深いものの位置PH-Mへ上部半導体表面から移る場合に、2を超えることのない係数、好適には1.5を越えることのない係数、より好適には1.25を越えることのない係数、だけ通常は変化する。図20bにおいて曲線部分250U”によって示されているように、ハローポケット250Uにおける全P型ドーパントの濃度 N_T における変動はこの様な仮想的垂直線に沿っては非常に小さく、従って夫々ピーク316によって表されているように、ハロードーパント最大濃度位置PHは、しばしば、図20bのような対数濃度グラフ上においてはほぼ認識不可能である。

10

【0344】

垂直線314は、図19aに示されているように、ハローポケット部分250Uの下側及び空のウェルボディ物質180の下側に存在する物質内に延在している。更に、線314はN型ソース240、特にN+ソース延長部240E、から十分遠くにあるように選択されており、線314に沿っての任意の点におけるN型ドーパント濃度 N_T は、その点における全P型ドーパント濃度 N_T と比較して、基本的に無視可能である。図20cを参照すると、線314に沿ってのボディ物質180内の正味P型ドーパント濃度 N_N を表している曲線180*は、図20bにおいて線314に沿ってのボディ物質180における全P型ドーパント濃度 N_T を表している曲線180”とほぼ同一である。その結果、図20cにおける曲線180*の部分250U*は図20bにおける曲線180”の部分250U”とほぼ同一である。

20

【0345】

換言すると、ハローポケット部分250Uにおける正味P型ドーパントの濃度 N_N における変化も、垂直線314に沿って上部半導体表面からハローポケット250Uにおける局所的P型濃度最大の内の最も深いものの位置PH-M、図19aの例においては位置PH-3、へ移る場合に、比較的小さい。ハローポケット250Uにおける全P型ドーパントの濃度 N_T と類似して、ハローポケット250Uにおける正味P型ドーパントの濃度 N_T は、上部半導体表面からポケット250Uを介してソース延長部240Eの脇へ延在する線314のような仮想的垂直線に沿ってポケット250U内の局所的P型濃度最大の内の最も深いものの位置PH-Mへ移る場合に、2を超えることのない係数、好適には1.5を越えることのない係数、より好適には1.25を越えることのない係数、だけ通常は変化する。従って、ハローポケット250Uにおける正味P型ドーパントの濃度 N_N における垂直分布は、上部半導体表面からこの様な仮想的垂直線に沿ってポケット250Uにおける最も深い最大濃度位置PH-Mへ移る場合に、比較的平坦である。

30

【0346】

番号付けしたP型ソースハロードーパントの濃度 N_I は、曲線250U-1'乃至250U-3'によって表される垂直分布の一般的な形状を維持したままハローポケット部分250Uを介して長手方向に移る場合に、かなり変化する。このことは、以下に更に説明するように、図20aを図21aと比較することにより理解することが可能であり、その場合、ソース延長部240E及びハローポケット250Uの下側に存在する物質を介して垂直線274Eに沿っての第1、第2、第3P型ソースハロードーパントの濃度 N_I を垂直方向に表しているほぼガウス状の曲線250U-1'乃至250U-3'は、品目318-1, 318-2, 318-3(集約的に「ピーク318」)によって夫々表されているピークに到達する。最も低い番号が付けられているピーク318-1は最も浅いピークである。最も高い番号が付けられているピーク318-3、即ち、一般的にはピーク318-M、は最も深いピークである。

40

【0347】

各ピーク318-jは、図21bにおける曲線部分250U”によって表されているように、垂直線274Eに沿ってのN+ソース延長部240E又はPハローポケット部分2

50

50 Uにおける全P型ドーパントの濃度 N_T におけるj番目の局所的最大の位置PH-jの内の一つの点である。図21aの例においては、各ピーク318-jにおけるj番目P型ソースハロドーパントの濃度 N_I は、そのピーク318-jの深さyにおける曲線240E'によって表されるN型浅いソース延長部ドーパントの濃度 N_I 未満である。ハロドーパント最大濃度位置PHの一つ又はそれ以上はソース延長部240Eの下側を延在することが可能であるので、ピーク318の内の一つ又はそれ以上におけるj番目P型ソースハロドーパントの濃度 N_I は、これらの一つ又はそれ以上のピーク318の各々の深さyにおけるN型浅いソース延長部ドーパントの濃度 N_I を越える場合がある。

【0348】

いずれの場合にも、図21aにおける曲線250U-1'乃至250U-3'は、図20aにおける曲線250U-1'乃至250U-3'と互いにほぼ同じ関係を有している。従って、全P型ドーパントの濃度 N_T における変化は、上部半導体表面から垂直線274Eに沿って最も深い局所的P型濃度最大の位置PH-M、即ち図19aにおける位置PH-3、へ移る場合に、通常比較的小さい。ハローポケット部分250Uを介して延在する線314に沿っての全P型ドーパントの濃度 N_T の場合のように、全P型ドーパントの濃度 N_T は、上部半導体表面から線274Eに沿って局所的P型濃度最大の内の最も深いものの位置PH-Mへ移る場合に、通常、2を超えることのない係数、好適には1.5を越えることのない係数、より好適には1.25を越えることのない係数、だけ変化する。ポケット部分250Uにおける全P型ドーパントの濃度 N_T における垂直分布は、上部半導体表面から線274Eに沿って最も深い最大濃度位置PH-Mへ、通常比較的平坦である。このことは、図21bにおける曲線部分250U"によって示されている。

【0349】

番号付けしたP型ソースハロドーパントの濃度 N_N は、ハローポケット部分250Uが形成される態様に起因して、N+ソース延長部240Eに向けて横方向に移る場合に、増加する。このことは、図21aにおける曲線250U-1'乃至250U-3'を図20aにおける曲線250U-1'乃至250U-3'と夫々比較することによって理解することが可能である。ソース延長部240において、又は下側で、線274Eと交差する位置PH-jの各点318-jにおけるj番目P型ソースハロドーパントの濃度 N_I は、ハローポケット240Uにおける線314と交差する位置PH-jの対応する点316-jにおけるj番目P型ソースハロドーパントの濃度 N_I を越える。図21bにおける曲線部分250U"を図20bにおける曲線部分250U"と比較することにより理解されるように、ソース延長部240E及びハローポケット250Uの下側に存在する物質を介して延在する線274Eの部分に沿っての任意の点における全P型ドーパントの濃度 N_T は、ポケット250Uを介して延在する線314の部分に沿っての対応する点における全P型ドーパントの濃度 N_T を越える。

【0350】

ハローポケット部分250Uにおける特別のドーパント分布調整の変形例において、全P型ドーパントの濃度 N_T は、単に、上部半導体表面から垂直線314に沿って、全P型ドーパントの濃度 N_T が必ずしもポケット250U内の線314の部分に沿っての複数の局所的最大に到達すること無しに、線314に沿ってハローポケット250Uの深さyの少なくとも50%、好適には少なくとも60%、の深さyへ移る場合に、2を超えることのない係数、好適には1.5を越えることのない係数、より好適には1.25を越えることのない係数、だけ変化する。同じことが、垂直線314に沿っての正味P型ドーパントの濃度 N_N に対して及びソース延長部240E及びハローポケット250Uの下側の物質を介して延在する垂直線274Eのような仮想的垂直線に沿っての全P型ドーパントの濃度 N_T に対して適用される。ハローポケット250Uの深さyは、線274Eに沿ってのその最大深さ y_{SH} に実質的に等しいが、線314に沿っての最大深さ y_{SH} 未満である。

【0351】

理想的には、全P型ドーパントの濃度 N_T 及び正味P型ドーパントの濃度 N_N は、上部

半導体表面から垂直線 3 1 4 に沿って線 3 1 4 に沿ってのハローポケット部分 2 5 0 U の深さ y の少なくとも 5 0 %、好適には少なくとも 6 0 %、の深さ y へ下方へ、実質的に一定である。同じことが、ソース延長部 2 4 0 E 及びハローポケット 2 5 0 U の下側に存在する物質を介して延在する垂直線 2 7 4 E などの仮想的垂直線に沿っての全 P 型ドーパントの濃度 N_T に対して適用される。

【0352】

前述した方法のいずれかでのハローポケット部分 2 5 0 U のドーピングは、ハローポケット 2 5 0 U における垂直ドーパント分布を上部半導体表面近くにおいて比較的平坦なものとし、とさせることを可能とさせる。その結果、IGFET 1 0 0 U がそのバイアスオフ状態にある場合に駆動電流を犠牲にすること無しに、ソース 2 4 0 とドレイン 2 4 2 との間において流れるリーク電流はより少なくなる。

10

【0353】

P チャンネル IGFET 1 0 2 U へ移ると、その N ハローポケット部分 2 9 0 U におけるドーパント分布は同様に調整されており、従ってハローポケット 2 9 0 U を介して P 型ソース 2 8 0 の脇へ、特に P+ ソース延長部 2 8 0 E の脇への上部半導体表面に対して垂直に延在する実質的に任意の仮想的垂直線に沿っての N 型ソースハローポケットドーパントの垂直ドーパント分布は、上部半導体表面近くにおいて比較的平坦である。上部半導体表面近くにおいて N 型ソースハローポケットドーパントの垂直ドーパント分布における実質的な平坦性は、N 型ソースハローポケットドーパントの濃度 N_I がこのような仮想的垂直線に沿って互いに垂直方向に離隔されている M 個の異なる位置における M 複数の局所的濃度最大に到達するように構成することによって達成される。P チャンネル IGFET 1 0 2 U に対する N 型ソースハロードーパントの濃度 N_I における M 個の局所的最大の、M 個の位置 $NH-1$, $NH-2$, ..., $NH-M$ (集約的に「位置 NH 」) に沿って夫々発生し、それらは最も浅いハロードーパント最大濃度位置 $NH-1$ から最も深いハロードーパント最大濃度位置 $NH-M$ へ移る場合に除々に一層深くなる。IGFET 1 0 0 及び 1 0 2 に対する M 複数のものは同じもの又は異なるものとするのが可能である。

20

【0354】

N チャンネル IGFET 1 0 0 のハローポケット部分 2 5 0 U のセグメント化に類似して、P チャンネル IGFET 1 0 2 U のハローポケット部分 2 9 0 U は、M 個の垂直方向に連続的なハローポケットセグメント $290U-1$, $290U-2$, ..., $290U-M$ からなるものとしてみるのが可能である。各ハローポケットセグメント $290U-j$ は、ハロードーパント最大濃度位置 $NH-j$ に沿って発生する N 型ソースハロードーパント濃度最大を包含している。最も浅いハロードーパント最大濃度位置 $NH-1$ を包含するハローポケットセグメント $290U-1$ は、ハローポケットセグメント $290U-1$ 乃至 $290U-M$ の内の最も浅いものである。最も深い最大濃度位置 $NH-M$ を包含するハローポケットセグメント $290U-M$ はセグメント $290U-1$ 乃至 $290U-M$ の内の最も深いものである。

30

【0355】

N 型ソースハロードーパントは、典型的に、ハローポケットセグメント $290U-1$ 乃至 $290U-M$ の全てにおいて同じ原子種である。特に磷及び砒素は N 型半導体ドーパント用の原子種として通常容易に入手可能なものなので、異なる種の N 型ソースハロードーパントがハローポケットセグメント $290U-1$ 乃至 $290U-M$ 内に種々に存在することが可能である。

40

【0356】

各ハロードーパント最大濃度位置 $NH-j$ は、通常、N 型ソースハロードーパントの唯一の原子種から発生する。そのために、ハローポケットセグメント $290U-j$ 内に最大濃度位置 $NH-j$ を発生させるために使用される N 型ソースハロードーパントの原子種は、ここでは、 j 番目 N 型ソースハロードーパントと呼称する。従って、M 個の番号付けした N 型ソースハロードーパントが存在しており、それらは、典型的に、全て同じ原子種であるが、それらは原子種において種々に異なるのが可能である。これらの M 個の番号付

50

けしたN型ソースハロードーパントは、一般的に、単に、N型ソースハロードーパントとして呼称される全体的なN型ソースハロードーパントを形成する。

【0357】

図19aの例におけるように、N型ソースハロードーパントの濃度 N_I における局所的最大のM複数個は図19bの例においては3である。図19bの例におけるセグメント化したNハローポケット290Uは、ハロードーパント最大濃度位置NH-1乃至NH-3に沿って発生するN型ソースハロードーパント濃度最大を夫々包含している3個の垂直方向に隣接しているハローポケットセグメント290U-1乃至290U-3で形成される。図19bにおけるハローポケットセグメント290U-1乃至290U-3の最大濃度位置NH-1乃至NH-3を夫々決定するための第1、第2、第3N型ソースハロードーパントとして夫々指定される3個の番号付けされたN型ソースハロードーパントが存在している。

10

【0358】

前述したことを銘記して、NチャンネルIGFET100UのPハローポケット部分250Uのセグメント250U-1乃至250U-Mにおけるドーパント分布についての説明の全てが、IGFET102Uのハロードーパント最大濃度位置NHが夫々IGFET100Uのハロードーパント最大濃度位置を置換して、PチャンネルIGFET102UのNハローポケット部分290Uのセグメント290U-1乃至290U-Mへ夫々適用されるが、以下の点を除く。即ち、ハローポケット部分290Uにおける全N型ドーパントの濃度 N_T は、上部半導体表面からポケット290Uを介してソース延長部280Eの脇へ延在する仮想的垂直線に沿ってハローポケット290Uにおける局所的N型濃度最大の内の最も深いものの位置NH-Mへ移る場合に、通常、2.5を超えることのない係数、好適には2を越えることのない係数、より好適には1.5を越えることのない係数、更により好適には1.25を越えることのない係数、だけ変化する。同じことが、この様な仮想的垂直線に沿ってのハローポケット290Uにおける正味N型ドーパントの濃度 N_N に適用される。

20

【0359】

NチャンネルIGFET100Uにおいて発生することと同様に、PチャンネルIGFET102Uにおける全N型ドーパントの濃度 N_T における変化は、上部半導体表面からP++ソース延長部280Eを介して且つNハローポケット部分290Uの下側に存在する物質を介して延在する仮想的垂直線、例えばゲート電極302のソース側を介して延在する仮想的垂直線、に沿っての最も深い局所的N型濃度最大の位置NH-M、即ち図19bにおける位置NH-3、へ移る場合に、通常比較的小さい。ハローポケット250Uを介してソース延長部280Eへ延在する仮想的垂直線に沿っての全N型ドーパントの濃度 N_T の場合のように、全N型ドーパントの濃度 N_T は、上部半導体表面からソース延長部280Eを介して且つハローポケット290Uの下側に存在する物質を介して延在する仮想的垂直線に沿っての局所的N型濃度最大の内の最も深いものの位置NH-Mへ移る場合に、通常2.5を越えることの無い係数、好適には2を越えることのない係数、より好適には1.5を越えることのない係数、更により好適には1.25を越えることのない係数、だけ変化する。全N型ドーパントの濃度 N_T における垂直分布は、上部半導体表面からその垂直線に沿って最も深い最大濃度位置NH-Mへ、通常比較的平坦である。

30

40

【0360】

NチャンネルIGFET100Uに対して上述したことに類似する変形例として、IGFET102Uにおける全N型ドーパントの濃度 N_T は、上部半導体表面からハローポケット部分290Uを介して延在する仮想的垂直線に沿ってソース延長部280Eの脇へ、全N型ドーパントの濃度 N_T が必ずしもハローポケット290U内のその垂直線の部分に沿って複数個の局所的最大に到達すること無しに、ハローポケット部分290Uの深さyの少なくとも50%、好適には少なくとも60%、の深さyへ移る場合に、2.5を越えることの無い係数、好適には2を越えることのない係数、より好適には1.5を越えることのない係数、更により好適には1.25を越えることのない係数、だけ単純に変化する

50

。同じことが、その垂直線に沿っての正味N型ドーパントの濃度 N_N に対して且つソース延長部280Eを介して且つハローポケット290Uの下側に存在する物質を介して延在する仮想的垂直線に沿っての全N型ドーパントの濃度 N_T に適用される。ハローポケット290Uの深さ y は、ソース延長部280Eを介して且つゲート電極302のソース側を介して延在する仮想的垂直線に沿ってのその最大深さ y_{SH} と実質的に等しいが、ポケット290Uを介してソース延長部280Eの脇への仮想的垂直線に沿っての最大深さ y_{SH} 未満である。

【0361】

理想的には、全N型ドーパントの濃度 N_T 及び正味N型ドーパントの濃度 N_N は、上部半導体表面からハローポケット部分290Uを介してソース延長部280Eの脇への仮想的垂直線に沿って下方へその垂直線に沿ってハローポケット部分290Uの深さ y の少なくとも50%、好適には少なくとも60%、の深さ y へ実質的に一定である。同じことがソース延長部280Eを介して且つハローポケット290Uの下側に存在する物質を介して延在する仮想的垂直線に沿っての全N型ドーパントの濃度 N_T に適用される。

【0362】

前述したドーパント分布から発生する態様でPチャンネルIGFET102Uのハローポケット部分290Uをドーピングすることは、ハローポケット290Uにおける垂直ドーパント分布が上部半導体表面近くにおいて比較的平坦なものであることを可能とさせる。それがバイアスオフ状態にある場合に、IGFET102Uのソース280とドレイン282との間において減少された量のリーク電流が流れる。重要なことであるが、IGFETの駆動電流は維持される。

【0363】

ソース側ハローポケット部分における垂直ドーパント分布を調整することの原理は、勿論、IGFET100U及び102U以外の非対称的IGFETに適用可能である。非対称的IGFETのソース側ハローポケットにおけるドーパント分布を調整する方法はハローポケットにおける垂直ドーパント分布が上部半導体表面から下方へそれを越えては通常十分なオフ状態S-D電流リークが存在しない表面下位置まで比較的平坦であるように構成することであるが、垂直ドーパント分布はIGFET、特にそのソース、の特性に依存してその他の位置依存性方法で調整することが可能である。例えば、ハローポケット内の垂直ドーパント分布は、上部表面近くの深さの関数としてハローポケット内の正味ドーパント濃度の変化が該ハローポケットを介しての仮想的直線に沿って選択した真っ直ぐではない曲線を近似するように値が選択された複数個の局所的濃度最大に到達することが可能である。

【0364】

E. 延長型ドレインIGFET

E1. 延長型ドレインNチャンネルIGFETの構成

非対称的延長型ドレイン拡張電圧相補的IGFET104及び106の内部構造について説明する。図11-2に図示した如くIGFET104及び106のコアの拡大図が夫々図22a及び22bに示されている。

【0365】

NチャンネルIGFET104で始めると、それは図11-2及び22aに示されているように上部半導体表面に沿ってアクティブ半導体島状部144A内に位置されているN型第1S/Dゾーン320を有している。空の主要ウェル184Bは、IGFET104に対するN型の第2S/Dゾーンを構成している。N型S/Dゾーン184Bの一部は、更に以下に説明するように、アクティブ半導体島状部144A及び144Bの両方に位置されている。S/Dゾーン320及び184Bは、しばしば、夫々、以下において、ソース320及びドレイン184Bとして呼称される。何故ならば、それらは、通常、必ずしもというわけではないが、夫々ソース及びドレインとして機能するからである。

【0366】

10

20

30

40

50

ソース 320 及びドレイン 184B は、P 型空の主要ウエル領域 184A 及び P-基板領域 136 で形成されている P 型ボディ物質のチャンネルゾーン 322 によって分離されている。P 型空のウエルボディ物質 184A、即ち全ボディ物質 184A 及び 136 の一部 184A、は N 型ソース 320 とソース・ボディ PN 接合 324 を形成する。N 型空のウエルドレイン 184B と P-基板領域 136 との間の PN 接合 226 は、IGFET 104 に対するドレイン・ボディ接合である。空の主要ウエル領域 184A 及び 184B は、しばしば、夫々、以下において、空のウエル 184A 及び 184B の機能を明確化するために、空のウエルボディ物質 184A 及び空のウエルドレイン 184B として記載する。

【0367】

N 型ソース 320 は、非常に高度にドーブした主要部分 320M 及び一層軽度にドーブしたラテラル即ち横方向延長部 320E から構成されている。ソース 320 への外部電気的コンタクトは N++ 主要ソース部分 320M を介して形成される。主要ソース部分 320M よりも一層軽度にドーブされているが、横方向（ラテラル）ソース延長部 320E は本サブミクロン CIGFET 適用例においては未だに高度にドーブされている。N+ ソース延長部 320E は、上部半導体表面に沿って、IGFET 104 のソース側においてチャンネルゾーン 322 を終端させる。

【0368】

N++ 主要ソース部分 320M は、ソース延長部 320E よりも一層深くに延在している。従って、ソース 320 の最大深さ y_s は主要ソース部分 320M の最大深さ y_{sM} である。IGFET 104 に対する最大ソース深さ y_s は図 22a に示されている。主要ソース部分 320M 及びソース延長部 320E は、夫々、N 型主要 S/D 及び浅いソース延長部ドーパントで画定される。

【0369】

P 型空のウエルボディ物質 184A の中程度にドーブされているハローポケット部分 326 は、ソース 320 に沿って上部半導体表面へ延在し且つボディ物質 184A 内の或る位置で、従ってソース 320 とドレイン 184B との間で終端する。図 11-2 及び 22a は、ソース 320、特に主要ソース部分 320M、が P ソース側ハローポケット 326 よりも一層深くに延在する状態を示している。代替的に、ハローポケット 326 は、ソース 320 よりも一層深くに延在することが可能である。従って、ハローポケット 326 は、ソース 320 下側を横方向に延在する。ハローポケット 326 は P 型ソースハロードーパントで画定される。

【0370】

ソース側ハローポケット部分 326 外側の P 型空のウエルボディ物質 184A の部分が図 11-2 及び 22a において品目 328 として示されている。ボディ物質 184A におけるディープ P 型空のウエル濃度最大の位置からハローポケット 326 外側のチャンネルゾーン 322 を介して仮想的垂直線 330 に沿って上部半導体表面へ移る場合に、空のウエルボディ物質部分 328 における P 型ドーパントの濃度は、記号「P」で示される中程度のドーピングから記号「P-」で示される軽度のドーピングへ徐々に降下する。点線 332（図 22a においてのみ記号が付されている）は、それより下側においてはボディ物質部分 328 内の P 型ドーパント濃度が中程度の P ドーピングにあり且つそれより上方においては部分 328 内の P 型ドーパント濃度が軽度の P ドーピングにある位置を概略的に表している。線 332 下側のボディ物質部分 328 の中程度にドーブされている部分は図 22a において P 下部ボディ物質部分 328L として示してある。線 332 上方のボディ物質部分 328 の軽度にドーブした部分は図 22a においては P-上部ボディ物質部分 328U として示してある。

【0371】

P 型空のウエルボディ物質部分 328 における P 型ドーパントは、P 型空の主要ウエルドーパント、P-基板領域 136 の P 型バックグラウンドドーパント、及び（P ハローポケット部分 326 近くの）P 型ソースハロードーパント、から構成されている。P 型バッ

クグラウンドドーパントの濃度は半導体ボディ全体にわたりほぼ一定である。P型空のウエルボディ物質184AにおけるP型空の主要ウエルドーパントは平均深さ y_{PWPK} における表面下位置に沿っての表面下濃度最大に到達するので、ボディ物質部分328内のP型空の主要ウエルドーパントの存在は、部分328における全P型ドーパントの濃度を、実質的にボディ物質184Aにおけるディープ表面下濃度最大の位置において、ディープ局所的表面下濃度最大に到達させる。ボディ物質部分328におけるディープ表面下濃度最大は、図22aにおいて「MAX」と符号を付けた左側二点鎖線で示したように、上部半導体表面下側を横方向に延在し且つ同様に平均深さ y_{PWPK} において発生する。ボディ物質部分328におけるディープ表面下濃度最大の発生は、横方向外側へそれを膨出させる。ボディ物質部分328における、従ってボディ物質184Aにおける、最大膨出はボディ物質184Aの部分328におけるディープ表面下濃度最大の位置に沿って発生する。

【0372】

N型空のウエルドレイン184Bは、上部半導体表面に沿ってアクティブ半導体島状部144B内に位置している非常に高度にドーピングされている外部コンタクト部分334を包含している。N++外部ドレインコンタクト部分334は、時々、ここでは、主要ドレイン部分と呼称される。何故ならば、主要ソース部分320Mと類似して、ドレインコンタクト部分334は非常に高度にドーピングされており、チャンネルゾーン322から離隔されており、且つIGFET104への外部電氣的コンタクトを形成する場合に使用されるからである。N++外部ドレインコンタクト部分／主要ドレイン部分334外側のドレイン184Bの部分は図11-2及び22aにおける品目336として示されている。

【0373】

ドレイン184BにおけるディープN型空のウエル濃度最大の位置から島状部144Aを介して仮想的垂直線338に沿って上部半導体表面へ移る場合に、ドレイン184BにおけるN型ドーパントの濃度は、記号「n」によって示される中程度のドーピングから記号「n-」によって示される軽度のドーピングへ徐々に降下する。点線340（図22aにおいてのみ記号を付してある）は、それより下側においては、空のウエルドレイン部分336内のN型ドーパント濃度が中程度のNドーピングにあり、且つそれにより上方においては、部分336内のN型ドーパント濃度が軽度Nドーピングにある位置を概略的に表している。線340下側のドレイン部分336の中程度にドーピングした部分は、図22aにおいて下部空のウエルドレイン部分336Lとして示してある。線340上方のドレイン部分336の軽度にドーピングした部分は図22aにおいてはN-上部空のウエルドレイン部分として示してある。

【0374】

N型空のウエルドレイン部分336におけるN型ドーパントは、N型空の主要ウエルドーパント、及び（N++ドレインコンタクト部分334近くの）以下に説明するようにドレインコンタクト部分334を形成するために使用したN型主要S/Dから構成されている。N型空のウエルドレイン184BにおけるN型空の主要ウエルドーパントは平均深さ y_{NWPk} においてディープ表面下濃度最大に到達するので、ドレイン部分336におけるN型空の主要ウエルドーパントの存在は、部分336における全N型ドーパントの濃度をして、実質的にウエル184Bにおけるディープ表面下濃度最大の位置におけるディープ局所的表面下濃度最大に到達させる。図22aにおいて「MAX」と符号の付けた右側二点鎖線によって示されているように、ドレイン部分336におけるディープ表面下濃度最大は、上部半導体表面下側を横方向に延在し且つ同様に平均深さ y_{NWPk} において発生する。空のウエルドレイン部分336におけるディープ表面下濃度最大の発生は、それをして横方向外側に膨出させる。ドレイン部分336における、従って空のウエルドレイン184Bにおける、最大膨出は、ドレイン184Bの部分336におけるディープ表面下濃度最大の位置に沿って発生する。

【0375】

P-基板領域136の表面隣接部分136Aは、空のウエルボディ物質184A、特に

空のウエルボディ物質部分 238、及び空のウエルドレイン 184B、特に空のウエルドレイン部分 336 を横方向に分離させる。 L_{WW} が IGFET104 のような延長型ドレイン IGFET の一対の相補的 (P 型及び N 型) 空の主要ウエルの間の最小分離距離を表すものとする、図 22a は、空のウエルボディ物質 184A と空のウエルドレイン 184B との間の最小ウエル対ウエル分離距離 L_{WW} は、一般的に、それらの最大横方向膨出の位置に沿って発生する、ことを表している。このことが発生する理由は、ボディ物質 184A 及びドレイン 184B におけるディープ表面下濃度最大の平均深さ y_{PWPK} 及び y_{NWPK} が図 11-2 及び 22a の例においてはほぼ同じだからである。深さ y_{PWPK} と y_{NWPK} との間の差異は、典型的に、IGFET104 に対する最小ウエル対ウエル分離 L_{WW} の位置をして、図 22a に示した位置から幾分離れて移動させ且つ図 22a に示したように完全にラテラル即ち横方向ではなく上部半導体表面に対して幾分傾斜しているものとさせる。

【0376】

ウエル分離部分 136A は軽度にドーピングされている。何故ならば、それは P-基板領域 136 の一部を構成しているからである。P 型空のウエルボディ物質 184A における P 型ドーパントのディープ濃度最大は、その中程度にドーピングした下部部分 (328L) において発生する。N 型空のウエルドレイン 184B における N 型ドーパントのディープ濃度最大は、同様に、その中程度にドーピングした下部部分 (336L) において発生する。従って、P 型ボディ物質 184A の中程度にドーピングした下部部分 (328L) 及び N 型ドレイン 184B の中程度にドーピングした下部部分 (336L) は、半導体ボディの一層軽度にドーピングした部分によって横方向に分離即ち離隔されている。

【0377】

チャンネルゾーン 322 (図 11-2 又は 22a において特に区画を示していない) は、ソース 320 とドレイン 184B との間の全ての P 型モノシリコンから構成されている。特に、チャンネルゾーン 322 は、ウエル分離部分 136A の表面隣接セグメント、ボディ物質部分 328 の P-上部部分 (328U) の表面隣接セグメント、及び (a) ソース 320 が図 11-2 及び 22a の例において例示したようにハローポケット 326 よりも一層深くに延在している場合には、P ハローポケット部分 326 の全て、又は (b) それがソース 320 よりも一層深くに延在している場合に、ハローポケット 326 の表面隣接セグメント、によって形成される。いずれの場合においても、ハローポケット 326 は、チャンネルゾーン 322 におけるボディ物質部分 328 の P-上部部分 (328U) の直接に隣接する物質よりも一層高度にドーピングした P 型である。ソース 320 に沿ってのハローポケット 326 の存在は、チャンネルゾーン 322 をして、非対称的に長手方向にドーパントをグレイド即ち勾配付けしている。チャンネルゾーン 322 におけるウエル分離用部分 136A の表面隣接セグメントの存在は、それをして更に非対称的に長手方向にドーパントグレイド即ち勾配付けさせている。

【0378】

ドレイン 184B は、島状部 144A 内のドレイン 184B の物質を島状部 144B 内のドレイン 184B の物質へ電氣的に接続させるために凹設したフィールド絶縁体 138 の下側を延在している。特に、フィールド絶縁体 138 は N++ ドレインコンタクト部分 334 及び空のウエルドレイン 184B の下側に存在する一層軽度にドーピングした部分 184B1 を横方向に取り囲んでいる。フィールド絶縁体 138 の一部 138A は、ドレインコンタクト部分 334 及び一層軽度にドーピングされている下側に存在するドレイン部分 184B1 を島状部 144A 内に位置されているドレイン 184B の一部 184B2 から横方向に分離している。ドレイン部分 184B2 は P-ウエル分離用部分 136A と連続的であり且つ上部半導体表面へ延在している。ドレイン 184B の残部は図 22a においては品目 184B3 として示してあり且つ島状部 144A 及び 144B の底部からドレイン 184B の底部へ下方へ延在する N 型ドレイン物質から構成されている。ドレイン 184B はフィールド絶縁体 138 の下側を、従ってソース 320 よりもかなり一層深くに延在しているので、チャンネルゾーン 322 の底部は、ソース 320 からドレイン 184B へ移

る場合に、かなり下方へ傾斜している。

【0379】

t_{GDH} の高厚さ値にあるゲート誘電体層 344 が上部半導体表面上に位置されており且つチャンネルゾーン 322 上方に延在している。ゲート電極 346 がチャンネルゾーン 322 上方でゲート誘電体層 344 上に位置している。ゲート電極 346 がソース 320 及びドレイン 184B にわたり部分的に延在している。より詳細には、ゲート電極 346 がソース延長部 320E にわたり部分的に延在しているが、主要ソース部分 302M にわたっていない。ゲート電極 346 がドレイン部分 184B2 にわたり延在しており、且つ部分的に、典型的にはほぼ半分にわたり、フィールド絶縁体部分 138A を横断してコンタクト部分 334 へ向かって延在している。誘電体側壁スペーサ 348 及び 350 がゲート電極 346 の両側の横断方向側壁に沿って夫々位置されている。メタルシリサイド層 352, 354, 356 が、夫々、ゲート電極 346、主要ソース部分 320M, ドレインコンタクト部分 334 の上部に沿って位置されている。

10

【0380】

延長型ドレイン IGFET 104 は、(a) そのゲート対ソース電圧 V_{GS} がその正のスレッシュホールド電圧 V_T と等しいか又はそれを越え、且つ (b) そのドレイン対ソース電圧 V_{DS} がチャンネルゾーン 322 を介してソース 320 からドレイン 184B へ電子を流させるのに十分に正の値にある場合に、バイアスオン状態にある。IGFET 104 のゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T 未満であるが、ドレイン対ソース電圧 V_{DS} が、ゲート対ソース電圧 V_{GS} がそのスレッシュホールド電圧 V_T と等しいか又はそれを越えていて IGFET 104 を導電性とさせる場合に、チャンネルゾーン 322 を介してソース 320 からドレイン 184B へ電子が流れるのに十分に正の値にある場合に、IGFET 104 はバイアスオフ状態にある。バイアスオフ状態において、ドレイン対ソース電圧 V_{DS} が IGFET 104 をブレイクダウン条件にさせるのに十分に高いものでない限り、チャンネルゾーン 322 を介してソース 320 からドレイン 184B への著しい電子の流れは存在しない。

20

【0381】

空のウエルボディ物質 184A 及び空のウエルドレイン 184B のドーピング特性は、延長型ドレイン IGFET 104 のモノシリコンにおける電界のピークの大きさをして、IGFET 104 がバイアスオフ状態にある場合に、上部半導体表面の十分下側に発生させる。IGFET 動作期間中、IGFET 104 は、上部半導体表面に沿って IGFET のモノシリコンにおいて電界のピークの大きさが発生する従来の延長型ドレイン IGFET よりも、ホットキャリアゲート誘電体荷電に起因する悪影響を受けることはかなり少ない。

30

【0382】

E2. 延長型ドレインNチャンネルIGFETにおけるドーパント分布

空のウエルボディ物質 184A 及び空のウエルドレイン 184B がどのようにして、IGFET 104 がバイアスオフ状態にある場合に、延長型ドレインNチャンネル IGFET 104 のモノシリコン内の電界のピークの大きさを上部半導体表面の著しく下側で発生させることが可能であるかの理解は、図 23a-23c (集約的に「図 23」) の助けを借りて容易化される。図 23 は垂直線 330 及び 338 に沿っての深さ y の関数としての例示的なドーパント濃度を提示している。垂直線 330 は空のウエルボディ物質 184A の P 型ボディ物質部分 328 を介して上部半導体表面へ、従ってソース側ハローポケット部分 326 外側の或る位置におけるボディ物質 184A を介して、通過する。空のウエルボディ物質部分 328 を介して通過する場合に、線 330 は IGFET 104 の P 型ボディ物質の一部を構成する p-基板 136 の一部 136A とハローポケット 326 との間のチャンネルゾーン 322 の一部を介して通過する。線 330 はハローポケット 326 及びソース 320 の両方から十分に離れており、ハローポケット 326 の P 型ソースハロードーパントもソース 320 の N 型ドーパントも線 330 に到達するものではない。垂直線 3

40

50

38が島状部144A内に位置されているN型空のウエルドレイン184Bの一部184B2を介して通過する。線338もドレイン184Bの下側に存在する部分184B3を介して通過する。

【0383】

図23aは、垂直方向に領域136, 328, 184B2, 184B3を画定し、従って、夫々、(a)ソース側ハローポケット部分326外側の空のウエルボディ物質184AのP型ボディ物質部分328、及び(b)N型空のウエルドレイン184Bの一部184B2及び184B3、内に垂直ドーパント分布を確立する個別的な半導体ドーパントの垂直線330及び338に沿っての濃度 N_I を特に示している。曲線328'は空のウエルボディ物質184AのP型ボディ物質部分328を画定するP型空の主要ウエルドーパントの濃度 N_I （ここでは垂直のみ）を表している。曲線184B2/184B3'はN型空のウエルドレイン184Bの一部184B2及び184B3を画定するN型空の主要ウエルドーパントの濃度 N_I （ここでは垂直のみ）を表している。品目226#は、正味ドーパント濃度 N_N がゼロへ移行する箇所を示しており、且つドレイン184Bと基板領域136との間のドレイン・ボディ接合226の位置を示している。

10

【0384】

垂直線330及び338に沿っての領域136, 328, 184B2, 184B3における全P型及び全N型のドーパントの濃度 N_T が図23bに示されている。曲線部分328"は空のウエルボディ物質184AのP型ボディ物質部分328に対応している。曲線184A"及び184B"は、夫々、空のウエルボディ物質184A及び空のウエルドレイン184Bに対応している。図23bにおける曲線184B"は図23aにおける曲線184B2/184B3'と同じである。

20

【0385】

図23cは垂直線330及び338に沿っての正味ドーパント濃度 N_N を提示している。空のウエルボディ物質184Aのボディ物質部分328における正味P型ドーパントの濃度 N_N は曲線セグメント328*によって表されている。曲線184A*及び184B*は、夫々、空のウエルボディ物質184A及び空のウエルドレイン184Bに対応している。図23cにおける曲線184A*は図23bにおける曲線184A"と同じである。

30

【0386】

図23aに戻ると、曲線328'は、P型空のウエルボディ物質184AにおけるP型空の主要ウエルドーパントの濃度 N_I がボディ物質184Aのボディ物質部分328を介しての垂直線330に沿ってのほぼ平均深さ y_{PWPK} において最大濃度に到達すること、を示している。曲線184B2/184B3'は、同様に、N型空のウエルドレイン184Bの部分184B2及び184B3におけるN型空の主要ウエルドーパントの濃度 N_I がドレイン184Bの部分184B2及び184B3を介しての垂直線338に沿ってほぼ平均深さ y_{NWPk} において最大濃度に到達すること、を示している。空のウエルボディ物質184A及び空のウエルドレイン184Bにおけるほぼ深さ y_{PWPK} 及び y_{NWPk} におけるドーパント濃度最大は、上述した如く、P型及びN型空の主要ウエルドーパントの夫々のイオン注入から発生する。更に上述した如く、平均空の主要ウエル最大濃度深さ y_{PWPK} 及び y_{NWPk} は、通常、値が互いに非常に近い。ここでは、N型空の主要ウエル最大濃度深さ y_{NWPk} は、典型的に、図23aの例に示した如く、P型空の主要ウエル最大濃度深さ y_{PWPK} よりも僅かに一層大きい。

40

【0387】

IGFET104の空の主要ウエル最大ドーパント濃度深さ y_{PWPK} 及び y_{NWPk} の両方共ソース320の最大深さ y_s よりも一層大きい。深さ y_{PWPK} 及び y_{NWPk} の各々は、通常、IGFET104の最大ソース深さ y_s の少なくとも2倍であるが、通常、IGFET104のソース深さ y_s の10倍、好適には5倍、より好適には4倍、を越えるものではない。図23aの例においては、各深さ y_{PWPK} 又は y_{NWPk} はソース深さ y_s の2乃至3倍である。

50

【0388】

図23aにおける曲線328'によって表されているP型空の主要ウェルドーパントの濃度 N_I は、深さ y_{PWPK} におけるP型空の主要ウェルドーパントの最大濃度の位置から、ハローポケット部分326とP-基板領域136の部分136Aとの間のチャンネルゾーン322の部分を含むP型空のウェルボディ物質部分328を介して垂直線330に沿って上方へ上部半導体表面へ移る場合に、少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも40の係数、だけ減少する。図18aと同様に、図23aは、P型空の主要ウェルドーパントの濃度 N_I が、P型空の主要ウェルドーパントの最大濃度の y_{PWPK} 位置からボディ物質部分328を介して線330に沿って上方へ上部半導体表面へ移る場合に、80の係数を超えるだけ、100の係数の近傍で、減少する。

10

【0389】

P型空の主要ウェルドーパントの濃度 N_I における減少は、典型的に、深さ y_{PWPK} におけるP型空の主要ウェルドーパントの最大濃度の位置から垂直線330に沿って上方へ上部半導体表面へ移る場合に、実質的に単調的である。P-基板領域136の部分136A外側のチャンネルゾーン322の部分の上部表面に沿ってP型空の主要ウェルドーパントの幾らかのパイルアップが発生する場合には、P型空の主要ウェルドーパントの濃度 N_I は、深さ y_{PWPK} から線330に沿ってソース320の最大深さ y_S の20%よりも上部半導体表面から離れることの無い或る点へ移る場合に、実質的に単調的に減少する。

20

【0390】

図23bにおいては、P型空のウェルボディ物質184Aにおける全P型ドーパント濃度 N_T を表す曲線184A"は、図23bにおける曲線136"のセグメントと曲線セグメント328"とから構成されている。図23bにおける曲線セグメント328"は、図23aにおける曲線328'及び136'の対応する部分の和を表している。その結果、図23bにおける曲線セグメント328"は、垂直線330に沿ってのP型ボディ物質部分328におけるP型空の主要ウェルドーパントとバックグラウンドドーパントとの和の濃度 N_N を表している。

【0391】

図23aにおける曲線328'及び136'の比較は、曲線136'によって表されるP型バックグラウンドドーパントの濃度 N_I は、 y_{PWPK} より大きくない深さ y に対して、垂直線330に沿って、P型空のウェルドーパントの濃度 N_I と比較して、非常に小さい、ことを示している。IGFET100におけるように、 y_{PWPK} より大きくない深さ y に対して線330に沿ってのIGFET104におけるP型空の主要ウェルドーパントの濃度 N_I に対するP型バックグラウンドドーパントの濃度 N_I の最も高い比は、上部半導体表面において発生し、そこでは、P型バックグラウンドドーパント対P型空の主要ウェルドーパント濃度比は典型的に0.1の近傍にある。従って、上部半導体表面への線330に沿って深さ y_{PWPK} からの全P型ドーパントは、主に、P型空の主要ウェルドーパントから構成されている。図23bにおいて曲線184A"によって表されている全P型ドーパントの濃度 N_T は、線330に沿ってほぼ深さ y_{PWPK} において一つの最大に到達し、且つ y_{PWPK} よりも一層大きくない深さ y に対して線330に沿ってのP型空の主要ウェルドーパントの濃度 N_I とほぼ同じ変化を有している。

30

40

【0392】

図23cにおいてボディ物質184Aにおける正味P型ドーパントの濃度 N_N を表している曲線184A*は図23bにおける曲線184A"と同じであるという事実によって表されるように、垂直線330に沿って基本的にN型ドーパントは存在しない。ボディ物質184Aの空のウェルボディ物質部分328における正味P型ドーパントの濃度 N_N は、垂直線330に沿ってのボディ物質184Aの部分328における全P型ドーパントの濃度 N_T における変化を繰り返している。従って、ボディ物質184Aの部分328における正味P型ドーパントの濃度 N_N は線330に沿って深さ y_{PWPK} において一つの最

50

大に到達する。

【0393】

N型空の主要ウェルドーパントの濃度 N_I が図23aにおける曲線184B2/184B3'によって表される場合のN型空のウェルドレイン184Bに移ると、N型空の主要ウェルドーパントの濃度 N_I は、深さ y_{NWPK} におけるN型空の主要ウェルドーパントの最大濃度の位置から空のウェルドレイン184Bの部分184B3及び184B2を介して垂直線338に沿って上方へ上部半導体表面へ移る場合に、少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも40の係数、だけ同様に減少する。図23aは、N型空の主要ウェルドーパントの濃度 N_I が、N型空の主要ウェルドーパントの最大濃度の y_{NWPK} 位置からドレイン184Bの部分184B3及び184B2を介して線228に沿って上方へ上部半導体表面へ移る場合に、80の係数を超えるだけ、100の係数の近傍で、減少する例を提示している。

10

【0394】

N型空の主要ウェルドーパントの濃度 N_I は、典型的に、深さ y_{NWPK} におけるN型空の主要ウェルドーパントの最大濃度の位置から垂直線338に沿って上方へ上部半導体表面へ移る場合に、実質的に単調的に減少する。空のウェルドレイン184Bの部分184B2の上部表面に沿ってN型空の主要ウェルドーパントの幾らかのパイルアップが発生する場合には、N型空の主要ウェルドーパントの濃度 N_I は、深さ y_{NWPK} から線338に沿ってソース320の最大深さ y_S の20%よりも上部半導体表面から遠くない或る点へ移る場合に、実質的に単調的に減少する。

20

【0395】

図23bにおける曲線184B''は、N型空のウェルドレイン184Bにおける全N型ドーパント濃度 N_T を表している。曲線184B''は図23aにおける曲線184B2/184B3'と同じであるから、全N型ドーパントの濃度 N_T は垂直線338に沿って深さ y_{NWPK} において最大に到達し且つN型空の主要ウェルドーパントの濃度 N_I のようにN型空のウェルドレイン184Bの部分184B2及び184B3を介して垂直線338に沿って変化する。正味ドーパント濃度 N_N がソース・ボディ接合226においてゼロとなる場合には、図23cにおける曲線184B*は、この変化は空のウェルドレイン184Bの部分184B2及び184B3における線338に沿っての正味濃度 N_N へほぼ持ち越すこと、を示している。従って、空のウェルドレイン184Bの部分184B2及び184B3における正味N型ドーパントの濃度 N_N も線338に沿って深さ y_{NWPK} において最大に到達する。

30

【0396】

E3. 延長型ドレインNチャンネルIGFETの動作物理

前述した空のウェル特性は、延長型ドレインNチャンネルIGFET104が以下の装置物理及び動作特性を有することを可能とする。IGFET104がバイアスオフ状態にある場合に、IGFETのモノシリコン内の電界は、空のウェル領域184A及び184Bの互いの近接性によって、及び(a)P型空のウェルボディ物質184Aの部分328にける全P型ドーパントの濃度 N_T 及び(b)N型空のウェルドレイン184Bの部分184B2及び184B3における全N型ドーパントの濃度 N_T の最大値によって、決定される位置において、ドレイン・ボディ接合226に沿ってピーク値に到達する。P型空のウェルボディ物質328における全P型ドーパントの濃度 N_T の最大値における深さ y_{PWPK} は、通常、N型空のウェルドレイン184Bの部分184B2及び184B3における全N型ドーパントの濃度 N_T の最大値における深さ y_{NWPK} とほぼ等しいので、且つ深さ y_{PWPK} 及び y_{NWPK} において空のウェル184A及び184Bは互いに最も近いので、IGFET104のモノシリコン内の電界のピーク値は深さ y_{NWPK} においてほぼドレイン・ボディ接合226に沿って発生する。この位置は、図22aにおける円358によって表してある。深さ y_{NWPK} は通常ソース320の最大深さ y_S の少なくとも2倍であるから、IGFET104のモノシリコン内のピーク電界の位置358は、

40

50

通常、それがバイアスオフ状態にある場合に、IGFET 104の最大ソース深さ y_s の少なくとも2倍である。

【0397】

IGFET 104がバイアスオン状態にある場合には、ソース320からドレイン184Bへ流れる電子は、初期的に、空のウェルボディ物質184Aにおけるチャンネルゾーン322の部分の上部表面に沿ってモノシリコン内を移動する。P-基板領域136の部分136Aに入ると、該電子は概略下方へ移動し且つ広がる。ドレイン184Bに入ると、該電子の流れは島状部144Aにおけるドレイン・ボディ接合226の概略垂直部分にわたり分布される。該電子の流れは、又、ドレイン184Bの部分184B2にわたり横方向に広がる。

10

【0398】

一次電子と呼称する該電子の速度は、ソース320からドレイン184Bへ移動するに従い増加し、それらのエネルギーを増加させる。高度にエネルギーのある一次電子がドレイン物質の原子と衝突する場合にドレイン184Bにおいて衝突イオン化が発生し、電子及びホールの両方の二次電荷キャリアを発生し、それらは、通常、局所的電界の方向に移動する。高電界のバルク領域において発生された該二次電荷キャリアの内の幾らか、特に二次ホール、はドレイン184Bの部分84B2の上側に位置している誘電体層344の部分に向けて上方へ移動する。

【0399】

衝突イオン化の量は、一般的には、電界が増加するに従って且つ一次電子の電流密度が増加するに従って増加する。最大量の衝突イオン化は、電界ベクトルと一次電子電流密度ベクトルとのスカラー積が最高である場合に、発生する。ピーク電界が深さ y_{NWPK} におけるドレイン・ボディ接合226に沿って発生させることにより、ドレイン184Bにおける衝突イオン化は著しく下方へ強制される。ドレイン184Bにおける最大量の衝突イオン化は、通常、IGFET 104の最大ソース深さ y_s よりも一層大きな深さにおいて発生する。

20

【0400】

IGFET 104とほぼ同じ寸法の従来のNチャンネル延長型ドレインIGFETと比較して、IGFET 104における衝突イオン化によって発生されるかなり一層少ない二次電荷キャリア、特に二次ホール、がゲート誘電体層344に入るための十分なエネルギーをもって上部半導体方面に到達する。ゲート誘電体344のホットキャリア荷電(hot carrier charging)はかなり減少される。IGFET 104は、ゲート誘電体344内に入る衝突イオン化により発生した電荷キャリアによって起こされるスレッショールド電圧ドリフトを発生させることはかなり少ない。IGFET 104の動作特性は、動作時間について非常に安定している。IGFET 104の信頼性及び寿命はかなり向上される。

30

【0401】

E4. 延長型ドレインPチャンネルIGFETの構成

延長型ドレイン拡張電圧PチャンネルIGFET 106は、延長型ドレイン拡張電圧NチャンネルIGFET 104と同様に構成される。しかしながら、PチャンネルIGFET 106のディープNウェル212は上部半導体表面に到達しないという事実に起因して幾らかの注目すべき差異が存在している。

40

【0402】

図11-2及び22bを参照すると、PチャンネルIGFET 106は、上部半導体表面に沿ってアクティブ半導体島状部146A内に位置しているP型第1S/Dゾーン360を有している。空の主要ウェル領域186BとP-基板領域136の表面隣接部分136Bとの結合は、IGFET 106用のP型第2S/Dゾーン186B/136Bを構成している。P型S/Dゾーン186B/136Bの一部は、以下に更に説明するように、アクティブ半導体島状部146A及び146Bの両方に位置している。S/Dゾーン360及び186B/136Bは、しばしば、夫々、以下において、ソース360及びドレイ

50

ン 1 8 6 B / 1 3 6 B として呼称される。何故ならば、それらは、通常、必ずしもというわけではないが、夫々、ソース及びドレインとして機能するからである。

【0403】

ソース 3 6 0 及びドレイン 1 8 6 B / 1 3 6 B は、N 型空の主要ウエル領域 1 8 6 A 及びディープ N ウエル領域 2 1 2 で形成されている N 型ボディ物質のチャンネルゾーン 3 6 2 によって分離されている。N 型空のウエルボディ物質 1 8 6 A、即ち全ボディ物質 1 8 6 A 及び 2 1 2 の一部 1 8 6 A、は P 型ソース 3 6 0 とソース・ボディ P N 接合 3 6 4 を形成する。ディープ N ウエル 2 1 2 及び N 型ボディ物質 1 8 6 A は、ドレイン 1 8 6 B / 1 3 6 B とドレイン・ボディ P N 接合 2 2 8 を形成する。ドレイン・ボディ接合 2 2 8 の一部は、ディープ N ウエル 2 1 2 と P 型空の主要ウエル領域 1 8 6 B との間にある。空の主要ウエル領域 1 8 6 A 及び 1 8 6 B は、しばしば、以下において、空のウエル 1 8 6 A 及び 1 8 6 B の機能を明確化させるために、夫々、空のウエルボディ物質 1 8 6 A 及び空のウエルドレイン物質 1 8 6 B として説明する。

【0404】

P 型ソース 3 6 0 は、非常に高度にドーピングした主要部分 3 6 0 M と、一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部 2 6 0 E とから構成されている。ソース 3 6 0 への外部電氣的コンタクトは P ++ 主要ソース部分 3 6 0 M を介して構成される。P + ソース延長部 3 6 0 E は、I G F E T 1 0 6 のソース側において上部半導体表面に沿ってチャンネルゾーン 3 6 2 を終端させる。

【0405】

主要ソース部分 3 6 0 M は、ソース延長部 3 6 0 E よりも一層深くに延在している。その結果、ソース 3 6 0 の最大深さ y_s は主要ソース部分 3 6 0 M の最大深さ y_{sM} である。I G F E T 1 0 6 に対する最大ソース深さ y_s は図 2 2 b において示してある。主要ソース部分 3 6 0 M 及びソース延長部 3 6 0 E は、夫々、P 型主要 S / D ドーパント及び浅いソース延長部ドーパントで画定されている。

【0406】

N 型空のウエルボディ物質 1 8 6 A の中程度にドーピングしたハローポケット部分 3 6 6 は、ソース 3 6 0 に沿って上部半導体表面へ延在し且つボディ物質 1 8 6 A 内の或る位置で、即ちソース 3 6 0 とドレイン 1 8 6 B / 1 3 6 B との間で終端する。図 1 1 - 2 及び 2 2 b は、ソース、特に主要ソース部分 3 6 0 M、が N ソース側ハローポケット 3 6 6 よりも一層深くに延在している状態を例示している。代替例として、ハローポケット 3 6 6 は、ソース 3 6 0 よりも一層深くに延在することが可能である。その場合には、ハローポケット 3 6 6 は、ソース 3 6 0 の下側を横方向に延在する。ハローポケット 3 6 6 は N 型ソースハロードーパントで画定されている。

【0407】

ソース側ハローポケット部分 3 6 6 外側の N 型空のウエルボディ物質 1 8 6 A の部分は図 1 1 - 2 及び 2 2 b における品目 3 6 8 として示してある。ボディ物質 1 8 6 A におけるディープ N 型空のウエル濃度最大の位置から上部半導体表面へ向かって仮想的垂直線 3 7 0 に沿ってハローポケット 3 6 6 外側のチャンネルゾーン 3 6 2 を介して移る場合に、ボディ物質部分 3 6 8 における N 型ドーパントの濃度は記号「n」で示される中程度のドーピングから記号「n-」で示される軽度のドーピングへ徐々に降下する。点線 3 7 2 (図 2 2 b においてのみ符号が付けてある) は、それより下側においては、ボディ物質部分 3 6 8 における N 型ドーパント濃度が中程度の N ドーピングにあり、且つそれより上側においては、部分 3 6 8 内の N 型ドーパント濃度が軽度の N ドーピングにある位置を概略的に表している。線 3 7 2 下側のボディ物質部分 3 6 8 の中程度にドーピングした部分は図 2 2 b において N 下部ボディ物質部分 3 6 8 L として示してある。N ハローポケット 3 6 6 外側の線 3 7 2 上方のボディ物質部分 3 6 8 の軽度ドーピングした部分は、図 2 2 b において、N-上部ボディ物質部分 3 6 8 U として示してある。

【0408】

N 型ボディ物質部分 3 6 8 における N 型ドーパントは、N 型空の主要ウエルドーパント

、ディープNウェル212を形成するディープNウェルドーパント、及び（Nハローポケット部分366近くの）ハローポケット部分366を形成するN型ソースハロードーパント、から構成されている。ディープNウェルドーパントの濃度は、以下に示すように、平均N型空の主要ウェル最大濃度深さ y_{NWPK} におけるN型空の主要ウェルドーパントの濃度と比較して、非常に小さい。N型空のウェルボディ物質186A内のN型空の主要ウェルドーパントは平均深さ y_{NWPK} における表面下位置に沿ってディープ表面下濃度最大に到達するので、ボディ物質部分368におけるN型空の主要ウェルドーパントの存在は、部分368における全N型ドーパントの濃度をしてボディ物質186A内のディープ表面下濃度最大の位置において実質的にディープ局所的表面下濃度最大に到達させる。図22bにおいて「MAX」と符号の付けた左側二点鎖線で示した如く、ボディ物質部分368におけるディープ表面下濃度最大は、上部半導体表面下側を横方向に延在し且つ同様に平均深さ y_{NWPK} において発生する。ボディ物質部分368におけるディープ表面下濃度最大の発生は、それをして横方向外側に膨出させる。ボディ物質部分368における、従ってボディ物質186Aにおける、最大膨出は、ボディ物質186Aの部分368におけるディープ表面下濃度最大の位置に沿って発生する。

【0409】

P型ドレイン186B／136B、特に空のウェルドレイン物質186B、は上部半導体表面に沿ってアクティブ半導体島状部146B内に位置している非常に高度にドーピングした外部コンタクト部分374を包含している。P++外部ドレインコンタクト部分374は、時々、ここでは、主要ドレイン部分として呼称される。何故ならば、主要ソース部分360Mと同様に、ドレインコンタクト部分374は非常に高度にドーピングされており、チャンネルゾーン362から分離されており、且つIGFET106への外部電氣的コンタクトを形成する場合に使用されるからである。N++外部ドレインコンタクト部分／主要ドレイン部分374外部の空のウェル186Bの部分は、図11-2及び22bにおいて、品目376として示してある。

【0410】

空のウェル186BにおけるディープP型空のウェル濃度最大の位置から上部半導体表面へ向かって仮想的垂直線378に沿って島状部146Aを介して移る場合に、ドレイン186B／136BにおけるP型ドーパントの濃度は、記号「p」によって示される中程度のドーピングから記号「p-」によって示される軽度のドーピングへ徐々に降下する。点線380（図22bにおいてのみ符号を付けてある）は、それより下側においては、空のウェルドレイン部分376におけるP型ドーパント濃度が中程度のPドーピングにあり、且つそれより上側においては、部分376内のP型ドーパント濃度が軽度のp-ドーピングにある位置を概略的に表している。線380下側のドレイン部分376の中程度にドーピングした部分は図22bにおけるp下部空のウェルドレイン部分376Lとして示してある。線380上側のドレイン部分376の軽度にドーピングした部分は、図22bにおいてp-上部空のウェルドレイン部分376Uとして示してある。

【0411】

P型空のウェルドレイン部分376におけるP型ドーパントは、P型空の主要ウェルドーパント、P-基板領域136のほぼ一定のP型バックグラウンドドーパント、及び（P++ドレインコンタクト部分374近くの）以下に説明するようにドレインコンタクト部分374を形成するために使用されるP型主要S/Dドーパント、から構成されている。P型ドレイン186B／136BにおけるP型空の主要ウェルドーパントは平均深さ y_{PWPK} においてディープ表面下濃度最大に到達するので、ドレイン部分376におけるP型空の主要ウェルドーパントの存在は、部分376における全P型ドーパントの濃度をして、実質的にウェル186B内のディープ表面下濃度最大の位置におけるディープ局所的表面下濃度最大に到達させる。図22bにおいて「MAX」と符号の付けた右側の二点鎖線によって示されるように、ドレイン部分376におけるディープ表面下濃度最大は、上部半導体表面下側を横方向に延在し且つ同様に平均深さ y_{PWPK} において発生する。空のウェルドレイン部分376におけるディープ表面下濃度最大の発生は、それをして横方

10

20

30

40

50

向外側へ膨出させる。ドレイン部分 376 における、従って空のウエル 186B における最大膨出は、ウエル 186B の部分 376 におけるディープ表面下濃度最大の位置に沿って発生する。

【0412】

ディープNウエル 212 を形成するために使用されるディープNウエルドーパントは、主要ウエル 186A 及び 186B 及びウエル 186A と 186B との間に位置しているドーパントしたモノシリコン下側を横方向に延在する位置に沿って平均深さ y_{DNWPk} において最大表面下ドーパント濃度に到達する。最大ウエルドーパント濃度の位置から上部半導体表面へ向かって移る場合に、どのようにして各ウエル 186A 又は 186B におけるドーパント濃度が変化するかと幾分同様に、ディープNウエル 212 におけるN型ドーパントの濃度は、ウエル 212 における最大ドーパント濃度の位置から上部半導体表面へ主要ウエル 186A と 186B との間に位置しているモノシリコンを介して延在する選択した仮想的垂直線に沿って移る場合に、記号「n」によって示される中程度のドーピングから記号「n-」によって示される軽度のドーピングへ徐々に降下する。点線 382 (図 22b においてのみ符号を付けてある) は、それにより下側においては、ディープNウエル 212 におけるN型ドーパント濃度が中程度のNドーピングにあり、且つそれより上側においては、ディープNウエル 212 におけるN型ドーパント濃度が軽度のNドーピングにある位置を概略的に表している。線 382 下側のディープNウエル 212 の中程度にドーパした部分は図 22b においてN下部ウエル部分 212L として示してある。線 382 上側のディープNウエル 212 の軽度にドーパした部分は図 22b においてN-上部ウエル部分 212U として示してある。

【0413】

空のウエルボディ物質 186A, 特に空のウエルボディ物質部分 368、及び空のウエルドレイン部分 186B, 特に空のウエルドレイン部分 376、半導体ボディのウエル分離用部分によって分離されている。IGFET 106 に対する該ウエル分離用部分は、(a) ディープNウエル 212 の軽度にドーパした上部部分 (212U)、及び (b) 上側に存在するドレイン部分 136B、から構成されている。図 22b は、空のウエルボディ物質 186A 及びウエル 186B との間の最小ウエル対ウエル分離距離 L_{ww} は、一般的に、それらの最大横方向膨出の位置に沿って発生することを示している。このことが発生する理由は、ボディ物質 186A 及びウエル 186B におけるディープ表面下濃度最大の平均深さ y_{NWPK} 及び y_{PWPK} が図 11-2 及び 22b の例においてはほぼ等しいからである。深さ y_{NWPK} と y_{PWPK} との間の差異は、典型的に、IGFET 106 に対する最小ウエル対ウエル分離 L_{ww} の位置を、図 22b に示した位置から幾分離れるように移動させ、且つ図 22b に示したように完全にラテラル即ち横方向ではなく上部半導体表面に対して幾分傾斜しているものとさせる。

【0414】

IGFET 106 に対するウエル分離用部分をウエル分離部分 212U / 136B として呼称するものとする、ウエル分離部分 212U / 136B のドレイン部分 136B は軽度にドーパされたP型である。何故ならば、部分 136B はP-基板領域 136 の一部だからである。ウエル分離部分 212U / 136B の部分 212U は軽度にドーパしたN型である。何故ならば、部分 212U はディープNウエル 212 の軽度にドーパした上部部分だからである。N型空のウエルボディ物質 186A におけるN型ドーパントのディープ濃度最大は、その中程度にドーパした下部部分 (368L) において発生する。P型空のウエル 186B におけるP型ドーパントのディープ濃度最大は、同様に、その中程度にドーパした下部部分 (376L) において発生する。従って、N型ボディ物質 186A の中程度にドーパした下部部分 (368L) 及びP型ウエル 186B の中程度にドーパした下部部分 (376L) は、半導体ボディの一層軽度にドーパされている部分によって横方向に分離されている。

【0415】

チャネルゾーン 362 (図 11-2 及び 22b においては特に区画を示していない)

は、ソース360とドレイン186B/136Bとの間の全てのN型モノシリコンから構成されている。特に、チャンネルゾーン362はボディ物質部分368のN-上部部分(368U)の表面隣接セグメント、及び(a)ソース360が図11-2及び22bの例に示したようにハローポケット366よりも一層深くに延在する場合には、Nハローポケット部分366の全て、又は(b)それがソース360よりも一層深くに延在する場合には、ハローポケット366の表面隣接セグメント、によって形成される。いずれの場合にも、ハローポケット366は、チャンネルゾーン362におけるボディ物質部分368のN-上部部分(368U)の直接隣接物質よりも一層高度にN型にドーピングされている。ソース360に沿ってのハローポケット366の存在は、チャンネルゾーン362をして非対称的に長手方向にドーパントがグレイデッド(graded)即ち勾配付きのものとさせる。

10

【0416】

ドレイン186B/136Bのウエル領域186Bは、島状部146A内のドレイン186B/136Bの物質を島状部246B内のドレイン186B/136Bの物質へ電氣的に接続させるために凹設型フィールド絶縁体138下側を延在している。特に、フィールド絶縁体138は、P++ドレインコンタクト部分374及びドレイン186B/136Bの下側に存在する一層軽度ドーピングした部分186B1を横方向に取り囲んでいる。フィールド絶縁体138の一部138Bは、ドレインコンタクト部分374及び一層軽度ドーピングした下側に存在するドレイン部分186B1を島状部146A内に位置しているウエル186Bの一部186B2から横方向に分離即ち離隔させている。ドレイン部分186B2は軽度ドーピングしたウエル分離用部分212U/136Bと連続的であり且つ上部半導体表面まで延在している。ウエル186Bの残部は図22bにおいては品目186B3として識別してあり且つウエル186Bの底部へ下方へ島状部146A及び146Bの底部から延在するN型ドレイン部分から構成されている。

20

【0417】

t_{GDH} の高い厚さ値にあるゲート誘電体層384が上部半導体表面上に位置されておりチャンネルゾーン362を覆って延在している。ゲート電極386がチャンネルゾーン362の上方でゲート誘電体層384の上に位置されている。ゲート電極386はソース360及びドレイン186B/136Bを部分的に覆って延在している。より詳細には、ゲート電極386はソース延長部136Bを部分的に覆って延在しているが、主要ソース部分360Mを覆うものではない。ゲート電極386はドレイン部分136B及び186B2を覆って且つドレインコンタクト部分374へ向けてフィールド絶縁体部分138Bを横断して部分的に、典型的に約半分、延在している。誘電体側壁スペーサ388及び390は、夫々、ゲート電極386の反対側の横断方向側壁に沿って位置されている。メタルシリサイド層392, 294, 296が、夫々、ゲート電極386、主要ソース部分360M、ドレインコンタクト部分374の上部に沿って位置されている。

30

【0418】

延長型ドレインIGFET106がバイアスオン状態にある場合は、(a)そのゲート対ソース電圧 V_{GS} がその負スレッショールド電圧 V_T 以下であり且(b)そのドレイン対ソース電圧 V_{DS} がホールをしてソース360からチャンネルゾーン362を介してドレイン186B/136Bへ流させるように十分に負の値にある場合である。IGFET106のゲート対ソース電圧 V_{GS} がそのスレッショールド電圧 V_T を超えるが、IGFET106を導通状態とさせるためにゲート対ソース電圧 V_{GS} がそのスレッショールド電圧 V_T 以下であった場合にはホールがソース360からチャンネルゾーン362を介してドレイン186B/136Bへ流れるようにドレイン対ソース電圧 V_{DS} が十分に負の値にある場合には、IGFET106はバイアスオフ状態にある。バイアスオフ状態においては、IGFET106をブレイクダウン状態とさせるためにドレイン対ソース電圧 V_{DS} が十分に低く無い、即ち十分に高い負の値である限り、ソース360からチャンネルゾーン362を介してドレイン186B/136Bへのホールの著しい流れは存在しない。

40

【0419】

50

ドレイン 186B / 136B の空のウエルボディ物質 186A 及び空のウエル領域 186B のドーピング特性は、同様に、IGFET 106 がバイアスオフ状態にある場合には、IGFET 106 のモノシリコンにおける電界のピークの大きさは上部半導体表面の著しく下側において発生するという性質のものである。その結果、電界が上部半導体表面に沿ってのモノシリコン内において最大に到達する従来の延長型ドレイン IGFET よりも、IGFET 104 はホットキャリアゲート誘電体荷電に起因して IGFET 動作期間中に機能低下が起こることはかなり低い。IGFET 106 はかなり向上された信頼性を有している。

【0420】

10

E5. 延長型ドレイン P チャンネル IGFET におけるドーパント分布

IGFET 106 がバイアスオフ状態にある場合に延長型ドレイン P チャンネル IGFET 106 のモノシリコン内の電界のピークの大きさを上部半導体表面のかなり下側で発生させる空のウエルドーピング特性は、延長型ドレイン N チャンネル IGFET 104 の空のウエルドーピング特性に極めて類似している。

【0421】

ドレイン 186B / 136B の空のウエルボディ物質 186A 及び空のウエル領域 186B のドーピング特性がどのようにして IGFET 106 のモノシリコン内の電界のピークの大きさが、IGFET 106 がバイアスオフ状態にある場合に、上部半導体表面のかなり下側において発生させることが可能であるかの理解は図 24a - 24c (集約的に「図 24」) の助けを借りて容易化される。垂直線 370 及び 378 に沿っての深さ y の関数としての基本的なドーパント濃度が図 24 に提示されている。垂直線 370 は空のウエルボディ物質 186A の N 型ボディ物質部分 368 を介して上部半導体表面へ、且つその際にソース側ハローポケット部分 366 外側の位置においてボディ物質 186A を介して、通過している。空のウエルボディ物質部分 368 を介して通過する場合に、線 370 はハローポケット 366 及びソース 360 から十分に離れており、ハローポケット 366 の N 型ソースハロードーパントもソース 360 の P 型ドーパントも線 370 に到達することは無い。垂直線 378 は島状部 146A 内に位置している N 型ドレイン 186B / 136B の空のウエル領域 186B の一部 186B2 を介して通過する。線 378 もドレイン 186B / 136B の領域 186B の下側に存在する部分 186B3 を介して通過する。

20

30

【0422】

図 24a は、領域 136, 212, 368, 186B2, 186B3 を垂直方向に画定し、従って夫々、(a) ソース側ハローポケット部分 366 外側の空のウエルボディ物質 186A の N 型ボディ物質部分 368 及び (b) P 型ドレイン 186B / 136B の空のウエル領域 186B の部分 186B2 及び 186B3、における垂直ドーパント分布を確立する個々の半導体ドーパントの垂直線 370 及び 378 に沿っての濃度 N_I を特に示している。曲線 368' は空のウエルボディ物質 186A の N 型ボディ物質部分 368 を画定する N 型空の主要ウエルドーパントの濃度 N_I (ここでは垂直のみ) を表している。曲線 186B2 / 186B3' は P 型空のウエル 186B の部分 186B2 及び 186B3 を画定する P 型空のウエルドーパントの濃度 N_I (ここでは垂直のみ) を表している。曲線 212' はディープ N ウエル領域 212 を画定するディープ N ウエルドーパントの濃度 N_I (ここでは垂直のみ) を表している。品目 228# は、正味ドーパント濃度 N_N がゼロとなる箇所を表しており、従ってドレイン 186B / 136B とディープ N ウエル 212 との間のドレイン・ボディ接合 228 の位置を表している。

40

【0423】

垂直線 370 及び 378 に沿っての領域 136, 212, 368, 186B2, 186B3 における全 P 型及び全 N 型ドーパントの濃度 N_T は図 24b に示してある。曲線 186A'' 及び 186B'' は、夫々、空のウエルボディ物質 186A 及び空のウエルドレイン物質 186B に対応している。曲線セグメント 368'' は空のウエルボディ物質 186A の N 型ボディ物質部分 368 に対応しており且つ曲線 186A'' の一部を構成している。

50

曲線 2 1 2 " はディープ N ウェル領域 2 1 2 に対応しており且つ図 2 4 a における曲線 2 1 2 ' と同一である。

【0 4 2 4】

図 2 4 c は垂直線 3 7 0 及び 3 7 8 に沿っての正味ドーパント濃度 N_N を提示している。空のウェルボディ物質 1 8 6 A のボディ物質部分 3 6 8 における正味 N 型ドーパントの濃度 N_N は曲線セグメント 3 6 8 * によって表されている。曲線 1 8 6 A * 及び 1 8 6 B * は、夫々、空のウェルボディ物質 1 8 6 A 及び空のウェルドレイン物質 1 8 6 B に対応している。曲線 2 1 2 * はディープ N ウェル領域 2 1 2 に対応している。

【0 4 2 5】

図 2 4 a を参照すると、曲線 3 6 8 ' は、N 型空のウェルボディ物質 1 8 6 A 内の N 型空の主要ウェルドーパントの濃度 N_I が、ボディ物質 1 8 6 A のボディ物質部分 3 6 8 を介しての垂直線 3 7 0 に沿ってほぼ平均深さ y_{NWP_K} において最大濃度に到達していること、を示している。曲線 1 8 6 B 2 / 1 8 6 B 3 ' は、同様に、N 型ドレイン 1 8 6 B / 1 3 6 B の空のウェル 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における P 型空の主要ウェルドーパントの濃度 N_I が、空のウェル 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 を介しての垂直線 3 7 8 に沿ってほぼ平均深さ y_{PWP_K} において最大濃度に到達すること、を示している。空のウェルボディ物質 1 8 6 A 及び空のウェル 1 8 6 B においてほぼ同じ深さ y_{NWP_K} 及び y_{PWP_K} においてのドーパント濃度最大は、上述した如く、N 型及び P 型空の主要ウェルドーパントの夫々のイオン注入から発生する。

【0 4 2 6】

I G F E T 1 0 6 の空の主要ウェル最大ドーパント濃度深さ y_{NWP_K} 及び y_{PWP_K} の両方はソース 3 6 0 の最大深さ y_s よりも一層大きい。深さ y_{NWP_K} 及び y_{PWP_K} の各々は、通常、I G F E T 1 0 6 の最大ソース深さ y_s の少なくとも 2 倍であるが、通常、I G F E T 1 0 6 のソース深さ y_s の 1 0 倍、好適には 5 倍、より好適には 4 倍を越えるものではない。

【0 4 2 7】

図 2 4 a において曲線 3 6 8 ' によって表されている N 型空の主要ウェルドーパントの濃度 N_I は、深さ y_{NWP_K} における N 型空の主要ウェルドーパントの最大濃度の位置から垂直線 3 7 0 に沿って上方へ、ハローポケット部分 3 6 6 外側のチャンネルゾーン 3 6 2 の部分を含む N 型空のウェルボディ物質部分 3 6 8 を介して、上部半導体表面へ移る場合に、少なくとも 1 0 の係数、好適には少なくとも 2 0 の係数、より好適には少なくとも 4 0 の係数、だけ減少する。図 2 3 a と同様に、図 2 4 a は、N 型空の主要ウェルドーパントの濃度 N_I が、N 型空の主要ウェルドーパントの最大濃度位置 y_{NWP_K} から上方へ線 3 7 0 に沿ってボディ物質部分 3 6 8 を介して上部半導体表面へ移る場合に、8 0 の係数を超えて、1 0 0 の係数の近傍で、減少する。

【0 4 2 8】

N 型空の主要ウェルドーパントの濃度 N_I における減少は、典型的に、深さ y_{NWP_K} における N 型空の主要ウェルドーパントの最大濃度の位置から上方へ線 3 7 0 に沿って上部半導体表面へ移る場合に、実質的に単調的である。チャンネルゾーン 3 6 2 の上部表面に沿って N 型空の主要ウェルドーパントの幾らかのパイルアップが発生する場合には、N 型空の主要ウェルドーパントの濃度 N_I は、深さ y_{NWP_K} から線 3 7 0 に沿ってソース 3 6 0 の最大深さ y_s の 2 0 % よりも上部半導体表面から離れることの無い或る点へ移る場合に、実質的に単調的に減少する。

【0 4 2 9】

その濃度 N_I が図 2 4 a における曲線 2 1 2 ' によって表されるディープ N ウェルドーパントが空のウェルボディ物質 1 8 6 A の N 型ボディ物質部分 3 6 8 内に存在している。曲線 2 1 2 ' と 3 6 8 ' との比較は、ディープ N ウェルドーパントの濃度 N_I は、 y_{NWP_K} よりも大きくない深さ y に対して垂直線 3 7 0 に沿っての N 型空の主要ウェルドーパントの濃度 N_I と比較して非常に小さいこと、を示している。図 2 3 b における曲線セグメント 3 6 9 " を調べると、ボディ物質部分 3 6 8 における全 N 型ドーパントの濃度 N_T

は線 370 に沿ってのほぼ深さ y_{NWPK} において最大に到達しており且つ y_{NWPK} よりも大きくない深さ y に対して線 370 に沿っての N 型空の主要ウエルドーパントの濃度 N_I とほぼ同じ変化を有している。

【0430】

図 24c における曲線 186A* (セグメント 368* を含む) によって表されているボディ物質 186A のボディ物質部分 368 における正味 N 型ドーパントの濃度 N_N は、P 型バックグラウンドドーパントに起因する減すべき要因を有している。P 型バックグラウンドドーパントの濃度 N_I は実質的に一定であるから、空のウエルボディ物質部分 368 における正味 N 型ドーパントの濃度 N_N は、垂直線 370 に沿ってのボディ物質部分 368 における全 N 型ドーパントの濃度 N_T と同じ変化を有している。このことは、図 24c における曲線 186A* が、図 24b において線 370 に沿ってのボディ物質 186A 内の全 N 型ドーパントの濃度 N_T を表している曲線 186A" (セグメント 368" を含む) とほぼ同じに変化しているという事実から明らかである。従って、ボディ物質 186A のボディ物質部分 368 における正味 N 型ドーパントの濃度 N_N は、線 370 に沿って深さ y_{NWPK} においてほぼ最大に到達する。

【0431】

P 型空の主要ウエルドーパントの濃度 N_I が図 24a における曲線 186B2 / 186B3' によって表されているドレイン 186B / 136B の P 型空のウエル領域 186B へ移ると、P 型空の主要ウエルドーパントの濃度 N_I は、深さ y_{PWPK} における P 型空の主要ウエルドーパントの最大濃度の位置から上方へ垂直線 378 に沿ってドレイン 186B / 136B の部分 186B3 及び 186B2 を介して上部半導体表面へ移る場合に、少なくとも 10 の係数、好適には少なくとも 20 の係数、より好適には少なくとも 40 の係数、だけ減少する。N 型空の主要ウエルドーパントの濃度 N_I の場合のように、図 24a は、P 型空の主要ウエルドーパントの濃度 N_I が、P 型空の主要ウエルドーパントの最大濃度の位置 y_{PWPK} から上方へ線 378 に沿ってドレイン部分 186B2 及び 186B2 を介して上部半導体表面へ移る場合に、80 の係数を超えて、100 の係数近傍で、減少する例を提示している。

【0432】

P 型空の主要ウエルドーパントの濃度 N_I における減少は、典型的に、深さ y_{PWPK} における P 型空の主要ウエルドーパントの最大濃度の位置から線 378 に沿って上部半導体表面へ移る場合に、実質的に単調的である。ドレイン 186B / 136B の部分 186B2 の上部表面に沿って P 型空の主要ウエルドーパントの幾らかのパイルアップが発生する場合には、P 型空の主要ウエルドーパントの濃度 N_I は、深さ y_{PWPK} から線 378 に沿って、ソース 360 の最大深さ y_s の 20% よりも上部半導体表面から離れることのない或る点へ、実質的に単調的に減少する。

【0433】

P 型ドレイン 186B / 136B における P 型バックグラウンドドーパントの存在に関しては、 y_{PWPK} よりも一層大きいものでは無い深さ y に対して垂直線 378 に沿っての P 型空の主要ウエルドーパントの濃度 N_I に対する P 型バックグラウンドドーパントの濃度 N_I の最も高い比が、上部半導体表面において発生し、そこでは、P 型バックグラウンドドーパント対 P 型空の主要ウエルドーパント濃度比は、典型的に、0.1 の近傍にある。上部半導体表面への線 378 に沿っての深さ y_{PWPK} からの全 P 型ドーパントは、主に、P 型空の主要ウエルドーパントから構成されている。従って、図 24b において曲線 186B" によって表されている空のウエル領域 186B の部分 186B2 及び 186B3 における全 P 型ドーパントの濃度 N_T は、主として、線 378 に沿っての深さ y_{PWPK} において最大に到達し且つ深さ y_{PWPK} より大きくない深さ y に対して線 378 に沿っての P 型空の主要ウエルドーパントの濃度 N_I とほぼ同じ変化を有している。

【0434】

ディープ N ウエルドーパントも P 型ドレイン 186B / 136B 内に存在している。正味ドーパント濃度 N_N がドレイン・ボディ接合 228 においてゼロとなることを条件に、

図 2 4 c における曲線 1 8 6 B * によって表される空のウエル領域 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における正味濃度 N_N は、 y_{PWPK} よりも一層大きくない深さ y に対して垂直線 3 7 8 に沿って空のウエル領域 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における全 P 型ドーパントの濃度 N_T とほぼ同じに変化する。従って、ドレイン 1 8 6 B / 1 3 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における正味 P 型ドーパントの濃度 N_N は線 3 7 8 に沿って深さ y_{PWPK} においてほぼ最大に到達する。

【0 4 3 5】

E 6 . 延長型ドレイン P チャンネル I G F E T の動作物理

延長型ドレイン P チャンネル I G F E T 1 0 6 は、電圧及び電荷極性が逆であるという条件下において、延長型 N チャンネル I G F E T 1 0 4 と非常に類似した装置物理及び動作特性を有している。I G F E T 1 0 4 及び 1 0 6 の装置物理及び動作は、P-基板 1 3 6 の部分 1 3 6 B が I G F E T 1 0 6 の P 型ドレイン 1 8 6 B / 1 3 6 B の一部を形成しており、一方、基板 1 3 6 の同様に位置されている部分 1 3 6 A が I G F E T 1 0 4 用の全体的な P 型ボディ物質を形成している、という事実に起因して、著しく異なるものではない。I G F E T 1 0 6 のドレイン特性は、基板部分 1 3 6 B における一層軽度の P 型ドーピングによるよりも、ドレイン 1 8 6 B / 1 3 6 B の空のウエル領域 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における実質的な P 型ドーピングによって一層決定される。

【0 4 3 6】

I G F E T 1 0 6 がバイアスオフ状態にある場合には、その I G F E T のモノシリコン内の電界は、空のウエル領域 1 8 6 A 及び 1 8 6 B の互いの近接度によって、及び (a) N 型空のウエルボディ物質 1 8 6 A の部分 3 6 8 における全 N 型ドーパントの濃度及び (b) ドレイン 1 8 6 B / 1 3 6 B の P 型空のウエルドレイン物質 1 8 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における全 P 型ドーパントの濃度、の最大値によって、決定される位置においてドレイン・ボディ接合 2 2 8 に沿ってピーク値に到達する。N 型空のウエルボディ物質部分 3 6 8 における全 N 型ドーパントの最大濃度における深さ y_{NWPk} は、通常、P 型ドレイン 1 8 6 B / 1 3 6 B の部分 1 8 6 B 2 及び 1 8 6 B 3 における全 P 型ドーパントの最大濃度における深さ y_{PWPK} とほぼ等しいので、且つ空のウエル 1 8 6 A 及び 1 8 6 B は深さ y_{NWPk} 及び y_{PWPK} において互いに最も近いので、I G F E T 1 0 6 のモノシリコン内の電界のピーク値は深さ y_{PWPK} においてほぼドレイン・ボディ接合 2 2 8 に沿って発生する。この位置は図 2 2 b において円 3 9 8 によって示してある。深さ y_{PWPK} は通常ソース 3 6 0 の最大深さ y_s の少なくとも 2 倍であるから、I G F E T 1 0 6 のモノシリコンにおけるピーク電界の位置 3 9 8 は、通常、それがバイアスオフ状態にある場合に、I G F E T 1 0 6 の最大ソース深さ y_s の少なくとも 2 倍である。

【0 4 3 7】

一方向に移動するホールは、基本的に、反対方向にドーパント原子から移動する電子を構成する。I G F E T 1 0 6 をバイアスオン状態とさせると、ソース 3 6 0 からドレイン 1 8 6 B / 1 3 6 B へ流れるホールは、初期的に、空のウエルボディ物質 1 8 6 A 内のチャンネルゾーン 3 6 2 の部分の上部表面に沿ってモノシリコン内を移動する。該ホールがドレイン 1 8 6 B / 1 3 6 B の p-基板部分 1 3 6 B 内に入ると、それらは概略的に下方へ移動し且つ広がる。該ホールは、ドレイン 1 8 6 B / 1 3 6 B の部分 1 8 6 B 2 に入ると、更に下方へ移動し且つ広がる。

【0 4 3 8】

一次ホールとして呼称する該ホールの速度は、ソース 3 6 0 からドレイン 1 8 6 B / 1 3 6 B へ移動するに従い増加し、それらのエネルギーを増加させる。高度にエネルギーを有する電荷キャリアがドレイン物質の原子に突き当たり二次電荷キャリア、即ち電子とホール、を発生させる場合には、ドレイン 1 8 6 B / 1 3 6 B において衝突イオン化が発生し、該二次電荷キャリアは一般的に局所的電界の方向に移動する。高電界のバルク領域内において発生された二次電荷キャリアの内の幾らか、特に二次電子、は上方へドレイン部分 1

10

20

30

40

50

86B2の上側に位置している誘電体層384の部分へ向かって移動する。

【0439】

衝突イオン化の量は、通常、電界が増加すると且つ一次ホール電流密度が増加すると、増加する。特に、最大量の衝突イオン化は、一般的には、電界ベクトルと一次ホール電流密度ベクトルとのスカラー積が最も高い箇所において発生する。ピーク電界は深さ y_{PWPK} においてドレイン・ボディ接合228に沿って発生するので、ドレイン186B/136Bにおける衝突イオン化は著しく下方へ強制される。ドレイン186B/136Bにおける最高量の衝突イオン化は、通常、IGFET106の最大ソース深さ y_S よりも一層大きな深さにおいて発生する。

【0440】

IGFET106とほぼ同じ寸法の従来の延長型ドレインPチャンネルIGFETと比較して、IGFET106における衝突イオン化によって発生されるかなり少ない二次電荷キャリア、特に二次電子、がゲート誘電体層384に到達する。その結果、ゲート誘電体384は、かなり少ないホットキャリア荷電を発生する。衝突イオン化により発生された電荷キャリアがゲート誘電体384内に入ることから発生するスレッショールド電圧ドリフトは、IGFET106においては著しく減少されている。その動作特性は、動作時間に関して非常に安定している。正味の結果は、IGFET106はかなりの向上された信頼性と寿命とを有しているということである。

【0441】

E7. 延長型ドレインIGFETの共通の特性

延長型ドレインIGFET104及び106を一緒に見て、IGFET104のP型空のウエルボディ物質184A又はIGFET106のN型空のウエルボディ物質186Aの導電型を「第1」導電型と呼称することとする。他方の導電型、即ちIGFETのN型ソース320及びドレイン184Bの導電型又はIGFET104のP型ソース360及びドレイン186B/136Bのドレイン型は、「第2」導電型である。従って、第1及び第2導電型は、夫々、IGFET104の場合にはP型及びN型である。IGFET106の場合には、第1及び第2導電型は、夫々N型及びP型である。

【0442】

IGFET104の空のウエルボディ物質184Aにおける全P型ドーパントの濃度 N_T は、上述した如く、深さ y_{PWPK} から垂直線330に沿ってボディ物質184Aのボディ物質部分328を介して上部半導体表面へ移る場合に、P型空の主要ウエルドーパントの濃度 N_I とほぼ同じ態様で減少する。上に更に説明したように、IGFET106の空のウエルボディ物質186Aにおける全N型ドーパントの濃度 N_T は、深さ y_{NWP_K} から直線370に沿ってボディ物質186Aのボディ物質部分368を介して上部半導体表面へ移る場合に、N型空の主要ウエルドーパントの濃度 N_I と実質的に同じ態様で同様に減少する。第1導電型はIGFET104に対してはP型であり且つIGFET106に対してはN型であるので、IGFET104及び106は、IGFET104又は106における第1導電型の全ドーパントの濃度は、深さ y_{PWPK} における第1導電型の全ドーパントの最大濃度の表面下位置から上方へ線330又は370に沿って上部半導体表面へ移る場合に、少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも40の係数、だけ減少する、という共通の特徴を有している。

【0443】

IGFET104又は106における第1導電型の全ドーパントの濃度減少は、深さ y_{PWPK} 又は y_{NWP_K} における第1導電型の全ドーパントの最大濃度の位置から上方へ垂直線330又は370に沿って上部半導体表面へ移る場合に、実質的に単調的である。空のウエルボディ物質部分328又は368の上部表面に沿って第1導電型の全ドーパントの幾らかのパイルアップが発生する場合には、第1導電型の全ドーパントの濃度は、深さ y_{PWPK} 又は y_{NWP_K} から線330又は370に沿ってソース・ボディ接合324又は364の最大深さ y_S の20%よりも上部半導体表面から一層遠くない或る点へ移る

10

20

30

40

50

場合に、実質的に単調的に減少する。

【0444】

更に、IGFET104の空のウェルドレイン184Bにおける全N型ドーパントの濃度 N_T は、上述した如く、深さ y_{NWPK} から垂直線338に沿ってドレイン184Bの部分184B2及び284B3を介して上部半導体表面へ移る場合に、N型空の主要ウェルドーパントの濃度 N_I とほぼ同じ態様で減少する。更に上述した如く、IGFET106の空のウェルドレイン物質186Bにおける全P型ドーパントの濃度は、深さ y_{PWPK} から垂直線378に沿ってドレイン186B/136Bの部分186B2及び186B3を介して上部半導体表面へ移る場合に、P型空の主要ウェルドーパントの濃度とほぼ同じ態様で同様に減少する。従って、IGFET104及び106は、IGFET104又は106における第2導電型の全ドーパントの濃度が深さ y_{NWPK} 又は y_{PWPK} における第2導電型の全ドーパントの最大濃度の表面下位置から上方へ線338または378に沿って上部半導体表面へ移る場合に、少なくとも10の係数、好適には少なくとも20の係数、より好適には少なくとも40の係数、だけ減少するという更なる共通の特徴を有している。

10

【0445】

IGFET104又は106における第2導電型の全ドーパントの濃度減少は、深さ y_{NWPK} 又は y_{PWPK} における第1導電型の全ドーパントの最大濃度の位置から上方へ垂直線338又は378に沿って上部半導体表面へ移る場合に、実質的に単調的である。ドレイン部分184B2又は186B2の上部表面に沿って第1導電型の全ドーパントの幾らかがパイルアップする場合には、第2導電型の全ドーパントの濃度が、深さ y_{NWPK} 又は y_{PWPK} から線338又は378に沿ってソース・ボディ接合324又は364の最大深さ y_s の20%よりも上部半導体表面から離れることのない或る点へ移る場合に、実質的に単調的に減少する。

20

【0446】

NチャンネルIGFET104のスレッシュホールド電圧 V_T は、通常、 $0.5\mu m$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5nm$ のゲート誘電体厚さにおいて、通常、 $0.5V$ 乃至 $0.7V$ であり、典型的に $0.6V$ である。PチャンネルIGFET106のスレッシュホールド電圧 V_T は、同様に、 $0.5\mu m$ 近傍における描画チャンネル長 L_{DR} で且つ $6-6.5nm$ のゲート誘電体厚さにおいて、通常、 $-0.45V$ 乃至 $-0.7V$ であり、典型的には $-0.55V$ 乃至 $-0.6V$ である。延長型ドレインIGFET104及び106は、非対称的IGFET100及び102の典型的な $3.0V$ 高電圧動作範囲よりもかなり一層高い動作電圧範囲、例えば $12V$ 、におけるパワー、高電圧スイッチング、EEPROMプログラミング、及びESD保護適用例に対して特に適している。

30

【0447】

E8. 延長型ドレインIGFETの性能利点

延長型ドレイン拡張電圧IGFET104及び106は、非常に良好な電流-電圧特性を有している。図25aは、NチャンネルIGFET104の製造した実現例に対する約 $0.33V$ の増分で $1.00V$ から $3.33V$ へ変化させたゲート対ソース電圧 V_{GS} の値に対するドレイン対ソース電圧 V_{DS} の関数としてどのようにリニアドレイン電流 I_{DW} が典型的に変化するかを例示している。PチャンネルIGFET106の製造した実現例に対する約 $-0.33V$ の増分で $-1.33V$ から $-3.00V$ へ変化させたゲート対ソース電圧 V_{GS} の値に対してのドレイン対ソース電圧 V_{DS} の関数としてのリニアドレイン電流 I_{DW} の典型的な変化が同様に図25bに示されている。図25a及び25bが示すように、IGFET104及び106の I_{DW}/V_{DS} 電流電圧特性は少なくとも $13V$ の V_{DS} の大きさまでは良好に動作している。

40

【0448】

IGFET104及び106の各々のドレイン対ソースブレークダウン電圧 V_{BD} の大

50

きさは、I G F E Tの相補的空の主要ウエル領域、即ちI G F E T 1 0 4のP型空の主要ウエル領域1 8 4 AとN型空の主要ウエル領域1 8 4 B、及びI G F E T 1 0 6のN型主要ウエル領域1 8 6 AとP型空の主要ウエル領域1 8 6 B、の間の最小間隔 L_{WW} を調節することによって制御される。最小ウエル対ウエル間隔 L_{WW} を増加させることは、それを超えてはブレークダウン電圧 V_{BD} が基本的に一定する限界 L_{WW} までは、 V_{BD} の大きさを増加させ、且つその逆も又真である。

【0449】

図26aは、NチャンネルI G F E T 1 0 4の製造した実現例に対して、ドレイン対ソースブレークダウン電圧 V_{BD} が典型的にどのように最小ウエル対ウエル間隔 L_{WW} に関して変化するかを例示している。図26bは、同様に、PチャンネルI G F E T 1 0 6の製造した実現例に対して、ブレークダウン電圧 V_{BD} がどのようにしてウエル対ウエル間隔 L_{WW} に関して典型的に変化するかを例示している。図26a及び26bにおける小円は実験データ点を表している。図26a及び26bの各々における V_{BD}/V_{WW} 実験データはシグモイド (sigmoid) 即ちS字状曲線に近似している。図26a及び26bにおける曲線は、実験データに対するベストフィットのS字状近似を表している。

【0450】

最小ウエル対ウエル間隔に関してのブレークダウン電圧 V_{BD} の変化に対するS字状近似は一般的に次式のように表される。

【0451】

【数1】

$$V_{BD} = V_{BD0} + \frac{V_{BDmax} - V_{BD0}}{1 + e^{\left(\frac{L_{WW} - L_{WW0}}{L_K}\right)}} \quad (1)$$

【0452】

尚、 V_{BD0} はブレークダウン電圧 V_{BD} の数学的最小可能値であり（ウエル対ウエル間隔 L_{WW} が負の無限へいくことが可能である場合）、 V_{BDmax} はブレークダウン電圧 V_{BD} の最大可能値であり（間隔 L_{WW} が正の無限へいく場合）、 L_{WW0} はオフセット間隔長であり、及び L_K は間隔長定数である。ブレークダウン電圧 V_{BD} がNチャンネルI G F E T 1 0 4に対しては正であり且つPチャンネルI G F E T 1 0 6に対しては負であるので、パラメータ V_{BD0} 及び V_{BDmax} は、NチャンネルI G F E T 1 0 4に対しては両方共正であり、且つPチャンネルI G F E T 1 0 6に対しては両方共負である。式1はブレークダウン電圧 V_{BD} の所望の値を達成するために間隔 L_{WW} を選択する上での設計ツールとして使用することが可能である。

【0453】

パラメータ V_{BD0} 、 V_{BDmax} 、 L_{WW0} 、 L_K は図26a及び26bのS字状曲線に対しては近似的に以下の値のものである。

【0454】

【表2】

パラメータ	図26aにおけるNチャンネルIGFET104の実現例	図26bにおけるPチャンネルIGFET106の実現例
V_{BD0}	11.9 V	-11.7 V
V_{BDmax}	17.0 V	-16.3 V
L_{WW0}	0.48 μm	0.44 μm
L_K	0.055 μm	0.057 μm

【0455】

図26a及び26bの検査又は／及びパラメータ V_{BD0} 、 V_{BDmax} 、 L_{WW0} 、 L_K に対する前述した値においての式1の使用は、 L_{WW} が L_{WW0} に等しい間隔において

の間隔 L_{WW} でのブレイクダウン電圧 V_{BD} の空間的瞬時的変化の大きさに対して $20\text{ V} / \mu\text{m}$ の近傍における値を発生する。

【0456】

ウエル対ウエル間隔 L_{WW} の実際の最小限界はゼロである。その結果、ブレイクダウン電圧 V_{BD} の実際の最小電圧 V_{BDmin} は次式の如くである。

【0457】

【数2】

$$V_{BDmin} = V_{BD0} + \frac{V_{BDmax} - V_{BD0}}{1 + e^{\left(\frac{L_{WW0}}{L_K}\right)}} \quad (2)$$

10

【0458】

パラメータ V_{BD0} 及び V_{BDmax} はNチャンネルIGFET104に対しては正であり且つPチャンネルIGFET106に対しては負であるので、実際の最小ブレイクダウン電圧 V_{BDmin} はNチャンネルIGFET104に対しては正であり且つPチャンネルIGFET106に対しては負である。実際には、係数 L_{WW0} / L_K は、通常、1よりもかなり大きいものであり、従って式2における指数項 e^{L_{WW0} / L_K} は1よりも一層大きい。従って、実際の最小ブレイクダウン電圧 V_{BDmin} は、通常、理論的最小ブレイクダウン電圧 V_{BD0} に非常に近い。

【0459】

IGFET104又は106のモノシリコンにおける電界のピーク値は、ウエル対ウエル間隔 L_{WW} が十分に増加されてブレイクダウン電圧 V_{BD} がその最大値 V_{BDmax} において飽和する場合に、上部半導体表面へ移行する。IGFET104又は106のモノシリコンにおける電界のピーク値が上部半導体表面の著しく下側にある場合に信頼性及び寿命が向上されるので、ブレイクダウン電圧 V_{BD} が最大値 V_{BDmax} において幾分飽和の下側であるような値にウエル対ウエル間隔 L_{WW} が選択される。図26a及び26bの近似的S字状曲線によって表される実現例において、 $0.5\mu\text{m}$ の近傍における L_{WW} 値は、IGFET104又は106のモノシリコン内の電界のピーク値が上部半導体表面の著しく下側であることを可能とさせると共に、ブレイクダウン電圧 V_{BD} に対して妥当に高い値を同時的に与える。

20

【0460】

図27は、NチャンネルIGFET104の別の実現例のテストに対してIGFETブレイクダウンを発生するのに十分に高いドレイン対ソース電圧 V_{DS} の関数としてのリニアルドレイン電流 I_{DW} を示している。ウエル対ウエル間隔 L_{WW} はこの実現例に対しては $0.5\mu\text{m}$ であった。図27は、又、ゼロのウエル対ウエル間隔 L_{WW} に対してのIGFET104の拡張の対応するテストに対してIGFETブレイクダウン電圧を発生するのに十分に高いドレイン対ソース電圧 V_{DS} に関してどのようにリニアルドレイン電流 I_{DW} が変化したかを示している。ゲート対ソース電圧 V_{GS} はこのテストではゼロであった。その結果、ブレイクダウン電圧 V_{BD} はS-D電流 I_D のオンセットにおける V_{DS} 値であり、即ち、図27における円400及び402によってマーク付けした点であり、そこで、リニアルドレイン電流 I_{DW} は正となる。円400及び402が表すように、ウエル対ウエル間隔 L_{WW} をゼロから $0.5\mu\text{m}$ へ上昇させることはブレイクダウン電圧 V_{BD} を丁度13V上側から丁度16V上側へ増加させており、それは約3Vの増加である。 $0 - 0.5\mu\text{m}$ の L_{WW} 範囲にわたり間隔 L_{WW} に関するブレイクダウン電圧 V_{BD} における結果的に得られる平均増加は約 $6\text{ V} / \mu\text{m}$ である。

30

40

【0461】

重要なことであるが、NチャンネルIGFET104のブレイクダウン特性は、制御型電流アバランシェブレイクダウン条件において動作時間に関して安定である。図27における曲線404及び406は、夫々、各IGFETがブレイクダウンに露呈された20分の期間の始めにおいてIGFET104の拡張及び実現に対してどのようにリニアルドレイン電流 I_{DW} がドレイン対ソース電圧 V_{DS} に関して変化したかを示している。曲線4

50

08及び410は、夫々、20分のブレークダウン期間の終わりに於いて該拡張及び実現に対してどのようにしてリニアル電圧 I_{Dw} が電圧 V_s に関して変化したかを示している。曲線408及び410は、夫々、曲線404及び406にほぼ同一である。このことは、実際の動作時間に対して $IGFET104$ をストレスをかけてブレークダウン条件とさせることは、そのブレークダウン特性を著しく変化させるものではない、ことを示している。Pチャンネル $IGFET106$ のブレークダウン特性も動作時間に関して安定である。

【0462】

図28aは延長型ドレインNチャンネル $IGFET104$ がバイアスオン状態におけるコンピュータシミュレーション412を示している。シミュレーション412における領域は $IGFET104$ における対応する領域と同じ参照記号で識別してある。同じ導電型の領域は図28aにおいては視覚的に区別可能なものではない。空のウエルボディ物質184A及び基板領域136は両方共P型の導電型であるから、ボディ物質184Aは図28aにおける基板領域136から視覚的に区別可能なものではない。図28aにおける参照記号184Aの位置は、概略的に、P型空のウエルボディ物質184Aの位置を表している。

10

【0463】

図28aにおける区域414は、シミュレーションしたNチャンネル $IGFET412$ における最大衝突イオン化の位置を表している。最大衝突イオン化位置414は上部半導体表面の十分下側で発生する。 y_{II} が $IGFET$ が電流を導通している場合にそれにおける最大衝突イオン化の位置の深さを表すものとする、最大衝突イオン化位置414の深さ y_{II} はソース320の最大深さ y_s を越える。より詳細には、 $IGFET412$ に対する最大衝突イオン化位置深さ y_{II} はその最大ソース深さ y_s の1.5倍を越えている。更に、最大衝突イオン化位置414の深さ y_{II} は、図28aにおいてフィールド絶縁体部分138Aによって表されるように、フィールド絶縁体138の深さ（又は厚さ） y_{FI} よりも一層大きい。

20

【0464】

バイアスオン状態にある参照延長型ドレインNチャンネル $IGFET416$ のコンピュータシミュレーション416が図28bに提示されている。図28aにおけるように、同じ導電型の領域は図28bにおいて視覚的に区別可能なものではない。シミュレーションした $IGFET412$ と対照的に、シミュレーションした参照延長型ドレイン $IGFET416$ のP型ボディ物質は、図28bにおいて参照記号418によって概略表したP型充填した主要ウエル領域によって形成されている。

30

【0465】

参照延長型ドレイン $IGFET416$ は、更に、N型ソース420、N型ドレイン422、ゲート誘電体層424、非常に高度にドーピングしたN型ポリシリコンゲート電極426、及び図28bに示したように構成した一对の誘電体ゲート側壁スペーサ428及び430を包含している。N型ソース420は、非常に高度にドーピングした主要部分420M、及び一層軽度ドーピングしてあるが尚且つ高度にドーピングした横方向ソース延長部420Eから構成されている。浅いトレンチ絶縁タイプのフィールド絶縁体432がN型ドレイン422内に入り込んでドレイン422の外部コンタクト部分を横方向に取り囲んでいる。ゲート電極426がドレイン422の外部コンタクト部分へ途中までフィールド絶縁体432の上を延在している。P型ボディ物質418が空の主要ウエル領域ではなく充填した主要ウエル領域と共に構成されていること以外、参照延長型ドレイン $IGFET416$ はシミュレーションした $IGFET412$ とほぼ同じに構成されている。

40

【0466】

図28bにおける区域434は、参照延長型ドレイン $IGFET416$ における最大衝突イオン化の位置を表している。図28bに示したように、最大衝突イオン化の位置434は、ドレイン422と充填したウエルボディ物質418との間のPN接合436が上部半導体表面と合流する箇所において上部半導体表面に沿って発生する。参照 $IGFET4$

50

16における衝突イオン化によって発生される二次電荷キャリアは、ゲート誘電体層424内に容易に入り且つそこに留まって参照IGFET416の性能を劣化させることが可能である。最大衝突イオン化位置414はIGFET412の上部半導体表面の十分に下側であるので、IGFET412における衝突イオン化によって発生される一層少ない数の二次電荷キャリアがそのゲート誘電体層344へ到達し且つスレッショールド電圧ドリフトを発生させる。図28a及び28bのコンピュータシミュレーションは、延長型ドレインIGFET104及び106は向上された信頼性及び寿命を有していることを確認している。

【0467】

10

E9. 特別に調整したハローポケット部分を具備する延長型ドレインIGFET

相補的延長型ドレイン拡張電圧IGFET104及び106は夫々の変形例104U及び106U（不図示）が提供されており、その場合に、ソース側ハローポケット部分326及び366は、夫々、中程度にドーピングしたP型ソース側ハローポケット部分326U（不図示）及び中程度にドーピングしたN型ソース側ハローポケット部分366U（不図示）で置換されている。ソース側ポケット部分326U及び366Uは、相補的延長型ドレイン拡張電圧IGFET104U及び106Uが、バイアスオフ状態にある場合に、減少したS-D電流リークを有することを可能とするために特に調整されている。

【0468】

ハローポケット326U及び366Uにおけるハローポケットドーパント分布の特別の調整、及びその特別のハローポケットドーパント分布を形成するために使用される製造技術に起因してIGFET104U及び106Uの隣接部分において発生する多少修正されたドーパント分布、を除いて、IGFET104U及び106Uは、夫々、IGFET104及び106と実質的に同じに構成されている。減少されたオフ状態S-D電流リークを有する場合に、IGFET104U及び106Uは、夫々、IGFET104及び106と実質的に同じに動作し、且つ同じ利点を有している。

20

【0469】

延長型ドレインNチャンネルIGFET104UのPハローポケット部分326Uは、好適には、非対称的NチャンネルIGFET100UのPハローポケット部分250Uと同じステップで形成される。IGFET104UのPハローポケット326Uは、IGFET100UのPハローポケット250Uと上述した同じ特性を有している。従って、ハローポケット326Uは、好適には、ポケット250UにおけるP型ソースハロードーパントが上述した第1の態様で分布されている場合には、ハローポケット250Uと同じように全P型ドーパントの濃度 N_T においてM複数の局所的最大の有している。ハローポケット250UにおけるP型ソースハロードーパントが上述した第2の態様で分布している場合には、ポケット326Uにおける全P型ドーパントは、上部半導体表面からポケット326Uの深さ y の少なくとも50%、好適には少なくとも60%、の深さ y へポケット326Uを介してソース延長部320Eの脇へ延在する仮想的垂直線に沿って、ポケット326Uにおけるその垂直線の部分に沿って必ずしも複数の局所的最大に到達すること無しに、同じ好適には比較的平坦な垂直分布を有している。

30

40

【0470】

同様に、延長型ドレインPチャンネルIGFET106UのNハローポケット部分366Uは、好適には、非対称的PチャンネルIGFET102UのNハローポケット部分290Uと同じステップで形成される。このことは、PチャンネルIGFET106Uのハローポケット366UをしてPチャンネルIGFET102UのNハローポケット290Uと上述した同じ特性を有させる。その結果、ハローポケット366Uは、好適には、ポケット290UにおけるN型ソースハロードーパントが上述した第1の態様で分布されている場合には、ハローポケット290Uと同じようにN型ソースハロードーパントの濃度 N_I において同じM複数の局所的最大の有している。ハローポケット290UにおけるN型ソースハロードーパントが上述した第2の態様で分布されている場合には、ポケット

50

366Uにおける全N型ドーパントは、上部半導体表面からポケット366Uの深さyの少なくとも50%、好適には60%、の深さyへ、ポケット366Uを介してソース延長部360Eの脇へ延在している仮想的垂直線に沿って、ポケット366Uにおけるその垂直線の部分に沿って必ずしも複数の局所的最大に到達すること無しに、同じ好適には比較的平坦な垂直分布を有している。

【0471】

F. 対称的低電圧低リークIGFET

F1. 対称的低電圧低リークNチャンネルIGFETの構成

次に、例示した対照的IGFETの内部構造について、増加した V_T の大きさ（夫々IGFET120及び122の公称 V_T 大きさと比較して）の対称的低電圧低リーク充填したウェル相補的IGFET108及び110で開始して、説明する。図11-3に図示したようなNチャンネルIGFET108のコアの拡大図を図29に示してある。IGFET108は、上部半導体表面に沿ってのアクティブ半導体島状部148内に位置されている一対のN型S/Dゾーン440及び442を有している。S/Dゾーン440及び442はP型充填した主要ウェル領域188のチャンネルゾーン444によって分離されており、該領域188は、P-基板領域136と結合して、IGFET108用のボディ物質を構成している。P型ボディ物質充填したウェル188は、(a) N型S/Dゾーン440と第1PN接合446を及び(b) N型S/Dゾーン442と第2PN接合448を形成している。

【0472】

S/Dゾーン440及び442はほぼ同一である。各N型S/Dゾーン440又は442は、高度にドーブした主要部分440M又は442M、及び一層軽度ドーブしているが尚且つ高度にドーブしてある横方向延長部440E又は442E、から構成されている。S/Dゾーン440及び442に対する外部電気的コンタクトは、夫々、主要S/D部分440M及び442Mを介して形成される。S/Dゾーン440及び442はほぼ同一であるから、N++主要S/D部分440M及び442Mはほぼ同一である。N+S/D延長部440E及び442Eは同様にほぼ同一である。

【0473】

主要S/D部分440M及び442MはS/D延長部440E及び442Eよりも一層深くに延在している。従って、各S/Dゾーン440又は442の最大深さ y_{SD} は主要S/D部分440M又は442Mの最大深さである。チャンネルゾーン444はS/D延長部440E及び442Eによって上部半導体表面に沿って終端されている。主要S/D部分440M及び442MはN型主要S/Dドーパントで画定されている。S/D延長部440E及び442Eは通常N型浅いS/D延長部ドーパントと呼称されるN型半導体ドーパントのイオン注入によって画定される。

【0474】

P型ボディ物質充填した主要ウェル188の一対の中程度にドーブした横方向に分離されたハローポケット部分450及び452が、夫々、上部半導体表面までS/Dゾーン440及び442に沿って延在しており且つS/Dゾーン440及び442の間の夫々の位置において終端している。Pハローポケット450及び452はほぼ同一である。図11-3及び29は、S/Dゾーン440及び442がハローポケット450及び452よりも一層深くに延在している状態を示している。代替的に、ハローポケット450及び452はS/Dゾーン440及び442よりも一層深くに延在することが可能である。ハローポケット450及び452は、夫々、S/Dゾーン440及び442の下側を横方向に延在することが可能である。P型S/Dハロードーパントとして、又はP型S/D隣接ポケットドーパントとして、呼称されるP型半導体ドーパントのイオン注入は、通常、ハローポケット450及び452を画定する場合に使用される。P型S/Dハロードーパントは、上部半導体表面下側の或る位置において各ハローポケット450又は452内の最大濃度に到達する。

10

20

30

40

50

【0475】

ハローポケット部分450及び452外側のP型ボディ物質充填した主要ウェル188の物質は、中程度にドーブした主要ボディ物質部分454、中程度にドーブした中間ボディ物質部分456、及び中程度にドーブした上部ボディ物質部分458から構成されている。P主要ボディ物質部分454はP-基板136の上側に存在している。P中間ボディ物質部分456は主要ボディ物質部分454の上側に存在している。ボディ物質部分454及び456の各々はチャンネルゾーン444の少なくとも全ての下側を横方向に且つ通常はチャンネルゾーン444及びS/Dゾーン440及び442の各々の実質的に全ての下側を横方向に延在している。P上部ボディ物質部分458は中間ボディ物質部分456の上側に存在しており、上部半導体表面へ垂直方向に延在し、且つハローポケット部分450及び452の間を横方向に延在する。

10

【0476】

Pボディ物質部分454、456、458は、通常、夫々、P型充填した主要ウェルドーパント、APTドーパント、及びスレッシュホールド調節ドーパントのイオン注入によって画定される。ボディ物質部分454、456、458は全てここでは中程度にドーブしたものとして説明するが、P型充填した主要ウェルドーパント、APTドーパント、及びスレッシュホールド調節ドーパントは、典型的に異なる最大値に到達する濃度を有している。ボディ物質部分454、456、458は、しばしば、ここでは、夫々、P充填したウェル主要ボディ物質部分454、pAPTボディ物質部分456、及びpスレッシュホールド調節ボディ物質部分458として呼称即ち言及する。

20

【0477】

P型充填した主要ウェルドーパント、APTドーパント、及びスレッシュホールド調節ドーパントの最大濃度は異なる平均深さにおいて発生する。特に、充填した主要ウェル188におけるP型充填した主要ウェルドーパントによって発生されるディープP型充填した局所的濃度最大は、ウェル188においてP型APTドーパント及びスレッシュホールド調節ドーパントによって発生される浅いP型充填したウェル局所的濃度最大の各々よりも一層深くに発生する。又、P型充填した主要ウェルドーパント、APTドーパント、及びスレッシュホールド調節ドーパントの各々から発生する局所的濃度最大はウェル188を横断して実質的に完全に横方向に延在する。その結果、P型APTドーパント及びスレッシュホールド調節ドーパントは、そうでなければウェル188の位置においてP型充填した主要ウェルドーパントによって画定されるウェル領域を充填する。

30

【0478】

P型充填したウェル主要ボディ物質部分454においてP型充填した主要ウェルドーパントによって発生されるディープ充填したウェル濃度最大は、チャンネルゾーン444の少なくとも実質的に全ての下側で且つ通常チャンネルゾーン444及びS/Dゾーン440及び442の各々の実質的に全ての下側を横方向に延在する或る位置においてチャンネルゾーン444及びS/Dゾーン440及び442の下側に発生する。ボディ物質部分454においてP型充填した主要ウェルドーパントによって与えられる充填したウェル濃度最大の位置は、上述した如く、通常、P型空の主要ウェルドーパントの濃度最大とほぼ同じ平均深さ y_{PWPK} において、従って、通常、0.4乃至0.8 μm 、典型的に0.55-0.6 μm 、の平均深さにおいてである。

40

【0479】

P型APTボディ物質部分456においてP型APTドーパントによって発生される浅い充填したウェル濃度最大は、チャンネルゾーン444の完全な横方向範囲を少なくとも実質的に横断して横方向に且つ通常チャンネルゾーン444及びS/Dゾーン440及び442の完全な複合横方向範囲を少なくとも実質的に横断して横方向に延在する或る位置において発生する。P型APTドーパントによって与えられる充填したウェル濃度最大の位置は、典型的に、チャンネルゾーン444及びS/Dゾーン440及び442の底部の多少下側であるが、チャンネルゾーン444及びS/Dゾーン440及び442の多少上方、又は実質的に同じとすることが可能である。上に示したように、P型APTドーパ

50

トの最大濃度の位置は、通常、 $0.1\ \mu\text{m}$ を越えるが $0.4\ \mu\text{m}$ を越えることのない平均深さにおいて発生する。ボディ物質部分456におけるP型APTドーパントの最大濃度の平均深さは典型的に $0.25\ \mu\text{m}$ である。

【0480】

P型スレッシュホールド調節ボディ物質部分458においてP型スレッシュホールド調節ドーパントによって発生される浅い充填したウエル濃度最大は、同様に、チャンネルゾーン444の完全な横方向範囲を少なくとも実質的に横断して横方向に且つ、通常、チャンネルゾーン444及びS/Dゾーン440及び442の完全な複合横方向範囲を少なくとも実質的に横断して横方向に延在する或る位置において発生する。従って、P型スレッシュホールドドーパントによって与えられる充填したウエル濃度最大の位置は、上部ボディ物質部分458を越えてハローポケット部分450及び452及びS/Dゾーン440及び442内へ横方向に延在する。ボディ物質部分458におけるP型スレッシュホールド調節ドーパントの最大濃度の位置は、通常、 $0.1\ \mu\text{m}$ 、典型的に $0.08-0.09\ \mu\text{m}$ 、未満の平均深さにおいてである。又、主要充填したウエル188におけるP型スレッシュホールド調節ドーパントの最大濃度は、典型的に、ウエル188におけるP型充填した主要ウエルドーパント、APTドーパント、及びS/Dハロードーパントの最大濃度未満である。

【0481】

チャンネルゾーン444（図11-3及び29においては特に境界は示していない）は、S/Dゾーン440及び442の間のP型モノシリコンの全てから構成されている。特に、チャンネルゾーン444は、スレッシュホールド調節ボディ物質部分458、APTボディ物質456の下側に存在するセグメント、及び(a) S/Dゾーン440及び442が図11-3及び29の例に示した如くハローポケット450及び452よりも一層深く延在する場合には、Pハローポケット部分450及び452の全て、又は(b)それらがS/Dゾーン440及び452よりも一層深くに延在する場合には、ハローポケット450及び452の表面隣接セグメント、によって形成されている。主要充填したウエル188におけるP型スレッシュホールド調整ドーパントの最大濃度は通常ウエル188におけるP型S/Dハロードーパントの最大濃度よりも著しく小さいので、ハローポケット450及び452はウエル188の直接隣接物質よりも一層高度にドーブされているP型である。

【0482】

t_{GdL} の低い厚さ値にあるゲート誘電体層460が上部半導体表面上に位置されており且つチャンネルゾーン444にわたり延在している。ゲート電極462がチャンネルゾーン444の上方でゲート誘電体層460の上に位置されている。ゲート電極462は、S/Dゾーン440及び442に部分的にわたって延在している。特に、ゲート電極462はN+S/D延長部440E又は442Eの一部にわたり延在しているが、通常は、N++主要S/D部分440M又は442Mのいずれのどの部分にわたっても延在するものではない。誘電体側壁スペーサ464及び466がゲート電極462の両側の横断方向側壁に沿って夫々位置されている。メタルシリサイド層468, 470, 472が、夫々、ゲート電極462及び主要S/D部分440M及び442Mの上部に沿って位置されている。

【0483】

F2. 対称的低電圧低リークNチャンネルIGFETにおけるドーパント分布

IGFET108のドーピング特性の理解は、図30a-30c（集約的に「図30」）、図31a-31c（集約的に「図31」）、及び図32a-32c（集約的に「図32」）の助けを借りて容易化される。IGFET108に対する長手方向距離xの関数として上部半導体表面に沿っての例示的なドーパント濃度は図30に提示されている。図31は、チャンネルゾーン444の長手方向中心から対称的な位置において主要S/D部分440M及び442Mを介しての仮想的垂直線474及び476に沿っての深さyの関数

10

20

30

40

50

としての例示的な垂直方向ドーパント濃度を提示している。チャンネルゾーン444及びボディ物質部分454, 456, 458を介しての仮想的垂直線478に沿っての深さyの関数としての例示的ドーパント濃度が図32に提示されている。線478はチャンネルゾーンの長手方向中心を介して通過する。

【0484】

図30a, 31a, 32aは、特に、主に領域136, 440M, 440E, 442M, 442E, 450, 452, 454, 456, 458を画定する個別的な半導体ドーパントの濃度 N_I を例示している。図30a, 31a, 32aにおける曲線440M', 442M', 440E', 442E'は、主要S/D部分440M及び442M及びS/D延長部440E及び442Eを夫々形成するために使用したN型ドーパントの濃度 N_I (表面及び垂直)を表している。曲線136', 450', 452', 454', 456', 458'は、基板領域136、ハローポケット部分450及び452、及び充填したウエルボディ物質部分454, 456, 458を夫々形成するために使用したP型ドーパントの濃度 N_I (表面及び垂直)を表している。曲線458"は図32aにおいて符号を付けてあるが、紙面の都合上、図31aにおいては符号を付けていない。品目446#及び448#は、正味ドーパント濃度 N_N がゼロとなる箇所を示しており、従ってS/Dボディ接合446及び448の位置を夫々表している。

【0485】

上部半導体表面に沿っての領域440M, 440E, 442M, 442E, 450, 452, 458における全P型ドーパント及び全N型ドーパントの濃度 N_T が図30bに示されている。図31b及び32bは、仮想的垂直線474, 476, 478に沿っての領域440M, 442M, 454, 456, 458における全P型ドーパント及び全N型ドーパントの濃度 N_T を種々に図示している。領域136, 450, 452, 454, 456, 458に夫々対応する曲線セグメント136", 450", 452", 454", 456", 458"はP型ドーパントの全濃度 N_T を表している。図30bにおける品目444"はチャンネルゾーン444に対応しており且つ曲線セグメント450", 452", 458"のチャンネルゾーン部分を表している。図31b及び32bにおける品目188"は充填したウエル領域188に対応している。主要S/D部分440M及び440E及びS/Dゾーン延長部440E及び442Eに夫々対応する曲線440M", 442M", 440E", 442E"は、N型ドーパントの全濃度 N_T を表している。図30bにおける品目440"はS/Dゾーン440に対応しており且つ曲線セグメント440M"及び440E"の結合を表している。品目442"は同様にS/Dゾーン442に対応し且つ曲線セグメント442M"及び442E"の結合を表している。

【0486】

図30cは上部半導体表面に沿っての正味ドーパント濃度 N_N を示している。垂直線474, 476, 478に沿っての正味ドーパント濃度 N_N が図31c及び32cに提示されている。曲線セグメント450*, 452*, 454*, 456*, 458*は夫々の領域450, 452, 454, 456, 458におけるP型ドーパントの正味濃度 N_N を表している。図30cにおける品目444*はチャンネルゾーン曲線セグメント450*, 452*, 458*の結合を表しており、従ってチャンネルゾーン444における正味P型ドーパントの濃度 N_N を提示している。図31c及び32cにおける品目188*は充填したウエル領域188に対応している。主要S/D部分440M及び442M及びS/D延長部440E及び442Eにおける正味N型ドーパントの濃度 N_N は、夫々、曲線セグメント440M*, 442M*, 440E*, 442E*によって表されている。図30cにおける品目440*はS/Dゾーン440に対応し且つ曲線セグメント440M*及び440E*の結合を表している。品目442*は、同様に、S/Dゾーン442に対応し且つ曲線セグメント442M*及び442E*の結合を表している。

【0487】

主要S/D部分440M及び442Mは、通常、N型主要S/Dドーパントで画定されており、その上部半導体表面に沿っての濃度 N_I がここでは図30aにおける曲線440

M' 及び 442M' によって表されている。図 30a における曲線 440E' 及び 442E' によって表されている上部半導体表面に沿っての濃度 N_I を有する N 型浅い S/D 延長部ドーパントが主要 S/D 部分 440M 及び 442M 内に存在している。曲線 440M' 及び 442M' の夫々曲線 440E' 及び 442E' との比較は、上部半導体表面に沿っての S/D ゾーン 440 及び 442 における全 N 型ドーパントの濃度 N_T の最大値は、図 30b において曲線セグメント 440M'' 及び 442M'' によって夫々示されているように主要 S/D 部分 440M 及び 442M において発生する、ことを示している。

【0488】

上部半導体表面に沿っての S/D ゾーン 440 及び 442 における正味ドーパント濃度 N_N の最大値は、図 30c において曲線部分 440M* 及び 442M* によって夫々示した如く、主要 S/D 部分 440M 及び 442M において夫々発生する。主要 S/D 部分 440M 又は 442M から上部半導体表面に沿って S/D 延長部 440E 又は 442E へ移る場合に、S/D ゾーン 440 又は 442 における全 N 型ドーパントの濃度 N_T は、図 30b において複合 S/D 曲線 440'' 又は 442'' によって示した如く、主要 S/D 部分 440M 又は 442M における最大値から S/D 延長部 440E 又は 442E における一層低い値へ降下している。

【0489】

図 30a において曲線 136'、454'、456'、458' によって夫々表している上部半導体表面に沿っての濃度 N_I を有する P 型バックグラウンドドーパント、充填した主要ウェルドーパント、APT ドーパント、及びスレッシュホールド調節ドーパントは S/D ゾーン 440 及び 442 内に存在している。更に、曲線 450' 及び 452' によって表される上部半導体表面に沿っての濃度 N_I を具備する P 型 S/D ハロドーパントは S/D ゾーン 440 及び 442 内に存在している。

【0490】

図 30b と図 30a との比較は、図 30b における曲線 440'' 及び 442'' によって表される S/D ゾーン 440 及び 442 における全 N 型ドーパントの上部表面濃度 N_T が、S/D・ボディ接合 446 及び 448 近くを除いて、P 型バックグラウンドドーパント、S/D ハロドーパント、充填した主要ウェルドーパント、APT ドーパント、及びスレッシュホールド調節ドーパントの上部表面濃度 N_I の和よりも一層大きい、ことを示している。正味ドーパント濃度 N_N が接合 446 及び 448 においてゼロとなる条件下において、S/D ゾーン 440 及び 442 における全 N 型ドーパントの上部表面濃度 N_T は図 30c における曲線セグメント 440M* 及び 442* によって夫々表される S/D ゾーン 440 及び 442 における正味 N 型ドーパントの上部表面濃度 N_N において夫々ほぼ反映されている。従って、上部半導体表面に沿っての S/D ゾーン 440 又は 442 における正味ドーパント濃度 N_N の最大値は主要 S/D 部分 440M 又は 442M において発生する。この最大 N_N 値は、通常、非対称的 IGFET 102 の主要ソース部分 340M 又は主要ドレイン部分 242M における正味ドーパント濃度 N_N の最大値とほぼ同じである。何故ならば、主要ソース部分 240M、主要ドレイン部分 242M、及び主要 S/D 部分 440M 及び 442M は全て通常 N 型主要 S/D ドーパントで画定されるからである。

【0491】

ハローポケット部分 450 及び 452 を画定する P 型 S/D ハロドーパントは、P 型 S/D ハロドーパントを表す曲線 450' 及び 452' によって示されているように、S/D ゾーン 440 及び 442 内に存在している。P 型 S/D ハロドーパントの濃度 N_I は各 S/D ゾーン 440 又は 442 の上部表面の一部又は全てにわたり実質的に一定の値にある。各 S/D ゾーン 440 又は 442 から上部半導体表面に沿ってチャンネルゾーン 444 へ移る場合に、P 型 S/D ハロドーパントの濃度 N_I は、図 30a に示した如く、この基本的に一定の値からチャンネルゾーン 444 において実質的にゼロへ降下する。IGFET 108 は対称的装置であるから、P 型 S/D ハロドーパントの濃度 N_I は、IGFET 108 の上部表面長手方向中心を含む位置においてチャンネルゾーン 444 の上部表面に沿って、ゼロである。チャンネルゾーン 444 が十分に短くハローポケット

10

20

30

40

50

４５０及び４５２が合流する場合には、Ｐ型Ｓ／Ｄハロードーパントの濃度 N_I は実質的にゼロではなくチャンネルゾーン４４４の上部表面に沿って最小値へ降下する。上部半導体表面に沿ってＰ型Ｓ／Ｄハロードーパントの濃度 N_I がゼロ又はこの最小値へ降下することを開始する点は、（ａ）Ｓ／Ｄゾーン４４０及び４４２内、（ｂ）図３０ａにおいて概略的に示した如くほぼＳ／Ｄ・ボディ接合４４６及び４４８において、又は（ｃ）チャンネルゾーン４４４内、で発生することが可能である。

【０４９２】

Ｐ型Ｓ／Ｄハロードーパントの他に、チャンネルゾーン４４４はＰ型バックグラウンドドーパント、充填した主要ウエルドーパント、及びスレッシュホールド調節ドーパントを包含している。図３０ａにおいて曲線４５８'によって表してあるＰ型スレッシュホールド調節ドーパントの濃度 N_I は、上部半導体表面に沿って、通常、 $1 \times 10^{17} - 5 \times 10^{17}$ 原子数／ cm^3 であり、典型的に $2 \times 10^{17} - 3 \times 10^{17}$ 原子数／ cm^3 である。図３０ａは、上部半導体表面に沿って、Ｐ型スレッシュホールド調節ドーパントの濃度は曲線１３６'，４５４'，４５６'によって夫々表されているＰ型バックグラウンドドーパント、充填した主要ウエルドーパント、ＡＰＴドーパントの結合濃度 N_I よりもかなり一層大きいものである、ことを示している。Ｐ型Ｓ／Ｄハロードーパントの上部表面濃度 N_I の一定値はＰ型スレッシュホールド調節ドーパントの上部表面濃度 N_I よりもかなり一層大きい。

【０４９３】

各Ｓ／Ｄ・ボディ接合４４６又は４４８から上部半導体表面に沿ってチャンネルゾーン４４４内へ移る場合に、図３０ｂにおいて曲線４４４"によって表されている全Ｐ型ドーパントの濃度 N_T は高い値からＰ型スレッシュホールド調節ドーパントの濃度 N_I の上部表面値よりも僅かに一層大きな最小値へ降下する。全Ｐ型ドーパントの濃度 N_T はＳ／Ｄゾーン４４０及び４４２の間の長手方向距離の非ゼロ部分に対してこの最小値にある。Ｓ／Ｄゾーン４４０及び４４２の間の長手方向距離のこの部分は、チャンネルゾーン４４４の長手方向中心を包含しており且つ上部半導体表面に沿ってＳ／Ｄ・ボディ接合４４６及び４４８の間のほぼ中心に位置している。図３０ｃにおいて曲線４４４*によって示されているように、上部半導体表面に沿ってのチャンネルゾーン４４４における正味Ｐ型ドーパントの濃度 N_N は、正味濃度 N_N がＳ／Ｄ・ボディ接合４４６及び４４８においてゼロとなる条件下において、チャンネルゾーン４４４における全Ｐ型ドーパントの上部表面濃度 N_T を繰り返している。

【０４９４】

ハローポケット部分４５０及び４５２が合流すると、全Ｐ型ドーパントの濃度 N_T は、各Ｓ／Ｄ・ボディ接合４４６又は４４８から上部半導体表面に沿ってチャンネルゾーン４４４内に移る場合に、高い値から実質的にチャンネルゾーン４４４の長手方向中心において最小値へ降下する。この場合には、チャンネルゾーン４４４における全Ｐ型ドーパントの上部表面濃度 N_T の最小値は、どれだけハローポケット４５０及び４５２が合流するかにより依存して、Ｐ型スレッシュホールド調節ドーパントの濃度 N_I の上部表面値よりも適切に一層大きい。

【０４９５】

ハローポケット部分４５０及び４５２及びボディ物質部分４５４，４５６，４５８で形成されるＰ型充填した主要ウエル領域１８８の特性を図３１及び３２を参照して検討する。チャンネルゾーン４４４の場合のように、Ｐ型主要ウエル領域１８８における全Ｐ型ドーパントは、図３１ａ及び３２ａにおいて曲線セグメント１３６'，４５０'又は４５２'，４５４'，４５６'，４５８'によって夫々表されているＰ型バックグラウンドドーパント、Ｓ／Ｄハロードーパント、充填した主要ウエルドーパント、ＡＰＴドーパント、及びスレッシュホールド調節ドーパントから構成されている。ハローポケット部分４５０及び４５２近くを除いて、充填した主要ウエル１８８における全Ｐ型ドーパントはＰ型バックグラウンドドーパント、空の主要ウエルドーパント、ＡＰＴドーパント、及びスレッシュホールド調節ドーパントのみから構成されている。Ｐ型充填した主要ウエルドーパント

ト、A T Pドーパント、及びスレッシュホールド調節ドーパントは I G F E T 1 0 8 のモノシリコン内へイオン注入されるので、P型充填した主要ウエルドーパント、A P Tドーパント、及びスレッシュホールド調節ドーパントの各々の濃度 N_I は I G F E T 1 0 8 のモノシリコン内において局所的表面下最大に到達する。N型 S / D ハロードーパントの濃度 N_I は S / D ゾーン 4 4 0 又は 4 4 2 及びハローポケット部分 4 5 0 又は 4 5 2 において付加的な局所的表面下最大に到達する。

【0496】

図 3 1 a 及び 3 2 a における曲線 4 5 4 ' によって表されるように、P型充填した主要ウエルドーパントの濃度 N_I は、ほぼ深さ y_{PWP_K} におけるP型充填した主要ウエルドーパントの最大濃度の位置から上方へ垂直線 4 7 4 , 4 7 6 又は 4 7 8 に沿って上部半導体表面へ移る場合に、少なくとも 1 0 の係数、通常は少なくとも 2 0 の係数、一般的には少なくとも 4 0 の係数、だけ減少する。図 3 1 a 及び 3 2 a は、P型充填した主要ウエルドーパントの濃度 N_I が、P型充填した主要ウエルドーパントの最大濃度の y_{PWP_K} の位置から上方へ線 4 7 4 , 4 7 6 又は 4 7 8 に沿って上部半導体表面へ移る場合に、8 0 を超える係数、1 0 0 近傍の係数、だけ減少する例、を提示している。線 4 7 4 又は 4 7 6 に沿っての上方へ移ることは、ボディ物質部分 4 5 4 及び 4 5 6 の上側に存在する部分を介して、且つ次いで S / D ゾーン 4 4 0 又は 4 4 2 を介して、特に主要 S / D 部分 4 4 0 M 又は 4 4 2 M を介してのものである。チャンネルゾーン 4 4 4 を介して通過する線 4 7 8 に沿っての上方へ移ることは、ボディ物質部分 4 5 4 , 4 5 6 , 4 5 8 のみを介してのものである。

【0497】

P型充填した主要ウエル 1 8 8 における全P型ドーパントの濃度 N_T を表す曲線 1 8 8 " は、図 3 1 b においては、ボディ物質部分 4 5 4 , 4 5 6 及び 4 5 0 又は 4 5 2 における全P型ドーパントの濃度 N_T を夫々表している曲線セグメント 4 5 4 " , 4 5 6 " 及び 4 5 0 " 又は 4 5 2 " からなる。図 3 1 b と図 3 1 a とを比較すると、図 3 1 b における曲線 1 8 8 " は、主要ウエル 1 8 8 における全P型ドーパントの濃度 N_T がP型充填した主要ウエルドーパント、A P Tドーパント、及び S / D ハロードーパントの濃度 N_I における局所的表面下最大に夫々対応している垂直線 4 7 4 又は 4 7 6 に沿っての3つの局所的表面下最大を有している、ことを示している。P型充填した主要ウエルドーパントの表面下濃度最大がほぼ深さ y_{PWP_K} において発生するので、線 4 7 4 又は 4 7 6 に沿っての全P型ドーパントの濃度 N_T における該3つの局所的表面下最大は、深さ y_{PWP_K} から上部半導体表面へ曲線 1 8 8 " を平坦化させる。更に、非対称的Nチャンネル I G F E T 1 0 0 に対する図 1 8 b における曲線 1 8 8 " と対称的Nチャンネル I G F E T 1 0 8 に対する図 3 1 b における曲線 1 8 8 " との比較は、全N型ドーパントの濃度 N_N が I G F E T 1 0 8 の主要 S / D 部分 4 4 0 M 又は 4 4 2 M を介して、従って S / D ゾーン 4 4 0 又は 4 4 2 を介して、線 4 7 4 又は 4 7 6 に沿っての2つの最も浅い表面下濃度最大の各々の深さにおいて I G F E T 1 0 0 の主要ドレイン部分 2 4 2 M を介して、従ってドレイン 2 4 2 を介して、垂直線 2 7 8 M に沿ってほぼ単調的に変化する、ことを示している。線 4 7 4 又は 4 7 6 に沿っての深さ y_{PWP_K} における全P型ドーパントの最も深い表面下濃度最大を線 4 7 4 又は 4 7 6 に沿ってのP型主要表面下濃度最大として呼称し且つ線 4 7 4 又は 4 7 6 に沿っての全P型ドーパントの2つの一層浅い表面下濃度最大を線 4 7 4 又は 4 7 6 に沿っての付加的なP型表面下濃度最大として呼称して別の言い方をすると、全P型ドーパントの濃度 N_N は、I G F E T 1 0 8 に対して線 4 7 4 又は 4 7 6 に沿っての各付加的なP型表面下濃度最大の深さにおいて I G F E T 1 0 0 に対する垂直線 2 7 8 M に沿ってほぼ単調的に変化する。

【0498】

全P型ドーパントの濃度 N_T は、深さ y_{PWP_K} から上方へ垂直線 4 7 4 又は 4 7 6 に沿ってボディ物質部分 4 5 4 及び 4 5 6 の上側に存在する部分を介して且つ S / D ゾーン 4 4 0 又は 4 4 2 を介して上部半導体表面へ移る場合に、幾分増加するか又は幾分減少する場合がある。図 3 1 b は、線 4 7 4 又は 4 7 6 に沿っての全P型ドーパントの濃度 N_T

が深さ y_{PWPK} におけるよりも S/D ゾーン 440 又は 442 の上部表面において僅かに一層大きい例、を提示している。P型充填した主要ウエルドーパントの濃度 N_T が、深さ y_{PWPK} から上方へ線 474 又は 476 に沿って上部半導体表面へ移る場合に、減少する場合には、深さ y_{PWPK} から線 474 又は 476 に沿ってボディ物質部分 454 及び 456 の上側に存在する部分を介して且つ S/D ゾーン 440 又は 442 を介して上部半導体表面への該 N_T 濃度の減少は 10 の係数未満、好適には 5 の係数未満、である。線 474 又は 476 に沿っての N_T 濃度における変化は、通常は十分に小さく、深さ y_{PWPK} から線 474 又は 476 に沿っての上部半導体表面への全 P 型ドーパントの濃度 N_T は中程度の P 型ドーピングのレジームにある。

【0499】

図 31c を参照すると、P 型充填した主要ウエル 188 における正味 P 型ドーパントの濃度 N_N を表す曲線 188* は、ボディ物質部分 454 及び 456 における正味 P 型ドーパントの濃度 N_N を夫々表している曲線セグメント 454* 及び 456* から構成されている。図 31c を図 31b と比較すると、図 31c における曲線 188* は、主要ウエル 188 における正味 P 型ドーパントの濃度 N_T が P 型充填した主要ウエルドーパント及び APT ドーパントの濃度 N_I における局所的表面下最大に夫々対応する垂直線 474 又は 476 に沿っての 2 つの局所的表面下最大を有している、ことを示している。

【0500】

S/D ゾーン 440 及び 442 における N 型垂直ドーパント分布に関しては、 S/D ゾーン 440 又は 442 における N 型主要 S/D ドーパントの濃度 N_I に対する図 31a における曲線 440M' 又は 442M' は非対称的 N チャンネル IGFEIT 100 に対する図 14a における曲線 240M' とほぼ同一である。同様に、 S/D ゾーン 440 又は 442 における N 型浅い S/D 延長部ドーパントの濃度 N_I に対する図 31a における曲線 440E' 又は 442E' は IGFEIT 100 に対する図 14a における曲線 240E' とほぼ同一である。従って、 S/D ゾーン 440 又は 442 における全 N 型ドーパントの濃度 N_T に対する図 31b における曲線 440 又は 442 は IGFEIT 100 に対する図 14b における曲線 240M'' とほぼ同一である。P 型 APT ドーパント及びスレッシュホールド調節ドーパントの存在の条件下において、 S/D ゾーン 440 又は 442 における正味 N 型ドーパントの濃度 N_N に対する図 31c における曲線 440M* 及び 442M* は IGFEIT 100 に対する図 14c における曲線 240M* に類似している。

【0501】

図 32b における曲線 188'' は、ボディ物質部分 454、456、458 における全 P 型ドーパントの濃度 N_T を夫々表している曲線セグメント 454''、456''、458'' から構成されている。図 32b を図 32a と比較すると、図 32b における曲線 188'' は、主要ウエル 188 における全 P 型ドーパントの濃度 N_T が P 型充填した主要ウエルドーパント、APT ドーパント、スレッシュホールド調節ドーパントの濃度 N_I における局所的表面下最大に夫々対応する垂直線 478 に沿っての 3 つの局所的表面下最大を有している、ことを示している。 S/D ゾーン 440 又は 442 を介して垂直線 474 又は 476 に沿って発生することと同様に、チャンネルゾーン 444 を介して線 478 に沿っての全 P 型ドーパントの濃度 N_T における 3 つの局所的表面下最大は深さ y_{PWPK} から上部半導体表面へ曲線 188'' を平坦化させる。

【0502】

S/D ゾーン 440 又は 442 を介して垂直線 474 又は 476 に沿って発生することと同様に、全 P 型ドーパントの濃度 N_T は、深さ y_{PWPK} から上方へ垂直線 478 に沿ってチャンネルゾーン 444 を介して上部半導体表面へ移る場合に、幾分増加するか又は幾分減少する場合がある。図 32b は、線 474 又は 476 に沿っての全 P 型ドーパントの濃度 N_T が深さ y_{PWPK} におけるよりもチャンネルゾーン 444 の上部表面において幾分一層小さい例、を提示している。線 478 に沿っての N_T 濃度における変化は、通常、十分に小さく、線 478 に沿っての深さ y_{PWPK} から上部半導体表面への全 P 型ドーパントの濃度 N_T は中程度の P 型ドーピングのレジームにある。従って、主要ウエル領域

10

20

30

40

50

188は充填したウェルである。

【0503】

0.25 μm の上述した典型的な深さにおけるP型APTDーパントの最大濃度は、通常、 $2 \times 10^{17} - 6 \times 10^{17}$ 原子数/ cm^3 であり、典型的には 4×10^{17} 原子数/ cm^3 であり、典型的には 4×10^{17} 原子数/ cm^3 である。P型スレッシュホールド調節ドーパントの最大濃度は、通常、 $2 \times 10^{17} - 1 \times 10^{18}$ 原子数/ cm^3 であり、典型的には $3 \times 10^{17} - 3.5 \times 10^{17}$ 原子数/ cm^3 であり、且つ0.2 μm 、典型的には0.1 μm 、を越えることのない深さにおいて発生する。P型スレッシュホールド調節ドーパントのこれらの特性に起因して、対称的低電圧低リークIGFET108のスレッシュホールド電圧 V_T は、短チャンネル実現例に対する0.13 μm の描画チャンネル長 L_{DR} において及び2 nmのゲート誘電体厚さにおいて、通常0.3 V乃至0.5 Vであり、典型的には0.4 V乃至0.45 Vである。

10

【0504】

IGFET108のバイアスオフ状態におけるS/D電流リークは、IGFETのドーパント分布及びゲート誘電体特性の最適化に起因して非常に低い。空のP型ウェル領域を使用する対称的NチャンネルIGFETと比較して、充填した主要ウェル領域188の上部表面近くのP型半導体ドーパントの増加された量は、スレッシュホールド電圧 V_T の増加した値と交換して、非常に低いオフ状態S-D電流リークを有することを可能とさせている。IGFET108は、バイアスオフ状態において低いS-D電流リークを必要とし且つ多少上昇した V_T の大きさを許容することが可能な例えば1.2 Vの典型的な電圧範囲の低電圧コアデジタル適用例に対して特に適している。

20

【0505】

F3. 対称的低電圧低リークPチャンネルIGFET

低電圧低リークPチャンネルIGFET110は、基本的に、導電型を逆にした低電圧低リークNチャンネルIGFET108と同じに構成されている。再度図11-3を参照すると、PチャンネルIGFET110は上部半導体表面に沿ってアクティブ半導体島状部150内に位置されている一対のほぼ同一のP型S/Dゾーン480及び482を有している。S/Dゾーン480及び482は、IGFET110に対するボディ物質を構成しているN型充填した主要ウェル領域190のチャンネルゾーン484によって分離されている。N型ボディ物質充填したウェル190は、(a) P型S/Dゾーン480との第1PN接合486、及び(b) P型S/Dゾーン482との第2PN接合488を形成している。

30

【0506】

PチャンネルIGFET110に対するボディ物質が、NチャンネルIGFET108の場合に発生するように、充填した主要ウェルと半導体ボディの下側に存在する物質との結合ではなく充填した主要ウェルで形成されているという条件下において、PチャンネルIGFET110は、導電型が逆であるが、NチャンネルIGFET108と同じに構成されている。従って、PチャンネルIGFET110は、ほぼ同一の中程度にドーブしたN型ハローポケット部分490及び492、中程度にドーブしたN型主要ボディ物質部分494、中程度にドーブしたN型中間ボディ物質部分496、中程度にドーブしたN型下部ボディ物質部分498、 t_{GdL} の低厚さ値におけるゲート誘電体層500、ゲート電極502、誘電体側壁スペーサ504及び506、及びメタルシリサイド層508、510、512、を包含しており、それらは、NチャンネルIGFET108の領域450、452、454、456、458、460、462、464、466、468、470、472と夫々同じに構成されている。Nハローポケット部分490及び492は、N型S/Dハロードーパントとして又はN型S/D隣接ポケットドーパントとして呼称されるN型半導体ドーパントで画定されている。

40

【0507】

N主要ボディ物質部分494がP-基板領域136の上側に存在しており且つそれとP

50

N接合230を形成している。又、各P型S/Dゾーン480又は482は、非常に高度にドーピングした主要部分480M又は482M及び一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部480E又は482Eから構成されている。主要S/D部分480M及び482MはP型主要S/Dドーパントで画定されている。S/D延長部480E及び482EはP型浅いS/D延長部ドーパントと呼称されるP型半導体ドーパントで画定されている。NチャンネルIGFET108のP型充填した主要ウェル188のドーピングに関して行なった説明の全てが、導電型を逆にし且つNチャンネルIGFET108の領域188、440、442、444、450、452、454、456、458を夫々PチャンネルIGFET110の領域190、480、482、484、490、492、494、496、498で置換させたPチャンネルIGFET110のN型充填した主要ウェル190に適用される。

【0508】

P型バックグラウンドドーパントの存在に起因するマイナーな擾乱の条件下において、PチャンネルIGFET110における横方向及び垂直方向ドーパント分布は、導電型を逆にして、NチャンネルIGFET108における横方向及び垂直方向のドーパント分布と基本的に同じである。PチャンネルIGFET110におけるドーパント分布は、NチャンネルIGFET108におけるドーパント分布と機能的に同じである。PチャンネルIGFET110は、電圧極性を逆にして、NチャンネルIGFET108と実質的に同じに動作する。

【0509】

対称的低電圧低リークPチャンネルIGFET110のスレッシュホールド電圧 V_T は、短チャンネル実現例に対しての $0.13\mu\text{m}$ の描画チャンネル長 L_{DR} において且つ2nmのゲート誘電体厚さにおいて、通常 -0.3V 乃至 -0.5V であり、典型的には -0.4V である。NチャンネルIGFET108の場合に発生することと同様に、充填した主要ウェル領域190の上部表面近くのN型半導体ドーパントの増加された量は、空のN型ウェル領域を使用する対称的PチャンネルIGFETと比較してスレッシュホールド電圧 V_T の増加した大きさと交換に非常に低いオフ状態S-D電流リークを有することを可能とさせる。NチャンネルIGFET108の場合のように、PチャンネルIGFET110は、バイアスオフ状態において低いS-D電流リークを必要とし且つ僅かに上昇された V_T の大きさを許容することが可能な例えば1.2Vの動作範囲の低電圧コアデジタル適用例に対して特に適している。

【0510】

G. 対称的低電圧低スレッシュホールド電圧IGFET

対称的低電圧低 V_T 空のウェル相補的IGFET112及び114について図11-4のみを参照して説明する。NチャンネルIGFET112は上部半導体表面に沿ってアクティブ半導体島状部152内に位置されている一対のほぼ同一のN型S/Dゾーン520及び522を有している。S/Dゾーン520及び522は、P-基板領域136と共にIGFET112用のボディ物質を構成しているP型空の主要ウェル領域192のチャンネルゾーン524によって分離されている。P型ボディ物質空のウェル192は、(a) N型S/Dゾーン520との第1PN接合526、及び(b) N型S/Dゾーン522との第2PN接合528、を形成している。

【0511】

各N型S/Dゾーン520又は522は、非常に高度にドーピングした主要部分520M又は522M及び一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部520E又は522Eから構成されている。上部半導体表面に沿ってのチャンネルゾーン524を終端させているほぼ同一のN+S/D延長部520E及び522Eが、ほぼ同一のN++主要S/D部分502M及び522Mよりも一層深くに延在している。事実、各S/D・ボディ接合526又は528は、空のウェル192とS/D延長部520E又は522Eとの間の単独でのPN接合である。

【0512】

S/D延長部520E及び522Eは、以下に説明するように、通常、非対称的NチャンネルIGFET100のドレイン延長部242と同時にN型ディープS/D延長部ドーパントのイオン注入によって画定される。対称的低電圧低リークNチャンネルIGFET108のS/D延長部440E及び442Eを画定するために使用されるN型浅いS/D延長部注入は、以下に説明するように、N型ディープS/D延長部注入よりも一層浅く実施される。その結果、低電圧Nチャンネル装置である対称的空のウエルIGFET112のS/D延長部520E及び522Eは、対称的充填したウエルIGFET108のS/D延長部440E及び442Eよりも一層深くに延在する。

【0513】

P型ボディ物質空の主要ウエル192におけるP型ドーパントは、P型空の主要ウエルドーパント及びP-基板領域136の実質的に一定のP型バックグラウンドドーパントから構成されている。空のウエル192におけるP型空の主要ウエルドーパントは平均深さ y_{PWPk} においてディープ表面下濃度最大に到達するので、ウエル192内のP型空の主要ウエルドーパントの存在は、ウエル192内の全P型ドーパントの濃度をして、ウエル192内の実質的にディープ表面下濃度最大の位置においてディープ局所的表面下濃度最大に到達させる。空のウエル192内のディープP型空のウエル濃度最大の位置から上部半導体表面へ向けて仮想的垂直線に沿ってチャンネルゾーン524を介して移る場合に、ウエル192におけるP型ドーパントの濃度は記号「p」によって示される中程度のドーピングから記号「p-」によって示される軽度のドーピングへ徐々に降下する。図11-4における点線530は、それより下側においては、空のウエル192におけるP型ドーパント濃度が中程度のPドーピングにあり、且つそれより上側においては、ウエル192におけるP型ドーパント濃度が軽度のPドーピングにある位置を概略的に表している。

【0514】

IGFET112は、P型空の主要ウエル192内に位置されており、S/Dゾーン520及び522に沿って夫々延在しており、且つウエル192の隣接物質よりも一層高度にドーピングされたP型であるハローポケット部分を有するものではない。S/Dゾーン520及び522の間のP型モノシリコンの全てから構成されているチャンネルゾーン524（図11-4において特に境界を示していない）は、ウエル192のP-上部部分の表面隣接セグメントによってもっぱら形成されている。

【0515】

t_{gdL} の低い厚さ値にあるゲート誘電体層536が上部半導体表面上に位置されており且つチャンネルゾーン524にわたり延在している。ゲート電極538はチャンネルゾーン524上方でゲート誘電体層536の上に位置されている。ゲート電極538は各N+S/D延長部520E又は522Eの一部にわたり延在しているが、通常N++主要S/D部分520M又は522Mのいずれかのどの部分にわたるものではない。誘電体側壁スペーサ540及び542がゲート電極538の両側の横断方向側壁に沿って夫々位置されている。メタルシリサイド層544, 546, 548が、ゲート電極538及び主要S/D部分520M及び522Mの上部に沿って夫々位置されている。

【0516】

IGFET112の空のウエル領域192は、通常、非対称的NチャンネルIGFET100の空のウエル領域180と同時にP型空の主要ウエルドーパントのイオン注入によって画定される。IGFET112の主要S/D部分520M及び522Mは、通常、IGFET100の主要ドレイン部分242M（及び主要ソース部分240M）と同時にN型主要S/Dドーパントのイオン注入によって画定される。IGFET112のS/D延長部520E及び522Eは通常IGFET100のドレイン延長部242Eと同時にN型ディープS/D延長部ドーパントのイオン注入によって画定されるので、各S/Dゾーン520又は522及びIGFET112の長手方向中心までのウエル192の隣接部分におけるドーパント分布は基本的にIGFET100のドレイン242及びIGFET1

10

20

30

40

50

12のS/Dゾーン520又は522から長手方向中心への横方向距離にほぼ等しい長手方向横方向距離までのウエル180の隣接部分におけるドーパント分布と同じである。

【0517】

より詳細には、各S/Dゾーン520又は522の上部表面及びIGFET112の長手方向中心までのチャンネルゾーン524の上部表面の隣接部分に沿っての長手方向ドーパント分布は、IGFET100のドレイン242の上部表面及びIGFET112の長手方向中心へS/Dゾーン520又は522からの横方向距離にほぼ等しい長手方向横方向距離までウエル180の隣接部分の上部表面に対する図13に示した長手方向ドーパント分布と基本的に同じである。IGFET112の各S/D延長部520E又は522E及び各主要S/D部分520M又は522Mを介しての適宜の仮想的垂直線に沿っての垂直ドーパント分布は、IGFET100のドレイン延長部242E及び主要ドレイン部分242Mを介しての垂直線278E及び278Mに沿って図17及び18に夫々示した垂直ドーパント分布と基本的に同じである。

【0518】

IGFET112のチャンネルゾーン524の長手方向中心を介しての仮想的垂直線に沿っての垂直ドーパント分布は、IGFET100のドレイン242から線276への横方向距離がIGFET112のS/Dゾーン520又は522から長手方向中心への横方向距離を越える場合があるとしても、IGFET100のチャンネルゾーン244を介しての垂直線276に沿って図16に示した垂直分布と基本的に同じである。前述した境界の条件下において、IGFET100、特にその上部表面に沿ってチャンネルゾーン244内へのドレイン242の上部表面に沿って及び垂直線276、278E、278Mに沿って、の上部表面及び垂直のドーパント分布に関しての記載は、IGFET112の各S/D延長部520E又は522E、各主要S/D部分520M又は522M、及びチャンネルゾーン524を介して表示した垂直線に沿って及びS/Dゾーン520及び522及びチャンネルゾーン524の上部表面に沿ってのドーパント分布に適用される。

【0519】

低電圧低 V_T PチャンネルIGFET114は、導電型を逆にして、NチャンネルIGFET112と基本的に同じに構成されている。図11-4を再度参照すると、PチャンネルIGFET114は上部半導体表面に沿ってアクティブ半導体島状部154内に位置されている一対のほぼ同一のP型S/Dゾーン550及び552を有している。S/Dゾーン550及び552は、IGFET114に対するボディ物質を構成するN型空の主要ウエル領域194のチャンネルゾーン554によって分離されている。N型ボディ物質空のウエル領域194は、(a) P型S/Dゾーン550との第1PN接合556、及び(b) P型S/Dゾーン552との第2PN接合558を形成している。

【0520】

各P型S/Dゾーン550又は552は、非常に高度にドーブした主要部分550M又は552M、及び一層軽度ドーブしているが尚且つ高度にドーブしている横方向延長部550E又は552Eから構成されている。チャンネルゾーン554は、S/D延長部550E及び552Eによって上部半導体表面に沿って終端されている。ほぼ同一のP+S/D延長部550E及び552Eがほぼ同一のP++主要S/D部分550M及び552Mよりも一層深くに延在している。

【0521】

以下に説明するように、S/D延長部550E及び552Eは、通常、非対称的PチャンネルIGFET102のドレイン延長部282Eと同時にP型ディープS/D延長部ドーパントのイオン注入によって画定される。対称的低電圧低リークPチャンネルIGFET110のS/D延長部480E及び482Eを画定するために使用されるP型浅いS/D延長部注入は、以下に示すように、P型ディープS/D延長部注入よりも一層浅くに実施される。その結果、低電圧Pチャンネル装置である対称的空のウエルIGFET114のS/D延長部550E及び552Eは、対称的充填したIGFET110のS/D延長部480E及び482Eよりも一層深くに延在する。

【0522】

N型ボディ物質空の主要ウェル194におけるN型ドーパントは、もっぱらN型空の主要ウェルドーパントから構成されている。従って、空のウェル194におけるN型ドーパントは平均深さ y_{NWPK} においてディープ表面下濃度最大に到達する。空のウェル194におけるN型空のウェル濃度最大の位置から上部半導体表面へ向かって仮想的垂直線に沿ってチャンネルゾーン554を介して移る場合に、ウェル194内のN型ウェルドーパントの濃度は、記号「N」で示される中程度のドーピングから記号「N-」で示される軽度のドーピングへ徐々に降下する。図11-4における点線560は、それより下側においては、空のウェル194におけるN型ドーパント濃度が中程度のNドーピングにあり、且つそれより上側においては、ウェル194内のN型ドーパント濃度は軽度のNドーピングにある位置を概略的に表している。

10

【0523】

前述したことを前提に、PチャンネルIGFET114は、更に、 t_{GdL} の低い厚さ値にあるゲート誘電体層566、ゲート電極568、誘電体側壁スペーサ570及び572、及びメタルシリサイド層574、576、578を包含しており、それらは、NチャンネルIGFET112の領域536、538、540、542、544、546、548と夫々同じに構成されている。NチャンネルIGFET112に類似して、PチャンネルIGFET114はハローポケット部分を有するものではない。S/Dゾーン550及び552の間のN型モノシリコンの全てからなるチャンネルゾーン554（図11-4においては特に境界を示していない）は、ウェル194のN-上部部分の表面隣接セグメント

20

【0524】

P型バックグラウンドドーパントの存在に起因するマイナーな擾乱の条件下において、PチャンネルIGFET114における長手方向及び垂直方向のドーパント分布は、導電型を逆にすれば、NチャンネルIGFET112における長手方向及び垂直方向のドーパント分布と基本的に同じである。IGFET114におけるドーパント分布はIGFET112におけるドーパント分布と機能的に同じである。IGFET114は、電圧極性を逆にすれば、IGFET112と実質的に同じに機能する。

【0525】

対称的低電圧低 V_T IGFET112及び114の各々のスレッショールド電圧 V_T は、 $0.3\mu m$ の描画チャンネル長 L_{DR} 及び $2nm$ のゲート誘電体厚さにおいて、通常、 $-0.01V$ 乃至 $0.19V$ であり、典型的には $0.09V$ である。従って、NチャンネルIGFET112は、典型的に、エンハスメントモード装置であり、一方、PチャンネルIGFET114は典型的にデプリションモード装置である。

30

【0526】

充填したP型ウェル領域を使用する対称的NチャンネルIGFETと比較して、空の主要ウェル領域192の上部表面近くのP型半導体ドーパントの減少した量は、NチャンネルIGFET112が非常に低い値のスレッショールド電圧 V_T を有することを可能とさせる。同様に、空の主要ウェル領域194の上部表面近くのN型半導体ドーパントの減少した量は、PチャンネルIGFET114が、充填したN型ウェル領域を使用する対称的PチャンネルIGFETと比較して、非常に低い大きさのスレッショールド電圧 V_T を有することを可能とさせる。IGFET112及び114は、減少した大きさのスレッショールド電圧 V_T を必要とし且つ幾分増加したチャンネル長 L を許容可能な、例えば $1.2V$ の動作範囲の低電圧アナログ及びデジタル適用例に対して特に適している。

40

【0527】

H. 公称的スレッショールド電圧の大きさの対称的高電圧IGFET

公称 V_T 大きさの対称的高電圧充填した相補的IGFET116及び118を図11-5のみを参照して説明する。NチャンネルIGFET116は上部半導体表面に沿ってアクティブ半導体島状部156内に位置している一対のほぼ同一のN型S/Dゾーン580

50

及び582を有している。S/Dゾーン580及び582は、P-基板領域136と共にIGFET116用のボディ物質を構成するP型充填した主要ウエル領域196のチャンネルゾーン584によって分離されている。P型ボディ物質充填したウエル196は、(a) N型S/Dゾーン580とで第1PN接合586、及び(b) N型S/Dゾーン582とで第2PN接合588を形成している。

【0528】

各N型S/Dゾーン580又は582は、非常に高度にドーピングした主要部分580M又は582M及び一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部580E又は582Eから構成されている。ほぼ同一のN+横方向S/D延長部580E及び582Eが、上部半導体表面に沿ってチャンネルゾーン584を終端させており、ほぼ同一のN++主要S/D部分580M及び582Mよりも一層深くに延在している。

10

【0529】

S/D延長部580E及び582Eは、以下に説明するように、非対称的NチャンネルIGFET100のドレイン延長部242Eと同時に、従って、通常、対称的低電圧低 V_T NチャンネルIGFET112のS/D延長部520E及び522Eと同時に、N型ディープS/D延長部ドーパントのイオン注入によって画定される。対称的低電圧低リークNチャンネルIGFET108のS/D延長部440E及び442Eを画定するために使用されるN型浅いS/D延長部注入がN型ディープS/D延長部注入よりも一層浅く実施されるので、対称的高電圧充填したIGFET116のS/D延長部580E及び582Eは対称的低電圧充填したウエルIGFET108のS/D延長部440E及び442Eよりも一層深くに延在する。

20

【0530】

IGFET116は、P型ボディ物質空の主要ウエル196内に位置されており、S/Dゾーン580及び582に沿って夫々延在しており、且つウエル196の隣接物質よりも一層高度にドーピングしたP型である、ハローポケット部分を有するものではない。この差異の下で、空のウエル196はNチャンネルIGFET108の空のウエル188と実質的に同じに構成されている。従って、N型空のウエル196は、中程度にドーピングした主要ボディ物質部分590、中程度にドーピングした中間ボディ物質部分592、及び中程度にドーピングした上部物質部分594から構成されており、それらは、IGFET108の空のウエル188のボディ物質部分454、456、458と夫々同じに構成されている。

30

【0531】

IGFET108のPボディ物質部分454、456、458の場合のように、IGFET116のPボディ物質部分590、592、594は、夫々、P型充填した主要ウエルドーパント、APTドーパント、及びスレッシュホールド調節ドーパントで画定されており、それらの濃度は異なる平均深さにおいて最大値に到達する。従って、Pボディ物質部分590、592、594はIGFET108のPボディ物質部分454、456、458と同じドーパント濃度特性を有している。ボディ物質部分590、592、594は、しばしば、ここでは、夫々、p充填したウエル主要ボディ物質部分590、pAPTボディ物質部分592、及びpスレッシュホールド調節ボディ物質部分594と呼称される。IGFET116はハローポケット部分を欠如しているので、pスレッシュホールド調節ボディ物質部分594がS/Dゾーン580及び582の間、特にS/D延長部580E及び582Eの間、に横方向に延在している。S/Dゾーン580及び582の間のP型モノシリコンの全てから構成されているチャンネルゾーン584(図11-5においては特に境界は示していない)がウエル196のp-上部部分の表面隣接セグメントによってもっぱら形成されている。

40

【0532】

t_{GDH} の高い厚さ値にあるゲート誘電体層596は上部半導体表面上に位置しており且つチャンネルゾーン584上方を延在している。ゲート電極598はチャンネルゾーン584の上方でゲート誘電体層596の上に位置している。ゲート電極598は、各N+S/D延長部580E又は582Eの一部にわたり延在しているが、通常、N++主要S

50

／D部分580M又は582Mのいずれかのどの部分にわたるものではない。誘電体側壁スペーサ600及び602は、夫々、ゲート電極598の両側の横断方向の側壁に沿って位置されている。メタルシリサイド層604、606、608が夫々ゲート電極598及び主要S／D部分580M及び582Mの上部に沿って位置されている。

【0533】

IGFET116の充填したウエル領域196は、通常、対称的NチャンネルIGFET108の充填したウエル領域188と夫々同時にP型充填した主要ウエルドーパント、APTドーパント、及びスレッショールド調節ドーパントのイオン注入によって画定される。その結果、IGFET116のドーブしたモノシリコンにおけるP型ドーパント分布は、IGFET108のドーブしたモノシリコンにおけるP型ドーパント分布と基本的に同じである。IGFET108のドーブしたモノシリコンにおけるP型ドーパント分布 10
についての説明の全てはIGFET116のドーブしたモノシリコンに適用される。

【0534】

IGFET116の主要S／D部分580M及び582Mは、通常、非対称的NチャンネルIGFET100の主要ドレイン部分242M（及び主要ソース部分240M）と同時にN型主要S／Dドーパントのイオン注入によって画定される。IGFET116のS／D延長部580E及び582Eが、通常、IGFET100のドレイン延長部242Eと同時にN型ディープS／D延長部ドーパントのイオン注入によって画定されるので、各S／Dゾーン580又は582及びIGFET116の長手方向中心までのウエル196の隣接部分におけるN型ドーパント分布は、IGFET100のドレイン242及びS／Dゾーン580又は582からIGFET116の長手方向中心への横方向距離とほぼ等しい長手方向横方向距離までのウエル180の隣接部分におけるN型ドーパント分布と基本的に同じである。 20

【0535】

特に、各S／Dゾーン580又は582の上部表面及びIGFET116の長手方向中心までのチャンネルゾーン584の上部表面の隣接部分に沿ってのN型長手方向ドーパント分布は、IGFET100のドレイン242の上部表面及びS／Dゾーン580又は582からIGFET116の長手方向中心への横方向距離にほぼ等しい長手方向横方向距離までのウエル180の隣接部分の上部表面に対する図13に示したN型長手方向ドーパント分布と基本的に同じである。IGFET116の各主要S／D部分580M又は582M及び各S／D延長部580E又は582Eを介しての適宜の仮想的垂直線に沿ってのN型垂直ドーパント分布は、IGFET100のドレイン部分242E及び主要ドレイン部分242Mを介しての垂直線288E及び278Mに沿って図17及び18に示したN型垂直ドーパント分布と基本的に同じである。 30

【0536】

IGFET116のチャンネルゾーン584の長手方向中心を介しての仮想的垂直線に沿ってのN型垂直ドーパント分布は、たとえばIGFET108のドレイン242から線276への横方向距離がS／Dゾーン580又は582からIGFET116の長手方向中心への横方向距離を越える場合であっても、IGFET100のチャンネルゾーン244を介しての仮想的垂直線276に沿って図16に示したN型垂直分布と基本的に同じである。前述した限界を前提に、IGFET100、特にその上部表面にそってチャンネルゾーン244内へのドレイン242の上部表面に沿って及び垂直線276、278E、278Mに沿っての、N型上部表面及び垂直ドーパント分布についての説明は、IGFET116のS／Dゾーン580及び582及びチャンネルゾーン584の上部表面に沿っての及び各S／D延長部580E又は582E、各主要S／D部分580M又は582M、及びチャンネルゾーン584を介しての表示した垂直線に沿ってのN型ドーパント分布に適用される。 40

【0537】

高電圧PチャンネルIGFET118は、導電型を逆にして、NチャンネルIGFET116と基本的に同じに構成されている。再度図11-5を参照すると、PチャンネルI 50

G F E T 1 1 8 は、上部半導体表面に沿ってアクティブ半導体島状部 1 5 8 内に位置されている一対のほぼ同一の P 型 S / D ゾーン 6 1 0 及び 6 1 2 を有している。S / D ゾーン 6 1 0 及び 6 1 2 は、I G F E T 1 1 8 用のボディ物質を構成する N 型充填した主要ウェル領域 1 9 8 のチャンネルゾーン 6 1 4 によって分離されている。N 型ボディ物質充填したウェル 1 9 8 は、(a) P 型 S / D ゾーン 6 1 0 と第 1 P N 接合 6 1 6 を、(b) P 型 S / D ゾーン 6 1 2 と第 2 P N 接合 6 1 8 を形成している。

【0538】

各 P 型 S / D ゾーン 6 1 0 又は 6 1 2 は、非常に高度にドーピングした主要部分 6 1 0 M 又は 6 1 2 M 及び一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部 6 1 0 E 又は 6 1 2 E から構成されている。チャンネルゾーン 6 1 4 は、S / D 延長部 6 1 0 E 及び 6 1 2 E によって上部半導体表面に沿って終端されている。ほぼ同一の P + S / D 延長部 6 1 0 E 及び 6 1 2 E は、ほぼ同一の P + + 主要 S / D 部分 6 1 0 M 及び 6 1 2 M よりも一層深くに延在している。

【0539】

以下に説明するように、S / D 延長部 6 1 0 E 及び 6 1 2 E は、通常、非対称的 P チャンネル I G F E T 1 0 2 のドレイン延長部 2 8 2 E と同時に、従って、通常、対称的低電圧低 V_T P チャンネル I G F E T 1 1 4 の S / D 延長部 5 5 0 E 及び 5 5 2 E と同時に、P 型ディープ S / D 延長部ドーパントのイオン注入によって画定される。対称的低電圧低リーク P チャンネル I G F E T 1 1 0 の S / D 延長部 4 8 0 E 及び 4 8 2 E を画定するために使用される P 型浅い S / D 延長部注入は P 型ディープ S / D 延長部注入よりも一層浅く実施されるので、対称的高電圧 I G F E T 1 1 8 の S / D 延長部 6 1 0 E 及び 6 1 2 E は対称的低電圧 I G F E T 1 1 0 の S / D 延長部 4 8 0 E 及び 4 8 2 E よりも一層深くに延在する。

【0540】

P チャンネル I G F E T 1 1 8 用のボディ物質が N チャンネル I G F E T 1 1 6 の場合に発生するように充填した主要ウェルと半導体ボディの下側に存在する物質との結合ではなく充填した主要ウェルで形成される条件下において、P チャンネル I G F E T 1 1 8 は、導電型を逆にして、N チャンネル I G F E T 1 1 6 と同じに構成される。従って、P チャンネル I G F E T 1 1 8 は、中程度にドーピングした N 型主要ボディ物質部分 6 2 0、中程度にドーピングした N 型中間ボディ物質部分 6 2 2、中程度にドーピングした N 型上部ボディ物質部分 6 2 4、ゲート誘電体層 6 2 6、 t_{GdH} の高い厚さ値にあるゲート電極 6 2 8、誘電体側壁スペーサ 6 3 0 及び 6 3 2、及びメタルシリサイド層 6 3 4、6 3 6、6 3 8 を包含しており、それらは N チャンネル I G F E T 1 1 6 の領域 5 9 0、5 9 2、5 9 4、5 9 6、5 9 8、6 0 0、6 0 2、6 0 4、6 0 6、6 0 8 と夫々同じに構成されている。N 主要ボディ物質 6 2 0 が P-基板領域 1 3 6 の上側に存在しており且つそれと P N 接合 2 3 4 を形成する。

【0541】

N チャンネル I G F E T 1 1 6 の P 型充填した主要ウェルのドーピングに関しての上の説明の全ては、導電型を逆にし、且つ N チャンネル I G F E T 1 1 6 の領域 1 9 6、5 8 0、5 8 2、5 8 4、5 9 0、5 9 2、5 9 4 を P チャンネル I G F E T 1 1 8 の領域 1 9 8、6 1 0、6 1 2、6 1 4、6 2 0、6 2 2、6 2 4 で夫々置換させて、P チャンネル I G F E T 1 1 8 の N 型充填した主要ウェル 1 9 8 に適用される。

【0542】

P 型バックグラウンドドーパントの存在に起因するマイナーな擾乱の条件下で、P チャンネル I G F E T 1 1 8 における長手方向及び垂直ドーパント分布は、導電型を逆にして、I G F E T 1 1 6 における長手方向及び垂直ドーパント分布と基本的に同じである。I G F E T 1 1 8 におけるドーパント分布は、I G F E T 1 1 6 におけるドーパント分布と機能的に同じである。I G F E T 1 1 8 は、電圧極性を逆にすれば、I G F E T 1 1 6 と実質的に同じに機能する。

【0543】

10

20

30

40

50

対称的高電圧公称 V_T Nチャンネル IGFET 116 のスレッシュホールド電圧 V_T は、通常、 $0.4\ \mu\text{m}$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5\ \text{nm}$ のゲート誘電体厚さにおいて、 $0.4\ \text{V}$ 乃至 $0.65\ \text{V}$ であり、典型的には $0.5\ \text{V}$ 乃至 $0.55\ \text{V}$ である。対称的高電圧公称 V_T Pチャンネル IGFET 118 のスレッシュホールド電圧 V_T は、通常、 $0.3\ \mu\text{m}$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5\ \text{nm}$ のゲート誘電体厚さにおいて、 $-0.5\ \text{V}$ 乃至 $-0.75\ \text{V}$ であり、典型的には $-0.6\ \text{V}$ 乃至 $-0.65\ \text{V}$ である。対称的 IGFET 116 及び 118 は、 $3.0\ \text{V}$ の動作範囲等の高電圧デジタル適用例に対して特に適している。

【0544】

10

I. 公称のスレッシュホールド電圧の大きさの対称的低電圧 IGFET

公称 V_T 大きさの対称的低電圧充填したウエル相補的 IGFET 120 及び 122 を図 11-6 のみを参照し説明する。IGFET 120 及び 122 は、夫々、増加した V_T 大きさの低電圧低リーク対称的 IGFET 108 及び 110 と同様に構成されているが、除かれる点としては、IGFET 120 及び 122 は、IGFET 108 及び 110 においてオフ状態電流リークを減少させており且つそれらのスレッシュホールド電圧の大きさを増加させる P スレッシュホールド調節ボディ物質部分 458 及び N スレッシュホールド調節ボディ物質部分 498 に類似した表面隣接スレッシュホールド調節ボディ物質部分を欠如していることである。N チャンネル IGFET 120 は、一般的に、上に引用した米国特許第 6,548,842 号に記載されているように、N チャンネル IGFET 20 と実質的に同じに構成される。P チャンネル IGFET 122 も同様に、一般的に、米国特許第 6,548,842 号に記載されている P チャンネル IGFET と実質的に同じに構成されている。

20

【0545】

前述したことを銘記して、N チャンネル IGFET 120 は上部半導体表面に沿ってアクティブ半導体島状部 160 内に位置されている一対のほぼ同一の N 型 S/D ゾーン 640 及び 642 を有している。S/D ゾーン 640 及び 642 は、P-基板領域 136 と共に IGFET 120 用のボディ物質を構成している P 型充填した主要ウエル領域 200 のチャンネルゾーン 644 によって分離されている。P 型ボディ物質充填したウエル 200 は、(a) N 型 S/D ゾーン 640 との第 1 PN 接合 646、及び (b) N 型 S/D ゾーン 642 との第 2 PN 接合 648、を形成している。

30

【0546】

各 N 型 S/D ゾーン 640 又は 642 は、非常に高度にドーブした主要部分 640M 又は 642M 及び一層軽度ドーブしたが尚且つ高度にドーブした横方向延長部 640E 又は 642E から構成されている。ほぼ同一の N++ 主要 S/D 部分 640M 及び 642M がほぼ同一の N+S/D 延長部 640E 及び 642E よりも一層深くに延在している。チャンネルゾーン 644 は上部半導体表面によって S/D 延長部 640E 及び 642E によって終端されている。

【0547】

S/D 延長部 640E 及び 642E は、通常、対称的低電圧低リーク N チャンネル IGFET 108 の S/D 延長部 440E 及び 442E と同時に N 型浅い S/D 延長部ドーパントのイオン注入によって画定される。N 型浅い S/D 延長部注入は、以下に説明するように、対称的低電圧低 V_T N チャンネル IGFET 112 の S/D 延長部 520E 及び 522E 及び対称の高電圧公称 V_T N チャンネル IGFET 116 の S/D 延長部 580E 及び 582E の両方を画定するために使用される N 型ディープ S/D 延長部注入よりも一層浅く実施される。その結果、対称的空のウエル IGFET 112 の S/D 延長部 520E 及び 522E 及び対称的充填した IGFET 116 の S/D 延長部 580E 及び 582E は、対称的充填したウエル IGFET 120 の S/D 延長部 640E 及び 642E よりも一層深くに延在する。

40

【0548】

50

P型ボディ物質充填した主要ウェル200の一对のほぼ同一の中程度にドーブした横方向に分離されたハローポケット部分650及び652が、夫々、上部半導体表面までS/Dゾーン640及び642に沿って延在し且つS/Dゾーン640及び642の間の夫々の位置において終端している。図11-6は、S/Dゾーン640及び642がハローポケット650及び652よりも一層深くに延在する状態を示している。ハローポケット650及び652は、代替的に、S/Dゾーン640及び642下側を横方向に夫々延在することが可能である。その場合に、ハローポケット650及び652は夫々S/Dゾーン640及び642の下側を横方向に延在する。IGFET108のハローポケット部分450及び452の場合のように、ハローポケット650及び652は上部半導体表面下側で最大濃度に到達するP型S/Dハロードーパントで画定される。

10

【0549】

ハローポケット部分650及び652外側のP型ボディ物質充填した主要ウェル200の物質は、中程度にドーブした主要ボディ物質部分654及び中程度にドーブした更なるボディ物質部分656から構成されている。Pボディ物質部分654及び656はIGFET108のPボディ物質部分454及び456と夫々同じに構成されるが、除かれる点としては、そのP更なるボディ物質部分656はハローポケット650及び652の間に於いて上部半導体表面へ延在する。Pボディ物質部分654及び656は、夫々、P型充填した主要ウェルドーパント及びP型APTドーパントで画定される。従って、ボディ物質部分654及び656は、しばしば、ここでは、夫々、P充填したウェル主要ボディ物質部分654及びpAPTボディ物質部分656として呼称される。

20

【0550】

チャンネルゾーン644（図11-6には特に境界を示していない）は、S/Dゾーン640及び642の間のP型モノシリコンから全て構成されている。より詳細には、チャンネルゾーン644は、APTボディ物質部分656の表面隣接下側に存在するセグメント、及び（a）S/Dゾーン640及び642が図11-6の例に示されているようにハローポケット650及び652よりも一層深くに延在している場合には、Pハローポケット部分650及び652の全て、又は（b）それらがS/Dゾーン640及び642よりも一層深くに延在している場合には、ハローポケット650及び652の表面隣接セグメントによって形成されている。ハローポケット650及び652はウェル200の直接隣接物質よりも一層高度にドーブしたP型である。

30

【0551】

IGFET120は、更に、 t_{gdL} の低厚さのゲート誘電体層660、ゲート電極662、誘電体側壁スペーサ664及び666、及びメタルシリサイド668、670、672を包含しており、それらは、夫々、IGFET108の領域460、462、464、466、468、470、472と同じに構成されている。

【0552】

IGFET120の充填したウェル領域200は、通常、対称的低リークNチャンネルIGFET108の充填したウェル領域188と同じ夫々の時間においてP型充填した主要ウェルドーパント及びAPTドーパントのイオン注入によって画定される。IGFET120の充填したウェル200はIGFET108の充填したウェル188におけるスレッショールド調節ボディ物質部分458に対応するスレッショールド調節ボディ物質部分を欠如しているので、IGFET120のドーブしたモノシリコンにおけるP型ドーパント分布は、IGFET120のドーブしたモノシリコンにおいてはP型スレッショールド調節ドーパントの原子が存在しないという条件下で、IGFET108のドーブしたモノシリコンにおけるP型ドーパント分布と基本的に同じである。スレッショールド調節ボディ物質部分458に関する説明を除いて、IGFET108のドーブしたモノシリコンにおけるP型ドーパント分布に関しての上述した説明の全てがIGFET120のドーブしたモノシリコンに適用される。

40

【0553】

IGFET120の主要S/D部分64M及び642Mは、通常、IGFET108の

50

主要S/D部分440M及び442Mと同時にN型主要S/Dドーパントのイオン注入によって画定される。IGFET120のS/D延長部640E及び642Eが通常IGFET108のS/D延長部440E及び442Eと同時にN型浅いS/D延長部ドーパントのイオン注入によって画定されるので、IGFET120のS/Dゾーン640及び642におけるN型ドーパント分布はIGFET108のS/Dゾーン440及び442におけるN型ドーパント分布と基本的に同じである。

【0554】

より詳細には、IGFET120のS/Dゾーン640及び642の上部表面に沿ってのN型長手方向ドーパント分布は、IGFET108のS/Dゾーン440及び442の上部表面に対して図30に示したN型長手方向ドーパント分布と基本的に同じである。IGFET120のS/Dゾーン640又は642を介しての適宜の仮想的垂直線に沿ってのN型垂直ドーパント分布は、IGFET108のS/Dゾーン440又は442を介しての垂直線474又は476に沿って図31に示したN型垂直ドーパント分布と基本的に同じである。IGFET108のN型上部表面及び垂直ドーパント分布についての説明は、IGFET120のN型上部表面及び垂直ドーパント分布に適用される。

【0555】

公称 V_T の低電圧PチャンネルIGFET122は、導電度を逆にして、NチャンネルIGFET120と基本的に同じに構成されている。再度図11-6を参照すると、PチャンネルIGFET122は、上部半導体表面に沿ってアクティブ半導体島状部162内に位置されている一対のほぼ同一のP型S/Dゾーン680及び682を有している。S/Dゾーン680及び682は、IGFET122のボディ物質を構成しているN型充填した主要ウェル領域202のチャンネルゾーン684によって分離されている。N型ボディ物質充填したウェル202は、(a) P型S/Dゾーン680とで第1PN接合686及び(b) P型S/Dゾーン682とで第2PN接合688、を形成している。

【0556】

PチャンネルIGFET122用のボディ物質が、NチャンネルIGFET120で発生するように、充填した主要ウェル及び半導体ボディの下側に存在する物質の結合ではなく、充填した主要ウェルで形成されている条件下において、PチャンネルIGFET122は、導電型を逆にして、NチャンネルIGFET120と同じに構成されている。従って、PチャンネルIGFET122は、ほぼ同一の中程度にドーブしたN型ハローポケット部分690及び692、中程度にドーブしたN型主要ボディ物質部分694、中程度にドーブしたN型の更なるボディ物質部分696、 t_{GdL} の低い厚さ値にあるゲート誘電体層700、ゲート電極702、誘電体側壁スペーサ704及び706、及びメタルシリサイド層708、710、712を包含しており、それらは、NチャンネルIGFET120の領域650、652、654、656、660、662、664、666、668、670、672と夫々同じに構成されている。

【0557】

N主要ボディ物質部分694はP-基板領域136の上側に位置しており且つそれとPN接合236を形成している。又、各P型S/Dゾーン680又は682は、非常に高度にドーブした主要部分680M又は682M及び一層軽度ドーブしているが尚且つ高度にドーブしている横方向延長部680E又は682Eから構成されている。NチャンネルIGFET120のP型充填した主要ウェル200のドーピングに関しての説明の全ては、導電型を逆にし、且つNチャンネルIGFET120の領域200、640、640M、640E、642、642E、644、650、652、654、656をPチャンネルIGFET122の領域202、680、680M、680E、682、682M、682E、684、690、692、694、696で夫々置換させて、PチャンネルIGFET122のN型充填した主要ウェル202に適用される。

【0558】

P型バックグラウンドドーパントの存在に起因するマイナーな擾乱の条件下において、PチャンネルIGFET122における長手方向及び垂直ドーパント分布は、導電型を逆

10

20

30

40

50

にして、NチャンネルIGFET120における長手方向及び垂直ドーパント分布と基本的に同じである。IGFET122におけるドーパント分布は、IGFET120におけるドーパント分布と機能的に同じである。IGFET122は、電圧極性を逆にして、IGFET120と実質的に同じに機能する。

【0559】

対称的低電圧公称 V_T NチャンネルIGFET120のスレッシュホールド電圧 V_T は、通常、0.25V乃至0.45Vであり、典型的には0.35Vである。対称的低電圧公称 V_T PチャンネルIGFET122のスレッシュホールド電圧 V_T は、通常、-0.2V乃至-0.4Vであり、典型的には-0.3Vである。これらの V_T 範囲及び典型的な値は、0.13 μ mの描画チャンネル長 L_{DR} 及び2nmのゲート誘電体厚さにおいてIGFET120及び122の短チャンネル実現例に対するものである。対称的IGFET120及び122は、例えば1.2Vの動作範囲等の低電圧デジタル適用例に対して特に適している。

【0560】

J. 対称の高電圧低スレッシュホールド電圧IGFET

対称の高電圧低 V_T 空のウェル相補的IGFET124及び126を図11-7のみを参照して説明する。以下に更に説明するように、IGFET124及び126は、低電圧低 V_T IGFET112及び114と夫々実質的に同じに構成されているが、除かれる点としては、IGFET124及び126は、高電圧操作に適したものであるように、一層長いチャンネル長及び一層大きなゲート誘電体厚さのものであるという点である。

【0561】

NチャンネルIGFET124は、上部半導体表面に沿ってのアクティブ半導体島状部164内に位置されている一対のほぼ同一のN型S/Dゾーン720及び722を有している。S/Dゾーン720及び722は、P-基板領域136と共にIGFET124用のボディ物質を構成しているP型空の主要ウェル領域204のチャンネルゾーン724によって分離されている。P型ボディ物質空のウェル204は、(a) N型S/Dゾーン720とで第1PN接合726を(b) N型S/Dゾーン722とで第2PN接合728を形成している。

【0562】

各N型S/Dゾーン720又は722は、非常に高度にドーブした主要部分720M又は722M及び一層軽度ドーブしているが尚且つ高度にドーブしている横方向延長部720E又は722Eから構成されている。ほぼ同一のN+横方向S/D延長部720E及び722Eはほぼ同一のN++主要S/D部分720N及び722Mよりも一層深くに延在している。チャンネルゾーン724は上部半導体表面に沿ってS/D延長部720E及び722Eによって終端されている。

【0563】

S/D延長部720E及び722Eは、通常、非対称的NチャンネルIGFET100のドレイン延長部242Eと同時に、従って、通常は、対称的低電圧低 V_T NチャンネルIGFET112のS/D延長部520E及び522E及び対称の高電圧公称 V_T NチャンネルIGFET116のS/D延長部580及び582と同時に、N型ディープS/D延長部ドーパントのイオン注入によって画定される。以下に示すように、対称的低電圧低リークNチャンネルIGFET108のS/D延長部440E及び442E及び又、通常、対称的低電圧公称 V_T NチャンネルIGFET120のS/D延長部640E及び642Eを画定するために使用されるN型浅いS/D延長部注入は、N型ディープS/D延長部注入よりも一層浅く実施される。その結果、対称的空のウェルIGFET124のS/D延長部720E及び722Eは、対称的充填したIGFET108のS/D延長部440E及び442E及び対称的充填したウェルIGFET120のS/D延長部640E及び642Eの両方よりも一層深くに延在する。

【0564】

P型ボディ物質空の主要ウェル204におけるP型ドーパントは、P型空の主要ウェルドーパント及びP-基板領域126の実質的に一定のP型バックグラウンドドーパントから構成されている。空のウェル204内のP型空の主要ウェルドーパントは平均深さ y_{PWPK} においてディープ表面下濃度最大に到達するので、ウェル204内のP型空の主要ウェルドーパントの存在は、ウェル204内の全P型ドーパントの濃度をして、実質的にウェル204内のディープ表面下濃度最大の位置においてディープ局所的表面下濃度最大に到達させる。空のウェル204内のディープP型空のウェル濃度最大の位置から上部半導体表面に向かって仮想的垂直線に沿ってチャンネルゾーン724を介して移る場合に、ウェル204内のP型ドーパントの濃度は、記号「P」で示される中程度のドーピングから記号「P-」で示される軽度のドーピングへ徐々に降下する。図11-7における点線730は、それより下側においては、空のウェル204内のP型ドーパント濃度が中程度のPドーピングにあり、且つそれより上側においては、ウェル204内のP型ドーピング濃度が軽度のPドーピングにあることを概略的に表している。

10

【0565】

IGFET112の場合のように、IGFET124はハローポケット部分を有するものではない。チャンネルゾーン724（図11-7においては特に境界は示していない）は、全てS/Dゾーン720及び722の間のP型モノシリコンから構成されており、ウェル204のP-上部部分の表面隣接セグメントによってもっぱら形成されている。IGFET124は、更に、 t_{GDH} の高い厚さ値にあるゲート誘電体層736、ゲート電極738、誘電体側壁スペーサ740及び742、及びメタルシリサイド層744、746、748を包含しており、それらは、NチャンネルIGFET112の領域536、538、540、542、544、546、548と夫々同じに構成されている。

20

【0566】

IGFET124の空のウェル領域204は、通常、対称的低電圧低 V_T NチャンネルIGFET112の空のウェル領域192と同時に、且つ、従って、通常、非対称的NチャンネルIGFET100の空のウェル領域180と同時に、P型空の主要ウェルドーパントのイオン注入によって画定される。IGFET124の主要S/D部分720M及び722Mは、通常、IGFET112の主要S/D部分520M及び522Mと同時に、且つ、従って、通常、IGFET100の主要ドレイン部分242M（及び主要ソース部分240M）と同時に、N型主要S/Dドーパントのイオン注入によって画定される。IGFET125のS/D延長部720E及び722Eは、通常、IGFET112のS/D延長部520E及び522Eと同時に、且つ、従って、通常、IGFET100のドレイン延長部242Eと同時に、N型ディープS/D延長部ドーパントのイオン注入によって画定されるので、各S/Dゾーン720又は722及びIGFET124の長手方向中心までのウェル204の隣接部分におけるドーパント分布は、IGFET100のドレイン242及びS/Dゾーン720又は722からIGFET124の長手方向中心への横方向距離とほぼ等しい長手方向横方向距離までのウェル180の隣接部分におけるドーパント分布と基本的に同じである。

30

【0567】

特に、各S/Dゾーン720又は722の上部表面及びIGFET124の長手方向中心までのチャンネルゾーン724の上部表面の隣接部分に沿っての長手方向ドーパント分布は、IGFET100のドレイン242の上部表面、及びS/Dゾーン720又は722からIGFET124の長手方向中心までの横方向距離にほぼ等しい長手方向横方向距離までのウェル180の隣接部分の上部表面、に対して図13に示した長手方向ドーパント分布と基本的に同じである。IGFET124の各S/D延長部720E又は722E及び各主要S/D部分720M又は722Mを介しての適宜の仮想的垂直線に沿っての垂直ドーパント分布は、IGFET100のドレイン延長部242E及び主要ドレイン部分242Mを介しての垂直線278E及び278Mに沿っての図17及び18に示した垂直ドーパント分布と基本的に同じである。

40

【0568】

50

I G F E T 1 2 4 のチャンネルゾーン 7 2 4 の長手方向中心を介しての仮想的垂直線に沿っての垂直ドーパント分布は、I G F E T 1 0 0 のチャンネルゾーン 2 4 4 を介しての垂直線 2 7 6 に沿って図 1 6 に示した垂直ドーパント分布と基本的に同じであるが、I G F E T 1 0 0 のドレイン 2 4 2 から線 2 7 6 までの横方向距離は S / D ゾーン 7 2 0 又は 7 2 2 から I G F E T 1 2 4 の長手方向中心への横方向距離を越える場合がある。前述した限界の下で、I G F E T 1 0 0、特にその上部表面に沿ってチャンネルゾーン 2 4 4 内へのドレイン 2 4 2 の上部表面に沿って及び垂直線 2 7 6、2 7 8 E、2 7 8 M に沿っての、上部表面及び垂直ドーパント分布について行なった説明は、I G F E T 1 2 4 の各 S / D 延長部 7 2 0 E 又は 7 2 2 E、各主要 S / D 部分 7 2 0 M 又は 7 2 2 M、及びチャンネルゾーン 7 2 4 を介しての表示した垂直線に沿って、及び S / D ゾーン 7 2 0 及び 7 2 2 及びチャンネルゾーン 7 2 4 の上部表面に沿ってのドーパント分布に適用される。

【0569】

高電圧低 V_T P チャンネル I G F E T 1 2 6 は、導電型を逆にして、N チャンネル I G F E T 1 2 4 と基本的に同じに構成されている。再度図 1 1-7 を参照すると、P チャンネル I G F E T 1 2 6 は、上部半導体表面に沿ってアクティブな半導体島状部 1 6 6 内に位置されている一对のほぼ同一の P 型 S / D ゾーン 7 5 0 及び 7 5 2 を有している。S / D ゾーン 7 5 0 及び 7 5 2 は、I G F E T 1 2 6 に対するボディ物質を構成している N 型空の主要ウエル領域 2 0 6 のチャンネルゾーン 7 5 4 によって分離されている。N 型ボディ物質空のウエル 2 0 6 は、(a) P 型 S / D ゾーン 7 5 0 とで第 1 P N 接合 7 5 6 を、且つ (b) P 型 S / D ゾーン 7 5 2 とで第 2 P N 接合 7 5 8 を形成している。

【0570】

各 N 型 S / D ゾーン 7 5 0 又は 7 5 2 は、非常に高度にドーピングした主要部分 7 5 0 M 又は 7 5 2 M 及び一層軽度ドーピングしているが尚且つ高度にドーピングしている横方向延長部 7 5 0 E 又は 7 5 2 E から構成されている。ほぼ同一の N + S / D 延長部 7 5 0 E 及び 7 5 2 E は、ほぼ同一の N + 主要 S / D 部分 7 5 0 M 及び 7 5 2 M よりも一層深くに延在している。チャンネルゾーン 7 5 4 は、S / D 延長部 7 5 0 E 及び 7 5 2 E によって上部半導体表面に沿って終端されている。

【0571】

S / D 延長部 7 5 0 E 及び 7 5 2 E は、通常、非対称的 P チャンネル I G F E T 1 0 2 のドレイン延長部 2 8 2 E と同時に、且つ、従って、通常、対称的低電圧低 V_T P チャンネル I G F E T 1 1 4 の S / D 延長部 5 5 0 E 及び 5 5 2 E 及び対称的高電圧公称 V_T P チャンネル I G F E T 1 1 8 の S / D チャンネル 6 1 0 及び 6 1 2 と同時に、P 型ディープ S / D 延長部ドーパントのイオン注入によって画定される。対称的低電圧低リーク P チャンネル I G F E T 1 1 0 の S / D 延長部 4 8 0 E 及び 4 8 2 E 及び又、通常、対称的低電圧公称 V_T P チャンネル I G F E T 1 2 2 の S / D 延長部 6 8 0 E 及び 6 8 2 E を画定するために使用される P 型浅い S / D 延長部注入は、以下に示すように、P 型ディープ S / D 延長部注入よりも一層浅く実施される。従って、対称的空のウエル I G F E T 1 2 6 の S / D 延長部 7 5 0 E 及び 7 5 2 E は、対称的充填したウエル I G F E T 1 1 0 の S / D 延長部 4 8 0 E 及び 4 8 2 E 及び対称的充填したウエル I G F E T 1 2 2 の S / D 延長部 6 8 0 E 及び 6 8 2 E の両方よりも一層深くに延在する。

【0572】

N 型ボディ物質空の主要ウエル 2 0 6 における N 型ドーパントは、N 型空の主要ウエルドーパントからもっぱら構成されている。従って、空のウエル 2 0 6 における N 型ドーパントは、平均深さ y_{NWPk} においてディープ表面下濃度最大に到達する。空のウエル 2 0 6 における N 型空のウエル濃度最大の位置から上部半導体表面へ向かって仮想的垂直線に沿ってチャンネルゾーン 7 5 4 を介して移る場合に、ウエル 2 0 6 における N 型ドーパントの濃度は、記号「N」で示される中程度のドーピングから記号「N-」で示される軽度のドーピングへ徐々に降下する。図 1 1-7 における点線 7 6 0 は、それより下側においては、空のウエル 2 0 6 における N 型ドーパント濃度が中程度の N ドーピングにあり且つそれより上側においては、ウエル 1 0 6 内の N 型ドーパント濃度が軽度の N ドーピン

グにあることを概略的に表している。

【0573】

前述したことを前提に、PチャンネルIGFET126は、導電型を逆にして、NチャンネルIGFET124と同じに構成されている。従って、PチャンネルIGFET126は、更に、 t_{GDH} の高い厚さ値にあるゲート誘電体層766、ゲート電極768、誘電体側壁スペーサ770及び772、及びメタルシリサイド層774、776、778を包含しており、それらは、NチャンネルIGFET124の領域736、738、740、742、744、746、748と夫々同じに構成されている。NチャンネルIGFET124の場合のように、PチャンネルIGFET126はハローポケット部分を有するものではない。チャンネルゾーン754（図11-7においては特に境界は示していない）はS/Dゾーン750及び752の間のN型モノシリコン全てから構成されており、ウエル206のN-上部部分の表面隣接セグメントからもっぱら構成されている。

10

【0574】

P型バックグラウンドドーパントの存在に起因するマイナーな擾乱の条件下において、PチャンネルIGFET126における長手方向及び垂直ドーパント分布は、導電型を逆にして、NチャンネルIGFET124における長手方向及び垂直ドーパント分布と基本的に同じである。IGFET126におけるドーパント分布は、IGFET124におけるドーパント分布と機能的に同じである。IGFET126は、電圧極性を逆にして、IGFET124と実質的に同じに機能する。

20

【0575】

対称的高電圧低 V_T NチャンネルIGFET124のスレッシュホールド電圧 V_T は、通常、 $0.5\mu m$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5nm$ のゲート誘電体厚さにおいて、 $-0.1V$ 乃至 $0.05V$ であり、典型的には $-0.025V$ である。対称的高電圧低 V_T PチャンネルIGFET126のスレッシュホールド電圧 V_T は、同様に、 $0.5\mu m$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5nm$ のゲート誘電体厚さにおいて、通常、 $0.05V$ 乃至 $0.25V$ であり、典型的に $0.15V$ である。

【0576】

夫々の空のウエル領域204及び206を具備する対称的高電圧IGFET124及び126の実現例は、IGFET124及び126をして、非常に低い大きさのスレッシュホールド電圧 V_T を達成することを可能とさせるのは、夫々空のウエル領域192及び194を具備する対称的低電圧IGFET112及び114の実現例が、IGFET112及び114をして、非常に低い大きさのスレッシュホールド電圧 V_T を有することを可能とさせる態様と基本的に同じである。即ち、空の主要ウエル領域204の上部表面近くのP型半導体ドーパントの減少した量は、NチャンネルIGFET112のスレッシュホールド電圧 V_T の値を減少させる。同様に、空の主要ウエル領域206の上部表面近くのN型半導体ドーパントの減少した量は、PチャンネルIGFET126のスレッシュホールド電圧 V_T の大きさを減少させる。対称的IGFET124及び126は、高電圧IGFET116及び118よりも一層低い大きさのスレッシュホールド電圧 V_T を必要とし且つ増加したチャンネル長 L を許容することが可能な、例えば $1.2V$ の動作範囲等の高電圧アナログ及びデジタル適用例に対して特に適している。

30

40

【0577】

K. 対称的ネイティブ(Native)低電圧NチャンネルIGFET

対称的ネイティブ低電圧IGFET128及び130（両方共Nチャンネル）を図11-8のみを参照して説明する。公称 V_T のIGFET128は上部半導体表面に沿ってアクティブ半導体島状部168内に位置している一対のほぼ同一のN型S/Dゾーン780及び782を有している。S/Dゾーン780及び782は主にP-基板領域136で形成されるP型ボディ物質のチャンネルゾーン784によって分離されている。IGFET128用のP型ボディ物質は、(a) N型S/Dゾーン780と第1PN接合786及び

50

(b) N型S/Dゾーン782と第2PN接合788を形成している。

【0578】

各N型S/Dゾーン780又は782は、非常に高度にドーピングした主要部分780M又は782M、及び一層軽度ドーピングしてあるが尚且つ高度にドーピングした横方向延長部780E又は782Eから構成されている。ほぼ同一のN++主要S/D部分780M及び782Mがほぼ同一のN+ソース延長部780E及び782Eよりも一層深くに延在している。チャンネルゾーン784はS/D延長部780E及び782Eによって上部半導体表面に沿って終端されている。

【0579】

P-基板領域136に加えて、IGFET128用のボディ物質は、一対のほぼ同一の中程度にドーピングした横方向に分離されているハローポケット部分790及び792を包含しており、それらは、夫々、S/Dゾーン780及び782に沿って上部半導体表面へ延在しており且つS/Dゾーン780及び782の間の夫々の位置において終端している。図11-8は、S/Dゾーン780及び782がハローポケット790及び792よりも一層深くに延在している状態を示している。代替的に、ハローポケット790及び792はS/Dゾーン780及び782よりも一層深くに延在することが可能である。その場合には、ハローポケット790及び792は、夫々、S/Dゾーン780及び782の下側を横方向に延在する。

【0580】

チャンネルゾーン784（図11-8においては特に境界を示していない）は、S/Dゾーン780及び782の間のP型モノシリコンの全てから構成されている。特に、チャンネルゾーン784は、P-基板領域136の表面隣接セグメント、及び(a) S/Dゾーン780及び782が図11-8の例に示したようにハローポケット790及び792よりも一層深くに延在する場合には、Pハローポケット部分790及び792の全て、又は(b) それらがS/Dゾーン780及び782よりも一層深くに延在する場合には、ハローポケット790及び792の表面隣接セグメント、によって形成されている。基板領域136は軽度ドーピングされているので、ハローポケット790及び792はIGFET128用のボディ物質の直接隣接物質よりも一層高度のドーピングしたP型である。

【0581】

ゲート誘電体層796は、 t_{GdL} の低い厚さ値にあり、上部半導体表面上に位置されており且つチャンネルゾーン784上を延在している。ゲート電極798はチャンネルゾーン784上方でゲート誘電体層796上に位置されている。ゲート電極798は、各N++S/D延長部780E又は782Eの一部にわたり延在しているが、通常、いずれのN++主要S/D部分780M又は782Mのいずれの部分にわたって延在するものではない。誘電体側壁スペーサ800及び802が夫々ゲート電極798の両側の横断方向側壁に沿って位置されている。メタルシリサイド層804、806、808が夫々電極798及び主要S/D部分780M及び782Mの上部に沿って位置されている。

【0582】

IGFET128のドーピングしたモノシリコンにおけるN型ドーパント分布について対称的ネイティブNチャンネルIGFET132のドーピングしたモノシリコンにおけるほぼ同一のN型ドーパント分布に関連して以下に説明する。

【0583】

図11-8を継続して参照すると、低い V_T の大きさの対称的ネイティブ低電圧NチャンネルIGFET130が上部半導体表面に沿ってアクティブ半導体島状部170内に位置されている一対のほぼ同一のN型S/Dゾーン810及び812を有している。S/Dゾーン810及び812は、IGFET130用のP型ボディ物質を構成するP-基板領域136のチャンネルゾーン814によって分離されている。P-ボディ物質基板領域136は、(a) N型S/Dゾーン810とで第1PN接合816を、及び(b) N型S/Dゾーン812とで第2PN接合818を形成している。

【0584】

各N型S/Dゾーン810又は812は、非常に高度にドーピングした主要部分810M又は812M及び一層軽度ドーピングしているが尚且つ高度にドーピングした横方向延長部810E又は812Eから構成されている。ほぼ同一のN+S/D延長部810E及び812Eはほぼ同一のN++主要S/D部分810M及び812Mよりも一層深くに延在している。チャンネルゾーン814はS/D延長部810E及び812Eによって上部半導体表面に沿って終端されている。

【0585】

IGFET130は、IGFETのP型ボディ物質内に位置されており、S/Dゾーン810及び812に沿って夫々延在し、且つIGFETのP型ボディ物質の隣接物質よりも一層高度にドーピングしたP型であるハローポケット部分を有するものではない。チャンネルゾーン814（図11-8においては特に境界を示していない）はS/Dゾーン810及び812の間のP型モノシリコンの全てから構成されており、従ってP-基板領域136の表面隣接セグメントによってもっぱら形成されている。

【0586】

ゲート誘電体層826は、 t_{GdL} の低い厚さの値にあり、上部半導体表面上に位置されており且つチャンネルゾーン814にわたり延在している。ゲート電極828はチャンネルゾーン814上方でゲート誘電体層826上に位置されている。ゲート電極828は、各N+S/D延長部810E又は812Eの一部にわたり延在しているが、通常は、いずれのN++S/D部分810M又は812Mのいずれの部分にわたっても延在するものではない。誘電体側壁スペーサ830及び832が夫々ゲート電極828の反対側の横断方向側壁に沿って位置されている。メタルシリサイド層834、836、838が夫々ゲート電極及び主要S/D部分810M及び812Mの上部に沿って位置されている。

【0587】

IGFET130のドーピングしたモノシリコンにおけるN型ドーパント分布について、対称的ネイティブIGFET134のドーピングしたモノシリコンにおけるほぼ同一のN型ドーパント分布に関連して以下に説明する。

【0588】

対称的ネイティブ低電圧公称 V_T NチャンネルIGFET128のスレッシュホールド電圧 V_T は、0.3 μm の描画チャンネル長 L_{DR} 及び2 nmのゲート誘電体厚さにおいて、通常、0.2 V乃至0.45 Vであり、典型的には0.3 V乃至0.35 Vである。対称的ネイティブ低電圧低 V_T NチャンネルIGFET130のスレッシュホールド電圧 V_T は、1 μm の描画チャンネル長 L_{DR} 及び2 nmのゲート誘電体厚さにおいて、通常、-0.15 V乃至0.1 Vであり、典型的には-0.03 Vである。対称的ネイティブIGFET128及び130は、例えば1.2 Vの動作範囲の低電圧アナログ及びデジタル適用例に対して特に適している。

【0589】

L. 対称的ネイティブ高電圧NチャンネルIGFET

対称的ネイティブ高電圧IGFET132及び134（両方共Nチャンネル）について図11-9のみを参照して説明する。公称 V_T の大きさのIGFET132は、上部半導体表面に沿ってアクティブ半導体島状部172内に位置されている一対のほぼ同一のN型S/Dゾーン840及び842を有している。S/Dゾーン840及び842は、主にP-基板領域136で形成されているP型ボディ物質のチャンネルゾーン844によって分離されている。IGFET132用のP型ボディ物質は、（a）N型S/Dゾーン840と第1PN接合846、及び（b）N型S/Dゾーン842と第2PN接合848、を形成している。各N型S/Dゾーン840又は842は、非常に高度にドーピングした主要部分840M又は842M及び一層軽度ドーピングしているが尚且つ一層高度にドーピングした横方向延長部840E又は842E、から構成されている。

【0590】

IGFET132は、更に、一対のほぼ同一の中程度にドーピングした横方向に分離された

ハローポケット部分 850 及び 852、 t_{GdH} の高い厚さの値にあるゲート誘電体層 856、ゲート電極 858、誘電体側壁スペーサ 860 及び 862、及びメタルシリサイド層 864、866、868 を包含している。図 11-8 と 11-9 とを比較することにより理解されるように、ネイティブ N チャンネル IGFET 132 及び 128 の間の唯一の構造的差異は、IGFET 132 は IGFET 128 よりも一層大きなゲート誘電体厚さであり、従って IGFET 132 は IGFET 128 よりも一層大きな電圧範囲にわたって動作することが可能である。従って、IGFET 132 の領域 840、842、844、850、852、856、858、860、862、864、866、868 は、夫々、IGFET 128 の領域 780、782、784、790、792、796、798、800、802、804、806、808 と同じに構成されている。

10

【0591】

IGFET 128 の主要 S/D 部分 780M 及び 782M 及び IGFET 132 の主要 S/D 部分 840M 及び 842M は、通常、N チャンネル IGFET 108 の主要 S/D 部分 440M 及び 442M と同時に N 型主要 S/D ドーパントのイオン注入によって画定される。IGFET 128 の S/D 延長部 780E 及び 782E 及び IGFET 132 の S/D 延長部 840E 及び 842E は、通常、IGFET 108 の S/D 延長部 440E 及び 442E と同時に N 型浅い S/D 延長部 ドーパントのイオン注入によって画定される。従って、IGFET 228 の S/D ゾーン 780 及び 782 における及び IGFET 132 の S/D ゾーン 840 及び 842 における N 型ドーパント分布は、IGFET 108 の S/D ゾーン 440 及び 442 における N 型ドーパント分布と基本的に同じである。IGFET 108 の N 型上部表面及び垂直ドーパント分布について行なった説明は IGFET 128 及び 132 の N 型上部表面及び垂直ドーパント分布に対して適用される。

20

【0592】

図 11-9 を継続して参照すると、低い V_T の大きさの対称的ネイティブ高電圧 N チャンネル IGFET 134 は、上部半導体表面に沿ってのアクティブ半導体島状部 174 内に位置されている一対のほぼ同一の N 型 S/D ゾーン 870 及び 872 を有している。S/D ゾーン 870 及び 872 は、IGFET 134 用の P 型ボディ物質を構成している P-基板領域 136 のチャンネルゾーン 874 によって分離されている。P-ボディ物質基板領域 136 は、(a) N 型 S/D ゾーン 870 と第 1 PN 接合 876、及び (b) N 型 S/D ゾーン 872 と第 2 PN 接合 878、を形成している。各 N 型 S/D ゾーン 870 又は 872 は、非常に高度にドーブした主要部分 870M 又は 872M 及び一層軽度

30

【0593】

IGFET 134 は、更に、 t_{GdH} の高い厚さの値にあるゲート誘電体層 886、ゲート電極 888、誘電体側壁スペーサ 890 及び 892、及びメタルシリサイド層 894、896、898 を包含している。図 11-8 と 11-9 との比較は、ネイティブ N チャンネル IGFET 134 及び 130 との間の唯一の構造的差異は、IGFET 134 が IGFET 130 よりも一層大きなゲート誘電体厚さのものであり、従って IGFET 134 は IGFET 130 よりも一層大きな電圧範囲にわたり動作可能であること、を示している。従って、IGFET 134 の領域 870、872、874、886、888、890、892、894、896、898 は、IGFET 130 の領域 810、812、814、826、828、830、832、834、836、838 と夫々同じに構成されている。

40

【0594】

IGFET 130 主要 S/D 部分 810M 及び 812M 及び IGFET 134 の主要 S/D 部分 870M 及び 872M は、通常、IGFET 112 の主要 S/D 部分 520M 及び 522M と同時に、従って、通常、IGFET 100 の主要ドレイン部分 242M (及び主要ソース部分 240M) と同時に、N 型主要 S/D ドーパントのイオン注入によって画定される。IGFET 130 の S/D 延長部 810E 及び 812E 及び IGFET 13

50

4のS/D延長部870E及び872Eは、通常、IGFET112のS/D延長部520E及び522Eと同時に、従って、通常、IGFET100のドレイン延長部242Eと同時に、N型ディープS/D延長部ドーパントのイオン注入によって画定される。その結果、IGFET130の各S/Dゾーン810又は812における及びIGFET134の各S/Dゾーン870又は872におけるN型ドーパント部分は、IGFET100のドレイン242におけるドーパント分布と基本的に同じである。IGFET100の上部表面及び垂直ドーパント分布について行なった説明は、IGFET130のS/Dゾーン810及び812及びIGFET134のS/Dゾーン870及び872における上部表面及び垂直ドーパント分布に適用される。

【0595】

対称的ネイティブ高電圧公称 V_T NチャンネルIGFET132のスレッシュホールド電圧 V_T は、 $0.3\mu\text{m}$ の近傍における描画チャンネル長 L_{DR} 及び $6-6.5\text{nm}$ のゲート誘電体厚さにおいて、通常、 0.5V 乃至 0.7V であり、典型的には 0.6V である。対称的ネイティブ高電圧低 V_T NチャンネルIGFET134のスレッシュホールド電圧 V_T は、 $0.1\mu\text{m}$ の描画チャンネル長 L_{DR} で $6-6.5\text{nm}$ のゲート誘電体厚さにおいて、通常は -0.3V 乃至 -0.05V であり、典型的には -0.2V 乃至 0.15V である。対称的ネイティブIGFET132及び134は、例えば 3.0V の動作範囲等の高電圧アナログ及びデジタル適用例に対して特に適している。

【0596】

M. 現在のIGFETの全てに通常適用可能な情報

例示したNチャンネルIGFETのゲート電極は、好適には、全て、図11の例における非常に高度にN型にドーブしたポリシリコンから構成されている。代替的には、例示したN型IGFETのゲート電極は、耐火性メタル、メタルシリサイド、又は導電性であるように十分にP型にドーブしたポリシリコン等のその他の導電性物質で形成することが可能である。図11の例においては、例示したPチャンネルIGFETのゲート電極は、好適には、全て、非常に高度にP型にドーブしたポリシリコンから構成されている。例示したPチャンネルIGFETのゲート電極は、代替的に、耐火性メタル、メタルシリサイド、又は導電性であるように十分にN型にドーブしたポリシリコン等のその他の導電性物質で形成することが可能である。各この様な耐火性メタル又はメタルシリサイドは、スレッシュホールド電圧 V_T の適切な値を達成するように適宜の仕事関数を有するように選択されている。

【0597】

各ゲート電極262, 302, 346, 386, 462, 502, 538, 568, 598, 628, 662, 702, 738, 768, 798, 828, 858又は888及び上側に存在するメタルシリサイド層268, 308, 352, 392, 468, 508, 544, 574, 604, 634, 668, 708, 744, 774, 804, 834, 864又は894の結合は、複合ゲート電極としてみる事が可能である。該メタルシリサイド層は、典型的に、コバルトシリサイドから構成されている。ニッケルシリサイド又はプラチナシリサイドをメタルシリサイド層に対して代替的に使用することが可能である。

【0598】

例示したIGFETのゲート側壁スペーサ264, 266, 304, 306, 348, 350, 388, 390, 464, 504, 506, 540, 542, 570, 572, 600, 602, 630, 632, 664, 666, 704, 706, 740, 742, 770, 772, 800, 802, 830, 832, 860, 862, 890, 892の各々は、便宜上、IGFETの幅の方向に見た場合に概略的に曲がった斜辺を有する直角三角形のような形状での断面として図11に示されている。このようなスペーサ形状は、ここでは、湾曲型三角形形状として呼称する。ゲート側壁スペーサは、「L」形状のようなその他の形状を有することが可能である。ゲート側壁スペーサの形状は、IGFET製造

期間中に著しく修正される場合がある。

【0599】

I G F E T特性を改善するために、ゲート側壁スペーサは、好適には、上に引用した国際特許出願、————、代理人ドケット番号N S - 7 1 9 2 W O、に記載されているように処理される。特に、ゲート側壁スペーサは、湾曲型三角形形状のものであるように初期的に形成される。メタルシリサイド層の形成前に、ゲート側壁スペーサはメタルシリサイド層の形成を容易化させるために、L形状のものに修正される。従って、ゲート側壁スペーサは図11の半導体構成体においてはL形状をしている。

【0600】

空乏領域（不図示）が、I G F E T動作期間中に各例示したI G F E Tのチャンネルゾーンの上部表面に沿って延在している。各表面空乏領域は次式で与えられるような最大厚さ t_{dmax} を有している。

【0601】

【数3】

$$t_{dmax} = \sqrt{\frac{2K_S\epsilon_0\phi_T}{qN_C}} \quad (3)$$

【0602】

尚、 K_S は半導体物質（ここでは、シリコン）の相対的誘電率であり、 ϵ_0 は自由空間（真空）の誘電率であり、 ϕ_T は転移電位であり、 q は電子電荷であり、 N_C はI G F E Tのチャンネルゾーンにおける平均正味ドーパント濃度である。転移電位 ϕ_T は次式から決定されるフェルミ電位 ϕ_F の2倍である。

【0603】

【数4】

$$\phi_F = \left(\frac{kT}{q}\right) \ln\left(\frac{N_C}{n_i}\right) \quad (4)$$

【0604】

尚、 k はボルツマン定数であり、 T は絶対温度であり、 n_i は真性（イントリンシック）キャリア濃度である。

【0605】

式3及び4を使用して、各例示した高電圧I G F E Tの表面空乏領域の最大厚さ t_{dmax} は、通常、 $0.05\mu m$ 未満であり、典型的には、 $0.03\mu m$ の近傍である。同様に、各延長型ドレインI G F E T104又は106の表面空乏領域の最大厚さ t_{dmax} は、通常、 $0.06\mu m$ 未満であり、典型的には、 $0.04\mu m$ の近傍である。各例示した低電圧I G F E Tの表面空乏領域の最大厚さ t_{dmax} は、通常、 $0.04\mu m$ 未満であり、典型的には、 $0.02\mu m$ 近傍である。

【0606】

N. 混合信号適用例に適した相補的I G F E T構成体の製造

N1. 一般的な製造情報

図33a-33c, 33d(1)-y(1), 33d(2)-33y(2), 33d(3)-33y(3), 33d(4)-33y(4), 33d(5)-33y(5)（集約的に「図33」）は、例示したI G F E Tの全て、即ち、非対称的相補的I G F E T100及び102、延長型ドレイン相補的I G F E T104及び106、非対称的相補的I G F E T100及び102、延長型ドレイン相補的I G F E T104及び106、対称的非ネイティブNチャンネルI G F E T108, 112, 116, 120, 124、夫々対応する対称的非ネイティブPチャンネルI G F E T110, 114, 118, 122, 126及び対称的ネイティブNチャンネルI G F E T128, 130, 132, 134、を包含しているC I G F E T半導体構成体を製造するための本発明に基づく半導体プロセスを例

10

20

30

40

50

示している。本製造プロセスの図例を容易化するために、例示した I G F E T の長チャンネルバージョンに対する製造ステップが図 3 3 に図示してある。

【0607】

ディープNウェル 2 1 0 及び 2 1 2 を包含するディープNウェルの形成までの例示した I G F E T の製造に關与するステップは、一般的に、図 3 3 a - 3 3 c に示してある。図 3 3 d (1) - 3 3 y (1) は、特に、図 1 1 - 1 に図示した如く、相補的 I G F E T 1 0 0 及び 1 0 2 へ通じる後のステップを示している。図 3 3 d (2) - 3 3 y (2) は図 1 1 - 2 に示したように、特に、相補的 I G F E T 1 0 4 及び 1 0 6 へ通じる後のステップを示している。図 3 3 d (3) - 3 3 y (3) は、特に、図 1 1 - 3 に図示したように相補的 I G F E T 1 0 8 及び 1 1 0 に通じる後のステップを示している。図 3 3 d (4) - 3 3 y (4) は、特に、図 1 1 - 4 に図示したように、相補的 I G F E T 1 1 2 及び 1 1 4 へ通じる後のステップを示している。図 3 3 d (5) - 3 3 y (5) は、特に、図 1 1 - 5 に図示したように、相補的 I G F E T 1 1 6 及び 1 1 8 へ通じる後のステップを示している。

10

【0608】

図 3 3 は、図 1 1 - 6 乃至 1 1 - 9 に種々に示しているように、相補的 I G F E T 1 2 0 及び 1 2 2、相補的 I G F E T 1 2 4 及び 1 2 6、又はネイティブNチャンネル I G F E T 1 2 8、1 3 0、1 3 2、1 3 4 のいずれかに通じる後のステップを示しているものではない。しかしながら、I G F E T 1 2 0、1 2 2、1 2 4、1 2 6、1 2 8、1 3 0、1 3 2、1 3 4 へ特に通じる後のステップの説明は、図 1 1 の C I G F E T 構成体を製造するための以下の説明内に組み込まれている。

20

【0609】

図 3 3 の半導体製造プロセスは、より詳細には、例示した I G F E T に加えて、多数のタイプの半導体装置を製造する能力を提供する半導体製造プラットフォームである。例えば、各例示した対称的長チャンネル I G F E T の短チャンネルバージョンは、例示した対称的長チャンネル I G F E T を製造する場合に使用される製造ステップに従って同時に製造することが可能である。I G F E T 1 0 8、1 1 0、1 1 2、1 1 4、1 1 6、1 1 8 の短チャンネルバージョンは、長チャンネル I G F E T 1 0 8、1 1 0、1 1 2、1 1 4、1 1 6、1 1 8 よりも一層短いチャンネル長のものであるが、それ以外は、一般的には、図 3 3 に示されているように同じ中間 I G F E T の様相のものである。例示した対称的長チャンネル I G F E T 及びそれらの短チャンネルバージョンの同時的製造は、長チャンネル及び短チャンネル I G F E T の両方に対するパターンを有するマスキングプレート（レチクル）で実現される。

30

【0610】

抵抗、コンデンサ、及びインダクタは、図 3 3 の半導体製造プラットフォームで容易に与えることが可能である。抵抗は、モノシリコン型及びポリシリコン型の両方とすることが可能である。バイポーラトランジスタ、NPN 及び PNP の両方、は例示した I G F E T を製造するために必要なステップ数を増加させること無しにダイオードと共に設けることが可能である。更に、バイポーラトランジスタは、上に引用した国際特許出願 _____、代理人ドケット番号 NS - 7 3 0 7 WO、に記載されている数個の付加的なステップを使用して設けることが可能である。

40

【0611】

図 3 3 の半導体製造プラットフォームは、ディープNウェル 2 1 0 及び 2 1 2 が例であるディープNウェルを選択的に与えるための能力を包含している。本 C I G F E T における特定の位置におけるディープNウェルの有無は、ディープNウェルを画定する場合に使用されるマスキングプレートがその位置においてディープNウェルに対するパターンを有しているか又は有していないかに依存する。

【0612】

非対称的 I G F E T 1 0 0 及び 1 0 2 がディープNウェル 2 1 0 を使用することに注意すると、ディープNウェルを欠如する各非対称的 I G F E T 1 0 0 又は 1 0 2 のバージョ

50

ンは、ディープNウェルを欠如するIGFET100又は102のバージョンに対してその位置においてディープNウェルを画定することを回避するためのディープNウェルマスキングプレートを構成することによってディープNウェル210を有するIGFET100又は120を形成するために使用する製造ステップに従って同時に形成することが可能である。相補的な態様で、ディープNウェルを欠如する各例示した非ネイティブ対称的IGFETを形成するために使用する製造ステップを同時に使用して、例示した対称的IGFETのそのバージョンに対してその位置にディープNウェルを画定するためにディープNウェルマスキングプレートを構成することによってディープNウェルを有するバージョンにおいてそれを設けることが可能である。このことは、又、例示した対称的IGFETの短チャンネルバージョンに適用される。

10

【0613】

上述した変形例のいずれかを包含する例示したIGFETのいずれか一つの製造は、図33の半導体製造プラットフォームのいずれかの実現例から削除することが可能である。その場合には、このように削除されたIGFETを製造する場合に使用されるいずれかのステップは、そのステップが本プラットフォーム実現例において製造中のその他のIGFETを製造する場合に使用されない限り、本半導体製造プラットフォームのその実現例から削除することが可能である。

【0614】

半導体ボディ内に注入した半導体ドーパントのイオンは衝突軸に対してほぼ平行な上部半導体表面上に衝突する。上部半導体表面上に一般的に非垂直なイオン衝突の場合、その衝突軸は垂直、即ち上部（又は下部）半導体表面に対してほぼ直角に延在する仮想的垂直線、より詳細には上部（又は下部）半導体表面に対してほぼ平行に延在する面に対して直角に延在する仮想的垂直線、に対して傾斜角度 α にある。IGFETのゲート誘電体層が上部半導体表面に対して横方向にほぼ平行に延在するので、傾斜角度 α は、代替的に、IGFETのゲート誘電体層に対してほぼ直角に延在する仮想的垂直線から測定されるものとして記載することが可能である。

20

【0615】

イオン注入した半導体ドーパントの範囲は、一般的には、イオンが注入した物質に入る注入表面上の点からその注入した物質におけるドーパントの最大濃度の位置まで移る場合に、ドーパント含有種のイオンが注入した物質を介して移動する距離として定義される。半導体ドーパントが傾斜角度 α の非ゼロの値においてイオン注入される場合には、注入範囲は、注入表面から注入した物質内のドーパントの最大濃度の位置までの深さを越える。イオン注入した半導体ドーパントの範囲は、代替的に、ドーパント含有種のイオンが停止する前に注入した物質を介して移動する平均距離として定義される。注入範囲に対するこれらの2つの定義は、典型的に、ほぼ同じ数値結果を発生する。

30

【0616】

ハローポケットイオン注入ステップ及びS/D延長部イオン注入ステップの幾つかの他に、図33の半導体製造プラットフォームにおけるイオン注入ステップの全ては上部（下部）半導体表面に対してほぼ垂直に実施される。より詳細には、ほぼ垂直なイオン注入ステップの幾つかは、事実上、上部半導体表面に対して垂直に、即ち実質的にゼロの値の傾斜角度 α において、実施される。傾斜角度 α の値は、傾斜角度 α に対して何らの値又は値の範囲が与えられることのない以下に説明する各イオン注入においては実質的にゼロである。

40

【0617】

ほぼ垂直なイオン注入ステップの残部は、傾斜角度 α を小さな値、典型的には 7° 、に設定して実施される。この垂直性からの小さな逸れは、不所望なイオンチャンネルリング効果を回避するために使用される。便宜上、垂直性からのこの小さな逸れは、通常、図33には示されていない。

【0618】

角度の付いたイオン注入は、傾斜角度 α の顕著な非ゼロ値における半導体ドーパントの

50

イオン注入のことを意味している。角度付きイオン注入の場合、傾斜角度 α は、通常、少なくとも 15° にある。IGFETが1個のハローポケット部分又は一对のハローポケット部分を有するかに依存して、角度付きイオン注入は各この様なハローポケット部分に対する半導体ドーパントをIGFETに与えるために通常使用される。角度付きイオン注入は、又、時々、S/D延長部を具備するIGFETの或るものを与えるために使用される。傾斜角度 α は、通常、各特定の角度付きイオン注入期間中に一定であるが、時々、角度付き注入期間中に変化させることが可能である。

【0619】

上部（又は下部）半導体表面に対して概して平行に延在している面に対して垂直に見た場合に、その面に対する傾斜角度の衝突軸の画像は少なくとも1つのIGFETの長手方向に対して方位角 β にあり、従って半導体ボディの主たる横方向の一つに対して方位角 β にある。非ゼロ値の傾斜角度 α における各イオン注入は、通常、方位角 β の一つ又はそれ以上の非ゼロ値において実施される。このことは、角度付きイオン注入及びイオンチャネルリングを回避するために典型的には 7° の傾斜角度 α の小さな値において実施される傾斜注入の両方に適用される。

10

【0620】

傾斜角度 α の非ゼロ値においてのイオン注入の殆どは、通常、一つ又はそれ以上の対の異なる間の方位角ベータで実施される。各対の値の方位角ベータは、通常、約 180° だけ異なる。ほぼ同じドーズ量のイオン注入した半導体ドーパントが、通常、該対の方位角値の各々の2つの値の各々において与えられる。

20

【0621】

傾斜イオン注入期間中に半導体ドーパントを受け取る一群のIGFETにおける全てのIGFETの長手方向が半導体ボディの同じ主たる横方向に延在している場合には、約 180° だけ異なる一对の方位角値が必要であるに過ぎない。その場合には、全注入ドーズ量の半分を該方位角値の内的一方において供給することが可能であり、且つ該全注入ドーズ量の残りの半分を他方の方位角値において供給する。該2つの方位角値に対する一つの選択は、IGFETの長手方向に対して平行に延在する半導体ボディの主たる横方向に対して 0° 及び 180° である。

【0622】

方位角 β の4つの異なる値、即ち2対の異なる方位角値、を、その長手方向が半導体ボディの主たる横方向の両方に種々に延在する一群のIGFETに関して同時的に実施する傾斜イオン注入に対して使用することが可能である。この場合には、各相次ぐ対の値の方位角ベータは、通常、約 90° 異なる。換言すると、4つの値の方位角ベータは β_0 、 $\beta_0 + 90^\circ$ 、 $\beta_0 + 180^\circ$ 、 $\beta_0 + 270^\circ$ であり、 β_0 は 0° から 90° 直前までの範囲の基本方位角値である。例えば、基本値 β_0 が 45° である場合には、方位角 β の4つの値は 45° 、 135° 、 225° 、 315° である。 90° の角度増分での4つの方位角値におけるイオン注入は4象限注入（four-quadrant implant）として呼称される。全注入ドーズ量の約四分の一がこれら4つの方位角値の各々において供給される。

30

【0623】

傾斜角度 α が通常は少なくとも 15° である角度付きイオン注入を含む傾斜イオン注入は、種々のその他の態様で行なうことが可能である。角度付きイオン注入が一群の非対称的IGFETにおける各々にソース延長部のみを与えるか又はソース側ハローポケット部分のみを与えるように同じ配向を有するようにレイアウトされた該一群の非対称的IGFETに関して同時的に実施される場合に、該角度付き注入は僅かに単一の値、例えば 0° 、の方位角 β において行なうことが可能である。傾斜イオン注入は、又、方位角 β が時間と共に変化するように半導体ドーパントの供給源に対して半導体ボディを回転させながら行なうことも可能である。例えば、方位角 β は可変又は一定のレートで時間と共に変化することが可能である。その場合に、注入ドーズ量は典型的に可変又は一定のレートで半導体ボディに対して供給される。

40

【0624】

50

傾斜イオン注入は異なる傾斜注入ステップにおいて異なる態様で行なうことが可能であるが、それらのゲート電極の形状を画定した後に一群の I G F E T に関して同時的に実施される各傾斜注入は、好適には、 β_0 、 $\beta_0 + 90^\circ$ 、 $\beta_0 + 180^\circ$ 、 $\beta_0 + 270^\circ$ の 4 個の方位角値において且つ各方位角値において全注入ドーズ量の約四分の一を供給して行なわれる。半導体ボディ上に一方向に配向された I G F E T の傾斜注入特性は、該半導体ボディ上に別の態様で別の方向に配向される場合のある同じ構成の I G F E T の傾斜イオン注入特性と夫々実質的に同じである。このことは、図 33 の半導体製造プラットフォームの実現に従って製造される I C を I C 設計者が設計する場合に容易とさせる。

【0625】

ゲート電極形状が画定され且つ半導体ボディの一つ又はそれ以上の選択した部分内にホトレジストマスク内の一つ又はそれ以上の開口を介して半導体ドーパントを導入するために使用した後に実施される各イオン注入において、ホトレジストマスク、ゲート電極（又はそれらのプリカーサー即ち前駆体）、及びゲート電極の側部に沿って位置されている任意の物質の結合は、半導体ボディ上に衝突するドーパントのイオンに対するドーパントブロッキングシールドとして作用する。ゲート電極の側部に沿って位置されている物質は、ゲート電極の少なくとも横断方向側部に沿って位置されている誘電体側壁スペーサを包含する場合がある。

【0626】

該イオン注入がその様に注入される領域、例えばハローポケット部分及びゲート電極下側を著しく延在している S/D 延長部の幾つか、の物質で方位角 β の 4 つの 90° 増分値において実施される角度付き注入である場合には、該ドーパントブロッキングシールドは各ゲート電極下側の注入した物質をして 4 つの増分的 β 値の内の 2 つを越えることのない値において衝突するイオンを受け取らせる場合がある。基本方位角値 β_0 がゼロであり、該 4 つの方位角値が 0° 、 90° 、 180° 、 270° である場合には、ゲート電極下側の物質は 4 つの 0° 、 90° 、 180° 、 270° の値の内に対応する一つのみにおいて衝突するイオンを受け取る。この衝突するイオンのドーズ量 N' は 1 象限 (one quadrant) ドーズ量 N'_1 として呼称される。

【0627】

基本方位角値 β_0 がゼロよりも一層大きい場合には、ゲート電極下側の物質は主に 4 つの β_0 、 $\beta_0 + 90^\circ$ 、 $\beta_0 + 180^\circ$ 、 $\beta_0 + 270^\circ$ の内の対応する一つにおいて衝突する幾らかのイオン及び該 4 つの β_0 、 $\beta_0 + 90^\circ$ 、 $\beta_0 + 180^\circ$ 、 $\beta_0 + 270^\circ$ の内の対応する隣接する一つにおいて衝突する他のイオンを受け取る。ゲート電極下側の物質によって受け取られるイオンの全ドーズ量 N' はほぼ次式で表される。

【0628】

【数 5】

$$N' = N'_1(\sin \beta_0 + \cos \beta_0) \quad (5)$$

【0629】

ゲート電極下側の物質によって受け取られるイオンの最大ドーズ量 N'_{max} は、基本方位角値 β_0 が 45° である場合に発生する。式 5 を使用して、最大ドーズ N'_{max} は $S Q R T (2) N'_1$ である。尚、 $S Q R T (2)$ は 2 の平方根を表している。 $S Q R T (2)$ はほぼ 1.4 であるから、最大ドーズ量 N'_{max} は 1 象限ドーズ量 N'_1 よりも約 40% 一層高いに過ぎない。便宜上、ゲート電極下側の物質によって受け取られるイオンのドーズ量 N' は、そうでないことが表示されない限り、ここでは、1 象限ドーズ N'_1 として近似するが、実際のドーズ量 N' は基本方位角値 β_0 に依存して N'_1 から約 1.4 N'_1 変化する。

【0630】

図 33 の製造プロセスにおける N 型イオン注入の各々において使用される N 型半導体ドーパントのドーパント含有粒子種は、そうでないことが表示されない限り、元素形態における特定した N 型ドーパントから構成される。換言すると、各 N 型イオン注入は、ドーパ

ント元素を含有する化合物のイオンでよりも、特定したN型ドーパント元素のイオンで実施される。P型イオン注入の各々において使用されるP型半導体ドーパントのドーパント含有粒子種は、元素又は化合物形態にある通常はボロンであるP型ドーパントから種々に構成されている。従って、各P型イオン注入は、通常、ボロンイオンで、又は二フッ化ボロン等のボロンを含有する化合物のイオンで実施される。各イオン注入期間中のイオン化荷電状態は、そうでないことが表示されない限り、正のタイプの単一イオン化即ち一価イオンである。

【0631】

N型ドーパント及びP型ドーパントは、昇温動作期間中、即ち室温よりも著しく一層大きな温度、横方向及び垂直方向の両方に拡散する。ソース／ドレインゾーン及びハローポケット部分を画定するために使用されるドーパントの横方向及び垂直方向の拡散は、概略、図33に示してある。空の主要ウェル領域を画定するドーパントの上方垂直拡散は図33に示してある。何故ならば、これらのドーパントの上方拡散は本CIGFET構成体における空の主要ウェル領域を使用することの利点を享受するために重要だからである。図示の便宜上、空の主要ウェルドーパントの下方への及び横方向への拡散は図33には示していない。図33は更にその他のウェルドーパントのいずれかの拡散を概略的に示すものでもない。

【0632】

各アニール又は昇温において実施されるものとして以下に説明するその他の操作は、ランプアップ(ramp-up)セグメント及びランプダウン(ramp-down)セグメントを包含している。ランプアップセグメント期間中、その時に存在する半導体構成体の温度は低い値から表示された昇温へ増加される。半導体構成体の温度は、表示された昇温から低温へランプダウンセグメント期間中に減少される。各アニール又はその他の高温操作に対して以下に与える時間期間は、半導体構成体が表示した昇温にある時間である。スパイクアニールに対しては表示された昇温における時間期間は与えられていない。何故ならば、ランプダウンセグメントはランプアップセグメントが終了する直後に開始し、且つ半導体構成体の温度は表示された昇温に到達するからである。

【0633】

図33における製造ステップの内の幾つかにおいて、2個のCIGFETに対するアクティブ半導体領域上方においてホトレジストマスクを介して即ち貫通して開口が延在している。これら2個のCIGFETが図33の例示的断面において互いに横方向に隣接して形成される場合には、該2個のホトレジスト開口は図33においては単一の開口として図示されるが、それらは別個の開口として以下においては記載する場合がある。

【0634】

図33の図面において表れる参照記号の終わりにおける文字「P」は、図11に示されており且つそこでは「P」に先行する参照記号の部分によって識別される領域に対するプリカーサー即ち前駆体を表している。そのプリカーサーが図11における対応する領域をほぼ構成するのに十分に進化している場合には、文字「P」は図33の図面における参照記号から削除している。

【0635】

図33d(1)－33y(1)、33d(2)－33y(2)、33d(3)－33y(3)、33d(4)－33y(4)、33d(5)－33y(5)の断面図は、後の図におけるホトレジストマスク等の品目の存在に起因して半導体構成体の一部が2つの連続する断面図において実質的に同じである多くの状態を包含しており、それは、先の図から後の図へ移る場合に、半導体構成体のその部分において変化が発生することを実質的に防止している。図33の例示を簡単化させるために、これらの状態の各々における後の図は、しばしば、かなり減少させた符号付けで与えてある。

【0636】

図 3 3 の製造プロセスの開始点は、典型的に、高度にドーピングした P 型基板 9 2 0 及び上側に存在する軽度ドーピングした P 型エピタキシャル層 1 3 6 P からなるモノシリコン半導体ボディである。図 3 3 a を参照のこと。P + 基板 9 2 0 は、約 $0.015 \Omega \cdot \text{cm}$ の典型的な固有抵抗を得るために $4 \times 10^{18} - 5 \times 10^{18}$ 原子数 / cm^3 の濃度ヘボロンでドーピングした $\langle 100 \rangle$ モノシリコンで形成されている半導体ウェハである。便宜上、基板 9 2 0 は図 3 3 の残部においては図示していない。代替的に、開始点は単に P - エピタキシャル層 1 3 6 P と実質的に同じに軽度ドーピングした P 型基板とすることが可能である。

【0637】

エピタキシャル層 1 3 6 P は、典型的な固有抵抗の $30 \Omega \cdot \text{cm}$ を達成するために約 4×10^{14} 原子数 / cm^3 の濃度ヘボロンで軽度ドーピングした P 型のエピタキシャル成長させた $\langle 100 \rangle$ モノシリコンから構成されている。エピタキシャル層 1 3 6 P の厚さは典型的に $5.5 \mu\text{m}$ である。図 3 3 の製造プロセスの開始点が軽度ドーピングした P 型基板である場合には、品目 1 3 6 P は P - 基板である。

【0638】

例示した I G F E T の全てに対してアクティブ半導体島状部を包含する一群の横方向に分離されたアクティブモノシリコン半導体島状部 9 2 2 を画定するために、図 3 3 b に示したように、p - エピタキシャル層（又は P - 基板）1 3 6 P の上部表面に沿ってフィールド絶縁体領域 1 3 8 が設けられている。例示した I G F E T に対するアクティブ島状部は図 3 3 b においては個別的に示してはいない。アクティブ島状部 9 2 2 の付加的なもの（図 3 3 b においては別々に示していない）を使用して主要ウェル領域 1 8 0, 1 8 2, 1 8 4 A, 1 8 6 A, 1 8 8, 1 9 0, 1 9 2, 1 9 4, 1 9 6, 1 9 8, 2 0 0, 2 0 2, 2 0 4, 2 0 6、ディープ N ウェル領域 2 1 0, 2 1 2、及び基板領域 1 3 6 への電気的コンタクトを与える。

【0639】

フィールド絶縁体 1 3 8 は、好適には、トレンチ酸化物技術に従って形成されるが、局所的酸化技術に従って形成することが可能である。フィールド絶縁体 1 3 8 の深さ y_{FI} は、通常、 $0.35 - 0.55 \mu\text{m}$ であり、典型的には $0.45 \mu\text{m}$ である。フィールド絶縁体 1 3 8 を与える場合に、シリコン酸化物の薄いスクリーン絶縁層 9 2 4 がエピタキシャル層 1 3 6 P の上部表面に沿って熱成長される。

【0640】

ディープ N ウェル 2 1 0 及び 2 1 2 及びその他のディープ N ウェルに対する位置の上方に開口を有するホトレジストマスク 9 2 6 が、図 3 3 c に示されるように、スクリーン酸化物層 9 2 4 の上に形成される。ディープ N ウェルドーパントは、ホトレジスト 9 2 6 における開口を介して、スクリーン酸化物 9 2 4 の露出セクションを介して、且つ下側に存在するモノシリコンの垂直方向に対応する部分内に中程度のドーズ量でイオン注入されて、一群の横方向に隔離されたディープ N 型ウェル領域 9 2 8 を画定し、その内の一つが図 3 3 c に示されている。ホトレジスト 9 2 6 を除去する。上部半導体表面の下側に位置されており且つアクティブ島状部 9 2 2 の選択したもの内に上方へ延在するディープ N ウェル領域 9 2 8 は、夫々、ディープ N ウェル領域 2 1 0 及び 2 1 2 及びその他のディープ N ウェルのプリカーサーを構成する。

【0641】

ディープ N ウェルドーパントのドーズ量は、通常、 $1 \times 10^{13} - 1 \times 10^{14}$ イオン数 / cm^2 であり、典型的には 1.5×10^{13} イオン数 / cm^2 である。ディープ N ウェルドーパントは、通常、リン又は砒素から構成されている。リンがディープ N ウェルドーパントを構成する典型的な場合には、注入エネルギーは、通常、 $1,000 - 3,000 \text{ keV}$ であり、典型的には $1,500 \text{ keV}$ である。

【0642】

初期的迅速熱アニール（「RTA」）が結果的に得られる半導体構成体に関して実施して格子損傷を修復し且つ注入したディープ N ウェルドーパントの原子をエネルギー的に一層

10

20

30

40

50

安定な状態に配置させる。該初期的 R T A は非反応性環境において $900-1050^{\circ}\text{C}$ において、典型的には $950-1000^{\circ}\text{C}$ において、 $5-20$ 秒で、典型的には 10 秒の間実施する。該ディープ N ウェルドーパントはこの初期的 R T A 期間中に垂直方向及び横方向に拡散する。このドーパント拡散は図 33 には示していない。

【0643】

図 33 のプロセスの残部においては、各処理段階における C I G F E T 構成体が 5 つの図「33z(1)」、「33z(2)」、「33z(3)」、「33z(4)」、「33z(5)」に示されており、尚「z」は「d」乃至「y」へ変化する文字である。各図 33z(1) は、図 11 における非対称の高電圧 I G F E T 100 及び 102 を形成するためになされる付加的な処理を示している。各図 33z(2) は、図 11-2 における非対称の延長型ドレイン I G F E T 104 及び 106 を形成するためになされる付加的な処理を示している。各図 33z(3) は、図 11-3 における対称的低電圧低リーク I G F E T 108 及び 110 を形成するためになされる付加的な処理を示している。各図 33z(4) は、図 11-4 における対称的低電圧低 V_T I G F E T 112 及び 114 を形成するためになされる付加的な処理を示している。各図 33z(5) は、図 11-5 における対称の高電圧公称 V_T I G F E T 116 及び 118 を形成するためになされる付加的な処理を示している。図 33z(1) - 33z(5) の各グループは、便宜上、集約的に以下においては「図 33z」として呼称し、尚、「z」は「d」乃至「y」へ変化する。例えば、図 33d(1) 乃至 33d(5) は集約的に「図 33d」として呼称する。

【0644】

非対称的 P チャンネル I G F E T 102 に対する島状部 142 の上方、対称的 P チャンネル I G F E T 114 に対する島状部 154 の上方、及び延長型ドレイン I G F E T 104 及び 106 の N 型空の主要ウェル領域 184B 及び 186A に対する位置の上方に開口を有するホトレジストマスク 930 が図 33d に図示した如くにスクリーン酸化物層 924 上に形成される。I G F E T 106 の P 型空の主要ウェル領域 186B に対する意図した位置に最も近い空の主要ウェル 186A の側部を画定するホトレジスト 930 の端部は、空のウェル 186A 及び 186B の間の分離距離 L_{ww} を制御するために臨界的に制御される。クリチカル (critical) ホトレジスト 930 も対称的 P チャンネル I G F E T 126 に対する島状部 166 の上方に開口 (不図示) を有している。

【0645】

N 型空の主要ウェルドーパントが、ホトレジスト 930 における開口を介して、スクリーン酸化物 924 の露出セクションを介して、且つ下側に位置しているモノシリコンの対応する部分内に中程度のドーズ量でイオン注入されて、(a) I G F E T 102 及び 114 の夫々の空の主要ウェル領域 182 及び 194 に対する N プリカーサー 182P 及び 194P、(b) I G F E T 104 及び 106 の夫々の空の主要ウェル領域 184B 及び 186B に対する N プリカーサー 184BP 及び 186AP、及び (c) I G F E T 126 の空の主要ウェル領域 206 に対する N プリカーサー (不図示) を画定する。ホトレジスト 930 を除去する。N プリカーサー空の主要ウェル 182P 及び 186AP は、夫々、プリカーサー 210P 及び 212P 内へディープ N ウェル領域 210 及び 212 へ延在しているが、その途中までである。

【0646】

N 型空の主要ウェルドーパントのドーズ量は、通常、 $1 \times 10^{13} - 5 \times 10^{13}$ イオン数 / cm^2 であり、典型的には、 $2.5 \times 10^{13} - 3 \times 10^{13}$ イオン数 / cm^2 である。N 型空の主要ウェルドーパントは、通常、燐又は砒素から構成されている。燐が N 型空の主要ウェルドーパントを構成する典型的な場合には、注入エネルギーは、通常、 $350 - 500 \text{ keV}$ であり、典型的には $425 - 450 \text{ keV}$ である。

【0647】

N プリカーサー空の主要ウェル領域 182P, 184BP, 186AP, 194P 及び空の主要ウェル領域 206 に対する N プリカーサーにおける N 型空の主要ウェルドーパントの濃度は、N 型最終空の主要ウェル領域 182, 184B, 186A, 194P, 20

6 におけるように、ほぼ同じ夫々の位置に沿って夫々の局所的最大に到達する。プリカーサー空の主要ウエル 1 8 2 P, 1 8 4 B P, 1 8 6 A P, 1 9 4 P 及び空の主要ウエル 2 0 6 に対するプリカーサーの各々における N 型空の主要ウエルドーパント濃度は、垂直方向にほぼガウス態様で変化する。

【0 6 4 8】

プリカーサー空の主要ウエル 1 8 2 P, 1 8 4 B P, 1 8 6 A P, 1 9 4 P 及び空の主要ウエル 2 0 6 へのプリカーサーの各々における N 型空の主要ウエルドーパント濃度最大の位置から上部半導体表面へ向けて移る場合に、N 型空の主要ウエルドーパント濃度は記号「N」で示される中程度のドーピングから記号「N-」で示される軽度のドーピングへ除々に降下する。図 3 3 d における点線 2 9 6 P, 3 4 0 P, 3 7 2 P, 5 6 0 P は、基本的には、図 1 1 における点線 2 9 6, 3 4 0, 3 7 2, 5 6 0 に対する夫々のプリカーサーを構成している。図 1 1-2 に示してあるが、I G F E T 1 0 4 及び 1 0 6 に対する点線 3 4 0 及び 3 7 2 は、上述した如く、図 2 2 a 及び 2 2 b においてのみ符号を付けてある。従って、各プリカーサー点線 2 9 6 P, 3 4 0 P, 3 7 2 P 又は 5 6 0 P は、それより下側においては、対応するプリカーサー空の主要ウエル 1 8 2 P, 1 8 4 B P, 1 8 6 A P 又は 1 9 4 P における N 型空の主要ウエルドーパント濃度が中程度の N ドーピングにあり、且つそれより上側においては、プリカーサーウエル 1 8 2 P, 1 8 4 B P, 1 8 6 A P 又は 1 9 4 P における N 型空の主要ウエルドーパント濃度が軽度の N-ドーピングにあることを概略的に表している。

【0 6 4 9】

N プリカーサー空の主要ウエル領域 1 8 2 P, 1 8 4 B P, 1 8 6 A P, 1 9 4 P 及び空の主要ウエル領域 2 0 6 に対する N プリカーサーは、製造プロセスのこの点においては上部半導体表面に到達していない。従って、P-エピタキシャル層 1 3 6 P の 4 つの孤立した表面隣接部分 1 3 6 P 1, 1 3 6 P 2, 1 3 6 P 3, 1 3 6 P 4 は、夫々、N プリカーサー空の主要ウエル 1 8 2 P, 1 8 4 B P, 1 8 6 A P, 1 9 4 P 上方の島状部 1 4 2, 1 4 4 B, 1 4 6 A, 1 5 4 内に夫々存在している。孤立した P-エピタキシャル層部分 1 3 6 P 3 はプリカーサーディープ N ウエル領域 2 1 2 P にわたり横方向に延在している。P-エピタキシャル層 1 3 6 P の別の孤立した表面隣接部分（不図示）は同様に空の主要ウエル領域 2 0 6 に対する N プリカーサー上方の島状部 1 6 6 内に存在している。孤立した P-エピタキシャル層部分 1 3 6 P 1-1 3 6 P 4 及び島状部 1 6 6 内のエピタキシャル層 1 3 6 P の孤立した P-部分は、全て、フィールド絶縁体 1 3 8 及び N 型モノシリコンの結合によってエピタキシャル層 1 3 6 P の下側に存在する残部から分離されている。

【0 6 5 0】

(a) 島状部 1 4 2 内の孤立したエピタキシャル層部分 1 3 6 P 1、(b) 島状部 1 4 6 A 内の N プリカーサー空の主要ウエルの上側に存在する孤立したエピタキシャル層部分 1 3 6 P 3 の部分、(c) 島状部 1 5 4 内の孤立したエピタキシャル層部分 1 3 6 P 4、及び (d) 島状部 1 6 6 内のエピタキシャル層 1 3 6 P の孤立した P-部分、のセグメントによって形成されている P-モノシリコンの 4 つの領域は、最終的な C I G F E T 構成体における夫々の空の主要ウエル 1 8 2, 1 8 6 A, 1 9 4, 2 0 6 の N-モノシリコンとなる。更に、島状部 1 4 4 B 内の孤立したエピタキシャル部分 1 3 6 P 2 及び N プリカーサー空の主要ウエル 1 8 4 B P 上方の島状部 1 4 4 A 内に位置しているエピタキシャル層 1 3 6 P の部分（孤立していない）の 2 つの領域は、最終的な C I G F E T 構成体において空の主要ウエル 1 8 4 B の N-モノシリコンとなる。従って、P-モノシリコンのこれらの 6 つの領域は、N-モノシリコンへ変換させることが必要である。以下に説明するように、該 6 つの P-モノシリコン領域は、通常、爾後の製造ステップ、主に昇温において実施されるステップ、期間中に N プリカーサー空の主要ウエル領域 1 8 2 P, 1 8 4 B P, 1 8 6 A P, 1 9 4 P 及び空の主要ウエル領域 2 0 6 に対する N プリカーサーからの N 型空の主要ウエルドーパントの一部の上方拡散によって N-モノシリコンへ変換される。

。

10

20

30

40

50

【0651】

例えば、爾後の昇温製造ステップ期間中のN型空の主要ウエルドーパントの一部の上方拡散を介して該6つのP-モノシリコン領域が完全にN-モノシリコンへ変換されることに不確実性がある場合には、前述した6つのP-モノシリコン領域をN-モノシリコンへ変換させるために別個のN型ドーピング操作を実施することも可能である。ホトレジスト930を除去する前に、N型補償用ドーパントとして呼称されるN型半導体ドーパントをスクリーン酸化物924の露出セクションを介して低ドーズ量で下側に存在するモノシリコン内にイオン注入させて該6つのp-モノシリコン領域をn-モノシリコンへ変換させることが可能である。

【0652】

該6つのP-モノシリコン領域のいずれもがN型補償用ドーパントを受け取らないことが所望される場合、又はN型空の主要ウエルドーパントを受け取るその他のモノシリコン領域がN型補償用ドーパントを受け取らないものである場合には、(a)島状部142, 154, 166、及び(b)N型空の主要ウエル領域184B及び186Aに対する位置、の内の選択したものの上方に開口を有する付加的なホトレジストマスク(不図示)をスクリーン酸化物層924の上に形成することが可能である。その場合、N型補償用ドーパントが該付加的なホトレジストマスクにおける開口を介して低ドーズ量で半導体ボディ内にイオン注入され、その後に、該付加的なホトレジストを除去する。いずれの場合においても、N型補償用ドーパントのドーズ量は、最終的な主要ウエル領域182, 184B, 186A, 194の空のウエルの性質を維持するために、概略、可及的に妥当である程度に低いものとすべきである。

【0653】

非対称的NチャンネルIGFET100に対する島状部140上方、対称的NチャンネルIGFET112に対する島状部152上方、延長型ドレインIGFET104及び106のP型空の主要ウエル領域184A及び186Bに対する位置の上方、及び分離用Pウエル領域216用の位置の上方に開口を有するホトレジストマスク932は、スクリーン酸化物層924の上に形成される。図33eを参照のこと。IGFET104のN型空の主要ウエル領域184Bに対する意図した位置に最も近い空の主要ウエル184Aの側部を画定するホトレジストマスク932の端部は、空のウエル184A及び184Bの間の分離距離 L_{ww} を制御するために臨界的に制御される。IGFET106のN型空のウエル主要ウエル領域186Aに対する意図した位置に最も近い空の主要ウエル186Bの側部を画定するホトレジストマスク932の端部は、空のウエル186A及び186Bの間の分離距離 L_{ww} を制御するために臨界的に制御される。クリチカル(critical)ホトレジスト932も対称的NチャンネルIGFET124用の島状部164上方に開口(不図示)を有している。

【0654】

P型空の主要ウエルドーパントが、ホトレジスト932における開口を介して、スクリーン酸化物924の露出セクションを介して、中程度のドーズ量で、下側に存在するモノシリコンの垂直に対応する部分内にイオン注入させて、(a)IGFET100及び112の夫々の空の主要ウエル領域180及び192に対するPプリカーサー180P及び192P、(b)IGFET104及び106の夫々の空のウエル184A及び186Bに対するPプリカーサー184AP及び186BP、(c)分離用Pウエル216に対するPプリカーサー216P、及び(d)IGFET124の空の主要ウエル領域204に対するPプリカーサー(不図示)を画定する。ホトレジスト932を除去する。Pプリカーサー空の主要ウエル領域180P及び186BPは、夫々、プリカーサーディープNウエル領域210P及び212P内に延在するが、途中までである。

【0655】

P型空の主要ウエルドーパントのドーズ量は、通常、 $1 \times 10^{13} - 5 \times 10^{13}$ イオン数/ cm^2 であり、典型的には $2.5 \times 10^{13} - 3 \times 10^{13}$ イオン数/ cm^2 である。P型空の主要ウエルドーパントは、通常、元素形態での又は二フッ化ボロンの形態で

のボロンから構成されている。元素ボロンがP型空の主要ウエルドーパントを構成する典型的な場合には、注入エネルギーは、通常、100-225 keVであり、典型的には150-175 keVである。

【0656】

Pプリカーサー空の主要ウエル領域180P, 184AP, 186BP, 192P及び空の主要ウエル領域204に対するPプリカーサーにおけるP型空の主要ウエルドーパントの濃度は、P型最終的空の主要ウエル領域180, 184A, 186B, 192P, 204におけるようにほぼ同じ夫々の位置に沿って夫々の局所的最大に到達する。プリカーサー空の主要ウエル180P, 184AP, 186BP, 192P及び空の主要ウエル204に対するプリカーサーの各々におけるP型空の主要ウエルドーパント濃度は、ほぼガウス状態で垂直方向に変化する。

10

【0657】

プリカーサー空の主要ウエル180P, 184AP, 186BP, 192P及び空の主要ウエル204に対するプリカーサーの各々におけるP型空の主要ウエルドーパント濃度最大の位置から上部半導体表面へ移る場合に、P型空の主要ウエルドーパント濃度は、記号「P」で示される中程度のドーピングから記号「P-」で示される軽度のドーピングへ徐々に降下する。図33eにおける点線256P, 332P, 380P, 530Pは、基本的に、図11における点線256, 332, 380, 530の夫々のプリカーサーを構成している。図11-2には示されているが、IGFET104及び106に対する点線332及び380は、上述した如く、図22a及び22bにおいて符号が付けられているに過ぎない。従って、各プリカーサー点線256P, 332P, 380P又は530Pは、その下側においては、対応するプリカーサー空の主要ウエル180P, 184AP, 186BP又は192PにおけるP型空の主要ウエルドーパント濃度が中程度のPドーピングにあり、且つそれより上側においては、プリカーサーウエル180P, 184AP, 186BP又は192PにおけるP型空の主要ウエルドーパント濃度が軽度のPドーピングにある位置を概略的に表している。

20

【0658】

Pプリカーサー空の主要ウエル領域180P, 184AP, 186BP, 192P及び空の主要ウエル領域204に対するプリカーサーは、製造プロセスのこの点において上部半導体表面に到達するものではない。従って、P-エピタキシャル層136Pのこれらの付加的な表面隣接部分136P5, 136P6, 136P7は、夫々、Pプリカーサー空の主要ウエル180P, 186BP, 192P上方の島状部140, 156B, 152内に夫々存在している。P-エピタキシャル層136Pの別の表面隣接部分（不図示）は、同様に、空の主要ウエル領域204に対するPプリカーサー上方の島状部164内に存在している。P-エピタキシャル層部分136P5-136P7及び島状部164におけるエピタキシャル層136PのP-部分は、全て、(a) フィールド絶縁体138及び(b) 中程度にドーブしたP型モノシリコン又は／及び中程度にドーブしたN型モノシリコン、の結合によってP-エピタキシャル層136Pの下側に存在するバルクから分離されている。エピタキシャル層136の下側に存在するバルクからのこの分離に起因して、エピタキシャル層部分136P5-136P7及び島状部164内のエピタキシャル層136Pの部分は、ここでは、孤立（分離）したP-エピタキシャル層部分として呼称する。

30

40

【0659】

対称的PチャンネルIGFET110及び118用の島状部150及び158上方に開口を有するホトレジストマスク934は、図33fに図示した如くに、スクリーン酸化物層924上に形成されている。ホトレジストマスク934は、又、対称的PチャンネルIGFET122用の島状部162上方に開口（不図示）を有している。N型充填した主要ウエルドーパントが、ホトレジスト934における開口を介して、スクリーン酸化物924の露出セクションを介して、中程度のドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET110及び118の夫々の充填したウエル主要ボディ物質部分494及び620に対するプリカーサー494P及び

50

620P、及び(b) IGFET122の充填したウエル主要ボディ物質部分694に対するNプリカーサー(不図示)を画定する。N型充填した主要ウエル注入は、通常、N型空の主要ウエル注入と同じ条件で且つ同じN型ドーパントで行なわれる。

【0660】

ホトレジストマスク934が未だに存在する状態で、N型APTドーパントを、ホトレジスト934における開口を介して、スクリーン酸化物924の露出セクションを介して、中程度のドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET110及び118の夫々の中間ボディ物質部分496及び622に対するNプリカーサー496P及び622P、及び(b) IGFET122の更なるボディ物質部分696に対するNプリカーサー(不図示)、を画定する。ここでホトレジスト934を除去する。Nプリカーサー中間ボディ物質部分496P及び622Pが、夫々、Nプリカーサー充填したウエル主要ボディ物質部分494P及び620Pの上側に存在する。更なるボディ物質部分606に対するNプリカーサーは、充填したウエル主要ボディ物質部分694に対するNプリカーサーの上側に存在している。

【0661】

Nプリカーサーボディ物質部分494P及び496Pの各々は、通常、IGFET110のチャンネルゾーン484及びS/Dゾーン480及び482の各々の実質的に全てに対しての意図した位置の下側を横方向に延在する。Nプリカーサーボディ物質部分620P及び622Pの各々は、同様に、通常、IGFET118のチャンネルゾーン614及びS/Dゾーン610及び612の各々の実質的に全てに対する意図した位置の下側を横方向に延在する。ボディ物質部分694及び696に対するNプリカーサーは、IGFET122の充填したウエル領域202に対するプリカーサー(不図示)を形成する。

【0662】

N型APTドーパントのドーズ量は、通常、 $1 \times 10^{12} - 6 \times 10^{12}$ イオン数/cm²であり、典型的には 3×10^{12} イオン数/cm²である。N型APTドーパントは、通常、リン又は砒素から構成されている。リンがN型APTドーパントを構成する典型的な場合には、注入エネルギーは75-150 keVであり、典型的には100-125 keVである。N型APT注入は、N型充填した主要ウエル注入の前に、ホトレジスト934と共に実施することが可能である。

【0663】

対称的NチャンネルIGFET108及び116用の島状部148及び156上方に開口を有するホトレジストマスク936をスクリーン酸化物924上に形成する。図33gを参照のこと。ホトレジストマスク936は、又、対称的NチャンネルIGFET120用の島状部160上方に開口(不図示)を有している。P型充填した主要ウエルドーパントが、ホトレジスト936における開口を介して、スクリーン酸化物924の露出セクションを介して、中程度のドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET108及び116の夫々の充填したウエル主要ボディ物質部分454及び590に対するPプリカーサー454P及び590P、及び(b) IGFET120の充填したウエル主要ボディ物質部分654に対するPプリカーサー(不図示)、を画定する。P型充填した主要ウエル注入は、通常、P型空の主要ウエル注入と同じ条件で且つ同じP型ドーパントで実施される。

【0664】

ホトレジストマスク936が未だに存在している状態で、P型APTドーパントを、ホトレジスト936における開口を介して、スクリーン酸化物924の露出セクションを介して、中程度のドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET108及び116の夫々の中間ボディ物質部分456及び592に対するPプリカーサー456P及び592P、及び(b) IGFET120の更なるボディ物質部分656に対するPプリカーサー(不図示)、を画定する。ここでホトレジスト936を除去する。Pプリカーサー中間ボディ物質部分456P及び592Pは、夫々、Pプリカーサー充填したウエル主要ボディ物質部分454P及び590P

の上側に存在している。更なるボディ物質部分 6 5 6 に対する P プリカーサーは、充填したウェル主要ボディ物質部分 6 5 4 に対する P プリカーサーの上側に存在している。

【0665】

P プリカーサーボディ物質部分 4 5 4 P 及び 4 5 6 P の各々は、通常、I G F E T 1 0 8 のチャンネルゾーン 4 4 4 及び S / D ゾーン 4 4 0 及び 4 4 2 の各々の実質的に全てに対する意図した位置の下側を横方向に延在している。P プリカーサーボディ物質部分 5 9 0 P 及び 5 9 2 P の各々は、同様に、通常、I G F E T 1 1 6 のチャンネルゾーン 5 8 4 及び S / D ゾーン 5 8 0 及び 5 8 2 の各々の実質的に全てに対する意図した位置の下側を横方向に延在している。ボディ物質部分 6 5 6 に対する P プリカーサーは、通常、I G F E T 1 2 0 のチャンネルゾーン 6 4 4 及び S / D ゾーン 6 4 0 及び 6 4 2 の各々の実質的に全てに対する意図した位置の下側を横方向に延在している。更に、ボディ物質部分 6 5 4 及び 6 5 6 に対する P プリカーサーは、I G F E T 1 2 0 の充填したウェル領域 2 0 0 に対する P プリカーサー（不図示）を形成している。

10

【0666】

P 型 A P T ドーパントのドーズ量は、通常、 $4 \times 10^{12} - 1.2 \times 10^{13}$ イオン数 / cm^2 であり、典型的には 7×10^{12} イオン数 / cm^2 である。P 型 A P T ドーパントは、通常、元素形態におけるか又は二フッ化ボロンの形態におけるボロンから構成されている。元素ボロンが P 型 A P T ドーパントを構成する典型的な場合には、注入エネルギーは 50 - 125 keV であり、典型的には 75 - 100 keV である。P 型 A P T 注入は、P 型充填した主要ウェル注入の前に、ホトレジスト 9 3 6 と共に実施することが可能である。

20

【0667】

半導体ボディ内に導入した残存する半導体ドーパントのどれかがプリカーサーディープ N ウェル 2 1 0 P 及び 2 1 2 P 内に（又はその他のプリカーサーディープ N ウェル内に）著しく入るものではない。初期的 R T A がディープ N ウェルドーパントの原子をしてエネルギー的により安定な位置に移行させているので、プリカーサーディープ N ウェル 2 1 0 P 及び 2 1 2 P は、夫々、実質的に最終的なディープ N ウェル 2 1 0 及び 2 1 2 であり且つ図 3 3 の残りの図面中にはその様に示してある。

【0668】

対称的 P チャンネル I G F E T 1 1 0 及び 1 1 8 に対する島状部 1 5 0 及び 1 5 8 上方に開口を有するホトレジストマスク 9 3 8 は、図 3 3 h に示した如く、スクリーン酸化物層 9 2 4 上に形成されている。N 型スレッシュホールド調節ドーパントが、ホトレジスト 9 3 8 における開口を介して、スクリーン酸化物 9 2 4 の露出セクションを介して、軽度乃至中程度のドーズ量で、下側に存在するモノシリコンの垂直に対応する部分内にイオン注入させて、I G F E T 1 1 0 及び 1 1 8 の夫々の上部ボディ物質部分 4 9 8 及び 6 2 4 に対する N プリカーサー 4 9 8 P 及び 6 2 4 P を画定する。ホトレジスト 9 3 8 を除去する。N プリカーサー上部ボディ物質部分 4 9 8 P 及び 6 2 4 P は、夫々、N プリカーサー中間ボディ物質部分 4 9 6 P 及び 6 2 2 P の上側に存在している。N プリカーサーボディ物質部分 4 9 4 P, 4 9 6 P, 4 9 8 P は、I G F E T 1 1 0 の充填したウェル領域 1 9 0 に対する N プリカーサー 1 9 0 P を形成する。N プリカーサーボディ物質部分 6 2 0 P, 6 2 2 P, 6 2 4 P は、I G F E T 1 1 8 の充填したウェル領域 1 9 8 に対する N プリカーサー 1 9 8 P を形成する。

30

40

【0669】

N 型スレッシュホールド調節ドーパントのドーズ量は、通常、 $1 \times 10^{12} - 6 \times 10^{12}$ イオン数 / cm^2 であり、典型的には、 3×10^{12} イオン数 / cm^2 である。N 型スレッシュホールド調節ドーパントは、通常、砒素又は燐から構成されている。砒素が N 型スレッシュホールド調節ドーパントを構成する典型的な場合には、注入エネルギーは、通常、60 - 100 keV であり、典型的には、80 keV である。

【0670】

対称的 N チャンネル I G F E T 1 0 8 及び 1 1 2 に対する島状部 1 4 8 及び 1 5 6 上方

50

に開口を有するホトレジストマスク 940 は、スクリーン酸化物層 924 上に形成される。図 33 i を参照のこと。P 型スレッシュホールド調節ドーパントは、ホトレジスト 940 における開口を介して、スクリーン酸化物 924 の露出セクションを介して、軽度乃至中程度のドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、IGFET 108 及び 116 の夫々の上部ボディ物質部分 458 及び 594 に対する P プリカーサー 458 P 及び 594 P を画定する。ホトレジスト 940 を除去する。P プリカーサー上部ボディ物質部分 458 P 及び 594 P は、夫々、P プリカーサー中間ボディ物質部分 456 P 及び 592 P の上側に存在する。P プリカーサーボディ物質部分 454 P, 456 P, 458 P は、IGFET 108 の充填したウエル領域 188 に対する P プリカーサー 188 P を形成する。P プリカーサーボディ物質部分 590 P, 592 P, 594 P は、IGFET 116 の充填したウエル領域 196 に対する P プリカーサー 196 P を形成する。

10

【0671】

P 型スレッシュホールド調節ドーパントのドーズ量は、通常、 $2 \times 10^{12} - 8 \times 10^{12}$ イオン数/cm² であり、典型的には 4×10^{12} イオン数/cm² である。P 型スレッシュホールド調節ドーパントは、通常、元素形態での又は二フッ化ボロンの形態でのボロンから構成される。元素ボロンが P 型スレッシュホールド調節ドーパントを構成する典型的な場合には、注入エネルギーは、通常、15 - 35 keV であり、典型的には 25 keV である。

【0672】

20

角度 α は、N 型 APT、P 型 APT、及び P 型スレッシュホールド調節注入に対しては、通常、約 7° である。傾斜角度 α は、前述した実現例の残りのものに対しては約 0° である。前述した実現例の各々は、方位角 β の一つの値のみにおいて実施され、即ち各々は単一象限注入である。方位角 β は、N 型 APT、P 型 APT、及び P 型スレッシュホールド調節注入に対しては、30° - 35° であり、且つ前述した実現例の残りのものに対しては約 0° である。

【0673】

N3. ゲート形成

上部半導体表面はスクリーン酸化物層 924 を除去することにより露出され、且つ典型的には、ウェットケミカルプロセスによってクリーニングされる。シリコン酸化物の犠牲層（不図示）が上部半導体表面に沿って熱成長されて、上部半導体表面をゲート誘電体形成のために準備させる。該犠牲酸化物層の厚さは、典型的には、少なくとも 10 nm である。該犠牲酸化物層はその後に除去される。クリーニング操作及び該犠牲酸化物層の形成及び除去は、上部半導体表面に沿って欠陥及び／又は汚染を除去して、高品質の上部半導体表面を発生させる。

30

【0674】

比較的厚いゲート誘電体含有誘電体層 942 が、図 33 j に図示した如く、上部半導体表面に沿って設けられる。厚い誘電体層 942 の部分が、高いゲート誘電体厚さ t_{GDH} におけるゲート誘電体層、即ち非対称的 IGFET 100 及び 102 のゲート誘電体層 260 及び 300、延長型ドレイン IGFET 104 及び 106 のゲート誘電体層 344 及び 384、及び例示した高電圧対称的 IGFET のゲート誘電体層、に対する横方向位置にあり且つ後にそれらの部分を構成する。 t_{GDH} の高い厚さのゲート誘電体層に対する横方向位置において誘電体層 942 の該セクションの厚さが増加することを許容するために、層 942 の厚さは、意図した t_{GDH} 厚さよりも多少小さく、典型的には 0.2 nm 一層小さい。

40

【0675】

厚い誘電体層 942 は、通常、熱成長される。熱成長は、ウェット酸化環境において、900 - 1100°C、典型的には 1000°C、において、30 - 90 秒、典型的には 45 - 60 秒、で実施される。層 942 は、通常、実質的に純粋なシリコン酸化物から構成さ

50

れており、それに対するウェット酸化物環境は酸素と水素とから形成される。

【0676】

厚い誘電体層942の熱成長の高温条件はアニールとして作用し、それは、注入したP型及びN型の主要ウェルドーパントによって発生された格子損傷を修復し且つ注入したP型及びN型の主要ウェルドーパントの原子をエネルギー的に一層安定な状態に配置させる。その結果、プリカーサーウェル領域216Pは、実質的に、分離用Pウェル領域216となる。プリカーサー充填したウェル主要ボディ物質部分454P及び590P及び充填したウェル主要ボディ物質部分654に対するプリカーサーは、実質的に、夫々、IGFET108, 116, 120のP充填したウェル主要ボディ物質部分454, 590, 654となる。プリカーサー充填したウェル主要ボディ物質部分494P及び620P及び充填したウェル主要ボディ物質部分694に対するプリカーサーは、実質的に、夫々、IGFET110, 118, 122のN充填したウェル主要ボディ物質部分494, 620, 694となる。

【0677】

厚い誘電体層942の熱成長の高温は、又、P型及びN型ウェルドーパント、APTDーパント、及びスレッシュホールド調節ドーパント、特に主要ウェルドーパント、をして垂直方向及び横方向に拡散させる。図33jは、空の主要ウェルドーパントの上方拡散を表示しているに過ぎない。空の主要ウェルドーパントの上方拡散の結果として、プリカーサー空の主要ウェル領域180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194Pは上部半導体表面へ向けて上方に広がる。空の主要ウェル領域204及び206に対するプリカーサーについても同じことが発生する。

【0678】

プリカーサー空の主要ウェル186P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P及び空の主要ウェル204及び206に対してのプリカーサーは、厚い誘電体層熱成長の期間中に、それが十分に強いものである場合には、上部半導体表面に到達する場合がある。しかしながら、プリカーサー空のウェル180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P及び空のウェル204及び206に対するプリカーサーは、典型的に、該厚い誘電体層熱成長期間中に上部半導体表面へ上方へ途中まで広がるに過ぎない。この状態は図33jに示してある。プリカーサー空のウェル180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P及び空のウェル204及び206に対するプリカーサーの上方への広がり起因して、分離（即ち孤立）したPーエピタキシャル層部分136P1ー136P7及び島状部164及び166におけるエピタキシャル層136Pの孤立したPー部分は垂直方向に寸法が収縮する。

【0679】

例示した低電圧IGFET用のモノシリコン島状部の上方に開口を有するホトレジストマスク（不図示）を厚い誘電体層942の上に形成する。誘電体層942の露出した物質が除去されて、例示した低電圧IGFETに対するモノシリコン島状部を露出させる。図33kを参照すると、品目942Rは厚いゲート誘電体含有誘電体層942の残部である。

【0680】

エッチングプロセスの非理想的なシリコン酸化物対シリコン選択性を補償するために、例示した低電圧IGFETに対する島状部の各々の上部表面に沿ってシリコンの薄い層（不図示）を除去する。このことは、除去位置において厚い誘電体層942の物質の完全なる除去を確保する。例示した低電圧IGFETに対する島状部の上部表面に沿って存在する付加的な欠陥及び／又は汚染、例えばホトレジストによって発生される汚染、は、該薄いシリコン層を除去する過程に除去される。該ホトレジストをその後除去する。

【0681】

比較的薄いゲート誘電体を含む誘電体層944が、例示した低電圧IGFET用の島状部上方で上部半導体表面に沿って、従って、それらのゲート誘電体層に対する夫々の横方

10

20

30

40

50

向位置において、設けられる。再度図 3 3 k を参照のこと。薄い誘電体層 9 4 4 の部分は、後に、夫々、例示した低電圧 I G F E T 用のゲート誘電体層を構成する。

【0682】

薄い誘電体層 9 4 4 は、通常、熱成長及びプラズマ窒化の組合せによって形成される。薄い誘電体層 9 4 4 の熱成長は、ウェット酸化環境において、800-1000℃、典型的に900℃、において、10-20秒、典型的に5秒、で開始される。従って、層944は、実質的に純粋な酸化物から構成されており、それに対して、ウェット酸化環境は酸素及び水素で形成される。

【0683】

主に対称的低電圧PチャンネルI G F E T 110, 114, 122のP++ゲート電極502, 568, 702内のボロンがそれらのチャンネルゾーン484, 554, 684内に拡散することを防止するために、ウェット酸化用熱酸化物成長の後に実施するプラズマ窒化操作によって窒素が、通常、薄い誘電体層944内に組み込まれる。それにより、層944は、シリコンと、酸素と、窒素との結合に変換される。プラズマ窒化操作は、以下に更に説明するが、窒素が質量で6-12%、好適には9-11%、典型的には10%構成するように通常実施される。

【0684】

中間R T Aは、選択した雰囲気ガス中において、800-1000℃、典型的には900℃において、10-20秒、典型的には15秒、半導体構成について実施される。該雰囲気ガスは、通常、酸素である。その酸素に起因して、薄い誘電体層944の厚さは、該中間R T A期間中に熱成長によって多少増加する。誘電体層944の厚さは、今や、実質的に低ゲート誘電体厚さ t_{GdL} と等しく、即ち、例示した低電圧I G F E Tの1.2V動作に対して、1-3nm、好適には1.5-2.5nm、典型的には2nmである。

【0685】

厚いゲート誘電体を含む誘電体残部942Rの厚さは、薄い誘電体層944の熱成長期間中に熱成長によって多少増加する。厚い誘電体残部942Rで被覆されている島状部140, 142, 144A, 144B, 146A, 146B, 156, 158, 164, 166, 172, 174の上部表面への減少した酸素の浸透に起因して、誘電体残部942Rの厚さにおける増加は、薄い誘電体層944の厚さよりもかなり一層小さい。厚い誘電体残部942Rの厚さにおけるこの比較的小さい増加は図33には示していない。

【0686】

厚い誘電体残部942Rは、プラズマ窒化操作期間中に窒素を受取る。厚い誘電体残部942Rは薄い誘電体層944よりも一層厚いので、厚い誘電体残部942Rは、薄い誘電体層944よりも窒素の質量での一層低い百分率を有している。薄い誘電体層942の熱成長及びその後のプラズマ窒化の終りにおいて、厚い誘電体残部942Rの厚さは、実質的に、 t_{GdH} 高い厚さゲート誘電体厚さ値と等しく、即ち、非対称的I G F E T 100及び102を包含する例示した高電圧I G F E Tの3.0V動作に対しては、通常は4-8nm、好適には5-7nm、典型的には6-6.5nmである。厚い誘電体残部942Rにおける窒素の質量による百分率は、薄い誘電体層944における窒素の質量による百分率に対して低誘電体厚さ値 t_{GdL} 対高誘電体厚さ値 t_{GdH} の比を乗算したものとほぼ等しい。

【0687】

薄い誘電体層944の熱成長の高温はアニールとして作用し、それは、注入したP型及びN型ウェルドーパント、A P Tドーパント、及びスレッシュホールド調節ドーパントをして更に垂直方向及び横方向に拡散させる。薄い誘電体層944の熱成長を、厚い誘電体層942の熱成長よりも、一層低い温度で且つかなり一層短い時間期間にわたり実施した場合には、該ウェルドーパント、A P Tドーパント、及びスレッシュホールド調節ドーパントは、厚い誘電体層熱成長期間中よりも、薄い誘電体層熱成長期間中にかなり一層少なく拡散する。該薄い誘電体層熱成長期間中の空の主要ウエルの上方向拡散のみが図33kに示されている。

10

20

30

40

50

【0688】

I G F E T 1 0 0, 1 0 2, 1 0 4, 1 0 6, 1 0 8, 1 1 0, 1 1 2, 1 1 4, 1 1 6, 1 1 8 の夫々のゲート電極 2 6 2, 3 0 2, 3 4 6, 3 8 6, 4 6 2, 5 0 2, 5 3 8, 5 6 8, 5 9 8, 6 2 8 に対するプリカーサー 2 6 2 P, 3 0 2 P, 3 4 6 P, 3 8 6 P, 4 6 2 P, 5 0 2 P, 5 3 8 P, 5 6 8 P, 5 9 8 P, 6 2 8 P は今や図 3 3 k の部分的に完成した C I G F E T 構成体の上に形成されている。I G F E T 1 2 0, 1 2 2, 1 2 4, 1 2 6, 1 2 8, 1 3 0, 1 3 2, 1 3 4 のゲート電極 6 6 2, 7 0 2, 7 3 8, 7 6 8, 7 9 8, 8 2 8, 8 5 8, 8 8 8 に対するプリカーサー（不図示）は部分的に完成された構成体の上に同時的に形成される。

【0689】

より詳細には、高電圧 I G F E T 1 0 0, 1 0 2, 1 1 6, 1 1 8 用のプリカーサーゲート電極 2 6 2 P, 3 0 2 P, 5 9 8 P, 6 2 8 P 及び高電圧 I G F E T 1 2 4, 1 2 6, 1 3 2 のゲート電極 7 3 8, 7 6 8, 8 5 8, 8 8 8 に対するプリカーサーが、夫々、島状部 1 4 0, 1 4 2, 1 5 6, 1 5 8, 1 6 4, 1 6 6, 1 7 2, 1 7 4 の選択したセグメント上方で厚いゲート誘電体を含む誘電体残部 9 4 2 R 上に形成されている。延長型ドレイン N チャンネル I G F E T 1 0 4 に対するプリカーサーゲート電極 3 4 6 P は、厚い誘電体残部 9 4 2 R 及びフィールド絶縁体部分 1 3 8 A の一部の上に形成されて、島状部 1 4 4 B にわたり延在すること無しに、島状部 1 4 4 A の選択したセグメントの上側に存在している。延長型ドレイン P チャンネル I G F E T 1 0 6 に対するプリカーサーゲート電極 3 8 6 P は、同様に、厚い誘電体残部 9 4 2 R 及びフィールド絶縁体部分 1 3 8 B の一部の上に形成されており、島状部 1 4 6 B にわたり延在すること無しに、島状部 1 4 6 A の選択したセグメントの上側に位置している。低電圧 I G F E T 1 0 8, 1 1 0, 1 1 2, 1 1 4 用のプリカーサーゲート電極 4 6 2 P, 5 0 2 P, 5 3 8 P, 5 6 8 P 及び低電圧 I G F E T 1 2 0, 1 2 2, 1 2 8, 1 3 0 のゲート電極 6 6 2, 7 0 2, 7 9 8, 8 2 8 に対するプリカーサーは、夫々、島状部 1 4 8, 1 5 0, 1 5 2, 1 5 4, 1 6 0, 1 6 2, 1 6 8, 1 7 0 の選択したセグメント上方で薄いゲート誘電体を含む誘電体層 9 4 4 の上に形成される。

【0690】

プリカーサーゲート電極 2 6 2 P, 3 0 2 P, 3 4 6 P, 3 8 6 P, 4 6 2 P, 5 0 2 P, 5 3 8 P, 5 6 8 P, 5 9 8 P, 6 2 8 P 及びゲート電極 6 6 2, 7 0 2, 7 3 8, 7 6 8, 7 9 8, 8 2 8, 8 5 8, 8 8 8 に対するプリカーサーは、主にドーブしていない（イントリンシック即ち真性）のポリシリコンからなる層を誘電体残部 9 4 2 R 及び誘電体層 9 4 4 上に付着させ、次いで適宜のクリチカルホトレジストマスク（不図示）を使用して該ポリシリコン層をパターンニングすることにより形成される。該ゲート電極ポリシリコン層の一部（不図示）はポリシリコン抵抗用に使用することが可能である。ポリシリコン層の各その様な抵抗部分は、典型的に、フィールド絶縁体 1 3 8 の上側に存在している。該ポリシリコン層の厚さは 1 6 0 - 2 0 0 n m であり、典型的には 1 8 9 n m である。

【0691】

該ポリシリコン層は、プリカーサーポリシリコンゲート電極 2 6 2 P, 3 0 2 P, 1 4 6 2 P, 5 0 2 P, 5 3 8 P, 5 6 8 P, 5 9 8 P, 6 2 8 P 及びポリシリコンゲート電極 6 6 2, 7 0 2, 7 3 8, 7 6 8, 7 9 8, 8 2 8, 8 8 8 に対するプリカーサーが、夫々、例示した非延長型ドレイン I G F E T のチャンネルゾーン 2 4 4, 2 8 4, 4 4 4, 4 8 4, 5 2 4, 5 5 4, 5 8 4, 6 1 4, 6 8 4, 7 2 4, 7 5 4, 7 8 4, 8 1 4, 8 4 4, 8 7 4 に対して意図した位置の上側に存在するように、パターン化される。更に、延長型ドレイン N チャンネル I G F E T 1 0 4 に対するプリカーサーポリシリコンゲート電極 3 4 6 P は、P-基板領域 1 3 6 の部分 1 3 6 A のチャンネルゾーンセグメントに対する意図した位置を包含する（図 2 2 a 参照）、チャンネルゾーン 3 2 2 に対する意図した位置の上側に存在し、且つ空の主要ウェル 1 8 4 B の部分 1 8 4 B 1 に対する意図した位置へ向けてフィールド絶縁体部分 1 3 8 A を横断して途中まで空の主要ウェル領域

1 8 4 B の部分 1 8 4 B 2 に対する意図した位置にわたり延在している。延長型ドレイン P チャンネル I G F E T 1 0 6 用のプリカーサーポリシリコンゲート電極 3 6 2 は、チャンネルゾーン 3 6 2 及び P-基板領域 1 3 6 の部分 1 3 6 B (図 2 2 b 参照) に対する意図した位置の上側に存在しており且つ空の主要ウェル 1 8 6 B の部分 1 8 6 B 1 へ向けてフィールド絶縁体部分 1 3 8 B を横断して途中まで空の主要ウェル領域 1 8 6 B の部分 1 8 6 B 2 に対する意図した位置にわたり延在している。

【0 6 9 2】

高電圧 I G F E T 1 0 0, 1 0 2, 1 1 6, 1 1 8 のプリカーサーゲート電極 2 6 2 P, 3 0 2 P, 5 9 8 P, 6 2 8 P 及び高電圧 I G F E T 1 2 4, 1 2 6, 1 3 2, 1 3 4 のゲート電極 7 3 8, 7 6 8, 8 5 8, 8 8 8 の下側に位置している厚い誘電体残部 9 4 2 R の部分は、夫々、それらのゲート誘電体層 2 6 0, 3 0 0, 5 9 6, 6 2 6, 7 3 6, 7 6 6, 8 5 6, 8 8 6 を構成している。延長型ドレイン I G F E T 1 0 4 及び 1 0 6 のプリカーサーゲート電極 3 4 6 P 及び 3 8 6 P の下側に位置している誘電体残部 9 4 2 R の部分は、夫々、それらのゲート誘電体層 3 4 4 及び 3 8 4 を構成している。低電圧 I G F E T 1 0 8, 1 1 0, 1 1 2, 1 1 4 のプリカーサーゲート電極 4 6 2 P, 5 0 2 P, 5 3 8 P, 5 6 8 P 及び低電圧 I G F E T 1 2 0, 1 2 2, 1 2 8, 1 3 0 のゲート電極 6 6 2, 7 0 2, 7 9 8, 8 2 8 に対するプリカーサーの下側に位置している薄い誘電体層 9 4 4 の部分は、夫々、ゲート誘電体層 4 6 0, 5 0 0, 5 3 6, 5 6 6, 6 6 0, 7 0 0, 7 9 6, 8 2 6 を構成している。例示した I G F E T のゲート誘電体層で形成したゲート誘電体物質は、夫々、例示した I G F E T のプリカーサーゲート電極をそれらの夫々のチャンネルゾーンであることが意図されているドーブしたモノシリコンから分離させている。

【0 6 9 3】

厚い誘電体残部 9 4 2 R 及び例示した I G F E T 用のプリカーサーゲート電極を包含するプリカーサーゲート電極によって被覆されていない薄い誘電体層 9 4 4 の全ての部分は、ポリシリコン層をパターニングする場合に使用するホトレジストを除去する過程に除去される。それらのプリカーサーゲート電極側部に位置されている例示した I G F E T 用の島状部のセグメントはそれにより露出される。

【0 6 9 4】

薄いシール用誘電体層 9 4 6 が、例示した I G F E T 用のプリカーサーゲート電極の露出表面に沿って熱成長される。再度図 3 3 1 を参照のこと。薄い表面誘電体層 9 4 8 は、同時に、例示した I G F E T 用の島状部の露出セグメントに沿って形成する。誘電体層 9 4 6 及び 9 4 8 の熱成長は、9 0 0-1 0 5 0 °C、典型的には 9 5 0-1 0 0 0 °C で、5-2 5 秒、典型的には 1 0 秒、で実施される。シール用誘電体層 9 4 6 は 1 0 3 nm、典型的には 2 nm、の厚さを有している。

【0 6 9 5】

誘電体層 9 4 6 及び 9 4 8 の熱成長の高温は、更なるアニールとして作用し、それは、注入した P 型及び N 型ウェルドーパント、A P T ドーパント、及びスレッシュホールド調節ドーパントの付加的な垂直方向及び横方向の拡散を発生させる。誘電体層 9 4 6 及び 9 4 8 の熱成長が厚い誘電体層 9 4 2 の熱成長よりもかなり一層短い時間期間で行われる場合には、該ウェルドーパント、A P T ドーパント、及びスレッシュホールド調節ドーパントは、厚い誘電体層熱成長期間中よりも誘電体層 9 4 6 及び 9 4 8 の熱成長期間中にかなりより少なく拡散する。誘電体層 9 4 6 及び 9 4 8 の熱成長によって発生される付加的なドーパント拡散のいずれも図 3 3 1 には表していない。

【0 6 9 6】

図 3 3 1 は、プリカーサー空の主要ウェル領域 1 8 0 P, 1 8 2 P, 1 8 4 A P, 1 8 4 B P, 1 8 6 A P, 1 8 6 B P, 1 9 2 P, 1 9 4 P の各々の上部が、誘電体層 9 4 6 及び 9 4 8 の熱成長の終りにおいて、上部半導体表面の下側にある、例を示している。空の主要ウェル領域 2 0 4 及び 2 0 6 のプリカーサーの上部は、同様に、例示した例における製造プロセスにおけるこの点において、上部半導体表面下側にある。しかしながら、プ

リカーサー空の主要ウエル 180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P 及び空の主要ウエル 204 及び 206 に対するプリカーサーは、誘電体層 946 及び 948 の熱成長の終りまでに上部半導体表面に到達する場合がある。

【0697】

N4. ソース／ドレイン延長部及びハローポケット部分の形成

対称的 N チャンネル IGFET 108 用の島状部 148 上方に開口を有するホトレジストマスク 950 は、図 33m に示した如くに、誘電体層 946 及び 948 上に形成される。ホトレジストマスク 950 も対称的 N チャンネル IGFET 120, 128, 132 に対する島状部 160, 168, 172 上方に開口（不図示）を有している。N 型浅い S/D 延長部ドーパントは、ホトレジスト 950 における開口を介して、表面誘電体 948 の露出セクションを介して、高いドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET 108 の夫々の S/D 延長部 440E 及び 442E に対する一対の横方向に分離されたほぼ同一の N+プリカーサー 440EP 及び 442EP、(b) IGFET 120 の夫々の S/D 延長部 640E 及び 642E に対する一対の横方向に分離されたほぼ同一の N+プリカーサー（不図示）、(c) IGFET 128 の夫々の S/D 延長部 780E 及び 782E に対する一対の横方向に分離されたほぼ同一の N+プリカーサー（不図示）、及び (d) IGFET 132 の夫々の S/D 延長部 840E 及び 842E に対する一対の横方向に分離されたほぼ同一の N+プリカーサー（不図示）、を画定する。

【0698】

N 型浅い S/D 延長部注入は、約 7° に等しい傾斜角度 α で且つ $20^\circ - 25^\circ$ に等しい基本方位角値 β_0 での 4 象限注入である。N 型浅い S/D 延長部ドーパントのドーズ量は、通常、 $1 \times 10^{14} - 1 \times 10^{15}$ イオン数/cm² であり、典型的には 5×10^{14} イオン数/cm² である。N 型浅い S/D 延長部注入ドーズ量の約四分の一が各方位角値において注入される。N 型浅い S/D 延長部ドーパントは、通常、砒素又は燐から構成されている。砒素が N 型浅い S/D 延長部ドーパントを構成する典型的な場合には、注入エネルギーは通常 6 - 15 keV であり、典型的には 10 keV である。

【0699】

ホトレジストマスク 950 が未だに存在する状態で、P 型 S/D ハロドーパントを、ホトレジスト 950 における開口を介して、表面誘電体層 948 の露出セクションを介して、中程度のドーズ量で、著しく角度をつけた態様で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET 108 の夫々のハローポケット部分 450 及び 452 に対する一対の横方向に分離されたほぼ同一の P プリカーサー 450P 及び 452P、(b) IGFET 120 の夫々のハローポケット部分 650 及び 652 に対する一対の横方向に分離されたほぼ同一の P プリカーサー（不図示）、(c) IGFET 128 の夫々のハローポケット部分 790 及び 792 に対する一対の横方向に分離されたほぼ同一の P プリカーサー（不図示）、及び (d) IGFET 132 の夫々のハローポケット部分 850 及び 852 に対する一対の横方向に分離されたほぼ同一の P プリカーサー（不図示）、を画定する。

【0700】

P プリカーサーハローポケット部分 450P 及び 452P 及びハローポケット部分 650, 652, 790, 792, 850, 852 に対する P プリカーサーは、夫々、N+プリカーサー S/D 延長部 440EP 及び 442EP 及び S/D 延長部 640E, 642E, 780E, 782E, 840E, 842E に対する N+プリカーサーよりも一層深くに延在する。P 型 S/D ハロドーパントの角度を付けた注入に起因して、IGFET 108 の P プリカーサーハローポケット 450P 及び 452P は、夫々、その N+プリカーサー S/D 延長部 440EP 及び 442EP を超えて、そのプリカーサーゲート電極 462P の下側を途中まで横方向に延在する。IGFET 120 の P プリカーサーハローポケッ

トは、同様に、夫々、そのN+プリカーサーS/D延長部を超えて、そのプリカーサーゲート電極の下側を途中まで横方向に延在する。同じ関係が、IGFET128及び132の各々のPプリカーサーハローポケット、プリカーサーゲート電極、及びN+プリカーサーS/D延長部に対して適用される。

【0701】

角度付きP型S/Dハロー注入に対する傾斜角度 α は少なくとも 15° で、通常は $20^\circ - 45^\circ$ であり、典型的には 30° である。P型S/Dハロードーパントのドーズ量は、通常、 $1 \times 10^{13} - 5 \times 10^{13}$ イオン数/cm²であり、典型的には 2.5×10^{13} イオン数/cm²である。角度付きP型S/Dハロー注入は、基本方位角値 β_0 が約 30° に等しい4象限注入である。P型S/Dハロー注入ドーズ量の約四分の一が各方位角値において注入される。P型S/Dハロードーパントは、通常、元素形態か又は二フッ化ボロンの形態におけるボロンから構成されている。元素ボロンがP型S/Dハロードーパントを構成する典型的な場合には、注入エネルギーは50-100 keVであり、典型的には75 keVである。P型S/Dハロー注入は、N型浅いS/D延長部注入の前に、ホトレジスト950で実施することが可能である。

【0702】

非対称的NチャンネルIGFET100のドレイン延長部242Eに対する位置の上方及び対称的NチャンネルIGFET112及び116に対する島状部152及び156上方に開口を有するホトレジストマスク952が、図330に示した如くに、誘電体層946及び948上に形成される。ホトレジストマスク952は、IGFET100のプリカーサーゲート電極262Pに対してクリチカル即ち臨界的に整合される。クリチカルホトレジスト952も対称的NチャンネルIGFET124, 130, 134に対する島状部164, 170, 174上方に開口（不図示）を有している。

【0703】

N型ディープS/D延長部ドーパントは、ホトレジスト952における開口を介して、表面誘電体948の露出セクションを介して、高いドーズ量で、著しく角度を付けた態様で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET100のドレイン延長部242Eに対するN+プリカーサー242EP, (b) IGFET112の夫々のS/D延長部520E及び522Eに対する一対の横方向に分離されたほぼ同一のN+プリカーサー520EP及び522EP, (c) IGFET116の夫々のS/D延長部580E及び582Eに対する一対の横方向に分離されたほぼ同一のN+プリカーサー580EP及び582EP, (d) IGFET124の夫々のS/D延長部720E及び722Eに対する一対の横方向に分離されたほぼ同一のN+プリカーサー（不図示）、(e) IGFET130の夫々のS/D延長部810E及び812Eに対する一対の横方向に分離されたほぼ同一のN+プリカーサー（不図示）、及び(f) IGFET134の夫々のS/D延長部870E及び872Eに対する一対の横方向に分離されたほぼ同一のN+プリカーサー（不図示）、を画定する。ホトレジスト952を除去する。

【0704】

角度付きN型ディープS/D延長部注入に対する傾斜角度 α は、少なくとも 15° であり、通常は $20^\circ - 45^\circ$ で、典型的には 30° である。その結果、非対称的IGFET100のプリカーサードレイン延長部242EPは、そのプリカーサーゲート電極262Pの下側を横方向に著しく延在する。IGFET112のプリカーサーS/D延長部520EP及び522EPは、同様に、そのプリカーサーゲート電極538Pの下側を横方向にかなり延在している。IGFET116のプリカーサーS/D延長部580EP及び582EPは、そのプリカーサーゲート電極598Pの下側を著しく横方向に延在している。同じことが、IGFET124のS/D延長部720E及び722Eに対するプリカーサー、IGFET130のS/D延長部810E及び812Eに対するプリカーサー、及びそれらの夫々のプリカーサーゲート電極と相対的にIGFET134のS/D延長部870E及び872Eに対するプリカーサー、の場合に発生する。

【0705】

N型ディープS/D延長部注入は、基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい場合の4象限注入である。N型ディープS/D延長部ドーパントのドーズ量は、通常、 $2 \times 10^{13} - 1 \times 10^{14}$ イオン数/cm²であり、典型的には $5 \times 10^{13} - 6 \times 10^{13}$ イオン数/cm²である。N型ディープS/D延長部注入ドーズ量の約四分の一が各方位角値において注入される。N型ディープS/D延長部ドーパントは、通常、燐又は砒素から構成されている。燐がN型ディープS/D延長部ドーパントを構成している典型的な場合には、注入エネルギーは通常15-45 keVであり、典型的には30 keVである。

【0706】

非対称的NチャンネルIGFET100のソース延長部240Eに対する位置の上方及び延長型ドレインNチャンネルIGFET104のソース延長部320Eに対する位置の上方に開口を有するホトレジストマスク954を誘電体層946及び948の上に形成する。図33pを参照のこと。ホトレジストマスク954は、IGFET100及び104のプリカーサーゲート電極262P及び346Pに対してクリチカルに整合される。N型浅いソース延長部ドーパントが、クリチカルホトレジスト954における開口を介して、表面誘電体948の露出セクションを介して、高いドーズ量において、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET100のソース延長部240Eに対するN+プリカーサー240EP、及び(b) IGFET104のソース延長部320Eに対するN+プリカーサー320EP、を画定する。傾斜角度 α は、N型浅いソース延長部注入に対しては、約 7° である。

【0707】

N型浅いソース延長部ドーパントは、通常、砒素であり、それはN型ディープS/D延長部ドーパントとして通常使用される燐よりも一層大きな原子量のものである。非対称的IGFET100のプリカーサーソース延長部240EP及びプリカーサードレイン延長部242EPは、夫々、N型浅いソース延長部注入及び角度付きN型ディープS/D延長部注入で画定されることに注意すると、これら2つのN型注入を実施するために使用されるステップの実現パラメータ(N型ディープS/D延長部注入の傾斜及び方位パラメータを含む)は、プリカーサードレイン延長部242EPにおけるN型ディープS/D延長部ドーパントの最大濃度は、プリカーサーソース延長部240EPにおけるN型浅いソース延長部ドーパントの最大濃度よりも小さく、通常はその半分以上を超えるものではなく、好適にはその四分の一を超えるものではなく、より好適にはその十分の一を超えるものではなく、更により好適にはその二十分の一を超えるものではない、ように選択される。別の言い方をすれば、プリカーサーソース延長部240EPにおけるN型浅いソース延長部ドーパントの最大濃度は、プリカーサードレイン延長部242EPにおけるN型ディープS/D延長部ドーパントの最大濃度よりも著しく一層大きく、通常は少なくとも2倍であり、好適には少なくとも4倍であり、より好適には少なくとも10倍であり、更により好適には少なくとも20倍である。

【0708】

非対称的IGFET100のプリカーサーソース延長部240EPにおけるN型浅いソース延長部ドーパントの最大濃度は、通常、最終的ソース延長部240Eにおけるのと同様、最終的なドレイン延長部242Eにおける全N型ドーパントの最大濃度とほぼ同じ位置に沿って、発生する。IGFET100のプリカーサードレイン延長部242EPにおけるN型ディープS/D延長部ドーパントの最大濃度は、同様に、通常、最終的なドレイン延長部242Eとほぼ同じ位置に沿って、発生する。

【0709】

角度付きディープS/D延長部注入の傾斜及び方位パラメータを含んで、N型浅いソース延長部注入及びN型ディープS/D延長部注入のエネルギー及びその他の実現パラメータは、プリカーサードレイン延長部242EP内のN型ディープS/D延長部ドーパントの

最大濃度の位置がプリカーサーソース延長部 240EP における N 型浅いソース延長部ドーパントの最大濃度の位置よりも著しく一層深くに発生する、ように制御される。特に、プリカーサードレイン延長部 242EP における N 型ディープ S/D 延長部ドーパントの最大濃度の位置は、通常、プリカーサーソース延長部 240EP における N 型浅いソース延長部ドーパントの最大濃度の値よりも、通常少なくとも 10% 一層深くに、好適には少なくとも 20% 一層深くに、より好適には少なくとも 30% 一層深くに、発生する。

【0710】

N 型ディープ S/D 延長部注入に対して必要とされる範囲は、N 型浅いソース延長部注入に対して必要とされる範囲よりも著しく一層大きい。何故ならば、(a) プリカーサードレイン延長部 242EP における N 型ディープ S/D 延長部ドーパントの最大濃度の位置がプリカーサーソース延長部 240EP における N 型浅いソース延長部ドーパントの最大濃度の位置よりも一層深く、且つ (b) N 型ディープ S/D 延長部注入は N 型浅いソース延長部注入よりも一層大きな値の傾斜角度 α において実施されるからである。その結果、プリカーサードレイン延長部 242EP は、プリカーサーソース延長部 240EP よりも、一層深くに延在し、通常は少なくとも 20% 一層深く、好適には少なくとも 30% 一層深く、より好適には少なくとも 50% 一層深く、さらにより好適には少なくとも 100% 一層深くに延在している。

【0711】

表面誘電体 948 のような表面誘電体層を介してのイオン注入によって画定されるプリカーサーソース延長部 240EP 及びプリカーサードレイン延長部 242EP 等のプリカーサー S/D 延長部に対して、 t_{sd} が表面誘電体層の平均厚さを表すものとする。IGFET のドーパしたモノシリコン領域における或る位置の平均深さは、上述した如く、その IGFET のゲート誘電体層の底部を介して延在する面から測定される。プリカーサーソース延長部 240EP として意図された領域の上部表面に沿ってのモノシリコンの薄い層は、ゲート誘電体層 260 の形成後であるが、プリカーサーソース延長部 240EP を画定する N 型浅いソース延長部ドーパントのイオン注入前に、除去することが可能である。 Δy_{se} がプリカーサーソース延長部 240EP のようなプリカーサーソース延長部の上部に沿ってその様に除去されるモノシリコンの平均厚さを表すものとする。プリカーサーソース延長部を画定するためにイオン注入した半導体ドーパントの範囲即ちレンジ R_{se} は次式で近似することが可能である。

【0712】

【数 6】

$$R_{se} = (y_{sepk} - \Delta y_{se} + t_{sd}) \sec \alpha_{se} \quad (6)$$

【0713】

尚、 α_{se} はプリカーサーソース延長部を画定する半導体ドーパントをイオン注入する場合に使用した傾斜角度 α の値である。傾斜角度値 α_{se} (約 7°) は極めて小さいので、式 6 における係数 $\sec \alpha_{se}$ は、N 型浅いソース延長部注入に対してレンジ R_{se} を計算するためには 1 に非常に近い。

【0714】

プリカーサードレイン延長部 242EP であることが意図されている領域の上部表面に沿ってのモノシリコンの薄い層は、同様に、ゲート誘電体層 260 を形成した後であるがプリカーサードレイン延長部 242EP を画定する N 型ディープ S/D 延長部ドーパントのイオン注入前に、除去することが可能である。 Δy_{de} がプリカーサードレイン延長部 242EP 等のプリカーサードレイン延長部の上部に沿ってそのように除去されるモノシリコンの平均厚さを表すものとする。従って、プリカーサードレイン延長部を画定するためにイオン注入した半導体ドーパントのレンジ R_{de} は次式によって近似することが可能である。

【0715】

【数 7】

$$R_{DE} = (y_{DEPK} - \Delta y_{DE} + t_{sd}) \sec \alpha_{DE} \quad (7)$$

【0716】

尚、 α_{DE} は該プリカーサードレイン延長部を画定する半導体ドーパントをイオン注入する場合に使用する傾斜角度 α の値である。傾斜角度値 α_{DE} は、プリカーサードレイン延長部 242EP に対しては、少なくとも 15° であり、通常 $20^\circ - 45^\circ$ で、典型的には 30° であるので、式 7 における $\sec \alpha_{DE}$ の係数は、N 型ディープ S/D 延長部注入に対し R_{DE} を計算するためには、1 よりも著しく一層大きい。

【0717】

注入レンジ R_{SE} 及び R_{DE} に対する値は、夫々の S/D 延長部 240E 及び 242E における最大全 N 型ドーパント濃度の位置において平均深さ y_{SEPK} 及び y_{DEPK} の間の上述した百分率差異を充足する y_{SEPK} 及び y_{DEPK} の値を使用することによって、式 6 及び 7 から決定される。 R_{SE} 及び R_{DE} レンジ値は、夫々、N 型浅いソース延長部ドーパント及び N 型ディープ S/D 延長部ドーパントに対する適切な注入エネルギーを決定するために使用される。

【0718】

N 型浅いソース延長部注入が上部半導体表面に対してほぼ平行に延在する面に対してほぼ垂直に実施される場合（典型的には傾斜角度 α に対して約 7° において）、非対称的 IGFET 100 のプリカーサースソース延長部 240EP は、通常、プリカーサーゲート電極 262P の下側を著しく横方向に延在するものではない。プリカーサードレイン延長部 242EP を形成するために使用される N 型ディープ S/D 延長部ドーパントの角度付き注入は、それをプリカーサーゲート電極 262P 下側を著しく横方向に延在させるので、プリカーサードレイン延長部 242EP は、プリカーサースソース延長部 240EP よりも、プリカーサーゲート電極 262P 下側を著しく更に横方向に延在する。従って、プリカーサーゲート電極 262P がプリカーサードレイン延長部 242EP とオーバーラップする量は、プリカーサーゲート電極 262P がプリカーサースソース延長部 240EP とオーバーラップする量を著しく超えるものである。プリカーサードレイン延長部 242EP 上のプリカーサーゲート電極 262P のオーバーラップは、プリカーサースソース延長部 240EP 上のプリカーサーゲート電極 262P のオーバーラップよりも、通常少なくとも 10% 一層大きく、好適には少なくとも 15% 一層大きく、より好適には少なくとも 20% 一層大きい。

【0719】

N 型浅いソース延長部注入は、基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい 4 象限注入である。IGFET 100 のプリカーサースソース延長部 240EP 及びプリカーサードレイン延長部 242EP の間の差異に対して上述した条件を充足する場合に、N 型浅いソース延長部ドーパントのドーズ量は、通常 $1 \times 10^{14} - 1 \times 10^{15}$ イオン数 / cm^2 であり、典型的には 5×10^{14} イオン数 / cm^2 である。N 型浅いソース延長部注入ドーズ量の約四分の一が各方位角値において注入される。砒素が N 型浅いソース延長部ドーパントを構成している典型的な場合には、注入エネルギーは通常 $3 - 15 \text{ keV}$ であり、典型的には 10 keV である。

【0720】

クリチカルホトレジストマスク 954 が未だに所定位置にある場合に、P 型ソースハロドーパントを、ホトレジスト 954 における開口を介して、表面誘電体層 948 の露出セクションを介して、中程度のドーズ量で、著しく角度を付けた態様で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) 非対称的 IGFET 100 のハローポケット部分 250 に対する P プリカーサー 250P、及び (b) 延長型ドレイン IGFET 104 のハローポケット部分 326 に対する P プリカーサー 326P を画定する。図 33q を参照のこと。ホトレジスト 954 を除去する。

【0721】

10

20

30

40

50

Pプリカーサーハローポケット部分250P及び326Pは、夫々、IGFET100及び104のN+プリカーサーソース延長部240EP及び320EPよりも一層深くに延在する。P型ソースハロードーパントの角度付き注入に起因して、IGFET100のPプリカーサーハローポケット250Pはそのプリカーサーゲート電極262Pの下側を或る程度まで横方向に且つそのN+プリカーサーソース延長部240EPを越えて延在している。IGFET104のPプリカーサーハローポケット326Pは、同様に、そのプリカーサーゲート電極346Pの下側を或る程度まで且つそのN+プリカーサーソース延長部320EPを越えて延在している。

【0722】

角度付きP型ソースハロー注入用の傾斜角度 α は少なくとも 15° で、通常は $20^\circ - 45^\circ$ であり、典型的には 30° である。角度付きP型ソースハロー注入は、基本方位角値 β_0 が約 45° に等しい4象限注入である。P型ソースハロードーパントのドーズ量は、通常、 $1 \times 10^{13} - 5 \times 10^{13}$ イオン数/cm²であり、典型的には 2.5×10^{13} イオン数/cm²である。P型ソースハロー注入ドーズ量の約四分の一が各方位角値において注入される。P型ソースハロードーパントは、通常、二フッ化ボロンの形態におけるか又は元素形態におけるボロンから構成されている。二フッ化ボロンの形態におけるボロンがP型ソースハロードーパントを構成する典型的な場合には、注入エネルギーは50-100keVであり、典型的には75keVである。P型ソースハロー注入は、N型浅いソース延長部注入の前に、ホトレジスト954で実施することが可能である。

【0723】

対称的PチャンネルIGFET110用の島状部150の上方に開口を有するホトレジストマスク956が、図33rに示した如くに、誘電体層946及び948上に形成される。ホトレジストマスク956も対称的PチャンネルIGFET122用の島状部162上方に開口（不図示）を有している。P型浅いS/D延長部ドーパントが、ホトレジスト956における開口を介して、表面誘電体948の露出セクションを介して、高いドーズ量で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET110の夫々のS/D延長部480E及び482Eに対する一対の横方向に分離されたほぼ同一のP+プリカーサー480EP及び482EP、及び(b) IGFET122の夫々のS/D延長部680E及び682Eに対する一対の横方向に分離されたほぼ同一のP+プリカーサー（不図示）を画定する。

【0724】

P型浅いS/D延長部注入は、傾斜角度 α が約 7° に等しく且つ基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい4象限注入である。P型浅いS/D延長部ドーパントのドーズ量は、通常 $5 \times 10^{13} - 5 \times 10^{14}$ イオン数/cm²であり、典型的には $1 \times 10^{14} - 2 \times 10^{14}$ イオン数/cm²である。P型浅いS/D延長部注入ドーズ量の約四分の一が各方位角値において注入される。P型浅いS/D延長部ドーパントは、通常、二フッ化ボロンの形態におけるか又は元素の形態におけるボロンから構成されている。二フッ化ボロンの形態におけるボロンがP型浅いS/D延長部ドーパントを構成する典型的な場合には、注入エネルギーは通常2-10keVであり、典型的には5keVである。

【0725】

ホトレジストマスク956が未だに存在する状態で、N型S/Dハロードーパントを、著しい角度を付けた態様で、中程度のドーズ量で、ホトレジスト856における開口を介して、表面誘電体層948の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET100の夫々のハローポケット部分490及び492に対する一対の横方向に分離されたほぼ同一のNプリカーサー490P及び492P、及び(b) IGFET122の夫々のハローポケット部分690及び692に対する一対の横方向に分離されたほぼ同一のNプリカーサー（不図示）、を画定する。図33sを参照のこと。ホトレジスト956を除去する。

【0726】

Nプリカーサーハローポケット部分490P及び492P及びハローポケット部分69

10

20

30

40

50

0 及び 6 9 2 に対する N プリカーサーは、夫々、P + プリカーサー S / D 延長部 4 8 0 E P 及び 4 8 2 E P 及び S / D 延長部 6 8 0 E 及び 6 8 2 E に対する P + プリカーサーよりも一層深くに延在する。N 型 S / D ハロードーパントの角度を付けた注入のために、I G F E T 1 1 0 の N プリカーサーハローポケット 4 9 0 P 及び 4 9 2 P は、夫々、その P + プリカーサー S / D 延長部 4 8 0 E P 及び 4 8 2 E P を越えて、そのプリカーサーゲート電極 5 0 2 P の下側を或る程度（即ち途中）まで横方向に延在している。I G F E T 1 2 2 の N プリカーサーハローポケットは、同様に、夫々、その P + プリカーサー S / D 延長部を越えて、そのプリカーサーゲート電極の下側を或る程度まで横方向に延在している。

【0727】

角度付き N 型 S / D ハロー注入用の傾斜角度 α は少なくとも 15° であり、通常は $20^\circ - 45^\circ$ であり、典型的には 30° である。角度付き N 型 S / D ハロー注入は、基本方位角値 β_0 が約 45° に等しい 4 象限注入である。N 型 S / D ハロードーパントのドーズ量は、通常 $1 \times 10^{13} - 5 \times 10^{13}$ イオン数 / cm^2 であり、典型的には 2.5×10^{13} イオン数 / cm^2 である。N 型 S / D ハロー注入ドーズ量の約四分の一が各方位角値において注入される。N 型 S / D ハロードーパントは、通常、砒素又は燐から構成されている。砒素が N 型 S / D ハロードーパントを構成する典型的な場合には、注入エネルギーは $100 - 200 \text{ keV}$ であり、典型的には 150 keV である。N 型 S / D ハロー注入は、P 型浅い S / D 延長部注入の前に、ホトレジスト 9 5 6 を共に実施することが可能である。

【0728】

非対称的 P チャンネル I G F E T 1 0 2 のドレイン延長部 2 8 2 E に対する位置の上方及び対称的 P チャンネル I G F E T 1 1 4 及び 1 1 8 の島状部 1 5 4 及び 1 5 8 の上方に開口を有するホトレジストマスク 9 5 8 が、図 3 3 t に示した如くに、誘電体層 9 4 6 及び 9 4 8 上に形成される。ホトレジストマスク 9 5 8 は I G F E T 1 0 2 のプリカーサーゲート電極 3 0 2 P に対してクリチカルに整合される。クリチカルホトレジスト 9 5 8 も対称的 P チャンネル I G F E T 1 2 6 に対する島状部 1 6 6 の上方に開口（不図示）を有している。

【0729】

P 型ディープ S / D 延長部ドーパントが、多少傾斜した態様で、高いドーズ量で、ホトレジスト 9 5 8 における開口を介して、表面誘電体 9 4 8 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) I G F E T 1 0 2 のドレイン延長部 2 8 2 E に対する P + プリカーサー 2 8 2 E P、(b) I G F E T 1 1 4 の夫々の S / D 延長部 5 5 0 E 及び 5 5 2 E に対する一対の横方向に分離されたほぼ同一の P + プリカーサー 5 5 0 E P 及び 5 5 2 E P、(c) I G F E T 1 1 8 の夫々の S / D 延長部 6 1 0 E 及び 6 1 2 E に対する一対の横方向に分離されたほぼ同一の P + プリカーサー 6 1 0 E P 及び 6 1 2 E P、及び (d) I G F E T 1 2 6 の夫々の S / D 延長部 7 5 0 E 及び 7 5 2 E に対する一対の横方向に分離されたほぼ同一の P + プリカーサー（不図示）、を画定する。

【0730】

P 型ディープ S / D 延長部注入に対する傾斜角度 α は約 7° である。傾斜角度 α の小さな値での P 型ディープ S / D 延長部ドーパントの注入のために、非対称的 I G F E T 1 0 2 のプリカーサードレイン延長部 2 8 2 E P は今やそのプリカーサーゲート電極 3 0 2 P の下側を僅かに横方向に延在している。I G F E T 1 1 4 のプリカーサー S / D 延長部 5 5 0 E P 及び 5 5 2 E P も同様にそのプリカーサーゲート電極 5 6 8 P の下側を僅かに横方向に延在している。I G F E T 1 1 8 のプリカーサー S / D 延長部 6 1 0 E P 及び 6 1 2 E P は、そのプリカーサーゲート電極 6 2 8 P の下側を僅かに横方向に延在している。おなじことが、そのプリカーサーゲート電極と相対的に I G F E T 1 2 6 の S / D 延長部 7 5 0 E 及び 7 5 2 E に対するプリカーサーの場合に発生する。ホトレジスト 9 5 8 を除去する。

【0731】

更に以下に説明するように、P型S/D延長部注入は、代替的に、角度付き注入を構成するのに十分な傾斜におけるものを包含して、著しく傾斜させた態様で実施することが可能である。このことに鑑み、図33tにおけるP型S/D延長部注入を表す矢印は垂直に対して傾けて示されているが、図33oのN型ディープS/D延長部注入のような著しく傾斜させた態様で実施されるイオン注入を表す矢印ほど傾いてはいない。

【0732】

P型ディープS/D延長部注入は、基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい4象限注入である。P型ディープS/D延長部ドーパントのドーズ量は、通常 $2 \times 10^{13} - 2 \times 10^{14}$ イオン数/cm²であり、典型的には 8×10^{13} イオン数/cm²である。P型ディープS/D延長部注入ドーズ量の約四分の一が各方位角値において注入される。P型ディープS/D延長部ドーパントは、通常、二フッ化ボロンの形態か又は元素形態におけるボロンから構成されている。二フッ化ボロンの形態におけるボロンがP型ディープS/D延長部ドーパントを構成している典型的な場合には、注入エネルギーは通常5-20keVであり、典型的には10keVである。

【0733】

非対称的PチャンネルIGFET102のソース延長部280Eの位置の上方及び延長型ドレインPチャンネルIGFET106のソース延長部360Eに対する位置の上方に開口を有しているホトレジストマスク960が誘電体層946及び948の上に形成される。図33uを参照のこと。ホトレジストマスク960はIGFET102及び106のプリカーサーゲート電極302P及び386Pに対してクリチカル即ち臨界的に整合される。P型浅いソース延長部ドーパントが、高いドーズ量で、クリチカルホトレジスト960における開口を介して、表面絶縁体948の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a)IGFET102のソース延長部280Eに対するP+プリカーサー280EP、及び(b)IGFET106のソース延長部360Eに対するP+プリカーサー360EP、を画定する。

【0734】

P型浅いソース延長部注入は、通常、同じP型ドーパントのボロンで、僅かに傾斜したP型ディープS/D延長部注入として、実施される。これらの2つのP型注入も、通常、同じP型ドーパント含有粒子種、即ち二フッ化ボロンか元素ボロンのいずれか、でもって同じ粒子イオン化電荷状態で実施される。

【0735】

P型浅いソース延長部注入は、傾斜角度 α が約 7° に等しく且つ基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい、4象限注入である。P型浅いソース延長部注入が上部半導体表面にほぼ平行に延在する面に対してほぼ垂直に実施されるので、非対称的PチャンネルIGFET102のプリカーサーソース延長部280EPはプリカーサーゲート電極302Pの下側を僅かに横方向に延在するに過ぎない。

【0736】

P型浅いソース延長部ドーパントのドーズ量は、通常、 $2 \times 10^{13} - 2 \times 10^{14}$ イオン数/cm²であり、典型的には 8×10^{13} イオン数/cm²である。P型浅いソース延長部注入ドーズ量の約四分の一が各方位角値において注入される。二フッ化ボロンの形態におけるボロンがP型浅いソース延長部ドーパントを構成している典型的な場合には、注入エネルギーは、通常、4-20keVであり、典型的には10keVである。

【0737】

P型ディープS/D延長部注入も傾斜角度 α が約 7° であり且つ基本方位角値 β_0 が $20^\circ - 25^\circ$ に等しい4象限注入である。前述した注入ドーズ量及びエネルギー情報を検討すると、P型浅いソース延長部注入及びP型ディープS/D延長部注入は同じ典型的な値の注入ドーズ量及びエネルギーを使用していることが分かる。これらの2つのP型注入は、通常、P型半導体ドーパントの同じ原子種で且つ同じ粒子イオン化電荷状態にある同じP型ドーパント含有粒子種で実施されるので、これらの2つのP型注入は、典型的に、同じ条件において実施される。その結果、非対称的PチャンネルIGFET102のプリカー

サードレイン延長部 282EP における P 型ディープ S/D 延長部ドーパントの最大濃度の深さ y_{DEPK} は、典型的に、プリカーサーソース延長部 280EP における P 型浅いソース延長部ドーパントの最大濃度の深さ y_{SEPK} と同じである。

【0738】

P 型注入ディープ S/D 延長部ドーパント及び P 型注入浅いソース延長部ドーパントは、昇温において実施される後のステップ期間中に、熱拡散を経験する。イオン注入した半導体ドーパントの熱拡散は、それを広げさせるが、通常、その最大濃度の位置を著しく垂直方向に影響を与えるものではない。従って、P チャンネル IGFET 102 のプリカーサーソース延長部 280EP における P 型浅いソース延長部ドーパントの最大濃度は、通常、最終的なソース延長部 280E と垂直方向にほぼ同じ位置に沿って発生し、従って、通常、ソース延長部 280E における全 P 型ドーパントの最大濃度と垂直方向にほぼ同じ位置に沿って発生する。IGFET 102 のプリカーサードレイン延長部 282EP における P 型ディープ S/D 延長部ドーパントの最大濃度は、同様に、通常、最終的なドレイン延長部 282E と垂直方向にほぼ同じ位置に沿って、従って、通常、最終的なドレイン延長部 282E における全 P 型ドーパントの最大濃度と垂直方向に沿ってほぼ同じ位置に発生する。これらの理由のために、IGFET 102 の最終的なドレイン延長部 282E における P 型ディープ S/D 延長部ドーパントの最大濃度の深さ y_{DEPK} は、典型的に、最終的なソース延長部 280E における P 型浅いソース延長部ドーパントの最大濃度の深さ y_{SEPK} と同じである。

【0739】

クリチカルホトレジスト 960 が未だに所定位置にある場合に、N 型ソースハロドーパントを、著しく角度を付けた態様で、中程度のドーズ量で、ホトレジスト 960 における開口を介して、表面誘電体層 948 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) 非対称的 IGFET 102 のハローポケット部分 290 に対する N プリカーサー 290P、及び (b) 延長型ドレイン IGFET 106 のハローポケット部分 366 に対する N プリカーサー 366P、を画定する。図 33v を参照のこと。ホトレジスト 960 を除去する。

【0740】

N プリカーサーハローポケット部分 290P 及び 366P は、夫々、IGFET 102 及び 106 の P+プリカーサーソース延長部 280EP 及び 360EP よりも一層深くに延在している。N 型ソースハロドーパントの角度を付けた注入に起因して、IGFET 102 の N プリカーサーハローポケット 290P は、そのプリカーサーゲート電極 302P の下側を或る程度だけ且つその P+プリカーサーソース延長部 280EP を超えて、延在している。IGFET 106 の N プリカーサーハローポケット 366P は、同様に、そのプリカーサーゲート電極 386P の下側を或る程度だけ且つその P+プリカーサーソース延長部 360EP を超えて、延在している。

【0741】

角度付き N 型ソースハロー注入用の傾斜角度 α は、少なくとも 15° で、通常は $20^\circ - 45^\circ$ であり、典型的には 30° である。角度付き N 型ソースハロー注入は、基本方位角値 β_0 が約 45° に等しい 4 象限注入である。N 型ソースハロドーパントのドーズ量は、通常、 $2 \times 10^{13} - 8 \times 10^{14}$ イオン数/cm² であり、典型的には約 4×10^{13} イオン数/cm² である。N 型ソースハロー注入ドーズ量の約四分の一が各方位角値において注入される。N 型ソースハロドーパントは、通常、砒素又は燐から構成されている。砒素が N 型ソースハロドーパントを構成する典型的な場合には、注入エネルギーは $75 - 150 \text{ keV}$ であり、典型的には 125 keV である。N 型ソースハロー注入は、P 型浅いソース延長部注入の前に、ホトレジスト 960 と共に実施することが可能である。

【0742】

横方向 S/D 延長部及びハローポケット部分を画定するために使用されるホトレジストマスク 950, 952, 954, 956, 958, 960 は、任意の順番で使用するこ

が可能である。ホトレジストマスク 950, 952, 954, 956, 958, 960 の特定の一つによって画定される横方向 S/D 延長部又はハローポケット部分のどれかが図 33 の半導体製造プラットフォームの実現例に従って製造される IGFET 内には存在しない場合には、そのマスク及びその関連する注入操作は該プラットフォーム実現例から削除することが可能である。

【0743】

付加的な RTA を結果的に得られる半導体構成体について実施して、注入した P 型及び N 型の S/D 延長部ドーパント及びハローポケットドーパントによって発生された格子損傷を修復し且つ該 S/D 延長部ドーパント及びハローポケットドーパントの原子をエネルギー的に一層安定した状態に配置させる。該付加的な RTA は、非反応性環境において、900-1050℃、典型的には 950-1000℃において、10-50 秒、典型的には 25 秒で実施される。

【0744】

該付加的な RTA は、該 S/D 延長部ドーパント及びハローポケットドーパントを垂直方向及び横方向に拡散させる。ウエルドーパント、APTドーパント、及びスレッショールド調節ドーパント、特に空の主要ウエルドーパント、が該付加的な RTA 期間中に、更に垂直方向及び横方向に拡散する。図 33 の残りの部分は、空の主要ウエルドーパントの上方拡散を表しているに過ぎない。プリカーサー空の主要ウエル領域 180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P 及び空の主要ウエル領域 204 及び 206 に対するプリカーサーが、誘電体層 946 及び 948 の熱成長の終りまでに上部半導体表面に到達しない場合には、プリカーサー空の主要ウエル領域 180P, 182P, 184AP, 184BP, 186AP, 186BP, 192P, 194P 及び空の主要ウエル領域 204 及び 206 に対するプリカーサーは、通常、該付加的な RTA の終りまでに上部半導体表面に到達する。この状態を図 33 の残りの部分に表してある。

【0745】

分離（孤立）した P-エピタキシャル層部分 136P1-136P7 及び P-エピタキシャル層 136 のその他の分離（孤立）した部分は、ゼロへ収縮し、図 33 の残りの部分において表われることは無い。P-エピタキシャル層 136P は実質的に P-基板領域 136 となる。延長型ドレイン N チャンネル IGFET 104 の場合には、P-基板領域 136 の表面隣接部分 136A が、P プリカーサー空の主要ウエル領域 184AP と N プリカーサー空の主要ウエル領域 184BP とを横方向に分離させる。延長型ドレイン P チャンネル IGFET 106 の場合には、P-基板領域 136 の表面隣接部分 136B が、N プリカーサー空の主要ウエル領域 186AP、P プリカーサー空の主要ウエル領域 186BP、ディープ N ウエル 212 の間に位置されている。

【0746】

N5. ゲート側壁スペーサ及びソース／ドレインゾーンの主要部分の形成

ゲート側壁スペーサ 264, 266, 304, 306, 348, 350, 388, 390, 464, 466, 504, 506, 540, 542, 570, 572, 600, 602, 630, 632 は、図 33w に示した如く、プリカーサーポリシリコンゲート電極 262P, 302P, 346P, 386P, 462P, 502P, 538P, 568P, 598P, 628P の横断方向側壁に沿って形成されている。ゲート側壁スペーサ 664, 666, 704, 706, 740, 743, 770, 772, 800, 802, 830, 832, 860, 862, 890, 892 は、ポリシリコンゲート電極 662, 702, 738, 768, 798, 828, 858, 888 に対するプリカーサーの横断方向側壁に沿って同時的に形成される。

【0747】

例示した IGFET のゲート側壁スペーサは、好適には、上に引用した国際特許出願____、代理人ドケツと番号 NS-7192WO に記載されている手順に従って湾曲型

10

20

30

40

50

三角形状のものとして形成される。簡単に説明すると、テトラエチルオルトシリケートの誘電体ライナー層（不図示）を誘電体層 946 及び 948 上に付着させる。更なる誘電体物質を該ライナー層上に付着させる。次いで、ゲート側壁スペーサを構成することが意図されていない該更なる誘電体物質の部分が、主に上部半導体表面に対してほぼ垂直に行われる非等方性エッチングによって、除去される。図 33w におけるシール用誘電体層 962 は、シール層 946 とその上側に存在する該ライナー層の物質との結果的に得られる結合を表している。表面誘電体層 964 は、表面層 948 とその上側に存在する該ライナー層の物質との結果的に得られる結合を表している。

【0748】

側壁スペーサ（不図示）は、ポリシリコン抵抗であることが設計されているゲート電極ポリシリコン層の任意の部分に沿って同時的に与えられる。

【0749】

Nチャンネル IGFET 100, 104, 108, 112, 116 に対する島状部 140, 144A, 144B, 148, 152, 156 の上方に開口を有するホトレジストマスク 970 が誘電体層 962 及び 964 及びゲート側壁スペーサ上に形成される。図 33x を参照のこと。ホトレジストマスク 970 も、Nチャンネル IGFET 120, 124, 128, 130, 132, 134 に対する島状部 160, 164, 168, 170, 172, 174 上方に開口（不図示）を有している。

【0750】

N型主要 S/D ドーパントが、非常に高いドーズ量で、ホトレジスト 970 における開口を介して、表面誘電体層 964 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、（a）非対称的 IGFET 100 の N++ 主要ソース部分 240M 及び N++ 主要ドレイン部分 242M、（b）延長型ドレイン Nチャンネル IGFET 104 の N++ 主要ソース部分 320M 及び N++ ドレインコンタクト部分 334、及び（c）対称的 Nチャンネル IGFET の N++ 主要 S/D 部分 440M, 442M, 520M, 522M, 580M, 582M, 640M, 642M, 720M, 722M, 780M, 782M, 810M, 812M, 840M, 842M, 870M, 872M、を画定する。N型主要 S/D ドーパントも例示した Nチャンネル IGFET 用のプリカーサーゲート電極内に入り、それによりこれらのプリカーサー電極を夫々 N++ ゲート電極 262, 346, 462, 538, 598, 662, 738, 798, 828, 858, 888 へ変換させる。ホトレジスト 970 を除去する。

【0751】

N型主要 S/D ドーパントのドーズ量は、通常 $2 \times 10^{15} - 2 \times 10^{16}$ イオン数/cm² であり、典型的には 7×10^{15} イオン数/cm² である。N型主要 S/D ドーパントは、通常、砒素又は磷から構成されている。砒素が N型主要 S/D ドーパントを構成している典型的な場合には、注入エネルギーは通常 50 - 100 keV であり、典型的には 60 - 70 keV である。

【0752】

初期的スパイクアニールがこの時点において結果的に得られる半導体構成に対して通常実施されて、注入された N型主要 S/D ドーパントによって発生された格子損傷を修復し且つ N型主要 S/D ドーパントの原子をエネルギー的に一層安定な状態に配置させる。該スパイクアニールは、半導体構成体の温度を 1000 - 1200 °C、典型的には 1100 °C へ上昇させることによって行われる。通常、該初期的スパイクアニール期間中に、注入された P型及び N型ドーパントの著しい拡散が発生する。何故ならば、該スパイクアニール温度は極めて高いからである。該スパイクアニールは、又、例示した Nチャンネル IGFET 用のゲート電極内の N型主要 S/D ドーパントを広げさせる。

【0753】

該初期的スパイクアニールが完了すると、非対称的 Nチャンネル IGFET 100 の N++ 主要 S/D 部分 240M 及び 242M 外側のプリカーサー領域 240EP, 242EP, 250P の部分が、今や、夫々、その N+ ソース延長部 204E、その N+ ドレイン

10

20

30

40

50

延長部 2 4 2 E、及びその P ソース側ハローポケット部分 2 5 0 を実質的に構成する。ソース 2 4 0、ドレイン 2 4 2、及びハローポケット部分 2 5 0 外側の、今は P 型空のウェルボディ物質 1 8 0 である P プリカーサー空の主要ウェル領域 1 8 0 P の部分は、I G F E T 1 0 0 の P 型空のウェル主要ボディ物質部分 2 5 4 を実質的に構成する。プリカーサー点線 2 5 6 P は、今は、実質的に点線 2 5 6 であり、それは、上方へ移る場合に、主要ボディ物質部分 2 5 4 内の P 型ドーピングが中程度から軽度へ降下する箇所の境界を示している。

【0754】

延長型ドレイン N チャンネル I G F E T 1 0 4 の N ++ 主要ソース部分 3 2 0 M 外側のプリカーサー領域 3 2 0 E P 及び 3 2 6 P の部分は、夫々、その N + ソース延長部 3 2 0 E 及びその P ソース側ハローポケット部分 3 2 6 を実質的に構成している。ハローポケット部分 3 2 6 外側の、今は、P 型空のウェルボディ物質 1 8 4 A である P プリカーサー空の主要ウェル領域 1 8 4 A P の部分は、実質的に、I G F E T 1 0 4 の P ボディ物質部分 3 2 8 を構成している。N ++ 外部ドレインコンタクト部分 3 3 4 外側の、今はドレイン 1 8 4 B である、N プリカーサー空の主要ウェル領域 1 8 4 B P の部分は、実質的に I G F E T 1 0 4 の N からのウェルドレイン部分 3 3 6 を構成している。プリカーサー点線 3 3 2 P 及び 3 4 0 P は、今は、実質的に、夫々の点線 3 3 2 及び 3 4 0 であり、それらは、夫々、ボディ物質部分 3 2 8 及びドレイン部分 3 3 6 における正味のドーピングが、上方へ移る場合に、中程度から軽度へ降下する境界を示している。

【0755】

対称的 N チャンネル I G F E T 1 0 8 の N ++ 主要 S / D 部分 4 4 0 M 及び 4 4 2 M 外側のプリカーサー部分 4 4 0 E P、4 4 2 E P、4 5 0 E P、4 5 2 E P の部分は、夫々、実質的に、その N + S / D 延長部 4 4 0 E 及び 4 4 2 E 及びその P ハローポケット部分 4 5 0 及び 4 5 2 を構成している。S / D ゾーン 4 4 0 及び 4 4 2 及びハローポケット 4 5 0 及び 4 5 2 外側の P プリカーサーボディ物質部分 4 5 6 P 及び 4 5 8 P の部分は、実質的に、I G F E T 1 0 8 の P ボディ物質部分 4 5 6 及び 4 5 8 を構成している。S / D ゾーン 4 4 0 及び 4 4 2 外側の P プリカーサー充填した主要ウェル領域 1 8 8 P の部分は、実質的に、P ボディ物質部分 4 5 4、4 5 6、4 5 8 と形成される P 型充填した主要ウェル領域 1 8 8 を構成している。

【0756】

対称的 N チャンネル I G F E T 1 1 2 の N ++ 主要 S / D 部分 5 2 0 M 及び 5 2 2 M 外側のプリカーサー領域 5 2 0 E P 及び 5 2 2 E P の部分は、夫々、実質的に、その N + S / D 延長部 5 2 0 E 及び 5 2 2 E を構成している。S / D ゾーン 5 2 0 及び 5 2 2 外側の P プリカーサー空の主要ウェル領域 1 9 2 P の部分は、実質的に、I G F E T 1 1 2 の P 型ボディ物質からの主要ウェル 1 9 2 を構成している。プリカーサー点線 5 3 0 P は、今は、実質的に点線 5 3 0 であり、それは、ボディ物質空の主要ウェル 1 9 2 における P 型ドーピングが、上方に移る場合に、中程度から軽度へ降下する位置の境界を示している。

【0757】

対称的 N チャンネル I G F E T 1 1 6 の N ++ 主要 S / D 部分 5 8 0 M 及び 5 8 2 M 外側のプリカーサー領域 5 8 0 E P 及び 5 8 2 E P の部分は、夫々、実質的に、その N + S / D 延長部 5 8 0 E 及び 5 8 2 E を構成している。S / D ゾーン 5 8 0 及び 5 8 2 外側の P プリカーサーボディ物質部分 5 9 2 P 及び 5 9 4 P の部分は、夫々、実質的に、I G F E T 1 1 6 の P ボディ物質部分 5 9 2 及び 5 9 4 を構成している。S / D ゾーン 5 8 0 及び 5 8 2 外側の P プリカーサー充填した主要ウェル領域 1 9 6 P の部分は、実質的に、P ボディ物質部分 5 9 0、5 9 2、5 9 4 とで形成される P 型充填した主要ウェル領域 1 9 6 を構成している。

【0758】

対称的 N チャンネル I G F E T 1 2 0 の N ++ 主要 S / D 部分 6 4 0 M 及び 6 4 2 M 外側の領域 6 4 0 E、6 4 2 E、6 5 0、6 5 2 に対するプリカーサーの部分は、夫々、実質的に、その N + S / D 延長部 6 4 0 E 及び 6 4 2 E 及びその P ハローポケット部分 6 5

0及び652を構成している。S/Dゾーン640及び643及びハローポケット650及び652外側の更なるボディ物質部分656に対するPプリカーサーの部分は、実質的に、IGFET126のP更なるボディ物質部分656を構成している。S/Dゾーン640及び642外側の充填した主要ウエル領域200に対するPプリカーサーの部分は、実質的に、Pボディ物質部分654及び656で形成したP型充填した主要ウエル領域200を構成している。

【0759】

対称的NチャンネルIGFET124のN++主要S/D部分720M及び722M外側の領域720E及び722Eに対するプリカーサーの部分は、夫々、実質的に、そのN+S/D延長部720E及び722Eを構成している。S/Dゾーン720及び722外側の空の主要ウエル領域204に対するPプリカーサーの部分は、実質的に、IGFET124のP型ボディ物質空の主要ウエル204を構成している。

【0760】

対称的ネイティブNチャンネルIGFET128, 130, 132, 134に移ると、IGFET128のN++主要S/D部分780M及び782M外側の領域780E, 782E, 790, 792に対するプリカーサーの部分は、夫々、実質的に、そのN+S/D延長部780E及び782E及びそのPハローポケット部分790及び792を構成している。IGFET130のN++主要S/D部分810M及び812M外側の領域810E及び812Eに対するプリカーサーの部分は、夫々、実質的に、そのN+S/D延長部810E及び812Eを構成している。IGFET132のN++主要S/D部分840M及び842M外側の領域840E, 842E, 850, 852に対するプリカーサーの部分は、夫々、実質的に、そのN+S/D延長部840E及び842E及びそのPハローポケット部分850及び852を構成している。IGFET134のN++主要S/D部分870M及び872M外側の領域870E及び872Eに対するプリカーサーの部分は、夫々、実質的に、そのN+S/D延長部870E及び872Eを構成している。

【0761】

NチャンネルIGFET108のプリカーサーS/D延長部440EP及び442EP、NチャンネルIGFET120のS/D延長部640E及び642Eに対するプリカーサー、NチャンネルIGFET128のS/D延長部780E及び782Eに対するプリカーサー、及びNチャンネルIGFET132のS/D延長部840E及び842Eに対するプリカーサー、に対するN型浅いS/D延長部注入は、NチャンネルIGFET100のプリカーサードレイン延長部242EP、NチャンネルIGFET112のプリカーサーS/D延長部520EP及び522EP、NチャンネルIGFET116のプリカーサーS/D延長部580EP及び582EP、NチャンネルIGFET124のS/D延長部720E及び722Eに対するプリカーサー、及びNチャンネルIGFET134のS/D延長部870E及び872Eに対するプリカーサー、に対するN型ディープS/D延長部注入よりもかなり一層大きなドーズ量において実施されていた。特に、N型浅いS/D延長部注入用の $1 \times 10^{14} - 1 \times 10^{15}$ イオン数/cm²で、典型的には 5×10^{14} イオン数/cm²のドーズ量は、通常、N型ディープS/D延長部注入用の $2 \times 10^{13} - 1 \times 10^{14}$ イオン数/cm²で、典型的には $5 \times 10^{13} - 6 \times 10^{13}$ イオン数/cm²のドーズ量の10倍近傍である。その結果、IGFET100のドレイン延長部242E、IGFET112のS/D延長部520E及び522E、IGFET116のS/D延長部580E及び582E、IGFET124のS/D延長部720E及び722E、IGFET130のS/D延長部810E及び812E、及びIGFET134のS/D延長部870E及び872E、は全て、IGFET108のS/D延長部440E及び442E、IGFET120のS/D延長部640E及び642E、IGFET128のS/D延長部780E及び782E、及びIGFET132のS/D延長部840E及び842E、よりも一層軽度にドーブされている。

【0762】

NチャンネルIGFET100のプリカーサーソース延長部240EP及びNチャネル

ル I G F E T 1 0 4 のプリカーサーソース延長部 3 2 0 E P、に対する N 型浅いソース延長部注入は、I G F E T 1 0 0 のプリカーサードレイン延長部 2 4 2 E P、N チャンネル I G F E T 1 1 2 のプリカーサー S / D 延長部 5 2 0 E P 及び 5 2 2 E P、I G F E T 1 1 6 のプリカーサー S / D 延長部 5 8 0 E 及び 5 8 2 E P、N チャンネル I G F E T 1 2 4 の S / D 延長部 7 2 0 E 及び 7 2 2 E に対するプリカーサー、N チャンネル I G F E T 1 3 0 の S / D 延長部 8 1 0 E 及び 8 1 2 E に対するプリカーサー、及び N チャンネル I G F E T 1 3 4 の S / D 延長部 8 7 0 E 及び 8 7 2 E に対するプリカーサ、に対する N 型ディープ S / D 延長部注入よりもかなり一層大きいドーズ量において実施されていた。N 型浅い S / D 延長部注入の場合のように、N 型浅いソース延長部注入用の $1 \times 10^{14} - 1 \times 10^{15}$ イオン数 / cm^2 、典型的には 5×10^{14} イオン数 / cm^2 のドーズ量は、通常、N 型ディープ S / D 延長部注入用の $2 \times 10^{13} - 1 \times 10^{14}$ イオン数 / cm^2 、典型的には $5 \times 10^{13} - 6 \times 10^{13}$ イオン数 / cm^2 のドーズ量の 10 倍近傍にある。その結果、I G F E T 1 0 0 のドレイン延長部 2 4 2 E、I G F E T 1 1 2 の S / D 延長部 5 2 0 E 及び 5 2 2 E、I G F E T 1 1 6 の S / D 延長部 5 8 0 E 及び 5 8 2 E、I G F E T 1 2 4 の S / D 延長部 7 2 0 E 及び 7 2 2 E、I G F E T 1 3 0 の S / D 延長部 8 1 0 E 及び 8 1 2 E、及び I G F E T 1 3 4 の S / D 延長部 8 7 0 E 及び 8 7 2 E は、全て、I G F E T 1 0 0 のソース延長部 2 4 0 E 及び I G F E T 1 0 4 のソース延長部 3 2 0 E よりも一層軽度ドーピングされている。

【0763】

以下に更に説明するように、例示した N チャンネル I G F E T のソース・ボディ接合及びドレイン・ボディ接合は、ここでは N 型接合グレイディング (grading) ドーパントとして呼称する N 型半導体ドーパントをホトレジストマスク 9 7 0 が所定位置にある間にその中の開口を介して注入することによって、接合容量を減少させるために垂直方向にグレードを付ける即ち勾配を付けることが可能である。N 型主要又は接合グレイディング S / D 注入のいずれかを先に実施することが可能である。いずれの場合においても、初期的スパイクアニールが、注入された N 型接合グレイディング S / D ドーパントによって発生された格子損傷を修復し且つ N 型接合グレイディング S / D ドーパントの原子をエネルギー的に一層安定した状態に配置させる。

【0764】

P チャンネル I G F E T 1 0 2, 1 0 6, 1 1 0, 1 1 4, 1 1 8 用の島状部 1 4 2, 1 4 6 A, 1 4 6 B, 1 5 0, 1 5 4, 1 5 8 上方に開口を有するホトレジストマスク 9 7 2 が、図 3 3 y に表したように、誘電体層 9 6 2 及び 9 6 4 及びゲート側壁スペーサ上に形成される。ホトレジストマスク 9 7 2 も P チャンネル I G F E T 1 2 2 及び 1 2 6 用の島状部 1 6 2 及び 1 6 6 上方に開口 (不図示) を有している。

【0765】

P 型主要 S / D ドーパントが、非常に高いドーズ量で、ホトレジスト 9 7 2 における開口を介して、表面誘電体層 9 6 4 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) 非対称的 P チャンネル I G F E T 1 0 2 の P ++ 主要ソース部分 2 8 0 M 及び P ++ 主要ドレイン部分 2 8 2 M、(b) 延長型ドレイン P チャンネル I G F E T 1 0 6 の P ++ 主要ソース部分 3 6 0 M 及び P ++ 主要ドレインコンタクト部分 3 7 4、及び (c) 例示した対称的 P チャンネル I G F E T の P ++ 主要 S / D 部分 4 8 0 M, 4 8 2 M, 5 5 0 M, 5 5 2 M, 6 1 0 M, 6 1 2 M, 6 8 0 M, 6 8 2 M, 7 5 0 M, 7 5 2 M、を画定する。該 P 型主要 S / D ドーパントは、又、P チャンネル I G F E T 用のプリカーサーゲート電極内に入り、それにより、これらのプリカーサー電極を、夫々、P ++ ゲート電極 3 0 2, 3 8 6, 5 0 2, 5 6 8, 6 2 8, 7 0 2, 7 6 8 へ変換させる。ホトレジスト 9 7 2 を除去する。

【0766】

P 型主要 S / D ドーパントのドーズ量は通常 $2 \times 10^{15} - 2 \times 10^{16}$ イオン数 / cm^2 であり、典型的には約 7×10^{15} イオン数 / cm^2 である。P 型主要 S / D ドーパントは、通常、元素の形態におけるか又は二フッ化ボロンの形態におけるボロンから構成

されている。P型主要S/Dドーパントが元素のボロンから構成されている典型的な場合には、注入エネルギーは通常2-10keVであり、典型的には5keVである。

【0767】

ポリシリコン抵抗として指定されているゲート電極ポリシリコン層のいずれの部分も、典型的に、ゲート電極ポリシリコン層の付着に続いて実施される上述したドーピングステップの内の一つ又はそれ以上の期間中にN型又はP型半導体ドーパントでドーピングされる。例えば、ポリシリコン抵抗部分は、N型主要S/Dドーパント又はP型主要S/Dドーパントでドーピングすることが可能である。

【0768】

更なるスパイクアニールが、今や、結果的に得られる半導体構成体について実施されて、注入されたP型主要S/Dドーパントによって発生された格子損傷を修復し且つP型主要S/Dドーパントの原子をエネルギー的に一層安定な状態に配置させる。該更なるスパイクアニールは、半導体構成体の温度を900-1200℃、典型的には1100℃、へ上昇させることによって行われる。該更なるスパイクアニール期間中に注入されたP型又はN型ドーパントの著しい拡散が通常発生する。何故ならば、該更なるスパイクアニール温度は極めて高いからである。該更なるスパイクアニールも、例示したPチャンネルIGFETのゲート電極内のP型主要S/Dドーパントを広げさせる。

【0769】

N型主要S/Dドーパントとして使用した該元素（砒素又は磷）の原子は、P型主要S/Dドーパントとして使用される元素であるボロンの原子よりも一層大きい。その結果、N型主要S/D注入は、ボロンP型主要S/D注入よりも一層多くの格子損傷を発生させる蓋然性がある。N型主要S/D注入直後に実施される該初期的スパイクアニールが該N型主要S/D注入によって発生された格子損傷の全てを修復するものではない場合には、該更なるスパイクアニールが該N型主要S/D注入によって発生された格子損傷の残留物を修復する。更に、N型主要S/Dドーパントとして使用されるいずれの元素よりも、ボロンは一層早く、従って昇温拡散刺激の与えられた量に対して一層遠くに拡散する。該N型主要S/D注入及び関連するスパイクアニールを実施した後に、P型主要S/D注入及び関連するスパイクアニールを実施することによって、N型主要S/Dドーパントの著しい不所望な拡散が発生すること無しに、P型主要S/Dドーパントの不所望な拡散が回避される。

【0770】

該更なるスパイクアニールの完了後、非対称的PチャンネルIGFET102のP++主要S/D部分280M及び282M外側のプリカーサー領域280EP、282EP、290Pの部分は、夫々、そのP+ソース延長部280E、そのPドレイン延長部282E、及びそのNソース側ハローポケット部分290を構成する。ソース280、ドレイン282、及びハローポケット部分290外側の今はN型空のウエルボディ物質182であるNプリカーサー空の主要ウエル領域182Pの部分は、IGFET102のN型空のウエル主要ボディ物質部分294を構成する。プリカーサー点線296Pは今や点線296であり、それは、主要ボディ物質部分294内のN型ドーピングが、上方へ移る場合に、中程度から軽度へ降下する境界を概略的に示している。

【0771】

延長型ドレインPチャンネルIGFET106のP++主要ソース部分360M外側のプリカーサー領域360EP及び366Pの部分は、夫々、そのP+ソース延長部360E及びそのNソース側ハローポケット部分366を構成している。ハローポケット部分366外側の今はN型空のウエルボディ部分186AであるNプリカーサー空の主要ウエル領域186APの部分は、IGFET106のNボディ物質部分368を構成している。P++外部ドレインコンタクト部分374外側の今は空のウエル領域186BであるPプリカーサー空の主要ウエル領域186BPの部分は、IGFET106のP空のウエルドレイン部分376を構成している。プリカーサー点線372P及び380Pは今は夫々点線372及び380であり、それらは、夫々、ボディ物質部分368及びドレイン部分3

10

20

30

40

50

76における正味ドーピングが、上方へ移る場合に、中程度から軽度へ降下する境界を示している。

【0772】

対称的PチャンネルIGFET110のP++主要S/D部分480M及び482M外側のプリカーサー領域480EP, 482EP, 490E, 492Eの部分は、夫々、そのP+S/D延長部480E及び482E及びそのNハローポケット部分490及び492を構成している。S/Dゾーン480及び482及びハローポケット490及び492外側のNプリカーサーボディ物質部分496P及び498Pの部分は、IGFET110のNボディ物質部分496及び498を構成している。S/Dゾーン480及び482外側のNプリカーサー充填した主要ウェル領域190Pの部分は、Nボディ物質部分494, 496, 498で形成したN型充填した主要ウェル領域190を構成している。

10

【0773】

対称的PチャンネルIGFET114のP++主要S/D部分550M及び552M外側のプリカーサー領域550EP及び552EPの部分は、夫々、そのP+S/D延長部550E及び552Eを構成している。S/Dゾーン550及び552外側のNプリカーサー空の主要ウェル領域194Pの部分は、IGFET114のN型ボディ物質空の主要ウェル194を構成している。プリカーサー点線560Pは今は点線560であり、それは、ボディ物質空の主要ウェル194内のN型ドーピングが、上方へ移る場合に、中程度から軽度へ降下する境界を示している。

【0774】

20

対称的PチャンネルIGFET118のP++S/D部分610M及び612M外側のプリカーサー領域610EP及び612EPの部分は、夫々、そのP+S/D延長部610E及び612Eを構成している。S/Dゾーン610及び612外側のNプリカーサーボディ物質部分622P及び624Pの部分は、夫々、IGFET118のNボディ物質部分622及び624を構成している。S/Dゾーン610及び612外側のNプリカーサー充填した主要ウェル領域198Pの部分は、Nボディ物質部分620, 622, 624で形成されているN型充填した主要ウェル領域198を構成している。

【0775】

対称的PチャンネルIGFET122のP++主要S/D部分680M及び682M外側の領域680E, 682E, 690, 692に対するプリカーサーの部分は、夫々、そのP+S/D延長部680E及び682E及びそのハローポケット部分690及び692を構成している。S/Dゾーン680及び682及びハローポケット690及び692外側の更なるボディ物質部分696に対するNプリカーサーの部分は、IGFET122のN更なるボディ物質部分696を構成している。S/Dゾーン680及び682外側の充填した主要ウェル領域202に対するNプリカーサーの部分は、Nボディ物質部分694及び696で形成されているN型充填した主要ウェル領域202を構成している。

30

【0776】

対称的PチャンネルIGFET126のP++主要S/D部分750M及び752M外側の領域750E及び752Eに対するプリカーサーの部分は、夫々、実質的に、そのP+S/D延長部750E及び752Eを構成している。S/Dゾーン750及び752外側の空の主要ウェル領域206に対するNプリカーサーの部分は、IGFET126のN型ボディ物質空の主要ウェル206を構成している。

40

【0777】

PチャンネルIGFET110のプリカーサーS/D延長部480EP及び482EP及びPチャンネルIGFET122のプリカーサーS/D延長部680EP及び682EPに対するP型浅いS/D延長部注入は、PチャンネルIGFET102のプリカーサードレイン延長部282EP、PチャンネルIGFET114のプリカーサーS/D延長部550EP及び552EP、PチャンネルIGFET118のプリカーサーS/D延長部610EP及び612EP、及びPチャンネルIGFET126のプリカーサーS/D延長部750EP及び752EP、に対するP型ディープS/D延長部注入よりも一層大き

50

なドーピング量において実施されていた。より詳細には、P型浅いS/D延長部注入用の $5 \times 10^{13} - 5 \times 10^{14}$ イオン数/cm²、典型的には $1 \times 10^{14} - 2 \times 10^{14}$ イオン数/cm²のドーピング量は、通常、P型ディープS/D延長部注入用の $2 \times 10^{13} - 2 \times 10^{14}$ イオン数/cm²、典型的には 8×10^{13} イオン数/cm²、のドーピング量の2倍近傍にある。従って、IGFET102のドレイン延長部282E、IGFET114のS/D延長部550E及び552E、IGFET118のS/D延長部610E及び612E、及びIGFET126のS/D延長部750E及び752Eは、全て、IGFET110のS/D延長部480E及び482E及びIGFET122のS/D延長部680E及び682E、よりも一層軽度ドーピングされる。

【0778】

PチャンネルIGFET102のプリカーサースソース延長部280EP及びPチャンネルIGFET106のプリカーサースソース延長部360EPに対するP型浅いソース延長部注入は、IGFET102のプリカーサードレイン延長部282EP、PチャンネルIGFET114のプリカーサース/D延長部550EP及び552EP、PチャンネルIGFET118のプリカーサース/D延長部610EP及び612EP、及びPチャンネルIGFET126のプリカーサース/D延長部750EP及び752EP、のためのP型ディープS/D延長部注入とはほぼ同じドーピング量において実施していた。特に、P型浅いS/D延長部注入用の $2 \times 10^{13} - 2 \times 10^{14}$ イオン数/cm²、典型的に 8×10^{13} イオン数/cm²、のドーピング量は、P型ディープS/D延長部注入用の $2 \times 10^{13} - 2 \times 10^{14}$ イオン数/cm²、典型的に 8×10^{13} イオン数/cm²のドーピング量と同じである。しかしながら、IGFET102及び106のソース側ハローポケット部分290及び366は、P型浅いソース延長部ドーパントの拡散を低速化させ、一方、IGFET114、118、126及びIGFET102のドレイン側はP型ディープS/D延長部ドーパントの拡散を低速化させるためのハローポケットドーパントを欠如している。ボロンがP型浅いソース延長部ドーパント及びP型ディープS/D延長部ドーパントの両方であるから、正味の結果は、IGFET102のドレイン延長部282E、IGFET114のS/D延長部

550E及び552E、IGFET118のS/D延長部610E及び612E、及びIGFET126のS/D延長部750E及び752Eは、全て、IGFET102のソース延長部280E及びIGFET106のソース延長部360Eよりも一層軽度ドーピングされている。

【0779】

以下に説明するように、例示したPチャンネルIGFETのソース・ボディ接合及びドレイン・ボディ接合は、ここではP型接合グレイディングドーパントと呼称するP型半導体ドーパントを、ホトレジストマスク972が所定位置にある間にその開口を介して、注入することによって、接合容量を減少させるために垂直方向にグレイド付き即ち勾配付きとすることが可能である。P型主要又は接合グレイディングS/D注入のいずれかを先に実施することが可能である。いずれの場合にも、該更なるスパイクアニールが、注入したP型接合グレイディングS/Dドーパントによって発生された格子損傷を修復し且つ該P型接合グレイディングドーパントの原子をエネルギー的に一層安定した状態に配置させる。

【0780】

N6. 最終処理

誘電体層962及び964の露出部分が除去される。典型的にシリコン酸化物である誘電体物質からなるキャッピング層（不図示）が本構成体の上部上に形成される。典型的にRTAである最終的アニールが半導体構成体について実施されて所望の最終的なドーパント分布を得ると共に何らかの残留格子損傷を修復する。

【0781】

適切なホトレジストマスク（不図示）を使用して（必要に応じ）、該キャッピング物質を該構成体の選択した区域から除去する。特に、該キャッピング物質を、例示したIGF

10

20

30

40

50

ET用の島状部上方の区域から除去して、それらのゲート電極を露出させ、且つ非対称的IGFET100及び102の主要ソース部分240M及び280M、IGFET100及び102の主要ドレイン部分242M及び282M、延長型ドレインIGFET104及び106の主要ソース部分320M及び360M、IGFET104及び106のドレインコンタクト部分334及び374、及び例示した対称的IGFET全ての主要S/D部分、を露出させる。該キャッピング物質は、典型的に、次の操作期間中にポリシリコン部分のそのようにキャップされた部分に沿ってメタルシリサイドが形成されることを防止するために、ポリシリコン抵抗であることに指定されているゲート電極ポリシリコン層の部分の殆どにわたり維持される。キャッピング物質を除去する過程において、ゲート側壁スペーサは好適には上に引用した国際特許出願————、代理人ドケット番号NS-7192WOに記載されているように、L形状へ変換される。

10

【0782】

例示したIGFETのメタルシリサイド層は、夫々、下側に存在するポリシリコン領域及びモノシリコン領域の上部表面に沿って形成される。このことは、典型的に、該構成体の上部表面上に典型的にはコバルトである適宜のメタルの薄い層を付着し且つ該メタルを下側に存在するシリコンと反応させるための低温ステップを実施することとなる。反応しなかったメタルを除去する。2番目の低温ステップを実施して、該メタルと該下側に存在するシリコンとの反応を完了させ且つそれにより例示したIGFETのメタルシリサイド層を形成する。

【0783】

20

該メタルシリサイドの形成は、非対称的IGFET100及び102、延長型ドレインIGFET104及び106、及び例示した対称的IGFETの基本的製造を完了する。その結果得られるCIGFET構成体は図11に示したようになる。該CIGFET構成体は、その後、更なる導電性物質（不図示）、典型的にはメタル、が設けられ、それは該メタルシリサイド層とコンタクトして例示したIGFETに対する電氣的コンタクトを完成する。

【0784】

N7. P型ディープソース／ドレイン延長部ドーパントの顕著に傾斜した注入

図33tの段階においてのP型ディープS/D延長部イオン注入は、上述した如く、代替的に、非対称的PチャンネルIGFET102のプリカーサードレイン延長部282EPの形状を調節するために著しく傾斜した態様で実施することが可能である。ドレイン延長部282EPは、通常、プリカーサージェート電極302Pの下側を著しく横方向に延在する。対称的PチャンネルIGFET114のプリカーサーS/D延長部550EP及び552EP、対称的PチャンネルIGFET118のプリカーサーS/D延長部610EP及び612EP、及び対称的PチャンネルIGFET126のS/D延長部750E及び752Eに対するプリカーサー、の形状は同じ態様で調節される。

30

【0785】

この代替例における傾斜は、P型ディープS/D延長部注入が角度付き注入であるように十分に大きなものとすることが可能である。角度付きP型S/D延長部注入に対する傾斜角度 α は少なくとも 15° であり、通常は $20^\circ - 45^\circ$ である。該P型ディープS/D注入は、該P型浅いソース延長部注入とは著しく異なる注入ドーズ量及び／又はエネルギーにおいて実施することが可能である。

40

【0786】

非対称的IGFET102のプリカーサーソース延長部280EP及びプリカーサードレイン延長部282EPは夫々P型浅いソース延長部注入及びP型ディープS/D延長部注入で画定されることに注意すると、これら2つのP型注入を実施するために使用されるステップの実現パラメータ（P型ディープS/D注入の傾斜及び方位パラメータを包含する）は、代替的に、プリカーサードレイン延長部282EPにおけるP型ディープS/D延長部ドーパントの最大濃度が、プリカーサーソース延長部280EPにおけるP型浅い

50

ソース延長部ドーパントの最大濃度、よりも小さく、通常はその半分を超えるものではなく、好適にはその四分の一を超えるものではなく、より好適にはその十分の一を超えるものではなく、更により好適にはその二十分の一を超えるものではない、ように選択することが可能である。換言すると、プリカーサーソース延長部 280EP における P 型浅いソース延長部ドーパントの最大濃度は、プリカーサードレイン延長部 282EP における P 型ディープ S/D 延長部ドーパントの最大濃度、よりも著しく一層大きく、通常は少なくとも 2 倍であり、好適には少なくとも 4 倍であり、より好適には少なくとも 10 倍であり、更により好適には少なくとも 20 倍である。

【0787】

P 型ディープ S/D 延長部注入の傾斜及び方位パラメータを含んで、P 型浅いソース延長部注入及び P 型ディープ S/D 延長部注入のエネルギー及びその他の実現パラメータは、プリカーサードレイン延長部 282EP における P 型ディープ S/D 延長部ドーパントの最大濃度の位置がプリカーサーソース延長部 280EP における P 型浅いソース延長部ドーパントの最大濃度の位置よりも著しく一層深くに発生するようにこの代替例において制御することが可能である。より詳細には、プリカーサードレイン延長部 282EP における P 型ディープ S/D 延長部ドーパントが、通常、プリカーサーソース延長部 280EP における P 型浅いソース延長部ドーパントの最大濃度の位置よりも、少なくとも 10% 一層深くに、好適には少なくとも 20% 一層深くに、より好適には少なくとも 30% 一層深くに、更により好適には少なくとも 50% 一層深くに、発生する。従って、プリカーサードレイン延長部 282EP は、プリカーサーソース延長部 280EP よりも、一層深くに、通常少なくとも 20% 一層深くに、好適には少なくとも 30% 一層深くに、より好適には少なくとも 50% 一層深くに、更により好適には少なくとも 100% 一層深くに、延在する。

【0788】

P 型浅いソース延長部注入及び P 型ディープ S/D 延長部注入期間中に夫々発生する注入レンジ R_{SE} 及び R_{DE} に対する値は、夫々の S/D 延長部 280E 及び 282E における最大全 P 型ドーパント濃度の位置における平均深さ y_{SEPK} 及び y_{DEPK} の間の上述した百分率差を充足する y_{SEPK} 及び y_{DEPK} の値を使用することにより式 6 及び 7 から決定される。該 R_{SE} 及び R_{DE} レンジ値は、夫々、P 型浅いソース延長部ドーパント及び P 型ディープ延長部ドーパントに対する適切な注入エネルギーを決定するために使用される。プリカーサー S/D 延長部 280EP 及び 282EP の上部表面に沿ってのモノシリコンの薄い層がそれらを夫々最終的な S/D 延長部 280E 及び 282E へ変換する場合に後に除去される場合には、式 6 及び 7 におけるパラメータ Δy_{SE} は該薄いモノシリコン層の夫々の厚さを適応させる。

【0789】

P 型浅いソース延長部注入用の傾斜角度 α の値 α_{SE} は未だに約 7° である。P 型浅いソース延長部注入が上部半導体表面に対してほぼ平行に延在する面に対してほぼ垂直に実施されるので、非対称的 IGFEIT102 のプリカーサーソース延長部 280EP は、通常、プリカーサーゲート電極 302P の下側を著しく横方向に延在するものではない。プリカーサードレイン延長部 282EP を形成するために使用される P 型ディープ S/D 延長部ドーパントの角度付き注入は、それをしてプリカーサーゲート電極 302P の下側を著しく横方向に延在させるので、プリカーサードレイン延長部 282EP は、プリカーサーソース延長部 280EP よりもプリカーサーゲート電極 302P の下側を著しく更に一層横方向に延在する。従って、プリカーサーゲート電極 302P がプリカーサードレイン延長部 282EP とオーバーラップする量は、プリカーサーゲート電極 302P がプリカーサーソース延長部 280EP とオーバーラップする量を著しく超える。プリカーサードレイン延長部 282EP 上をプリカーサーゲート電極 302P のオーバーラップは、プリカーサーソース延長部 280EP 上のプリカーサーゲート電極 302P のオーバーラップよりも、通常少なくとも 10% 一層大きく、好適には少なくとも 15% 一層大きく、より好適には少なくとも 20% 一層大きい。

【0790】

N 8. 非対称的 I G F E T のソース／ドレイン延長部における異なるドーパントの注入

非対称的 N チャンネル I G F E T 1 0 0 のプリカーサードレイン延長部 2 4 2 E P 及びプリカーサーソース延長部 2 4 0 E P を画定するために図 3 3 o 及び 3 3 p の段階において夫々使用される角度付き N 型ディープ S / D 延長部注入及び N 型浅いソース延長部注入のパラメータは、上述した如くに、以下のように選択される。

【0791】

a. プリカーサードレイン延長部 2 4 2 E P における N 型 S / D 延長部ドーパントの最大濃度は、プリカーサーソース延長部 2 4 0 E P における N 型浅いソース延長部ドーパントの最大濃度よりも一層小さく、通常はその半分を超えるものではなく、好適にはその四分の一を超えるものではなく、より好適にはその十分の一を超えるものではなく、更により好適にはその二十分の一を超えるものではない。

10

【0792】

b. プリカーサードレイン延長部 2 4 2 E P における N 型ディープ S / D 延長部ドーパントの最大濃度の位置は、プリカーサーソース延長部 2 4 0 E P における N 型浅いソース延長部ドーパントの最大濃度後よりも、通常少なくとも 1 0 % 一層深くに、好適には少なくとも 2 0 % 一層深くに、より好適には少なくとも 3 0 % 一層深くに、発生する。

【0793】

c. プリカーサードレイン延長部 2 4 2 E P は、プリカーサーソース延長部 2 4 0 E P よりも、通常少なくとも 2 0 % 一層深くに、好適には少なくとも 3 0 % 一層深くに、より好適には少なくとも 5 0 % 一層深くに、更により好適には少なくとも 1 0 0 % 一層深くに、延在する。

20

【0794】

d. プリカーサードレイン延長部 2 4 2 E P に関するプリカーサーゲート電極 2 6 2 P のオーバーラップは、プリカーサーソース延長部 2 4 0 E P に関するプリカーサーゲート電極 2 6 2 P のオーバーラップよりも一層大きく、通常少なくとも 1 0 % 一層大きく、好適には少なくとも 1 5 % 一層大きく、より好適には少なくとも 2 0 % 一層大きい。

【0795】

I G F E T 1 0 0 に対する前述した仕様は、N 型浅いソース延長部注入が、N 型ディープ S / D 延長部注入と、同じ N 型ドーパント、同じドーパント含有粒子種、及び同じ粒子イオン化電荷状態で実施される場合に、達成することが可能である。しかしながら、これらの仕様の達成は、N 型浅いソース延長部ドーパントが N 型ディープ S / D 延長部ドーパントよりも一層高い原子量のものであるように調整することによって容易化される。更に上述した如く、N 型ディープ S / D 延長部ドーパントは、通常、1 個の 5 a 族元素、好適には燐、であり、一方、N 型浅い S / D 延長部ドーパントは、N 型ディープ S / D 延長部ドーパントよりも一層高い原子量の別の 5 a 族元素、好適には砒素、である。砒素及び燐よりも一層大きな原子量のものである 5 a 族元素のアンチモンは、N 型浅いソース延長部ドーパントの別の候補である。この場合に、N 型ディープ S / D 延長部ドーパントの対応する候補は砒素又は燐である。

30

40

【0796】

非対称的 P チャンネル I G F E T 1 0 2 用の最終的ドーパント分布は、図 3 3 u の段階における P 型浅いソース延長部注入が図 3 3 t の一層早い段階での P 型ディープ S / D 延長部注入と同じ P 型ドーパント、即ちボロン、で実施される場合に、達成される。ボロンは現在のシリコンを基礎とした半導体プロセスにおいては強く支配的な P 型ドーパントであるが、シリコンを基礎とした半導体プロセスに対してその他の P 型ドーパントが検討されている。I G F E T 1 0 2 に対する最終的ドーパント分布の達成は、P 型浅いソース延長部ドーパントが P 型ディープ S / D 延長部ドーパントよりも一層高い原子量のものであるように調整することによって容易化させることが可能である。更に上述した如く、P 型 S / D 延長部ドーパントは 1 個の 3 a 族元素、好適にはボロン、とすることが可能であり

50

、一方、P型浅いS/D延長部ドーパントは、P型ディープS/D延長部ドーパントとして使用した3a族元素よりも一層高い原子量のものである別の3a族元素、例えばガリウム又はインジウム、とすることが可能である。

【0797】

非対称的IGFET102のプリカーソース延長部280EPを画定するために図33uの段階において使用されるP型浅いソース延長部注入のパラメータ及び図33の製造プロセスの上述した変形例においてプリカーサードレイン延長部282EPを画定するために図33tの段階において使用される角度付きP型ディープS/D延長部注入のパラメータは、上述した如く、同様に以下の如くに種々に選択される。

【0798】

a. プリカーサードレイン延長部282EPにおけるP型ディープS/D延長部ドーパントの最大濃度は、プリカーソース延長部280EPにおけるP型浅いソース延長部ドーパントの最大濃度より小さく、通常その半分を超えるものではなく、好適にはその四分の一を超えるものではなく、より好適にはその十分の一を超えるものではなく、更により好適にはその二十分の一を超えるものではない。

【0799】

b. プリカーサードレイン延長部282EPにおけるP型ディープS/D延長部ドーパントの最大濃度の位置は、プリカーソース延長部280EPにおけるP型浅いソース延長部ドーパントの最大濃度の位置よりも、通常少なくとも10%一層深く、好適には少なくとも20%一層深く、より好適には少なくとも30%一層深く、更により好適には少なくとも50%一層深い。

【0800】

c. プリカーサードレイン延長部282EPは、プリカーソース延長部280EPよりも一層深くに、通常少なくとも20%一層深く、好適には少なくとも30%一層深く、より好適には少なくとも50%一層深く、更により好適には少なくとも100%一層深く、に延在する。

【0801】

d. プリカーサードレイン延長部282EPに関するプリカーサードレイン電極302Pのオーバーラップは、プリカーソース延長部280EPに関するプリカーサードレイン電極302Pのオーバーラップよりも一層大きく、通常少なくとも10%一層大きく、好適には少なくとも15%一層大きく、より好適には少なくとも20%一層大きい。

【0802】

前述した仕様の達成は、P型浅いソース延長部ドーパントをP型ディープS/D延長部ドーパントよりも一層高い原子量のものであるように調整することによって容易化することが可能である。再度、P型ディープS/D延長部ドーパントは1個の3a族元素であり、一方、P型浅いS/D延長部ドーパントは別の3a族元素である。

【0803】

N9. 特別に調整したハローポケット部分を具備する非対称的IGFETの形成

オフ状態S-D電流リークを減少させるために特に調整した夫々Pハローポケット部分250U及び326Uにおいてドーパント分布を有する非対称的NチャンネルIGFET100U及び延長型ドレインNチャンネルIGFET104Uは、非対称的NチャンネルIGFET100及び延長型ドレインNチャンネルIGFET104と同じ態様で図33のプロセスに従って製造されるが、異なる点としては、図33pの段階におけるN型浅いソース延長部注入及び図33qの段階におけるP型ソースハローポケットイオン注入は、IGFET100U及び104Uが夫々IGFET100及び104を置換するか否か又はIGFET100及び104も製造されるか否かに依存して、Mハロードーパント最大濃度位置PHを有するIGFET100Uを与えるための、及び夫々対応するMハロードーパント最大濃度位置を有するIGFET104Uを与えるための、以下の態様で実施される。

10

20

30

40

50

【0804】

I G F E T 1 0 0 U 及び 1 0 4 U が I G F E T 1 0 0 及び 1 0 4 を置換する場合には、図 3 3 p の段階における N 型浅いソース延長部注入は、クリチカルホトレジストマスク 9 5 4 を使用して上述した如く実施される。ホトレジスト 9 5 4 が未だに所定位置にある状態で、該 P 型ソースハロードーパントは、著しく角度を付けた態様で、ホトレジスト 9 5 4 における開口を介して、表面誘電体層 9 4 8 の露出セクションを介して、M 複数の異なるドーパント導入条件において、下側に存在するモノシリコンの垂直に対応する部分内にイオン注入されて、(a) 非対称的 I G F E T 1 0 0 U のハローポケット部分 2 5 0 U に対する P プリカーサー（不図示）、及び (b) 延長型ドレイン I G F E T 1 0 4 U のハローポケット部分 3 2 6 U に対する P プリカーサー（同様に不図示）、を画定する。ホトレジスト 9 5 4 をその後に除去する。

10

【0805】

I G F E T 1 0 0, 1 0 0 U, 1 0 4, 1 0 4 U の全てが製造される場合（又は I G F E T 1 0 0 及び 1 0 4 の内の一方又は両方、及び I G F E T 1 0 0 U 又は 1 0 4 U の内の一方又は両方のいずれかの組み合わせが製造される場合）、I G F E T 1 0 0 及び 1 0 4 の N 浅いプリカーサーソース延長部 2 4 0 E P 及び 3 2 0 E P が、図 3 3 p に関連して上述した態様でホトレジストマスク 9 5 4 を使用して画定される。I G F E T 1 0 0 及び 1 0 4 の P プリカーサーハローポケット部分 2 5 0 P 及び 3 2 6 P は、その後に、図 3 3 q と関連して説明した如くにホトレジスト 9 5 4 を使用して画定される。

20

【0806】

非対称的 I G F E T 1 0 0 U のソース延長部 2 4 0 E に対する位置上方及び延長型ドレイン I G F E T 1 0 4 U のソース延長部 3 2 0 E に対する位置上方に開口を有する付加的なホトレジストマスク（不図示）が、誘電体層 9 4 6 及び 9 4 8 の上に形成される。該付加的なホトレジストマスクは、I G F E T 1 0 0 U 及び 1 0 4 U のプリカーサーゲート電極 2 6 2 P 及び 3 4 6 P に対してクリチカルに整合される。N 型浅いソース延長部注入の繰り返しを実施されて、高いドーズ量で、該付加的なホトレジストにおける開口を介して、表面誘電体 9 4 8 の露出セクションを介して、下側に存在するモノシリコンの垂直に対応する部分内に N 型浅いソース延長部ドーパントをイオン注入させて、(a) I G F E T 1 0 0 U の N + プリカーサーソース延長部 2 4 0 E P、及び (b) I G F E T 1 0 4 U の N + プリカーサーソース延長部 3 2 0 E P、を画定する。

30

【0807】

該付加的なホトレジストマスクが未だに所定位置にある状態で、該 P 型ソースハロードーパントを、著しく角度を付けた態様で、該付加的なホトレジストにおける開口を介して、表面誘電体層 9 4 8 の露出セクションを介して、M 複数の異なるドーパント導入条件で、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) 非対称的 I G F E T 1 0 0 U のハローポケット部分 2 5 0 U に対する P プリカーサー（不図示）、及び (b) 延長型ドレイン I G F E T 1 0 4 U のハローポケット部分 3 2 6 U に対する P プリカーサー（不図示）、を画定する。該付加的なホトレジストを除去する。該付加的なホトレジストが関与するステップは、ホトレジスト 9 5 4 が関与するステップの前又は後に実施することが可能である。

40

【0808】

I G F E T 1 0 0 U の M 個のハロードーパント最大濃度位置 P H、及び夫々対応する I G F E T 1 0 4 U の M 個のハロードーパント最大濃度位置は、夫々、該 P 型ソースハロー注入を実施するための前述した態様の各々における M 個のドーパント導入条件によって画定される。P 型ソースハロー注入の終りにおいて、I G F E T 1 0 0 U の各ハロードーパント最大濃度位置 P H j は、そのプリカーサーゲート電極 2 6 2 P の下側を横方向に延在する。I G F E T 1 0 4 U の各対応するハロードーパント最大濃度位置は、同様に、そのプリカーサーゲート電極 3 4 6 P の下側を横方向に延在する。

【0809】

注入した P 型ソースハロードーパントは、昇温においての爾後の C I G F E T 処理期間

50

中に半導体ボディ内に垂直方向に且つ更に横方向に拡散して、ハローポケット部分 2 5 0 U 及び 3 2 6 U に対するプリカーサーを夫々 P ハローポケット 2 5 0 U 及び 3 2 6 U へ変換させる。その結果、I G F E T 1 0 0 U のハロードーパント最大濃度位置 P H は、そのプリカーサーゲート電極 2 6 2 P の下側を更に横方向に延在されて、その最終的なゲート電極 2 6 2 の下側を横方向に延在する。I G F E T 1 0 4 U の対応するハロードーパント最大濃度位置は、同様に、そのプリカーサーゲート電極 3 4 6 P の下側を更に横方向へ延在して、その最終的なゲート電極 3 4 6 の下側を横方向に延在する。

【0810】

I G F E T 1 0 0 U 及び 1 0 4 U に対する P 型ソースハロー注入を実施するための前述した態様の両方における M 個のドーパント導入条件の各々は、注入エネルギー、注入傾斜角度 α_{SH} 、注入ドーズ量、P 型ソースハロードーパントの原子種、P 型ソースハロードーパントのドーパント含有粒子種、及び該 P 型ソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、の異なる組合せである。M 個のドーパント導入条件を図 1 9 a、2 0、2 1 に関連して上述した M 個の番号付けした P 型ソースハロードーパントに対して相関させる場合に、M 個のドーパント導入条件の各々が M 個の番号付けした P 型ソースハロードーパントの内の対応する一つで実施される。傾斜角度 α_{SH} は、通常、各ドーパント導入条件において少なくとも 15° である。

【0811】

M 個のドーパント導入条件においての P 型ソースハロー注入は、典型的に、M 個の時間的に離れたイオン注入として実施される。しかしながら、M 個のドーパント導入条件においての P 型ソースハロー注入は、操作期間中に注入条件を適宜変化させることにより単一の時間的に連続した操作として実施することが可能である。M 個のドーパント導入条件においての P 型ソースハロー注入は、少なくともその内の一つが M 個のドーパント導入条件の内の 2 つ又はそれ以上において時間的に連続的に実施される時間的に離れた複数の操作の結合として実施することも可能である。

【0812】

P 型ソースハロードーパントの原子種は、好適には、ドーパント導入条件の各々において、3 a 族元素ボロンである。即ち、M 個の番号付けした P 型ソースハロードーパントの各々の原子種は、好適には、ボロンである。しかしながら、ガリウム及びインジウム等のその他の P 型 3 a 族原子種を M 個の番号付けした P 型ソースハロードーパントとして種々に使用することが可能である。

【0813】

P 型ソースハロードーパントのドーパント含有粒子種は、たとえ全ての M 個の番号付けした P 型ソースハロードーパントの原子種がボロンであったとしても、ドーパント導入条件毎に異なることが可能である。より詳細には、元素ボロン及び二フッ化ボロン等のボロン含有化合物は、種々に、M 個のドーパント導入条件において、ドーパント含有粒子種であることが可能である。

【0814】

M 個のドーパント導入条件の実現の特定のパラメータは、典型的に、基本的には、以下の態様で決定される。P ハローポケット部分 2 5 0 U 及び 3 2 6 U における P 型ソースハロードーパントの所望の分布の一般的な特性は、最初に、I G F E T 1 0 0 U 及び 1 0 4 U を介して一つ又はそれ以上の選択した垂直位置において確立される。上述した如く、P 型ソースハロードーパントは、又、I G F E T 1 0 0 U 及び 1 0 4 U の N 型ソース 2 4 0 及び 3 2 0 内にも存在する。I G F E T 1 0 0 U 又は 1 0 4 U を介してのこのような選択した垂直位置は、その N 型ソース 2 4 0 又は 3 2 0 を介して、例えば図 1 9 a における I G F E T 1 0 0 U のソース延長部 2 4 0 E を介しての垂直線 2 7 4 E に沿って、通過する場合がある。ハローポケット 2 5 0 U 及び 3 2 6 U は同じステップで形成され、従って類似の P 型ソースハロードーパント分布を有しているので、一般的なハローポケットドーパント分布特性は、通常、I G F E T 1 0 0 U 及び 1 0 4 U の内の一つのみに対して確立される。

【0815】

該一般的なハローポケットドーパント分布特性は、典型的に、(a)異なるドーパント導入条件の数 M 、(b)P型ソースハロードーパントの全濃度 N_T における対応する M 個の局所的最大の深さ、及び(c)これら M 個の局所的濃度最大におけるP型ソースハロードーパントの全濃度 N_T 、に対する数値を包含している。P型ソースハロードーパントの全濃度 N_T における M 個の局所的最大の深さは、 M 個の夫々のドーパント導入条件に対する注入エネルギーの値を決定する場合に使用される。

【0816】

例えば、該深さ及び濃度値は、(a)図20aにおけるドーパント濃度ピーク316において、従ってハローポケット部分250Uを介してソース延長部240Eの脇へ延在する垂直線314に沿って、又は(b)図21aにおけるドーパント濃度ピーク318において、従ってソース延長部318を介して且つハローポケット250Uの下側に存在する物質を介して延在する垂直線274Eに沿って、のものとするのが可能である。ソース延長部240Eを介して線274Eに沿ってピーク318におけるドーパント濃度値は、P型ソースハロードーパントの注入後の熱拡散に起因して、ピーク318における夫々初期的P型ソースハロードーパント濃度値よりも幾分低いものである。しかしながら、注入後の熱拡散は、線274Eに沿ってのピーク318の深さを著しく変化させるものではない。このことが起こる理由は、線274Eはゲート電極262のソース側も介して延在しているからである。

【0817】

一方、ソース延長部240Eの脇へのハローポケット部分250Uを介して垂直線314に沿ってのピーク316の深さ及びドーパント濃度値の両方は、ハロードーパント最大濃度位置PHが更にゲート電極262下側に移動する結果として、注入後の熱拡散期間中に、変化する。線314に沿ってのピーク316における深さ／濃度データは、 M 個のドーパント導入条件に対する注入エネルギーの値を決定する場合に使用するために、ソース延長部240E及びゲート電極262のソース側を介しての線274Eに沿ってのピーク318における深さ／濃度データに対して相関させることが可能である。従って、これらの M 個の濃度最大においての該P型ソースハロードーパントの全濃度 N_T 及び該P型ソースハロードーパントの全濃度 N_T における対応する M 個の局所的最大の深さは、典型的に、ゲート電極262のソース側を介しての線274Eに沿っての注入した通り(as-implanted)の値である。これらの注入した通りの値を使用することは、典型的に、一層容易であり、且つ M 個のドーパント導入条件の実現の効果性の最終的な決定に著しく影響を与えるものではない。

【0818】

M 個のドーパント導入条件の実現に対して確立された一般的なハローポケットドーパント分布特性と一貫性のある選択が、注入傾斜角度 α_{SH} 、注入ドーズ量、P型ソースハロードーパントの原子種、P型ソースハロードーパントのドーパント含有粒子種、及びP型ソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、に対してなされる。この情報を使用して、 M 個のドーパント導入条件に対して適宜の注入エネルギーが決定される。

【0819】

より詳細には、各ハローポケット部分250U又は326Uに対するプリカーサーであることが意図されている領域の上部表面に沿ってのモノシリコンの薄い層を、ゲート誘電体層260又は344の形成の後であるがP型ソースハロードーパントのイオン注入前に、除去することが可能である。再度、IGFETのドーブしたモノシリコン領域における或る位置の各平均深さはそのIGFETのゲート誘電体層の底部を介して延在する面から測定されることに注意して、 Δy_{SH} がハローポケット250U又は326Uに対するプリカーサー等のプリカーサーハローポケット部分の上部に沿ってそのように除去されるモノシリコンの平均厚さを表すものとする。

【0820】

表面誘電体 948 などの表面誘電体層を介してのイオン注入によって画定される、ハローポケット部分 250U 又は 326U に対するプリカーサー等の、プリカーサーハローポケット部分の場合、 t_{sd} が該表面誘電体の平均厚さを表すものとする。従って、平均深さ y_{shj} においてプリカーサーソースハローポケットにおける j 番目の局所的濃度最大を画定するためにイオン注入される j 番目のソースハロードーパントのレンジ R_{shj} は次式によって近似的に与えられる。

【0821】

【数 8】

$$R_{shj} = (y_{shj} - \Delta y_{sh} + t_{sd}) \sec \alpha_{shj} \quad (8)$$

10

【0822】

尚、 α_{shj} は傾斜角度 α_{sh} の j 番目の値である。別の言い方をすると、 α_{shj} は、プリカーサーソースハローポケットにおける j 番目のソースハロードーパント局所的濃度最大を画定する j 番目の番号を付けたソースハロードーパントをイオン注入する場合に使用される傾斜角度である。傾斜角度値 α_{sh} はプリカーサーハローポケット 250U 又は 326U に対しては少なくとも 15° であるから、式 8 における $\sec \alpha_{shj}$ の係数は著しく 1 よりも一層大きい。注入レンジ R_{shj} に対する値は、 j 番目の P 型ソースハロー局所的濃度最大の深さ y_{shj} の各値において式 8 から決定される。従って、 R_{shj} レンジ値は、夫々、M 個の番号付けした P 型ソースハロードーパントに対する適切な注入エネルギーを決定するために使用される。

20

【0823】

ソース延長部 240E 及びゲート電極 262 のソース側を介しての線 274E に沿ってのピーク 318 における最大ソースハロードーパント濃度の値は 1 象限 (one-quadrant) 値である。何故ならば、ホトレジストマスク 954、IGFET 100U 及び 104U のプリカーサーゲート電極 262P 及び 346P、及びシール用誘電体層 946 によって形成されるドーパントブロッキングシールドが、P 型ソースハロードーパントの入射するイオンの約四分の三をハローポケット部分 250U 及び 326U に対するプリカーサーに意図されている領域に入ることブロック即ち阻止するからである。方位角の 4 個の 90° の増分値で P 型ソースハロードーパントをイオン注入する場合、図 21a における j 番目のピーク 318 の個別的な濃度に対応するソースハロードーパントのドーズ量は、 j 番目の P 型の番号付けしたソースハロードーパントに対する全ドーズ量を得るために 4 で乗算される。

30

【0824】

ストラグル ΔR_{shj} はレンジ R_{shj} における標準偏差である。ストラグル ΔR_{shj} はレンジ R_{shj} が増加すると共に増加し、該レンジは、式 8 に従って、ハローポケット部分 250U における j 番目局所的濃度最大を画定するためにイオン注入される j 番目 P 型ソースハロードーパントの平均深さ y_{shj} が増加するに従い、増加する。平均深さ y_{shj} が増加する場合にストラグル ΔR_{shj} における結果的に発生する増加を受け付けるために、M 個のドーパント導入条件に対する注入ドーズ量は、通常、最も浅いハロードーパント最大濃度位置 PH-1 における最も低い平均深さ y_{sh1} に対するドーパント導入条件から最も深いハロードーパント最大濃度位置 PH-M における最も高い平均深さ y_{shM} に対するドーパント導入条件へ移る場合に、徐々に増加するように選択される。

40

【0825】

P 型ソースハロー注入用の M 個のドーパント導入条件の内の一つの実現例においては、注入傾斜角度 α_{shj} 、P 型ソースハロードーパントの原子種、P 型ソースハロードーパントのドーパント含有粒子種、及び P 型ソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、を一定に維持しながら、注入エネルギーを変化させる。この実現例における原子種は、元素ボロンのドーパント含有粒子種におけるボロンである。イオン注入した半導体ドーパントのドーパント含有粒子種の粒子イオン化荷電状態はイオン化レベルを意味することを注意すると、イオン注入したボロンはこの実現例においてはほぼ一

50

価イオンであり、従ってボロン粒子イオン化荷電状態は一価イオンである。M個のドーパント導入条件に対する注入ドーズ量は、最も浅いハロドーパント最大ノード位置PH-1における最も低い平均深さ y_{SH1} に対する注入から最も深いハロドーパント最大濃度位置PH-Mにおける最も高い平均深さ y_{SHM} に対する注入へ移る場合に、除々に増加するように選択される。

【0826】

前述した実現例の2つの例のシミュレーションを行った。該例の内の一つにおいて、ドーパント導入条件の数Mは3であった。3つの注入エネルギーは、夫々、2、6、20 keVであった。該3つの注入エネルギーにおけるボロンソースハロドーパントにおける3つの注入したとおりの局所的濃度最大の深さ y_{SHj} は、夫々、0.010、0.028、0.056 μm であった。これら3つの注入した通りの局所的濃度最大の各々におけるボロンソースハロドーパントの濃度 N_I は約 8×10^{17} 原子数/ cm^3 であった。

10

【0827】

前述した実現例の内の他方の例におけるドーパント導入条件の数Mは4であった。これら4つの注入エネルギーは、夫々、0.5、2、6、20 keVであった。4つの注入エネルギーにおけるボロンソースハロドーパントにおけるこれら4つの注入した通りの局所的濃度最大の深さ y_{SHj} は、夫々、0.003、0.010、0.028、0.056 μm であった。これら4つの注入した通りの局所的濃度最大の各々におけるボロンソースハロドーパントの濃度 N_I は約 9×10^{17} 原子数/ cm^3 であった。第1の例と比較して、この例における最も低いエネルギーにおける注入は、上部半導体表面に非常に近くで全P型ドーパントの濃度 N_T を著しく平坦化させていた。

20

【0828】

M個の異なるドーパント導入におけるP型ソースハロー注入を実施することの代替例として、注入エネルギー、注入傾斜角度 α_{SH} 、注入ドーズ量、P型ソースハロドーパントの原子種、P型ソースハロドーパントのドーパント含有粒子種、及びP型ソースハロドーパントのドーパント含有粒子種の粒子イオン化荷電状態、の内の一つ又はそれ以上を連続的に変化させることによってP型ソースハロー注入を実施することが可能である。これら6個のイオン注入パラメータの連続的な変化を適宜選択することは、上述した第2ハローポケット垂直分布となり、その場合には、全P型ドーパントの濃度 N_T は、上部半導体表面から、ソース延長部240E又は320Eの脇へポケット250U又は326Uを介して延在する仮想的垂直線に沿ってIGFET100U又は104Uのハローポケット250U又は326Uの深さyの少なくとも50%、好適には少なくとも60%、の深さyへ、ポケット250U又は326U内のその垂直線の部分に沿って必ずしも複数個の局所的最大に到達すること無しに、移る場合に、2を超えることの無い係数だけ、好適には1.5を超えることの無い係数だけ、より好適には1.25を超えることの無い係数だけ、変化する。

30

【0829】

非対称的PチャンネルIGFET102U及び延長型ドレインPチャンネルIGFET106Uへ移ると、オフ状態S-D電流リークを減少させるために特に調整された夫々Nハローポケット部分290U及び366Uにおけるドーパント分布を有するIGFET102U及び104Uは、PチャンネルIGFET102及びPチャンネルIGFET106と同じ態様で図33のプロセスに従って製造されるが、異なる点としては、図33uの段階におけるP型浅いソース延長部注入及び図33vの段階におけるN型ソースハローポケットイオン注入は、IGFET102U及び106Uが夫々IGFET102及び106を置換するか否か又はIGFET102及び106も製造されるか否かに依存して、M個のハロドーパント最大濃度位置NHを有するIGFET102Uを与えるための且つ夫々対応するM個のハロドーパント最大濃度位置を有するIGFET106Uを与えるための以下の態様で実施される点である。

40

【0830】

IGFET102U及び106UがIGFET102及び106を置換する場合には、

50

図 3 3 u の段階における P 型浅いソース延長部注入が、クリチカルホトレジストマスク 9 6 0 を使用して上述した如く実施される。ホトレジスト 9 6 0 が未だに所定の位置にある状態で、N 型ソースハロードーパントを、著しく角度を付けた態様で、ホトレジスト 9 6 0 における開口を介して、表面誘電体層 9 4 8 の露出セクションを介して、M 複数の異なるドーパント導入条件において、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) 非対称的 I G F E T 1 0 2 U のハローポケット部分 2 9 0 U に対する N プリカーサー（不図示）、及び (b) 延長型ドレイン I G F E T 1 0 6 U のハローポケット部分 3 6 6 U に対する N プリカーサー（同様に不図示）、を画定する。その後ホトレジスト 9 6 0 を除去する。

【0831】

I G F E T 1 0 2, 1 0 2 U, 1 0 6, 1 0 6 U の全てが製造されるべき場合（又は I G F E T 1 0 2 及び 1 0 6 の内の一つ又は両方及び I G F E T 1 0 2 U 又は 1 0 6 U の内の一つ又は両方のいずれかの組み合わせが製造されるべき場合）には、I G F E T 1 0 2 及び 1 0 6 の P 浅いプリカーサーソース延長部 2 8 0 E P 及び 3 6 0 E P が図 3 3 u に関連して上述した態様でホトレジストマスク 9 6 0 を使用して画定される。I G F E T 1 0 2 及び 1 0 6 の N プリカーサーハローポケット部分 2 9 0 P 及び 3 6 6 P は、その後、図 3 3 v に関連して説明したようにホトレジスト 9 6 0 を使用して画定される。

【0832】

非対称的 I G F E T 1 0 2 U のソース延長部 2 8 0 E に対する位置の上方及び延長型ドレイン I G F E T 1 0 6 U のソース延長部 3 6 0 E に対する位置上方に開口を有する更なるホトレジストマスク（不図示）を誘電体層 9 4 6 及び 9 4 8 上に形成する。該更なるホトレジストマスクは、I G F E T 1 0 2 U 及び 1 0 6 U のプリカーサーゲート電極 3 0 2 P 及び 3 8 6 P に対してクリチカルに整合される。P 型浅いソース延長部注入の繰り返しを実施して、P 型浅いソース延長部ドーパントを、高いドーズ量で、該更なるホトレジストにおける開口を介して、表面誘電体 9 4 8 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) I G F E T 1 0 2 U の P + プリカーサーソース延長部 2 8 0 E P、及び (b) I G F E T 1 0 6 U の P + プリカーサーソース延長部 3 6 0 E P、を画定する。

【0833】

該更なるホトレジストが未だ所定位置にある状態で、該 N 型ソースハロードーパントを、著しく角度を付けた態様で、該更なるホトレジストにおける開口を介して、表面誘電体層 9 4 8 の露出セクションを介して、M 複数の異なるドーパント導入条件において、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) 非対称的 I G F E T 1 0 2 U のハローポケット部分 2 9 0 U に対する N プリカーサー（不図示）、及び (b) 延長型ドレイン I G F E T 1 0 8 U のハローポケット部分 3 6 6 U に対する N プリカーサー（同様に不図示）、を画定する。該更なるホトレジストを除去する。該更なるホトレジストが関与するステップは、ホトレジスト 9 6 0 が関与するステップの前又は後に実施することが可能である。

【0834】

I G F E T 1 0 2 U の M 個のハロードーパント最大濃度位置 N H 及び I G F E T 1 0 6 U の夫々対応する M 個のハロードーパント最大濃度位置は、夫々、N 型ソースハロー注入を実施するための前述した態様の内の各々における M 個のドーパント導入条件によって画定される。N 型ソースハロー注入の終りにおいて、I G F E T 1 0 2 U の各ハロードーパント最大濃度位置 N H j はそのプリカーサーゲート電極 3 0 2 P の下側を横方向に延在する。I G F E T 1 0 6 U の各対応するハロードーパント最大濃度位置は、同様に、そのプリカーサーゲート電極 3 8 6 P の下側を横方向に延在する。

【0835】

注入された N 型ソースハロードーパントは、爾後の C I G F E T 熱処理期間中に更に横方向へ且つ垂直方向へ半導体ボディ内に拡散して、ハローポケット部分 2 9 0 U 及び 3 6 6 U に対する N プリカーサーを N ハローポケット 2 9 0 U 及び 3 6 6 U へ変換させる。そ

10

20

30

40

50

の結果、I G F E T 1 0 2 U のハロードーパント最大濃度位置 N H はそのプリカーサーゲート電極 3 0 2 P の下側を更に横方向へ延在させてその最終的なゲート電極 3 0 2 下側を横方向に延在する。I G F E T 1 0 6 U の対応するハロードーパント最大濃度位置は、同様に、そのプリカーサーゲート電極 3 8 6 P の下側を更に横方向へ延在されて、その最終的なゲート電極 3 8 6 の下側を横方向に延在する。

【0836】

以下に説明する場合を除いて、I G F E T 1 0 2 U 及び 1 0 6 U に対する N 型ソースハロー注入を実施するための前述した態様の両方における M 個のドーパント導入条件は、導電型を逆にすれば、I G F E T 1 0 0 U 及び 1 0 4 U に対する P 型ソースハロー注入を実施するための M 個のドーパント導入条件と同じである。

10

【0837】

N 型ソースハロードーパントの原子種は、好適には、該ドーパント導入条件の各々において 5 a 族元素の砒素である。換言すると、M 個の番号付けした P 型ソースハロードーパントの各々の原子種は好適には砒素である。磷及びアンチモン等のその他の P 型 3 a 族原子種を M 個の番号付けした N 型ソースハロードーパントとして種々に使用することが可能である。

【0838】

N 型ソースハロードーパントのドーパント含有粒子種は、通常、M 個の番号付けした P 型ソースハロードーパントの全ての原子種が砒素である場合には、ドーパント導入条件毎に同じである。特に、元素砒素は、通常、M 個のドーパント導入条件におけるドーパント含有粒子種である。磷又はアンチモンが M 個の番号付けした N 型ソースハロードーパントのいずれかとして使用される場合には、元素磷又は元素アンチモンが対応するドーパント含有粒子種である。

20

【0839】

N 型ソースハロードーパントに対する M 個のドーパント導入条件の 1 実現例の特定のパラメータは、P 型ソースハロードーパントに対する M 個のドーパント導入条件と同じ態様で決定される。

【0840】

N 型ソースハロー注入用の M 個のドーパント導入条件の内の 1 実現例においては、注入傾斜角度 α_{SH} 、N 型ソースハロードーパントの原子種、N 型ソースハロードーパントのドーパント含有粒子種、及び N 型ソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、を一定に維持しながら、注入エネルギーを変化させる。この実現例における原子種は、元素砒素のドーパント含有粒子種における砒素である。イオン注入された砒素はこの実現例においては大体一価イオンであり、従って砒素粒子イオン化荷電状態は一価イオンである。M 個のドーパント導入条件に対する注入ドーズ量は、最も浅いハロードーパント最大濃度位置 N H - 1 における最も低い平均深さ y_{SH1} に対する注入から最も深いハロードーパント最大濃度位置 N H - M における最も高い平均深さ y_{SHM} に対する注入へ移る場合に、徐々に増加するように、選択されている。

30

【0841】

N 型ソースハロー注入用の M 個のドーパント導入条件の前述した実現例の 2 つの例をシミュレーションした。該例の内の一つにおいて、ドーパント導入条件の数 M は 3 であった。該 3 つの注入エネルギーは、夫々、7、34、125 keV であった。3 つの注入エネルギーにおける砒素ソースハロードーパントにおける 3 つの注入した通りの局所的濃度最大の深さ y_{SHj} は、夫々、0.010、0.022、0.062 μm であった。これら 3 つの注入した通りの局所的濃度最大の各々における砒素ソースハロードーパントの濃度 N_1 は約 1.4×10^{18} 原子数 / cm^3 であった。

40

【0842】

前述した実現例の 2 番目の例におけるドーパント導入条件の数 M は 4 であった。4 つの注入エネルギーは、夫々、0.5、10、40、125 keV であった。該 4 つの注入エネルギーにおける砒素ソースハロードーパントにおける 4 つの注入した通りの局所的濃度最大

50

の深さ y_{sHj} は、夫々、0.002、0.009、0.025、0.062 μm であった。該4つの注入した通りの局所的濃度最大の各々における砒素ソースハロードーパントの濃度 N_I は約 1.4×10^{18} 原子数/ cm^3 であった。1番目の例と比較して、この例における最も低いエネルギーにおける注入は、上部半導体表面に非常に近くで全N型ドーパントの濃度 N_T を著しく平坦化させていた。

【0843】

P型ソースハロー注入について上述したことと同様に、N型ソースハロー注入は、代替的に、注入エネルギー、注入傾斜角度 α_{sH} 、注入ドーズ量、N型ソースハロードーパントの原子種、N型ソースハロードーパントのドーパント含有粒子種、及びN型ソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、の内の一つ又はそれ以上を連続的に変化させることによって実施することが可能である。これら6つのイオン注入パラメータの連続的な変化を適切に選択することは、上述した第2ハローポケット垂直分布となり、その場合には、全N型ドーパントの濃度 N_T は、上部半導体表面からIGFE102U又は106Uのハローポケット290U又は366Uの深さ y の少なくとも50%、好適には少なくとも60%、の深さ y へ、ポケット290U又は366Uを介してソース延長部280E又は360Eの脇へ延在する仮想的垂直線に沿って、ポケット290U又は366Uにおけるその垂直線の部分に沿って必ずしも複数の局所的最大に到達すること無しに、移る場合に、2.5を超えることの無い係数だけ、好適には2を超えることの無い係数だけ、より好適には1.5を超えることの無い係数だけ、更により好適には1.25を超えることの無い係数だけ、変化する。

【0844】

現在のイオン注入装置では、イオン注入中の半導体ドーパントの原子種、ドーパント含有粒子種、及びドーパント含有粒子種の粒子イオン化荷電状態を、イオン注入操作を中断すること無しに、変えることは困難である。従って、迅速なスループットを得るために、通常は、この代替例及びP型ソースハロー注入に対する対応する代替例が、注入エネルギー、注入傾斜角度 α_{sH} 、及び注入ドーズ量、の内の1つ又はそれ以上を、注入を中断すること無しに、又は著しく停止すること無しに、連続的に変化させることによって実現される。注入ドーズ量は、通常、注入エネルギーが増加される場合に、増加され、その逆も又真である。しかしながら、注入エネルギー、注入傾斜角度 α_{sH} 、及び注入ドーズ量の内の一つ又はそれ以上を、たとえ(a)イオン注入中の半導体ドーパントの原子種、(b)ドーパント含有粒子種、及び(c)ドーパント含有粒子種の粒子イオン化荷電状態、の内の一つ又はそれ以上を変えらるために注入操作を一時的に中断する場合であっても、連続的に変化させることが可能である。

【0845】

更に、各ソースハロー注入は、一つ又はそれ以上の固定条件ドーパント導入操作と一つ又はそれ以上の連続的に変化するドーパント導入操作との選択した取り合わせから構成することが可能である。各固定条件ドーパント導入操作は、注入エネルギー、注入傾斜角度 α_{sH} 、注入ドーズ量、ソースハロードーパントの原子種、ソースハロードーパントのドーパント含有粒子種、及びソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、の内の選択した組み合わせで実施することが可能である。これら6つのイオン注入パラメータは、各固定条件ドーパント導入操作期間中に実質的に固定され且つその他の固定条件ドーパント導入操作に対するこれらのパラメータの組み合わせとは通常異なるものである。

【0846】

各連続的に変化するドーパント導入操作は、注入エネルギー、注入傾斜角度 α_{sH} 、注入ドーズ量、ソースハロードーパントの原子種、ソースハロードーパントのドーパント含有粒子種、及びソースハロードーパントのドーパント含有粒子種の粒子イオン化荷電状態、の内の一つ又はそれ以上を連続的に変化させることによって実施される。迅速なスループットを得るために、各連続的に変化するドーパント導入操作は、注入エネルギー、注入傾斜角度 α_{sH} 、及び注入ドーズ量、の内の一つ又はそれ以上を、その操作を中断するか又は

著しく停止すること無しに、連続的に変化させることによって実施される。注入ドーズ量は、注入エネルギーが増加される場合に、通常は増加され、且つその逆もまた真である。

【0847】

○. 垂直にグレイデッドさせたソース・ボディ接合及びドレイン・ボディ接合

I G F E Tのソース・ボディ又はドレイン・ボディ P N接合の垂直グレイディング (grading) は、一般的には、ソース又はドレインの最も高度にドーピングされている物質を介して通過する垂直線に沿って接合を交差する場合に正味ドーパント濃度勾配を減少させることを意味している。上述した如く、図11のC I G F E T構成体におけるI G F E Tのソース・ボディ接合及びドレイン・ボディ接合はこの様な態様で垂直方向にグレイデッド (graded) させることが可能である。減少された接合垂直ドーパント濃度勾配は、ソース・ボディ接合及びドレイン・ボディ接合に沿って寄生容量を減少させ、それにより例示したI G F E Tが一層高速でスイッチすることを可能とさせる。

【0848】

図34-1乃至34-3 (集約的に「図34」) は、本発明に従って構成されたC I G F E T半導体構成体の3つの部分を例示しており、その場合に、非対称的相補的I G F E T 100及び102、延長型ドレイン相補的I G F E T 104及び106、及び対称的低リーク相補的I G F E T 108及び110夫々の変形例100V, 102V, 104V, 106V, 108V, 110Vは、垂直にグレイデッドされたソース・ボディ接合及びドレイン・ボディ接合が設けられている。以下に更に説明するように、延長型ドレインI G F E T 104V又は106Vのソース・ボディ接合324又は364のみが垂直にグレイデッドされている。非対称的I G F E T 100V又は102Vのソース・ボディ接合246又は286及びドレイン・ボディ接合248又は288の両方が垂直にグレイデッドされている。対称的108V又は110VのS/D・ボディ接合446及び448又は486及び488の両方が垂直にグレイデッドされている。

【0849】

接合グレイディングとは別に、図34におけるI G F E T 100V, 102V, 104V, 106V, 108V, 110Vは、夫々、図11におけるI G F E T 100, 102, 104, 106, 108, 110と実質的に同一である。従って、各I G F E T 100V, 102V, 104V, 106V, 108V又は110Vは、S/Dゾーンが垂直接合グレイディングを包含していることの修正を行なえば、対応するI G F E T 100, 102, 104, 106, 108又は110の全てのコンポーネントを包含している。

【0850】

非対称的I G F E T 100V及び102Vが図11-1に対応する図34-1に表れている。NチャンネルI G F E T 100V用の垂直接合グレイディングは、高度にドーピングしたN型底部ソース部分240L及び高度にドーピングしたN型底部ドレイン部分242Lで達成され、それらは、夫々、主要ソース部分240M及び主要ドレイン部分242Mの下側に存在している。高度にドーピングされているが、N+下部ソース部分240L及びN+下部ドレイン部分242Lは、夫々、N++主要ソース部分240M及びN++主要ドレイン部分242Mよりは一層より軽度ドーピングされている。N+下部ソース部分240LはN++主要ソース部分240Mと垂直方向に連続的である。N++主要ソース部分240Mと比較してN+下部ソース部分240Lの一層軽度のN型ドーピングは、下部ソース部分240Lに沿って延在するソース・ボディ接合246の部分を横断しての垂直ドーパント濃度勾配を減少させる。

【0851】

図11-2及び12の例における如く、N+ドレイン延長部242Eは、図34-1の例におけるN++主要ドレイン部分242M下側を延在する。N+下部ドレイン部分242Lは、好適には、ドレイン延長部242E下側を延在する。即ち、下部ドレイン部分242Lは、好適には、図34-1の例に示した如く、ドレイン延長部242Eよりも一層深くに延在する。従って、N++主要ドレイン部分242Mと比較してN+下部ドレイン

部分 2 4 2 L の一層軽度の N 型ドーピングは、下部ドレイン部分 2 4 2 L に沿って延在するドレイン・ボディ接合 2 4 8 の部分を横断しての垂直ドーパント濃度勾配を減少させる。主要ドレイン部分 2 4 2 M よりも一層深くに延在しているが、下部ドレイン部分 2 4 2 L は、代替的に、ドレイン延長部 2 4 2 E よりも一層浅くに延在することが可能である。その場合には、ドレイン延長部 2 4 2 E は、ドレイン・ボディ接合 2 4 8 の下側に存在する部分を横断しての垂直ドーパント濃度勾配を減少させる上で下部ドレイン部分 2 4 2 L を助ける。

【0852】

そのソースが垂直方向にグレイデッドされたソース・ボディ PN 接合を達成するために主要ソース部分と下側に存在する一層軽度にドーブした下部部分とを包含し、且つそのドレインが垂直方向にグレイデッドされたドレイン・ボディ PN 接合を達成するために主要部分と下側に存在する一層軽度にドーブした下部部分とを包含する IGFET の場合に、 y_{sL} 及び y_{dL} が、夫々、下部ソース部分及び下部ドレイン部分の最大深さを表すものとする。そうすると、IGFET 100 V のソース深さ y_s はその下部ソース部分深さ y_{sL} と等しい。下部ドレイン部分 2 4 2 L がドレイン延長部 2 4 2 E よりも一層深くに延在している図 3 4 - 1 の好適な例においては、IGFET 100 V のドレイン深さ y_d はその下部ドレイン部分深さ y_{dL} に等しい。

【0853】

IGFET 100 のソース深さ y_s が通常 $0.08 - 0.20 \mu\text{m}$ であり、典型的には $0.14 \mu\text{m}$ であることに注意すると、IGFET 100 V のソース深さ y_s は通常 $0.15 - 0.25 \mu\text{m}$ であり、典型的には $0.20 \mu\text{m}$ である。従って、下部ソース部分 2 4 0 L は、ソース深さ y_s をしてかなり増加させる。同様に、IGFET 100 のドレイン深さ y_d が通常 $0.10 - 0.22 \mu\text{m}$ であり、典型的には $0.16 \mu\text{m}$ であることに注意すると、IGFET 100 V のドレイン深さ y_d は通常 $0.15 - 0.25 \mu\text{m}$ であり、典型的には $0.20 \mu\text{m}$ である。その結果、下部ドレイン部分 2 4 2 L は、ドレイン深さ y_d を著しく増加させるが、ソース深さ y_s における増加よりも幾分より少ない。図 3 4 - 1 の好適な例においては、ソース深さ y_s 及びドレイン深さ y_d は IGFET 100 V に対してはほぼ同じである。

【0854】

IGFET 100 V の下部ソース部分 2 4 0 L 及び下部ドレイン部分 2 4 2 L は、両方共、N 型接合グレイディング S/D ドーパントで画定されている。どのようにして N 型接合グレイディングドーパントが非対称的 IGFET 100 V のソース・ボディ接合 2 4 6 及びドレイン・ボディ接合 2 4 8 を横断して垂直ドーパント濃度勾配を減少させるかの理解は図 3 5 a、3 5 b、3 5 c (集約的に「図 3 5」) 及び図 3 6 a、3 6 b、3 6 c (集約的に「図 3 6」) の助けを借りて容易化される。ソース部分 2 4 0 M 及び 2 4 0 L を介して及び空のウェル主要ボディ物質部分 2 5 4 を介して垂直線 2 7 4 M に沿っての深さ y の関数としての例示的なドーパント濃度が図 3 5 に提示されている。図 3 6 は、ドレイン部分 2 4 2 M 及び 2 4 2 L (及び 2 4 2 E) を介して及びボディ物質部分 2 5 4 を介して垂直線 2 7 8 M に沿っての深さ y の関数としての例示的なドーパント濃度を提示している。

【0855】

IGFET 100 に対する図 1 4 a 及び 1 8 a に夫々類似している図 3 5 a 及び 3 6 a は、グレイデッド接合 IGFET 100 V の領域 1 3 6, 2 1 0, 2 4 0 M, 2 4 0 E, 2 4 0 L, 2 4 2 M, 2 4 2 E, 2 4 2 L, 2 5 0, 2 5 4 を垂直方向に画定しており、従って、(a) ソース部分 2 4 0 M 及び 2 4 0 L 及び空のウェルボディ物質部分 2 5 4 の下側に存在する物質、及び (b) ドレイン部分 2 4 2 M, 2 4 2 E, 2 4 2 L 及びボディ物質部分 2 5 4 の下側に存在する物質、における垂直ドーパント部分を夫々確立している、個別的な半導体ドーパントの垂直線 2 7 4 M 及び 2 7 8 M に沿っての濃度 N_1 を例示している。図 3 5 a 及び 3 6 a における曲線 2 4 0 L' 及び 2 4 2 L' は、夫々の下部ソース部分 2 4 0 L 及び下部ドレイン部分 2 4 2 L を画定する N 型接合グレイディング S/D

10

20

30

40

50

ドーパントの濃度 N_I （ここでは垂直のみ）を表している。図 3 5 a 及び 3 6 a におけるその他の曲線は図 1 4 a 及び 1 8 a と同じ意味を有している。

【0856】

I G F E T 1 0 0 に対する図 1 4 b 及び 1 8 b と夫々類似して、図 3 5 b 及び 3 6 b は、I G F E T 1 0 0 V の垂直線 2 7 4 M 及び 2 7 8 M に沿っての領域 1 3 6, 2 1 0, 2 4 0 M, 2 4 0 L, 2 4 2 M, 2 4 2 L, 2 5 0, 2 5 4 における全 P 型及び全 N 型ドーパントの濃度 N_T を種々に図示している。図 3 5 b 及び 3 6 b における曲線 2 4 0 L' 及び 2 4 2' は、夫々、下部ソース部分 2 4 0 L 及び下部ドレイン部分 2 4 2 L に対応している。従って、図 3 5 b における曲線 2 4 0 L' は、図 3 5 a における曲線 2 4 0 L', 2 4 0 M', 2 4 0 E' の対応する部分の和を表しており、一方、図 3 6 b における曲線 2 4 2 L' は図 3 6 a における曲線 2 4 2 L', 2 4 2 M', 2 4 2 E' の対応する部分の和を表している。図 3 5 b 及び 3 6 b におけるその他の曲線及び曲線セグメントは、図 1 4 b 及び 1 8 b におけるものと同じ意味を有しているが、異なる点は、図 3 5 b における曲線 2 4 0 M' は図 3 5 a における曲線 2 4 0 M', 2 4 0 E', 2 4 0 L' の対応する部分の和を表しており、図 3 6 b における曲線 2 4 2 M' は図 3 6 a における曲線 2 4 2 M', 2 4 2 E', 2 4 2 L' の対応する部分の和を表しており、且つ図 3 6 b における曲線 2 4 2 E' は図 3 6 a における曲線 2 4 2 E', 2 4 2 M', 2 4 2 L' の対応する部分の和を表している点である。図 3 5 b における品目 2 4 0' はソース 2 4 0 に対応しており且つ曲線セグメント 2 4 0 M' 及び 2 4 0 L' の結合を表している。図 3 6 b における品目 2 4 2' はドレイン 2 4 2 に対応しており且つ曲線セグメント 2 4 2 M', 2 4 2 L', 2 4 2 E' の結合を表している。

【0857】

I G F E T 1 0 0 に対する図 1 4 c 及び 1 8 c に対して夫々類似している図 3 5 c 及び 3 6 c は、I G F E T 1 0 0 V に対する垂直線 2 7 4 M 及び 2 7 8 M に沿っての正味ドーパント濃度 N_N を提示している。下部ソース部分 2 4 0 L 及び下部ドレイン部分 2 4 2 L における正味 N 型ドーパントの濃度 N_N は、夫々、図 3 5 c 及び 3 6 c における曲線セグメント 2 4 0 L* 及び 2 4 2 L* によって表されている。図 3 5 c 及び 3 6 c におけるその他の曲線及び曲線セグメントは図 1 4 c 及び 1 8 c と同じ意味を有している。図 3 5 c における品目 2 4 0* はソース 2 4 0 に対応しており且つ曲線セグメント 2 4 0 M* 及び 2 4 0 L* の結合を表している。図 3 6 c における品目 2 4 2* はドレイン 2 4 2 に対応しており且つ曲線セグメント 2 4 2 M*, 2 4 2 L*, 2 4 2 E* の結合を表している。

【0858】

図 3 5 a における曲線 2 4 0 L' 及び 2 4 0 M' によって示されるように、N 型接合グレイディング S/D ドーパントは、ソース 2 4 0 内の N 型主要 S/D ドーパントの最大濃度の位置下側の表面下位置に沿ってソース 2 4 0 内の最大濃度に到達する。曲線 2 4 0 L' 及び 2 4 0 M' は、ソース 2 4 0 内の N 型接合グレイディング S/D ドーパントの最大濃度がソース 2 4 0 内の N 型主要 S/D ドーパントの最大濃度よりも低いことを、示している。図 3 5 a における曲線 2 4 0 L' 及び 2 4 0 E' は、ソース 2 4 0 における N 型接合グレイディング S/D ドーパントの最大濃度が、ソース 2 4 0 における N 型浅いソース延長部ドーパントよりも垂直線 2 7 4 M に沿って一層大きな深さにおいて発生し、且つそれよりも線 2 7 4 M に沿って一層低い値のものである、ことを示している。図 3 6 a における曲線 2 4 2 M' 及び 2 4 2 L' を参照すると、それらは、N 型接合グレイディング S/D ドーパントが、ドレイン 2 4 2 内の N 型主要 S/D ドーパントの最大濃度の位置下側の表面下位置に沿ってドレイン 2 4 2 内の最大濃度に到達する、ことを示している。更に、曲線 2 4 2 L' 及び 2 4 2 M' は、ドレイン 2 4 2 内の N 型接合グレイディング S/D ドーパントの最大濃度がドレイン 2 4 2 内の N 型主要 S/D ドーパントの最大濃度よりも一層低い、ことを示している。図 3 6 a における曲線 2 4 2 L' 及び 2 4 2 E' は、ドレイン 2 4 2 内の N 型接合グレイディング S/D ドーパントの最大濃度が、図 3 4 - 1 及び 3 5, 3 6 の例におけるドレイン 2 4 2 内の N 型ディープ S/D 延長部ドーパントよりも一層大きな深さにおいて発生し、且つそれよりも一層低い値のものである、ことを示して

いる。

【0859】

図35b及び36bを参照すると、ソース240及びドレイン242内のN型接合グレイディングS/Dドーパントの分布は、ソース240及びドレイン242内の全N型ドーパントの濃度 N_T を表す曲線240"及び242"の形状がソース・ボディ接合246及びドレイン・ボディ接合248の近傍におけるN型接合グレイディングS/Dドーパントによって決定されるように制御される。このことは、図35a及び36aにおける曲線240"及び242"を夫々図14a及び18aにおける曲線240"及び242"と比較することによって明確に理解することが可能である。N型接合グレイディングS/Dドーパントはソース240及びドレイン242の両方におけるN型主要S/Dドーパントよりも一層低い最大ドーパント濃度を有しているため、N型接合グレイディングS/Dドーパントは、任意の特定のドーパント濃度において、N型主要S/Dドーパントよりも一層低い垂直濃度勾配を有している。その結果、N型接合グレイディングS/Dドーパントは、ソース240及びドレイン242内のN型垂直ドーパントをして接合246及び248の近傍において減少させることとなる。減少された接合垂直ドーパント濃度勾配は図35c及び36cにおける曲線240*及び242*によって反映されている。

【0860】

PチャンネルIGFET102V用の垂直接合グレイディングは、高度にドーブされたP型下部ソース部分280L及び高度にドーブされたP型下部ドレイン部分282Pで達成されており、それらは、夫々、主要ソース部分280M及び主要ドレイン部分282Mの下側に存在している。図34-1を参照のこと。高度にドーブされているが、P+下部ソース部分280L及び下部ドレイン部分282Lは夫々P++主要ソース部分280M及びP++主要ドレイン部分282Mよりも一層軽度（1層）にドーブされている。P+下部ソース部分280LはP++主要ソース部分280Mと垂直方向に連続的である。下部ソース部分280Lの1層軽度のP型ドーピングに起因して、下部ソース部分280Lに沿って延在しているソース・ボディ接合286の部分を横断しての垂直ドーパント濃度勾配が減少される。

【0861】

図11-1及び12の例におけるように、P+ドレイン延長部282Eは図34-1の例においてはP++主要ドレイン部分282Mの下側に延在している。P+下部ドレイン部分282Lはドレイン延長部282Eの下側に延在している。換言すると、下部ドレイン部分282Lは、図34-1の例においては、ドレイン延長部282Eよりも一層深くに延在している。主要ドレイン部分282Mと比較して下部ドレイン部分282Lの1層軽度のP型ドーピングは、同様に、下部ドレイン部分282Lに沿って延在するドレイン・ボディ接合288の部分を横断しての垂直ドーパント濃度勾配を減少させる。NチャンネルIGFET100Vについて上述したことと同様に、PチャンネルIGFET102Vの下部ドレイン部分282Lは、代替的に、主要ドレイン部分282Mよりも一層深くに延在しながらも、ドレイン延長部282Eよりも一層浅く（1層）に延在することが可能である。ドレイン延長部282Eは、ドレイン・ボディ接合288の下側部分を横断しての垂直ドーパント濃度勾配を減少させる上で下部ドレイン部分282Lを助ける。

【0862】

IGFET102Vのソース深さ y_s はその下部ソース部分深さ y_{sL} に等しい。図34-1の好適例においては、下部ドレイン部分282Lがドレイン延長部282Eよりも一層深くに延在しており、IGFET102Vのドレイン深さ y_d はその下部ドレイン部分深さ y_{dL} に等しい。IGFET102のソース深さ y_s は通常 $0.05 - 0.15 \mu m$ であり、典型的には $0.10 \mu m$ であることに注意すると、IGFET102Vのソース深さ y_s は通常 $0.08 - 0.20 \mu m$ であり、典型的には $0.12 \mu m$ である。従って、下部ソース部分280Lはソース深さ y_s をして著しく増加させる。同様に、IGFET100のドレイン深さ y_d は通常 $0.08 - 0.20 \mu m$ であり、典型的には $0.14 \mu m$ であることに注意すると、IGFET100Vのドレイン深さ y_d は通常 0.10

ー0.25 μm であり、典型的には0.17 μm である。その結果、下部ドレイン部分242 Lは、ドレイン深さ y_D をして著しく増加させる。図34-1の好適な例においては、IGFET102 Vに対するドレイン深さ y_D はそのソース深さ y_S よりもかなり一層大きい。

【0863】

IGFET102 Vの下部ソース部分280 L及び下部ドレイン部分282 Lは、P型接合グレイディングS/Dドーパントで画定される。P型主要S/Dドーパントのドーパント分布と相対的なP型グレイディング接合S/Dドーパントのドーパント分布は、N型グレイディング接合S/Dドーパントのドーパント分布がN型主要S/Dドーパントのドーパント分布と相対的に制御されるのと同じの態様で制御される。ソース280及びドレイン282の各々において、P型接合グレイディングS/DドーパントはP型主要S/Dドーパントの最大濃度の位置下側の表面下位置に沿って最大濃度に到達する。又、ソース280及びドレイン282の各々におけるP型接合グレイディングS/Dドーパントは、P型主要S/Dドーパントよりも一層低い最大濃度を有している。特に、ソース280及びドレイン282におけるP型接合グレイディングS/Dドーパントの分布は、ソース280及びドレイン282内の全P型ドーパントの濃度がソース・ボディ接合286及びドレイン・ボディ接合288の近傍におけるP型接合グレイディングS/Dドーパントによって決定されるように制御される。P型接合グレイディングS/Dドーパントは、ソース280及びドレイン282におけるP型垂直ドーパント濃度勾配を接合286及び288の近傍において減少させている。

【0864】

延長型ドレインIGFET104 V及び106 Vは図11-2に対応する図34-2に表われている。NチャンネルIGFET104 Vに対する垂直ソース接合グレイディングは、主要ソース部分320 Mの下側に存在しており且つ垂直方向にそれと連続的である高度にドーピングしたN型下部ソース部分320 Lで達成される。高度にドーピングされているが、N+下部ソース部分320 LはN++主要ソース部分320 Mよりも一層軽度にドーピングされている。主要ソース部分320 Mと比較して下部ソース部分320 Lの一層軽度のN型ドーピングに起因して、下部ソース部分320 Lに沿って延在するソース・ボディ接合324の部分を横断しての垂直ドーパント濃度勾配は減少される。N+下部ソース部分320 Lを設けることの副作用として、IGFET104 Vは島状部144 B内のN++ドレインコンタクト部分/主要ドレイン部分334の直下に位置されている高度にドーピングしたN型中間部分910を包含している。N+中間部分910はドレイン184 Bの一部を形成するが、IGFET104の動作に関して何らの顕著な影響を有するものではない。

【0865】

下部ソース部分320 L及び中間ドレイン部分910は、N型接合グレイディングS/Dドーパントで画定される。どのようにしてN型接合グレイディングS/DドーパントがIGFET100 VのS/Dゾーン240及び242におけるN型垂直ドーパント濃度勾配を接合246及び248の近傍において減少させるかについての前述した説明は、ソース・ボディ接合324の近傍においてIGFET104 VのN型垂直ドーパント濃度勾配を減少させることに適用される。従って、IGFET104 Vのソース320内のN型接合グレイディングS/Dドーパントの分布は、ソース320内の全N型ドーパントの濃度がソース・ボディ接合324の近傍におけるN型接合グレイディングS/Dドーパントによって決定されるように制御される。その結果、N型接合グレイディングS/Dドーパントは、ソース320内のN型垂直ドーパント濃度勾配をソース・ボディ接合324の近傍において減少させる。

【0866】

PチャンネルIGFET106 Vに対する垂直ソース接合グレイディングは、同様に、主要ソース部分360 Mの下側に存在し且つそれと垂直方向に連続的である高度にドーピングしたP型下部ソース部分360 Lで達成される。図34-2を参照のこと。P+下部ソース部分360 LはP++主要ソース部分360 Mよりも一層軽度にドーピングされている。そ

の結果、下部ソース部分 360 L に沿って延在するソース・ボディ接合 364 の部分を横断しての垂直ドーパント濃度勾配は減少される。副作用として、IGFET 106 V は、島状部 146 B 内の P++ ドレインコンタクト部分／主要ドレイン部分 374 直下に位置されている高度にドーパされた P 型中間ドレイン部分 912 を包含している。N+ 中間ドレイン部分 912 は、IGFET 106 V の動作に関して何らの顕著な効果を有するものではない。

【0867】

下部ソース部分 360 L 及び中間ドレイン部分 912 は P 型接合グレイディング S/D ドーパントで画定されている。どのようにして N 型接合グレイディング S/D ドーパントが IGFET 104 V のソースゾーン 320 内の N 型垂直ドーパント濃度勾配をソース・ボディ接合 324 の近傍において減少させるかについての前述した説明は、ソース・ボディ接合 364 の近傍においての IGFET 106 の N 型垂直ドーパント濃度勾配を減少させることに適用される。即ち、IGFET 106 V のソース 360 内の P 型接合グレイディング S/D ドーパントの分布は、ソース 360 内の全 P 型ドーパントの濃度がソース・ボディ接合 364 の近傍における P 型接合グレイディング S/D ドーパントによって決定されるように制御される。P 型接合グレイディング S/D ドーパントは、ソース 360 内の P 型垂直ドーパント濃度勾配をしてソース・ボディ接合 364 の近傍において減少させる。

【0868】

対称的低電圧 IGFET 108 V 及び 110 V は図 11-3 に対応する図 34-3 において表われている。N チャンネル IGFET 108 V 用の垂直接合グレイディングは、ほぼ同一の高度にドーパした N 型下部 S/D 部分 440 L 及び 442 L で達成されており、それらは、夫々、主要 S/D 部分 440 M 及び 442 M の下側に存在しており且つそれらと夫々垂直方向に連続的である。高度にドーパされているが、N+ 下部 S/D 部分 440 L 及び 442 L は N++ 主要 S/D 部分 440 M 及び 442 M よりも一層軽度にドーパされている。主要 S/D 部分 440 M 及び 442 M と比較して下部 S/D 部分 440 L 及び 442 L の一層軽度のドーピングは、下部 S/D 部分 440 L 及び 442 L に沿って夫々延在している S/D・ボディ接合 446 及び 448 の部分を横断しての垂直ドーパント濃度勾配を減少させている。

【0869】

下部 S/D 部分 440 L 及び 442 L は N 型接合グレイディング S/D ドーパントで画定されている。どのようにして N 型接合グレイディング S/D ドーパントが対称的 IGFET 108 の S/D・ボディ接合 446 及び 448 を横断しての垂直ドーパント濃度勾配を減少させるかの理解は、図 37a, 37b, 37c (集約的に「図 37」) の助けを借りて容易化される。図 37 は、S/D 部分 440 M 及び 440 L 又は 442 M 及び 442 L を介して及び下側に存在する充填したウェル主要ボディ物質部分 456 及び 454 を介しての垂直線 474 又は 476 に沿っての深さ y の関数としての例示的なドーパント濃度を提示している。

【0870】

IGFET 108 に対する図 31a に類似している図 37a は、グレイデッド接合 IGFET 108 V の領域 136, 440 M, 440 E, 440 L, 442 M, 442 E, 442 L, 450, 452, 454, 456, 458 を垂直方向に画定しており、従って夫々 S/D 部分 440 M 及び 440 L 又は 442 M 及び 442 L 及び充填したウェルボディ物質部分 454 及び 456 の下側に存在する物質内に夫々垂直ドーパント分布を確立する、個々の半導体ドーパントの垂直線 474 又は 476 に沿っての濃度 N_1 を特に例示している。曲線 440 L' 又は 442 L' は下部 S/D 部分 440 L 又は 442 L を画定する N 型接合グレイディング S/D ドーパントの濃度 N_1 (ここでは垂直のみ) を表している。図 37a におけるその他の曲線は図 31a におけるのと同じ意味を有している。線 474 又は 476 に沿っての S/D ゾーン 440 又は 442 における N 型浅い S/D 延長部ドーパントの濃度 N_1 を表す曲線 440 E' 又は 442 E' は、紙面の都合上図 37a には

10

20

30

40

50

符号を付けていないが、曲線 440M' 及び 442M' の完全に下側に存在しており、且つ曲線 440E' 又は 442E' に符号を付けてある類似の図 31a を特に検討することによって容易に識別することが可能である。

【0871】

IGFET108 に対する図 31b に類似して、図 37b は、IGFET108V の垂直線 474 又は 476 に沿って領域 136, 440M, 440L, 442M, 442L, 454, 456 における全 P 型及び全 N 型ドーパントの濃度 N_T を種々に図示している。図 37b における曲線 440L" 又は 442L" は下部 S/D 部分 440L 又は 442L に対応している。図 37b における曲線 440L" 又は 442L" は、図 37a における曲線 440L', 440M', 440E' 又は曲線 442L', 442M', 442E' の対応する部分の和を表している。図 37b におけるその他の曲線及び曲線セグメントは、図 31b におけるものと同じ意味を有しているが、異なる点としては、図 37b における曲線 440M" 又は 442M" は、今は、図 37a における曲線 440M', 440E', 440L' 又は曲線 442M', 442E', 442L' の対応する部分の和を表している点である。図 37b における品目 440" 又は 442" は、S/D ゾーン 440 又は 442 に対応しており且つ曲線セグメント 440M" 及び 220L" 又は曲線セグメント 442M" 及び 442L" の結合を表している。

10

【0872】

IGFET108 に対する図 31a に類似した図 37c は、IGFET108V に対する垂直線 474 又は 476 に沿って正味ドーパント濃度 N_N を提示している。下部 S/D 部分 440L 又は 442L における正味 N 型ドーパントの濃度 N_N は図 37c 中の曲線セグメント 440L* 又は 442* によって表されている。図 37c におけるその他の曲線及び曲線セグメントは、図 31c におけるものと同じ意味を有している。図 37c における品目 440* 又は 442* は S/D ゾーン 440 又は 442 に対応しており且つ曲線セグメント 440M* 及び 440L* 又は 442M* 及び 442L* の結合を表している。

20

【0873】

図 37a における曲線 440L' 及び 440M' 又は 442L' 及び 442M' は、N 型接合グレイディング S/D ドーパントが、その S/D ゾーン 440 又は 442 における N 型主要 S/D ドーパントの最大濃度の位置下側の表面下位置に沿って各 S/D ゾーン 440 又は 442 における最大濃度に到達する、ことを示している。更に、曲線 440L' 及び 440M' 又は 442L' 及び 442M' は、各 S/D ゾーン 440 又は 442 における N 型接合グレイディング S/D ドーパントの最大濃度がその S/D ゾーン 440 又は 442 における N 型主要 S/D ドーパントの最大濃度よりも一層低い、ことを示している。曲線 440L' 及び 440E' (符号を付けていない) 又は 442L' 及び 442E' (符号を付けていない) は、S/D ゾーン 440 又は 442 における N 型接合グレイディング S/D ドーパントの最大濃度が S/D ゾーン 440 又は 442 における N 型浅い S/D 延長部ドーパントよりも垂直線 474 又は 476 に沿って一層大きな深さにおいて発生し、且つそれよりも線 474 又は 476 に沿って一層低い値のものである、ことを示している。

30

【0874】

図 37b を参照すると、S/D ゾーン 440 又は 442 における N 型接合グレイディングドーパントの分布は、その S/D ゾーン 440 又は 442 における全 N 型ドーパントの濃度 N_T を表す曲線 440" 又は 442" の形状が S/D・ボディ接合 446 又は 448 の近傍における N 型接合グレイディング S/D ドーパントによって決定されるように、制御される。図 37a における曲線 440" 又は 442" を図 31a における曲線 440" 又は 442" と比較するとよい。N 型接合グレイディング S/D ドーパントが各 S/D ゾーン 440 又は 442 における N 型主要 S/D ドーパントよりも一層低い最大ドーパント濃度を有しているので、N 型接合グレイディング S/D ドーパントは、任意の特定のドーパント濃度において、N 型主要 S/D ドーパントよりも一層低い垂直濃度勾配を有している。従って、N 型接合グレイディング S/D ドーパントは、各 S/D ゾーン 440 又は 4

40

50

42におけるN型垂直ドーパント勾配をしてS/D・ボディ接合446又は448の近傍において減少させる。その減少された接合垂直ドーパント濃度勾配は図37cにおける曲線440*又は442*によって反映されている。

【0875】

PチャンネルIGFET110Vに対する垂直接合グレイディングは、ほぼ同一の高度にドーピングしたP型下部S/D部分480L及び482Lで達成されており、それらは、夫々、主要S/D部分480M及び482Mの下側に存在しており且つ夫々それらと垂直方向に連続的である。図34-3を参照のこと。高度にドーピングされているが、P+下部S/D部分480L及び482Lは、夫々、P++主要S/D部分480M及び482Mよりも一層軽度にドーピングされている。下部S/D部分480L又は482Lの一層軽度のP型ドーピングは、下部S/D部分480L又は482Lに沿って延在するS/D・ボディ接合446又は448の部分を横断しての垂直ドーパント濃度勾配をして減少させている。

【0876】

IGFET110Vの下部S/D部分480L及び482Lは、P型接合グレイディングS/Dドーパントで画定されている。P型主要S/Dドーパントのドーパント分布と相対的なP型グレイディング接合S/Dドーパントのドーパント分布は、N型グレイディング接合S/Dドーパントのドーパント分布がN型主要S/Dドーパントのドーパント分布と相対的に制御されるのと同じ態様で制御される。各S/Dゾーン480又は482において、P型接合グレイディングS/DドーパントはP型主要S/Dドーパントの最大濃度の値下側の表面下位置に沿って最大濃度に到達する。各S/Dゾーン480又は482におけるP型接合グレイディングS/DドーパントはP型主要S/Dドーパントよりも一層低い最大濃度を有している。より詳細には、各S/Dゾーン480又は482におけるP型接合グレイディングドーパントの分布は、そのS/Dゾーン480又は482における全P型ドーパントの濃度がS/D・ボディ接合486又は488の近傍におけるP型接合グレイディングS/Dドーパントによって決定されるように制御される。従って、P型接合グレイディングS/Dドーパントは、各S/Dゾーン480又は482内のP型垂直ドーパント濃度勾配をして接合486又は488近傍において減少させる。

【0877】

対称的低リークIGFET108及び110における垂直接合グレイディングを取り扱うものは、充填した主要ウェル領域188及び190の使用に依存するものではない。従って、それがP型充填した主要ウェル、P型空のウェル、又はP型ウェル無し、のいずれを使用するものであるかに拘わらずに、その他の例示した対称的NチャンネルIGFETの各々は、垂直接合グレイディングを達成する一対の高度にドーピングしたN型下部S/D部分が設けることが可能である。該その他の例示した対称的PチャンネルIGFETの各々は、それがN型充填した主要ウェル、N型空の主要ウェル、又はN型ウェル無し、のいずれを使用するかに拘わらずに、同様に、垂直接合グレイディングを達成する一対の高度にドーピングしたP型下部S/D部分を設けることが可能である。

【0878】

上述した如く、NチャンネルIGFETに対するN型接合グレイディング注入が、初期的スパイクアニールの前にホトレジストマスク970が所定の位置にある間に、N型主要S/D注入に関連して実施される。N型接合グレイディングS/Dドーパントが、高いドーピング量で、ホトレジスト970における開口を介して、表面誘電体層964の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a)非対称的IGFET100のN+下部ソース部分240L及びN+下部ドレイン部分242L、(b)延長型ドレインIGFET104のN+下部ソース部分320L及びN+中間ドレイン部分910、(c)対称的NチャンネルIGFET108のN+下部S/D部分440L及び442L、及び(d)各その他の例示した対称的NチャンネルIGFET用の一対のほぼ同一のN+下部S/D部分(不図示)、を画定する。

【0879】

N型主要ドーパント及び接合グレイディングS/Dドーパントの両方は、上部半導体表

面に沿って実質的に同一の物質、即ち表面誘電体層 964、を介して通過する。上述した N 型主要及び接合グレイディングドーパント分布を達成するために、N 型主要 S/D 注入及び接合グレイディング S/D 注入に対する注入エネルギーは、N 型接合グレイディング S/D 注入が N 型主要 S/D 注入よりも一層大きな注入レンジのものであるように、選択される。このことは、N 型接合グレイディング S/D ドーパントが N 型主要 S/D ドーパントよりも一層大きな平均深さへ注入させることを可能とさせる。更に、N 型接合グレイディング S/D ドーパントは、N 型主要 S/D ドーパントよりも適切に一層低いドーズ量において注入される。

【0880】

N 型主要 S/D ドーパントが上に与えたドーズ量で注入される場合には、N 型接合グレイディング S/D ドーパントの該一層低いドーズ量は、通常 $1 \times 10^{13} - 1 \times 10^{14}$ イオン数/cm² であり、典型的には $3 \times 10^{13} - 4 \times 10^{13}$ イオン数/cm² である。通常燐又は砒素から構成されている N 型接合グレイディング S/D ドーパントは、通常、N 型主要 S/D ドーパントよりも一層低い原子量のものである。砒素が N 型主要 S/D ドーパントを構成しており一方より低い原子量の燐が N 型接合グレイディング S/D ドーパントを構成している典型的な場合には、N 型接合グレイディング S/D ドーパントの注入エネルギーは通常 20 - 100 keV であり、典型的には 100 keV である。代替的に、N 型接合グレイディングドーパントは、N 型主要 S/D ドーパントと同じ元素、従って同じ原子量のものから構成することが可能である。その場合には、N 型接合グレイディングドーパントは、N 型主要 S/D ドーパントよりも適切に一層高い注入エネルギーにおいて注入される。

【0881】

又上述した如く、P チャンネル IGFET 用の P 型接合グレイディング注入が、同様に、ホトレジストマスク 972 が所定位置にある間に P 型主要 S/D 注入と関連して該更なるスパイクアニール前に実施される。P 型接合グレイディング S/D ドーパントが、高いドーズ量で、ホトレジスト 972 における開口を介して、表面誘電体層 964 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) 非対称的 IGFET 102 の P+ 下部ソース部分 280 L 及び P+ 下部ドレイン部分 282 L、(b) 延長型ドレイン IGFET 106 の P+ 下部ソース部分 360 L 及び P+ 中間ドレイン部分 912、(c) 対称的 P チャンネル IGFET 108 の P+ 下部 S/D 部分 480 L 及び 482 L、及び (d) 各その他の例示した対称的 P チャンネル IGFET に対する一対のほぼ同一の P+ 下部 S/D 部分 (不図示)、を画定する。

【0882】

N 型主要及び接合グレイディング S/D ドーパントの場合におけるように、P 型主要及び接合グレイディング S/D ドーパントの両方は、上部半導体表面に沿って実質的に同じ物質、即ち表面誘電体層 964、を介して通過する。所要の P 型主要及び接合グレイディングドーパント分布を達成するために、P 型主要及び接合グレイディング S/D 注入用の注入エネルギーは、P 型グレイディング S/D 注入が P 型主要 S/D 注入よりも一層大きな注入レンジを有するように、選択される。その結果、P 型接合グレイディング S/D ドーパントは P 型主要 S/D ドーパントよりも一層大きな平均深さへ注入される。P 型接合グレイディング S/D ドーパントは、P 型主要 S/D ドーパントよりも適切に一層低いドーズ量で注入される。

【0883】

上述したドーズ量で P 型主要 S/D ドーパントを注入するために、P 型接合グレイディング S/D ドーパントの一層低いドーズ量は、通常 $1 \times 10^{13} - 1 \times 10^{14}$ イオン数/cm² であり、典型的には 4×10^{13} イオン数/cm² である。P 型主要 S/D ドーパントの場合のように、P 型接合グレイディング S/D ドーパントは、通常、元素形態におけるボロンから構成されている。その注入エネルギーは、通常 10 - 30 keV であり、典型的には 15 - 20 keV である。

【0884】

P. マルチプライ (Multiply) 注入型ソース延長部を具備する非対称的 I G F E T

P 1. マルチプライ注入型ソース延長部を具備する非対称的 N チャンネル I G F E T の構成

図 3 8 は、本発明に従って構成された図 1 1 の C I G F E T 構成体の変形例の N チャンネル部分を示している。図 3 8 の N チャンネル半導体構成体は、対称的低電圧低リーク高 V_T N チャンネル I G F E T 1 0 8、対称的低電圧低 V_T N チャンネル I G F E T 1 1 2、及び非対称の高電圧 N チャンネル I G F E T 1 0 0 の変形例 1 0 0 W、を包含している。以下に説明する場合を除いて、非対称の高電圧 N チャンネル I G F E T 1 0 0 W は図 1 1-1 における I G F E T 1 0 0 と実質的に同じに構成されている。

10

【0885】

N 型ソース 2 4 0 の代わりに、非対称的 I G F E T 1 0 0 W は、非常に高度にドーブした主要部分 9 8 0 M 及び一層軽度ドーブした横方向延長部 9 8 0 E から構成されている N 型ソース 9 8 0 を有している。N++ 主要ソース部分 9 8 0 M よりも一層軽度ドーブされているが、横方向ソース延長部 9 8 0 E は未だに高度にドーブされている。ソース 9 8 0 に対する外部電気的コンタクトが主要ソース部分 9 8 0 M を介して形成されている。N+ 横方向ソース延長部 9 8 0 E 及び N+ 横方向ドレイン延長部 2 4 2 E が上部半導体表面に沿ってチャンネルゾーン 2 4 4 を終端させている。ゲート電極 2 6 2 が横方向ソース延長部 9 8 0 E の一部にわたり延在しているが、通常は、N++ 主要ソース部分 9 8 0 M のいずれの部分にわたって延在するものではない。

20

【0886】

ドレイン延長部 2 4 2 E は、どのようにして非対称的 I G F E T 1 0 0 のドレイン延長部 2 4 2 E がそのソース延長部 2 4 0 E よりも一層軽度ドーブされているかということと同様に、ソース延長部 9 8 0 E よりも一層軽度ドーブされている。しかしながら、I G F E T 1 0 0 とは異なり、ソース延長部 9 8 0 E は、少なくとも 2 つの別々の注入操作で N 型半導体ドーパントをイオン注入することによって画定される。ソース延長部注入は、通常、ソース延長部 9 8 0 E を画定する全 N 型半導体ドーパントの濃度がソース 9 8 0 内の少なくとも 2 つの夫々対応する表面下濃度最大に局所的に到達するような条件の下で実施される。このことは、ソース延長部 9 8 0 E における垂直ドーパント分布が所望の態様で構成されることを可能とさせる。

30

【0887】

I G F E T 1 0 0 W においてソース延長部 9 8 0 E を画定する表面下濃度最大の各々は、通常、ソース 9 8 0 内の異なる表面下位置において発生する。より詳細には、これらの表面下最大濃度位置の各々は、通常、ソース延長部 9 8 0 E 内に少なくとも部分的に存在している。これらの最大濃度位置の各々は、通常、ソース延長部 9 8 0 E を横断して完全に延在している。特に、主要ソース部分 9 8 0 M の深さ y_{SM} より小さい平均深さ y における一つのこの様な最大濃度位置は、通常、ハローポケット部分 2 5 0 から少なくともソース部分 9 8 0 M へ延在している。主要ソース部分 9 8 0 M の深さ y_{SM} よりも一層大きな平均深さ y における別のこの様な最大濃度位置は、ハローポケット位置 2 5 0 からソース部分 9 8 0 M 下側をフィールド絶縁領域 1 3 8 へ延在している。ソース延長部 9 8 0 E を画定する場合に N 型半導体ドーパントが通常イオン注入される態様に起因して、ソース延長部 9 8 0 E に対する最大濃度位置の一つ又はそれ以上は、通常、主要ソース部分 9 8 0 M 内に延在する。

40

【0888】

I G F E T 1 0 0 W の主要ソース部分 9 8 0 M 及び主要ドレイン部分 2 4 2 M は、I G F E T 1 0 0 の主要ソース部分 2 4 0 M 及び主要ドレイン部分 2 4 2 M と同じ態様で N 型主要 S/D ドーパントのイオン注入によって画定される。従って、I G F E T 1 0 0 W の主要ソース部分 9 8 0 M を画定する N 型ドーパントの濃度は、ソース 9 8 0、特に主要ソース部分 9 8 0 M、における別の表面下濃度最大に局所的に到達する。従って、ソース 9 8 0 を画定するドーパントの濃度は、ソース 9 8 0 における全部で少なくとも 3 つの表面

50

下濃度最大に局所的に到達し、その内の1つは主要ソース部分980M内であり且つ少なくとも他の2つはソース延長部980E内であり、その場合に、ソース延長部980E内の該2つ又はそれ以上の最大濃度位置の内の少なくとも1つは通常主要ソース部分980M内に延在する。換言すると、主要ソース部分980Mは、ソース980、特に主要ソース部分980M、における全N型ドーパントの濃度における少なくとも一つの表面下最大に付随するドーパント分布によって画定され、一方、ソース延長部980Eはソース980、特にソース延長部980E、における全N型ドーパントの濃度における少なくとも2つの他の表面下最大に付随するドーパント分布によって画定される。

【0889】

ソース延長部980Eを画定する場合に使用するイオン注入操作の内の一つが、通常、ドレイン延長部242Eを画定する場合に使用される。IGFET100Wの主要ソース部分980M及び主要ドレイン部分242Mを画定する場合に使用される主要S/Dイオン注入操作が、通常、IGFET100のドレイン延長部242Eがその主要ドレイン部分242Mよりも一層深くに延在するのと同じ態様でIGFET100Wのドレイン延長部242Eがその主要ドレイン部分242Mよりも一層深くに延在するように、実施される。IGFET100Wのソース延長部980Eは、通常、主要ソース部分980Mよりも一層深くに延在する。

【0890】

ソース延長部980Eを画定する場合に使用されるイオン注入操作の内の少なくとも一つはドレイン延長部242Eを画定する場合に使用されることは無い。従って、IGFET100Wは、その横方向延長部980E及び242Eに関して非対称的である。更に、Pハローポケット部分250はソース延長部980Eに沿ってチャンネルゾーン24内へ延在している。このことは、チャンネルゾーン244をソース980及びドレイン242に関して非対称的とさせており、IGFET100Wに更なる非対称性を与えている。

【0891】

IGFET100Wのソース980は、非対称的 그레이デッド 接合高電圧NチャンネルIGFET100Vのソース240に対して同様の構成のものである。IGFET100Vのソース240を画定する個々のN型半導体ドーパントの濃度は、図35aに示したように、そのソース240において3つの表面下濃度最大に局所的に到達する。これら3つの表面下濃度最大は、夫々、主要ソース部分240Mと、ソース延長部240Eと、及び垂直ソース・ボディ接合グレイディングを与える下部ソース部分240Lとを画定している。ソース980を介しての垂直線274Mに沿っての個別的なドーパント分布は、典型的に、図35aに示した如く、IGFET100Vのソース240を介しての線274Mに沿っての個別的なドーパント分布に類似している。同様に、ソース980を介しての線274Mに沿っての全ドーパント分布及び正味ドーパント分布は、夫々、典型的に、図35b及び35cに夫々図示されているように、IGFET100Vのソース240を介しての線274Mに沿っての全ドーパント分布及び正味ドーパント分布に類似している。

【0892】

グレイデッド接合IGFET100Vのソース延長部240E及び下部ソース部分240Lの結合はIGFET100Wのソース延長部980Eに類似している。一つの顕著な相違は、IGFET100Wのソース延長部980Eを画定するN型半導体ドーパントの最大濃度の表面下位置の各々は、通常、IGFET100Vの下部ソース部分240Lを画定するN型半導体ドーパントの最大濃度の表面下位置よりも、ドレイン242へ向けて更に横方向に延在している、ことである。このことは、以下に説明するように、IGFET100Wのソース延長部980Eを画定するN型イオン注入を実施する場合に使用されるドーパントブロッキング手順から発生する。別の差異は、ソース延長部980における最も深い表面下濃度最大の位置におけるN型ドーパント濃度は、IGFET100Vにおける下部ソース部分240Lを画定する表面下濃度最大の位置におけるN型ドーパント濃度よりも一層大きい場合がある、ということである。

【0893】

図38におけるNチャンネル構成体は、IGFET100WのディープNウェル領域210とIGFET108のN型主要ウェル領域138との間で且つフィールド絶縁領域138の下側に位置されている分離用の中程度にドーピングされているN型ウェル領域982を包含している。Nウェル982は、IGFET100W及び108を互いに電氣的に分離させることを助ける。Nウェル982は、NチャンネルIGFET100Wが別のNチャンネルIGFETに隣接していない実施例において削除することが可能である。

【0894】

図38のNチャンネル構成体を包含している一層大きな半導体構成体は、一般的に、上述したその他のIGFETの内の何れかを包含することが可能である。更に、該一層大きな半導体構成体は、そのP型ソースが、導電型を逆にして、N型ソース980と同じに構成されている非対称的高電圧PチャンネルIGFETの変形例を包含する場合がある。

【0895】

非対称的IGFET100Wのソース980におけるドーピング特性の更なる理解は、図39a, 39b, 39c(集約的に「図39」)及び図40a, 40b, 40c(集約的に「図40」)の助けを借りて容易化される。図39及び40は、ソース延長部980Eが、N型浅いS/D延長部ドーパント及びN型ディープS/D延長部ドーパントで実施される2つの別々の半導体ドーパントイオン注入操作によって画定される典型的な例を表している。N型浅いS/D延長部注入は図41a-41fに関連して以下に説明するように、ホトレジストマスク950で実施されるので、ホトレジスト950を使用するP型S/Dハロー注入は、IGFET100WのPハローポケット部分250を画定するために使用される。主要ソース部分980Mを介しての垂直線274Mに沿っての深さyの関数としての例示的なドーパント濃度が図39に提示されている。図40はソース延長部980Eを介しての垂直線274Eに沿っての深さyの関数としての例示的なドーパント濃度を提示している。

【0896】

図39a及び40aは、夫々IGFET100に対する図14a及び15aに類似しており、且つIGFET100Wの領域136, 210, 980M, 980E, 250, 254を垂直方向に画定し、従って夫々主要ソース部分980M、ソース延長部980E、及び空のウェルボディ物質部分254の下側に存在する物質における垂直ドーパント分布を確立する、個別的な半導体ドーパントの垂直線274M及び274Eに沿っての濃度 N_I を特に示している。図39a及び40aにおける曲線980ES'及び980ED'は、夫々、N型浅い及びディープS/D延長部ドーパントの濃度 N_I (ここでは垂直のみ)を表している。図14aにおける曲線240M'に類似して、図39a内の曲線980M'は主要ソース部分980Mを形成するために使用されるN型主要S/Dドーパントの濃度 N_I (ここでは垂直のみ)を表している。図39a及び40aにおけるその他の曲線は図14a及び15aにおけるものと同じ意味を有している。線274Mに沿ってのソース980におけるP型S/Dハロードーパントの濃度 N_I を表す曲線250'は、紙面の都合上図39a内には符号を示していないが、曲線980M'の完全に下側に位置しており且つ特に曲線250'の符号が付けられている類似した図14aを調べることで、容易に識別することが可能である。

【0897】

IGFET100用の図14b及び15bに夫々類似して、図39b及び40bは、IGFET100Wの垂直線274M及び274Eに沿って領域136, 210, 980M, 980E, 250, 254における全P型及び全N型ドーパントの濃度 N_T を種々に図示している。図39b及び40bにおける曲線980M"及び980E"は、夫々、主要ソース部分980M及びソース延長部980Eに対応している。図39bにおける品目980"はソース980に対応しており且つ曲線セグメント980M"及び980E"の結合を表している。図39b及び40bにおけるその他の曲線及び曲線セグメントは、図14b及び15bにおけるものと同じ意味を有している。

【0898】

10

20

30

40

50

I G F E T 1 0 0 に対する図 1 4 c 及び 1 5 c に夫々類似している図 3 9 c 及び 4 0 c は、I G F E T 1 0 0 W に対する垂直線 2 7 4 M 及び 2 7 4 E に沿っての正味ドーパント濃度 N_N を提示している。主要ソース部分 9 8 0 M 及びソース延長部 9 8 0 E における正味 N 型ドーパントの濃度 N_N は、夫々、図 3 9 c 及び 4 0 c における曲線セグメント 9 8 0 M * 及び 9 8 0 E * によって表されている。図 3 9 c における品目 9 8 0 * はソース 9 8 0 に対応しており且つ曲線セグメント 9 8 0 M * 及び 9 8 0 E * の結合を表している。図 3 9 c 及び 4 0 c におけるその他の曲線は、図 1 4 c 及び 1 5 c におけるものと同じ意味を有している。

【0899】

N 型浅い及びディープ S / D 延長部ドーパントのイオン注入は、通常、それらをして、夫々の異なる平均深さ y_{SEPKS} 及び y_{SEPKD} における表面下位置に沿ってそれらの夫々の最大濃度に到達させる。図 4 0 a における曲線 9 8 0 E S ' 上の小円は、ソース延長部 9 8 0 E における N 型浅い S / D 延長部ドーパントの濃度 N_I の最大値の深さ y_{SEPKS} を表している。図 4 0 a における曲線 9 8 0 E D ' 上の小円は、同様に、ソース延長部 9 8 0 E における N 型ディープ S / D 延長部ドーパントの濃度 N_I の最大値の深さ y_{SEPKD} を表している。

【0900】

ソース延長部 9 8 0 E におけるディープ N ウェルドーパントの濃度 N_I は、延長部 9 8 0 E の最大深さ y_{SE} 以下の任意の深さ y における延長部 9 8 0 E におけるいずれかの N 型 S / D 延長部ドーパントの濃度 N_i と比較して、無視可能である。図 4 0 b における曲線 9 8 0 E " によって表されるように、ソース延長部 9 8 0 E における全 N 型ドーパントの濃度 N_T は、事実上、N 型浅い及びディープ S / D 延長部ドーパントの濃度 N_I の和に等しい。N 型浅い及びディープ S / D 延長部ドーパントの濃度 N_I は夫々平均深さ y_{SEPKS} 及び y_{SEPKD} において最大濃度に到達するので、ソース延長部 9 8 0 E における全 N 型ドーパントの濃度 N_T は、実質的に、深さ y_{SEPKS} 及び y_{SEPKD} における一对の局所的濃度最大に到達する。正味濃度 N_N がソース・ボディ接合 2 4 6 においてゼロとなる場合には、この二重最大状態は、実質的に、ソース延長部 9 8 0 E 内の正味濃度 N_N を表している曲線 9 8 0 E * によって図 4 0 c において実質的に反映されている。

【0901】

曲線 9 8 0 E S ' 及び 9 8 0 E D ' が図 3 9 a 内に表われており、且つ夫々の最大表面下濃度に到達する。深さ y_{SEPKS} 及び y_{DEPKD} は図 3 9 a においては特に表示されていないが、図 3 9 a における曲線 9 8 0 E S ' 及び 9 8 0 E D ' の存在は、N 型浅い及びディープ S / D 延長部ドーパントの濃度 N_I における最大の表面下位置が主要ソース部分 9 8 0 M 内に延在している、ことを示している。図 3 9 a における曲線 9 8 0 M ' は N 型主要 S / D ドーパントの濃度 N_I を表している。図 3 9 a が示すように、曲線 9 8 0 M ' は或る表面下位置において最大濃度に到達する。その結果、N 型浅い S / D 延長部ドーパント、N 型ディープ S / D 延長部ドーパント、及び N 型主要 S / D ドーパントは全て主要ソース部分 9 8 0 M 内に存在しており且つ主要ソース部分 9 8 0 M における夫々の最大濃度に到達する。

【0902】

図 3 9 及び 4 0 によって表される I G F E T 1 0 0 W の例において、主要ソース部分 9 8 0 M における N 型浅い S / D 延長部ドーパントの濃度 N_I は、任意の深さ y におけるソース部分 9 8 0 M における主要 S / D ドーパントの濃度 N_I と比較して、無視可能である。しかしながら、主要ソース部分 9 8 0 M における N 型ディープ S / D 延長部ドーパントの濃度 N_I は、十分に大きな深さ y に対してのソース部分 9 8 0 M における主要 S / D ドーパントの濃度 N_I を超える。図 3 9 b に示した如く、主要ソース部分 9 8 0 M における全 N 型ドーパントの濃度 N_T を表す曲線 9 8 0 " の変化は、2 つの N 型 S / D 延長部ドーパントの内の一層深いものの最大濃度を反映しているに過ぎない。正味濃度 N_N がソース・ボディ接合 2 4 6 においてゼロとなる場合に、この変化は、主要ソース部分 9 8 0 M における正味濃度 N_N を表す曲線 9 8 0 * によって図 3 9 c において実質的に反映されてい

10

20

30

40

50

る。

【0903】

主要ソース部分980Mにおける各N型S/D延長部ドーパントの濃度 N_I は、IGFET100Wのその他の例における任意の深さ y におけるソース部分980Mにおける主要S/Dドーパントの濃度 N_I と比較して、無視可能である場合がある。その場合には、主要ソース部分980Mにおける全N型ドーパントの濃度 N_T は、任意の深さ y におけるN型主要S/Dドーパントの濃度 N_I に実質的に等しい。

【0904】

IGFET100Wのドレイン延長部242Eにおけるドーパント分布は、IGFET100W及びNチャンネルIGFET108及び112を包含するその他のNチャンネルIGFETの性能を最適化させるために行った妥協に起因して、IGFET100のドレイン延長部242Eにおけるドーパント分布とは幾分異なる場合がある。このことはさておき、IGFET100Wの主要ドレイン部分242Mを介して線278Mに沿っての、個別的ドーパント分布、全ドーパント分布、及び正味ドーパント分布は、図18a, 18b, 18cに夫々図示されているように、IGFET100の主要ドレイン部分242Mを介しての線278Mに沿っての、個別的ドーパント分布、全ドーパント分布、及び正味ドーパント分布に夫々典型的に類似している。IGFET100Wのドレイン延長部242Eを介しての線278Eに沿っての、個別的ドレイン分布、全ドーパント分布、及び正味ドーパント分布は、同様に、夫々図17a, 17b, 17cに夫々図示されているように、IGFET100のドレイン延長部242Eを介しての線278Eに沿っての、個別的ドーパント分布、全ドーパント分布、及び正味ドーパント分布に夫々典型的に類似している。

【0905】

IGFET100Vと100Wとの間の上述した差異に注意すると、非対称的NチャンネルIGFET100U及び100Vのいずれかは、非常に高度にドーブしたN型主要部分と、一層軽度ドーブしているが尚且つ高度にドーブしたN型ソース延長部とを包含するために、ソース980と同じに構成されたN型ソースでソース240が置換されている変形例に設けることが可能であり、該N型ソース延長部は、該ソース延長部を画定する全N型半導体ドーパントの濃度が、通常、ソース980におけるのとはほぼ同じ態様で該ソースにおける少なくとも2つの夫々対応する表面下濃度最大に局所的に到達するように、即ち、(a)該ソース延長部を画定する表面下濃度最大の各々が、通常、該ソース内の異なる表面下位置において発生し、且つ(b)これらの表面下最大濃度位置の各々が、通常、該ソース延長部内に少なくとも部分的に存在し且つ、通常、該ソース延長部を横断して完全に横方向に延在する、ように、少なくとも2つの別々の注入操作でN型半導体ドーパントをイオン注入することによって画定される。

【0906】

P2. マルチプライ注入型ソース延長部を具備する非対称的NチャンネルIGFETの製造

図41a-41f(集約的に「図41」)は、プリカーサーゲート電極262P, 462P, 538Pが夫々NチャンネルIGFET100W, 108, 112のために画定されている図331の段階で開始する図38のNチャンネル半導体構成体を製造するための本発明に従う半導体プロセスの一部を例示している。図41aはこの点における構成体を図示している。図41aの段階までのIGFET100Wの製造は、図331の段階までのIGFET100の製造と同じである。

【0907】

図33の製造プロセスにおいて使用されるホトレジストマスク952が、図41bに示した如くに、誘電体層946及び948上に形成される。ホトレジスト952は、今は、IGFET100W及び112に対する島状部140及び152上方に開口を有している。N型ディープS/D延長部ドーパントが、高いドーズ量で、ホトレジスト952におけ

る開口を介して、表面誘電体 948 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内へイオン注入されて、(a) IGFET100W のソース延長部 980E に対する N+ディープ部分的プリカーサー 980EDP、(b) IGFET100W のドレイン延長部 242E に対する N+プリカーサー 242EP、及び(c) IGFET112 の夫々の S/D延長部 520E 及び 522E に対する N+プリカーサー 520EP 及び 522EP、を画定する。

【0908】

N型ディープ S/D延長部注入は、傾斜角度 α が約 7° に等しい多少傾斜した態様で、又は傾斜角度 α が少なくとも 15° で、通常は $20^\circ - 45^\circ$ である角度付き注入を構成するような著しく傾斜させた態様で、実施することが可能である。角度付き注入の場合には、IGFET100W のディープ部分的プリカーサーソース延長部 980EDP 及びプリカーサードレイン延長部 242EP が、そのプリカーサーゲート電極 262P の下側を著しく横方向に延在する。IGFET112 のプリカーサー S/D延長部 520EP 及び 522EP は、同様に、そのプリカーサーゲート電極 538P の下側を著しく横方向に延在する。N型ディープ S/D延長部注入は、典型的に、図 33 のプロセスに関連して上述した如くに実施されるが、その場合に、IGFET100W 及び 112 の特性を最適化させるために、注入ドーズ量、注入エネルギー、及び、角度付き注入の場合には、傾斜角度 α を修正することとなる。

【0909】

ホトレジストマスク 952 は、N型ディープ S/D延長部ドーパントが IGFET108 用に意図されているモノシリコン内に入ることを実質的にブロック即ち阻止する。従って、N型ディープ S/D延長部ドーパントは、IGFET108 の S/D延長部 440E 及び 442E 用に意図されているモノシリコン部分内に入ることが実質的に阻止される。ホトレジスト 952 を除去する。

【0910】

図 33 の製造プロセスにおいても使用されるホトレジストマスク 950 が、図 41c に示した如く、誘電体層 946 及び 948 上に形成される。ホトレジスト 950 は、今は、IGFET100W のソース延長部 240E に対する位置の上方及び IGFET108 に対する島状部 148 の上方に開口を有している。N型浅い S/D延長部ドーパントが、高いドーズ量で、ホトレジスト 950 における開口を介して、表面誘電体 948 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET100W のソース延長部 980E に対する N+浅い部分的プリカーサー 980ESP、及び(b) IGFET108 の夫々の S/D延長部 440E 及び 442E に対する N+プリカーサー 440EP 及び 442EP、を画定する。

【0911】

N型浅い S/D延長部注入は、典型的に、図 33 のプロセスに関連して上述した如くに実施されるが、その場合に、IGFET100W 及び 108 の特性を最適化させるために注入ドーズ量及び注入エネルギーを修正する。傾斜角度 α は、通常、N型浅い S/D延長部注入期間中に約 7° に等しい。N型浅い S/D延長部ドーパントは、典型的に、砒素であるが、磷とすることが可能である。

【0912】

ホトレジストマスク 950 は、N型浅い S/D延長部ドーパントが、(a) IGFET100W のプリカーサードレイン延長部 242EP、及び(b) IGFET112 用に意図されているモノシリコン、内に入ることを実質的にブロックする。それにより、N型浅い S/D延長部ドーパントは、(a) IGFET100W のドレイン延長部 242E に意図されているモノシリコン部分、及び(b) IGFET112 の S/D延長部 520E 及び 522E 用に意図されているモノシリコン部分、に入ることが実質的に阻止される。

【0913】

N型浅い S/D延長部注入は、N型ディープ S/D延長部注入よりも異なる条件において選択的に実施される。これら 2 つの N型 S/D延長部注入用の条件は、通常、これら 2

10

20

30

40

50

つの注入の平均深さ y_{SEPKS} 及び y_{SEPKD} が異なるように選択される。特に、深さ y_{SEPKD} は深さ y_{SEPKS} を超える。N型浅いS/D延長部注入は、通常、N型ディープS/D延長部注入とは異なる、典型的には一層大きな、ドーズ量で実施される。従って、以下の3つの組のプリカーサーS/D延長部、即ち、(a) N型S/D延長部ドーパントの両方を受取るプリカーサーソース延長部 980EP、(b) N型ディープS/D延長部ドーパントのみを受取るプリカーサードレイン延長部 242EP 及びプリカーサーS/D延長部 520EP 及び 522EP、及び(c) N型浅いS/D延長部ドーパントのみを受取るプリカーサーS/D延長部 440EP 及び 442EP、の特性、例えば垂直ドーパント分布、は全て選択的に相互に異なっている。

【0914】

10

ホトレジストマスク 950 が未だに所定位置にある間に、P型S/Dハロードーパントを、中程度のドーズ量で、ホトレジスト 950 における開口を介して、表面誘電体層 948 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入させて、(a) IGFET 100W のソース側ハローポケット部分 250 に対するPプリカーサー 250P、及び(b) IGFET 108 の夫々のハローポケット部分 450 及び 452 に対するPプリカーサー 450P 及び 452P、を画定する。図 41d を参照のこと。P型S/Dハロー注入は、典型的に、図 33 のプロセスに関連して上述した如き態様で著しく角度を付けて実施される。ホトレジスト 950 を除去する。

【0915】

20

ホトレジストマスク 950 で実施される操作は、ホトレジストマスク 952 と共に実施されるN型ディープS/D延長部注入の前に実施することが可能である。いずれの場合においても、IGFET 製造の残部は、図 33 のプロセスに関連して上述した如くに実施される。図 41e は、誘電体ゲート側壁スペーサ 264, 266, 464, 466, 540, 542 が形成される場合の図 33w の段階において本構成体がどのように表われるかを示している。この点において、プリカーサー空の主要ウェル領域 180P 及び 192P は、通常、上部半導体表面に到達している。前に図 41 に表われた分離(孤立)したP-エピタキシャル層部分 136P5 及び 136P7 はゼロに収縮しており、図 41 の残部には表われることはない。

【0916】

30

図 41f は、図 33 のプロセスにおいて、図 33x の段階において実施したN型主要S/D注入を示している。IGFET 100W, 108, 112 用の島状部 140, 148, 152 の上方に開口を有するホトレジストマスク 970 が誘電体層 962 及び 964 上に形成される。IGFET 100W, 108, 112 のみが図 41f 内に表われているのでホトレジスト 970 は図 41f 内には表われていないが、N型主要S/Dドーパントが、非常に高いドーズ量で、ホトレジスト 970 における開口を介して、表面誘電体層 964 の露出セクションを介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) IGFET 100W のN++主要ソース部分 980M 及びN++主要ドレイン部分 242M、(b) IGFET 108 のN++主要S/D部分 440M 及び 442M、及び(c) IGFET 112 のN++主要S/D部分 520M 及び 522M、を画定する。

40

【0917】

図 33x の段階におけるように、N型主要S/Dドーパントは IGFET 100W, 108, 112 用のプリカーサーゲート電極 262P, 462P, 538P へ入り、それにより、プリカーサー電極 262P, 462P, 528P を、夫々、N++ゲート電極 262, 462, 538 へ変換させる。N型主要S/D注入は、図 33 のプロセスに関連して上に説明した態様及び条件で実施される。ホトレジスト 970 を除去する。

【0918】

N型S/D注入直後に実施される初期的スパイクアニールの後に、IGFET 100W の主要S/D部分 980M 外側のプリカーサー領域 980EPS 及び 980EPD の部分は、実質的に、N+ソース延長部 980E を構成する。主要ソース部分 980M 外側のプ

50

リカーサーハローポケット部分250Pの部分は、実質的に、IGFET100WのPソース側ハローポケット部分250を構成する。最終的なNチャンネル半導体構成体が図38に示されるように表れる。

【0919】

プリカーサーS/D延長部の以下の3つの組の特性は、上述した如く、全て選択的に相互に異なるものであったが、該3つの組とは、(a) N型S/D延長部ドーパントの両方を受け取るプリカーサーソース延長部980EP、(b) N型ディープS/D延長部ドーパントのみを受け取るプリカーサードレイン延長部242EP及びプリカーサーS/D延長部520EP及び522EP、及び(c) N型浅いS/D延長部ドーパントのみを受け取るプリカーサーS/D延長部440EP及び442EP、である。従って、以下の3つの組の最終的S/D延長部の特性は全て選択的に互いに異なるものであり、該3つの組とは、(a) IGFET100Wのソース延長部980E、(b) IGFET100Wのドレイン延長部242E及びIGFET112のS/D延長部520E及び522E、及び(c) IGFET108のS/D延長部440E及び442E、である。従って、図41の製造手順は、3つの異なる特性のN型S/D延長部が2つのN型S/D延長部ドーピング操作のみによって画定されることを可能としている。更に、一つのIGFET、即ちIGFET100W、が2つの異なる特性のS/D延長部、即ちソース延長部980E及びドレイン延長部242E、を有しており、従って該IGFETは異なるS/D延長部特性のために非対称的装置である。

【0920】

図41の製造手順を使用する半導体製造プロセスの一つの実現例においては、図33pのN型浅いソース延長部注入が、基本的に、図33mのN型浅いS/D延長部注入と合体されており、且つ図33qの関連するP型ソースハロー注入は、基本的に、図33nのP型S/Dハロー注入に合体されている。非対称的NチャンネルIGFET100Wは、それにより、非対称的NチャンネルIGFET100を置換している。この処理実行の正味の結果は、主に、図33m-33qの5つのS/D延長部及びハローポケットイオン注入ステップに対して図41b-41dの3つのS/D延長部及びハローポケットイオン注入ステップを置換させることである。IGFET100と比較してIGFET100Wの特性を調整する場合に幾分柔軟性が少ないことの引き換えに、この処理実行は、図33の製造プロセスよりも、一つ分より少ないホトレジストマスクングステップ及び2つ分より少ないイオン注入操作を使用する。

【0921】

図41の製造手順を使用する半導体製造プロセスの別の実行は、図33pのN型浅いソース延長部注入及び図33qの関連するP型ソースハロー注入を維持する。非対称的NチャンネルIGFET100及び100Wの両方がこのその他のプロセス実行において使用可能である。

【0922】

半導体製造プロセスが、そのP型ソース280が導電型を逆にしてN型ソース980と同じ態様で構成される非対称的高電圧PチャンネルIGFET102の変形例を与えるべき場合には、このプロセス修正は、図33のプロセスにおける図33r-33vの5つのS/D延長部及びハローポケットイオン注入ステップを、導電型を逆にして図41b-41dのものに類似した3つのS/D延長部及びハローポケットイオン注入ステップで置換することによって実現することが可能である。図33uのP型浅いソース延長部注入は、基本的に、図33rのP型浅いS/D延長部注入に合体され、且つ図33vの関連するN型ソースハロー注入は、基本的に、図33sのN型S/Dハロー注入に合体される。従って、IGFET102の変形例はIGFETを置換させる。その結果得られるプロセス実現例は、非対照的IGFET調整における幾分減少された柔軟性と引き換えに、図33の製造プロセスよりも、2つ少ないホトレジストマスクングステップ及び4つ少ないイオン注入操作を使用する。

【0923】

図 4 1 の製造手順及び図 4 1 の製造手順の P チャンネルバージョンを使用する半導体製造プロセスの更なる実現例は、図 3 3 p の N 型浅いソース延長部注入及び図 3 3 q の関連する P 型ソースハロー注入を維持する。非対称的 N チャンネル I G F E T 1 0 0 及び 1 0 0 W、非対称的 P チャンネル I G F E T 1 0 2、及び I G F E T 1 0 2 の対応する変形例は、該更なるプロセス実現例において使用可能である。

【0924】

非対称的 N チャンネル I G F E T 1 0 0 のその他の変形例において、ソース延長部 2 4 0 E は、N 型半導体ドーパントを 3 つ又はそれ以上の別々の注入操作でイオン注入することにより画定される N 型ソース延長部と置換させることが可能であり、該注入操作とは、例えば、図 3 3 m, 3 3 o, 3 3 p の 3 つの段階と均等な注入操作で、その場合に、N 型 S / D 延長部用の N 型半導体ドーパントは図 3 3 のプロセスでイオン注入される。同様の見解が非対称的 P チャンネル I G F E T 1 0 2 に適用される。従って、そのソース延長部 2 8 0 E は、P 型半導体ドーパントを 3 つ又はそれ以上の別々の注入操作でイオン注入させることによって画定される P 型ソース延長部で置換することが可能であり、該注入操作は、例えば、図 3 3 r, 3 3 t, 3 3 u の 3 つのステップと均等な注入操作であって、その場合に、P 型 S / D 延長部用の P 型半導体ドーパントがイオン注入される。I G F E T 1 0 0 又は 1 0 2 のこの様な変形例におけるソース延長部を画定する 3 つ又はそれ以上の N 型又は P 型ドーパントの最大濃度の深さは、通常、全て異なる。

【0925】

Q. ソース・ボディ及びドレイン・ボディ接合下側のハイポアブラプト (Hypoabrupt) な垂直ドーパント分布

チャンネルゾーンと、一対の S / D ゾーンと、該チャンネルゾーンの上側に位置しているゲート誘電体層と、該チャンネルゾーン上方で該ゲート誘電体層の上側に位置しているゲート電極と、からなる I G F E T を検討する。対称的な場合又は非対称的な場合がある I G F E T を、第 1 導電型のボディ物質を有する半導体ボディから形成する。チャンネルゾーンは該ボディ物質の一部であり、従って第 1 導電型である。S / D ゾーンはその上部半導体表面に沿って該半導体ボディ内に位置されており、且つ該チャンネルゾーンによって横方向に分離即ち離隔されている。各 S / D ゾーンは第 1 導電型とは反対の第 2 導電型のものであって、該ボディ物質と P N 接合を形成する。

【0926】

該ボディ物質のウエル部分が該 I G F E T の S / D ゾーンの下側に延在する。該ウエル部分は、第 1 導電型の半導体ウエルドーパントによって画定され且つ該ウエルドーパントの濃度 N_1 が該 S / D ゾーンの内の特化した一つよりも該上部半導体表面下側に 10 倍を越えることの無い一層深く、好適には 5 倍を越えることの無い一層深く、の位置に沿って表面下最大に到達するように、該ボディ物質の上側に存在する部分及び下側に存在する部分よりも一層高度にドーパされている。該測定した S / D ゾーン下側の垂直ドーパント分布は、上述した如く、該 S / D ゾーン下側のボディ物質の部分における第 1 導電型の全ドーパントの濃度 N_T が、該ウエルドーパントの最大濃度の表面下位置から該特定した S / D ゾーンへ上方へ該特定した S / D ゾーンを介して該ウエルドーパントの最大濃度の表面下位置から延在する垂直線に沿って移る場合に、少なくとも 10 の係数だけ減少する場合には「ハイポアブラプト (hypoabrupt)」である。

【0927】

該特定した S / D ゾーン下側のボディ物質の部分における第 1 導電型の全ドーパントの濃度 N_T は、好適には、該ウエルドーパントの最大濃度の位置から該垂直線に沿って該特定した S / D ゾーンへ移る場合に、好適には少なくとも 20 の係数だけ、より好適には少なくとも 40 の係数だけ、さらにより好適には少なくとも 80 の係数だけ、減少する。更に、該特定した S / D ゾーン下側のボディ物質の部分における第 1 導電型の全ドーパントの濃度 N_T は、該ウエルドーパントの最大濃度の位置から該垂直線に沿って該特定した S / D ゾーンへ移る場合に、通常、徐々に減少する。

【0928】

別の言い方をすれば、該ボディ物質における第1導電型の全ドーパントの濃度は、該特定したS/Dゾーンから該垂直線に沿って下方へそのS/Dゾーンよりも上部半導体表面下側に10倍を越えること無く、好適には5倍を越えること無く、一層深いボディ物質位置へ移る場合に、少なくとも10倍、好適には少なくとも20倍、より好適には少なくとも40倍、更により好適には少なくとも80倍、増加する。この表面下ボディ物質位置は、通常、該チャンネル及びS/Dゾーンの各々のほぼ全ての下側に存在している。該ボディ物質にこのハイポアブラプトなドーパント分布を与えることによって、該ボディ物質と該特定したS/Dゾーンとの間のPN接合に沿っての寄生容量は比較的低い。

【0929】

それらのS/Dゾーンの一つ又は両方の下側にハイポアブラプトな垂直ドーパント分布を有するIGFETは米国特許第7,419,863号、米国特許公開2008/03111717、及び2008/0308878に記載されており、それらは全て上に引用しており且つそれら全ては引用によりここに取り込む。米国特許公開2008/0308878は今は米国特許第7,642,574B2である。

【0930】

非対称的高電圧NチャンネルIGFET100は、IGFET100と同じに構成した変形例100Xに設けることが可能であるが、異なる点としては、P型空の主要ウェル領域180がP型空の主要ウェル領域180Xで置換されており、該領域180Xは、N型ソース240及びN型ドレイン242の一つ又は両方の下側のP型空の主要ウェル180Xの部分における垂直ドーパント分布がハイポアブラプトであるように構成されている点である。IGFET100のP型空の主要ウェル180よりも元々単に一層深い場合があるP型空の主要ウェル180Xは、非対称的高電圧NチャンネルIGFET100X用のP型ボディ物質を構成している。ソース240又はドレイン242直下の垂直ドーパント分布がハイポアブラプトである場合には、IGFET100Xは図11-1及び12におけるIGFET100と実質的に同じに現れる。従って、IGFET100Xは図面中において別に示されていない。

【0931】

IGFET100Xのソース240又はドレイン242直下のハイポアブラプトな垂直ドーパント分布の更なる理解は、図42a-42c（集約的に「図42」）、図43a-43c（集約的に「図43」）、及び図44a-44c（集約的に「図44」）の助けを借りて容易化される。図42-44はIGFET100Xに対する例示的な垂直ドーパント分布を提示している。主要ソース部分240M及び空のウェル主要ボディ物質部分254を介しての仮想的垂直線274Mに沿っての深さyの関数としての例示的なドーパント濃度が図42に提示されている。図43は、チャンネルゾーン244及び主要ボディ物質部分254を介しての仮想的垂直線276に沿っての深さyの関数としての例示的なドーパント濃度を提示している。主要ドレイン部分242M及びボディ物質部分254を介しての仮想的垂直線278Mに沿っての深さyの関数としての例示的なドーパント分布が図44に提示されている。

【0932】

図42a, 43a, 44aは、特に、領域136, 210, 240M, 242M, 250, 254を垂直方向に画定し、従って、夫々、(a)主要ソース部分240M及び空のウェルボディ物質部分254の下側に存在する物質、(b)チャンネルゾーン244及び主要ボディ物質部分254、即ちハローポケット部分250外側の、の下側に存在する物質、及び(c)主要ドレイン部分242M及びボディ物質部分254の下側に存在する物質、内に垂直ドーパント分布を確立している個々の半導体ドーパントの仮想的垂直線274M, 276, 278Mに沿っての濃度 N_I を示している。図42a, 43a, 44aにおける曲線136', 210', 240M', 240E', 242M', 242E', 250', 254'は、IGFET100に対する夫々対応する図14a, 16a, 18aにおけるものと同じ意味を有している。

【0933】

垂直線174M, 276, 278Mに沿っての領域136, 210, 240M, 242M, 250, 254における全P型及び全N型ドーパントの濃度 N_T は図42b、43b、44bに図示されている。図42b、43b、44bにおける曲線セグメント136”、210”、240”、240M”、242”、242E”、250”、254”はIGFET100に対する夫々対応する図14b、16b、18bにおけるものと同じ意味を有している。品目180X”は空のウエルボディ物質180Xに対応している。

【0934】

垂直線274M, 276, 278Mに沿っての正味ドーパント濃度 N_N が図42c、43c、44cに提示されている。図42c、43c、44cにおける曲線及び曲線セグメント210*, 240*, 240M*, 242*, 242M*, 242E*, 250*, 254*はIGFET100に対する夫々対応する図14c、16c、18cにおけるものと同じ意味を有している。品目180X*は空のウエルボディ物質180Xに対応している。

10

【0935】

IGFET100Xの主要ソース部分240Mの深さ y_{SM} は図42の例におけるP空のウエルボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} の5倍よりもかなり一層小さい。IGFET100Xのソース深さ y_S がその主要ソース部分深さ y_{SM} と同じであるので、IGFET100Xのソース深さ y_S は、ボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} の5倍よりもかなり小さい。

20

【0936】

IGFET100Xのドレイン延長部242Eの深さ y_{DE} は、図33の例におけるP空のウエルボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} の5倍よりもかなり小さい。横方向延長部242Eが主要ドレイン部分242M下側に延在しており、IGFET100Xのドレイン深さ y_D はそのドレイン延長部深さ y_{DE} と等しい。従って、IGFET100Xのドレイン深さ y_D は、ボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} の5倍よりもかなり小さい。

【0937】

図42bを参照すると、曲線180X”は、ソース240の主要部分240M下側のP型空のウエルボディ物質180Xの部分における全P型ドーパントの濃度 N_T は、ボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} から垂直線274Mに沿って主要ソース部分240Mへ移る場合に、ハイポアブラプティックに減少している、ことを示している。図44bにおける曲線180X”は、同様に、ドレイン242下側、特にドレイン延長部242E下側、における空のウエルボディ物質180Xの部分における全P型ドーパントの濃度 N_T は、ボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} から垂直線278Mに沿ってドレイン延長部242Eへ移る場合に、ハイポアブラプティックに減少している、ことを示している。これらの N_T 濃度減少は、図42b及び44bの例においては100の係数の近傍である。更に、ボディ物質180Xにおける全P型ドーパントの濃度 N_T は、ボディ物質180Xにおける全P型ドーパントの最大濃度の深さ y_{PWPK} から垂直線274M又は278Mに沿ってソース240又はドレイン242へ移る場合に、徐々に減少している。

30

40

【0938】

非対称的高電圧PチャンネルIGFET102は、同様に、IGFET102と同じに構成した変形例102X（不図示）に設けることが可能であるが、異なる点としては、N型空の主要ウエル領域182がN型空の主要ウエル領域182Xで置換されており、該領域182Xは、P型ソース280及びP型ドレイン282の一つ又は両方の下側のN型空の主要ウエル182Xの部分における垂直ドーパント分布がハイポアブラプティックであるように構成されている点である。非対称的高電圧PチャンネルIGFET102X用のN型ボディ物質は、N型空の主要ウエル182X及びディープNウエル領域210によって構成されている。IGFET102Xは、ソース280又はドレイン282直下の垂直ドーパ

50

ント分布がハイポアブラプトであるという条件下において、図11-1におけるIGFET102と実質的に同じに現れる。ディープNウェル210がIGFET102X用のN型ボディ物質の一部であるという条件下において、IGFET100Xについての説明の全てが、夫々の対応する領域の導電型を逆にして、IGFET102Xに適用される。

【0939】

IGFET100X又は102Xのソース240又は280下側のハイポアブラプトな垂直ドーパント分布は、ソース・ボディ接合246又は286に沿っての寄生容量を著しく減少させる。IGFET100X又は102Xのドレイン・ボディ接合248又は288に沿っての寄生容量も同様に、ドレイン242又は282下側のハイポアブラプトな垂直ドーパント濃度分布に起因して、かなり減少される。

10

【0940】

ソース側ハローポケット部分250又は290の存在は、IGFET100X又は102Xのソース240又は280下側の垂直ドーパント分布をして、ドレイン242又は282下側の垂直ドーパント分布よりもより少なくハイポアブラプトなものとさせる場合があり、特に、ハローポケット250又は290がソース240又は280の下側を延在するIGFET100X又は102Xの変形例においてそうである。このような変形例において、ハローポケット部分250又は290は、ソース240又はドレイン280下側の垂直ドーパント分布がハイポアブラプトであることを止めるように非常に高度にP型又はN型にドーピングさせることも可能である。しかしながら、ドレイン242又は282下側の垂直ドーパント分布は、継続してハイポアブラプトである。ドレイン・ボディ接合248又は288に沿っての寄生容量は、未だにかなり減少されており、従ってこのIGFET100X又は102Xの変形例はかなり増加されたスイッチング速度を有している。

20

【0941】

対称的低電圧低リークIGFET112及び114及び対称の高電圧低リークIGFET124及び126はIGFET112, 114, 124, 126と夫々同じに構成されている夫々の変形例112X, 114X, 124X, 126X（不図示）に設けることが可能であるが、異なる点としては、空の主要ウェル領域192, 194, 204, 206が、S/Dゾーン520, 522, 550, 552, 720, 722, 750, 752下側の空の主要ウェル領域192X, 194X, 204X, 206Xの部分における垂直ドーパント分布がハイポアブラプトであるように構成されており同じ夫々の導電型である中程度にドーピングされた空の主要ウェル領域192X, 194X, 204X, 206Xで夫々置換されている点である。P型空の主要ウェル192X及びP-基板領域136の結合がNチャンネルIGFET112用のP型ボディ物質を構成している。NチャンネルIGFET124用のP型ボディ物質は、同様に、P型空の主要ウェル204X及びP-基板領域136の結合によって形成されている。N型空の主要ウェル領域194X及び206Xは、夫々、PチャンネルIGFET114X及び126X用のN型ボディ物質を構成している。

30

【0942】

対称的IGFET112X, 114X, 124X, 126Xは、S/Dゾーン520, 522, 550, 552, 722, 750, 752直下の垂直ドーパント分布がハイポアブラプトであるという条件下において、図11-4及び11-7における対称的IGFET112, 114, 124, 126と夫々実質的に同じに表れる。各S/Dゾーン520, 522, 550, 552, 720, 722, 750又は752の横方向延長部520E, 522E, 550E, 552E, 720E, 722E, 750E, 752Eは、主要S/D部分520M, 522M, 550M, 552M, 720M, 722M, 750M, 752M下側に延在する。IGFET100Xのドレイン242の横方向延長部242Eはその主要ドレイン部分242M下側を延在するので、IGFET100Xのドレイン242下側の垂直ドーパント分布のハイポアブラプトの性質についての説明は、PチャンネルIGFET114X及び126Xに対して夫々の対応する領域の導電型を逆にして、IGFET112X, 114X, 124X, 126Xに適用される。

40

50

【0943】

IGFET 112X, 114X, 124X, 126XのS/Dゾーン520, 522, 550, 552, 720, 722, 750, 752下側のハイポアブラプトな垂直ドーパント分布は、それらの種々のS/D・ボディ接合526, 528, 556, 558, 726, 728, 756, 758に沿っての寄生容量を著しく減少させる。IGFET 112X, 114X, 124X, 126Xはかなり増加されたスイッチング速度を有している。

【0944】

NチャンネルIGFET 100X, 112X, 124Xは、NチャンネルIGFET 100, 112, 124と同じ態様で図33の製造プロセスに従って製造されるが、異なる点としては、図33eの段階におけるP型空の主要ウエルドーパントをイオン注入する条件は、P型空の主要ウエル領域180, 192, 204の代わりにP型空の主要ウエル領域180X, 192X, 204Xを形成するために調節されている点である。延長型ドレインIGFET 104及び106に対するP型空の主要ウエル領域184A及び186Bは、P型空の主要ウエル100, 112, 124と同じステップで形成される。P型空の主要ウエル180X, 192X, 204Xの特性がIGFET 104及び106に不適切である場合又は／及びIGFET 100, 112, 124の内の一つ又はそれ以上が形成されるべき場合には、ホトレジストマスク932がIGFET 100, 112, 124に対して有しているのと同じ構成をIGFET 100X, 112X, 124Xに対しして有している別のホトレジストマスクを、ウエルドーパントのイオン注入期間中の選択した点においてスクリーン酸化物層924上に形成する。更なるP型半導体ドーパントを該別のホトレジストマスクを介してイオン注入させて、P型空の主要ウエル180X, 192X, 204Xを画定する。該別のホトレジストマスクを除去する。

【0945】

PチャンネルIGFET 102X, 114X, 126Xは、PチャンネルIGFET 102, 114, 126と同じ態様で図33のプロセスに従って同様に製造されるが、異なる点としては、図33dの段階におけるN型空の主要ウエルドーパントをイオン注入する条件が、N型空の主要ウエル領域182, 194, 206の代わりにN型空の主要ウエル領域182X, 194X, 206Xを形成するために調節されている点である。N型空の主要ウエル領域184B及び186AはN型空の主要ウエル102, 114, 126と同じステップで形成される。N型空の主要ウエル182X, 194X, 206Xの特性がIGFET 104及び106に対して不適切であるか又は／及びIGFET 102, 114, 126の内の一つ又はそれ以上が形成されるべき場合には、ホトレジストマスク930がIGFET 102, 114, 126に対して有しているのと同じ構成をIGFET 102X, 114X, 126Xに対して有している別のホトレジストマスクをウエルドーパントのイオン注入期間中の或る選択した点においてスクリーン酸化物層924上に形成する。更なるN型半導体ドーパントが該別のホトレジストマスクを介してイオン注入されてN型空の主要ウエル182X, 194X, 206Xを画定し、その後、該別のホトレジストマスクを除去する。

【0946】

R. 窒化ゲート誘電体層

R1. 窒化ゲート誘電体層内の垂直窒素濃度分布

PチャンネルIGFET 102, 106, 110, 114, 118, 122, 126の製造は、通常、ボロンでP型に非常に高度にそれらの夫々のゲート電極302, 386, 502, 568, 628, 702, 768をドーピングすることを包含しており、尚それと同時に、それらの夫々の主要S/D部分280M及び282M, 360M(及び374)、480M及び482M, 550M及び552M, 610M及び612M, 680M及び682M, 750M及び752Mを画定するためのP型主要S/Dドーパントとして該半導体ボディ内にそのボロンを非常に高いドーズ量でイオン注入させる。ボロンは非常に早く拡散する。何らかのボロン拡散阻止メカニズムが存在しない場合には、ゲート電極3

10

20

30

40

50

02, 386, 502, 568, 628, 702, 768におけるボロンは、夫々の下側に存在するゲート誘電体層300, 384, 500, 566, 626, 700, 766を介して該半導体ボディ内にP型主要S/D注入後の昇温製造ステップ期間中に拡散する場合がある。

【0947】

該半導体ボディ内へのボロンの浸透は、種々のタイプのIGFET損傷を発生する場合がある。スレッショールド電圧 V_T はIGFET動作時間と共にドリフトする場合がある。IGFETにおいて発生する低周波数ノイズは、通常、「 $1/f$ 」ノイズとして呼称される。何故ならば、低周波数ノイズは、通常、IGFETのスイッチング周波数の逆数にほぼ比例するからである。その様なボロン浸透は、ゲート・誘電体/モノシリコン境界において上部半導体表面に沿ってトラップを発生させる場合がある。これらの界面トラップは過剰な $1/f$ ノイズを発生させる場合がある。

【0948】

PチャンネルIGFET110, 114, 122のゲート誘電体層500, 566, 700は、低厚さ値 t_{GdL} のものである。その結果、IGFET110, 114, 122のゲート電極502, 568, 702は、ゲート誘電体層300, 384, 626, 766が高厚さ値 t_{GDH} のものであるPチャンネルIGFET102, 106, 118, 126のゲート電極302, 386, 628, 768よりも、下側に存在する半導体ボディに一層近い。ゲート電極302, 386, 502, 568, 628, 702, 768内のボロンが夫々の下側に存在するゲート誘電体層300, 384, 500, 566, 626, 700, 766を介して半導体ボディ内に拡散してIGFET損傷を発生させることの懸念は、IGFET110, 114, 122に対して特に臨界的である。

【0949】

窒素は、シリコン酸化物を介してのボロンの拡散を阻止する。そのために、窒素が例示したIGFETのゲート誘電体層、特にPチャンネルIGFET102, 106, 110, 114, 118, 122, 126のゲート誘電体層300, 384, 500, 566, 626, 700, 766、内に組み込まれて、例示したIGFETのゲート電極内のボロンがそれらのゲート電極を介して半導体ボディ内に拡散してIGFET損傷を発生させることを阻止する。

【0950】

半導体ボディ内の窒素の存在は、半導体ボディ内の窒素の量及び分布に依存して損傷的なものである場合がある。従って、例示したIGFETのゲート誘電体層、特にPチャンネルIGFET110, 114, 122の低厚さゲート誘電体層500, 566, 700、内への窒素の組み込みは、窒素により発生されるIGFET損傷が殆ど無い蓋然性のある垂直濃度分布を有するように、制御される。窒素は、低厚さゲート誘電体層500, 566, 700の各々の、質量で、6-12%、好適には9-11%、典型的には10%を構成している。

【0951】

PチャンネルIGFET102, 106, 118, 126の高厚さゲート誘電体層300, 384, 626, 766は、低厚さゲート誘電体層500, 566, 700よりも、質量で、一層低い百分率の窒素を包含している。高厚さゲート誘電体層300, 384, 626, 766における窒素の質量での百分率は、低厚さゲート誘電体層500, 566, 700における窒素の質量での百分率に高誘電体厚さ値 t_{GDH} に対する低誘電体厚さ値 t_{GdL} の1より低い比である t_{GdL}/t_{GDH} を乗算したものとほぼ等しい。低誘電体厚さ t_{GdL} が2nmであり一方高誘電体厚さ t_{GDH} が6-6.5nmである典型的な場合に、低対高ゲート誘電体厚さ比 t_{GdL}/t_{GDH} は0.30-0.33である。従って、窒素は、典型的に、高厚さゲート誘電体層300, 384, 626, 766の各々の質量で約2-4%、典型的に約3%、を構成している。

【0952】

図45は、窒素濃度 N_{N_2} がどのようにして正規化したゲート誘電体深さについて変化するかを示している。正規化したゲート誘電体深さは、(i)その上部表面から測定したゲート誘電体層500, 566又は700などのゲート誘電体層内への実際の深さ y' を、(ii)平均ゲート誘電体厚さ t_{Gd} 、例えばゲート誘電体層500, 566又は700に対する低厚さ値 t_{GdL} 、で割り算したものである。従って、正規化したゲート誘電体深さ y'/t_{Gd} は上部ゲート誘電体表面においての0からゲート誘電体層の下部表面においての1へ変化する。該下部ゲート誘電体表面は上部半導体表面の一部と同じである。何故ならば、該ゲート誘電体層は半導体ボディのモノシリコンに隣接しているからである。

【0953】

正規化したゲート誘電体高さも図45の上部に沿って示されている。正規化したゲート誘電体高さは、(i)下部ゲート誘電体表面から測定した実際の高さ y'' を、(ii)平均ゲート誘電体厚さ t_{Gd} で、割り算したものである。実際の深さ y' と実際の高さ y'' との和は、平均ゲート誘電体厚さ t_{Gd} に等しい。従って、正規化したゲート誘電体高さ y''/t_{Gd} は正規化したゲート誘電体深さ y'/t_{Gd} の補元である。即ち、正規化したゲート誘電体高さ y''/t_{Gd} は $1 - y'/t_{Gd}$ に等しい。正規化したゲート誘電体深さ y'/t_{Gd} に関して説明した任意のパラメータは、正規化したゲート誘電体高さ y''/t_{Gd} に関して均等の態様で説明することが可能である。例えば、 y'/t_{Gd} の正規化したゲート誘電体深さ値が0.7において特定の値を有するパラメータは、 y''/t_{Gd} の正規化したゲート誘電体高さ値が0.3において同じ値を有している。

【0954】

ゲート誘電体層、例えばPチャンネルIGFET110, 114又は122の低厚さゲート誘電体層500, 566又は700、における垂直窒素濃度分布は、幾つかのパラメータによって特性付けられ、該パラメータの各々は特定した最大パラメータ範囲(レンジ)及び一つ又はそれ以上の好適な一層小さな副範囲(サブレンジ)に該当する。図45は、正規化したゲート誘電体深さ y'/t_{Gd} 又は正規化したゲート誘電体高さ y''/t_{Gd} の関数としてのゲート誘電体層内の窒素濃度 N_{N_2} の変化を表す7つの垂直分布曲線を提示している。

【0955】

前述したことを前提に、窒素濃度 N_{N_2} は、ゲート誘電体深さ y' が上部ゲート誘電体表面下側の平均最大窒素濃度深さ値 $y'_{N_{2max}}$ にある場合に、ゲート誘電体層における最大窒素濃度位置に沿って $2 \times 10^{21} - 6 \times 10^{21}$ 原子数/cm³の最大値 $N_{N_{2max}}$ に到達する。ゲート誘電体層内の最大窒素濃度位置における正規化した深さ y'/t_{Gd} の値 $y'_{N_{2max}}/t_{Gd}$ は、図45の例に図示されている如く、通常0.2を超えるものではなく、好適には0.05-0.15であり、典型的には0.1である。低平均ゲート誘電体厚さ値 t_{GdL} は、通常、1-3nm、好適には1.5-2.5nm、典型的には2nm、であることに注意すると、このことは、最大濃度窒素濃度深さ値 $y'_{N_{2max}}$ がPチャンネルIGFET110, 114, 122の低厚さゲート誘電体層500, 566, 700のゲート誘電体厚さ t_{GdL} に対して値2nmの典型的な値において、通常0.4nm、好適には0.1-0.3nm、典型的には0.2nmを越えることの無いことを意味している。

【0956】

最大窒素濃度 $N_{N_{2max}}$ の最低値、 2×10^{21} 原子数/cm³、における N_{N_2} 垂直分布曲線は図45において「下部限界 N_{N_2} 分布」と符号を付けてあり、最も低い窒素濃度垂直分布であることを表している。最大窒素濃度 $N_{N_{2max}}$ の最高値、 6×10^{21} 原子数/cm³、におえる N_{N_2} 垂直分布曲線は、同様に、図45において、「上部限界 N_{N_2} 分布」として符号を付けてあり、最も高い窒素濃度垂直分布であることを表している。 $2 \times 10^{21} - 6 \times 10^{21}$ 原子数/cm³の範囲内にある場合には、最大窒素濃度 $N_{N_{2max}}$ は、好適には、少なくとも 3×10^{21} 原子数/cm³であり、より好適には少なくとも 4×10^{21} 原子数/cm³であり、更により好適には少なくとも4.

10

20

30

40

50

5×10^{21} 原子数/cm³である。又、最大窒素濃度 N_{N2max} は、好適には、 5×10^{21} 原子数/cm³ を越えるものではなく、典型的には、図 45 において「典型的な N_{N2} 分布」として符号を付けた N_{N2} 垂直分布曲線によって表してあるように、典型的には 5×10^{21} 原子数/cm³ である。

【0957】

ゲート誘電体層内の質量での窒素の百分率は、最大窒素濃度 N_{N2max} が増加するに従い、増加する。従って、図 45 における下限、典型的、及び上限の窒素濃度分布は、夫々、ゲート誘電体層内の窒素のほぼ、6% 最低質量百分率、10% 典型的質量百分率、最高質量百分率、に対応している。

【0958】

窒素濃度 N_{N2} は、正規化した深さ y' / t_{Gd} が正規化した最大窒素濃度深さ値 y'_{N2max} / t_{Gd} から下部ゲート誘電体表面において 1 へ増加するに従い、最大窒素濃度 N_{N2max} から非常に小さい値へ減少する。より詳細には、ゲート誘電体層内の濃度 N_{N2} は、好適には、下部ゲート誘電体表面から原子の約単一層の距離において実質的にゼロであり、従って下部ゲート誘電体表面に沿って実質的にゼロである。

【0959】

更に、窒素濃度 N_{N2} は、深さ y' が最大窒素濃度深さ y'_{N2max} と下部ゲート誘電体表面との中間の値 y'_{N2low} にある場合に、 1×10^{20} 原子数/cm³ の低値に到達する。従って、正規化した深さ y' / t_{Gd} が正規化した最大窒素濃度深さ y'_{N2max} / t_{Gd} と 1 との間の正規化した中間の値 y'_{N2low} / t_{Gd} にある場合に、濃度 N_{N2} は低い値 N_{N2low} にある。 1×10^{20} 原子数/cm³ の N_{N2low} 低窒素濃度値にある正規化した中間深さ値 y'_{N2low} / t_{Gd} は、通常、0.9 の高から 0.6 の低の範囲にある。この範囲にある条件下において、正規化した中間窒素濃度深さ y'_{N2low} / t_{Gd} は、好適には、少なくとも 0.65、より好適には少なくとも 0.7、更により好適には、少なくとも 0.75、にある。正規化した中間深さ y'_{N2low} / t_{Gd} は、図 45 における典型的な窒素濃度垂直分布によって表されているように、好適には 0.85、典型的には 0.8、を越えるものではない。

【0960】

正規化した中間窒素濃度深さ値 y'_{N2low} / t_{Gd} は、最大窒素濃度 N_{N2max} が増加するに従い、増加する。図 45 の例において、 y'_{N2low} / t_{Gd} 正規化した中間窒素濃度深さ値の 0.6, 0.65, 0.7, 0.75, 0.8, 0.85, 0.9 は、夫々、最大窒素濃度値 N_{N2max} の 2×10^{21} 、 3×10^{21} 、 4×10^{21} 、 4.5×10^{21} 、 5×10^{21} 、 5.5×10^{21} 、 6×10^{21} における窒素濃度垂直分布上において発生する。窒素濃度 N_{N2} は、通常、正規化した最大窒素濃度深さ y'_{N2max} / t_{Gd} における最大窒素濃度値 N_{N2} から正規化した中間窒素濃度深さ y'_{N2low} / t_{Gd} における低窒素濃度値 N_{N2low} へ移る場合に、ほぼ単調的に減少する。

【0961】

窒素濃度 N_{N2} は、最大窒素濃度 N_{N2max} の深さ y'_{N2max} におけるよりも上部ゲート誘電体表面において幾分一層低い値 N_{N2top} にある。最大窒素値 N_{N2max} が 2×10^{21} 原子数/cm³ 乃至 6×10^{21} 原子数/cm³ の範囲にわたることに注意すると、上部表面窒素濃度値 N_{N2top} は 1×10^{21} 原子数/cm³ 乃至 5×10^{21} 原子数/cm³ の範囲にある。この範囲にあることの条件下において、上部表面窒素濃度 N_{N2top} は、好適には少なくとも 2×10^{21} 原子数/cm³、より好適には少なくとも 3×10^{21} 原子数/cm³、更により好適には少なくとも 3.5×10^{21} 原子数/cm³、である。上部表面窒素濃度 N_{N2top} は、図 45 における典型的な N_{N2} によって表されているように、好適には 4.5×10^{21} 原子数/cm³、典型的には 4×10^{21} 原子数/cm³、を越えるものではない。図 45 に示した窒素濃度垂直分布の例においては、 N_{N2top} 上部表面窒素濃度値の 1×10^{21} 、 2×10^{21} 、 3×10^{21} 、 3.5×10^{21} 、 4×10^{21} 、 4.5×10^{21} 、 5×10^{21} 原子数

10

20

30

40

50

cm^3 は、夫々、最大窒素濃度値 N_{N2max} の 2×10^{21} 、 3×10^{21} 、 4×10^{21} 、 4.5×10^{21} 、 5×10^{21} 、 5.5×10^{21} 、 6×10^{21} 原子数/ cm^3 において窒素濃度値分布曲線上において発生する。

【0962】

幾つかの要因が、図45に図示した窒素濃度分布特性に従う特定の窒素濃度分布の選択に影響を与える。図45における上限窒素濃度分布は、一般的に、ゲート電極内のボロンがゲート誘電体層を介して下側に存在するモノシリコン、特にIGFETのチャンネルゾーン、内に通過することを阻止し、且つIGFET損傷を阻止する上で最も効果的である。該上限分布はゲート誘電体層内の窒素の最も高い質量百分率に対応しているので、負のバイアス温度不安定性に起因するPチャンネルIGFETにおける動作時間に関しての窒素によって誘起されるスレッショールド電圧のドリフトの危険性が増加される。又、該上限分布は、チャンネルゾーンがゲート誘電体層と合流する上部半導体表面近くにより多くの窒素を配置させる。このことは、ゲート誘電体／チャンネルゾーンの界面において増加したトラップ密度に起因して減少した電荷移動度の危険性を増加させる。

【0963】

図45における下限窒素濃度分布は、チャンネルゾーンにおける減少した電荷移動度及び窒素により誘起されるスレッショールド電圧のドリフトの危険性を減少させる。しかしながら、ゲート誘電体層内において付随して発生する窒素の最も低い質量百分率は、ゲート電極内のボロンがゲート誘電体層を介してチャンネルゾーン内に通過することを防止する効果性を減少させる。一つの良好な妥協は、図45における典型的な窒素濃度分布に近い特性、例えば、典型的な窒素濃度分布の直ぐ下側の窒素濃度分布から典型的な窒素濃度分布の直ぐ上側の窒素濃度分布へ延在する好適範囲における特性、を有する垂直窒素濃度分布を選択することである。その他の考慮事項が、その特性が典型的な窒素濃度分布から更に離れるものであるが、尚且つ図45における上限及び下限の窒素濃度分布によって画定される特性の範囲内のものである垂直窒素濃度分布の選択へ導く場合がある。

【0964】

ゲート誘電体層、特に、各PチャンネルIGFET110、114又は122の低厚さゲート誘電体層500、566又は700、における窒素の濃度に対して、前述した垂直特性、特に、図45における典型的な窒素濃度分布の特性に近い垂直特性、を有するように構成することによって、IGFET110、114又は122のスレッショールド V_T はIGFET動作時間に関して高度に安定である。スレッショールド電圧ドリフトは実質的に回避される。IGFET110、114、122は低周波数 $1/f$ ノイズを発生することは実に少ない。IGFET110、114、122の信頼性及び性能は著しく向上されている。

【0965】

以下に説明するように、ゲート誘電体形成期間中におけるPチャンネルIGFET102、106、110、114、118、122、126のゲート誘電体層300、384、500、566、626、700、766内への窒素の導入は、誘電体層300、384、500、566、626、700、766の上部表面に沿って発生する。従って、各高厚さゲート誘電体層300、384、626又は766は、低厚さゲート誘電体層500、566又は700とほぼ同じ垂直窒素濃度分布を有する上部部分を包含している。例えば、IGFET102、106、118、126の高厚さゲート誘電体層300、384、626、766における最大窒素濃度 N_{N2max} の深さ y'_{N2max} は、通常、IGFET110、114、122の低厚さゲート誘電体層500、566、700における最大窒素濃度 N_{N2max} の深さ y'_{N2max} とほぼ同じである。

【0966】

低厚さゲート誘電体層500、566又は700とほぼ同じ垂直窒素濃度分布を有する各高厚さゲート誘電体層300、384、626又は766の上部部分は、ゲート誘電体層300、384、626又は766の上部表面から層300、384、626又は766内への低ゲート誘電体厚さ t_{gdL} にほぼ等しい深さ y' へ延在している。ゲート誘電

10

20

30

40

50

体厚さ t_{Gd} が高厚さゲート誘電体層 300, 384, 626, 766 に対して高い値 t_{GdH} であり、一方、ゲート誘電体厚さ t_{Gd} が低厚さゲート誘電体層 500, 566, 700 に対して低い値 t_{GdL} であるので、窒素濃度特性は、低厚さゲート誘電体層 500, 566 又は 700 における窒素濃度特性の正規化した y' / t_{Gd} 深さ値に低対高ゲート誘電体厚さ比 t_{GdL} / t_{GdH} を乗算したものにほぼ等しい正規化した y' / t_{Gd} 深さ値における高厚さゲート誘電体層 300, 384, 626 又は 766 において発生する。

【0967】

前述した深さ正規化品目の一つの例は、高厚さゲート誘電体層 300, 384, 626 又は 766 における最大窒素濃度 N_{N2max} の正規化した深さ y'_{N2max} / t_{Gd} は、低厚さゲート誘電体層 500, 566 又は 700 におけるその最大窒素濃度 N_{N2max} の正規化した深さ y'_{N2max} / t_{Gd} に低対高ゲート誘電体厚さ比 t_{GdL} / t_{GdH} を乗算したものにほぼ等しいということである。別の例として、最大窒素濃度 N_{N2max} の特定の値に対する高厚さゲート誘電体層 300, 384, 626 又は 766 における 1×10^{20} 原子数 / cm^3 の低窒素濃度における正規化した深さ y'_{N2low} / t_{Gd} は、低厚さゲート誘電体層 500, 566 又は 700 における低窒素濃度 N_{N2low} の正規化した深さ y'_{N2low} / t_{Gd} に低対高ゲート誘電体厚さ比 t_{GdL} / t_{GdH} を乗算したものにほぼ等しい。高厚さゲート誘電体層 300, 384, 626, 766 における前述した垂直窒素濃度分布及び増加したゲート誘電体厚さに起因して、IGFET 102, 106, 118, 126 はスレッショールドドリフト及び $1/f$ ノイズを発生することは非常に少ない。それらの信頼性及び性能も同様にかかなり向上されている。

【0968】

R2. 窒化ゲート誘電体層の製造

図 46a-46g (集約的に「図 46」) は、P チャンネル IGFET 110, 114, 122 の低厚さゲート誘電体層 500, 566, 700 が図 45 に提示した特性を有する垂直窒素濃度分布を達成するように、窒化ゲート誘電体層を具備する例示した IGFET を提供する場合のステップを示している。説明の便宜上、図 46 は対称的低電圧 P チャンネル IGFET 114 の低厚さゲート誘電体層 566 及び対称の高電圧 P チャンネル IGFET 118 の高厚さゲート誘電体層 626 に対するナイトライダイゼーション (nitridization) 即ち窒化を例示しているに過ぎない。対称的低電圧 P チャンネル IGFET 110 及び 122 の低厚さゲート誘電体層 500 及び 700 に対する窒化は、IGFET 114 の低厚さゲート誘電体層 566 に対する窒化と同じ態様で達成され且つ実質的に同じ垂直特性を有している。P チャンネル IGFET 102, 106, 126 の高厚さゲート誘電体層 300, 384, 766 に対する窒化は、同様に、IGFET 118 の高厚さゲート誘電体層 626 に対する窒化と同じ態様で達成され、且つ実質的に同じ垂直特性を有している。

【0969】

図 46 の窒化手順は、図 33i-4 及び 33i-5 の段階直後に存在する構成体で開始する。図 46a は、この点において、P チャンネル IGFET 114 及び 118 に意図されている全体的な CIGFET 構成体の部分がどのように表れるかを示している。スクリーン酸化物層 924 が IGFET 114 及び 118 用の島状部 154 及び 158 を被覆している。分離用の中程度にドーピングされている p ウェル領域 990 が、IGFET 114 及び 118 を互いに電氣的に分離させるために、フィールド絶縁体領域 138 の下側で且つプリカーサー N 型主要ウェル領域 194P 及び 198P の間に位置されている。P ウェル領域 990 は、IGFET 114 及び 118 が互いに隣接していない実施例においては、削除することが可能である。

【0970】

スクリーン酸化物層 924 を除去する。図 46b を参照すると、厚いゲート誘電体を包

含する誘電体層 942 が、図 33j に関連して上述した態様で上部半導体表面に沿って熱成長される。厚い誘電体層 942 の一部は P チャンネル I G F E T 118 の高厚さゲート誘電体層 626 に対する横方向位置にあり且つ後にその一部を構成する。厚い誘電体層 942 は、実質的にシリコン酸化物のみから構成されている。層 942 の厚さは意図した t_{GdH} 厚さよりも多少一層小さく、通常 4-8 nm、好適には 5-7 nm、典型的には 6-6.5 nm、である。

【0971】

例示した低電圧 I G F E T 用のモノシリコン島状部の上方に開口を有する上述したホトレジストマスク（不図示）が、厚い誘電体層 942 の上に形成される。誘電体層 942 の露出された物質が除去されて、P チャンネル I G F E T 114 に対する島状部 154 を含む例示した低電圧 I G F E T 用の島状部を露出させる。図 46c を参照すると、品目 942R は、厚いゲート誘電体を包含する誘電体層 942 の残部である。例示した低電圧 I G F E T 用のモノシリコン島状部の各々の上部表面に沿ってシリコンの薄い層（不図示）を除去した後に、該ホトレジストを除去する。

【0972】

図 33k に関連して上述したウェット酸化用熱成長操作が熱成長チャンバー内において該半導体構成体に関して実施されて、P チャンネル I G F E T 114 用の島状部 154 を含む例示した低電圧 I G F E T 用のモノシリコン島状部の上方に上部半導体表面に沿って薄いゲート誘電体を包含する誘電体層 944 を熱成長させる。薄い誘電体層 944 の一部は、後に、I G F E T 114 用の低厚さゲート誘電体層 566 を構成する。この点において、層 944 は、実質的に、シリコン酸化物のみから構成されている。図 46c における品目 992 及び 994 は、薄い誘電体層 944 の下部表面及び上部表面を夫々表している。品目 996 及び 998 は、薄い誘電体残部 942R の下部表面及び上部表面を夫々表している。

【0973】

上述したプラズマ窒化操作を本半導体構成体に関して実施して、窒素を薄い誘電体層 944 及び厚い誘電体残部 942R 内に導入させる。図 46d を参照のこと。該プラズマ窒化は、I G F E T の製造が完了した場合に、P チャンネル I G F E T 114 の低厚さゲート誘電体層 566 が図 45 に表した特性を有する垂直窒素濃度分布を達成するような態様で行われる。特に、該プラズマ窒化は、典型的に、I G F E T 製造の終わりにおけるゲート誘電体層 566 内の窒素濃度が図 45 に示した典型的な垂直窒素濃度分布に近いものであるように、実施される。

【0974】

該窒化プラズマは、通常、大部分が、不活性ガスと窒素とから構成されている。該不活性ガスは、好適には、ヘリウムである。その場合には、該ヘリウムは、通常、体積において該プラズマの 80% を越えるものを構成している。

【0975】

該プラズマ窒化は、圧力が 5-20 mtorr、典型的には 10 mtorr、において、60-90 秒、典型的には 75 秒、の間、実効プラズマパワーが 200-400 ワット、典型的には 300 ワット、において、プラズマ発生チャンバー内において行われる。プラズマパルス動作周波数は、パルス動作デューティサイクルが 5-25%、典型的には 10%、において、5-15 kHz、典型的には 10 kHz、である。その結果発生する窒素イオンは、通常、薄い誘電体層 944 の上部表面 994 及び厚い誘電体残部 942R の上部表面 998 上にほぼ垂直に衝突する。その窒素イオンドーズ量は、 $1 \times 10^{15} - 5 \times 10^{15}$ イオン数/cm²、好適には $2.5 \times 10^{15} - 3.5 \times 10^{15}$ イオン数/cm²、典型的には 3×10^{15} イオン数/cm² である。

【0976】

部分的に完成された C I G F E T 構成体を該プラズマ発生チャンバーから取り出し且つ酸素中においての上述した中間 R T A のために熱成長チャンバーへ転送させる。その転送操作期間中に、該窒素の幾らかは薄い誘電体層 944 の上部表面 994 から及び厚い誘電

10

20

30

40

50

体残部 942R の上部表面 998 から、図 46e に表したように、アウトガス (outgas) 即ちガス抜きする。そのガス抜きした窒素は、非付随窒素と呼称され、薄い誘電体層 944 及び厚い誘電体残部 942R のシリコン又は / 及び酸素と顕著な結合を形成しなかった窒素原子から主に構成されている。ガス抜きの前に、その非付随でガス抜きされる窒素は、主に、上部ゲート誘電体表面 994 及び 998 に沿って、又はその近くに、位置されている。

【0977】

上述した如く、中間 RTA は薄い誘電体層 944 の厚さを幾分増加させる。薄い誘電体層 944 の厚さは、該中間 RTA の終わりにおいて、実質的に、 t_{GdL} 低ゲート誘電体値の 1-3 nm、好適には 1.5-2.5 nm、典型的には 2 nm、である。主に、(i) 中間 RTA 期間中における薄い誘電体層 944 の僅かな厚さの増加、及び (ii) 転送操作期間中における誘電体層 944 の上部表面 994 からの窒素のガス抜き、に起因して、層 944 内の窒素は上部ゲート誘電体表面 994 の幾分下側の最大窒素濃度位置に沿って最大濃度に到達する。薄い誘電体層 944 における最大窒素濃度位置における正規化した深さ y' / t_{Gd} は、ゲート誘電体厚さ t_{Gd} が t_{GdL} に等しい場合に、通常 0.2、好適には 0.05-0.15、典型的には 0.1、を越えるものではない。

【0978】

同様に上述した如く、薄い誘電体層 944 を形成する場合に使用した熱成長ステップは、厚い誘電体残部 942R の厚さを僅かに増加させる。誘電体残部 942R の厚さは、中間 RTA の終わりにおいては、実質的に、 t_{GdH} 高ゲート誘電体値の 4-8 nm、好適には 5-7 nm、典型的には 6-6.5 nm である。厚い誘電体残部 942R 内の窒素は、主に、(i) 中間 RTA 期間中における誘電体残部 942R の僅かな厚さの増加、及び (ii) 転送期間中における上部ゲート誘電体表面 998 からの窒素のガス抜き、に起因して、誘電体残部 942R の上部表面 998 の幾分下側の最大窒素濃度位置に沿って最大濃度に到達する。

【0979】

厚い誘電体残部 942R 及び薄い誘電体層 944 における最大窒素濃度 N_{N2max} の深さ y'_{N2max} は、通常、ほぼ同じである。ゲート誘電体厚さ t_{Gd} は、厚い誘電体残部 942R に対しては高い値 t_{GdH} であり、一方、ゲート誘電体厚さ t_{Gd} は、薄い誘電体層 944 に対しては低い値 t_{GdL} であるから、厚い誘電体残部 942R の一層大きな厚さは、厚い誘電体残部 942R における最大窒素濃度 N_{N2max} の正規化した深さ y'_{N2max} / t_{Gd} を、薄い誘電体層 944 における最大窒素濃度 N_{N2max} の正規化した深さ y'_{N2max} / t_{Gd} よりも一層低いものとさせる。特に、厚い誘電体残部 942R の正規化した最大窒素濃度深さ y'_{N2max} / t_{Gd} は、薄い誘電体層 944 の正規化した最大窒素濃度深さ y'_{N2max} / t_{Gd} に低対高ゲート誘電体厚さ比 t_{GdL} / t_{GdH} を乗算したものとほぼ等しい。

【0980】

プラズマ窒化操作と中間 RTA との間に窒素ガス抜きが発生する条件下において、薄い誘電体層 944 及び厚い誘電体残部 942R における垂直窒素濃度分布の形状は、中間 RTA 期間中に使用される好適には酸素である雰囲気ガスを包含する中間 RTA の条件によって、及び以下のプラズマ窒化パラメータ、即ち、実効パワー、圧力、投与時間、パルス動作周波数、デューティサイクル、ドーズ量、及びガス構成要素、によって、ほぼ決定される。該実効プラズマパワー、投与時間、パルス動作周波数、及びドーズ量を種々に増加させると、薄い誘電体層 944 及び厚い誘電体残部 942R における窒素質濃度を増加させる。プラズマ圧力を減少させることは、誘電体層 944 及び誘電体残部 942R 内の窒素質濃度を増加させる。前述のプラズマ窒化及び中間 RTA 条件は、薄い誘電体層 944 における所望の垂直窒素濃度分布、通常は、図 45 に示した典型的な窒素濃度分布に近いもの、を達成すべく選択される。

【0981】

IGFET 処理の残りの部分は、図 33 に関連して上述した態様で行われる。図 46f

は、プリカーサーゲート電極 5 6 8 P 及び 6 2 8 P が夫々 P チャンネル I G F E T 1 1 4 及び 1 1 8 に対して画定される図 3 3 1 の段階において図 4 6 の構成体がどのように表れるかを示している。プリカーサーゲート電極 5 6 8 P 及び 6 2 8 P を含むプリカーサーゲート電極によって被覆されていない薄い誘電体層 9 4 4 及び厚い誘電体層 9 4 2 R の部分は除去されている。I G F E T 1 1 4 のゲート誘電体層 5 6 6 は、プリカーサーゲート電極 5 6 8 P の下側に存在する薄い誘電体層 9 4 4 の部分によって形成される。I G F E T 1 1 8 のゲート誘電体層 6 2 6 は、同様に、プリカーサーゲート電極 6 2 8 P の下側に存在する厚い誘電体残部 9 4 2 R の部分によって形成される。

【0982】

図 4 6 f における品目 9 9 2 R は、プリカーサーゲート電極 5 6 8 P の下側に存在する薄い誘電体層 9 4 4 の下部表面 9 9 2 の部分を構成している。品目 9 9 4 R は、ゲート電極 5 6 8 P の下側に存在する誘電体層 9 4 4 の上部表面 9 9 4 の部分を構成している。従って、品目 9 9 2 R 及び 9 9 4 R は、夫々、P チャンネル I G F E T 1 1 4 のゲート誘電体層 5 6 6 の下部表面及び上部表面である。品目 9 9 6 R は、プリカーサーゲート電極 6 2 8 P 下側に存在する厚い誘電体残部 9 4 2 R の下部表面 9 9 6 の部分を構成している。品目 9 9 8 R は、ゲート電極 6 2 8 P の下側に存在する誘電体残部 9 4 2 R の上部表面 9 9 8 の部分を構成している。従って、品目 9 9 6 R 及び 9 9 8 R は、夫々、P チャンネル I G F E T 1 1 8 のゲート誘電体層 6 2 6 の下部表面及び上部表面である。

【0983】

図 4 6 g は、P 型主要 S / D イオン注入が非常に高いドーズ量でのボロンで実施される場合の図 3 3 y の段階において図 4 6 の構成体がどのように表れるかを示している。P チャンネル I G F E T 1 1 4 及び 1 1 8 用の島状部 1 5 4 及び 1 5 8 の上方に開口を有するホトレジストマスク 8 7 2 が誘電体層 9 6 2 及び 9 6 4 上に形成される。I G F E T 1 0 4 及び 1 1 8 のみが図 4 6 g 内に表れているのでホトレジスト 9 7 2 は図 4 6 g には表れていないが、P 型主要 S / D ドーパントが、非常に高いドーズ量で、ホトレジスト 9 7 2 における開口を介して、表面誘電体層 9 6 4 の露出部分を介して、下側に存在するモノシリコンの垂直方向に対応する部分内にイオン注入されて、(a) I G F E T 1 1 4 の P ++ 主要 S / D 部分 5 5 0 M 及び 5 5 2 M、及び (b) I G F E T 1 1 8 の P ++ 主要 S / D 部分 6 1 0 M 及び 6 1 2 M を画定する。

【0984】

図 3 3 y の段階における如く、P 型主要 S / D ドーパントのボロンも I G F E T 1 1 4 及び 1 1 8 用のプリカーサーゲート電極 5 6 8 P 及び 6 2 8 P 内に入り、それによりプリカーサー電極 5 6 8 P 及び 6 2 8 P を夫々 P ++ ゲート電極 5 6 8 及び 6 2 8 へ変換させる。P 型主要 S / D 注入は、図 3 3 のプロセスに関連して上述した態様で及び条件において実施し、その後、ホトレジスト 9 7 2 を除去する。

【0985】

重要なことであるが、I G F E T 1 1 4 のゲート誘電体層 5 6 6 内の窒素は、ゲート電極 5 6 8 内に注入されたボロンがゲート誘電体 5 6 6 を介して下側に存在するモノシリコン、特に N 型チャンネルゾーン 5 5 4、内に通過することを実質的に阻止する。I G F E T 1 1 8 のゲート誘電体層 6 2 6 内の窒素及びゲート誘電体 6 2 6 の増加された厚さの組み合わせが、ゲート電極 6 2 8 内に注入されたボロンがゲート誘電体層 6 2 6 を介して下側に存在するモノシリコン、特に N 型チャンネルゾーン 6 1 4、内に通過することを実質的に阻止する。更に、ゲート誘電体層 5 6 6 及び 6 2 6 内への窒素の導入は、ゲート電極 5 6 8 及び 6 2 8 内へのボロンのイオン注入前に実施する。従って、ボロンは、ボロン停止用窒素がそれらに導入される前に、ゲート誘電体層 5 6 6 及び 6 2 6 を介して通過することは不可能である。

【0986】

上述した更なるスパイクアニール及びメタルシリサイド形成を含むその後の処理ステップが完了すると、P チャンネル I G F E T 1 1 4 の低厚さゲート誘電体層内の窒素は、図 4 5 に提示した特性、典型的には図 4 5 に示した典型的な垂直窒素濃度分布に近い特性、

10

20

30

40

50

を有する垂直濃度分布を有している。同じことが、PチャンネルIGFET110及び122の低厚さゲート誘電体層500及び700における窒素に対して適用される。ゲート誘電体層500、566、700下側に存在するモノシリコン、特に、夫々のIGFET110、114、122のチャンネルゾーン484、554、684のモノシリコン、はほぼ窒素が存在していない。

【0987】

PチャンネルIGFET118の高厚さゲート誘電体層626の上部部分内の窒素は、IGFET110、114又は122の低厚さゲート誘電体層500、566又は700において示した垂直窒素濃度分布に近い特性を有する垂直濃度分布を有している。ゲート誘電体層626の下側に存在する下部部分は殆ど窒素を含有していない。特に、下部ゲート誘電体表面996Rに沿っての窒素濃度は実質的にゼロである。同じことが、PチャンネルIGFET102、106、126の高厚さゲート誘電体層300、384、766における窒素に対して適用される。ゲート誘電体層300、384、626、766下側に存在するモノシリコン、特に夫々のIGFET102、106、118、126のチャンネルゾーン284、362、614、754のモノシリコン、は同様にほぼ窒素が存在していない。

【0988】

S. 変形例

本発明を特定の実施例を参照して説明してきたが、この説明は専ら例示目的のためであって、特許請求の範囲に記載した本発明の範囲を制限するものとして解釈されるべきものではない。例えば、半導体ボディ内又は／及びゲート電極内のシリコンは、その他の半導体物質で置換させることが可能である。置換候補は、ゲルマニウム、シリコン・ゲルマニウム合金、及びガリウム砒素等の3a族-5a族合金、を包含している。ドーブしたポリシリコンゲート電極及び上側に存在するメタルシリサイド層で形成される複合ゲート電極は、実質的に完全に耐火性金属か又は実質的に完全に、例えば仕事関数を制御するためにシリサイドゲート電極内に設けられたドーパントを具備するコバルトシリサイド、ニッケルシリサイド、又はプラチナシリサイド、等のメタルシリサイドからなるゲート電極で置換させることが可能である。

【0989】

ポリシリコンは、一つのタイプの非単結晶シリコン（「非モノシリコン」）である。ゲート電極は、好適には、ドーブしたポリシリコンから構成するものとして上では説明してきた。代替的には、ゲート電極は、ドーブした非晶質シリコン又はドーブした多結晶シリコンなどの別のタイプのドーブした非モノシリコンから構成することが可能である。ゲート電極が例えドーブしたポリシリコンから構成されるものであっても、ゲート電極に対するプリカーサーは、非晶質シリコン又はポリシリコン以外の別のタイプの非モノシリコンとして付着させることが可能である。プリカーサーゲート電極の付着に続く昇温ステップ期間中における昇温は、ゲート電極中のシリコンをポリシリコンへ変換させる。

【0990】

例示したIGFETのゲート誘電体層は、代替的に、高い誘電定数のハフニウム酸化物等の物質で形成することが可能である。その場合には、ゲート誘電体厚さの典型的な t_{GdL} 低及び t_{GdH} 高値は、通常、上述した典型的な t_{GdL} 及び t_{GdH} 値よりも、夫々、幾分一層高いものである。

【0991】

N型ディープS/D延長部ドーパントがN型浅いソース延長部ドーパントと同じN型ドーパントである代替例においては、アニールは、オプションとして、(i) N型ディープS/D延長部注入用の図33oの段階と、(ii) N型浅いソース延長部注入用の図33pの段階との間に実施することが可能であり、それによりN型浅いソース延長部ドーパントの注入は未だに実施されていないので、N型浅いソース延長部ドーパントを拡散させること無しにN型ディープS/D延長部ドーパントを拡散させる。このことは、非対称的N

チャンネル I G F E T 1 0 0 が図 1 5 及び 1 7 のドーパント分布を達成することを可能とさせることを容易化させる。

【0992】

各非対称の高電圧 I G F E T 1 0 0 又は 1 0 2 は、(a) 非対称の高電圧 I G F E T 1 0 0 U 又は 1 0 2 U の特別に調整したポケット部分 2 5 0 U 又は 2 9 0 U、(b) 非対称の高電圧 I G F E T 1 0 0 V 又は 1 0 2 V の垂直接合グレイディング、(c) 非対称の高電圧 I G F E T 1 0 0 X 又は 1 0 2 X のドレイン下側のハイポアブラプトな垂直ドーパント分布、及び (d) I G F E T 1 0 0 X 又は 1 0 2 X のソース下側のハイポアブラプトな垂直ドーパント分布、の内のいずれか 2 つ又はそれ以上を有する変形例において設けることが可能である。非対称的 N チャンネル I G F E T 1 0 0 V 及び 1 0 0 W の間の上述した差異に注意すると、非対称的 N チャンネル I G F E T 1 0 0 は、前述した 4 つの特徴の内
10
の一つ又はそれ以上、及び上述したソース延長部 9 8 0 E の複数個の濃度最大特性を有するように少なくとも 2 つの別々の注入操作で N 型半導体ドーパントをイオン注入することによって画定される非常に高度にドーブした N 型主要部分及び一層軽度にドーブしているが尚且つ高度にドーブしてある N 型ソース延長部を包含するためにソース 9 8 0 と同じに構成された N 型ソース、を有する変形例において設けることも可能である。同じことが、導電型を逆にすれば、非対称的 P チャンネル I G F E T 1 0 2 に適用される。

【0993】

各延長型ドレイン I G F E T 1 0 4 U 又は 1 0 6 U は、延長型ドレイン I G F E T 1 0 4 V 又は 1 0 6 V のソース接合垂直グレイディングを有する変形例において設けることが
20
可能である。各対称的 I G F E T 1 1 2, 1 1 4, 1 2 4 又は 1 2 6 は、対称的 I G F E T 1 1 2, 1 1 4, 1 2 4 又は 1 2 6 を包含する対称的 I G F E T に対して上述した垂直接合グレイディング、及び I G F E T 1 1 2 X, 1 1 4 X, 1 2 4 X 又は 1 2 6 X の S / D ゾーン下側のハイポアブラプトな垂直ドーパント分布、を有している変形例において設けることが可能である。より一般的には、3 つの数字で開始する参照記号によって識別される各例示した I G F E T は、その特性に適合性がある範囲に対して、同じ 3 つの数字で開始する参照記号によって識別される 2 つ又はそれ以上のその他の I G F E T の特性を有する変形例において設けることが可能である。

【0994】

延長型ドレイン N チャンネル I G F E T 1 0 4 の変形例において、P ハローポケット部分 3 2 6 が、P 型主要ウェル領域 1 8 4 A が上部半導体表面に到達する位置を完全に横断して N 型ソース 3 2 0 から延在している。その結果、P 型主要ウェル 1 8 4 A は、ウェル 1 8 4 A 内のディープ P 型濃度最大の表面下位置から垂直線 3 3 0 等の選択した垂直位置に沿って、ウェル 1 8 4 A を介して上部半導体表面へ上方へ移る場合に、主要ウェル 1 8 4 A 内の P 型半導体ドーパントの濃度が少なくとも 1 0 の係数だけ減少するという P 型空のウェル条件を充足することを止める場合がある。その場合に、P 型主要ウェル 1 8 4 A は、充填した P 型ウェル領域となり、その場合に、ウェル 1 8 4 A 内の P 型ドーパントの濃度は、ウェル 1 8 4 A 内のディープ P 型濃度最大の表面下位置から任意の垂直位置に沿ってウェル 1 8 4 A を介して上部半導体表面へ移る場合に、1 0 の係数未満だけ増加又は
30
減少する。
40

【0995】

延長型ドレイン P チャンネル I G F E T 1 0 6 の変形例における N ハローポケット部分 3 6 6 は、同様に、P 型ソース 3 6 0 から N 型主要ウェル領域 1 8 4 A が上部半導体表面に到達する位置を完全に横断して延在している。従って、N 型主要ウェル 1 8 6 A は、ウェル 1 8 6 A 内の該ディープ N 型濃度最大の表面下位置から垂直線 3 7 0 などの選択した垂直位置に沿って、ウェル 1 8 6 A を介して、上部半導体表面へ上方に移る場合に、主要ウェル 1 8 6 A 内の N 型半導体ドーパントの濃度が少なくとも 1 0 の係数だけ減少するという N 型空のウェル条件を充足することを止める場合がある。そうである場合には、N 型主要ウェル 1 8 6 A は充填した N 型ウェルとなり、その場合に、ウェル 1 8 6 A 内の N 型ドーパントの濃度は、ウェル 1 8 6 A 内のディープ N 型濃度最大の表面下位置から任意の
50

垂直位置に沿ってウェル 186A を介して上部半導体表面へ移る場合に、10 の係数未満だけ増加又は減少する。

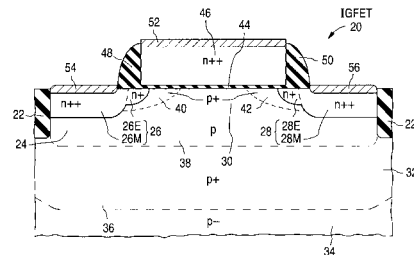
【0996】

延長型ドレイン IGFET 104 又は 106 の別の変形例において、ブレイクダウン電圧 V_{BD} が丁度その最大値 V_{BDmax} において飽和するように、最小ウェル対ウェル間隔 L_{WW} は十分に大きく選択される。その際に、IGFET 104 又は 106 のモノシリコン内の電界のピーク値は上部半導体表面において又はその非常に近くにおいて発生するが、IGFET 104 のドレイン 184B 又は IGFET 106 のドレイン部分 186B の空のウェルの特性は、未だに、IGFET 104 又は 106 のモノシリコン内の電界のピーク値を減少させる。この延長型ドレイン IGFET 104 又は 106 の変形例は、IGFET 104 又は 106 の増加された信頼性及び寿命に近い増加された信頼性及び寿命と共に、ブレイクダウン電圧の最大達成可能値 V_{BDmax} を有している。

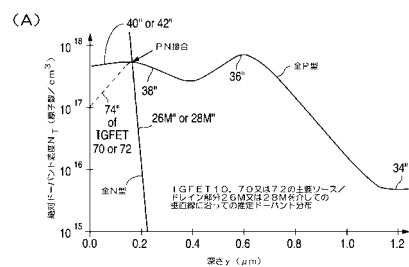
【0997】

N チャンネル IGFET は、低厚さゲート誘電体層 460、536 又は 660 を有する N チャンネル IGFET 108、112 又は 120 の場合に発生するように、N 型ゲート電極の代わりに P 型ボロンドープしたポリシリコンゲート電極を有している場合がある。その場合には、N チャンネル IGFET のゲート誘電体層は、P 型ボロンドープしたポリシリコンゲート電極内のボロンがゲート誘電体層を介して N チャンネル IGFET のチャンネルゾーン内に通過することを阻止するための上述した窒素濃度垂直分布特性を有する窒素を設けることが可能である。従って、特許請求の範囲に記載した本発明の範囲を逸脱すること無しに当業者によって種々の修正を行うことが可能である。

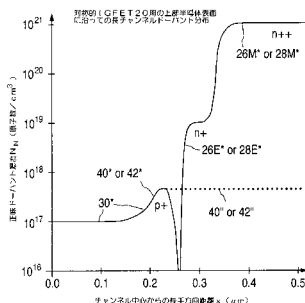
【図 1】



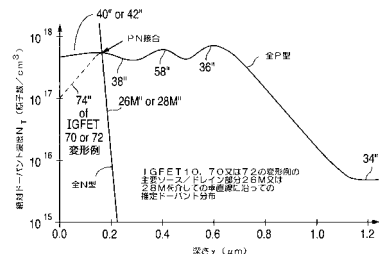
【図 3】



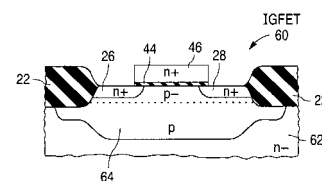
【図 2】



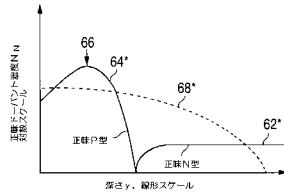
(B)



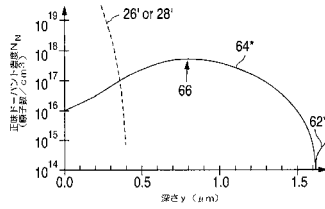
【図 4】



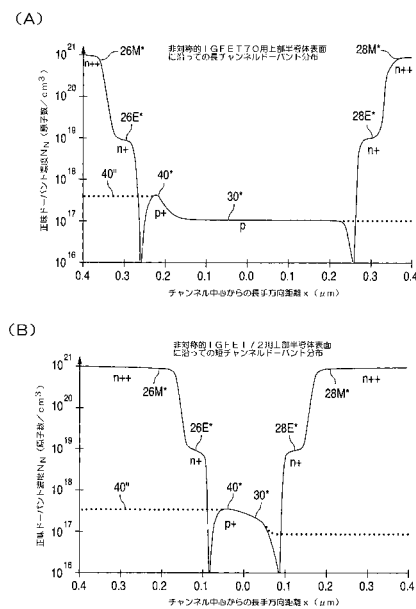
【図 5】



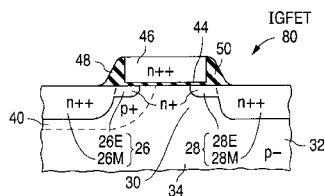
【图 6】



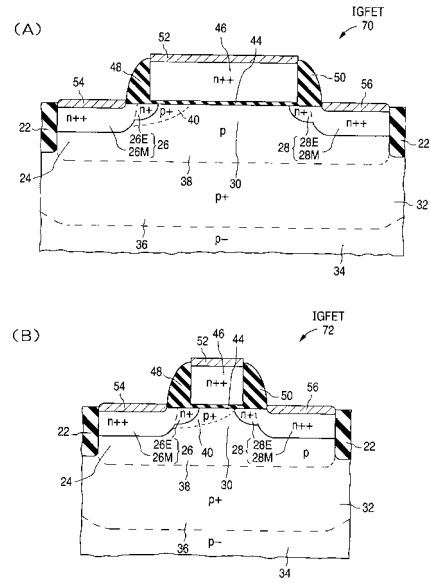
【図 8】



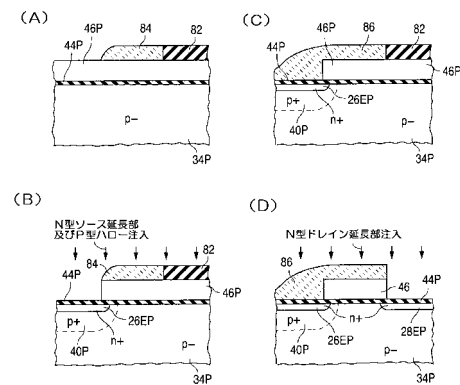
【图 9】



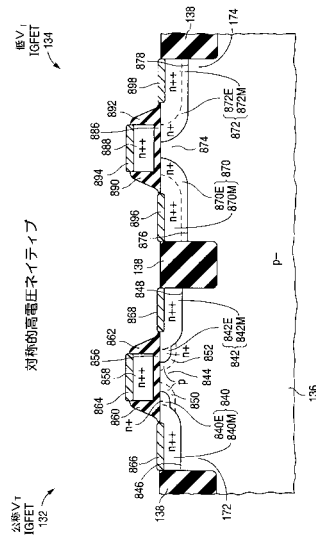
【圖 7】



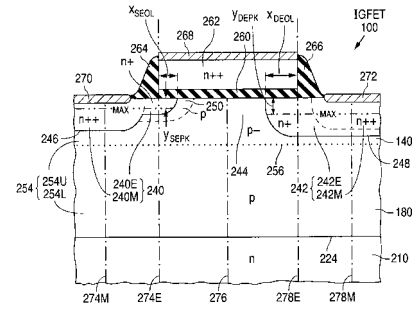
【图 10】



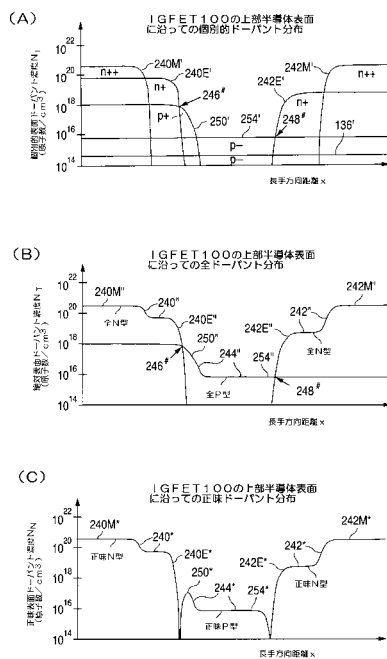
【図 11-9】



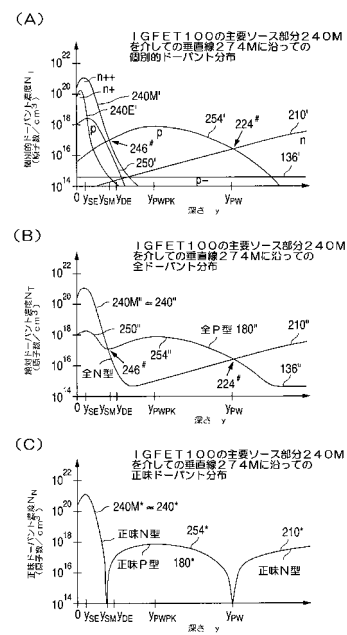
【図 12】



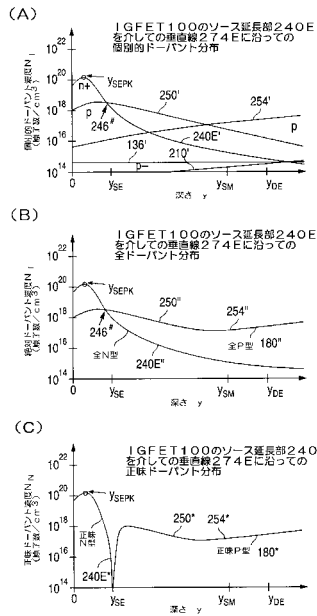
【図 13】



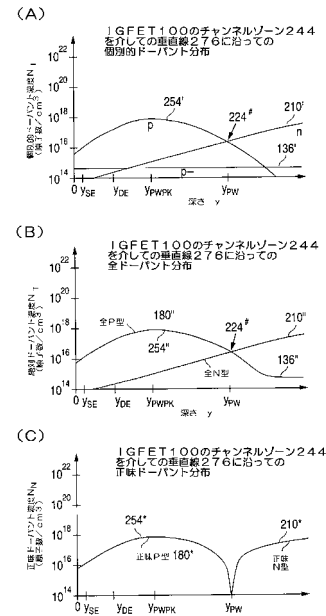
【図 14】



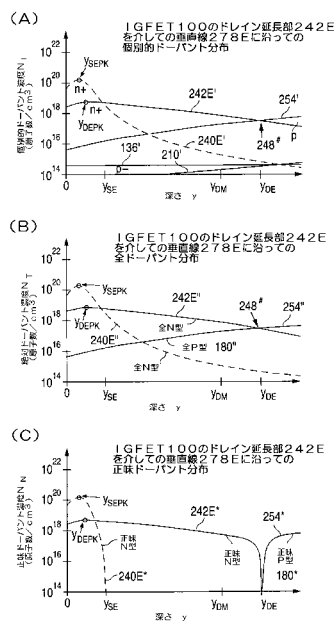
【図 15】



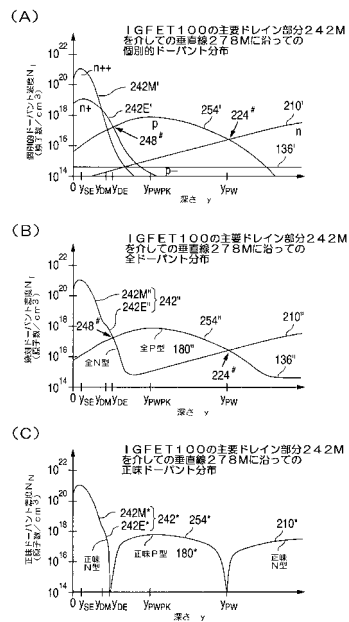
【図 16】



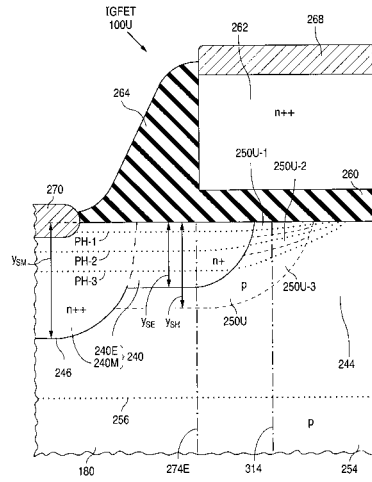
【図 17】



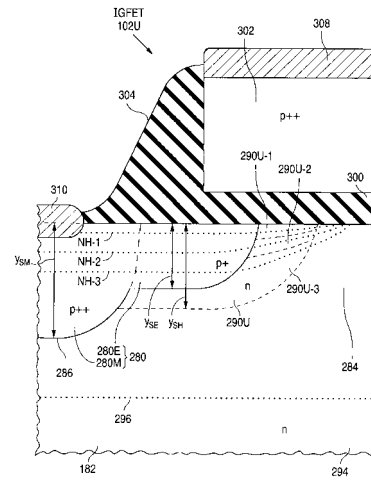
【図 18】



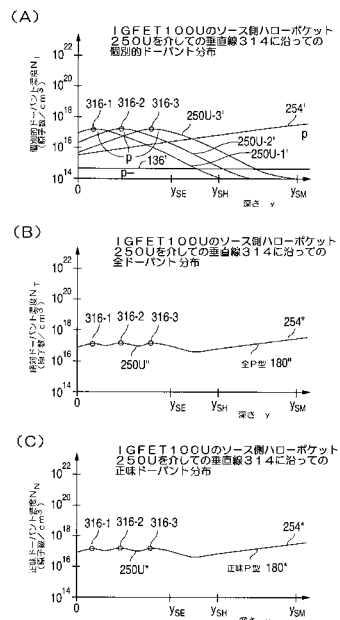
【図 19 a】



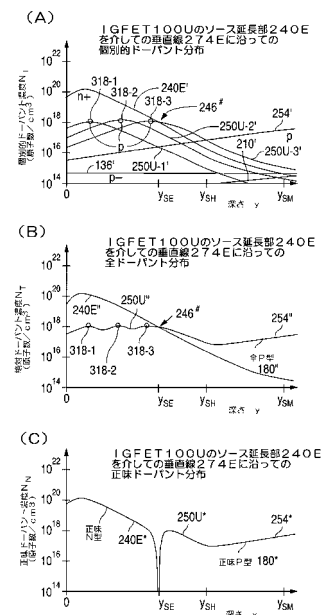
【図 19 b】



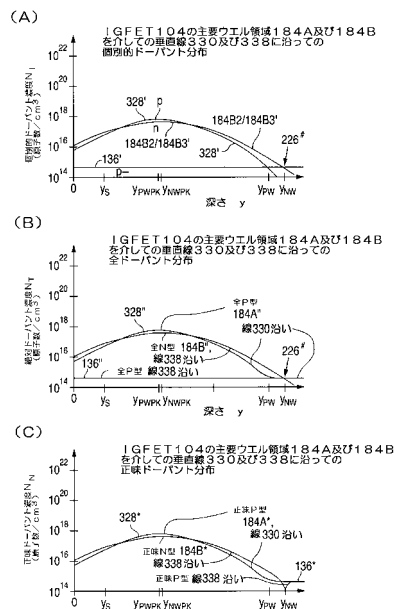
【図 20】



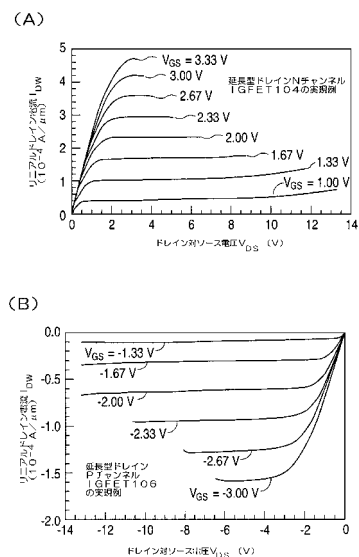
【図 21】



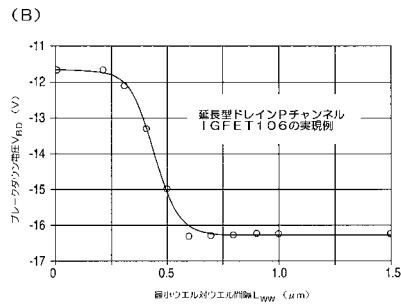
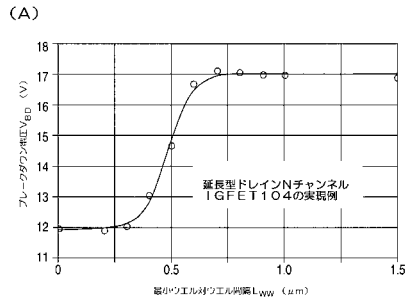
【图 2 3】



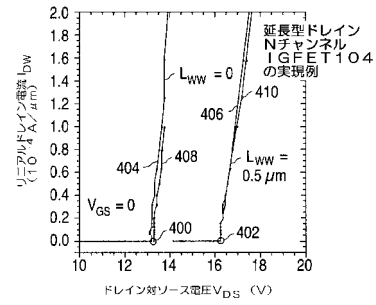
【図 25】



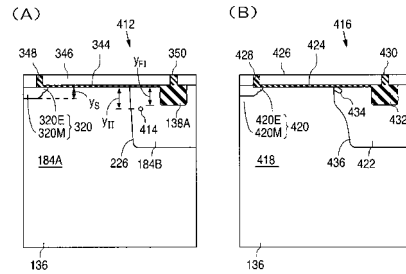
【図 26】



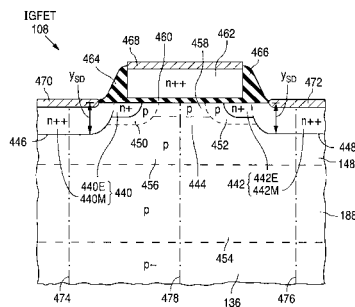
【図 27】



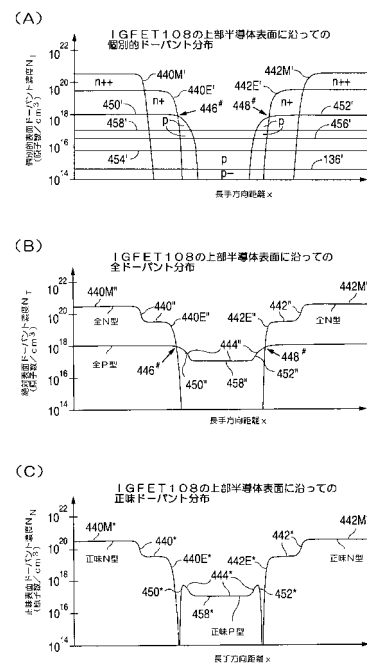
【図 28】



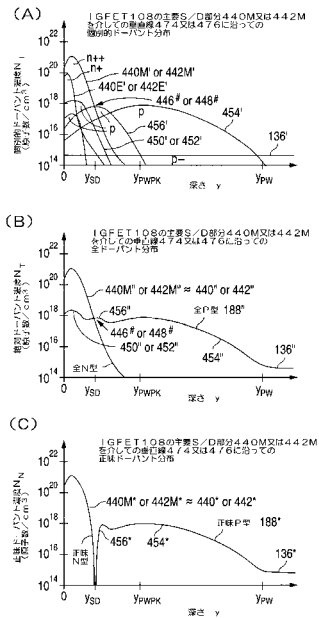
【図 29】



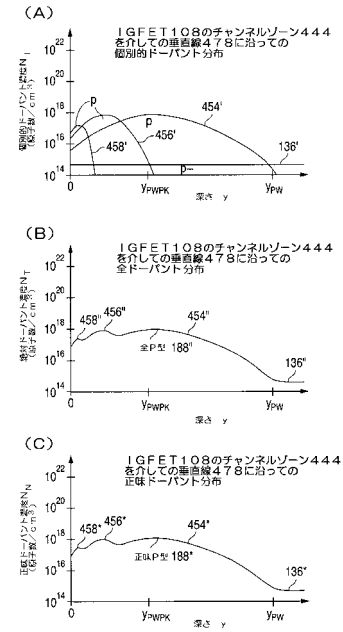
【図 30】



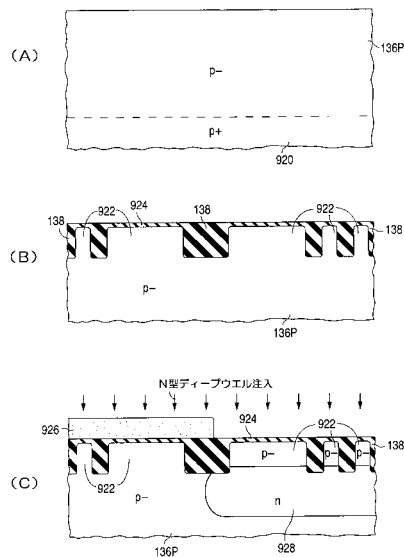
【図 3 1】



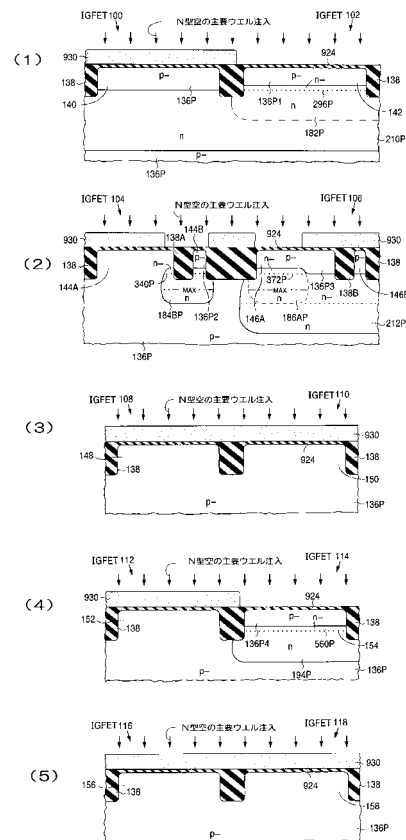
【図 3 2】



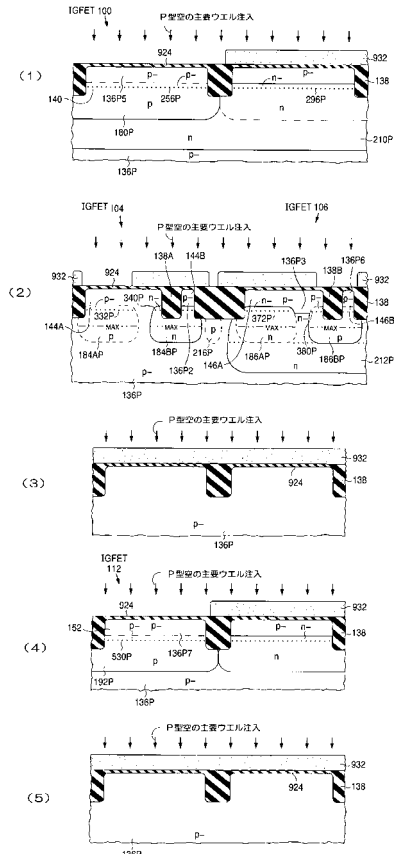
【図 3 3】



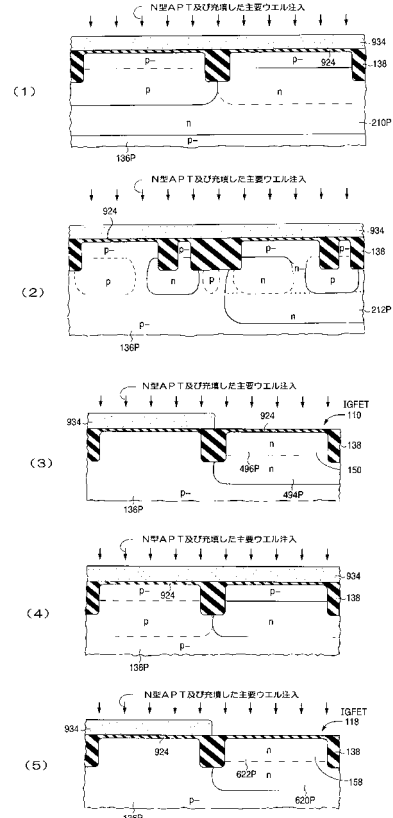
【図 3 3 d】



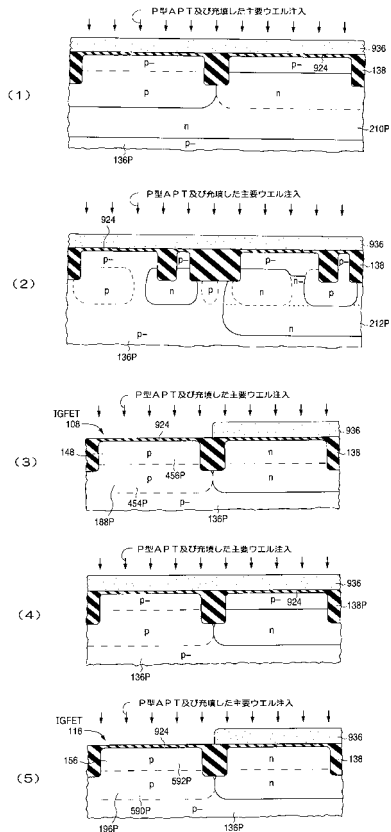
【 図 3 3 e 】



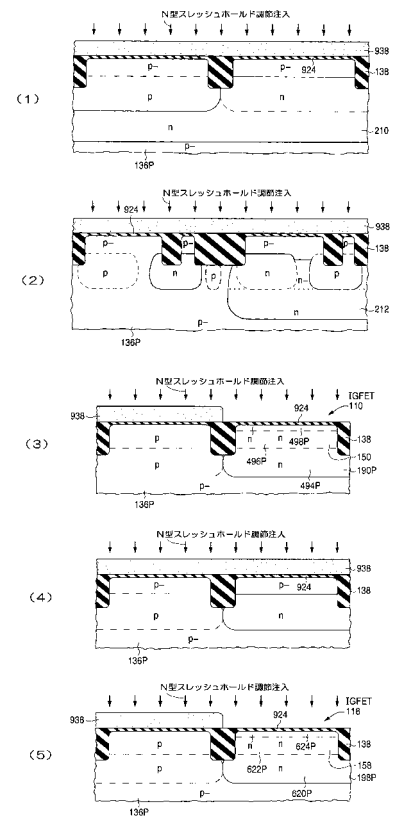
【图 3-3-f】



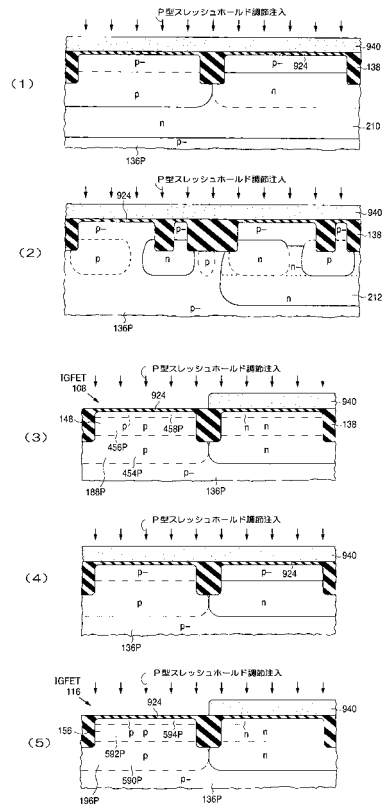
【 図 3 3 g 】



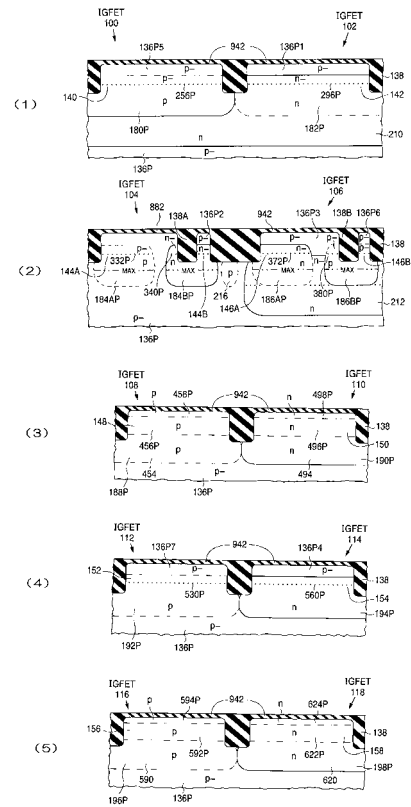
【图 3 3 h】



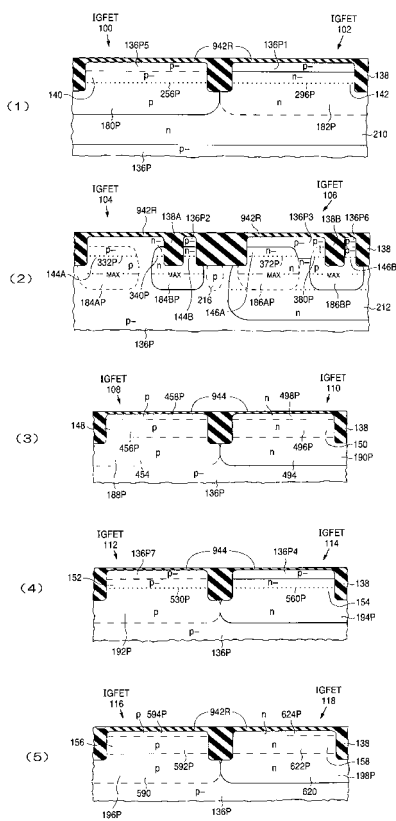
【図 3 3 i】



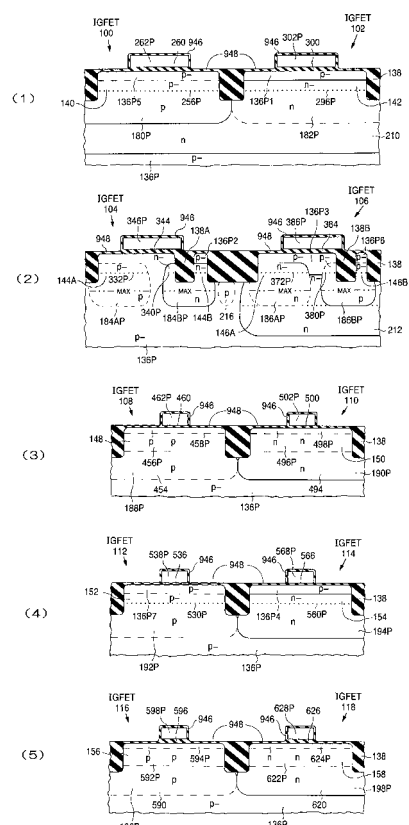
【図 3 3 j】



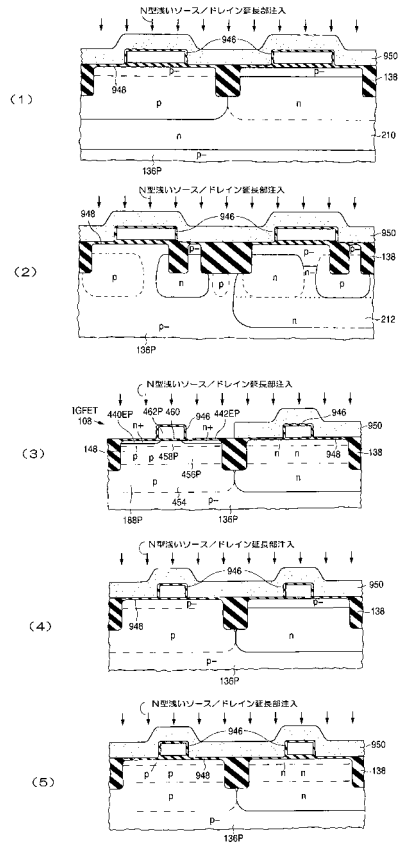
【図 3 3 k】



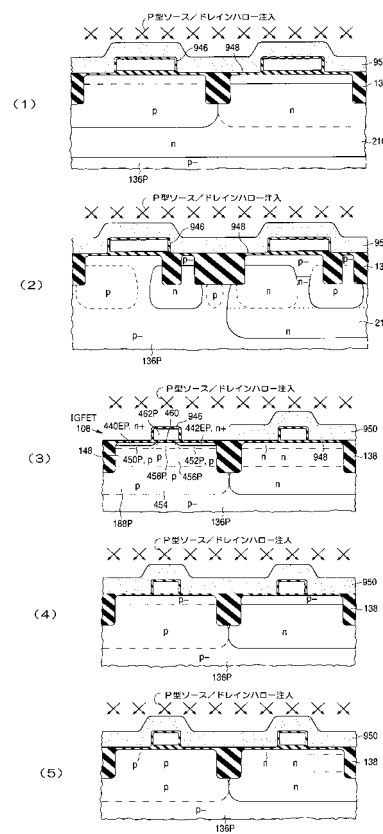
【図 3 3 l】



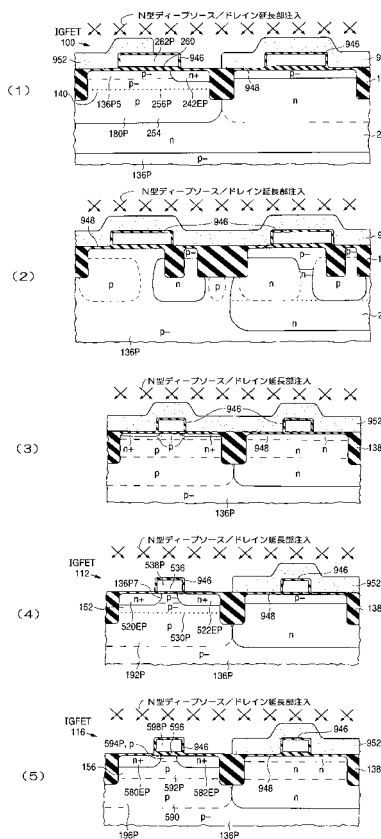
【 図 3 3 m 】



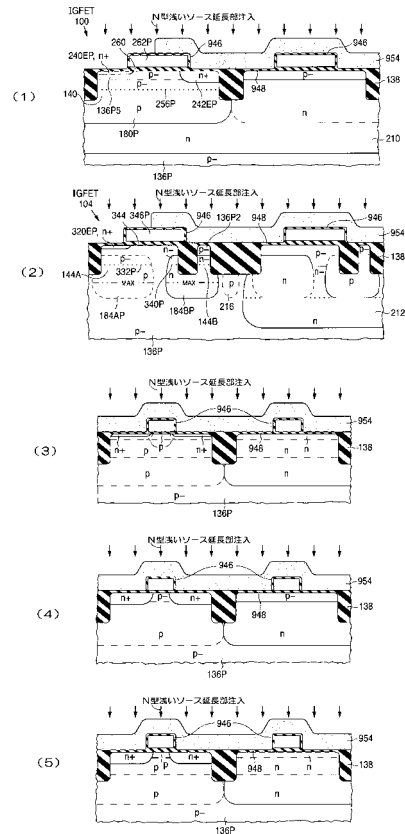
【图 3-3-n】



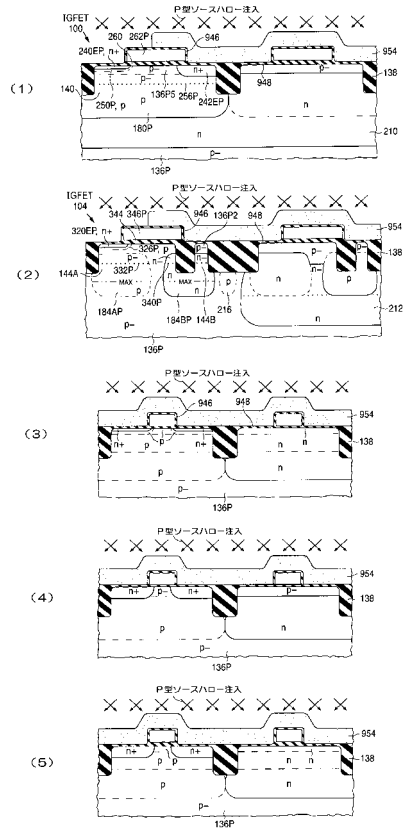
【図 3 3 o】



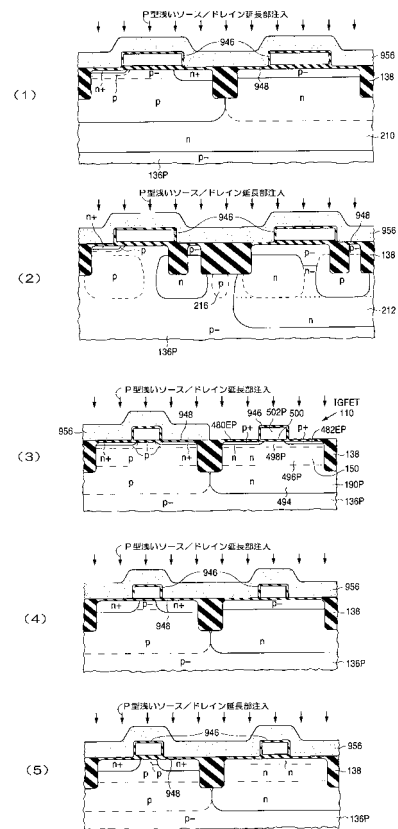
【 図 3 3 p 】



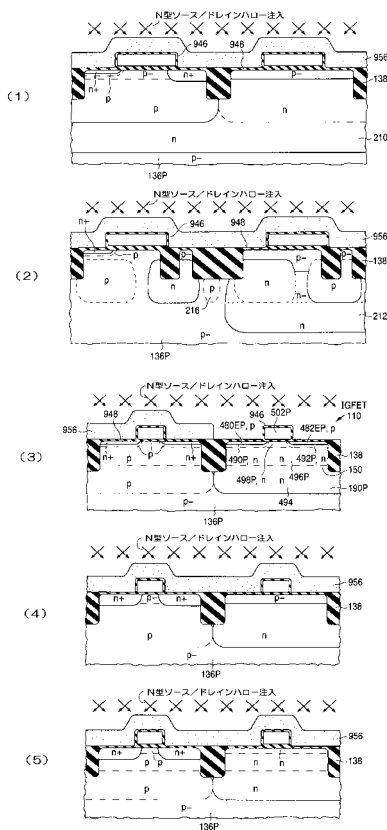
【図 3 3 q】



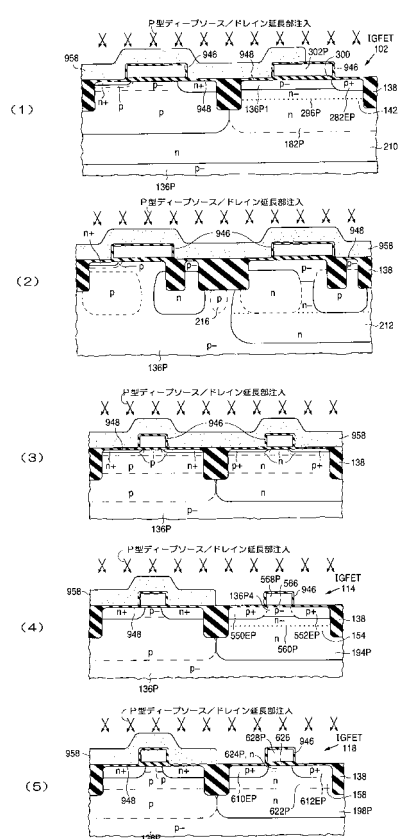
【図 3 3 r】



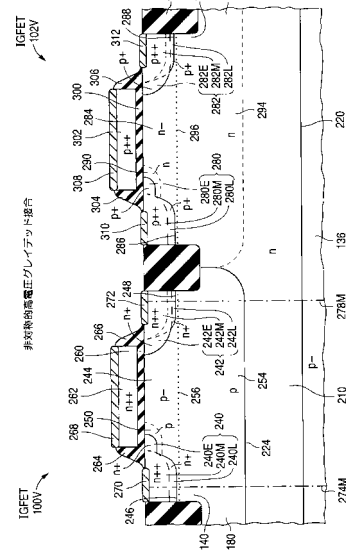
【図 3 3 s】



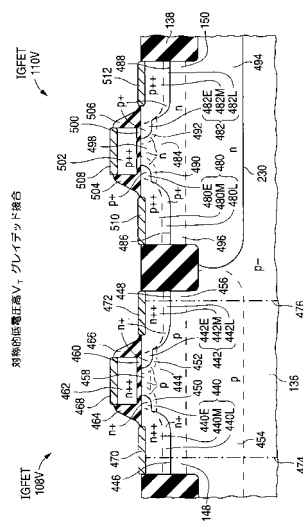
【図 3 3 t】



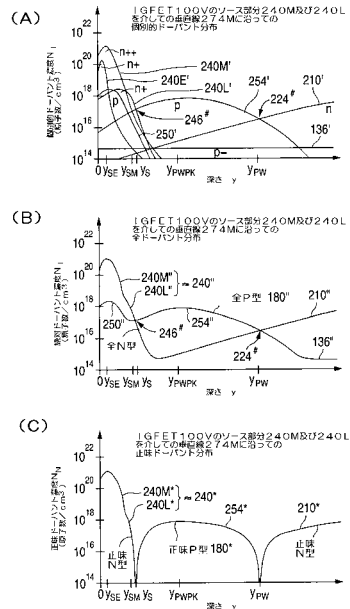
【图 3 4 - 1】



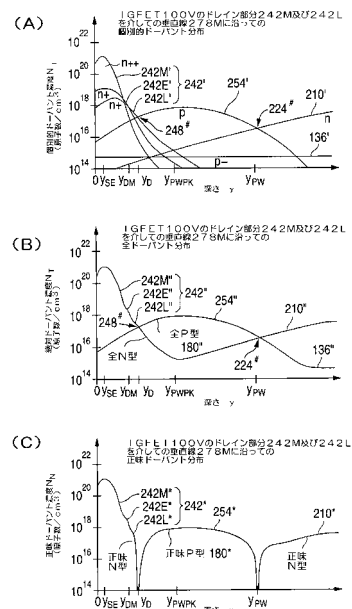
【图 3 4 - 3】



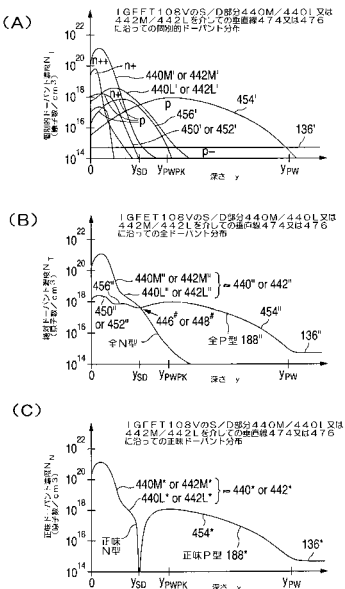
【 図 3 5 】



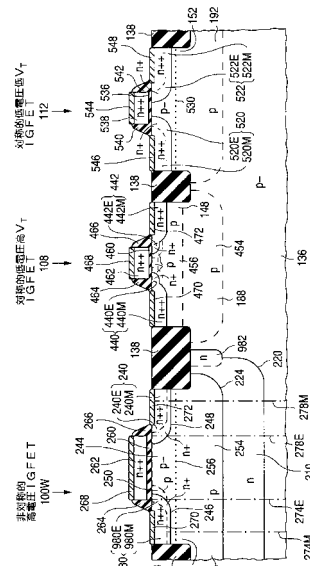
【図 3 6】



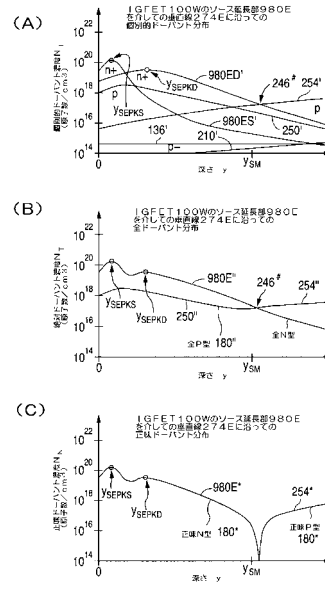
【图 3 7】



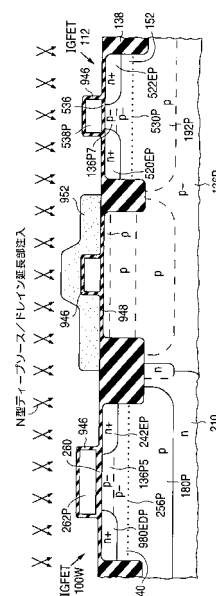
【图 3 8】



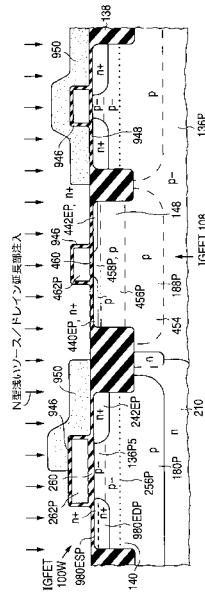
【図 40】



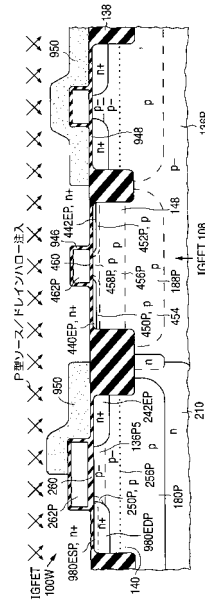
【図 4 1 b】



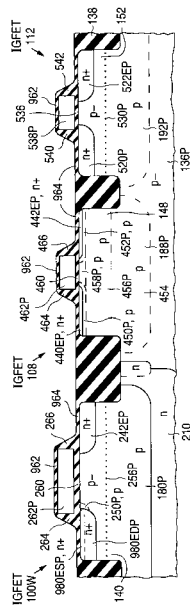
【図 4 1 c】



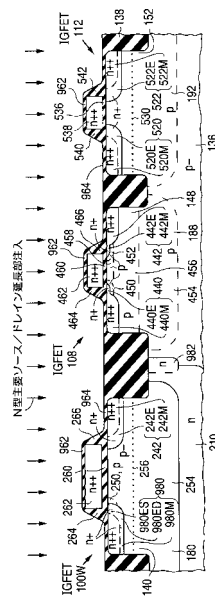
【図 4 1 d】



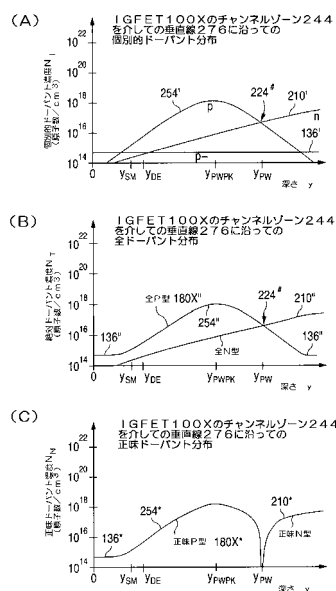
【図 4 1 e】



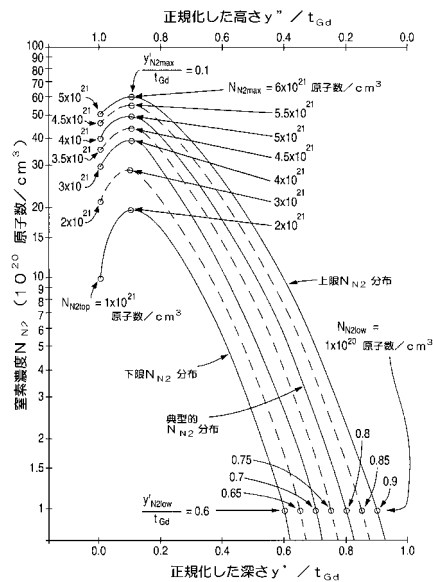
【図 4 1 f】



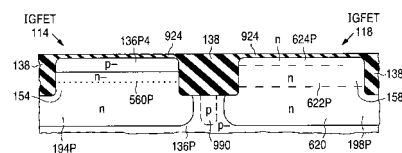
【图 4 3】



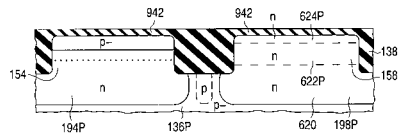
【图 4 5】



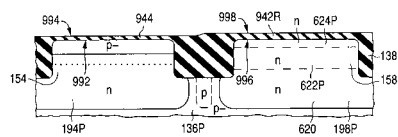
【図 4 6 a】



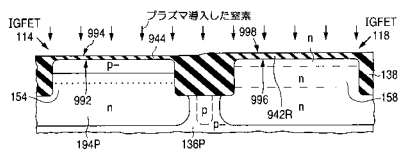
【図 4 6 b】



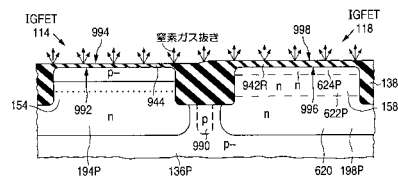
【図 4 6 c】



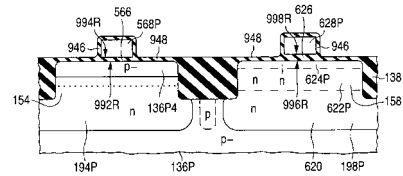
【図 4 6 d】



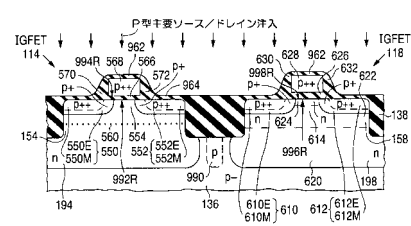
【図 4 6 e】



【図 4 6 f】



【図 4 6 g】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 10/00898
A. CLASSIFICATION OF SUBJECT MATTER IPC(8) - H01L 21/70; H01L 29/02; H01L 29/10 (2010.01) USPC - 438/289; 257/E21.618; 257/E29.054; 438/276 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) USPC -- H01L 21/70; H01L 29/02; H01L 29/10 (2010.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched USPC -- 438/153, 154, 199, 200, 217, 230, 231, 275, 276, 290, 291, 277, 278, 286, 289, 303, 305, 307, 306 (keyword delimited)		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) PubWEST: (USPT, PGPB, EPAB, JPAB), Google. Search terms used: transistor, semiconductor, dopant, source, drain, "S/D", "source/drain", pocket, zone, region, dopant, asymmetrical, antisymmetrical, "not", symmetrical, concentration, great, more, maxim, peak, high, greatest, gate, dielectric, electrode, cathode, anode, space, separate		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/0311717 A1 (Bulucea) 18 December 2008 (18.12.2008), entire document especially Abstract, para [0028], [0205], [0489], [0238]-[0239], [0240]-[0241], [0199], [0204], [0207]-[0208], [0224], [0388], [0288]	1-50
A	US 6,566,204 B1 (Wang et al.) 20 May 2003 (20.05.2003), Entire document	1-50
A	US 5,113,237 A (Stengl) 12 May 1992 (12.05.1992), Entire document	1-50
A	US 5,793,090 A (Gardner et al.) 11 August 1998 (11.08.1998), Entire document	1-50
A	US 6,060,745 A (Tadokoro et al.) 09 May 2000 (09.05.2000), Entire document	1-50
E, X	US 7,701,005 B1 (Bulucea et al.) 20 April 2010 (20.04.2010), Entire document	1-50
☐ Further documents are listed in the continuation of Box C.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May 2010 (25.05.2010)		Date of mailing of the international search report 01 JUN 2010
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450 Facsimile No. 571-273-3201		Authorized officer: Lee W. Young PCT Helpdesk: 571-272-4300 PCT OSP: 571-272-7774

フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 27/092 (2006.01) H 0 1 L 27/08 3 2 1 E
 H 0 1 L 27/08 3 2 1 C

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, T M), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, S I, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, I N, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM , PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 フレンチ, ウィリアム ディー.
 アメリカ合衆国, カリフォルニア 9 5 1 1 7, サン ノゼ, トパツ アベニュー 1 1 9
 8

(72)発明者 アーチャー, ドナルド エム.
 アメリカ合衆国, カリフォルニア 9 5 0 5 1, サンタ クララ, マーク アベニュー 3
 0 7 1

(72)発明者 ヤン, ジャンジーウン
 アメリカ合衆国, カリフォルニア 9 4 0 8 6, サニーベル, アスター アベニュー 1 0
 3 5, ナンバー 1 1 7 2

(72)発明者 バール, サンディーブ アール.
 アメリカ合衆国, カリフォルニア 9 4 3 0 6, パロ アルト, エドリー アベニュー 2
 9 7

(72)発明者 パーカー, ディー. コートニー
 アメリカ合衆国, メイン 0 4 0 8 6, トップシャム, ウェストウィンド ドライブ 2 9

Fターム(参考) 5F048 AA05 AC01 AC03 BA01 BA06 BB03 BB06 BB07 BB08 BB11
 BB12 BB14 BB16 BB20 BC01 BC03 BC06 BC07 BC18 BC19
 BC20 BD04 BD10 BE01 BE02 BE03 BE05 BE06 BF06 BF16
 BG12 BG13 BH07 DA25
 5F140 AA06 AA12 AA23 AB01 AB03 AC21 BA01 BA03 BA05 BA07
 BB13 BC06 BC12 BD09 BD15 BE02 BE07 BE08 BF04 BF11
 BF18 BG08 BG12 BG53 BH05 BH14 BH17 BH30 BH35 BH41
 BH45 BH47 BH49 BJ01 BJ08 BK02 BK13 BK14 BK21 CB04
 CB08