

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3568971号
(P3568971)

(45) 発行日 平成16年9月22日(2004.9.22)

(24) 登録日 平成16年6月25日(2004.6.25)

(51) Int. Cl.⁷

F I

H O 1 L 21/822

H O 1 L 27/04

H

H O 1 L 27/04

H O 1 L 27/04

R

請求項の数 1 (全 7 頁)

(21) 出願番号	特願平5-108768	(73) 特許権者	000001960
(22) 出願日	平成5年4月13日(1993.4.13)		シチズン時計株式会社
(65) 公開番号	特開平6-302765		東京都西東京市田無町六丁目1番12号
(43) 公開日	平成6年10月28日(1994.10.28)	(72) 発明者	太田 実
審査請求日	平成12年1月18日(2000.1.18)		埼玉県所沢市大字下富字武野840番地
審判番号	不服2002-5146(P2002-5146/J1)		シチズン時計株式会社技術研究所内
審判請求日	平成14年3月27日(2002.3.27)		
		合議体	
		審判長	松本 邦夫
		審判官	今井 淳一
		審判官	河合 章
		(56) 参考文献	特開平4-49652(JP, A)
			特開平3-217052(JP, A)
			特開昭61-3442(JP, A)
			実開昭53-84282(JP, U)

(54) 【発明の名称】 半導体装置の保護回路

(57) 【特許請求の範囲】

【請求項1】

半導体装置のパッドと内部回路との間に設けられ、該パッドと該内部回路との間に接続する第1の拡散抵抗と、該第1の拡散抵抗と並列接続される第2の拡散抵抗とを有し、前記第1の拡散抵抗と前記第2の拡散抵抗とは、半導体基板に形成する導電型が互いに異なる拡散層からなり、

前記第1及び第2の拡散抵抗のパターン幅は、前記内部回路側の端部よりも前記パッド側の端部のほうが大きいことを特徴とする半導体装置の保護回路であって、

前記第1の拡散抵抗は、前記半導体基板に設け、前記半導体基板と異なる導電型の拡散層からなり、

前記第2の拡散抵抗は、前記半導体基板に形成する、前記半導体基板と異なる導電型のウェルに設け、該ウェルと異なる導電型の拡散層からなり、

前記第1の拡散抵抗と第1の電源との間に前記第1の拡散抵抗をアノードとし前記半導体基板をカソードとする第1のダイオードを有し、

前記第2の拡散抵抗と第2の電源との間に前記第2の拡散抵抗をカソードとし前記ウェルをアノードとする第2のダイオードを有し、

前記第1の拡散抵抗の周囲を取り囲むように前記第1の拡散抵抗と異なる導電型の拡散層からなる第1のガードリングを設け、

前記第2の拡散抵抗の周囲を取り囲むように前記第2の拡散抵抗と異なる導電型の拡散層からなる第2のガードリングを設け、

10

20

前記第1のガードリングは、前記半導体基板に設け、前記半導体基板と導電型が同じ拡散層からなり、前記第1の電源とコンタクトホールを介して接続し、
前記第2のガードリングは、前記ウェルに設け、前記ウェルと導電型が同じ拡散層からなり、前記第2の電源とコンタクトホールを介して接続し、
前記半導体基板は、前記第1のガードリングを介して前記第1の電源の電位を供給され、前記ウェルは、前記第2のガードリングを介して前記第2の電源の電位を供給され、
前記第1の拡散抵抗と前記第1のガードリングとはフィールド酸化膜で分離され、前記第2の拡散抵抗と前記第2のガードリングとはフィールド酸化膜で分離されてなることを特徴とする半導体装置の保護回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、半導体装置のパッドに印加される静電気や高電圧によって起こる破壊から半導体装置を保護する保護回路の構成に関する。

【0002】

【従来の技術】

従来、半導体装置において静電気や高電圧によって引き起こされる過大な電圧が外部入力として印加された場合、半導体装置の内部回路（以下内部回路と称する）を保護するため保護回路が用いられている。

【0003】

代表的な保護回路は図4に示すように構成されている。すなわち、Pチャンネルトランジスタ1とNチャンネルトランジスタ2とは相補型MOSFET（以下CMOSFETという）による内部回路3を構成し、各々のトランジスタのゲート電極は入力保護回路4を介してパッド8に接続されている。

【0004】

入力保護回路4はパッド8と内部回路3との間に抵抗5を直列に介在させると共に、電圧クランプ用の第1のダイオード6および第2のダイオード7を並列に挿入して入力保護回路4を構成している。

【0005】

一般に第1のダイオード6、および第2のダイオード7のブレイクダウン電圧は、内部回路3を構成するトランジスタのゲート酸化膜の絶縁耐圧よりも低く設定されている。このため、パッド8に外部から過大な電圧が印加されてもゲート酸化膜はブレイクダウン電圧にクランプされる。

【0006】

また、抵抗5は第1のダイオード6および第2のダイオード7に流れる電流を制限し、これらふたつの第1のダイオード6および第2のダイオード7の破壊を保護する役割を持っている。

【0007】

一般に抵抗5は半導体装置の基板へキャリア注入を起こし、ラッチアップ現象を引き起こすことを防止する目的からポリシリコンで形成されている。

【0008】

【発明が解決しようとする課題】

以上説明したこのような構造の入力保護回路4において、十分な保護耐量を得ようとするには、抵抗5の抵抗値を増加させ保護回路全体に流れる電流を制限するか、あるいは第1のダイオード6および第2のダイオード7の接合部分の面積を増加させダイオード自身が流せる電流値を増加してやれば良い。

【0009】

しかし、これらの手段は回路動作上の不都合が生じる。すなわち、第1のダイオード6および第2のダイオード7の接合には寄生接合容量C6および寄生接合容量C7が存在し、これらの寄生接合容量を充放電するために回路動作に遅れが生じる。

10

20

30

40

50

【0010】

内部回路3のトランジスタのゲート電極を充放電する時定数は次式で表わされる。

$$t = R5 (C6 + C7 + C1 + C2) \cdot \cdot \cdot \cdot \cdot (1)$$

【0011】

この(1)式でR5は抵抗5の抵抗値であり、C1およびC2はそれぞれPチャンネルトランジスタ1、Nチャンネルトランジスタ2の各々のゲート酸化膜容量である。

【0012】

これらのゲート酸化膜容量C1およびC2は、トランジスタサイズに比例するものであるが、通常の内部回路では第1のダイオード6および第2のダイオード7の寄生接合容量C6および寄生容量接合C7に比べて、無視できるほど小さいので整理すると次式のようになる。

$$t = R5 (C6 + C7) \cdot \cdot \cdot \cdot \cdot (2)$$

【0013】

この(2)式によれば、従来の保護対策に準じ抵抗R5、あるいは寄生接合容量C6および寄生容量接合C7を大きくすると、半導体装置の動作速度が低下する。

【0014】

さらに、抵抗5はポリシリコンで形成されているために、抵抗5自身に流れる電流による熱溶解などの破壊現象を防止するために、体積を大きくすることで熱容量を稼ぐ必要がある。すなわち、抵抗5自身の幅や厚さを大型化しなければならない。

【0015】

これは、パッド8周辺におけるレイアウト面積を圧迫し、第1のダイオード6および第2のダイオード7に十分なレイアウト面積を割り当てることができなくなってしまう。

【0016】

このようにレイアウト面積が制約された入力保護回路4では、パッド8に過大な入力電圧が印加された場合でも、これを十分に降圧することができなくなる。すなわち、保護耐量が低下するといった課題もある。

【0017】

以上の説明で明らかのように、従来の入力保護回路4は保護耐量を上げようとする半導体装置の回路動作が遅くなり、回路動作を速くしようとする半導体装置の保護耐量が低下する課題がある。さらに十分な保護耐量を得ようとする半導体装置、大きなレイアウト面積が必要であるといった課題もある。

【0018】

これら課題を解決するため、本発明の目的は、過大な入力電圧が印加された場合でも、内部回路に過大な電圧が印加しないように降圧することが可能な半導体装置の保護回路を提供するものである。

【0019】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置の保護回路は、半導体装置のパッドと内部回路との間に設けられ、該パッドと該内部回路との間に接続する第1の拡散抵抗と、該第1の拡散抵抗と並列接続される第2の拡散抵抗とを有し、前記第1の拡散抵抗と前記第2の拡散抵抗とは、半導体基板に形成する導電型がお互いに異なる拡散層からなり、前記第1及び第2の拡散抵抗のパターン幅は、前記内部回路側の端部よりも前記パッド側の端部のほうが大きいことを特徴とする半導体装置の保護回路であって、前記第1の拡散抵抗は、前記半導体基板に設け、前記半導体基板と異なる導電型の拡散層からなり、前記第2の拡散抵抗は、前記半導体基板に形成する、前記半導体基板と異なる導電型のウェルに設け、該ウェルと異なる導電型の拡散層からなり、前記第1の拡散抵抗と第1の電源との間に前記第1の拡散抵抗をアノードとし前記半導体基板をカソードとする第1のダイオードを有し、前記第2の拡散抵抗と第2の電源との間に前記第2の拡散抵抗をカソードとし前記ウェルをアノードとする第2のダイオードを有し、前記第1の拡散抵抗の周囲を取り囲むように前記第1の拡散抵抗と異なる導電型の拡散層からなる第1のガードリングを設け

10

20

30

40

50

、前記第2の拡散抵抗の周囲を取り囲むように前記第2の拡散抵抗と異なる導電型の拡散層からなる第2のガードリングを設け、前記第1のガードリングは、前記半導体基板に設け、前記半導体基板と導電型が同じ拡散層からなり、前記第1の電源とコンタクトホールを介して接続し、前記第2のガードリングは、前記ウェルに設け、前記ウェルと導電型が同じ拡散層からなり、前記第2の電源とコンタクトホールを介して接続し、前記半導体基板は、前記第1のガードリングを介して前記第1の電源の電位を供給され、前記ウェルは、前記第2のガードリングを介して前記第2の電源の電位を供給され、前記第1の拡散抵抗と前記第1のガードリングとはフィールド酸化膜で分離され、前記第2の拡散抵抗と前記第2のガードリングとはフィールド酸化膜で分離されてなることを特徴とする。

【0020】

10

【作用】

本発明の要点は、パッドと内部回路との間に直列に介在する第1の電流制御用の拡散抵抗と、この第1の拡散抵抗に並列に接続される第2の電流制御用の拡散抵抗とを設け、これらふたつの拡散抵抗のPN接合に分布する電圧クランプ用のダイオードの働きで、パッドに高電圧が印加された場合でもダイオードの順方向特性によってすみやかに電源と導通し、内部回路の破壊を防止するものである。

【0021】

さらに、保護回路としての抵抗成分は、第1の拡散抵抗と第2の拡散抵抗との並列合成抵抗値となるから、従来の保護回路に用いられている抵抗と同一の抵抗値を用いても保護回路の抵抗は実質的に低くなり、半導体装置の動作を遅らせることなく十分な保護耐量を持つというものである。

20

【0022】

【実施例】

以下、本発明による実施例を図面を基に説明する。図1および図2および図3は本発明の一実施例における保護回路を示し、図1は保護回路を示す等価回路図であり、図2は入力保護回路4部分を示す平面図であり、図3は図2の切断線A-Bにて切断した場合の断面状態を示す断面図である。なお、本発明を示す図1と従来例を示す図4との図面において同一の構成要素あるいは相当する部分には同一の符号を付けてある。

【0023】

図1と図2とに示すように、第1の拡散抵抗51と第2の拡散抵抗52とは、並列接続されている。

30

【0024】

図2において、第1の拡散抵抗51と第2の拡散抵抗52とは半導体基板、もしくは半導体基板に選択的に設けられたウェルに形成され、それぞれ反対導電型の拡散層で構成されている。

【0025】

そしてこの第1の拡散抵抗51と第2の拡散抵抗52とは、パッド8（図2には図示せず）に絶縁層18（図1および図2には図示せず）上に設けられた金属配線81でコンタクトホール13を介して接続され、同様に内部回路3（図2には図示せず）に絶縁層18（図1および図2には図示せず）上に設けられた金属配線82でコンタクトホール13を介して接続されている。

40

【0026】

実施例では第1の拡散抵抗51はN型の半導体基板（図示せず）にP型拡散層で形成し、第2の拡散抵抗52はN型の半導体基板に選択的に設けられたP型のウェル16にN型拡散層で形成している。

【0027】

図3に示すように、第1の拡散抵抗51のPN接合部にはアノードを第1の拡散抵抗51のP型拡散層で構成し、カソードをN型の半導体基板で構成した第1のダイオード6を設ける。

【0028】

50

同様に第2の拡散抵抗52のPN接合部にも、カソードを第2の拡散抵抗52のN型拡散層で構成し、アノードをP型のウェル16で構成した第2のダイオード7を設けている。

【0029】

第1の拡散抵抗51の周囲には、フィールド酸化膜17で分離され、そしてフィールド酸化膜17間に設けるN型拡散層からなる第1のガードリング11を設ける。

【0030】

同様に第2の拡散抵抗52の周囲にも、フィールド酸化膜17で分離され、そしてフィールド酸化膜17間の領域に設けるP型拡散層からなる第2のガードリング12を設置している。

【0031】

この第1のガードリング11には電源電圧を給電するための第1の電源9（図3には図示せず）と接続する絶縁層18上に設けられた金属配線14がコンタクトホール13を介して接続される。

【0032】

同様に第2のガードリング12には第2の電源10（図3には図示せず）と接続する絶縁層18上に設けられた金属配線15がコンタクトホール13を介して接続されている。

【0033】

さらに具体的に説明すると、第1のガードリング11および第2のガードリング12は、第1のダイオード6および第2のダイオード7を有効的に活用するため、各々第1の拡散抵抗51および第2の拡散抵抗52の周囲を囲うように設置している。

【0034】

すなわち、ダイオードが動作し、電源に電流を流す際に電源系に抵抗成分が付かないようにするためである。

【0035】

さらに、第1のガードリング11および第2のガードリング12は、第1のダイオード6および第2のダイオード7が動作し、N型の半導体基板もしくはP型のウェル16の電位が不安定になるのを防止することにある。

【0036】

すなわち、N型の半導体基板もしくはP型ウェル16に注入されたキャリアによってラッチアップ現象を起こすことを、防止する役割をはたす。

【0037】

このように、第1の拡散抵抗51と第1のダイオード6、および第2の拡散抵抗52と第2のダイオード7とを各々ひとつの素子で構成しているために、小さなレイアウト面積で入力保護回路4を構成することができる。

【0038】

つぎに本発明の動作を説明する。図1において、パッド8から見てふたつの第1のダイオード6および第2のダイオード7が内部回路3に対して並列に設置されている。

【0039】

このためパッド8に静電気や高電圧によって引き起こされる過大な電圧が印加された場合、その過大な電圧の極性に係わらず、どちらかのダイオード、あるいは両方のダイオードが動作して、内部回路は低電圧にクランプされる。

【0040】

第1の拡散抵抗51と第2の拡散抵抗52とは並列接続されているから、入力保護回路4の抵抗値、すなわちパッド8と内部抵抗3との間に直列に介在する抵抗値としては次式のようになる。

$$R = (R_{51} \times R_{52}) / (R_{51} + R_{52})$$

【0041】

ここでR51は第1の拡散抵抗51の抵抗値であり、R52は第2の拡散抵抗52の抵抗値である。R51およびR52を従来の抵抗値と等しく設計すれば、保護耐量は同じで保護回路の抵抗値は1/2で済む。

10

20

30

40

50

【 0 0 4 2 】

以上、本実施例の構成について述べてきたが、本発明はこれらの構成に限定されるものではない。半導体基板に第 1 の拡散抵抗 5 1 および第 1 のガードリング 1 1 を形成しているが半導体基板と同一導電型のウェルを形成し、このウェルに第 1 の拡散抵抗 5 1 および第 1 のガードリング 1 1 を形成してもかまわない。

【 0 0 4 3 】

またさらに、実施例では第 1 の拡散抵抗 5 1 および第 2 の拡散抵抗 5 2 は同様な大きさであるが、これらを構成する P 型拡散層および N 型拡散層の不純物濃度によって大きさが変わっても本発明の目的は達せられるのは言うまでもない。

【 0 0 4 4 】

さらに、以上説明した実施例では、内部回路 3 は CMOS FET で構成されているが、本発明の入力保護回路 4 はバイポーラトランジスタや、バイポーラトランジスタと CMOS FET とで構成される回路にも適していることは明らかである。

【 0 0 4 5 】

【 発明の効果 】

以上実施例に基づいて説明したように、本発明による保護回路は、電流制御素子である抵抗と電圧クランプ素子であるダイオードをひとつの拡散抵抗として構成し、この拡散抵抗ふたつを並列接続している。このことによって、半導体装置の高速動作に影響することなく、かつレイアウト面積を圧迫せずに十分な保護耐量を発揮することが可能で、その効果は非常に大きい。

【 図面の簡単な説明 】

【 図 1 】 本発明の半導体装置の保護回路を示す回路図である。

【 図 2 】 本発明の半導体装置の保護回路を示す平面図である。

【 図 3 】 本発明の半導体装置の保護回路部分の断面図である。

【 図 4 】 従来の半導体装置の保護回路を示す回路図である。

【 符号の説明 】

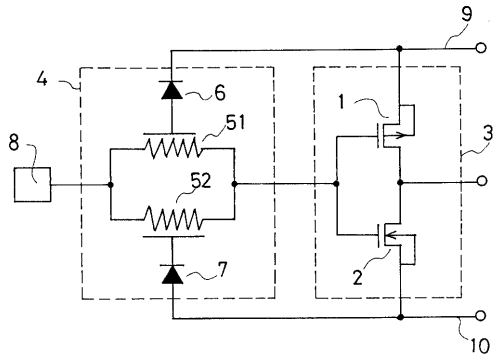
- 1 Pチャンネルトランジスタ
- 2 Nチャンネルトランジスタ
- 3 内部回路
- 4 入力保護回路
- 6 第 1 のダイオード
- 7 第 2 のダイオード
- 1 1 第 1 のガードリング
- 1 2 第 2 のガードリング
- 5 1 第 1 の拡散抵抗
- 5 2 第 2 の拡散抵抗

10

20

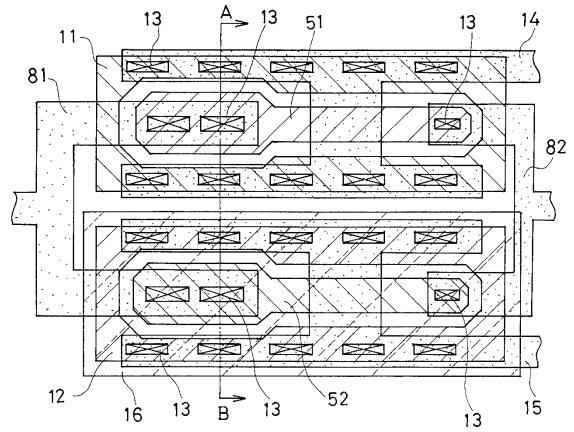
30

【図1】

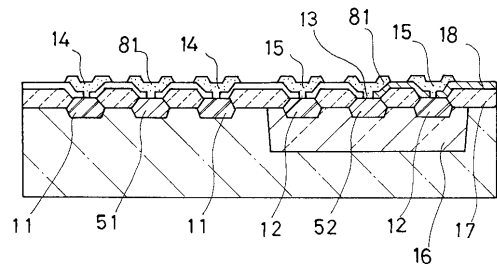


8. バット
51. 第1の拡散抵抗
52. 第2の拡散抵抗

【図2】



【図3】



【図4】

