

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200680027419. X

[51] Int. Cl.

H01L 21/30 (2006.01)
H01L 21/46 (2006.01)
H01L 21/265 (2006.01)
H01L 21/425 (2006.01)
H01L 21/762 (2006.01)

[43] 公开日 2008年7月30日

[11] 公开号 CN 101233603A

[22] 申请日 2006.7.19

[21] 申请号 200680027419. X

[30] 优先权

[32] 2005.7.25 [33] US [31] 11/189,163

[86] 国际申请 PCT/US2006/028270 2006.7.19

[87] 国际公布 WO2007/015951 英 2007.2.8

[85] 进入国家阶段日期 2008.1.25

[71] 申请人 飞兆半导体公司

地址 美国缅因州

[72] 发明人 王琦 李敏华 杰弗里·H·赖斯

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 章社杲 李丙林

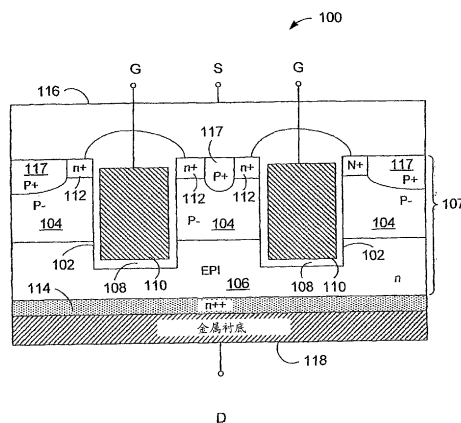
权利要求书 5 页 说明书 16 页 附图 4 页

[54] 发明名称

形成在衬底上的半导体结构及其制造方法

[57] 摘要

用于将半导体结构从初始衬底转移至基底衬底的方法，包括将具有二氧化硅层的初始衬底结合至为了裂开而被氢注入充分削弱的掺杂硅结构。在裂开之后，掺杂硅层保持为掩埋在掺杂硅层与初始衬底之间的二氧化硅层。将半导体结构形成在外延层中和/或之上，所述外延层设置在形成中间半导体结构的所述掺杂硅层上。将处理手柄临时结合至半导体结构，用于进行支撑。通过机械薄化工艺薄化和去除初始衬底，接着进行利用掩埋的二氧化硅层作为蚀刻终止的化学蚀刻。从掺杂硅层化学地去除二氧化硅层。将基底衬底形成在掺杂硅层上。去除处理手柄，留下设置在基底衬底上的半导体结构。



D

1. 一种将半导体结构从初始衬底转移至基底衬底的方法,所述方法包括:
 - 提供具有蚀刻终止层的初始衬底;
 - 在所述蚀刻终止层上提供掺杂硅层;
 - 在所述掺杂硅层上形成半导体结构,其中,所述半导体结构、所述掺杂硅层、所述蚀刻终止层、以及所述初始衬底形成半导体处理工艺;
 - 利用可移除的支撑结构来支撑所述半导体处理工艺;
 - 利用衬底去除工艺来去除所述初始衬底,所述衬底去除工艺去除所述初始衬底直至所述蚀刻终止层;
 - 利用化学蚀刻工艺来去除所述蚀刻终止层; 以及
 - 在所述掺杂硅层上沉积衬底材料以形成基底衬底。
2. 根据权利要求1所述的方法,其中,在所述掺杂硅层上形成半导体结构包括在所述掺杂硅层上形成外延层。
3. 根据权利要求1所述的方法,其中,提供初始衬底包括在具有约1 μm 至2 μm 之间厚度的所述初始衬底上形成所述蚀刻终止层。
4. 根据权利要求3所述的方法,其中,所述蚀刻终止层包括二氧化硅。

5. 根据权利要求1所述的方法, 其中, 提供掺杂硅层包括向掺杂硅材料的区域提供氢原子, 其中, 所述区域具有足够浓度的氢原子以形成可裂开区域。
6. 根据权利要求5所述的方法, 其中, 所述提供氢原子包括氢离子注入。
7. 根据权利要求6所述的方法, 其中, 所述氢离子注入包括利用约 170 keV 的注入势能来注入氢离子。
8. 根据权利要求1所述的方法, 其中, 提供所述掺杂硅层包括将掺杂硅材料结合至所述蚀刻终止层。
9. 根据权利要求8所述的方法, 其中, 提供所述掺杂硅层包括裂开所述掺杂硅材料以留下设置在所述蚀刻终止层上的所述掺杂硅材料的层。
10. 根据权利要求9所述的方法, 其中, 所述裂开包括将氢注入到所述掺杂硅材料的区域中以及对所述掺杂硅材料进行退火以沿所述氢注入区域碎裂所述掺杂硅材料。
11. 根据权利要求1所述的方法, 其中, 利用所述可移除的支撑结构支撑本体包括临时将所述可移除的支撑结构结合至所述半导体结构。
12. 根据权利要求1所述的方法, 其中, 去除所述初始衬底包括将所述初始衬底的一部分研磨掉至预定的厚度。
13. 根据权利要求12所述的方法, 进一步包括从所述蚀刻终止层化学地蚀刻所述初始衬底。

14. 根据权利要求1所述的方法，其中，去除所述蚀刻终止层包括利用HF溶液化学地蚀刻所述蚀刻终止层。
15. 一种在金属衬底上形成半导体结构的方法，所述方法包括：
提供具有露出的二氧化硅蚀刻终止层的初始衬底；
将注入氢的掺杂硅材料结合至所述二氧化硅蚀刻终止层；
确定被所述氢充分削弱的所述掺杂硅材料的区域，以使沿所述区域裂开所述掺杂硅材料；
沿所述区域裂开所述掺杂硅材料，留下结合至所述二氧化硅层的掺杂硅层；
在所述掺杂硅层上形成半导体结构；
利用支撑装置来支撑所述半导体结构、所述二氧化硅层、和所述初始衬底；
去除所述初始衬底；
去除所述二氧化硅层；以及
向所述掺杂硅层提供足量的金属以形成金属衬底。
16. 根据权利要求15所述的方法，其中，在所述掺杂硅层上形成半导体结构包括在所述掺杂硅层上形成外延层。
17. 根据权利要求15所述的方法，其中，裂开所述掺杂硅材料包括对所述掺杂硅结构的所述区域进行充分退火以使所述掺杂硅层与所述掺杂硅材料分离。

18. 根据权利要求 17 所述的方法, 其中, 对所述掺杂硅结构的所述区域进行退火包括将所述掺杂硅结构的所述区域加热至约 200 至 300 摄氏度之间的温度约 5 至 10 小时。
19. 根据权利要求 18 所述的方法, 其中, 加热所述掺杂硅结构的所述区域包括将所述掺杂硅结构的所述区域加热至 450 摄氏度约 15 分钟。
20. 根据权利要求 15 所述的方法, 其中, 支撑所述半导体结构、所述二氧化硅层、和所述初始衬底包括临时将所述支撑装置结合至所述半导体结构。
21. 根据权利要求 15 所述的方法, 其中, 去除所述初始衬底包括将所述初始衬底研磨至预定的厚度。
22. 根据权利要求 15 所述的方法, 其中, 去除所述初始衬底包括从所述二氧化硅蚀刻终止层化学地蚀刻所述初始衬底。
23. 根据权利要求 15 所述的方法, 其中, 去除所述初始衬底包括形成 $\text{SiO}_2(\text{OH})^{2-}$ 的可溶性材料。
24. 根据权利要求 15 所述的方法, 其中, 提供足量的金属包括向所述掺杂硅层电镀所述金属层。
25. 根据权利要求 24 所述的方法, 其中, 所述金属层包含铜。
26. 一种衬底结构, 包括:

设置在初始衬底上的蚀刻终止层, 所述蚀刻终止层被构造成用于去除所述初始衬底的化学蚀刻工艺提供处理阻挡层; 以及

设置在所述蚀刻终止层上的半导体层。

27. 根据权利要求 26 所述的衬底结构，其中，所述蚀刻终止层包含二氧化硅。
28. 根据权利要求 27 所述的衬底结构，其中，所述蚀刻终止层的厚度为约 1 μm 至 2 μm 之间。
29. 根据权利要求 27 所述的衬底结构，其中，所述蚀刻终止层被结合至所述半导体层以将所述蚀刻终止层定位在所述初始衬底与所述半导体层之间。
30. 根据权利要求 26 所述的衬底结构，进一步包括设置在所述半导体层上的半导体结构的层。
31. 根据权利要求 30 所述的衬底结构，进一步包括结合至所述半导体结构的处理手柄以在处理过程中支撑所述结构。

形成在衬底上的半导体结构及其制造方法

技术领域

本发明一般涉及半导体器件，并且尤其是涉及形成在诸如金属的各种衬底（基板，substrate）上的半导体结构以及制造这样的器件的方法的各种具体实施方式。

背景技术

通常，传统的半导体制造使用多种工艺以在衬底上形成半导体结构。衬底通常是晶圆（晶片，wafer）的一部分。晶圆是诸如硅的半导体材料的小的薄圆片，其上形成有半导体结构。使用诸如蚀刻、沉积、和电镀的标准的器件制造工艺以在晶圆上制造半导体结构。在形成半导体结构之后，检测晶圆，然后将晶圆切成分离的独立的半导体结构，通常称为晶片（die），该半导体结构包括衬底层。衬底层（衬底）经常被称为晶片的基底层（base layer）或本体，其它的层沉积到该基底层或本体上以形成半导体结构。形成在衬底上的半导体结构可以是分立器件（分离器件，discrete device）或集成电路。例如，半导体结构可以由单个分立式（分离）的功率晶体管组成，或者可以由多个晶体管和诸如电阻器、电容器等的其它电子元件形成，这些晶体管和电子元件电耦合（电连接）在一起以形成集成电路。

衬底对于半导体结构起到关键的作用，它决定着半导体结构是诸如功率晶体管的分立器件还是集成电路。衬底经常用于结构地支撑半导体结构，防止由于机械弯曲而造成的损坏。衬底还可用作半

导体结构的一部分，维持竖直或水平的电流流动。在一些器件中，衬底用作绝缘体，其中衬底被构造成使得半导体结构与其它半导体结构绝缘或者防止与导电表面电耦合。

根据其性能和尺寸，衬底可能不利地影响衬底所支撑的半导体结构的性能。衬底可以引入不希望的会影响功率消耗、功率耗散、和半导体结构工作带宽的寄生阻抗（parasitic impedance）以及导热路径。例如，在典型的互补金属氧化物半导体（CMOS）集成电路的情况下，衬底可促进闩锁效应（闭止，latch-up）。将 CMOS 器件设置在例如绝缘体上的硅（SOI）的绝缘衬底而不是导电衬底上可以降低电流泄漏并有助于防止闩锁效应，然而，绝缘衬底还可以限制来自 CMOS 电路的热传导。对于射频（RF）器件来说，衬底经常是相对于用来传输高速数据的传输线路的关键设计元件。衬底材料的厚度和类型对于这样的高速信号的传输效率是至关重要的。衬底在半导体结构的热耗散中经常起到关键作用。例如，可以使用金属衬底来促进将热量从器件引入到外部环境中。因此，衬底层的厚度、材料、和结构设计是衬底层所支撑的半导体结构的性能和结构完整性的关键要素（critical component）。

在某些器件中，衬底用作电流传导路径的部分。例如，衬底对于固态开关来说起到重要作用，固态开关是用于分立器件应用和集成电路的关键的半导体结构。固态开关包括，例如，功率金属氧化物半导体场效应晶体管（功率 MOSFET）、绝缘栅极双极晶体管（IGBT）以及各种类型的半导体闸流管（thyristor）。用于功率开关（电源开关）的一些限定性能特性是功率开关的导通电阻（即，漏极-源极导通电阻 R_{DSon} ）、击穿电压（截止电压，breakdown voltage）、以及开关速度。根据特殊应用的需求，对于这些性能标准中的每一项设定不同的重点。例如，对于大于约 300-400 伏的电源（功率，power）应用，如相比于功率 MOSFET，IGBT 呈现出固有的较低的

导通电阻，但是其开关速度由于其较慢的关闭特性（切断特性，turn off characteristic）而较低。因此，对于具有需要低导通电阻的低开关频率的大于 400 伏的应用来说，IGBT 是优选的开关，而对于相对较高频率的应用来说，功率 MOSFET 通常是被选择的器件。

通常，典型 MOSFET 器件的开关速度、导通电阻、击穿电压、以及功率耗散受到布局、尺寸、和材料的影响。工业设计的惯例是寻求将 MOSFET 的导通电阻保持得尽可能地低，以降低静态功率损耗和增加电流密度。例如，在竖直功率 MOSFET 器件中，导通电阻由诸如沟道电阻（channel resistance）、外延层电阻、和衬底电阻的几个电阻组成。诸如竖直功率 MOSFET 器件（以及其它 MOSFET 器件）的导通电阻直接受到用于形成漏极至源极的传导通路的材料的类型和尺寸的影响。因此，对于竖直功率 MOSFET 来说，衬底是关键的性能元件。

除了衬底层之外，形成诸如 MOSFET 和 CMOS 电路的半导体结构的半导体层固有地对半导体结构的工作性能施加影响。衬底层和半导体层将固有地存在于衬底和半导体层中的寄生效应（parasitic effect）引入至半导体结构。例如，寄生电容和电感直接受到用于半导体层和衬底的材料（例如，绝缘体、半导体、掺杂浓度等）以及用于形成和支撑半导体结构的尺寸（例如，高度、宽度、长度等）的影响。这样的寄生效应通常引起半导体结构电性能和操作的恶化。

通常，半导体结构中的较小尺寸易于降低诸如电阻、功率耗散、和寄生阻抗的参数。对于半导体层来说，例如，半导体层越薄，半导体结构的工作频率越好。而且，较大的特定热容量以及更高热容量的衬底材料易于提高半导体结构的热耗散能力，而较薄的衬底易于增加那些依赖于衬底作为传导路径部分的器件的工作频率。然而，当半导体结构在尺寸上降低时，提供较薄的半导体层和衬底对

于半导体制造商提出了工艺上的挑战。在传统的半导体结构制造工艺中，在半导体结构、其它的半导体层、以及金属层已施加到衬底上之后，通常利用诸如化学机械抛光（CMP）的工艺来薄化（减薄）衬底。已经研发出了化学蚀刻工艺来将衬底进一步蚀刻至更薄的轮廓（分布，剖面，profile），但是化学蚀刻工艺难以控制并且经常产生在工艺过程中被疏忽地蚀刻的受损半导体结构。另外，由于半导体结构需要一些结构上的支撑，所以传统的衬底薄化工艺（减薄工艺）具有固有的局限性。因此，用于薄化衬底的传统工艺通常由于蚀刻误差以及衬底的机械弯曲而产生一些有缺陷的半导体结构。

因此需要用于形成具有优化半导体层和衬底的半导体结构的结构及方法，以便于在由于结构应力而造成的与工艺相关的缺陷最小化的同时提高工作性能。

发明内容

本发明的具体实施方式涉及半导体结构的形成以及将形成在硅层中和/或上的、设置在初始衬底（initial substrate）上的半导体结构转移至诸如金属、硅、玻璃等的基底衬底（base substrate）上的工艺。在一个具体实施方式中，本发明披露了用于将分立器件和集成电路从初始衬底层转移至基底衬底的方法和结构。这里所描述的工艺和结构提供了具有改进的电性能和结构性能的半导体层和衬底，半导体层和衬底的这些改进的电性能和结构性能提供了集成至半导体层和衬底的并由半导体层和衬底所支撑的半导体结构的改进的电性能。

在另一种具体实施方式中，本发明提供了一种将半导体结构从初始衬底转移至基底衬底的方法。该方法包括：提供具有蚀刻终止层（etch stop layer）的初始衬底；在蚀刻终止层上提供掺杂硅层；以及在掺杂硅层上形成半导体结构。半导体结构、掺杂硅层、蚀刻

终止层、以及初始衬底形成半导体处理工艺（加工工艺，process）。该方法进一步包括：利用可移除的支撑结构为半导体处理工艺进行支撑；利用去除初始衬底直至蚀刻终止层的化学蚀刻工艺来去除初始衬底；利用化学蚀刻工艺去除蚀刻终止层；以及在掺杂硅层上沉积衬底材料以形成基底衬底。

在另一种具体实施方式中，本发明提供了一种在金属衬底上形成半导体结构的方法。该方法包括：提供具有露出的二氧化硅蚀刻终止层的初始衬底；将注入氢的掺杂硅材料结合至二氧化硅蚀刻终止层；确定掺杂硅材料的被氢充分地削弱的区域以便可沿该区域裂开（cleave）掺杂硅材料；以及沿该区域裂开掺杂硅材料，留下结合至二氧化硅层的掺杂硅层。该方法进一步包括：在掺杂硅层上形成半导体结构；利用支撑装置（支撑器件，supporting device）支撑半导体结构、二氧化硅层、和初始衬底；去除初始衬底；去除二氧化硅层；以及为掺杂硅层提供足量的金属以形成金属衬底。

在另一种具体实施方式中，本发明提供了一种衬底结构。该衬底结构包括设置在初始衬底上的蚀刻终止层。蚀刻终止层被构造成成为化学机械抛光工艺提供处理阻挡层（processing barrier）以便于去除初始衬底。衬底结构还包括设置在蚀刻终止层上的半导体层。

附图说明

图 1 图解说明了根据本发明具体实施方式的示例性 n 型沟槽（trench）MOSFET 的一个具体实施方式的剖视图；

图 2 图解说明了根据本发明具体实施方式的具有注入有氢离子的区域的硅材料的一个具体实施方式的剖视图；

图 3 图解说明了根据本发明具体实施方式的初始衬底和掺杂硅材料的一个具体实施方式的剖视图；

图 4 图解说明了根据本发明具体实施方式的被结合至图 3 的掺杂硅材料的初始衬底的一个具体实施方式的剖视图；

图 5 图解说明了根据本发明具体实施方式的初始衬底的一个具体实施方式的剖视图，该初始衬底与图 3 的掺杂硅材料分离，在初始衬底上留下掺杂硅的层，形成半导体处理结构（semiconductor process structure）；

图 6 图解说明了根据本发明具体实施方式的图 5 的半导体处理结构的一个具体实施方式的剖视图，该半导体处理结构具有设置在掺杂硅层上的外延层；

图 7 图解说明了根据本发明具体实施方式的图 6 的半导体处理结构的一个具体实施方式的剖视图，该半导体处理结构具有形成在构成半导体结构层的外延层上的半导体结构；

图 8 图解说明了根据本发明具体实施方式的图 7 的处理手柄（process handle）的一个具体实施方式的剖视图，该处理手柄安装于半导体结构层以支撑用于进行处理的半导体处理结构；

图 9 图解说明了根据本发明具体实施方式的在通过衬底薄化工艺薄化（减薄）初始衬底之后的半导体处理结构的一个具体实施方式的剖视图；

图 10 图解说明了根据本发明具体实施方式的在通过衬底蚀刻工艺去除初始衬底之后的半导体处理结构的一个具体实施方式的剖视图；

图 11 图解说明了根据本发明具体实施方式的在通过蚀刻工艺去除蚀刻终止层之后的半导体处理结构的一个具体实施方式的剖视图;

图 12 图解说明了根据本发明具体实施方式的在掺杂硅层上形成金属衬底之后的半导体处理结构的一个具体实施方式的剖视图;

图 13 图解说明了根据本发明具体实施方式的在从半导体处理结构中移除了处理手柄之后的半导体处理结构的一个具体实施方式的剖视图;

图 14 图解说明了根据本发明具体实施方式的在被切割之前的半导体处理结构的一个具体实施方式的剖视图; 以及

图 15 图解说明了根据本发明具体实施方式的在被切割成独立器件之后的半导体处理结构的一个具体实施方式的剖视图。

具体实施方式

本发明涉及半导体结构以及将形成于在初始衬底诸如用于功率 MOSFET 的初始衬底上所形成的硅层中和/或上的半导体结构转移至诸如金属、玻璃、硅等的基底衬底上的工艺。本发明还涉及将形成于在初始衬底上所形成的硅层中和/或上的半导体结构转移至用于绝缘体上的硅 (SOI) 器件的绝缘体。该工艺包括在初始衬底上形成二氧化硅 (SiO_2) 层。该工艺进一步包括在 SiO_2 层上提供掺杂硅层。利用氢离子 (例如, H^+) 注入掺杂半导体材料以形成可裂开区域 (cleavable region)。将掺杂硅材料结合至 SiO_2 层。可裂开区域中的氢浓度足以使得掺杂硅材料被裂开。在一种具体实施方式中, 在足以裂开可裂开区域的温度下对掺杂硅材料进行退火。在裂开之后, 掺杂硅材料的层保留在 SiO_2 层上, 掩埋衬底与掺杂硅层之

间的 SiO₂ 层。外延层形成在掺杂硅层上。利用形成半导体结构层（即，含有诸如分立式晶体管（分离晶体管，discrete transistor）、集成电路等的电子元件的层）的传统的半导体结构形成工艺使得半导体结构形成在外延层中和/或上。衬底、掺杂硅层、SiO₂ 层、外延层、和半导体结构层形成中间半导体结构本体。该方法进一步包括将支撑结构附于半导体结构上以支撑用于进一步处理的中间半导体处理结构。一旦中间半导体处理结构被支撑，就利用机械研磨工艺去除初始衬底，接着，利用被掩埋的 SiO₂ 层作为蚀刻终止层来进行化学蚀刻处理。然后，利用化学蚀刻工艺去除 SiO₂ 层。掺杂硅层、外延层、和半导体结构形成第二中间半导体处理结构。然后，诸如金属的基底衬底层形成在掺杂硅层上，该掺杂硅层具有足以形成基底衬底的厚度。基底衬底、掺杂硅层、外延层、和半导体结构形成最终的半导体处理结构。在另一个处理步骤中，最终的半导体处理结构可以被切割并封装成一个或多个半导体结构，例如，晶片。在一个具体实施方式中，诸如铜的金属被用作形成在掺杂硅层上的衬底。

为了更好地理解上述的示例性的处理流程（工艺流程），将以图 1 所示类型的垂直功率 MOSFET 为背景更详细地描述本发明。图 1 图解说明了示例性的 n 型沟槽 MOSFET **100** 的一个具体实施方式的剖视图。然而，可以理解，本发明的技术原理适用于使用任何处理技术的分立器件以及集成电路两者。如同这里描述的所有其它附图一样，可以理解，附图中示出的各个元件和部件的相对尺寸和大小并非精确地反映了实际的尺寸，它们仅是为了示例的目的。MOSFET **100** 包括形成在沟槽 **102** 内的栅极电极 G。沟槽 **102** 从 p 阱本体区域 **104** 的顶表面延伸，终止于 n 型漂移（drift）或外延区域 **106**。在一个具体实施方式中，沟槽 **102** 衬有薄介电层（电介质层，dielectric layer）**108** 并且基本上被导电材料 **110**，诸如掺杂的多晶硅覆盖。N 型源极区域 **112** 形成在与沟槽 **102** 相邻的 p 阱本体

区域 **104** 的内部。MOSFET **100** 包括形成在 p 阱本体区域 **104** 内的 p+ 本体区域 **117**。MOSFET **100** 包括金属源极层 **116**。用于 MOSFET **100** 的漏极端子 D 连接至设置在掺杂硅层 **114** 上的金属衬底 **118**。外延层 **106** 和本体区域 **104** 形成设置在掺杂硅层 **114** 上的半导体结构层 **107**。多次重复图 1 的结构以形成晶体管阵列。题为“Power Semiconductor Devices and Methods of Manufacture (功率半导体器件及制造方法)”的普通转让的美国专利申请第 11/026,276 号中更详细地描述了具有各种改进的多种不同的功率器件, 将其全部内容结合于此作为参考。

虽然传统的竖直沟槽 MOSFET 表现出了良好的导通电阻, 但是它们通常具有相对高的输入电容。对于包括 MOSFET **100** 的竖直沟槽 MOSFET 的输入电容具有两个分量: 栅极至源极电容 C_{gs} 和栅极至漏极电容 C_{gd} 。栅极至源极电容 C_{gs} 由栅极导电材料 **110** 与接近沟槽 **102** 的顶部的源极区域 **112** 之间的重叠而产生。在本体中的栅极与反向沟道 (反型沟道, inverted channel) 之间形成的电容对于 C_{gs} 也起到促进作用, 这是因为在典型的功率切换 (功率开关) 的应用中, 晶体管的本体和源极电极被一起缩短。栅极至漏极电容 C_{gd} 由位于每个沟槽 **102** 底部的栅极导电材料 **110** 与通过掺杂硅层 **114** 连接至金属衬底 **118** 的外延层 **106** 之间的重叠而产生。栅极至漏极电容 C_{gd} 或米勒 (Miller) 电容限制了晶体管 V_{DS} 的渡越时间 (过渡时间, transition time)。因此, 较高的 C_{gs} 和 C_{gd} 产生了可感知的切换损耗 (开关损耗, switching loss)。当功率管理 (power management) 应用朝向较高的切换频率移动时, 这些切换损耗变得愈加重要。

降低栅极至源极电容 C_{gs} 的一个途径是降低晶体管的沟道长度。较短的沟道长度直接降低 C_{gs} 的栅极至沟道的分量。较短的沟道长度还直接与导通电阻 R_{DSon} 成比例并使得可以利用较少的栅极

沟槽获得相同的器件电容（电流额，current capacity）。这通过降低栅极至源极与栅极至漏极重叠的量来降低 C_{gs} 和 C_{gd} 两者。然而，较短的沟道长度使得器件在由于反向偏压的本体-漏极结（junction）的原因而形成的耗尽层深推到本体区域中并且接近源极区域时易受击穿（punch-through）的影响。降低外延层 106 的掺杂浓度以使其维持更多的耗尽层的这种操作具有增加晶体管的 R_{DSon} 的不理想的效果。

在一种具体实施方式中，通过降低半导体结构层 107 的厚度可以降低器件的导通电阻。例如，降低半导体结构层 107 的厚度减小了沟道长度。在一个具体实施方式中，还通过在金属衬底 118 上提供相对薄的掺杂硅层 114 来提供较低的 C_{gd} 。金属衬底 118 还提供了用于晶体管结构的结构支撑（structural support）。利用这里描述的处理过程（工艺），可以将半导体结构层 107 和掺杂硅层 114 的尺寸做得显著薄于传统的晶体管结构。例如，漂移区域可以是包括器件区域 104 的半导体结构层 107 的约 $10\ \mu\text{m}$ 的整个厚度中的约 $7.5\ \mu\text{m}$ 。另外，由于无需处理厚的初始衬底，因此可以利用预定的掺杂分布（doping profile）来掺杂外延层 106，并且可以将外延层 106 形成为具有减小的厚度以在降低 R_{DSon} 的同时保持可接受的对于电压击穿的安全性（抗扰度，immunity）。

图 2 图解说明了掺杂硅材料 202 的一个具体实施方式的剖视图，该掺杂硅材料 202 具有注入有氢离子（ H^+ ）的区域 204，而图 3 图解说明了根据本发明具体实施方式的初始衬底（例如，支撑手柄）308 和掺杂硅材料 202 的一个具体实施方式的剖视图。现在参照图 2，可以通过用于形成半导体结构的诸如硼、砷等的几乎任何类型的掺杂剂来掺杂该掺杂硅材料 202。在该实例中，掺杂剂用来形成 n^+ 型材料。为了产生掺杂硅 114 的层，利用氢离子来掺杂该掺杂硅材料 202 以形成富氢区域 204。在 Bruel 的美国专利第

5,374,564 号中披露了用于将氢离子掺杂到硅衬底中的示例性工艺，将其全部内容结合于此作为参考。

在一种具体实施方式中，以充足的深度和能量势能（势能，energy potential）将一定浓度的氢离子提供到掺杂硅 **202** 的表面上，以形成具有约 1-2 μm 之间的示例性厚度的可裂开区域 **208**。例如，在 170 Kev 的能级上利用氢离子来掺杂该掺杂硅材料 **202** 使其达到 $5\text{E}16/\text{cm}^2$ 氢离子的剂量水平（dose level），从而形成具有约 1.7 μm 厚度的可裂开区域 **208**。由于氢脆（性），可裂开区域 **208** 的晶格弱于非氢掺杂的硅晶格。

初始衬底 **308** 包括二氧化硅（ SiO_2 ）层 **306**。 SiO_2 层 **306** 用作蚀刻终止层并且可以是使用起来有利的几乎任何厚度。例如， SiO_2 层 **306** 可以大约在 2500 至 4000 埃之间。利用几乎任何 SiO_2 层形成工艺， SiO_2 层 **306** 可生长或沉积在初始衬底 **308** 上。例如，可利用热氧化过程（工艺）来生长 SiO_2 层 **306**。在一个构造中， SiO_2 层 **306** 可以形成在初始衬底 **308** 上，和/或 SiO_2 层 **306** 可以形成在位于区域 **204** 表面上的掺杂硅材料 **202** 上。下面进一步描述 SiO_2 层 **306**。

图 4 图解说明了结合至图 3 的掺杂硅材料 **202** 的初始衬底 **308** 的一个具体实施方式的剖视图。图 5 图解说明了利用裂开工艺（裂开处理，cleaving process）与图 3 的掺杂硅材料 **202** 分离（即，裂开）的初始衬底 **308** 的一个具体实施方式的剖视图。裂开工艺在初始衬底 **308** 上留下掺杂硅的层 **114B** 并且在掺杂硅材料 **202** 上留下掺杂氢的硅的遗留层部分 **114A**。利用多种结合技术可以将 SiO_2 层 **306** 结合至掺杂硅材料 **202**。例如，在进行了湿化学和去离子（DI）水处理以使 SiO_2 层 **306** 和掺杂硅材料具有亲水表面之后，可以例如在室温下利用传统的结合技术来结合 SiO_2 层 **306** 和掺杂硅材料。在结合处理之后，利用任何次数的裂开处理（工艺）使得掺杂硅材料 **202** 与初始衬底 **308** 裂开。在一个具体实施方式中，裂开处理（工

艺)包括在 200 至 300 摄氏度之间的温度下对掺杂硅材料 **202** 和初始衬底 **308** 进行退火约 5 小时至 10 小时。裂开处理包括在约 450 摄氏度的温度下对掺杂硅材料 **202** 和初始衬底 **308** 进行退火约 15 分钟。该退火处理(过程)用于破坏(break)可裂开区域 **208** 的晶格结构。

图 6 图解说明了图 5 的半导体处理结构的一个具体实施方式的剖视图,其中该半导体处理结构具有设置在掺杂硅层 **114B** 上的外延层 **106**,而图 7 图解说明了根据本发明具体实施方式的图 6 的半导体结构的一个具体实施方式的剖视图,其中半导体结构层 **107** 具有半导体结构 **702**。可选地,可以在 CVD 室中预处理裂开的掺杂硅层 **114B**,以制备用于外延层 **106** 形成的掺杂硅层 **114B**。可以使用 CVD 处理来生成更均匀的表面。外延层 **106** 可以利用多种技术而形成在掺杂硅层 **114B** 上。例如,外延层 **106** 可以生长在掺杂硅层 **114B** 上。参照图 6,在一个具体实施方式中,支撑手柄 **308**、SiO₂ 层 **306**、掺杂硅层 **114B**、以及外延层 **106** 形成中间半导体处理结构 **606**。可以通过任何传统的半导体结构形成技术来完成半导体结构层 **107** 的形成。例如,利用诸如分层、图案化、和掺杂的传统的半导体结构制造步骤,可以将半导体结构 **702** 形成在外延层 **106** 上和/或中。也可以将半导体结构 **702** 形成在掺杂硅层 **114B** 上和/或一体形成于掺杂硅层 **114B**。在一个可选的操作构造中,对于 MOSFET 来说,例如,金属层 **116** 形成在半导体结构 **702** 上。可以利用几乎任何工艺来施加金属层 **116**,这里描述所述工艺中的一部分。在另一具体实施方式中,在形成器件层 **107** 之后,初始衬底 **308**、SiO₂ 层 **306**、掺杂硅层 **114B**、以及半导体结构层 **107** 形成另一种中间半导体处理结构 **706**。

现在参照图 8,其示出了处理手柄 **802** 的一个具体实施方式的剖视图,该处理手柄安装于半导体结构层 **107** 以支撑用于进行处理

(processing) 的半导体处理结构 706。在一个具体实施方式中, 处理手柄 802 临时安装于半导体结构层 107 以支撑中间半导体处理结构 706。例如, 在一个处理步骤中, 利用 UV 可拆除的 (releasable) 双面胶带 804 将处理手柄 802 安装于半导体结构 702。胶带 804 提供足够强度的粘合 (粘结结合, adhesive bond) 以稳固地保持用于进行处理的中间半导体处理结构 706。在另一个具体实施方式中, 初始衬底 308、SiO₂ 层 306、掺杂硅层 114B、半导体结构层 107、胶带 804、以及处理手柄 802 形成另一种中间半导体处理结构 806。

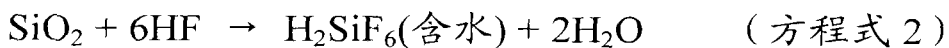
图 9 图解说明了通过衬底薄化处理薄化初始衬底 308 之后的半导体处理结构 706 的一个具体实施方式的剖视图。可选地, 在一个具体实施方式中, 利用诸如机械抛光/研磨的机械薄化处理来薄化初始衬底 308 以形成较薄的衬底 308A。可以将初始衬底 308 薄化至, 例如, 约 8 密耳 (mil) 以更快地利用化学品 (chemical) 进行去除。在另一个具体实施方式中, 衬底 308A、SiO₂ 层 306、掺杂硅层 114B、以及半导体结构层 107 形成另一种中间半导体处理结构 906。

图 10 图解说明了通过衬底蚀刻处理 (蚀刻工艺) 去除初始衬底 308A 之后的半导体处理结构的一个具体实施方式的剖视图。在一种处理 (工艺) 中, 通过利用化学蚀刻处理 (工艺) 化学地蚀刻衬底 308A 来去除初始衬底 308A, 其中, 该化学蚀刻工艺使用了掩埋的 SiO₂ 层 306 作为蚀刻终止层。由于 SiO₂ 层 306 被构造成终止化学蚀刻工艺, 所以半导体结构层 107 保持为未受到用于蚀刻初始衬底 308A 的化学品的影响。通过用于去除初始衬底 308A 的任何工艺可以完成化学蚀刻。例如, 可以利用诸如酸、氢氧化物等的去除初始衬底 308A 的化学品来完成蚀刻工艺, 但是该蚀刻工艺并不蚀刻掩埋的 SiO₂ 层 306。在一种处理中, 可以利用如下化学式来表示用来去除初始衬底 308A 的化学蚀刻过程:



其中， $\text{SiO}_2(\text{OH})^{2-}$ 是可溶性配合物（可溶性络合物，soluble complex）。在另一个具体实施方式中，在去除了薄化的初始衬底**308A**之后， SiO_2 层**306**、掺杂硅层**114B**、以及半导体结构层**107**形成另一种中间半导体处理结构**1006**。

图 11 图解说明了在通过蚀刻处理去除 SiO_2 层**306** 之后的半导体处理结构**1006** 的一个具体实施方式的剖视图。可以利用稀释的 HF 溶液来化学地蚀刻掩埋的 SiO_2 层**306**。在该构造中，掺杂硅层**114B** 用作蚀刻终止（etch stop）。例如，可以利用 49 wt% 的 HF 溶液在室温下蚀刻 SiO_2 层**306**。该实例的溶液可以在约 $2.5 \mu\text{m}/\text{min}$ 下蚀刻 SiO_2 层**306**。可以利用如下化学方程式来表示用于去除层**306** 的蚀刻过程：



在另一种具体实施方式中，在将 SiO_2 层**306** 从掺杂硅层**114B** 蚀刻掉之后，掺杂硅层**114B**、半导体结构层**107**、胶带**804**、以及处理手柄**802** 形成另一种中间半导体处理结构**1106**。

图 12 图解说明了金属衬底**118** 形成在掺杂硅层**114** 上之后的半导体处理结构**1106** 的一个具体实施方式的剖视图。为了清楚起见，描述了形成金属衬底**118** 的过程，然而，应当理解，所形成的基底衬底可以是可使用起来有利的几乎任何类型的材料，诸如金属、玻璃、半导体等。在一个具体实施方式中，可以利用诸如电镀的几乎任何工艺和/或利用诸如等离子体气相沉积（PVD）、化学气相沉积（CVD）等的沉积工艺来形成金属衬底**118**。例如，可以在掺杂硅层**114** 上电镀金属衬底**118**。金属衬底**118** 可以包括可使用起来有利的几乎任何的金属或导体，诸如铜、铝、或诸如焊料（solder）的合金等。在一个具体实施方式中，在形成金属衬底**118**

之后,金属衬底 **118**、掺杂硅层 **114B**、半导体结构层 **107**、胶带 **804**、以及处理手柄 **802** 形成另一种中间半导体处理结构 **1206**。

图 13 图解说明了从半导体处理结构 **1206** 中去除了处理手柄 **802** 之后的半导体处理结构 **1206** 的一个具体实施方式的剖视图。可以使用任何数量的技术来去除处理手柄 **802**。例如,可以使用紫外光处理来去除处理手柄 **802**,其中胶带 **804** 被构造成当被暴露于足量的 UV 光下预定时间时被松开(release)。在一个具体实施方式中,在去除处理手柄 **802** 之后,金属衬底 **118**、掺杂硅层 **114B**、以及半导体结构层 **107** 形成另一种中间半导体处理结构 **1306**。

图 14 图解说明了在被切割之前的半导体处理结构 **1406** 的一个具体实施方式的剖视图,而图 15 图解说明了根据本发明具体实施方式的在被切成诸如 MOSFET **100** 的独立器件(晶片)之后的半导体处理结构 **1406** 的一个具体实施方式的剖视图。

虽然上面提供了本发明的各种具体实施方式的详细描述,但是可以进行许多变化、更改、和等同替换。例如,在这里以 MOSFET,尤其是以沟栅 MOSFET 为背景描述的许多集成的形成技术可以用于其它类型的处理技术以制造诸如双极或 CMOS 集成电路等的半导体结构。本领域技术人员应当理解,相同的技术可以适用于包括与衬底相关的几乎所有的半导体结构的其它类型的器件,其或者作为处理载体(process carrier)或者作为半导体结构本体的一部分。例如,这里所描述的工艺(处理)可以用于将 CMOS 集成电路从初始衬底转移至绝缘体。对于 RF 器件来说,所描述的工艺和结构可以用于将 RF 器件和/或电路转移至被构造成具有一定厚度和适宜电介质的衬底诸如氧化铝-陶瓷衬底以容纳(供给,accommodate) RF 电路。而且,可以理解,这里提供的用来描述各种尺寸、能级、掺杂浓度、不同半导体或绝缘层的所有数字实例和材料类型仅为示例

的目的。因此，为了这个以及其它的原因，不应该将上面的描述认为是限制本发明的范围，本发明的范围由所附权利要求所限定。

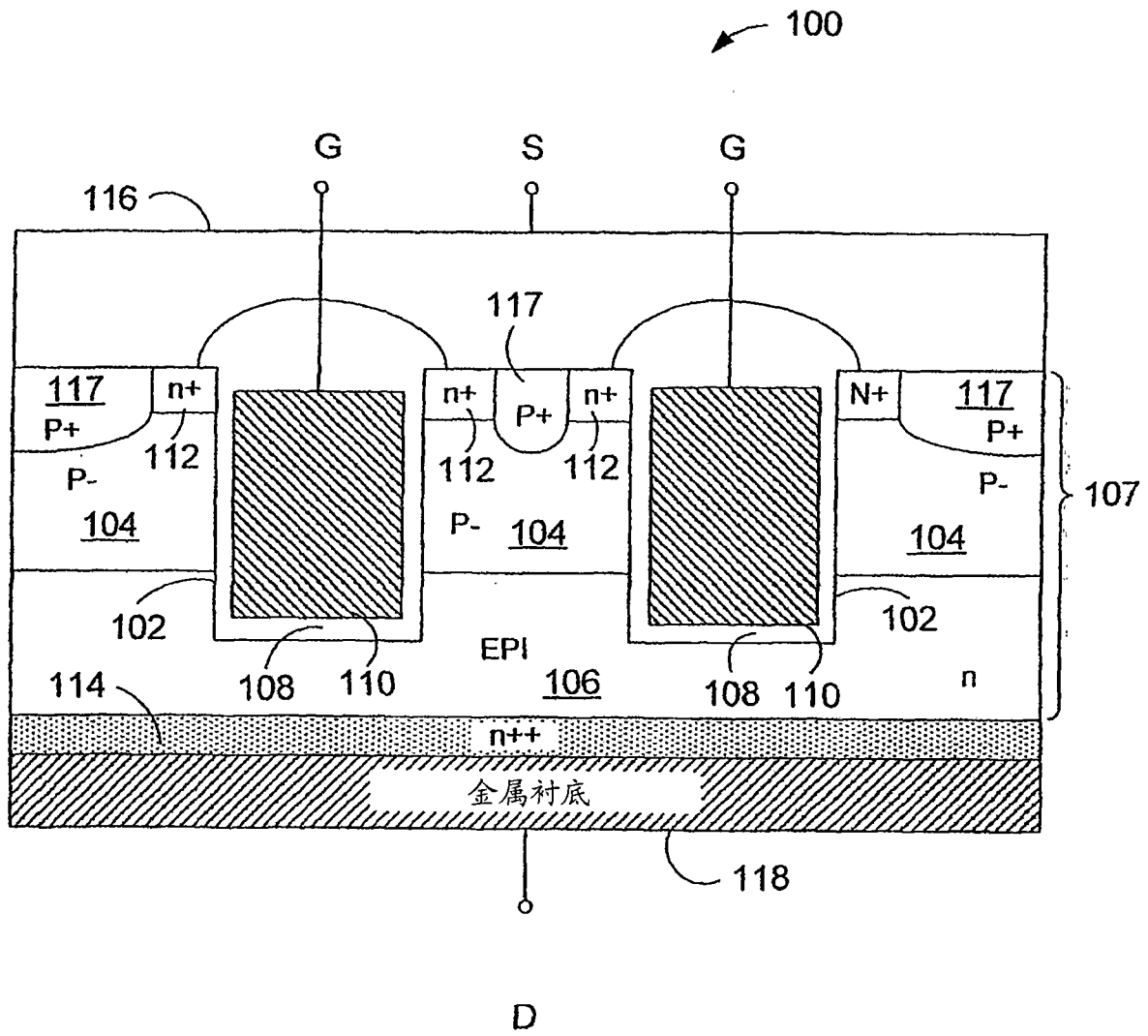


图 1

