

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年3月27日(27.03.2025)



(10) 国際公開番号

WO 2025/062887 A1

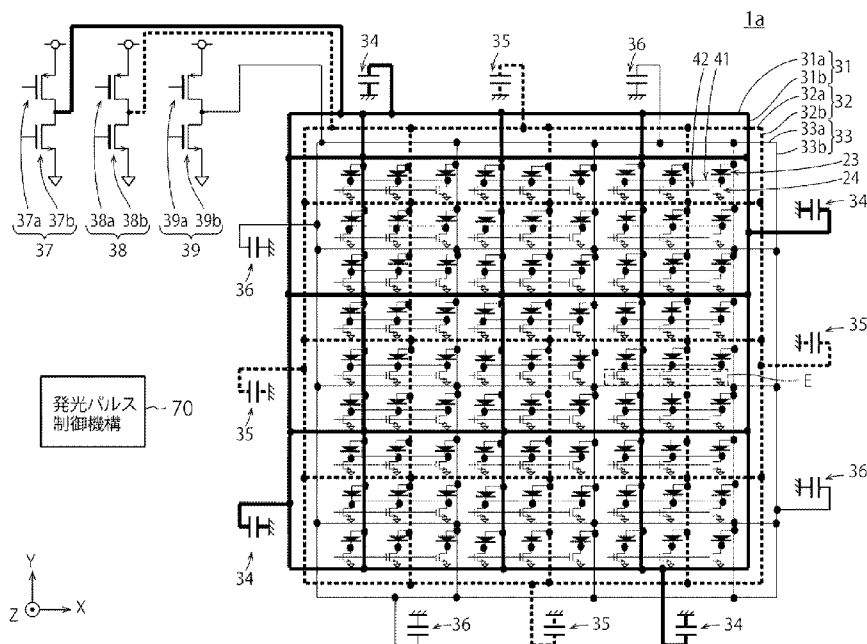
- (51) 国際特許分類:
G01B 11/25 (2006.01) *H01S 5/183* (2006.01)
G01S 7/484 (2006.01)
- (21) 国際出願番号: PCT/JP2024/028974
- (22) 国際出願日: 2024年8月14日(14.08.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-159134 2023年9月22日(22.09.2023) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 廣野 大輔 (HIRONO Daisuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 酒詰 俊輔(SAKAZUME Shunsuke); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 上水流 隼人(KAMIZURU Hayato); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP). 小西 義生(KONISHI Yoshio); 〒8691102 熊本県菊池郡菊陽町大字原

(54) Title: LIGHT-EMITTING DEVICE

(54) 発明の名称: 発光装置



70 Light emission pulse control mechanism

(57) Abstract: [Problem] To provide a light emitting device having a small impedance for a light-emitting element and high distance measuring accuracy. [Solution] A light-emitting device according to the present disclosure comprises: a plurality of light-emitting elements arranged in a two-dimensional array with each light-emitting element of the plurality of light-emitting elements having a first and a second terminal; a plurality of first terminal wirings electrically connecting to the first terminals of the light-emitting elements and including a quantity M of first wirings extending in a first direction

水4000番地1 ソニーセミコンダクタマニュ
ファクチャリング株式会社内 Kumamoto (JP).

- (74) 代理人: 宮 嶋 学 (MIYAJIMA Manabu);
〒1000005 東京都千代田区丸の内1丁目
6番6号 日本生命丸の内ビル 協和特
許法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

and a quantity N of second wirings extending in a second direction and electrically connected to each of the quantity M of first wirings; a plurality of second terminal wirings electrically connecting to the second terminals of the light-emitting elements with each second terminal wiring electrically connecting to a quantity P of the light-emitting elements; a plurality of selection circuits electrically connecting to the plurality of first terminal wirings or the plurality of second terminal wirings and selecting a light-emitting element to emit light; a plurality of drive circuits electrically connecting to the other of the plurality of first terminal wirings and the plurality of second terminal wirings and driving the plurality of light-emitting elements; and a plurality of light emission pulse control mechanisms electrically connecting to gates of the plurality of drive circuits and controlling light emission pulses.

- (57) 要約: [課題] 発光素子用のインピーダンスが小さく、また測距精度の高い発光装置を提供する。
[解決手段] 本開示の発光装置は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、第1方向に延びるM本の第1配線と、第2方向に延び、M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線とを含み、発光素子の第1端子に電氣的に接続される複数の第1端子配線と、発光素子の第2端子に電氣的に接続され、各々が発光素子のうちのP個に電氣的に接続される複数の第2端子配線と、複数の第1端子配線および複数の第2端子配線の一方に電氣的に接続され、発光対象の発光素子を選択する複数の選択回路と、複数の第1端子配線および複数の第2端子配線の他方に電氣的に接続され、複数の発光素子を駆動させる複数の駆動回路と、複数の駆動回路のゲートに電氣的に接続され、発光パルス制御する複数の発光パルス制御機構とを備える。

明 細 書

発明の名称：発光装置

技術分野

[0001] 本開示は、発光装置に関する。

背景技術

[0002] 半導体レーザーの一種として、V C S E L (Vertical Cavity Surface Emitting Laser) 等の面発光レーザーが知られている。一般に、面発光レーザーを利用した発光装置では、基板の表面または裏面に複数の発光素子が2次元アレイ状に設けられる。

先行技術文献

特許文献

[0003] 特許文献1：特開2020-96169号公報

発明の概要

発明が解決しようとする課題

[0004] V C S E L の発光素子を個別に発光させる場合、発光素子の個数が増えると、発光素子用の配線が長くなる。その結果、各配線のインピーダンスが大きくなることや、配線間のインピーダンスの差が大きくなることが問題となる。

[0005] また、V C S E L で用いられる発光素子を駆動する駆動回路の駆動電圧によって、発光時のパルス幅が制限されるため、短パルス化することができず、時間方向における測距精度が向上できない。

[0006] また、発光素子を含む複数のチャンネル間で比較すると、駆動回路におけるトランジスタのオン抵抗のばらつきに加え、動作温度や電源電圧にばらつきがあるため、発光素子の発光タイミング、パルス幅および駆動回路の駆動能力がチャンネル毎にばらついてしまう。これにより複数のチャンネルの間において、どの測定結果が正しいか分からなくなり、測距精度が低下してしまう。

[0007] そこで、本開示はこれらの問題に鑑み、発光素子用のインピーダンスが小

さく、また測距精度の高い発光装置を提供する。

課題を解決するための手段

[0008] 本開示の第1の側面の発光装置は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、第1方向に延びるM本の第1配線（Mは2以上の整数）と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個（Pは2以上の整数）に電氣的に接続される複数の第2端子配線と、前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、前記複数の第1端子配線および前記複数の第2端子配線の他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、前記複数の駆動回路のゲートに電氣的に接続され、前記複数の発光素子の発光パルスの出力を制御する複数の発光パルス制御機構または、前記発光素子に供給する電荷を蓄積するキャパシタに電氣的に接続され、印加電圧を昇圧するチャージポンプ回路とを備え、前記Nは、前記Mと同じ又は異なる整数であり、前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である。これにより例えば、各配線のインピーダンスや、配線間のインピーダンスの差を小さくすることにより、ピーク値 I_{peak} を高くすることや、パルス幅W（または半値幅W'）を短くすることが可能となる。

[0009] また、この第1の側面において、前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号 TRI_G_O の入力を受け付けて、前記トリガ信号 TRI_G_O の遅延信号であるディレイ信号 $Delay$ を生成する遅延回路である。これにより例えば、発光装置は、発光素子の発光期間を変更することができ、発光パルス幅を短く補正することができる。

[0010] また、この第1の側面において、前記遅延回路は、インバータチェーン回路、遅延ロックループ回路またはRC回路である。これにより例えば、発光

装置は、発光素子の発光期間を変更することができ、発光パルス幅 W を短く補正することができる。

[0011] また、この第1の側面において、前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号 $TRIG_O$ の出力タイミングを調整したタイミング調整信号 TA を生成する発光タイミング調整回路である。これにより例えば、発光装置は、発光素子の発光タイミングを可変とすることができる。

[0012] また、この第1の側面において、前記発光タイミング調整回路は、インバータチェーン回路である。これにより例えば、発光装置は、発光素子の発光タイミングを可変とすることができる。

[0013] また、この第1の側面において、前記発光パルス制御機構は、 LDD 能力切替信号に基づいて、前記発光素子の出力電流である LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正する LDD 能力切替回路である。これにより例えば、発光装置は、 LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0014] また、この第1の側面において、前記 LDD 能力切替回路は、前記発光素子のカソード側に前記駆動回路と並列に接続される、1または複数の選択的駆動回路とを含み、前記 LDD 能力切替信号によって、前記1または複数の選択的駆動回路が駆動する。これにより例えば、発光装置は、 LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0015] また、この第1の側面において、前記 LDD 能力切替回路は、前記 LDD 能力切替信号に基づいて、出力電圧を可変とするプリドライバを含む。これにより例えば、発光装置は、 LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0016] また、この第1の側面において、前記 LDD 能力切替回路は、前記 LDD 能力切替信号により電流値が制御される制御用電流源 $IDAC$ から出力される電流を増幅し、前記発光素子のカソード側に流すカレントミラー回路を含む。これにより例えば、発光装置は、 LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0017] 本開示の第2の側面の発光装置は、2次元アレイ状に配置され、各々が第

1 および第2端子を有する複数の発光素子と、第1方向に延びるM本の第1配線（Mは2以上の整数）と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個（Pは2以上の整数）に電氣的に接続される複数の第2端子配線と、前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、オペアンプを含み、前記オペアンプの出力側が前記駆動回路のゲートに接続され、前記オペアンプの非反転入力端子側が前記駆動回路のソースに接続され、前記発光素子に流れる電流を制御するフィードバック回路とを備え、前記Nは、前記Mと同じ又は異なる整数であり、前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である。これにより例えば、発光装置1は、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0018] また、この第2の側面において、前記フィードバック回路は、反転入力端子側に接続される第1抵抗および前記非反転入力端子側に接続される第2抵抗をさらに含み、制御用電流源IDACによって前記第1抵抗を流れる電流値に応じて、前記第2抵抗を流れる電流値を制御する。これにより例えば、発光装置は、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0019] 本開示の第3の側面の発光装置は、2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、第1方向に延びるM本の第1配線（Mは2以上の整数）と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個（Pは2以上の整数）に電氣的に接続される

複数の第2端子配線と、前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、前記複数の第1端子配線および前記複数の第2端子配線の他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路とを備え、前記複数の駆動回路に接続されるそれぞれのゲート配線の配線長は、等長であり、前記Nは、前記Mと同じ又は異なる整数であり、前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である。これにより例えば、発光素子間における発光タイミングのばらつきを低減することができる。

[0020] また、この第1の側面において、測距装置の一部となっている発光装置であって、前記発光装置に備えられる前記LDD能力切替回路は、測定物へ照射した光の反射光による受光レベルの値に基づいて、前記LDD出力電流 I_{DLF} の前記ピーク値 I_{peak} を補正する。これにより例えば、受光レベルの測定に基づいて、LDD能力設定を変更することができ、発光素子の各チャンネルについて、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0021] また、この第1の側面において、前記LDD能力切替回路は、前記受光レベルの値が設定の基準量を超えた場合に、LDD能力設定を1段階下げ、前記受光レベルの値が設定の基準量を超えなかった場合に、前記LDD能力設定を1段階上げる。これにより例えば、受光レベルの測定に基づいて、LDD能力設定を変更することができ、発光素子の各チャンネルについて、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0022] また、この第1の側面において、測距装置の一部となっている発光装置であって、前記発光装置に備えられる前記発光タイミング調整回路は、測定物へ照射した光の反射光から生成されるヒストグラムのBin位置に基づいて、前記発光素子の発光タイミングを補正する。これにより例えば、Bin位置の測定に基づいて、発光タイミング設定を変更することができ、発光素子の各チャンネルについて、発光タイミングを補正することができる。

[0023] また、この第1の側面において、前記発光タイミング調整回路は、前記B

i n 位置が設定の基準よりも早い場合に、発光タイミング設定を1段階遅らせ、前記B i n 位置が設定の基準よりも早くない場合に、前記発光タイミング設定を1段階早める。これにより例えば、B i n 位置の測定に基づいて、発光タイミング設定を変更することができ、発光素子の各チャネルについて、発光タイミングを補正することができる。

[0024] また、この第1の側面において、測距装置の一部となっている発光装置であって、前記発光装置に備えられる前記遅延回路は、測定物へ照射した光の反射光から生成されるヒストグラムのB i n 幅に基づいて、L D D 出力電流 I_{DLF} のパルス幅Wを補正する。これにより例えば、B i n 幅の測定に基づいて、発光パルス幅設定を変更することができ、発光素子23の各チャネルについて、発光パルス幅を補正することができる。

[0025] また、この第1の側面において、前記遅延回路は、前記B i n 幅が設定の基準よりも短い場合に、発光パルス幅設定を1段階長くし、前記B i n 幅が設定の基準よりも短くない場合に、前記発光パルス幅設定を1段階短くする。これにより例えば、B i n 幅の測定に基づいて、発光パルス幅設定を変更することができ、発光素子23の各チャネルについて、発光パルス幅を補正することができる。

[0026] また、この第1の側面において、測距装置の一部となっている発光装置であって、前記発光装置に備えられる前記発光タイミング調整回路は、測定物へ照射した光の反射光から生成されるヒストグラムのB i n 数に基づいて、前記発光素子の発光タイミングを補正する。これにより例えば、受光レベルの測定およびB i n 数の測定に基づいて、L D D 能力設定および発光タイミング設定を変更することができ、発光素子23の各チャネルについて、ピーク値 I_{peak} および発光タイミングを補正することができる。

[0027] また、この第1の側面において、前記発光タイミング調整回路は、前記B i n 数が設定の基準を満たす場合に、発光タイミング設定を1段階遅らせ、前記B i n 数が設定の基準を満たさない場合に、前記発光タイミング設定を1段階早める。これにより例えば、受光レベルの測定およびB i n 数の測定

に基づいて、L D D能力設定および発光タイミング設定を変更することができ、発光素子23の各チャネルについて、ピーク値 I_{peak} および発光タイミングを補正することができる。

図面の簡単な説明

[0028] [図1]第1実施形態に係る発光装置1aの断面図である。

[図2]第1実施形態に係る発光装置1の一実装例としての測距装置100の構成例を示すブロック図である。

[図3]第1実施形態のS T L (Structured Light) 方式を説明するための図である。

[図4]第1実施形態に係る発光装置1の回路図である。

[図5]第1実施形態に係る選択回路37、38、39、発光素子23、駆動回路Eおよび発光パルス制御機構70の接続関係を示す回路図の例である。

[図6]第1実施形態に係る発光装置1の動作を説明する図である。

[図7]第1実施形態に係る発光装置1aの性能について説明するためのグラフである。

[図8]第1実施形態の発光装置1に係る遅延回路50の動作を説明する図である。

[図9]第1実施形態に係る遅延回路50の回路図である。

[図10]第2実施形態に係るタイミング調整回路64の動作を説明する図である。

[図11]第2実施形態に係るタイミング調整回路64の回路図である。

[図12]第2実施形態の変形例に係る発光装置1の構造を示す回路図である。

[図13]第3実施形態に係る発光装置1のL D D能力切替回路65の動作を説明する図である。

[図14]第3実施形態に係るL D D能力切替回路65の回路図である。

[図15]第3実施形態の第1変形例に係るL D D能力切替回路65の回路図である。

[図16]第3実施形態の第2変形例における発光装置1の回路図である。

[図17]第4実施形態に係る測距装置100のフローチャートの例である。

[図18]第5実施形態に係る測距装置100のフローチャートの例である。

[図19]第6実施形態に係る測距装置100のフローチャートの例である。

[図20]第7実施形態に係る測距装置100のフローチャートの例である。

[図21]第8実施形態の発光装置1aの構造を示す回路図である。

[図22]第8実施形態の第1変形例の発光装置1aの構造を示す回路図である

。

[図23]第8実施形態の第2変形例の発光装置1aの構造を示す回路図である

。

[図24]第8実施形態の第3変形例の発光装置1aの構造を示す回路図である

。

[図25]第8実施形態の第4変形例の発光装置1aの構造を示す回路図である

。

[図26]第8実施形態の第4変形例の発光装置1aの構造を示す別の回路図である。

[図27]第8実施形態の第5変形例の発光装置1aの構造の種々の例を示す回路図である。

[図28]第8実施形態の第6変形例の発光装置1aの構造を示す回路図である

。

[図29]第8実施形態の第6変形例の発光装置1aの動作を示すタイミングチャートである。

[図30]第9実施形態の発光装置1aの構造を示す回路図である。

[図31]車両制御システムの構成例を示すブロック図である。

[図32]図31の車両制御システムの外部認識センサのセンシング領域の例を示す図である。

発明を実施するための形態

[0029] 以下、図面を参照して、発光装置の実施形態について説明する。以下では、発光装置の主要な構成部分を中心に説明するが、発光装置には、図示又は

説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0030] (第1実施形態)

(1) 第1実施形態の測距装置

(1.1) 測距装置の構成

本実施形態による発光装置1は、例えば、非接触で物体までの距離を計測する測距装置(測距モジュールとも呼ばれる)で用いることができる。測距装置では、発光装置1の発光信号が対象物で反射されて、その反射光信号を受光する受光装置が必要となる。発光装置1と受光装置は、別個に配置してもよいし、共通の支持部材上に配置してもよい。

[0031] 図1は、発光装置1aの断面図である。図1における発光装置1aは、上述の発光部2を含むLD(Laser Diode)チップ11と、上述の駆動部3を含むLDD(Laser Diode Driver)基板12と、実装基板13と、放熱基板14と、補正レンズ保持部15と、1つ以上の補正レンズ16と、配線17とを備えている。LDチップ11は、VCSEL基板とも呼ばれる。

[0032] 図1は、互いに垂直なX軸、Y軸、およびZ軸を示している。+Z方向は上方向に相当し、-Z方向は下方向に相当する。なお、-Z方向は、厳密に重力方向に一致していてもよいし、厳密には重力方向に一致していなくてもよい。

[0033] LDチップ11は、放熱基板14を介して実装基板13上に配置され、LDD基板12も、実装基板13上に配置されている。実装基板13は、例えばプリント基板である。実装基板13にはさらに、受光部および信号処理部が配置されていてもよい。放熱基板14は、例えば酸化アルミニウム基板や窒化アルミニウム基板等のセラミック基板である。

[0034] 補正レンズ保持部15は、LDチップ11を囲むように放熱基板14上に配置されており、LDチップ11の上方に1つ以上の補正レンズ16を保持している。これらの補正レンズ16は、後述の発光側光学系に含まれている。LDチップ11内の発光部2から発光された光は、これらの補正レンズ1

6により補正された後、上述の被写体Sに照射される。図1は、一例として、補正レンズ保持部15に保持された2つの補正レンズ16を示している。

[0035] 配線17は、実装基板13の表面、裏面、内部等に設けられており、LEDチップ11とLED基板12とを電氣的に接続している。配線17は例えば、実装基板13の表面や裏面に設けられたプリント配線や、実装基板13を貫通するビア配線である。本実施形態の配線17はさらに、放熱基板14の内部または付近を通過している。

[0036] 図2は本実施形態に係る発光装置1の一実装例としての測距装置100の構成例を示すブロック図である。

[0037] 図示のように測距装置100は、発光部101、駆動部102、電源回路103、発光側光学系104、受光側光学系105、受光部106、信号処理部107、制御部108、および温度検出部109を備えている。

[0038] 発光部101は、複数の光源により光を発する。発光部101と発光側光学系104は、上述した発光装置1に対応する。後述するように、本例の発光部101は、各光源としてVCSELによる発光素子を有しており、それら発光素子が例えばマトリクス状等の所定態様により配列されて構成されている。

[0039] 駆動部102は、発光部101を駆動するための電源回路103を有して構成される。電源回路103は、例えば測距装置100に設けられた不図示のバッテリー等からの入力電圧に基づき、駆動部102の電源電圧を生成する。駆動部102は、該電源電圧に基づいて発光部101を駆動する。

[0040] 発光部101より発せられた光は、発光側光学系104を介して測距対象としての被写体（対象物）Sに照射される。そして、このように照射された光の被写体Sからの反射光は、受光側光学系105を介して受光部106の受光面に入射する。

[0041] 受光部106は、例えばCCD（Charge Coupled Device）センサやCMOS（Complementary Metal Oxide Semiconductor）センサ等の受光素子とされ、上記のように受光側光学系105を介して入射する被写体Sからの反射光

を受光し、電気信号に変換して出力する。

[0042] 受光部 106 は、受光した光を光電変換して得た電気信号について、例えば CDS (Correlated Double Sampling) 処理、AGC (Automatic Gain Control) 処理等を実行し、さらに A/D (Analog/Digital) 変換処理を行う。そしてデジタルデータとしての信号を、後段の信号処理部 107 に出力する。

[0043] また、本例の受光部 106 は、フレーム同期信号 F_s を駆動部 102 に出力する。これにより駆動部 102 は、発光部 101 における発光素子を受光部 106 のフレーム周期に応じたタイミングで発光させることが可能とされる。

[0044] 信号処理部 107 は、例えば DSP (Digital Signal Processor) 等により信号処理プロセッサとして構成される。信号処理部 107 は、受光部 106 から入力されるデジタル信号に対して、各種の信号処理を施す。

[0045] 制御部 108 は、例えば CPU (Central Processing Unit)、ROM (Read Only Memory)、RAM (Random Access Memory) 等を有するマイクロコンピュータ、或いは DSP 等の情報処理装置を備えて構成され、発光部 101 による発光動作を制御するための駆動部 102 の制御や、受光部 106 による受光動作に係る制御を行う。

[0046] 制御部 108 は、測距部 108a としての機能を有する。測距部 108a は、信号処理部 107 を介して入力される信号（つまり被写体 S からの反射光を受光して得られる信号）に基づき、被写体 S までの距離を検出する。本例の測距部 108a は、被写体 S の三次元形状の特定を可能とするために、被写体 S の各部について距離の検出を行う。

[0047] ここで、測距装置 100 における具体的な測距の手法については後に改めて説明する。

[0048] 温度検出部 109 は、発光部 101 の温度を検出する。温度検出部 109 としては、例えばダイオードを用いて温度検出を行う構成を採ることができる。

[0049] 本例では、温度検出部 109 により検出された温度の情報は駆動部 102

に供給され、これにより駆動部 102 は該温度の情報に基づいて発光部 101 の駆動を行うことが可能とされる。

[0050] (1. 2) 測距手法

測距装置 100 における測距手法としては、例えば S T L (Structured Light : 構造化光) 方式や T o F (Time of Flight : 光飛行時間) 方式による測距手法を採用することができる。

[0051] S T L 方式は、例えばドットパターンや格子パターン等の所定の明／暗パターンを有する光を照射された被写体 S の画像に基づいて距離を検出する方式である。

[0052] 図 3 は、第 1 実施形態の S T L 方式を説明するための図である。

[0053] 図 3 A は、S T L 方式の説明図である。S T L 方式では、例えば図 3 A に示すようなドットパターンによるパターン光 L p を被写体 S に照射する。パターン光 L p は、複数のブロック B L に分割されており、各ブロック B L にはそれぞれ異なるドットパターンが割当てられている（ブロック B 間でドットパターンが重複しないようにされている）。

[0054] 図 3 B は、S T L 方式の測距原理についての説明図である。

[0055] ここでは、壁 W とその前に配置された箱 B X とが被写体 S とされ、該被写体 S に対してパターン光 L p が照射された例としている。図中の「G」は受光部 106 による画角を模式的に表している。

[0056] また、図中の「B L n」はパターン光 L p における或るブロック B L の光を意味し、「d n」は受光部 106 による受光画像に映し出されるブロック B L n のドットパターンを意味している。

[0057] ここで、壁 W の前の箱 B X が存在しない場合、受光画像においてブロック B L n のドットパターンは図中の「d n'」の位置に映し出される。すなわち、箱 B X が存在する場合と箱 B X が存在しない場合とで、受光画像においてブロック B L n のパターンが映し出される位置が異なるものであり、具体的には、パターンの歪みが生じる。

[0058] S T L 方式は、このように照射したパターンが被写体 S の物体形状によっ

て歪むことを利用して被写体Sの形状や奥行きを求める方式となる。具体的には、パターンの歪み方から被写体Sの形状や奥行きを求める方式である。

[0059] STL方式を採用する場合、受光部106としては、例えばグローバルシャッタ方式によるIR（Infrared：赤外線）受光部が用いられる。そして、STL方式の場合、測距部108aは、発光部101がパターン光を発光するように駆動部102を制御すると共に、信号処理部107を介して得られる画像信号についてパターンの歪みを検出し、パターンの歪み方に基づいて距離を計算する。

[0060] 続いて、ToF方式は、発光部101より発された光が対象物で反射されて受光部106に到達するまでの光の飛行時間（時間差）を検出することで、対象物までの距離を検出する方式である。

[0061] ToF方式として、いわゆるダイレクトToF（dT0F）方式を採用する場合、受光部106としてはSPAD（Single Photon Avalanche Diode）を用い、また発光部101はパルス駆動する。この場合、測距部108aは、信号処理部107を介して入力される信号に基づき、発光部101より発せられ受光部106により受光される光について発光から受光までの時間差を計算し、該時間差と光の速度とに基づいて被写体Sの各部の距離を計算する。

[0062] なお、ToF方式として、いわゆるインダイレクトToF（iT0F）方式（位相差法）を採用する場合、受光部106としては例えばIRを受光することのできる受光部が用いられる。

[0063] （2）第1実施形態の発光装置1

図4は第1実施形態に係る発光装置1の回路図である。

[0064] 図4に示すように、第1実施形態に係る発光装置1は、2次元アレイ状に配置された複数の発光素子23と、これらの発光素子23に電氣的に接続される複数のトランジスタ24とを備える。これらのトランジスタ24は、例えばN型のMOS（Metal-Oxide-Semiconductor）トランジスタである。図4は、第1実施形態に係る発光装置1が9×9個の発光素子23と9×9個のトランジスタ24とを備える例を示す。よって、図4に示す発光装置1は、

9 c h × 9 c h の発光素子アレイを備える。なお、発光素子アレイのチャンネル数は任意である。

[0065] 第1実施形態に係る発光装置1はさらに、図4に示すように、第1アノード配線31と、第2アノード配線32と、第3アノード配線33と、複数の第1キャパシタ34と、複数の第2キャパシタ35と、複数の第3キャパシタ36と、第1選択回路37と、第2選択回路38と、第3選択回路39と、複数のカソード配線41と、複数のゲート配線42とを備える。第1～第3アノード配線31～33は、本開示の第1端子配線の一例であり、カソード配線41は、本開示の第2端子配線の一例である。また、第1～第3キャパシタ34～36は、本開示の第1～第Mキャパシタの例であり、第1～第3選択回路37～39は、本開示の第1～第M選択回路の例である（Mは2以上の整数）。図4は、Mが3である例を示す。

[0066] 第1端子配線は、第1方向Xに延びるM本の第1配線（Mは2以上の整数）31a、32a、33aと、第1方向Xに交差する第2方向Yに延びてM本の第1配線31a、32a、33aにそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）31b、32b、33bとを含む。図4は、M=3、N=3の例を示す。第1端子配線は、複数の発光素子23の第1端子に電氣的に接続される。本明細書では、互いに接続される第1配線31aと第2配線31bを第1アノード配線31と呼び、互いに接続される第2配線32aと第2配線32bを第2アノード配線32と呼び、互いに接続される第3配線33aと第3配線33bを第3アノード配線33と呼ぶ。また、本明細書では、第1方向Xを横方向、第2方向Yを縦方向と呼ぶことがある。また、以下では、第1端子配線および前記複数の第2端子配線の一方のことをアノード配線と呼ぶことがあり、第1端子配線および前記複数の第2端子配線の他方のことをカソード配線と呼ぶことがある。

[0067] 第1実施形態に係る発光装置1は、第1～第3アノード配線31～33を一組とするL（Lは1以上の整数）組の第1～第3アノード配線31～33を備える。図4はL=5の例を示す。

- [0068] 5組の第1アノード配線31は、それぞれが第1方向X（横方向）に延びて第2方向Y（縦方向）に沿って配置される複数（例えば5本）の第1配線31aと、それぞれが第2方向Y（縦方向）に延びて第1方向X（横方向）に沿って配置される複数（例えば5本）の第2配線31bとを有する。本明細書では、第1配線31aを第1横配線31aと呼び、第2配線31bを第1縦配線31bと呼ぶことがある。
- [0069] 5組の第2アノード配線32は、それぞれが第1方向X（横方向）に延びて第2方向Y（縦方向）に沿って配置される複数（例えば5本）の第1配線32aと、それぞれが第2方向Y（縦方向）に延びて第1方向X（横方向）に沿って配置される複数（例えば5本）の第2配線32bとを有する。本明細書では、第1配線32aを第2横配線32aと呼び、第2配線32bを第2縦配線32bと呼ぶことがある。
- [0070] 5組の第3アノード配線33は、それぞれが第1方向X（横方向）に延びて第2方向Y（縦方向）に沿って配置される複数（例えば5本）の第1配線33aと、それぞれが第2方向Y（縦方向）に延びて第1方向X（横方向）に沿って配置される複数（例えば5本）の第2配線33bとを有する。本明細書では、第1配線33aを第3横配線33aと呼び、第2配線33bを第3縦配線33bと呼ぶことがある。
- [0071] 図4は、第1実施形態に係る発光装置1が、5本の第1横配線31aと、5本の第1縦配線31bと、5本の第2横配線32aと、5本の第2縦配線32bと、5本の第3横配線33aと、5本の第3縦配線33bとを備える例を示す。図4は、M本の第1配線およびN本の第2配線がL組設けられる例を示す。図4に示す発光素子23の個数は、NおよびLで表すと、 $M(L-2) \times N(L-2)$ 個である。
- [0072] なお、第1～第3アノード配線31～33は、La組の第1～第M横配線と、Lb組の第1～第N縦配線とを含んでもよい（LaおよびLbは、 $La \neq Lb$ を満たす2以上の整数）。この場合、発光装置1の発光素子23の個数は、 $M(La-2) \times N(Lb-2)$ 個となる。

[0073] 第1選択回路37は、直列に接続されるトランジスタ37a、37bを含む。同様に、第2選択回路38は、直列に接続されるトランジスタ38a、38bを含む。同様に、第3選択回路39は、直列に接続されるトランジスタ39a、39bを含む。トランジスタ37a、38a、39aは、例えばP型のMOSトランジスタである。トランジスタ37b、38b、39bは、例えばN型のMOSトランジスタである。トランジスタ37a、38a、39aは、本開示の第1スイッチの例である。トランジスタ37b、38b、39bは、本開示の第2スイッチの例である。

[0074] [第1～第3アノード配線31～33]

図4は、第1～第3アノード配線31～33を互いに区別するため、第1アノード配線31を太い実線で示し、第2アノード配線32を太い破線で示し、第3アノード配線33を細い実線で示す。

[0075] 第1アノード配線31は、複数の第1横配線31aおよび複数の第1縦配線31bがメッシュ状に配置された構造を有する。これらの第1横配線31aおよび第1縦配線31bは、第1横配線31aと第1縦配線31bとが交差する箇所で、互いに電氣的に接続される。同様に、第2アノード配線32は、互いに電氣的に接続される複数の第2横配線32aおよび複数の第2縦配線32bを含み、第3アノード配線33は、互いに電氣的に接続される複数の第3横配線33aおよび複数の第3縦配線33bを含む。一方、第1～第3アノード配線31～33は、互いに電氣的に絶縁されている。

[0076] 第1～第3横配線31a～33aは、第1方向X（横方向）に延び、第2方向Y（縦方向）に互いに隣接している。第1～第3横配線31a～33aは、図4では第1方向Xに直線状に延びているが、第1方向Xに曲線状に延びていてもよい。即ち、第1～第3横配線31a～33aは、折れ曲がり部分を含んでいてもよい。

[0077] 一方、第1～第3縦配線31b～33bは、第2方向Yに延び、第1方向Xに互いに隣接している。第1～第3縦配線31b～33bは、図4では第2方向Yに直線状に延びているが、第2方向Yに曲線状に延びていてもよい。

。即ち、第1～第3縦配線31b～33bも、折れ曲がり部分を含んでもよい。

[0078] 図4は、5組の第1～第3横配線（第1配線）31a～33aを示す。図4では、1組目、2組目、3組目、4組目、および5組目の第1～第3横配線31a～33aが、上から下に順に並んでいる。各組では、第1横配線31aと、第2横配線32aと、第3横配線33aが、上から下に順に並んでいる。1組目の第1～第3横配線31a～33aと、5組目の第1～第3横配線31a～33aは、9×9個の発光素子23を挟むように配置されている。2～4組目の第1～第3横配線31a～33aの各々は、1行（9個）の発光素子23に沿って配置されている。

[0079] 図4はさらに、5組の第1～第3縦配線（第2配線）31b～33bを示す。図4では、1組目、2組目、3組目、4組目、および5組目の第1～第3縦配線31b～33bが、左から右に順に並んでいる。各組では、第1縦配線31bと、第2縦配線32bと、第3縦配線33bが、左から右に順に並んでいる。1組目の第1～第3縦配線31b～33bと、5組目の第1～第3縦配線31b～33bは、9×9個の発光素子23を挟むように配置されている。2～4組目の第1～第3縦配線31b～33bの各々は、1列（9個）の発光素子23に沿って配置されている。

[0080] 各発光素子23のアノードは、第1～第3縦配線31b～33bのいずれかに電氣的に接続される。例えば、最も左の列の発光素子23は、2組目の第1～第3縦配線31b～33b内の第1縦配線31bに電氣的に接続される。また、最も右の列の発光素子23は、4組目の第1～第3縦配線31b～33b内の第3縦配線33bに電氣的に接続される。なお、各発光素子23のアノードは、第1～第3縦配線31b～33bのいずれかに電氣的に接続される代わりに、第1～第3横配線31a～33aのいずれかに電氣的に接続されてもよい。アノードは、本開示の第1端子の例である。

[0081] [カソード配線41]

各カソード配線41は、第1方向Xに延びており、3つの発光素子23の

カソードに電氣的に接続される。具体的には、各カソード配線4 1は、第1縦配線3 1 bに電氣的に接続される1つの発光素子2 3と、第2縦配線3 2 bに電氣的に接続される1つの発光素子2 3と、第3縦配線3 3 bに電氣的に接続される1つの発光素子2 3とに電氣的に接続される。これら3つの発光素子2 3は、第1方向Xに互いに隣接している。図4は、81個の発光素子2 3用の27本のカソード配線4 1を示す。カソードは、本開示の第2端子の例である。各カソード配線4 1に接続される発光素子2 3の数は、3つに限定されない。各カソード配線4 1には、P個（Pは2以上の整数）の発光素子2 3のカソードが電氣的に接続されていればよい。

[0082] 上述した説明では、複数の発光素子2 3が、第1～第M横配線と、第1～第N縦配線と、P個に電氣的に接続された複数の第2端子配線とに接続される例を説明したが、本開示に係る発光装置は、第1～第M横配線と、第1～第N縦配線と、P個に電氣的に接続された複数の第2端子配線とのすべてを備えている必要はない。例えば、複数の発光装置が、第1～第M横配線と、単一の縦配線と、単一の第2端子配線に接続される構成等も取り得る。

[0083] 各発光素子2 3は、対応するアノード配線、即ち、第1～第3アノード配線3 1～3 3のうちのいずれか1本と、対応するカソード配線、即ち、複数のカソード配線4 1のうちのいずれか1本との間に設けられている。各発光素子2 3は、対応するアノード配線と対応するカソード配線との間に電流が流れることで、光を出射する。

[0084] [ゲート配線4 2]

各ゲート配線4 2は、第1方向Xに延びており、3つのトランジスタ2 4のゲートに電氣的に接続される。これら3つのトランジスタ2 4のソースは、接地配線（GND）に電氣的に接続されており、これら3つのトランジスタ2 4のドレインは、同じ1本のカソード配線4 1に電氣的に接続される。これら3つのトランジスタ2 4は、1つの駆動回路Eを形成している。図4は、81個のトランジスタ2 4用の27本のゲート配線4 2を示す。

[0085] 各駆動回路Eは、1本のカソード配線4 1を介して、3つの発光素子2 3

のカソードに電氣的に接続される。各駆動回路E（出力段）Eは、発光素子23を駆動させて、発光素子23から光を発生（出力）させるために用いられる。例えば、ある発光素子23から光を発生させる場合には、この発光素子23用の駆動回路Eのゲート配線42に所定の信号を印加する。これにより、この駆動回路E内の各トランジスタ24のソースとドレインとが導通し、この発光素子23に電流を流すことが可能となる。この発光素子23に電流が流れると、この発光素子23から光が発生する。図4に示す発光装置1は、81個の発光素子23用に27個の駆動回路Eを備える。

[0086] [第1～第3選択回路37～39]

第1～第3選択回路37～39はそれぞれ、第1～第3アノード配線31～33の第1～第3横配線31a～33aに電氣的に接続される。第1選択回路37は、第1アノード配線31に電氣的に接続される発光素子23を、光を発生させる発光素子23として選択するために用いられる。第2選択回路38は、第2アノード配線32に電氣的に接続される発光素子23を、光を発生させる発光素子23として選択するために用いられる。第3選択回路39は、第3アノード配線33に電氣的に接続される発光素子23を、光を発生させる発光素子23として選択するために用いられる。第1～第3選択回路37～39はそれぞれ、第1～第3アノード配線31～33の第1～第3横配線31a～33aの代わりに、第1～第3アノード配線31～33の第1～第3縦配線31b～33bに電氣的に接続されていてもよい。

[0087] 第1選択回路37は、電源配線（VDD）に電氣的に接続されるソースを有するトランジスタ37aと、接地配線に電氣的に接続されるソースを有するトランジスタ37bとを含む。トランジスタ37aのドレインと、トランジスタ37bのドレインは、第1アノード配線31に電氣的に接続される。第1選択回路37は、第1アノード配線31を介して、各第1キャパシタ34に電氣的に接続される。

[0088] トランジスタ37aは、各第1キャパシタ34に電荷を蓄積するために用いられる。トランジスタ37bは、各第1キャパシタ34から電荷を放電す

るために用いられる。トランジスタ 37 a のゲートに所定の信号を印加すると、各第 1 キャパシタ 34 に電荷が蓄積される。トランジスタ 37 b のゲートに所定の信号を印加すると、各第 1 キャパシタ 34 から電荷が放電される。よって、本実施形態によれば、第 1 選択回路 37 により第 1 ～第 3 キャパシタ 34 ～36 のうちの第 1 キャパシタ 34 に電荷を選択的に蓄積することで、第 1 アノード配線 31 に電氣的に接続される各発光素子 23 に電流を流すことができる。

[0089] 第 2 および第 3 選択回路 38、39 の構造は、図 4 に示すように、第 1 選択回路 37 の構造と同様である。よって、本実施形態によれば、第 2 選択回路 38 により各第 2 キャパシタ 35 に電荷を蓄積することで、第 2 アノード配線 32 に電氣的に接続される各発光素子 23 に電流を流すことができる。さらに、本実施形態によれば、第 3 選択回路 39 により各第 3 キャパシタ 36 に電荷を蓄積することで、第 3 アノード配線 33 に電氣的に接続される各発光素子 23 に電流を流すことができる。

[0090] [第 1 ～第 3 キャパシタ 34 ～36]

第 1 ～第 3 キャパシタ 34 ～36 はそれぞれ、第 1 ～第 3 アノード配線 31 ～33 に電氣的に接続される。各第 1 キャパシタ 34 は、第 1 アノード配線 31 と電氣的に接続される発光素子 23 に供給する電荷を蓄積する。各第 2 キャパシタ 35 は、第 2 アノード配線 32 と電氣的に接続される発光素子 23 に供給する電荷を蓄積する。各第 3 キャパシタ 36 は、第 3 アノード配線 33 と電氣的に接続される発光素子 23 に供給する電荷を蓄積する。本実施形態によれば、第 1 ～第 3 キャパシタ 34 ～36 から各発光素子 23 に電荷を供給することで、各発光素子 23 に電流を流すことができる。第 1 ～第 3 キャパシタ 34 ～36 の各々は、第 1 ～第 3 アノード配線 31 ～33 のいずれかに電氣的に接続される一方の電極と、接地配線に電氣的に接続される他方の電極とを備える。

[0091] 図 4 に示す発光装置 1 は、2 次元アレイ状に配置された 9 × 9 個の発光素子 23 を含む発光素子アレイを備える。この発光素子アレイの形状は、図 4

に示すように、平面視でおおむね正方形となっている。図4に示す発光装置1は、この正方形の4辺の付近に、4組の第1～第3キャパシタ34～36を備える。具体的には、図4に示す発光装置1は、正方形の上辺付近に1組目の第1～第3キャパシタ34～36を備え、正方形の右辺付近に2組目の第1～第3キャパシタ34～36を備え、正方形の下辺付近に3組目の第1～第3キャパシタ34～36を備え、正方形の左辺付近に4組目の第1～第3キャパシタ34～36を備える。これらの第1～第3キャパシタ34～36は、本開示のK組の第1～第Mキャパシタの例である（Kは2以上の整数）。図4は、Kが4である例を示す。

[0092] 1組目や3組目の第1～第3キャパシタ34～36はそれぞれ、第1～第3アノード配線31～33の第1～第3横配線31a～33aに電氣的に接続される。一方、2組目や4組目の第1～第3キャパシタ34～36はそれぞれ、第1～第3アノード配線31～33の第1～第3縦配線31b～33bに電氣的に接続される。その結果、図4に示す第1～第3キャパシタ34～36はそれぞれ、第1～第3アノード配線31～33に電氣的に接続される。

[0093] 各組では、第1～第3キャパシタ34～36が、時計周りに順に並んでいる。例えば、1組目の第1キャパシタ34、第2キャパシタ35、および第3キャパシタ36はそれぞれ、正方形の上辺付近で左側、中央、および右側に配置されている。また、2組目の第1キャパシタ34、第2キャパシタ35、および第3キャパシタ36はそれぞれ、正方形の右辺付近で上側、中央、および下側に配置されている。その結果、図4に示す4組の第1～第3キャパシタ34～36は、正方形の中心に対し対称に配置されている。正方形の中心はおおむね、9×9個の発光素子23のうちの5行目かつ5列目の発光素子23の位置に位置している。図4では、4組の第1～第3キャパシタ34～36の配置が、4回回転対称（90度回転対称）となっている。

[0094] 本実施形態によれば、各発光素子23と、対応する4つキャパシタとの平均距離を、別の発光素子23と、対応する4つのキャパシタとの平均距離と

近い値に設定することが可能となる。

[0095] 例えば、左上端の発光素子 23 は、上側の第 1 キャパシタ 34 には近いが、下側の第 1 キャパシタ 34 からは遠い。一方、右下端の発光素子 23 は、右側の第 3 キャパシタ 36 には近いが、左側の第 3 キャパシタ 36 からは遠い。よって、左上端の発光素子 23 と 4 つの第 1 キャパシタ 34 との平均距離は、右下端の発光素子 23 と 4 つの第 3 キャパシタ 36 との平均距離と近い値となる。これは、その他の 79 個の発光素子 23 についても同様である。これにより、各発光素子 23 と、対応する 4 つのキャパシタとの間のアノード配線に関し、異なる発光素子 23 の配線間のインピーダンスの差を小さくすることが可能となる。

[0096] 本実施形態の発光装置 1 は、正方形の 4 辺のうちの 1 辺、2 辺、または 3 辺付近のみに、第 1～第 3 キャパシタ 34～36 を備えていてもよい。ただし、この場合の第 1～第 3 キャパシタ 34～36 も、正方形の中心に対し対称または対称に近い形状に配置することが望ましい。そのため、本実施形態の発光装置 1 は、正方形の 4 辺のうちの 2 辺以上に、第 1～第 3 キャパシタ 34～36 を備えることが望ましい。例えば、正方形の上辺および下辺付近に 2 組の第 1～第 3 キャパシタ 34～36 を配置することで、2 回回転対称（180 度回転対称）の配置を実現することが可能となる。

[0097] また、本実施形態の発光装置 1 は、LDD 出力電流 I_{DLF} のピーク値 I_{peak} 、LDD 出力電流 I_{DLF} のパルス幅 W 、または LDD 出力電流 I_{DLF} の出力タイミング（つまり発光素子 23 の発光タイミング）を制御し、発光パルスの出力を制御する発光パルス制御機構 70 を有する。この例では、発光パルス制御機構 70 は、各駆動回路 E のゲートに電氣的に接続され、駆動回路の印加電圧を制御する。発光パルス制御機構 70 の詳細については後述する。

[0098] 図 5 は、第 1 実施形態に係る選択回路 37、38、39、発光素子 23、駆動回路 E および発光パルス制御機構 70 の接続関係を示す回路図の例である。

[0099] 図 5 は、第 2 方向 Y（縦方向）に配置される 3 つの選択回路 37、38、

39と、第1方向X（横方向）に配置される2つの駆動回路E a、E bのそれぞれに接続される複数の発光素子23 a、23 b、23 c、23 d、23 e、23 fと、2つの駆動回路E a、E bのそれぞれに接続される発光パルス制御機構70 a、70 bを示す。2つの駆動回路E a、E bのそれぞれは、トランジスタ24 a、24 bを有する。

[0100] 図5では、第1アノード配線31をA n o d e 1、第2アノード配線32をA n o d e 2、第3アノード配線33をA n o d e 3と呼ぶ。A n o d e 1に流れる電流は第1選択回路37とキャパシタ34により制御され、A n o d e 2に流れる電流は第2選択回路38とキャパシタ35により制御され、A n o d e 3に流れる電流は第3選択回路39とキャパシタ36により制御される。また、図5では駆動回路E aに接続されるカソード配線41をC a t h o d e 1、駆動回路E bに接続されるカソード配線41をC a t h o d e 2と呼ぶ。

[0101] 図5に示すように、第1選択回路37には第1キャパシタ34が接続され、第2選択回路38には第2キャパシタ35が接続され、第3選択回路39には第3キャパシタ36が接続される。図4に示すように、第1選択回路37には複数の複数の第1キャパシタ34が接続されることがあるが、図5では簡略化のために第1選択回路37に1個の第1キャパシタ34が接続される例を示す。同様に、図5では第2選択回路38、第3選択回路39にも、第2キャパシタ35、第3キャパシタ36がそれぞれ1つずつ接続されている。

[0102] 第1選択回路37は、第1キャパシタ34の充電および放電を制御する。第1キャパシタ34に充電された電荷は、第1キャパシタ34に接続される行のすべての発光素子23（図5では、発光素子23 a、23 d）を発光させるために用いられる。より具体的には、第1キャパシタ34の放電電流は、第1キャパシタ34に接続される発光素子23 a、23 dのアノード（A n o d e 1）に供給される。同様に、第2キャパシタ35の放電電流は、第2キャパシタ35に接続される行のすべての発光素子23（図5では、発光

素子 23 b、23 e) のアノード (A n o d e 2) に供給される。また、第 3 キャパシタ 3 6 の放電電流は、第 3 キャパシタ 3 6 に接続される行のすべての発光素子 23 (図 5 では、発光素子 23 c、23 f) のアノード (A n o d e 3) に供給される。

[0103] 駆動回路 E a は、接続された発光素子 23 (図 5 では、発光素子 23 a、23 b、23 c) の駆動を制御する。駆動回路 E a はトランジスタ 24 a を有する。トランジスタ 24 a は、発光素子 23 a、23 b、23 c のカソードと基準電圧 (例えば接地電圧) ノードとの間に接続される。トランジスタ 24 a がオンすると、トランジスタ 24 a のドレインに接続された発光素子 23 (23 a、23 b および 23 c) のカソード (C a t h o d e 1) 電圧が基準電圧 (例えば、G N D) まで低下する。例えば第 1 キャパシタ 3 4 が充電されていた場合、第 1 キャパシタ 3 4 の放電電流が、第 1 キャパシタ 3 4 と駆動回路 E a とに接続されている発光素子 23 a のアノードーカソード間を流れて、発光素子 23 a が発光する。同様に、第 2 キャパシタ 3 5 又は第 3 キャパシタ 3 6 が充電されている場合、駆動回路 E a は、発光素子 23 b 又は 23 c を駆動させ、発光させることができる。また、駆動回路 E b は、駆動回路 E a と同様に、カソード (C a t h o d e 2) 電圧を低下させることで、駆動回路 E b に接続された発光素子 23 (図 5 では、発光素子 23 d、23 e および 23 f) の駆動を制御する。駆動回路 E b はトランジスタ 24 b を有する。トランジスタ 24 b は、発光素子 23 d、23 e、23 f のカソードと基準電圧 (例えば接地電圧) ノードとの間に接続される。

[0104] また、駆動回路 E a の動作は、発光パルス制御機構 70 a によって制御される。駆動回路 E a は、発光パルス制御機構 70 a から出力されるトリガ信号 T R I G _ O によって駆動し、トランジスタ 24 a がオンとなる。これにより、発光素子 23 a の発光によって生成される発光パルスの出力が制御される。また、駆動回路 E a と同様に、駆動回路 E b の動作は、発光パルス制御機構 70 b によって制御される。

[0105] 図 6 は、第 1 実施形態に係る発光装置 1 の動作を説明する図である。

[0106] 図6A～図6Bでは、一例として、発光素子23aが発光するときの動作を示す。発光対象の発光素子23aは、アノード（A n o d e 1）がアノード配線31を介して第1キャパシタ34および第1選択回路37に接続されている。発光素子23aは、カソード（C a t h o d e 1）が駆動回路E aに接続されている。

[0107] 図6Aは、第1キャパシタ34の充電を示す図である。第1選択回路37において、トランジスタ37aがオンされ、トランジスタ37bがオフされる。これにより、電源配線（V D D）から第1キャパシタ34に電荷が供給され、第1キャパシタ34が充電される。また、駆動回路E aにおいて、トランジスタ24aはオフされている。これにより、発光素子23aのカソード電圧が低下せず、発光素子23aのアノードーカソード間に電流は流れない。

[0108] 図6Bは、発光素子23aの発光を示す図である。図6Aで第1キャパシタ34が充電された後、駆動回路E aにおいて、発光パルス制御機構70aの動作に基づいて、トランジスタ24aがオンされる。これにより、発光素子23aのカソード電圧が低下する。第1キャパシタ34から電荷が放電されて、発光素子23aのアノードーカソード間に電流が流れることにより、発光素子23aが発光する。発光素子23aと、発光素子23bとの動作は同様であるため、以下、主に発光素子23aの動作について説明する。

[0109] 図7は、第1実施形態に係る発光装置1aの性能について説明するためのグラフである。

[0110] 図7の縦軸は、L D D（Laser Diode Driver）出力電流（L D D基板から各発光素子23への出力電流）を表しており、図7の横軸は、時間を表している。図7は、L D D出力電流の波形（発光パルス波形）を示している。図7はさらに、L D D出力電流 I_{DLF} のピーク値 I_{peak} と、L D D出力電流 I_{DLF} のパルス幅 W と、L D D出力電流 I_{DLF} の半値幅 W' とを示している。

[0111] 測距装置100の性能を向上させるためには、L D D出力電流 I_{DLF} のピーク値 I_{peak} を高くし、パルス幅 W （または半値幅 W' ）を短くすることが望まし

い。本実施形態によれば、各配線のインピーダンスや、配線間のインピーダンスの差を小さくすることにより、ピーク値 I_{peak} を高くすることや、パルス幅 W （または半値幅 W' ）を短くすることが可能となる。

[0112] 本実施形態では、パルス幅 W を可変とする遅延回路を有する発光装置 1 a について説明する。

[0113] 図 8 は、第 1 実施形態の発光装置 1 に係る遅延回路 5 0 の動作を説明する図である。

[0114] 図 8 A は、第 1 実施形態の発光装置 1 について、主に第 1 キャパシタ 3 4、寄生インダクタ L_1 、発光素子 2 3 a、トランジスタ 2 4 a、論理積 6 0 および遅延回路 5 0 の接続関係を示す回路図である。本実施形態に係る発光装置 1 は、発光パルス制御機構 7 0 として、制御部 1 0 8 から出力されるトリガ信号 $TRIG_O$ に基づいて、トリガ信号 $TRIG_O$ の遅延信号であるディレイ信号 $Delay$ を生成する遅延回路 5 0 を備える。また、遅延回路 5 0 は、チャンネル毎に備えられる。発光装置 1 は、トリガ信号 $TRIG_O$ およびディレイ信号 $Delay$ に基づいて、駆動回路 E のトランジスタ 2 4 のゲート配線 4 2 に制御信号 V_g を印加する。論理積 6 0 は、トリガ信号 $TRIG_O$ と、ディレイ信号 $Delay$ の論理否定とを入力として受け付けて、制御信号 V_g を出力する。制御信号 V_g は、トリガ信号 $TRIG_O$ がハイレベルであり、ディレイ信号 $Delay$ がローレベルである時に、ハイレベルとなり、トリガ信号 $TRIG_O$ がハイレベルであり、ディレイ信号 $Delay$ がハイレベルとなった時に、ローレベルとなる。

[0115] この例では、論理積 6 0 は、トリガ信号 $TRIG_O$ と、ディレイ信号 $Delay$ の論理否定とを入力として受け付けているが、駆動回路 E a の回路構成はこれに限定されない。例えば、トリガ信号 $TRIG_O$ の論理否定と、ディレイ信号 $Delay$ とを入力として受け付けてもよく、または論理積ではなく、否定論理積を用いる等、種々の回路構成としてもよい。

[0116] 図 8 B は、図 8 A に示した回路の波形図の例である。上述の通り、制御信号 V_g は、トリガ信号 $TRIG_O$ がハイレベルとなった時にハイレベルと

なり、トランジスタ24aにおけるソースとドレインとが導通し、発光素子23に電流が流れる。発光素子23に電流が流れると、光が発生する。また、制御信号Vgは、ディレイ信号Delayがハイレベルとなった時にローレベルとなり、トランジスタ24におけるソースとドレインとが非導通となり、発光素子23への電流を遮断する。図8Bのtwは、トランジスタ24aがオンとなる時間を指している。このように、ディレイ信号Delayにより、発光素子23の電流を遮断することで、LDD出力電流 I_{DFF} のパルス幅Wを短く補正することができる。

[0117] 図9は、第1実施形態に係る遅延回路50の回路図である。

[0118] 本実施形態では、ディレイ信号Delayを生成する遅延回路50の例として、図9A～図9Cの回路を取り上げる。図9Aは、インバータチェーン回路55を示しており、図9Bは、RC回路58を示しており、図9Cは、遅延ロックループ(DLL: delay locked loop)回路59を示している。

[0119] 図9Aは、遅延回路50の例として、インバータチェーン回路55を示している。インバータチェーン回路55は、入力として、トランジスタ24aのゲート配線42から、並列にトリガ信号TRIG $\bar{O}$ を受け付けて、インバータ回路57の段数に応じて、トリガ信号TRIG $\bar{O}$ よりも出力タイミング遅延させたディレイ信号Delayを生成する。ディレイ信号Delayは、制御部108から出力されるパルス幅制御信号に基づいて生成される。発光タイミングパルスは、トリガ信号TRIG $\bar{O}$ の例である。デコーダ56は、パルス幅制御信号によって定められた遅延時間に応じて、対応する段のインバータ回路57にハイレベルの選択信号を出力する。インバータ回路57は、選択信号と、並列入力されたトリガ信号TRIG $\bar{O}$ との論理積を演算する。さらにインバータ回路57は、前段のインバータ回路53からのハイレベル信号と、論理積によって演算されたハイレベル信号の次段への出力信号を生成する。このように、インバータチェーン回路55は、遅延時間に応じた段のインバータ回路53に選択信号を入力することで、可変のタイミングでディレイ信号Delayを出力することができる。

[0120] この例では、インバータチェーン回路55は、64段のインバータチェーンを含んでいる。デコーダ56は、6bit分の選択信号を出力し、この選択信号に応じたディレイ信号Delayを出力する。インバータの段数はこれに限定されず、任意の数のインバータを含むことができる。

[0121] 例えば、インバータチェーン回路55では、温度検出部109による温度モニタ結果等を用いて、出力する選択信号の値を可変制御することが考えられる。これにより、インバータチェーン回路55は、動作温度に伴う回路素子の動作のばらつき等を抑制することができる。

[0122] 図9Bは、遅延回路50の例として、RC回路58を示している。RC回路58は、トリガ信号TRIG_Oをトランジスタ24aのゲート配線42から並列に入力し、抵抗RおよびキャパシタCの時定数に応じて、トリガ信号TRIG_Oよりも出力タイミングを遅延させたディレイ信号Delayを出力する。この例では、発光装置1は、RC回路58を用いてディレイ信号Delayを出力するため、シンプルな回路構成とすることができる。また、抵抗RおよびキャパシタCを可変抵抗値および容量値を可変とすることで、任意に時定数を変更することができ、可変のタイミングでディレイ信号Delayを出力することができる。

[0123] 図9Cは、遅延回路50の例として、遅延ロックループ回路59を示している。遅延ロックループ回路59は、複数段の遅延バッファ回路を含み、トリガ信号TRIG_Oをトランジスタ24aのゲート配線42から並列に入力し、トリガ信号TRIG_Oよりも出力タイミングを一定時間分遅延させたディレイ信号Delayを出力する。ディレイ信号Delayの生成にあたり、遅延ロックループ回路59は、パルス幅制御信号の入力に基づいて、任意の数の遅延バッファ回路を動作させることができ、可変のタイミングでディレイ信号Delayを出力する。発光装置1は、遅延ロックループ回路59を用いることで、上述した2つの回路よりも、遅延量のばらつきを抑えることができ、精度よく遅延時間を制御することができる。

[0124] 本実施形態によれば、発光装置1はトランジスタ24aのゲート配線42

に並列に接続され、トランジスタ24aのゲートを可変制御可能な遅延回路50を備える。これにより、発光装置1は、発光素子23の発光期間を変更することができ、発光パルス幅Wを短く補正することができる。

[0125] また、本実施形態によれば、測距装置100は、発光パルス幅Wが短くなるため、アイセーフのマージンが向上し、また、測距距離を向上させることができる。

[0126] (第2実施形態)

図10は、第2実施形態に係るタイミング調整回路64の動作を説明する図である。

[0127] 図10Aは、第1実施形態の発光装置1について、主に第1キャパシタ34、寄生インダクタL1、発光素子23a、トランジスタ24a、プリドライバpreDRVおよびタイミング調整回路64の接続関係を示す回路図である。本実施形態に係る発光装置1は、発光パルス制御機構70として、制御部108から出力されるトリガ信号TRIG_Oの出力タイミングを調整したタイミング調整信号TAを生成するタイミング調整回路64を備える。

[0128] 図10Bは、図10Aに示した回路の波形図の例である。上述の通り、制御信号Vgは、発光タイミングパルスVpulseがハイレベルとなった後、タイミング調整回路64によって発光タイミングが調整され、遅れてハイレベルとなる。

[0129] また、タイミング調整回路64は、チャンネル毎に備えられる。発光装置1は、タイミング調整回路64の動作に基づいて、発光素子23aの発光タイミングを可変とする。

[0130] 図11は、第2実施形態に係るタイミング調整回路64の回路図である。

[0131] 図11は、タイミング調整回路64として、インバータチェーン回路55を示している。インバータチェーン回路55は、トリガ信号TRIG_Oをトランジスタ24aのゲート配線42から並列に入力し、インバータ回路57の段数に応じて、トリガ信号TRIG_Oの出力タイミングを遅延させる。デコーダ56は、トリガ信号TRIG_Oの遅延時間に応じて、対応する

段のインバータ回路 57 にハイレベルの選択信号を出力する。インバータ回路 57 は、選択信号と、並列入力されたトリガ信号 $TRIG_O$ との論理積を演算する。さらにインバータ回路 57 は、前段のインバータ回路 53 からのハイレベル信号と、論理積によって演算されたハイレベル信号の論理和を次段への出力信号として生成する。このように、インバータチェーン回路 55 は、遅延時間に応じた段のインバータ回路 53 に選択信号を入力することで、トリガ信号 $TRIG_O$ の出力タイミングを調整したタイミング調整信号 TA を出力することができる。

[0132] この例では、インバータチェーン回路 55 は、64 段のインバータチェーンを含んでいる。デコーダ 56 は、制御部 108 から出力されるパルス遅延制御信号により、6 bit 分の選択信号を出力し、この選択信号に応じたタイミング調整信号 TA を出力する。インバータの段数はこれに限定されず、任意の数のインバータを含むことができる。また、タイミング調整回路 64 の回路構成もこれに限定されず、その他の回路構成とすることができる。

[0133] 例えば、インバータチェーン回路 55 では、温度検出部 109 による温度モニタ結果等を用いて、出力する選択信号の値を可変制御することが考えられる。これにより、インバータチェーン回路 55 は、動作温度に伴う回路素子の動作のばらつき等を抑制することができる。

[0134] 図 12 は、第 2 実施形態の変形例に係る発光装置 1 の構造を示す回路図である。

[0135] 本変形例では、発光装置 1 は、発光パルス制御機構 70 を備える代わりに、発光素子アレイにおいて、各発光素子 23 に供給するパルス信号の配線を等長とすることにより、チャンネル間のタイミング差を低減する。例えば、ブリドライバ $preDRV$ に接続されるゲート配線 42 をツリー状構造とすることが考えられる。この例では、ゲート配線 42 は、二分木構造となっている。また、本変形例では、発光装置 1 は、制御部 108 によって発光タイミングパルスを生成し、各発光素子 23 を発光させる。これにより、各配線が等長となり、チャンネル間の発光タイミング差を低減することができる。

[0136] 本実施形態によれば、発光装置 1 はトランジスタ 24 a のゲート配線 4 2 に並列に接続され、トランジスタ 24 a のゲートを可変制御可能なタイミング調整回路 6 4 を備える。これにより、発光装置 1 は、発光素子 2 3 の発光タイミングを補正とすることができる。

[0137] また、本実施形態の変形例によれば、発光装置 1 に配置される各発光素子 2 3 は、ゲート配線 4 2 が等長で配線されるため、発光素子 2 3 間における発光タイミングのばらつきを低減することができる。

[0138] (第 3 実施形態)

図 1 3 は、第 3 実施形態に係る発光装置 1 の L D D 能力切替回路 6 5 の動作を説明する図である。

[0139] 図 1 3 A は、第 1 実施形態の発光装置 1 について、主に第 1 キャパシタ 3 4、寄生インダクタ L 1、発光素子 2 3 a、トランジスタ 24 a および L D D 能力切替回路 6 5 の接続関係を示す回路図である。本実施形態に係る発光装置 1 は、発光パルス制御機構 7 0 として、制御部 1 0 8 から出力される L D D 能力切替信号に基づいて、L D D 出力電流 I_{DLF} のピーク値 I_{peak} を補正する L D D 能力切替回路 6 5 を備える。また、L D D 能力切替回路 6 5 は、チャンネル毎に備えられる。

[0140] 図 1 3 B は、図 1 3 A で示した回路の波形図の例である。上述の通り、発光装置 1 は、L D D 能力切替回路 6 5 によって、L D D 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。また、後述するように、発光装置 1 と、L D D 能力切替回路 6 5 および発光タイミング調整回路 6 4 の両方を備えることにより、ピーク値 I_{peak} を補正し、発光素子 2 3 a の発光タイミングを可変とすることができる。

[0141] 図 1 4 は、第 3 実施形態に係る L D D 能力切替回路 6 5 の回路図である。

[0142] 図 1 4 A は、L D D 能力切替回路 6 5 がトランジスタ 24 a と並列に接続されるトランジスタの数を切り替える例であり、図 1 4 B は、L D D 能力切替回路 6 5 がブリドライバ p r e D R V の出力電圧を切り替える例であり、図 1 4 C は、L D D 能力切替回路 6 5 が発光素子 2 3 の出力電流を切り替え

る例である。

- [0143] 図14Aでは、LDD能力切替回路65は、制御部108から出力される発光タイミングパルスおよびLDD能力切替信号に基づいて、LDD出力電流 I_{DLF} を可変とする選択的駆動回路67を含む。また、選択的駆動回路67は、発光タイミングパルスおよびLDD能力切替信号に基づいて、オンとなるトランジスタを含む。また、この例では、LDD能力切替回路65は、発光タイミングパルスおよびLDD能力切替信号がいずれもハイレベルの時に、トランジスタがオンとなる演算を行う論理積68を含む。この例では、駆動回路Eaは常時駆動回路とも呼ばれ、常時駆動回路と、選択的駆動回路67とは、発光素子23aのカソード側に並列に接続される。
- [0144] トランジスタ24のオン抵抗のばらつき等により、LDD出力電流 I_{DLF} にばらつきが生じる場合がある。そのような場合に、発光装置1は、常時駆動回路に加えて、選択的駆動回路67を動作させる。
- [0145] 発光装置1は、常時駆動回路および選択的駆動回路67を駆動させることにより、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。
- [0146] また、選択的駆動回路67の並列数は1つに限定されない。LDD能力切替回路65は、複数の選択的駆動回路67を含んでいてもよく、その他の回路構成とすることができる。
- [0147] 図14Bでは、LDD能力切替回路65は、LDD能力切替信号によって、出力電圧を可変とするプリドライバpreDRVを含む。これにより、LDD能力切替回路65は、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。
- [0148] 図14Cでは、LDD能力切替回路65は、基準電流を生成する制御用電流源IDACおよびカレントミラー回路を含む。また、カレントミラー回路は、トランジスタ75、76および77を含み、トランジスタ75の一方のソースまたはドレインは、制御用電流源IDACの出力側に接続され、他方のソースまたはドレインは、トランジスタ77に接続される。また、トランジスタ76の一方のソースまたはドレインは、発光素子23aのカソード側

に接続され、他方のソースまたはドレインは、トランジスタ 24 a のドレインに接続される。また、トランジスタ 75 およびトランジスタ 76 のゲートは互いに接続される。

[0149] また、トランジスタ 77 の一方のソースまたはドレインは、トランジスタ 77 の他方のソースまたはドレインに接続され、他方のソースまたはドレインは接地される。また、トランジスタ 77 のゲートはトランジスタ 24 a のゲートに接続される。

[0150] 制御用電流源 I DAC は、制御部 108 によって制御され、LDD 能力切替信号により電流値が制御され、可変の電流を出力する。カレントミラー回路は可変電流に基づいて、制御用電流源 I DAC から出力される出力電流を X 倍 (X は正の値) に増幅した電流を出力する。この例では、カレントミラー回路の出力電流として、制御用電流源 I DAC から出力される電流の 100 倍の電流を出力する。

[0151] また、トランジスタ 77 およびトランジスタ 24 a は、発光タイミングパルスがハイレベルとなった時にオンされる。

[0152] 発光装置 1 は、制御用電流源 I DAC から出力される電流をカレントミラー回路によって増幅することにより、LDD 出力電流 I_{DLF} を可変とすることができ、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0153] 図 15 は、第 3 実施形態の第 1 変形例に係る LDD 能力切替回路 65 の回路図である。

[0154] 本変形例では、トランジスタ 24 a は、P 型の MOS トランジスタであり、ドレインが発光素子 23 a のアノード側に接続される。また、LDD 能力切替回路 65 の出力側は、トランジスタ 24 a のゲートに接続される。

[0155] LDD 能力切替回路 65 は、抵抗 78、抵抗 79、オペアンプ 80 および制御用電流源 I DAC を含む。抵抗 78 と、抵抗 79 と、オペアンプ 80 とは、フィードバック回路を構成しており、抵抗 78 は、オペアンプ 80 の反転入力端子側および制御用電流源 I DAC に接続され、抵抗 79 は、オペアンプ 80 の非反転入力端子側およびトランジスタ 24 a のソースに接続され

ている。抵抗 78 を第 1 抵抗とも呼び、抵抗 79 を第 2 抵抗とも呼ぶ。

[0156] この例では、フィードバック回路は、第 1 抵抗と、第 2 抵抗との比率に応じて、トランジスタ 24a の流れる電流値を制御する。具体的には、制御用電流源 I_{DAC} の電流値は、制御部 108 による LD 駆動能力制御信号によって制御され、可変の電流を出力する。これにより、第 1 抵抗を流れる電流値が制御され、この値に応じた電流値が第 2 抵抗を流れる。この例では、第 1 抵抗と、第 2 抵抗との比率は、1 対 100 となっており、制御用電流源 I_{DAC} を流れる電流の値の 100 倍の値がトランジスタ 24a のソースに流れるように、LDD 出力電流 I_{DLF} の値が制御される。

[0157] 発光装置 1 は、制御用電流源 I_{DAC} から流れる電流値を制御することにより、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0158] 図 16 は、第 3 実施形態の第 2 変形例における発光装置 1 の回路図である。

[0159] 本変形例では、発光装置 1 は、発光パルス制御機構 70 の代わりに、電源配線 (VDD) と、第 1 キャパシタ 34 との間に接続され、第 1 キャパシタ 34 への印加電圧を昇圧するチャージポンプ回路 90 を備える。電源配線 (VDD) と、第 2 キャパシタ 35 との間および電源配線 (VDD) と、第 3 キャパシタ 36 との間にも同様にチャージポンプ回路 90 が備えられてもよい。その場合、同様の動作となるため、電源配線 (VDD) と、第 1 キャパシタ 34 との間に備えられるチャージポンプ回路 90 の動作について説明する。

[0160] この例では、第 1 選択回路 37 の記載は省略されており、例えば、チャージポンプ回路 90 は、電源配線 (VDD) と、トランジスタ 37a のソースとの間に配置される。

[0161] 発光装置 1 は、チャージポンプ回路 90 によって、電源配線 (VDD) からの出力電圧を昇圧し、第 1 キャパシタ 34 に蓄積する電荷量を調整する。これにより、発光装置 1 は、LDD 出力電流 I_{DLF} を制御することができ、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0162] 本実施形態によれば、発光装置 1 は、発光素子 23 のカソード側に接続され、LDD 出力電流 I_{DLF} を制御する LDD 能力切替回路 65 を備える。これにより、発光装置 1 は、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0163] また、本実施形態の第 1 変形例によれば、発光装置 1 は、発光素子 23 のアノード側に接続され、LDD 出力電流 I_{DLF} を制御する LDD 能力切替回路 65 を備える。これにより、発光装置 1 は、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0164] また、本実施形態の第 2 変形例によれば、発光装置 1 は、電源配線 (VDD) と、第 1 キャパシタ 34 との間に電源配線 (VDD) からの出力電圧を昇圧し、第 1 キャパシタ 34 に蓄積する電荷量を調整するチャージポンプ回路 90 を備える。これにより、LDD 出力電流 I_{DLF} を可変とすることができ、LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0165] (第 4 実施形態)

図 17 は、第 4 実施形態に係る測距装置 100 のフローチャートの例である。

[0166] 本実施形態では、第 3 実施形態に係る発光装置 1 を含む測距装置 100 において、LDD 能力切替回路 65 を用いて LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正する際の処理フローについて説明する。本実施形態に係る測距装置 100 は、測定物へ照射した光の反射光による受光レベルの値に基づいて、ピーク値 I_{peak} を補正する。

[0167] ピーク値 I_{peak} の補正は、例えば、測距装置 100 の使用前に制御部 108 がキャリブレーション期間を設けて補正を行うことが考えられる。また、ピーク値 I_{peak} の補正は、測定物までの距離が測距装置 100 にとって既知距離である条件下で行われる。また、測定物の種類によって、反射率が異なるため、測定物の種類も測距装置 100 にとって既知であることが望ましい。

[0168] ステップ S11 では、制御部 108 は、2 次元アレイ状に配置された O チャンネル分 (O は 1 以上の整数) の発光素子 23 のうち、まず、任意の 1 チャ

ネルを補正用チャネルとして設定し、測定を開始する。上述の通り、ピーク値 I_{peak} の補正は、対象物までの距離が既知距離の条件下で行われるため、制御部 108 がユーザインターフェース等を介して、あらかじめ測定物までの距離の入力をユーザから受け付ける処理を含んでいてもよい。ステップ S 12 では、制御部 108 は、駆動部 102 を制御し、発光部 101 を駆動させ測定物への光の照射を開始する。測定物への光の照射は、ステップ S 11 で選択されたチャネルの発光素子 23 を用いて行われる。

[0169] ステップ S 13 では、制御部 108 は、駆動部 102 を制御し受光部 106 を駆動させ、受光部 106 が測定物からの反射光を受光する。ステップ S 14 では、制御部 108 は、信号処理部 107 を介して入力される信号に基づき、受光レベルの測定を行う。受光レベルの測定は、制御部 108 が受光レベル測定部の機能を有することにより実現される。

[0170] ステップ S 15 では、制御部 108 は、測定した受光レベルが設定の基準量を超えるか否かを判定する。この判定は、上記と同様に制御部 108 が受光レベル測定部の機能を有することにより実現される。また、設定の基準量は、既知距離に応じた受光レベルに基づいて決められる。例えば、設定の基準量は、測定物が既知距離である場合における測定物の反射光による平均の受光レベルとしてもよい。ステップ S 15 で、制御部 108 により、受光レベルが設定の基準量を超えると判断されなかった場合（ステップ S 15 の No）、ステップ S 16 では、制御部 108 は、駆動部 102 を制御し、LDD 能力切替回路 65 を駆動させ、LDD 能力設定を 1 段階上げる。

[0171] 図 14 A の例では、制御部 108 は、駆動部 102 を制御し、LDD 能力切替制御を行い、LDD 能力切替信号をハイレベルとして、選択的駆動回路 67 を 1 つ動作させる。また、図 14 B の例では、制御部 108 は、LDD 能力切替信号に基づいて、プリドライバ p_re_DRV の出力電圧を 1 段階上昇させる。また、図 14 C の例では、制御部 108 は、駆動部 102 を制御し、LDD 駆動能力切替信号に基づいて、制御用電流源 I_DAC の電流値を 1 段階上昇させる。また、図 15 または 16 の例についても同様に、制御部

108が、駆動部102を制御し、制御用電流源IDACまたはチャージポンプ回路90を動作させることで、LDD能力設定を1段階上げることができる。

[0172] ステップS15で、制御部108により、受光レベルが設定の基準量を超えると判断された場合（ステップS15のYes）、ステップS17では、制御部108は、駆動部102を制御し、LDD能力切替回路65を駆動させ、LDD能力を1段階下げる。上述の例と同様に、LDD能力の切替は、制御部108が駆動部102を駆動して行う。このフローチャートでは説明を省略しているが、制御部108は、ステップS12～S14の動作により、再び測定物への光の照射、反射光の受光および受光レベルの測定制御を行っている。ステップS18では、制御部108は、切り替えたLDD能力により、再び測定した受光レベルが設定の基準量を超えるか否かを判定する。

[0173] ステップS18で、制御部108により、受光レベルが設定の基準量を超えると判断された場合（ステップS18のYes）、再びステップS17に戻り、制御部108は、駆動部102を制御し、LDD能力切替回路65を駆動させ、LDD能力を1段階下げる。ステップS18で、制御部108により、受光レベルが設定の基準量を超えると判断されなかった場合（ステップS18のNo）、ステップS19では、制御部108は、LDD能力設定を1段階戻す動作を行う。

[0174] ステップS20では、制御部108は、Nチャンネルの発光素子23の中で、まだ未測定のチャンネルが存在するかを判定する。ステップS20で、制御部108がまだ未測定のチャンネルが存在すると判定した場合（ステップS20のYes）、ステップS21では、制御部108は、未測定チャンネルのうち、ピーク値 I_{peak} を補正する別のチャンネルを設定し、再びS11に戻る。ステップS20で、制御部108が未測定のチャンネルが存在しないと判定した場合（ステップS20のNo）、測距装置100は、LDD出力電流 I_{DLF} のピーク値 I_{peak} の補正を終了する。

[0175] 本実施形態によれば、測距装置100は、受光レベルの測定に基づいて、

LDD能力設定を変更することができ、発光素子23の各チャンネルについて、LDD出力電流 I_{DLF} のピーク値 I_{peak} を補正することができる。

[0176] (第5実施形態)

図18は、第5実施形態に係る測距装置100のフローチャートの例である。

[0177] 本実施形態では、第2実施形態に係る発光装置1を含む測距装置100において、タイミング調整回路64を用いて、LDD出力電流 I_{DLF} の発光タイミングを補正する際の処理フローについて説明する。本実施形態に係る測距装置100は、測定物へ照射した光の反射光から生成されるヒストグラムのBin位置に基づいて、発光タイミングを補正する。

[0178] 発光タイミングの補正は、例えば、測距装置100の使用前に制御部108がキャリブレーション期間を設けて補正を行うことが考えられる。また、発光タイミングの補正は、測定物までの距離が測距装置100にとって既知距離である条件下で行われる。

[0179] ステップS31では、制御部108は、2次元アレイ状に配置されたOチャンネル分の発光素子23のうち、まず、任意の1チャンネルを補正用チャンネルとして設定し、測定を開始する。上述の通り、発光タイミングの補正は、対象物までの距離が既知距離の条件下で行われるため、制御部108がユーザインターフェース等を介して、あらかじめ測定物までの距離の入力をユーザから受け付ける処理を含んでいてもよい。ステップS32では、制御部108は、駆動部102を制御し、発光部101を駆動させ測定物への光の照射を開始する。測定物への光の照射は、ステップS31で選択されたチャンネルの発光素子23を用いて行われる。

[0180] ステップS33では、制御部108は、駆動部102を制御し受光部106駆動させ、受光部106が測定物からの反射光を受光する。ステップS34では、制御部108は、照射光に基づいて生成されるヒストグラムのBin位置を測定する。Bin位置は、例えば、生成されたヒストグラムの時間軸上において、あるBinに含まれる出現頻度が所定の閾値を初めて超えた

位置をB i n位置として決定してもよい。B i n位置の測定は、制御部108がB i n位置測定部の機能を有することにより実現される。

[0181] ここで、ヒストグラムは、デジタル信号の示す検出タイミングごとに、検出頻度を度数として示すグラフである。信号処理部107は、時間ごとの照射光の強さを示すヒストグラムをマクロピクセル単位で生成する。また、ヒストグラムは、横軸を時間軸上における受光タイミングとし、縦軸をその受光タイミングの出現頻度として生成される。ヒストグラムの生成は、信号処理部107がヒストグラム生成部の機能を有することにより実現される。以下、B i n位置とは、時間軸上におけるB i nの位置のことを指す。

[0182] ステップS35では、制御部108は、測定したB i n位置が、設定の基準よりも早いかなかを判定する。この判定は、上記と同様に制御部108がB i n位置測定部の機能を有することにより実現される。また、設定の基準は、既知距離に基づいて決められる。例えば、設定の基準は、測定物が既知距離である場合における測定物への照射光による平均の受光タイミングとしてもよい。ステップS35で、制御部108により、B i n位置が時間軸上において、設定の基準よりも早いと判断されなかった場合（ステップS35のN o）、ステップS36では、制御部108は、駆動部102を制御し、タイミング調整回路64を駆動させ、発光タイミング設定を1段階早める。

[0183] 図11の例では、制御部108は、駆動部102を制御しパルス遅延制御を行い、インバータ回路57の動作数を変更するための選択信号を送信する。例えば、制御部108は、選択信号の「1」のb i tの数を変更して、インバータ回路57を動作数を減少させる。これにより、制御部108は、発光タイミング設定を1段階早めることができる。

[0184] ステップS35で、制御部108により、B i n位置が時間軸上において、設定の基準よりも早いと判断された場合（ステップS35のY e s）、ステップS37では、制御部108は、駆動部102を制御し、タイミング調整回路64を駆動させ、発光タイミング設定を1段階遅らせる。上述の具体例と同様に、タイミング調整回路64の切替は、制御部108が駆動部10

2を駆動して行う。このフローチャートでは説明を省略しているが、制御部108は、ステップS32～S34の動作により、再び測定物への光の照射、反射光の受光およびBin位置の測定制御を行っている。ステップ38では、制御部108は、切り替えた発光タイミング設定により、再び測定したBin位置が時間軸上において、設定の基準より早いかなかを判定する。

[0185] ステップS38で、制御部108により、Bin位置が、設定の基準よりも早いと判断された場合（ステップS38のYes）、再びステップS37に戻り、制御部108は、駆動部102を制御し、タイミング調整回路64を駆動させ、発光タイミング設定を1段階遅らせる。ステップS38で、制御部108により、Bin位置が時間軸上において、設定の基準よりも早いと判断されなかった場合（ステップS38のNo）、ステップS39では、制御部108は、発光タイミング設定を1段階戻す動作を行う。

[0186] ステップS40では、制御部108は、Nチャンネルの発光素子23の中で、まだ未測定のチャンネルが存在するかを判定する。ステップS40で、制御部108がまだ未測定のチャンネルが存在すると判定した場合（ステップS40のYes）、ステップS41では、制御部108は、未測定チャンネルのうち、発光タイミングを補正する別のチャンネルを設定し、再びS31に戻る。ステップS40で、制御部108が未測定のチャンネルが存在しないと判定した場合（ステップS40のNo）、測距装置100は、発光タイミングの補正を終了する。

[0187] 本実施形態によれば、測距装置100は、Bin位置の測定に基づいて、発光タイミング設定を変更することができ、発光素子23の各チャンネルについて、発光タイミングを補正することができる。

[0188] （第6実施形態）

図19は、第6実施形態に係る測距装置100のフローチャートの例である。

[0189] 本実施形態では、第1実施形態に係る発光装置1を含む測距装置100において、遅延回路50を用いてLDD出力電流 I_{DLF} のパルス幅Wを補正する際

の処理フローについて説明する。本実施形態に係る測距装置 100 は、測定物へ照射した光の反射光から生成されるヒストグラムの Bin 幅に基づいて、パルス幅 W を補正する。

[0190] パルス幅 W の補正は、例えば、測距装置 100 の使用前に制御部 108 がキャリブレーション期間を設けて補正を行うことが考えられる。また、発光タイミングの補正は、測定物までの距離が測距装置 100 にとって既知距離である条件下で行われる。

[0191] ステップ S51 では、制御部 108 は、2次元アレイ状に配置された O チャンネル分の発光素子 23 のうち、まず、任意の 1 チャンネルを補正用チャンネルとして設定し、測定を開始する。上述の通り、パルス幅 W の補正は、対象物までの距離が既知距離の条件下で行われるため、制御部 108 がユーザーインターフェース等を介して、あらかじめ測定物までの距離の入力をユーザから受け付ける処理を含んでいてもよい。ステップ S52 では、制御部 108 は、駆動部 102 を制御し、発光部 101 を駆動させ測定物への光の照射を開始する。測定物への光の照射は、ステップ S51 で選択されたチャンネルの発光素子 23 を用いて行われる。

[0192] ステップ S53 では、制御部 108 は、駆動部 102 を制御し受光部 106 を駆動させ、受光部 106 が測定物からの反射光を受光する。パルス幅 W の測定は、制御部 108 がパルス幅測定部の機能を有することにより実現される。ステップ S54 では、制御部 108 は、反射光に基づいて生成されるヒストグラムの Bin 幅を測定する。

[0193] Bin 幅とは、ある Bin の幅、またはある Bin から別のある Bin までの Bin の合計の幅として表される。Bin 幅が、ある Bin から別のある Bin までの Bin の合計の幅として表される場合、Bin 幅は、例えば、生成されたヒストグラムにおける受光タイミングの出現頻度の値が所定の閾値を初めて超えた Bin から、その閾値を下回るまでの Bin の合計の幅として表される。

[0194] ステップ S55 では、制御部 108 は、測定した Bin 幅が設定の基準よ

りも短いかな否かを判定する。この判定は、上記と同様に制御部108がパルス幅測定部の機能を有することにより実現される。また、設定の基準は、測定物が既知距離である場合において、測定物への光を照射した際に得られるBin幅の平均値としてもよい。ステップS55で、制御部108により、Bin幅が設定の基準よりも短いと判断されなかった場合（ステップS55のNo）、ステップS56では、制御部108は、駆動部102を駆動し、遅延回路50を駆動させ、発光パルス幅設定を1段階短くする。

[0195] 図9Aの例では、制御部108は、駆動部102を制御し、パルス幅制御を行い、インバータ回路57の動作数を変更するための選択信号を送信する。例えば、制御部108は、選択信号の「1」のbitの数を変更して、インバータ回路57を動作数を減少させる。これによりインバータ回路57の動作数に応じたディレイ信号Delayが出力される。また、図9Bの例では、制御部108は、駆動部102を制御し、抵抗RおよびキャパシタCの値を変更することで、時定数の値に応じたディレイ信号Delayを出力する。また、図14Cの例では、制御部108は、駆動部102を制御し、パルス幅制御を行い、遅延バッファ回路の動作数を変更するためのパルス幅制御信号を送信する。これにより、遅延バッファ回路の動作数に応じたディレイ信号Delayが出力される。これにより、制御部108は、発光装置1のパルス幅設定を1段階短くすることができる。

[0196] ステップS55で、制御部108により、Bin幅が設定の基準よりも短いと判断された場合（ステップS55のYes）、ステップS57では、制御部108は、駆動部102を制御し、遅延回路50を駆動させ、発光パルス幅設定を1段階長くする。上述の例と同様に、遅延回路50の切替は、制御部108が駆動部102を駆動して行う。このフローチャートでは説明を省略しているが、制御部108は、ステップS52～S54の動作により、再び測定物への光の照射、反射光の受光およびBin幅の測定制御を行っている。ステップS58では、制御部108は、切り替えた発光パルス幅設定により、再び測定したBin幅が設定の基準よりも短いかな否かを判定する。

[0197] ステップS58で、制御部108により、Bin幅が設定の基準よりも短いと判定された場合（ステップS58のYes）、再びステップS57に戻り、制御部108は、駆動部102を制御し、遅延回路50を駆動させ、発光パルス幅設定を1段階長くする。ステップS58で、制御部108により、Bin幅が設定の基準よりも短いと判定されなかった場合（ステップS58のNo）、ステップS59では、制御部108は、発光パルス幅を1段階戻す動作を行う。

[0198] ステップS60では、制御部108は、Nチャンネルの発光素子23の中で、まだ未測定のチャンネルが存在するかを判定する。ステップS60で、制御部108がまだ未測定のチャンネルが存在すると判定した場合（ステップS60のYes）、ステップS61では、制御部108は、未測定チャンネルのうち、ピーク値 I_{peak} を補正する別のチャンネルを設定し、再びS51に戻る。ステップS60で、制御部108が未測定のチャンネルが存在しないと判定した場合（ステップS60のNo）、測距装置100は、発光タイミングの補正を終了する。

[0199] 本実施形態によれば、測距装置100は、Bin幅の測定に基づいて、発光パルス幅設定を変更することができ、発光素子23の各チャンネルについて、発光パルス幅を補正することができる。

[0200] （第7実施形態）

図20は、第7実施形態に係る測距装置100のフローチャートの例である。

[0201] 本実施形態では、第2実施形態に係るタイミング調整回路64と、第3実施形態に係るLDD能力切替回路65とを含む測距装置100において、これらの回路を用いて、LDD出力電流 I_{DLF} の発光タイミングおよびピーク値 I_{peak} を補正する際の処理フローについて説明する。

[0202] ステップS71～S79までの処理は、ピーク値 I_{peak} の補正フローであるが、ステップS11～S19までの処理と同様であるため、説明を省略する。

- [0203] ステップS 8 0～S 8 5までの処理は、発光タイミングの補正フローである。このフローでは、測距装置１００は、測定した全体のB i nの数に応じて、発光タイミングの補正を行う。つまり、測距装置１００は、各発光素子２３の間でB i nの数が一致するように発光タイミングを補正する。発光タイミングの補正フローは、ステップS 3 4～S 3 9までのフローと同様なフローで行われてもよい。
- [0204] ステップS 8 0では、制御部１０８は、照射光に基づいて生成されるヒストグラムに含まれるB i n数（B i n N o）を測定する。ステップS 8 1では、制御部１０８は、測定した全体のB i n数が基準を満たすか否かを判定する。この測定およびこの判定は上記と同様に、制御部１０８がB i n数測定部の機能を有することにより実現される。また、設定の基準は、既知距離に基づいて決められる。例えば、設定の基準は、測定物が既知距離である場合において取り得るB i n数に応じて定められてもよい。
- [0205] ステップS 8 1で、制御部１０８により、B i n数が基準を満たすと判断されなかった場合（ステップS 8 1のN o）、ステップS 8 2では、制御部１０８は、駆動部１０２を駆動し、タイミング調整回路６４を駆動させ、発光タイミング設定を１段階早める。ステップS 8 1で、制御部１０８によりB i n数が基準を満たすと判断された場合（ステップS 8 1のY e s）、ステップS 8 3では、制御部１０８は、駆動部１０２を制御し、タイミング調整回路６４を駆動させ、発光タイミング設定を１段階遅らせる。このフローチャートでは説明を省略しているが、制御部１０８は、ステップS 7 2～S 7 3およびステップS 8 0の動作により、再び測定物への光の照射、反射光の受光およびB i n位置の測定制御を行っている。
- [0206] ステップS 8 4では、制御部１０８は、再び測定したB i n数が基準を満たすか否かを判定する。ステップS 8 4で、制御部１０８により、B i n数が基準を満たすと判定した場合（ステップS 8 4のY e s）、再びステップS 8 3に戻り、制御部１０８は、駆動部１０２を制御し、タイミング調整回路６４を駆動させ、発光タイミング設定を１段階遅らせる。ステップS 8 4

で、制御部108により、Bin数が基準を満たすと判断されなかった場合（ステップS84のNo）、ステップS85では、制御部108は、発光タイミング設定を1段階戻す動作を行う。

[0207] ステップS86では、制御部108は、Nチャンネルの発光素子23の中で、まだ未測定のチャンネルが存在するかを判定する。ステップS86で、制御部108がまだ未測定のチャンネルが存在すると判定した場合（ステップS86のYes）、ステップS87では、制御部108は、未測定チャンネルのうち、ピーク値 I_{peak} および発光タイミングを補正する別のチャンネルを設定し、再びS71に戻る。ステップS86で、制御部108が未測定のチャンネルが存在しないと判定した場合（ステップS86のNo）、測距装置100は、ピーク値 I_{peak} および発光タイミングの補正を終了する。

[0208] なお、このフローチャートでは、LDD能力設定および発光タイミング設定を変更するフローについて説明したが、上述した方法によって、LDD能力設定および発光タイミング設定のいずれか一方の設定または両方の設定に加えて、発光パルス幅設定フローを加えてもよい。

[0209] 本実施形態によれば、測距装置100は、受光レベルの測定およびBin数の測定に基づいて、LDD能力設定および発光タイミング設定を変更することができ、発光素子23の各チャンネルについて、ピーク値 I_{peak} および発光タイミングを補正することができる。

[0210] （第8実施形態）

（1）第8実施形態の発光装置1a

図21は、第8実施形態の発光装置1aの構造を示す回路図である。

[0211] 図21に示す発光装置1aは、図4に示す発光装置1aと同じ構造を有している。ここでは、符号P1～P6で示す発光素子23を駆動する方法について説明する。

[0212] 符号P1で示す発光素子23は、第1アノード配線31と、左上端のカソード配線41とに電氣的に接続されている。この発光素子23だけを駆動させる場合には（個別駆動）、第1～第3選択回路37～39のうちの第1選

択回路 37 のみをオンにし、かつ、左上端のカソード配線 41 用の駆動回路 E のみをオンにする。その結果、第 1 ～第 3 キャパシタ 34 ～36 のうちの第 1 キャパシタ 34 のみに電荷が蓄積され、かつ、左上端のカソード配線 41 に電氣的に接続された 3 つの発光素子 23 のみが駆動対象となる。これにより、符号 P 1 で示す発光素子 23 のみに電流が流れ、この発光素子 23 のみが発光する。

[0213] 符号 P 2 ～P 4 で示す発光素子 23 は、第 1 アノード配線 31 に電氣的に接続されており、かつ、互いに異なるカソード配線 41 に電氣的に接続されている。これらの発光素子 23 だけを駆動させる場合には（同時駆動）、第 1 ～第 3 選択回路 37 ～39 のうちの第 1 選択回路 37 のみをオンにし、かつ、これらのカソード配線 41 用の駆動回路 E のみをオンにする。その結果、第 1 ～第 3 キャパシタ 34 ～36 のうちの第 1 キャパシタ 34 のみに電荷が蓄積され、かつ、これらのカソード配線 41 に電氣的に接続された 9 つの発光素子 23 のみが駆動対象となる。これにより、符号 P 2 ～P 4 で示す発光素子 23 のみに電流が流れ、これらの発光素子 23 のみが発光する。

[0214] 符号 P 5、P 6 で示す発光素子 23 は、第 1 および第 2 アノード配線 31、32 にそれぞれ電氣的に接続されており、かつ、同じ 1 本のカソード配線 41 に電氣的に接続されている。これらの発光素子 23 だけを駆動させる場合には（同時駆動）、第 1 ～第 3 選択回路 37 ～39 のうちの第 1 および第 2 選択回路 37、38 のみをオンにし、かつ、このカソード配線 41 用の駆動回路 E のみをオンにする。その結果、第 1 ～第 3 キャパシタ 34 ～36 のうちの第 1 および第 2 キャパシタ 34、35 のみに電荷が蓄積され、かつ、このカソード配線 41 に電氣的に接続された 3 つの発光素子 23 のみが駆動対象となる。これにより、符号 P 5、P 6 で示す発光素子 23 のみに電流が流れ、これらの発光素子 23 のみが発光する。

[0215] なお、符号 P 1 で示す発光素子 23 に関する個別駆動は、他の 80 個の発光素子 23 にも適用可能である。これは、符号 P 2 ～P 6 で示す発光素子 23 に関する同時駆動についても同様である。同時駆動の対象となる発光素子

23の個数は、何個でもよい。これら個別駆動や同時駆動の制御は、例えば図1に示す制御部9により行われる。

[0216] また、上述した個別駆動や同時駆動は、第1～3実施形態またはこれらの変形例で説明した発光装置1aについても適用可能である。例えば図1に示す制御部9によりこれらの制御が行われる。

[0217] (2) 第1変形例の発光装置1a

図22は、第8実施形態の第1変形例の発光装置1aの構造を示す回路図である。

[0218] 本変形例の発光装置1aは、図4に示す第1～第3アノード配線31～33の位置に第1～第3カソード配線31'～33'を備えており、複数のカソード配線41の位置に複数のアノード配線41'を備えており、複数のゲート配線42は備えていない。また、第1～第3カソード配線31'～33'はそれぞれ、第1～第3アノード配線31～33と同様に、第1～第3横配線31a'～33a'および第1～第3縦配線31b'～33b'を含んでいる。第1～第3カソード配線31'～33'は、本開示の第1端子配線の例である。アノード配線41'は、本開示の第2端子配線の例である。

[0219] 本変形例の各発光素子23は、第1～第3カソード配線31'～33'のいずれかに電氣的に接続されたカソードと、複数のアノード配線41'のいずれかに電氣的に接続されたアノードとを含んでいる。

[0220] 本変形例の発光装置1aはさらに、図4に示す第1～第3キャパシタ34～36の位置に、それぞれ第1～第3トランジスタ61～63を備えている。第1～第3トランジスタ61～63は、例えばN型のMOSトランジスタである。第1～第3トランジスタ61～63のゲートはそれぞれ、第1～第3ゲート配線164～166に電氣的に接続されている。第1～第3トランジスタ61～63の各々は、第1～第3カソード配線31'～33'のいずれかに電氣的に接続されたドレインと、接地配線に電氣的に接続されたソースとを有している。第1～第3トランジスタ61～63の各々は、駆動回路Eを形成している。第1～第3トランジスタ61～63を含む駆動回路Eは

それぞれ、第1～第M駆動回路の例である。

[0221] 本変形例の発光装置1aはさらに、図4に示す複数のトランジスタ24の位置に、複数のキャパシタ167を備えている。これらのキャパシタ167の各々は、複数のアノード配線41'のいずれかに電氣的に接続された一方の電極と、接地配線に電氣的に接続された他方の電極とを備えている。

[0222] 本変形例の発光装置1aはさらに、第1～第3選択回路37～39の代わりに、複数の選択回路168を備えている。各選択回路168は、対応する1本のアノード配線41'に電氣的に接続されている。各選択回路168は、電源配線に電氣的に接続されたソースを有するトランジスタ168aと、接地配線に電氣的に接続されたソースを有するトランジスタ168bとを含んでいる。トランジスタ168aのドレインと、トランジスタ168bのドレインは、カソード配線41に電氣的に接続されている。各選択回路168は、アノード配線41'を介して、対応する1個のキャパシタ167に電氣的に接続されている。トランジスタ168aは、例えばP型のMOSトランジスタである。トランジスタ168bは、例えばN型のMOSトランジスタである。トランジスタ168aは、本開示の第1スイッチの例である。トランジスタ168bは、本開示の第2スイッチの例である。

[0223] キャパシタ167、トランジスタ168a、およびトランジスタ168bの機能はそれぞれ、第1～第3キャパシタ34～36、トランジスタ37a～39a、およびトランジスタ37b～39bの機能と同様である。トランジスタ168aは、対応するキャパシタ167に電荷を蓄積することができる。トランジスタ168bは、対応するキャパシタ167から電荷を放電することができる。キャパシタ167は、アノード配線41'を介して発光素子23に電荷を供給することで、発光素子23に電流を流すことができる。

[0224] また、第1～第3トランジスタ61～63や、その駆動回路Eの機能は、トランジスタ24や、その駆動回路Eの機能と同様である。第1～第3トランジスタ61～63はそれぞれ、第1～第3カソード配線31'～33'に電氣的に接続された発光素子23を駆動させることができる。

[0225] また、発光パルス制御機構 70 は、第 1～第 3 ゲート配線 164～166 に電氣的に接続される。上述の例と同様に、発光パルス制御機構 70 の動作に基づいて、駆動回路 E に含まれる第 1～第 3 トランジスタ 61～63 がオンされる。また、本変形例の発光装置 1a は、第 1～3 実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構 70 を含む発光装置 1a についても適用可能である。

[0226] また、本変形例の発光装置 1a は、発光パルス制御機構 70 を含まない第 2 実施形態の変形例に係る発光装置 1 の構造にも適用可能である。つまり、発光装置 1a は、発光パルス制御機構 70 を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置 1a は、発光パルス制御機構 70 を含まない第 3 実施形態の第 2 変形例に係る発光装置 1 の構造にも適用可能である。つまり、発光装置 1 は、発光パルス制御機構 70 の代わりに、電源配線 (VDD) と、キャパシタ 167 との間に接続され、各キャパシタ 167 への印加電圧を昇圧するチャージポンプ回路 90 を備えていてもよい。

[0227] 本変形例の発光装置 1a によれば、第 1 実施形態の発光装置 1a と異なる構造により、第 1 実施形態の発光装置 1a と同様の制御を実現することが可能となる。

[0228] (3) 第 2 変形例の発光装置 1a

図 23 は、第 8 実施形態の第 2 変形例の発光装置 1a の構造を示す回路図である。

[0229] 本変形例の発光装置 1a は、図 4 に示す第 1～第 3 アノード配線 31～33 の位置に第 1～第 3 カソード配線 31'～33' を備え、複数のカソード配線 41 の位置に複数のアノード配線 41' を備え、複数のゲート配線 42 の位置に複数のゲート配線 42' を備えている。また、第 1～第 3 カソード配線 31'～33' はそれぞれ、第 1～第 3 アノード配線 31～33 と同様に、第 1～第 3 横配線 31a'～33a' および第 1～第 3 縦配線 31b'～33b' を含んでいる。第 1～第 3 カソード配線 31'～33' は、本開

示の第1端子配線の例である。アノード配線4 1' は、本開示の第2端子配線の例である。

本変形例の各発光素子2 3は、第1～第3カソード配線3 1' ～3 3' のいずれかに電氣的に接続されたカソードと、複数のアノード配線4 1' のいずれかに電氣的に接続されたアノードとを含んでいる。本変形例の各トランジスタ2 4は、複数のゲート配線4 2' のいずれかに電氣的に接続されたゲートと、複数のアノード配線4 1' のいずれかに電氣的に接続されたドレインと、電源配線に電氣的に接続されたソースとを含んでいる。本変形例の各トランジスタ2 4は、例えばP型のMOSトランジスタである。本変形例の第1～第3キャパシタ3 4～3 6と第1～第3選択回路3 7～3 9はそれぞれ、第1～第3カソード配線3 1' ～3 3' に電氣的に接続されている。

[0230] 発光パルス制御機構7 0は、各ゲート配線4 2' に電氣的に接続される。上述の例と同様に、発光パルス制御機構7 0の動作に基づいて、駆動回路Eに含まれるトランジスタ2 4がオンされる。また、本変形例の発光装置1 aは、第1～3実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構7 0を含む発光装置1 aについても適用可能である。

[0231] また、本変形例の発光装置1 aは、発光パルス制御機構7 0を含まない第2実施形態の変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1 aは、発光パルス制御機構7 0を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置1 aは、発光パルス制御機構7 0を含まない第3実施形態の第2変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1は、発光パルス制御機構7 0の代わりに、電源配線(VDD)と、キャパシタ3 4、3 5または3 6との間に接続され、各キャパシタ3 4、3 5または3 6への印加電圧を昇圧するチャージポンプ回路9 0を備えていてもよい。

[0232] 本変形例の発光装置1 aによれば、第1実施形態の発光装置1 aと異なる構造により、第1実施形態の発光装置1 aと同様の制御を実現することが可能となる。

[0233] (4) 第3変形例の発光装置1a

図24は、第8実施形態の第3変形例の発光装置1aの構造を示す回路図である。

[0234] 本変形例の発光装置1aは、図4に示す4組の第1～第3キャパシタ34～36の代わりに、6組の第1～第3キャパシタ34～36を備えている。本変形例の第1～第3キャパシタ34～36は、LDチップ11内（またはLDD基板12内）に配置されているため、発光素子23付近に配置されている。本変形例では、各第1キャパシタ34は、いずれかの横配線31aに電氣的に接続され、各第2キャパシタ35は、いずれかの横配線32aに電氣的に接続され、各第3キャパシタ36は、いずれかの横配線33aに電氣的に接続されている。

[0235] 発光パルス制御機構70は、各ゲート配線42に電氣的に接続される。上述の例と同様に、発光パルス制御機構70の動作に基づいて、駆動回路Eに含まれるトランジスタ24がオンされる。また、本変形例の発光装置1aは、第1～3実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構70を含む発光装置1aについても適用可能である。

[0236] また、本変形例の発光装置1aは、発光パルス制御機構70を含まない第2実施形態の変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1aは、発光パルス制御機構70を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置1aは、発光パルス制御機構70を含まない第3実施形態の第2変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1は、発光パルス制御機構70の代わりに、電源配線(VDD)と、キャパシタ34、35または36との間に接続され、各キャパシタ34、35または36への印加電圧を昇圧するチャージポンプ回路90を備えていてもよい。

[0237] 本変形例の発光装置1aによれば、第1実施形態の発光装置1aと異なる構造により、第1実施形態の発光装置1aと同様の制御を実現することが可能となる。

[0238] (5) 第4変形例の発光装置1a

図25は、第8実施形態の第4変形例の発光装置1aの構造を示す回路図である。

[0239] 本変形例の発光装置1aは、第1～第3キャパシタ34～36を備えていない。本変形例の発光装置1aは、各発光素子23に供給するための電荷を、第1～第3キャパシタ34～36の代わりに、後述する寄生容量に蓄積する。

[0240] 図26は、第8実施形態の第4変形例の発光装置1aの構造を示す別の回路図である。

[0241] 図26は、本変形例の発光装置1aに含まれる1組の発光素子23およびトランジスタ24を示している。図26はさらに、発光素子23の寄生容量23'と、トランジスタ24の寄生容量24'とを示している。本変形例の発光装置1aは、各発光素子23に供給するための電荷を、このような寄生容量23'、24'に蓄積する。これにより、各発光素子23に電流を流し、各発光素子23を発光させることが可能となる。寄生容量23'、24'への蓄積は、第1～第3選択回路37～39により制御される。

[0242] 発光パルス制御機構70は、各ゲート配線42に電氣的に接続される。上述の例と同様に、発光パルス制御機構70の動作に基づいて、駆動回路Eに含まれるトランジスタ24がオンされる。また、本変形例の発光装置1aは、第1～3実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構70を含む発光装置1aについても適用可能である。

[0243] また、本変形例の発光装置1aは、発光パルス制御機構70を含まない第2実施形態の変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1aは、発光パルス制御機構70を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置1aは、発光パルス制御機構70を含まない第3実施形態の第2変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1は、発光パルス制御機構70の代わりに、電源配線(VDD)と、寄生容量23'または24'との間に

接続され、各寄生容量 23' または 24' への印加電圧を昇圧するチャージポンプ回路 90 を備えていてもよい。

[0244] 本変形例の発光装置 1 a によれば、第 1 実施形態の発光装置 1 a と異なる構造により、第 1 実施形態の発光装置 1 a と同様の制御を実現することが可能となる。

[0245] (6) 第 5 変形例の発光装置 1 a

図 27 は、第 8 実施形態の第 5 変形例の発光装置 1 a の構造の種々の例を示す回路図である。

[0246] 本変形例の発光装置 1 a は、第 1 実施形態の発光装置 1 a と同様に、図 4 に示す構造を有している。ただし、第 1 実施形態の各駆動回路 E が、図 27 の A に示す構造を有しているのに対し、本変形例の各駆動回路 E は、図 27 の B ~ D のいずれかに示す構造を有している。

[0247] 図 27 の B に示す駆動回路 E は、カソード配線 41 に電氣的に接続された 3 つのトランジスタ 24 と、これらのトランジスタ 24 に電氣的に接続された 3 つのトランジスタ 25 とを含んでいる。図 27 の B に示すトランジスタ 24、25 は、例えば N 型の MOS トランジスタである。これらのトランジスタ 24 のゲートは、共通のゲート配線 42 に電氣的に接続されており、これらのトランジスタ 25 のゲートは、共通のゲート配線 43 に電氣的に接続されている。トランジスタ 24、25 はそれぞれ、本開示の第 1 および第 2 トランジスタの例である。

[0248] 各トランジスタ 24 は、光を発生させる発光素子 23 を選択するために用いられる。各トランジスタ 25 は、電流源として用いられる。例えば、ある発光素子 23 から光を発生させる場合には、この発光素子 23 用の駆動回路 E のゲート配線 42 に所定の信号を印加し、かつ、この発光素子 23 用の駆動回路 E のゲート配線 43 に所定の信号 (DC バイアス電圧) を印加する。これにより、この駆動回路 E 内の各トランジスタ 24 のソースとドレインとが導通し、かつ、この駆動回路 E 内の各トランジスタ 25 のソースとドレインとが導通し、この発光素子 23 に電流を流すことが可能となる。この際、

各トランジスタ 25 は、電流源として機能する。この例では、パルス制御機構 70 は、ゲート配線 42 およびゲート配線 43 のうち、いずれか一方に接続されてもよく、また、ゲート配線 42 およびゲート配線 43 のそれぞれに接続されていてもよい。

[0249] 図 27 の C に示す駆動回路 E は、カソード配線 41 に電氣的に接続された 3 つのトランジスタ 24 を含んでいる。図 27 の C に示すトランジスタ 24 は、例えば NPN 型のバイポーラトランジスタである。この場合、配線 42 は「ゲート配線」ではなく「ベース配線」となる。図 27 の C に示す駆動回路 E の動作は、図 27 の A に示す駆動回路 E と同様である。この例では、パルス制御機構 70 は、ベース配線である配線 42 に電氣的に接続される。

[0250] 図 27 の D に示す駆動回路 E は、カソード配線 41 に電氣的に接続された 3 つのトランジスタ 24 と、これらのトランジスタ 24 に電氣的に接続された 3 つのトランジスタ 25 とを含んでいる。図 27 の D に示すトランジスタ 24、25 は、例えば NPN 型のバイポーラトランジスタである。この場合、配線 42、43 は「ゲート配線」ではなく「ベース配線」となる。図 27 の D に示す駆動回路 E の動作は、図 27 の B に示す駆動回路 E と同様である。この例では、パルス制御機構 70 は、ベース配線である配線 42 および配線 43 のうち、いずれか一方に接続されてもよく、また、配線 42 および配線 43 のそれぞれに接続されていてもよい。

[0251] 本変形例の発光装置 1a によれば、第 1 実施形態の発光装置 1a と異なる構造により、第 1 実施形態の発光装置 1a と同様の制御を実現することが可能となる。

[0252] (7) 第 6 変形例の発光装置 1a

図 28 は、第 8 実施形態の第 6 変形例の発光装置 1a の構造を示す回路図である。

[0253] 本変形例の発光装置 1a は、図 4 に示す構成要素に加えて、第 1 ～ 第 3 電圧検出回路 71 ～ 73 を備えている。第 1 電圧検出回路 71 は、第 1 アノード配線 31 の第 1 横配線 31a と、トランジスタ 37a のゲートとに電氣的

に接続されている。第2電圧検出回路72は、第2アノード配線32の第2横配線32aと、トランジスタ38aのゲートとに電氣的に接続されている。第3電圧検出回路73は、第3アノード配線33の第3横配線33aと、トランジスタ39aのゲートとに電氣的に接続されている。

[0254] 第1電圧検出回路71は、第1アノード配線31の第1横配線31aから、第1アノード配線31の電圧を検出する。この電圧は、4つの第1キャパシタ34に蓄積されている電荷の量を示している。よって、第1電圧検出回路71は、第1アノード配線31から検出された電圧に基づいて、トランジスタ37aのゲート電圧を制御する。例えば、検出された電圧が所定の電圧より低い場合には、トランジスタ37aをオンにして、電荷の蓄積を開始する。一方、検出された電圧が所定の電圧より高い場合には、トランジスタ37aをオフにして、電荷の蓄積を終了する。本変形例によれば、この所定の電圧の値を変化させることで、発光装置1aの出力パワーを変化させることが可能となる。この所定の電圧の値は、例えば図1に示す制御部9により調整される。

[0255] 同様に、第2電圧検出回路72は、第2アノード配線32の電圧を検出し、検出された電圧に基づいてトランジスタ38aのゲート電圧を制御する。第3電圧検出回路73は、第3アノード配線33の電圧を検出し、検出された電圧に基づいてトランジスタ39aのゲート電圧を制御する。

[0256] 発光パルス制御機構70は、各ゲート配線42に電氣的に接続される。上述の例と同様に、発光パルス制御機構70の動作に基づいて、駆動回路Eに含まれるトランジスタ24がオンされる。また、本変形例の発光装置1aは、第1～3実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構70を含む発光装置1aについても適用可能である。

[0257] また、本変形例の発光装置1aは、発光パルス制御機構70を含まない第2実施形態の変形例に係る発光装置1の構造にも適用可能である。つまり、発光装置1aは、発光パルス制御機構70を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置1aは、発光パ

ルス制御機構 70 を含まない第 3 実施形態の第 2 変形例に係る発光装置 1 の構造にも適用可能である。つまり、発光装置 1 は、発光パルス制御機構 70 の代わりに、電源配線 (VDD) と、キャパシタ 34、35 または 36 との間に接続され、各キャパシタ 34、35 または 36 への印加電圧を昇圧するチャージポンプ回路 90 を備えていてもよい。

[0258] 図 29 は、第 8 実施形態の第 6 変形例の発光装置 1a の動作を示すタイミングチャートである。

[0259] 曲線 A1、A2 は、アノード側の PMOS、即ち、トランジスタ 37a ~ 39a のゲート電圧を示している。曲線 B は、アノード側の NMOS、即ち、トランジスタ 37b ~ 39b のゲート電圧を示している。曲線 C は、カソード側の NMOS、即ち、トランジスタ 24 のゲート電圧を示している。曲線 D1、D2 は、第 1 ~ 第 3 アノード配線 31 ~ 32 の電圧 (アノード電圧) を示している。曲線 E1、E2 は、LDD 基板 12 から各発光素子 23 への出力電流 (LDD 出力電流) を示している。

[0260] 曲線 A1 は、トランジスタ 37a ~ 39a のゲート電圧のパルス幅が短い場合を示している。この場合、低いアノード電圧でトランジスタ 37a ~ 39a がオフになり (曲線 D1)、低パワー発光が得られる (曲線 E1)。

[0261] 曲線 A2 は、トランジスタ 37a ~ 39a のゲート電圧のパルス幅が長い場合を示している。この場合、高いアノード電圧でトランジスタ 37a ~ 39a がオフになり (曲線 D2)、高パワー発光が得られる (曲線 E2)。

[0262] このように、本変形例によれば、発光装置 1a の出力パワーを自在に変化させることが可能となる。

[0263] (第 9 実施形態)

図 30 は、第 9 実施形態の発光装置 1a の構造を示す回路図である。

[0264] 本実施形態の発光装置 1a は、図 4 に示す構成要素に加え、第 4 アノード配線 81 と、複数の第 4 キャパシタ 82 と、第 4 選択回路 83 とを備えている。第 4 アノード配線 81 は、複数の第 4 横配線 81a と、複数の第 4 縦配線 81b とを含んでいる。第 4 選択回路 83 は、トランジスタ 83a、83

bを含んでいる。第1～第4選択回路37、38、39、83は、本開示の第1～第M選択回路の例である。図30は、Mが4である例を示している。

[0265] 図30は、第1～第4アノード配線31、32、33、81を互いに区別するため、第1アノード配線31を太い実線で示し、第2アノード配線32を太い破線で示し、第3アノード配線33を細い実線で示し、第4アノード配線81を細い破線で示している。

[0266] 本実施形態の発光装置1aは、2次元アレイ状に配置された8×8個の発光素子23を備えている。そのため、本実施形態の第1～第4アノード配線31、32、33、81は、4組の第1～第4横配線31a、32a、33a、81aおよび第1～第4縦配線31b、32b、33b、81bを含んでいる。これらは、本開示のP組の第1～第M横配線および第1～第N縦配線の例である。図30は、Pが4である例を示している。図30に示す発光素子23の個数は、 $M(P-2) \times N(P-2)$ 個となっている。本実施形態の発光装置1aはさらに、これらの発光素子23に電氣的に接続された8×8個のトランジスタ24を備えている。

[0267] 本実施形態の第1～第4キャパシタ34、35、36、82は、4組の第1～第4キャパシタ34、35、36、82を含んでいる。各組の第1～第4キャパシタ34、35、36、82は、正方形の発光素子アレイの1辺付近に順に配置されている。よって、本実施形態の第1～第4キャパシタ34、35、36、82も、この正方形に対し対称に配置されている。第1～第4キャパシタ34、35、36、82は、本開示のK組の第1～第Mキャパシタの例である。図30は、Kが4である例を示している。

[0268] 本実施形態の第4アノード配線81、第4キャパシタ82、および第4選択回路83の構造や機能はそれぞれ、第1～第3アノード配線31～33、第1～第3キャパシタ34～36、および第1～第3選択回路37～39と同様である。また、本実施形態のカソード配線41やゲート配線42の構造や機能もそれぞれ、第1実施形態のカソード配線41やゲート配線42と同様である。ただし、本実施形態のMの値は、3ではなく4であるため、各カ

ソード配線 4 1 は、4 つの発光素子 2 3 と電氣的に接続されており、各ゲート配線 4 2 は、4 つのトランジスタ 2 4 と電氣的に接続されている。

[0269] M の値は、発光装置 1 a の用法に応じて適切な値に設定することが望ましい。例えば、M の値を小さくすることには、各発光素子 2 3 用の配線のインダクタンスを小さくできるという利点や、キャパシタや選択回路の個数を低減できるという利点がある。一方、M の値を大きくすることには、カソード配線 4 1 やゲート配線 4 2 の本数を低減できるという利点や、トランジスタ 2 4 につながるカソード配線 4 1 の共通数を大きくでき、トランジスタ 2 4 の駆動能力を増加できるという利点がある。

[0270] 発光パルス制御機構 7 0 は、各ゲート配線 4 2 に電氣的に接続される。上述の例と同様に、発光パルス制御機構 7 0 の動作に基づいて、駆動回路 E に含まれるトランジスタ 2 4 がオンされる。また、本変形例の発光装置 1 a は、第 1 ～ 3 実施形態またはこれらの変形例で説明した、その他の発光パルス制御機構 7 0 を含む発光装置 1 a についても適用可能である。

[0271] また、本変形例の発光装置 1 a は、発光パルス制御機構 7 0 を含まない第 2 実施形態の変形例に係る発光装置 1 の構造にも適用可能である。つまり、発光装置 1 a は、発光パルス制御機構 7 0 を備える代わりに、各ゲート配線を等長とする構造にしてもよい。また、本変形例の発光装置 1 a は、発光パルス制御機構 7 0 を含まない第 3 実施形態の第 2 変形例に係る発光装置 1 の構造にも適用可能である。つまり、発光装置 1 は、発光パルス制御機構 7 0 の代わりに、電源配線 (VDD) と、キャパシタ 3 4、3 5 または 3 6 との間に接続され、各キャパシタ 3 4、3 5 または 3 6 への印加電圧を昇圧するチャージポンプ回路 9 0 を備えていてもよい。

[0272] << 1. 車両制御システムの構成例 >>

図 3 1 は、本技術が適用される移動装置制御システムの非限定的な一例である車両制御システム 1 1 1 の構成例を示すブロック図である。

[0273] 車両制御システム 1 1 1 は、車両 1 0 に設けられ、車両 1 0 の運転自動化に関わる処理を行う。この運転自動化には、レベル 1 乃至レベル 5 の運転自

動化、並びに、遠隔運転者による車両 10 の遠隔運転および／又は遠隔支援が含まれる。運転自動化のレベルは、the Society of Automotive Engineers (S A E) J3016TM APL2021 Levels of Driving Automationを参照してもよく、S A E レベル 0 は運転自動化の最低レベルを意味し、S A E レベル 5 は運転自動化の最高レベルを意味する。例えば、S A E レベル 1 の運転自動化は、運転者にステアリング又はブレーキ／加速サポートを提供するドライバ支援機能から構成されてもよく、S A E レベル 5 の運転自動化は、あらゆる条件下で車両を運転することができる自動運転機能から構成されてもよい。

[0274] 車両制御システム 111 は、車両制御 ECU (Electronic Control Unit) 121、通信部 122、地図情報蓄積部 123、位置情報取得部 124、外部認識センサ 125、車内センサ 126、車両センサ 127、記憶部 128、運転自動化制御部 129、DMS (Driver Monitoring System) 130、HMI (Human Machine Interface) 131、および、車両制御部 132 を備える。

[0275] 車両制御 ECU 121、通信部 122、地図情報蓄積部 123、位置情報取得部 124、外部認識センサ 125、車内センサ 126、車両センサ 127、記憶部 128、運転自動化制御部 129、DMS 130、HMI 131、および、車両制御部 132 のうちの 2 つ以上（又は、場合によっては、全て）は、通信ネットワーク 141 を介して相互に通信可能に接続されている。通信ネットワーク 141 は、例えば、CAN (Controller Area Network)、LIN (Local Interconnect Network)、LAN (Local Area Network)、FlexRay（登録商標）、イーサネット（登録商標）といったデジタル双方向通信の規格に準拠した車載通信ネットワークやバス等により構成される。一部の実施形態において、通信ネットワーク 141 は 2 タイプ以上の通信ネットワークを有してもよく、異なるタイプの通信ネットワークが、伝送されるデータの種類によって使い分けられてもよい。例えば、車両制御に関するデータに対して CAN が適用され、大容量データに対してイーサネットが適用されるようにしてもよい。一部の実施形態において、車両制御シ

ステム 1 1 1 の 2 以上（又は、場合によっては、全て）のユニットは、通信ネットワーク 1 4 1 を介さずに、無線通信（例えば、比較的近距離での通信）を用いて直接的に接続されてもよい。一部の実施形態において、無線通信が近距離無線通信技術を用いてもよい。近距離無線通信技術の非限定的な例としては、近距離無線通信（NFC（Near Field Communication））や Bluetooth（登録商標）がある。一部の実施形態において、車両制御システム 1 1 1 の 2 以上（又は、場合によっては、全て）のユニットは、通信ネットワーク 1 4 1 および無線通信技術（例えば、近距離無線通信技術）を用いて接続されてもよい。

[0276] 以下、車両制御システム 1 1 1 の 2 以上のユニットが、通信ネットワーク 1 4 1 を介して通信を行う実施形態において、通信ネットワーク 1 4 1 の記載を省略するものとする。例えば、車両制御 ECU 1 2 1 と通信部 1 2 2 が通信ネットワーク 1 4 1 を介して通信を行う実施形態において、単に車両制御 ECU 1 2 1 と通信部 1 2 2 とが通信を行うと記載する。

[0277] 車両制御 ECU 1 2 1 は、例えば、CPU（Central Processing Unit）、MPU（Micro Processing Unit）といった各種のプロセッサにより構成される。車両制御 ECU 1 2 1 は、車両制御システム 1 1 1 全体又は一部の機能の制御を行う。

[0278] 通信部 1 2 2 は、車両 1 0 の内部にある様々な機器（以下、車内機器と称する）、車両 1 0 の外部にある様々な機器（以下、車外機器と称する）、他の車両、基地局等と通信を行い、各種のデータの送受信を行う。一部の実施形態において、通信部 1 2 2 は、複数の通信技術を用いて通信を行ってもよい。

[0279] 通信部 1 2 2 と車外機器との通信の非限定的な例について、概略的に説明する。一部の実施形態において、通信部 1 2 2 は、無線通信技術により、基地局又はアクセスポイントを介して、外部ネットワーク上に存在するサーバ（以下、外部のサーバと呼ぶ）等と通信を行ってもよい。非限定的な無線通信技術の例としては、5G（第5世代移動通信システム）、LTE（Long Te

rm Evolution)、D S R C (Dedicated Short Range Communications) 等がある。通信部 1 2 2 が通信可能な外部ネットワークは、例えば、インターネット、クラウドネットワーク、又は、事業者固有のネットワーク等である。外部ネットワークと通信する通信部 1 2 2 によって用いられる通信技術は、所定以上の通信速度、且つ、所定以上の距離間でデジタル双方向通信が可能な無線通信技術であれば、特に限定されない。

[0280] 一部の実施形態において、通信部 1 2 2 は、P 2 P (Peer To Peer) 技術を用いて、自車の近傍に存在する端末と通信を行ってもよい。自車の近傍に存在する端末は、例えば、歩行者や自転車等の比較的低速で移動する移動体が装着する端末、店舗等に位置が固定されて設置される端末、および／又は、M T C (Machine Type Communication) 端末である。一部の実施形態において、通信部 1 2 2 は、V 2 X (Vehicle to Everything) 通信を行ってもよい。V 2 X 通信とは、一般的に自車と他のエンティティとの通信を指す。V 2 X 通信の非限定的な例としては、他の車両との間の車間 (Vehicle to Vehicle) 通信、路側器等との間の路車間 (Vehicle to Infrastructure) 通信、家との間 (Vehicle to Home) の通信、および、歩行者によって所持又は装着される端末等との間の歩車間 (Vehicle to Pedestrian) 通信等がある。

[0281] 一部の実施形態において、通信部 1 2 2 は、車両制御システム 1 1 1 の動作を制御するソフトウェアを更新するためのプログラムを車両 1 0 の外部から受信してもよい (例えば、Over The Air)。一部の実施形態において、通信部 1 2 2 は、地図情報、交通情報、車両 1 0 の周囲の情報等を車両 1 0 の外部から受信してもよい。一部の実施形態において、通信部 1 2 2 は、車両 1 0 に関する情報や、車両 1 0 の周囲の情報等を車外機器又は外部ネットワークに送信してもよい。通信部 1 2 2 が車外機器又は外部ネットワークに送信する車両 1 0 に関する情報の非限定的な例としては、車両 1 0 の状態を示すデータ、認識部 1 7 3 による認識結果等がある。一部の実施形態において、通信部 1 2 2 は、車両緊急通報システムと通信を行ってもよい。車両緊急通報システムの非限定的な例としては、e コール等がある。

[0282] 一部の実施形態において、通信部 1 2 2 は、道路交通情報通信システムにより送信される電磁波を受信してもよい。一部の実施形態において、当該電磁波は、電波ビーコン、光ビーコン、FM 多重放送等を用いて送信されてもよい。

[0283] 通信部 1 2 2 が実行可能な車内機器との通信の非限定的な例について、概略的に説明する。一部の実施形態において、通信部 1 2 2 は、無線通信を用いて車内機器と通信を行ってもよい。例えば、一部の実施形態において、通信部 1 2 2 は、無線通信により所定以上の通信速度でデジタル双方向通信が可能な無線通信技術により、車内機器と無線通信を行ってもよい。無線通信技術の非限定的な例としては、無線 LAN、Bluetooth、NFC、WUSB (Wireless USB) がある。これに限らず、通信部 1 2 2 は、(無線通信に加えて、又は代替として) 有線通信を用いて車内機器と通信を行ってもよい。例えば、一部の実施形態において、通信部 1 2 2 は、図示しない接続端子に接続されるケーブルを介した有線通信により、車内機器と通信を行ってもよい。一部の実施形態において、通信部 1 2 2 は、所定以上の通信速度でデジタル双方向通信が可能な有線通信技術により、車内の機器と通信を行ってもよい。有線通信技術の非限定的な例としては、USB (Universal Serial Bus)、HDMI (High-Definition Multimedia Interface) (登録商標)、MHL (Mobile High-definition Link) がある。

[0284] ここで、車内機器とは、例えば、車両 1 0 の内部において通信ネットワーク 1 4 1 に接続されていない機器を指す。車内機器は、車両制御システム 1 1 1 を構成する機器と構成しない機器に分かれる。車両制御システム 1 1 1 を構成しない車内機器の非限定的な例としては、車両 1 0 の利用者(例えば、運転者、同乗者)が所持するモバイル機器やウェアラブル機器、車両 1 0 の内部に一時的に設置される情報機器等がある。これらの機器は、例えば、車両 1 0 の外部に移動して、車外機器となり得る。

[0285] 地図情報蓄積部 1 2 3 は、車外機器又は外部ネットワークから取得した地図および／又は車両 1 0 で作成した地図を蓄積する。例えば、地図情報蓄積

部 1 2 3 は、3 次元の高精度地図、高精度地図より精度が低く、広いエリアをカバーするグローバルマップ等を蓄積してもよい。

[0286] 高精度地図は、例えば、ダイナミックマップ、ポイントクラウドマップ、ベクターマップ等である。ダイナミックマップは、例えば、動的情報、準動的情報、準静的情報、静的情報の 4 層からなる地図であってもよく、外部のサーバ等から車両 1 0 に提供されてもよい。ポイントクラウドマップは、ポイントクラウド（点群データ）により構成される地図であってもよい。ベクターマップは、例えば、車線や信号機の位置といった交通情報等をポイントクラウドマップに対応付け、運転自動化に適合させた地図であってもよい。

[0287] ポイントクラウドマップおよびベクターマップは、例えば、外部のサーバ等から提供されてもよいし、カメラ 1 5 1、レーダ 1 5 2、L i D A R 1 5 3 等によるセンシング結果に基づいて、後述するローカルマップとのマッチングを行うための地図として車両 1 0 で作成され、地図情報蓄積部 1 2 3 に蓄積されてもよい。また、外部のサーバ等から高精度地図が提供される場合、通信容量を削減するため、車両 1 0 が走行する計画経路に関する、例えば数百メートル四方の地図データが外部のサーバ等から取得されてもよい。

[0288] 位置情報取得部 1 2 4 は、車両 1 0 の位置情報を取得する。取得した位置情報は、運転自動化制御部 1 2 9 に供給されてもよい。一部の実施形態において、位置情報取得部 1 2 4 は、G N S S（Global Navigation Satellite System）衛星から G N S S 信号を受信してもよい。一部の実施形態において、位置情報取得部 1 2 4 は、ビーコン等から信号を受信してもよい。

[0289] 外部認識センサ 1 2 5 は、車両 1 0 の外部の状況の認識に用いられる各種のセンサを備え、1 つ以上（又は、一部のケースでは全て）のセンサからのセンサデータを車両制御システム 1 1 1 の 1 つ以上（又は、一部のケースでは全て）のユニットに供給する。外部認識センサ 1 2 5 が備えるセンサの種類や数は任意である。

[0290] 一部の実施形態において、外部認識センサ 1 2 5 は、カメラ 1 5 1、レーダ 1 5 2、L i D A R（Light Detection and Ranging、Laser Imaging Dete

ction and Ranging) 153、および、超音波センサ154を備えてもよい。これに限らず、外部認識センサ125は、カメラ151、レーダ152、LiDAR153、および、超音波センサ154のうち1種類以上のセンサを備える構成でもよい。カメラ151、レーダ152、LiDAR153、および、超音波センサ154の数は、現実的に車両10に設置可能な数であれば特に限定されない。また、外部認識センサ125が備えるセンサの種類は、この例に限定されず、外部認識センサ125は、他の種類のセンサを備えてもよい。外部認識センサ125が備える各センサのセンシング領域の例は、後述する。

[0291] カメラ151は、任意の適した撮影方式を用いることができる。一部の実施形態において、カメラ151は、測距が可能な撮影方式を用いてもよい。測距が可能な撮影方式を用いるカメラの非限定的な例としては、ToF (Time of Flight) カメラ、ステレオカメラ、単眼カメラ、赤外線カメラがある。これに限らず、カメラ151は、測距に関わらずに、単に撮影画像を取得するためのものであってもよい。

[0292] 一部の実施形態において、外部認識センサ125は、車両10周辺の環境の特徴を検出するための環境センサを備えてもよい。検出され得る環境の特徴の非限定的な例としては、天候、気象、明るさ等がある。一部の実施形態において、環境センサは、雨滴センサ、霧センサ、日照センサ、雪センサ、照度センサ等の各種センサを備えてもよい。

[0293] 一部の実施形態において、外部認識センサ125は、車両10の周囲の音や音源の位置の検出等に用いられるマイクロフォンを備えてもよい。

[0294] 車内センサ126は、車両10の内部の情報を検出するための各種のセンサを備え、1つ以上（又は、一部のケースでは全て）のセンサからのセンサデータを車両制御システム111の1つ以上（又は、一部のケースでは全て）のユニットに供給する。車内センサ126が備える各種センサの種類や数は、現実的に車両10に設置可能な種類や数であれば特に限定されない。

[0295] 一部の実施形態において、車内センサ126は、カメラ、レーダ、着座セ

ンサ、マイクロフォン、生体センサのうち1つ以上のセンサを備えてもよい。一部の実施形態において、車内センサ126が備えるカメラは、測距可能な撮影方式を用いてもよい。測距可能な撮影方式を用いたカメラの非限定的な例としては、ToFカメラ、ステレオカメラ、単眼カメラ、赤外線カメラがある。これに限らず、車内センサ126が備えるカメラは、測距に関わらず、単に撮影画像を取得するためのものであってもよい。車内センサ126が備える生体センサは、例えば、シートやステアリングホイール等に設けられてもよく、利用者の各種の生体情報を検出してもよい。

[0296] 車両センサ127は、車両10の状態を検出するための各種のセンサを備え、1つ以上（又は、一部のケースでは全て）のセンサからのセンサデータを車両制御システム111の1つ以上（又は、一部のケースでは全て）のユニットに供給する。車両センサ127が備える各種センサの種類や数は、現実的に車両10に設置可能な種類や数であれば特に限定されない。

[0297] 一部の実施形態において、車両センサ127は、速度センサ、加速度センサ、角速度センサ（ジャイロセンサ）、および／又は、それらを統合した慣性計測装置（IMU（Inertial Measurement Unit））を備えてもよい。一部の実施形態において、車両センサ127は、ステアリングホイールの操舵角を検出する操舵角センサ、ヨーレートセンサ、アクセルペダルの操作量（例えば、ペダルフォース、ペダルストローク）を検出するアクセルセンサ、および／又は、ブレーキペダルの操作量（例えば、ペダルフォース、ペダルストローク）を検出するブレーキセンサを備えてもよい。一部の実施形態において、車両センサ127は、エンジンやモータの回転数を検出する回転センサ、タイヤの空気圧を検出する空気圧センサ、タイヤのスリップ率を検出するスリップ率センサ、および／又は、車輪の回転速度を検出する車輪速センサを備えてもよい。一部の実施形態において、車両センサ127は、バッテリーの残量や温度を検出するバッテリーセンサ、および／又は、外部からの衝撃を検出可能な衝撃センサを備えてもよい。

[0298] 記憶部128は、不揮発性の記憶媒体および揮発性の記憶媒体のうち少な

くとも一方を含み、データやプログラムを記憶する。記憶媒体の非限定的な例としては、EEPROM (Electrically Erasable Programmable Read Only Memory)、RAM (Random Access Memory) および／又はHDD (Hard Disc Drive) といった磁気記憶デバイス、半導体記憶デバイス、光記憶デバイス、および、光磁気記憶デバイスがある。記憶部128は、車両制御システム111の1つ以上（又は、一部のケースでは全て）のユニットが用いる各種プログラムやデータを記憶する。一部の実施形態において、記憶部128は、EDR (Event Data Recorder) やDSSAD (Data Storage System for Automated Driving) を備え、事故等のイベントの前後の車両10の情報や車内センサ126によって取得された情報を記憶してもよい。

[0299] 運転自動化制御部129は、車両10の運転自動化機能の制御を行う。一部の実施形態において、運転自動化制御部129は、分析部161、行動計画部162、および、動作制御部163を備えてもよい。

[0300] 分析部161は、車両10および／又は周囲の状況の分析処理を行う。分析部161は、自己位置推定部171、センサフュージョン部172、および、認識部173を備える。

[0301] 一部の実施形態において、自己位置推定部171は、外部認識センサ125からのセンサデータ、および、地図情報蓄積部123に蓄積されている高精度地図に基づいて、車両10の自己位置を推定してもよい。例えば、自己位置推定部171は、外部認識センサ125からのセンサデータに基づいてローカルマップを生成し、ローカルマップと高精度地図とのマッチングを行うことにより、車両10の自己位置を推定してもよい。車両10の位置は、例えば、後輪対車軸の中心が基準とされてもよい。

[0302] 一部の実施形態において、ローカルマップは、SLAM (Simultaneous Localization and Mapping) 等の技術を用いて作成される3次元の高精度地図、占有格子地図 (Occupancy Grid Map) 等であってもよい。3次元の高精度地図は、例えば、上述したポイントクラウドマップ等であってもよい。占有格子地図は、車両10の周囲の3次元又は2次元の空間を所定の大きさのグ

リッド（格子）に分割し、グリッド単位で物体の占有状態を示す地図であってもよい。物体の占有状態は、例えば、物体の有無や存在確率により示されてもよい。一部の実施形態において、ローカルマップは、例えば、認識部 173 による車両 10 の外部の状況の検出処理および／又は認識処理にも用いられてもよい。

[0303] 一部の実施形態において、自己位置推定部 171 は、位置情報取得部 124 により取得される位置情報、および／又は、車両センサ 127 からのセンサデータに基づいて、車両 10 の自己位置を推定してもよい。

[0304] センサフュージョン部 172 は、複数の異なる種類のセンサデータ（例えば、カメラ 151 から供給される画像データ、および、レーダ 152 から供給されるセンサデータ）を組み合わせ、情報を得るセンサフュージョン処理を行う。異なる種類のセンサデータを組合せる方法としては、これらに限定されないが、複合、統合、融合、連合等がある。

[0305] 認識部 173 は、車両 10 の外部の状況の検出を行う検出処理、および／又は、車両 10 の外部の状況の認識を行う認識処理を実行する。

[0306] 例えば、認識部 173 は、外部認識センサ 125 からの情報、自己位置推定部 171 からの情報、センサフュージョン部 172 からの情報等に基づいて、車両 10 の外部の状況の検出処理および／又は認識処理を行ってもよい。

[0307] 具体的には、例えば、認識部 173 は、車両 10 の周囲の物体の検出処理および／又は認識処理等を行ってもよい。物体の検出処理としては、例えば、物体の有無、大きさ、形、位置、動き等を検出する処理であってもよい。物体の認識処理としては、例えば、物体の種類等の属性を認識したり、特定の物体を識別したりする処理であってもよい。検出処理と認識処理とは、必ずしも明確に分かれるものではなく、少なくとも一部が重複する場合があってもよい。

[0308] 一部の実施形態において、認識部 173 は、レーダ 152 および／又は LIDAR 153 等からのセンサデータに基づくポイントクラウドを点群の塊

毎に分類するクラスタリングを行うことにより、車両１０の周囲の物体を検出してもよい。これにより、車両１０の周囲の物体の有無、大きさ、形状、位置が検出され得る。

[0309] 一部の実施形態において、認識部１７３は、クラスタリングにより分類された点群の塊の動きを追従することにより、車両１０の周囲の物体の動きを検出してもよい。これにより、車両１０の周囲の物体の速度および／又は進行方向（移動ベクトル）が検出され得る。

[0310] 一部の実施形態において、認識部１７３は、カメラ１５１から供給される画像データに基づいて、車両（自転車を含む）、人、障害物、構造物、道路、信号機、交通標識、道路標示等を検出および／又は認識してもよい。一部の実施形態において、認識部１７３は、セマンティックセグメンテーション等の認識処理を行うことにより、車両１０の周囲の物体の種類を認識してもよい。

[0311] 一部の実施形態において、認識部１７３は、地図情報蓄積部１２３に蓄積されている地図、自己位置推定部１７１による自己位置の推定結果、および／又は、認識部１７３による車両１０の周囲の物体の認識結果に基づいて、車両１０の周囲の交通ルールの認識処理を行ってもよい。認識部１７３は、この処理により、信号機の位置および／又は状態、交通標識および／又は道路標示の内容、交通規制の内容、および／又は、走行可能な車線等を認識してもよい。

[0312] 一部の実施形態において、認識部１７３は、車両１０の周囲の環境の認識処理を行ってもよい。一部の実施形態において、認識部１７３は、天候の特徴（気温、湿度、明るさ）、および／又は、路面の状態等を認識してもよい。

[0313] 行動計画部１６２は、車両１０の行動計画を作成する。例えば、行動計画部１６２は、経路計画、経路追従を行うことにより、行動計画を作成してもよい。

[0314] 一部の実施形態において、経路計画は、広域的パスプランニング（Global

path planning) および局所的パスプランニング (Local path planning) を含んでもよい。広域的パスプランニングは、スタートからゴールまでの大まかな経路を計画する処理を含んでもよい。局所的パスプランニングは、軌道計画とも言われ、車両 10 の運動特性や任意の障害物の存在等を考慮して、計画した経路に沿って車両 10 の近傍で安全かつ滑らかに進行することが可能な軌道生成を含んでもよい。

[0315] 一部の実施形態において、経路追従とは、経路計画により計画された経路を計画された時間内で安全かつ正確に走行するための動作を計画するものであってもよい。行動計画部 162 は、例えば、この経路追従の処理の結果に基づき、車両 10 の目標速度および／又は目標角速度を計算してもよい。

[0316] 動作制御部 163 は、行動計画部 162 により作成された行動計画を実現するために、車両 10 の動作を制御する。

[0317] 例えば、一部の実施形態において、動作制御部 163 は、後述する車両制御部 132 に含まれる、ステアリング制御部 181、ブレーキ制御部 182、および／又は、駆動制御部 183 を制御して、軌道計画により計算された軌道を車両 10 が進行するように、横方向車両運動制御および／又は縦方向車両運動制御を行ってもよい。例えば、動作制御部 163 は、1 つ以上の運転者支援機能および／又は運転自動化を目的とした制御（例えば、横方向車両運動制御、縦方向車両運動制御）を行ってもよい。運転者支援機能の非限定的な例としては、衝突回避又は衝撃緩和、車間距離制御（例えば、車両 10 の前方を走行する車両から特定の距離を維持する制御）、車速制御（例えば、特定の速度を維持する制御）、車両衝突警告、レーン逸脱警告がある。運転自動化の非限定的な例としては、運転者又は遠隔運転者の操作によらない走行がある。

[0318] 一部の実施形態において、DMS 130 は、車内センサ 126 からのセンサデータ、および／又は、後述する HMI 131 に入力される入力データ等に基づいて、運転者の認証処理、および／又は、運転者の状態の認識処理等を行ってもよい。認識対象となり得る運転者の状態の非限定的な例としては

、体調、覚醒度、集中度、疲労度、視線方向、酩酊度、運転操作、姿勢等がある。

[0319] 一部の実施形態において、DMS 130は、運転者以外の利用者（例えば、同乗者）の認証処理、および／又は、当該利用者の状態の認識処理を行ってもよい。一部の実施形態において、DMS 130は、車内センサ126からのセンサデータに基づいて、車両10の内部状況の認識処理を行ってもよい。認識対象となり得る車両10の内部状況の特徴の非限定的な例としては、気温、湿度、明るさ、臭い等がある。

[0320] HMI 131は、各種のデータや指示等を入力として受け取り、各種のデータを利用者へ提示する。

[0321] HMI 131へのデータの入力について、概略的に説明する。HMI 131は、人がデータや指示等を入力するための入力デバイスを備える。HMI 131は、入力デバイスにより入力されたデータや指示等に基づいて入力信号を生成し、車両制御システム111の1つ以上（又は、一部のケースでは全て）のユニットに供給する。一部の実施形態において、HMI 131は、入力デバイスとして、タッチパネル、ボタン、スイッチ、および／又は、レバーを備えてもよい。これに限らず、HMI 131は、音声やジェスチャ等により手動操作以外の方法で情報を入力可能な入力デバイスを備えてもよい。一部の実施形態において、HMI 131は、入力デバイスとして、赤外線および／又は電波を利用したりモートコントロール装置や、車両制御システム111の操作に対応した外部接続機器を備えてもよい。外部接続機器の非限定的な例としては、モバイル機器（例えば、スマートフォン）やウェアラブル機器（例えば、スマートウォッチ）がある。

[0322] HMI 31によるデータの提示について、概略的に説明する。HMI 31は、利用者および／又は車両10の外部の人に対する視覚情報、聴覚情報、および／又は、触覚情報の生成を行う。また、HMI 31は、生成された各情報の出力、出力内容、出力タイミングおよび／又は出力方法等を制御する出力制御を行ってもよい。HMI 31によって生成され出力され得る視覚情

報の非限定的な例としては、操作画面、車両 10 の状態表示、警告表示、車両 10 の周囲の状況を示すモニタ画像等の画像や光により示される情報がある。HMI 31 によって生成され出力され得る聴覚情報の非限定的な例としては、音声ガイダンス、警告音、警告メッセージ等がある。HMI 31 によって生成され出力され得る触覚情報の非限定的な例としては、力、振動、動き等により利用者の触覚に与えられる情報がある。

[0323] 一部の実施形態において、HMI 31 は、視覚情報を出力可能な出力デバイスとして、自身が画像を表示することで視覚情報を提示する表示装置や、画像を投影することで視覚情報を提示するプロジェクタ装置を備えてもよい。一部の実施形態として、表示装置は、通常が表示装置に加えて、又は代替として、ヘッドアップディスプレイ、透過型ディスプレイ、AR (Augmented Reality) 機能を備えるウェアラブルデバイスといった、利用者の視界内に視覚情報を表示する装置であってもよい。一部の実施形態において、HMI 31 は、視覚情報を出力可能な出力デバイスとして、車両 10 に設けられるナビゲーション装置、インストルメントパネル、CMS (Camera Monitoring System)、電子ミラー、ランプ等が有する表示デバイスを備えてもよい。

[0324] 一部の実施形態において、HMI 31 は、聴覚情報を出力可能な出力デバイスとして、オーディオスピーカ、ヘッドホン、イヤホンを備えてもよい。

[0325] 一部の実施形態において、HMI 31 は、触覚情報を出力可能な出力デバイスとして、ハプティクス技術を用いたハプティクス素子を備えてもよい。ハプティクス素子は、例えば、ステアリングホイール、シートといった、利用者が接触する車両 10 の部分に設けられてもよい。

[0326] 車両制御部 132 は、車両 10 の 1 つ以上（又は、一部のケースでは全て）のユニットの制御を行う。車両制御部 132 は、ステアリング制御部 181、ブレーキ制御部 182、駆動制御部 183、ボディ系制御部 184、ライト制御部 185、および、ホーン制御部 186 を備える。

- [0327] ステアリング制御部 181 は、車両 10 のステアリングシステムの状態の検出および／又は制御等を行う。ステアリングシステムは、例えば、ステアリングホイール等を備えるステアリング機構、電動パワーステアリング等を備える。ステアリング制御部 181 は、例えば、ステアリングシステムの制御を行うステアリング ECU、ステアリングシステムの駆動を行うアクチュエータ等を備える。
- [0328] ブレーキ制御部 182 は、車両 10 のブレーキシステムの状態の検出および／又は制御等を行う。ブレーキシステムは、例えば、ブレーキペダル等を含むブレーキ機構、ABS (Antilock Brake System)、回生ブレーキ機構等を備える。ブレーキ制御部 182 は、例えば、ブレーキシステムの制御を行うブレーキ ECU、ブレーキシステムの駆動を行うアクチュエータ等を備える。
- [0329] 駆動制御部 183 は、車両 10 の駆動システムの状態の検出および／又は制御等を行う。駆動システムは、例えば、アクセルペダル、内燃機関又は駆動用モータ等の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構等を備える。駆動制御部 183 は、例えば、駆動システムの制御を行う駆動 ECU、駆動システムの駆動を行うアクチュエータ等を備える。
- [0330] ボディ系制御部 184 は、車両 10 のボディ系システムの状態の検出および／又は制御等を行う。ボディ系システムは、例えば、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、パワーシート、空調装置、エアバッグ、シートベルト、シフトレバー等を備える。ボディ系制御部 184 は、例えば、ボディ系システムの制御を行うボディ系 ECU、ボディ系システムの駆動を行うアクチュエータ等を備える。
- [0331] ライト制御部 185 は、車両 10 の各種のライトの状態の検出および／又は制御等を行う。ライト制御部 185 によって制御され得るライトの非限定的な例としては、ヘッドライト、バックライト、フォグライト、ターンシグナル、ブレーキライト、プロジェクターライト、バンパーの表示等がある。

ライト制御部 185 は、ライトの制御を行うライト ECU、ライトの駆動を行うアクチュエータ等を備える。

[0332] ホーン制御部 186 は、車両 10 のカーホーンの状態の検出および／又は制御等を行う。ホーン制御部 186 は、例えば、カーホーンの制御を行うホーン ECU、カーホーンの駆動を行うアクチュエータ等を備える。

[0333] 図 32 は、図 31 の外部認識センサ 125 のカメラ 151、レーダ 152、LiDAR 153、および、超音波センサ 154 等によるセンシング領域の例を示す図である。図 32 において、車両 10 を上面から見た様子が模式的に示されている。

[0334] センシング領域 101F およびセンシング領域 101B は、超音波センサ 154 のセンシング領域の例を示している。センシング領域 101F（例えば、複数の超音波センサ 154 のセンシング領域）は、車両 10 の前端周辺をカバーしている。センシング領域 101B（例えば、複数の超音波センサ 154 のセンシング領域）は、車両 10 の後端周辺をカバーしている。

[0335] センシング領域 101F および／又はセンシング領域 101B におけるセンシング結果は、例えば、車両 10 の駐車支援等に用いられてもよい。

[0336] センシング領域 102F、センシング領域 102B、センシング領域 102L、およびセンシング領域 102R は、短距離又は中距離用のレーダ 152 のセンシング領域の例を示している。センシング領域 102F は、車両 10 の前方において、センシング領域 101F より遠い位置までカバーしている。センシング領域 102B は、車両 10 の後方において、センシング領域 101B より遠い位置までカバーしている。センシング領域 102L は、車両 10 の左側の後方の周辺をカバーしている。センシング領域 102R は、車両 10 の右側の後方の周辺をカバーしている。

[0337] センシング領域 102F におけるセンシング結果は、例えば、車両 10 の前方に存在する車両や歩行者等の検出等に用いられてもよい。センシング領域 102B におけるセンシング結果は、例えば、車両 10 の後方の衝突防止機能等に用いられてもよい。センシング領域 102L および／又はセンシ

グ領域 102R におけるセンシング結果は、例えば、車両 10 の左側および／又は右側の死角における 1 つ以上の物体の検出等に用いられてもよい。

[0338] センシング領域 103F、センシング領域 103B、センシング領域 103L、およびセンシング領域 103R は、カメラ 151 によるセンシング領域の例を示している。センシング領域 103F は、車両 10 の前方において、センシング領域 102F より遠い位置までカバーしている。センシング領域 103B は、車両 10 の後方において、センシング領域 102B より遠い位置までカバーしている。センシング領域 103L は、車両 10 の左側の周辺をカバーしている。センシング領域 103R は、車両 10 の右側の周辺をカバーしている。

[0339] センシング領域 103F におけるセンシング結果は、例えば、信号機や交通標識の認識、車線逸脱防止支援システム、自動ヘッドライト制御システムに用いられてもよい。センシング領域 103B におけるセンシング結果は、例えば、駐車支援、および／又は、サラウンドビューシステムに用いられてもよい。センシング領域 103L および／又はセンシング領域 103R におけるセンシング結果は、例えば、サラウンドビューシステムに用いられてもよい。

[0340] センシング領域 1104 は、L i D A R 153 のセンシング領域の例を示している。センシング領域 1104 は、車両 10 の前方において、センシング領域 103F より遠い位置までカバーしている。一方、センシング領域 1104 は、センシング領域 103F より車両 10 の左右方向の範囲が狭くなっている。

[0341] センシング領域 1104 におけるセンシング結果は、例えば、周辺車両等の物体検出に用いられてもよい。

[0342] センシング領域 1105 は、長距離用のレーダ 152 のセンシング領域の例を示している。センシング領域 1105 は、車両 10 の前方において、センシング領域 1104 より遠い位置までカバーしている。一方、センシング領域 1105 は、センシング領域 1104 より車両 10 の左右方向の範囲が

狭くなっている。

[0343] センシング領域 1105 におけるセンシング結果は、例えば、ACC (Adaptive Cruise Control)、緊急ブレーキ、衝突回避等に用いられてもよい。

[0344] 一部の実施形態において、外部認識センサ 125 (例えば、カメラ 151、レーダ 152、LiDAR 153、超音波センサ 154) の各センサのセンシング領域は、図 32 で示される構成以外に各種の構成をとってもよい。具体的には、一部の実施形態において、超音波センサ 154 が車両 10 の側方もセンシングするようにしてもよいし、LiDAR 153 が車両 10 の後方をセンシングするようにしてもよい。また、各センサの設置位置は、上述した各例に限定されない。また、各センサの数は、1 つでもよいし、複数であってもよい。

[0345] 以上、実施の形態およびその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持ってもよい。

[0346] また、例えば、本開示は以下のような構成を取ることができる。

[0347] (1)

2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、

第1方向に延びるM本の第1配線(Mは2以上の整数)と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線(Nは2以上の整数)とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個(Pは2以上の整数)に電氣的に接続される複数の第2端子配線と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第1端子配線および前記複数の第2端子配線の他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、

前記複数の駆動回路のゲートに電氣的に接続され、前記複数の発光素子の発光パルスの出力を制御する複数の発光パルス制御機構または、前記発光素子に供給する電荷を蓄積するキャパシタに電氣的に接続され、印加電圧を昇圧するチャージポンプ回路とを備え、

前記Nは、前記Mと同じ又は異なる整数であり、

前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である、

発光装置。

[0348] (2)

前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号TRIG₀の入力を受け付けて、前記トリガ信号TRIG₀の遅延信号であるディレイ信号Delayを生成する遅延回路である、(1)に記載の発光装置。

[0349] (3)

前記遅延回路は、インバータチェーン回路、遅延ロックスルー回路またはRC回路である、(2)に記載の発光装置。

[0350] (4)

前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号TRIG₀の出力タイミングを調整したタイミング調整信号TAを生成する発光タイミング調整回路である、(1)に記載の発光装置。

[0351] (5)

前記発光タイミング調整回路は、インバータチェーン回路である、(4)に記載の発光装置。

[0352] (6)

前記発光パルス制御機構は、L D D能力切替信号に基づいて、前記発光素子の出力電流であるL D D出力電流 I_{DLF} のピーク値 I_{peak} を補正するL D D能力切替回路である、(1)に記載の発光装置。

[0353] (7)

前記L D D能力切替回路は、

前記発光素子のカソード側に前記駆動回路と並列に接続される、1または複数の選択的駆動回路とを含み、

前記L D D能力切替信号によって、前記1または複数の選択的駆動回路が駆動する、

(6)に記載の発光装置。

[0354] (8)

前記L D D能力切替回路は、前記L D D能力切替信号に基づいて、出力電圧を可変とするプリドライバを含む、(6)に記載の発光装置。

[0355] (9)

前記L D D能力切替回路は、前記L D D能力切替信号により電流値が制御される制御用電流源I D A Cから出力される電流を増幅し、前記発光素子のカソード側に流すカレントミラー回路を含む、(6)に記載の発光装置。

[0356] (10)

2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、

第1方向に延びるM本の第1配線(Mは2以上の整数)と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線(Nは2以上の整数)とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個(Pは2以上の整数)に電氣的に接続される複数の第2端子配線と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に

接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、

オペアンプを含み、前記オペアンプの出力側が前記駆動回路のゲートに接続され、前記オペアンプの非反転入力端子側が前記駆動回路のソースに接続され、前記発光素子に流れる電流を制御するフィードバック回路とを備え、

前記Nは、前記Mと同じ又は異なる整数であり、

前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である、

発光装置。

[0357] (11)

前記フィードバック回路は、

反転入力端子側に接続される第1抵抗および前記非反転入力端子側に接続される第2抵抗をさらに含み、

制御用電流源I_{DAC}によって前記第1抵抗を流れる電流値に応じて、前記第2抵抗を流れる電流値を制御する、

(10)に記載の発光装置。

[0358] (12)

2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、

第1方向に延びるM本の第1配線(Mは2以上の整数)と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線(Nは2以上の整数)とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個(Pは2以上の整数)に電氣的に接続される複数の第2端子配線と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に

接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第1端子配線および前記複数の第2端子配線他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路とを備え、

前記複数の駆動回路に接続されるそれぞれのゲート配線の配線長は、等長であり、

前記Nは、前記Mと同じ又は異なる整数であり、

前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である、

発光装置。

[0359] (13)

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記LDD能力切替回路は、測定物へ照射した光の反射光による受光レベルの値に基づいて、前記LDD出力電流 I_{DLF} の前記ピーク値 I_{peak} を補正する、(6)に記載の発光装置。

[0360] (14)

前記LDD能力切替回路は、

前記受光レベルの値が設定の基準量を超えた場合に、LDD能力設定を1段階下げ、

前記受光レベルの値が設定の基準量を超えなかった場合に、前記LDD能力設定を1段階上げる、

(13)に記載の発光装置。

[0361] (15)

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記発光タイミング調整回路は、測定物へ照射した光の反射光から生成されるヒストグラムのBin位置に基づいて、前記発光素子の発光タイミングを補正する、(4)に記載の発光装置。

[0362] (16)

前記発光タイミング調整回路は、

前記 B i n 位置が設定の基準よりも早い場合に、発光タイミング設定を 1 段階遅らせ、

前記 B i n 位置が設定の基準よりも早くない場合に、前記発光タイミング設定を 1 段階早める、

(1 5) に記載の発光装置。

[0363] (1 7)

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記遅延回路は、測定物へ照射した光の反射光から生成されるヒストグラムの B i n 幅に基づいて、L D D 出力電流 I_{DLF} のパルス幅 W を補正する、(2) に記載の発光装置。

[0364] (1 8)

前記遅延回路は、

前記 B i n 幅が設定の基準よりも短い場合に、発光パルス幅設定を 1 段階長くし、

前記 B i n 幅が設定の基準よりも短くない場合に、前記発光パルス幅設定を 1 段階短くする、

(1 7) に記載の発光装置。

[0365] (1 9)

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記発光タイミング調整回路は、測定物へ照射した光の反射光から生成されるヒストグラムの B i n 数に基づいて、前記発光素子の発光タイミングを補正する、(4) に記載の発光装置。

[0366] (2 0)

前記発光タイミング調整回路は、

前記 B i n 数が設定の基準を満たす場合に、発光タイミング設定を 1 段階遅らせ、

前記 B i n 数が設定の基準を満たさない場合に、前記発光タイミング設定を 1 段階早める、

(19)に記載の発光装置。

符号の説明

[0367] 1 : 発光装置、1 a : 発光装置、2 : 発光部、3 : 駆動部、10 : 車両、
11 : LDチップ、12 : LDD基板、13 : 実装基板、14 : 放熱基板
、
15 : 補正レンズ保持部、16 : 補正レンズ、17 : 配線、23 : 発光素子、
23 a : 発光素子、23 b : 発光素子、23 c : 発光素子、23 d : 発光素子、
23 e : 発光素子、23 f : 発光素子、24 : トランジスタ、24 a : トランジスタ、
24 b : トランジスタ、31 : 第1アノード配線、31 a : 第1横配線、
31 b : 第1縦配線、32 : 第2アノード配線、32 a : 第2横配線、
32 b : 第2縦配線、33 : 第3アノード配線、33 a : 第3横配線、
33 b : 第3縦配線、34 : 第1キャパシタ、35 : 第2キャパシタ、
36 : 第3キャパシタ、37 : 第1選択回路、37 a : トランジスタ、
37 b : トランジスタ、38 : 第2選択回路、38 a : トランジスタ、
38 b : トランジスタ、39 : 第3選択回路、39 a : トランジスタ、
39 b : トランジスタ、41 : カソード配線、42 : ゲート配線、
50 : 遅延回路、53 : インバータ回路、55 : インバータチェーン回路
、
57 : インバータ回路、58 : RC回路、59 : 遅延ロックループ回路、
60 : 論理積、64 : タイミング調整回路、65 : LDD能力切替回路、
67 : 選択的駆動回路、68 : 論理積、70 : 発光パルス制御機構、
70 a : 発光パルス制御機構、70 b : 発光パルス制御機構、
75 : トランジスタ、76 : トランジスタ、77 : トランジスタ、
78 : 抵抗、79 : 抵抗、80 : オペアンプ、90 : チャージポンプ回路
、

１０１：発光部、駆動部１０２、１０３：電源回路、１０４：発光側光学系、

１０５：受光側光学系、１０６：受光部、１０７：信号処理部、１０８：制御部、

１０９：温度検出部、１１１：車両制御システム、１２１：車両制御ＥＣＵ、

１２２：通信部、１２３：地図情報蓄積部、１２４：位置情報取得部、

１２５：外部認識センサ、１２６：車内センサ、１２７：車両センサ、

１２８：記憶部、１２９：運転自動化制御部、

１３０：ドライバモニタリングシステム（ＤＭＳ）、

１３１：ヒューマンマシーンインタフェース（ＨＭＩ）、

１３２：車両制御部、１４１：通信ネットワーク、１５１：カメラ、

１５２：レーダ、１５３：ＬｉＤＡＲ、１５４：超音波センサ、

１６１：分析部、１６２：行動計画部、１６３：動作制御部、

１６４：ゲート配線、１６５：ゲート配線、１６６：ゲート配線、

１６７：キャパシタ、１７１：自己位置推定部、１７２：センサフュージョン部、

１７３：認識部、１８１：ステアリング制御部、１８２：ブレーキ制御部

、

１８３：駆動制御部、１８４：ボディ系制御部、１８５：ライト制御部、

１８６：ホーン制御部

請求の範囲

[請求項1] 2次元アレイ状に配置され、各々が第1および第2端子を有する複数の発光素子と、

第1方向に延びるM本の第1配線（Mは2以上の整数）と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個（Pは2以上の整数）に電氣的に接続される複数の第2端子配線と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第1端子配線および前記複数の第2端子配線の他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、

前記複数の駆動回路のゲートに電氣的に接続され、前記複数の発光素子の発光パルスの出力を制御する複数の発光パルス制御機構または、前記発光素子に供給する電荷を蓄積するキャパシタに電氣的に接続され、印加電圧を昇圧するチャージポンプ回路とを備え、

前記Nは、前記Mと同じ又は異なる整数であり、

前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である、

発光装置。

[請求項2] 前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号 $TRIG_O$ の入力を受け付けて、前記トリガ信号 $TRIG_O$ の遅延信号であるディレイ信号 $Delay$ を生成する遅延回路である、請

求項 1 に記載の発光装置。

[請求項3] 前記遅延回路は、インバータチェーン回路、遅延ロックスループ回路または RC 回路である、請求項 2 に記載の発光装置。

[請求項4] 前記発光パルス制御機構は、前記駆動回路を駆動させるトリガ信号 $TRIG_O$ の出力タイミングを調整したタイミング調整信号 TA を生成する発光タイミング調整回路である、請求項 1 に記載の発光装置。

[請求項5] 前記発光タイミング調整回路は、インバータチェーン回路である、請求項 4 に記載の発光装置。

[請求項6] 前記発光パルス制御機構は、LDD 能力切替信号に基づいて、前記発光素子の出力電流である LDD 出力電流 I_{DLF} のピーク値 I_{peak} を補正する LDD 能力切替回路である、請求項 1 に記載の発光装置。

[請求項7] 前記 LDD 能力切替回路は、
前記発光素子のカソード側に前記駆動回路と並列に接続される、1
または複数の選択的駆動回路とを含み、
前記 LDD 能力切替信号によって、前記 1 または複数の選択的駆動
回路が駆動する、
請求項 6 に記載の発光装置。

[請求項8] 前記 LDD 能力切替回路は、前記 LDD 能力切替信号に基づいて、
出力電圧を可変とするプリドライバを含む、請求項 6 に記載の発光装
置。

[請求項9] 前記 LDD 能力切替回路は、前記 LDD 能力切替信号により電流値
が制御される制御用電流源 $IDAC$ から出力される電流を増幅し、前
記発光素子のカソード側に流すカレントミラー回路を含む、請求項 6
に記載の発光装置。

[請求項10] 2 次元アレイ状に配置され、各々が第 1 および第 2 端子を有する複
数の発光素子と、

第 1 方向に延びる M 本の第 1 配線 (M は 2 以上の整数) と、前記第

1 方向に交差する第 2 方向に延び、前記 M 本の第 1 配線にそれぞれ電氣的に接続される N 本の第 2 配線（N は 2 以上の整数）とを含み、前記発光素子の前記第 1 端子に電氣的に接続される複数の第 1 端子配線と、

前記発光素子の前記第 2 端子に電氣的に接続され、各々が前記発光素子のうちの P 個（P は 2 以上の整数）に電氣的に接続される複数の第 2 端子配線と、

前記複数の第 1 端子配線および前記複数の第 2 端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第 1 端子配線および前記複数の第 2 端子配線の一方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路と、

オペアンプを含み、前記オペアンプの出力側が前記駆動回路のゲートに接続され、前記オペアンプの非反転入力端子側が前記駆動回路のソースに接続され、前記発光素子に流れる電流を制御するフィードバック回路とを備え、

前記 N は、前記 M と同じ又は異なる整数であり、

前記 P は、前記 M 又は前記 N の少なくとも一方と同じ又は異なる整数である、

発光装置。

[請求項 11]

前記フィードバック回路は、

反転入力端子側に接続される第 1 抵抗および前記非反転入力端子側に接続される第 2 抵抗をさらに含み、

制御用電流源 I D A C によって前記第 1 抵抗を流れる電流値に応じて、前記第 2 抵抗を流れる電流値を制御する、

請求項 10 に記載の発光装置。

[請求項 12]

2 次元アレイ状に配置され、各々が第 1 および第 2 端子を有する複

数の発光素子と、

第1方向に延びるM本の第1配線（Mは2以上の整数）と、前記第1方向に交差する第2方向に延び、前記M本の第1配線にそれぞれ電氣的に接続されるN本の第2配線（Nは2以上の整数）とを含み、前記発光素子の前記第1端子に電氣的に接続される複数の第1端子配線と、

前記発光素子の前記第2端子に電氣的に接続され、各々が前記発光素子のうちのP個（Pは2以上の整数）に電氣的に接続される複数の第2端子配線と、

前記複数の第1端子配線および前記複数の第2端子配線の一方に電氣的に接続され、発光対象の前記発光素子を選択する複数の選択回路と、

前記複数の第1端子配線および前記複数の第2端子配線の他方に電氣的に接続され、前記複数の発光素子を駆動させる複数の駆動回路とを備え、

前記複数の駆動回路に接続されるそれぞれのゲート配線の配線長は、等長であり、

前記Nは、前記Mと同じ又は異なる整数であり、

前記Pは、前記M又は前記Nの少なくとも一方と同じ又は異なる整数である、

発光装置。

[請求項13] 測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記LDD能力切替回路は、測定物へ照射した光の反射光による受光レベルの値に基づいて、前記LDD出力電流 I_{DLF} の前記ピーク値 I_{peak} を補正する、

請求項6に記載の発光装置。

[請求項14] 前記LDD能力切替回路は、

前記受光レベルの値が設定の基準量を超えた場合に、LDD能力設

定を1段階下げ、

前記受光レベルの値が設定の基準量を超えなかった場合に、前記LDD能力設定を1段階上げる、

請求項13に記載の発光装置。

[請求項15]

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記発光タイミング調整回路は、測定物へ照射した光の反射光から生成されるヒストグラムのBin位置に基づいて、前記発光素子の発光タイミングを補正する、

請求項4に記載の発光装置。

[請求項16]

前記発光タイミング調整回路は、

前記Bin位置が設定の基準よりも早い場合に、発光タイミング設定を1段階遅らせ、

前記Bin位置が設定の基準よりも早くない場合に、前記発光タイミング設定を1段階早める、

請求項15に記載の発光装置。

[請求項17]

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記遅延回路は、測定物へ照射した光の反射光から生成されるヒストグラムのBin幅に基づいて、LDD出力電流 I_{DLF} のパルス幅 W を補正する、

請求項2に記載の発光装置。

[請求項18]

前記遅延回路は、

前記Bin幅が設定の基準よりも短い場合に、発光パルス幅設定を1段階長くし、

前記Bin幅が設定の基準よりも短くない場合に、前記発光パルス幅設定を1段階短くする、

請求項17に記載の発光装置。

[請求項19]

測距装置の一部となっている発光装置であって、

前記発光装置に備えられる前記発光タイミング調整回路は、測定物

へ照射した光の反射光から生成されるヒストグラムのB i n数に基づいて、前記発光素子の発光タイミングを補正する、

請求項4に記載の発光装置。

[請求項20]

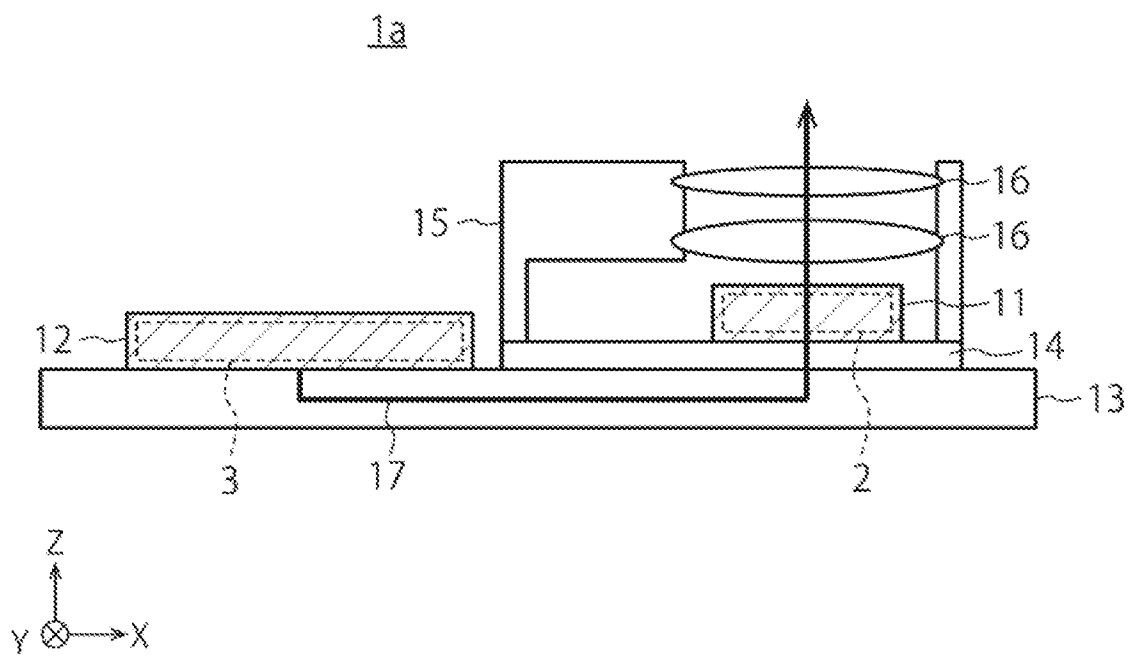
前記発光タイミング調整回路は、

前記B i n数が設定の基準を満たす場合に、発光タイミング設定を1段階遅らせ、

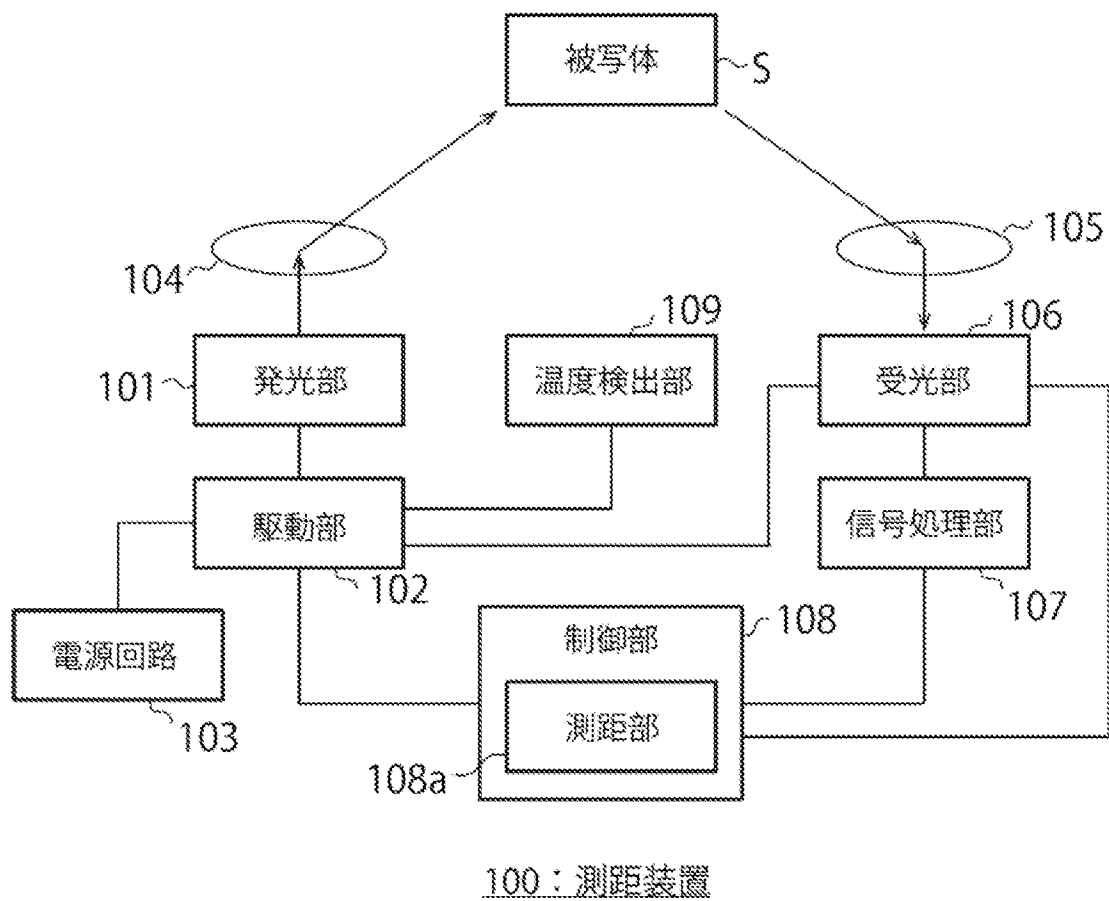
前記B i n数が設定の基準を満たさない場合に、前記発光タイミング設定を1段階早める、

請求項19に記載の発光装置。

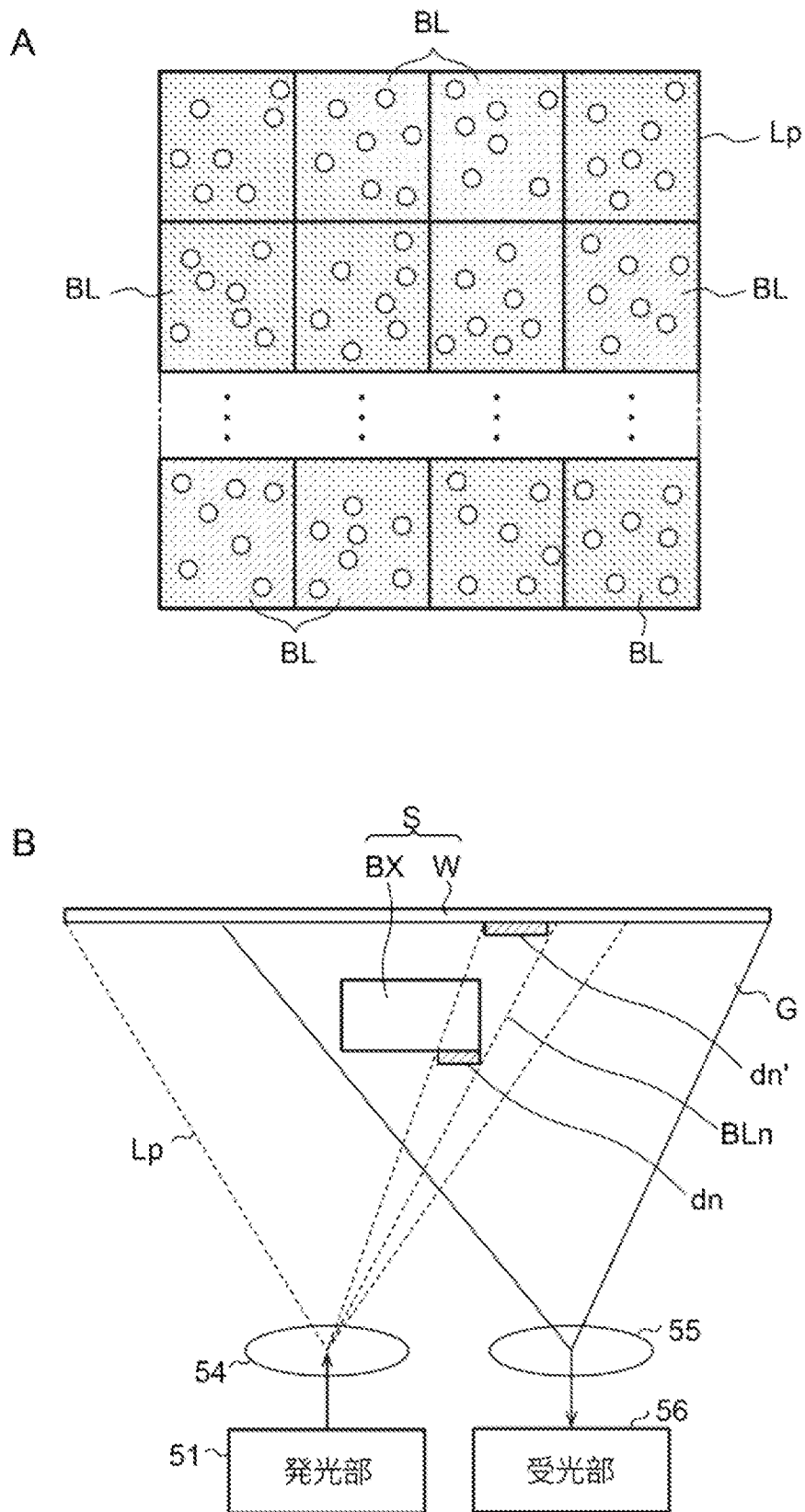
[図1]



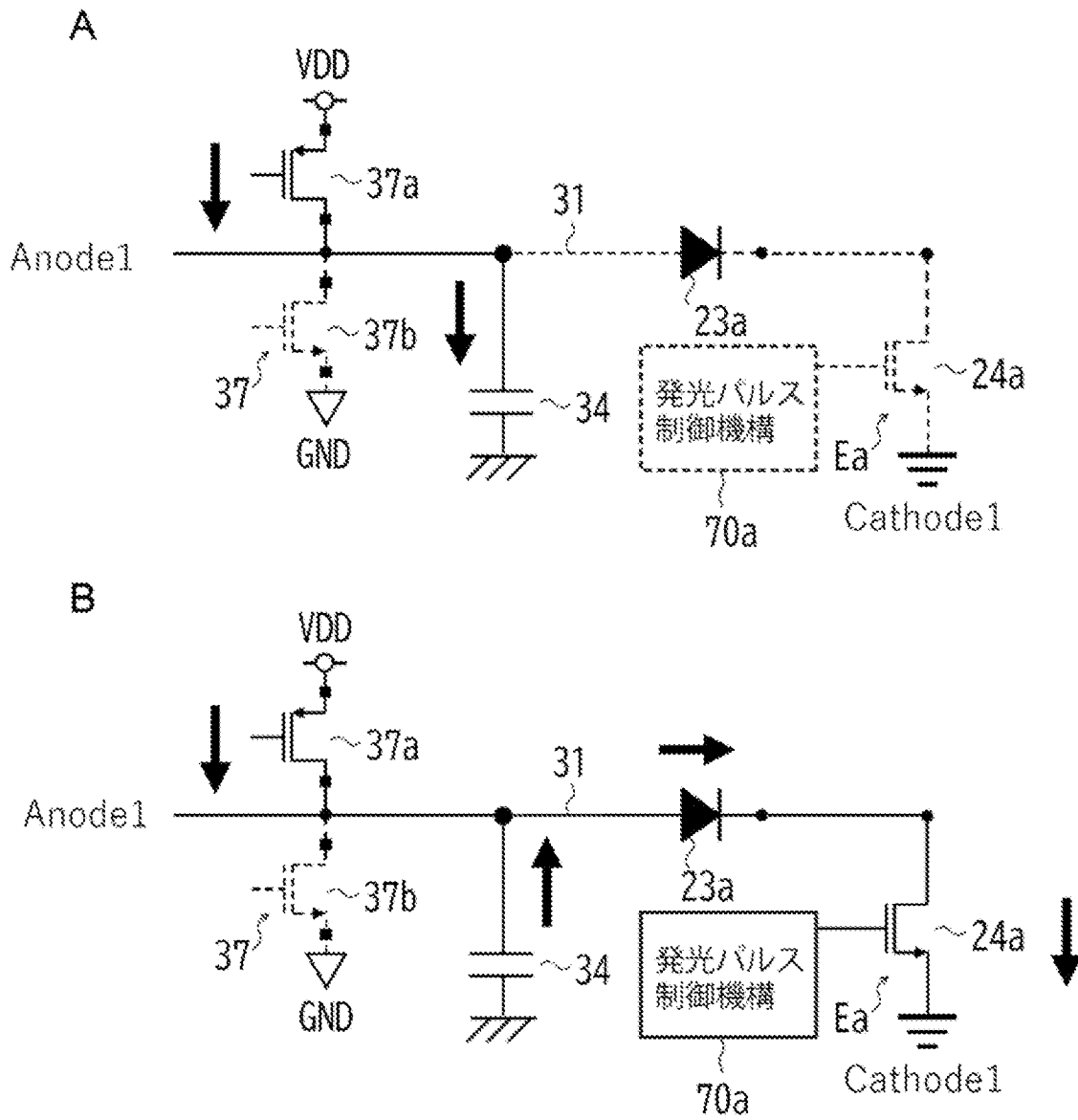
[図2]



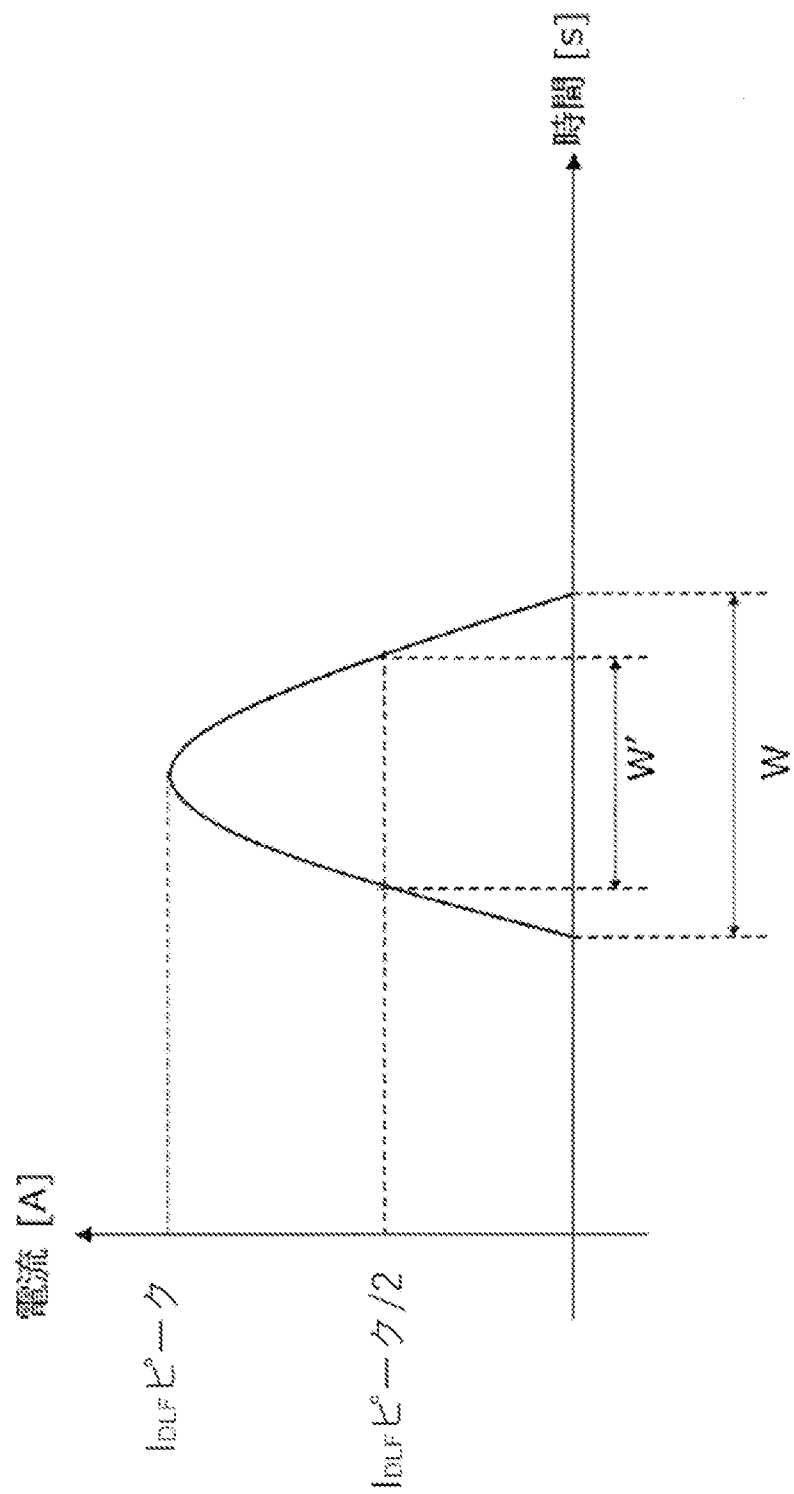
[図3]



[図6]

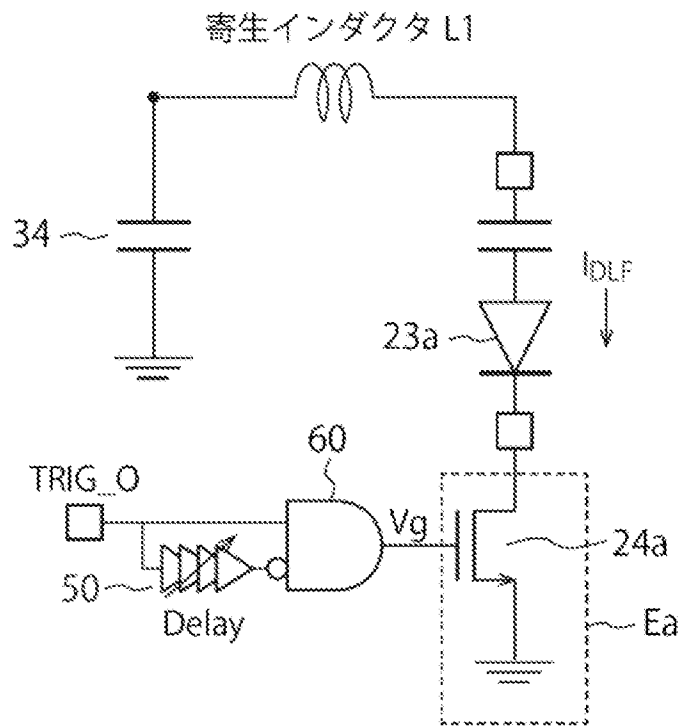


[図7]

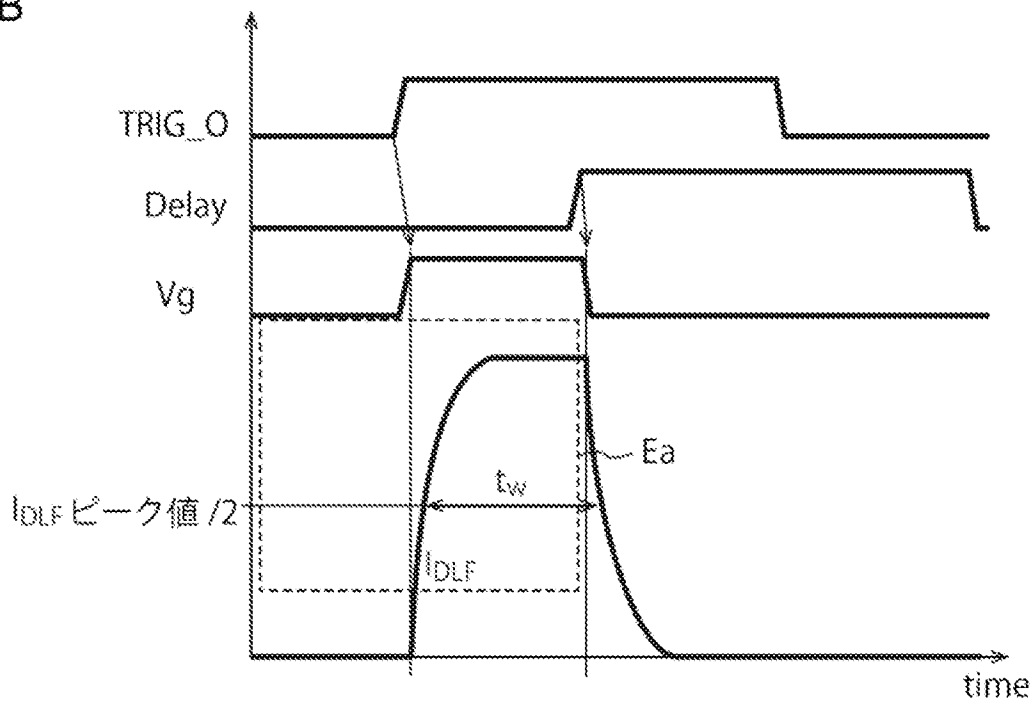


[図8]

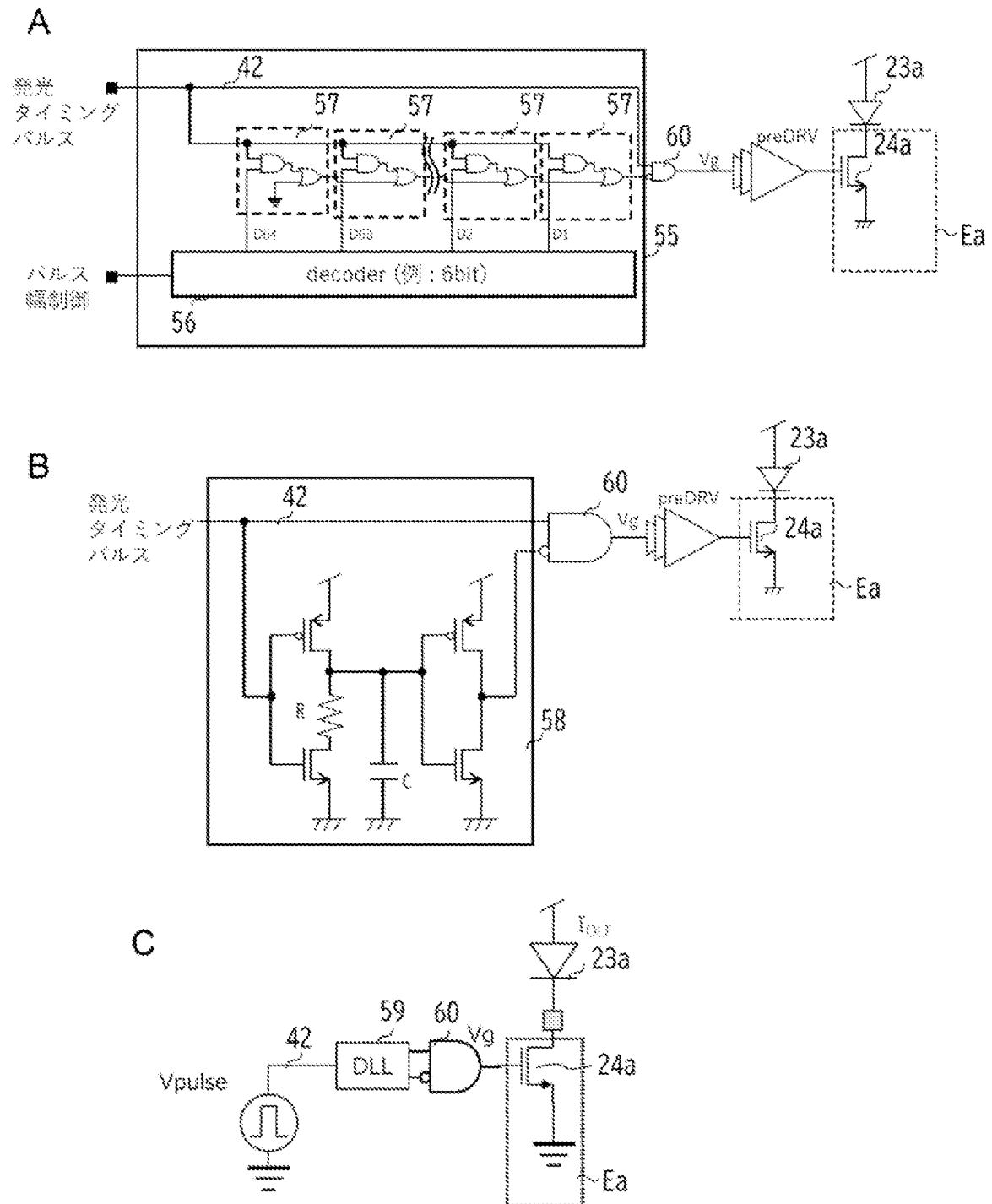
A



B

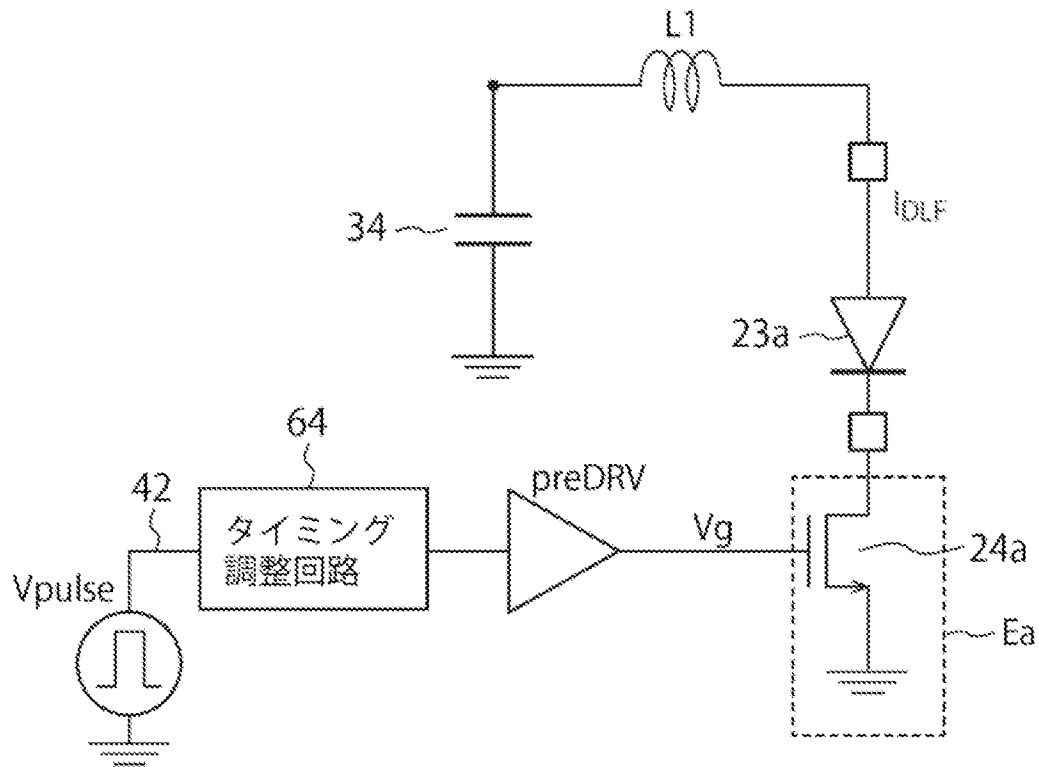


[図9]

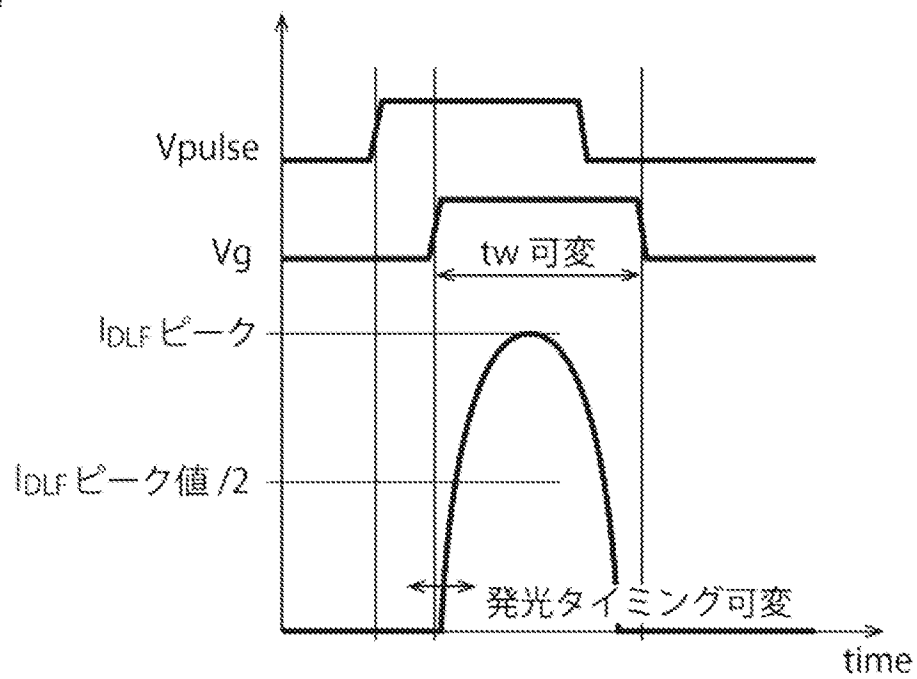


[図10]

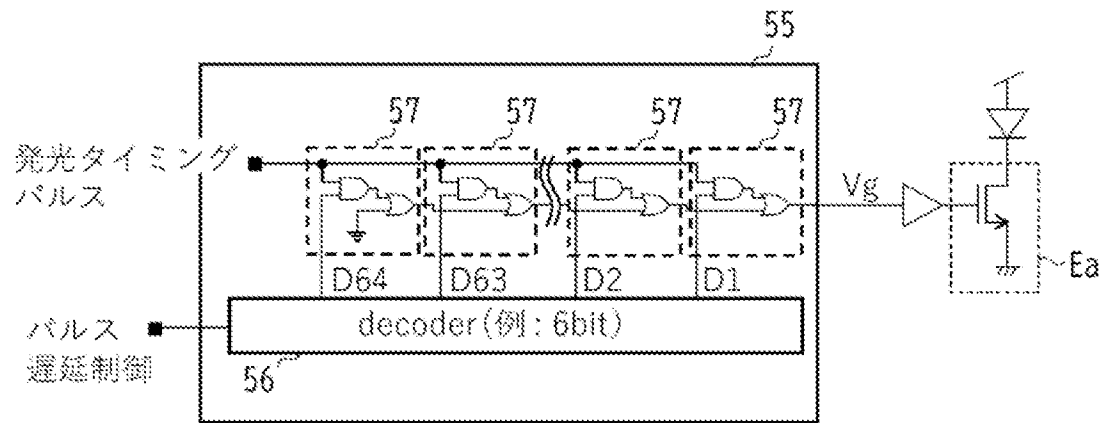
A



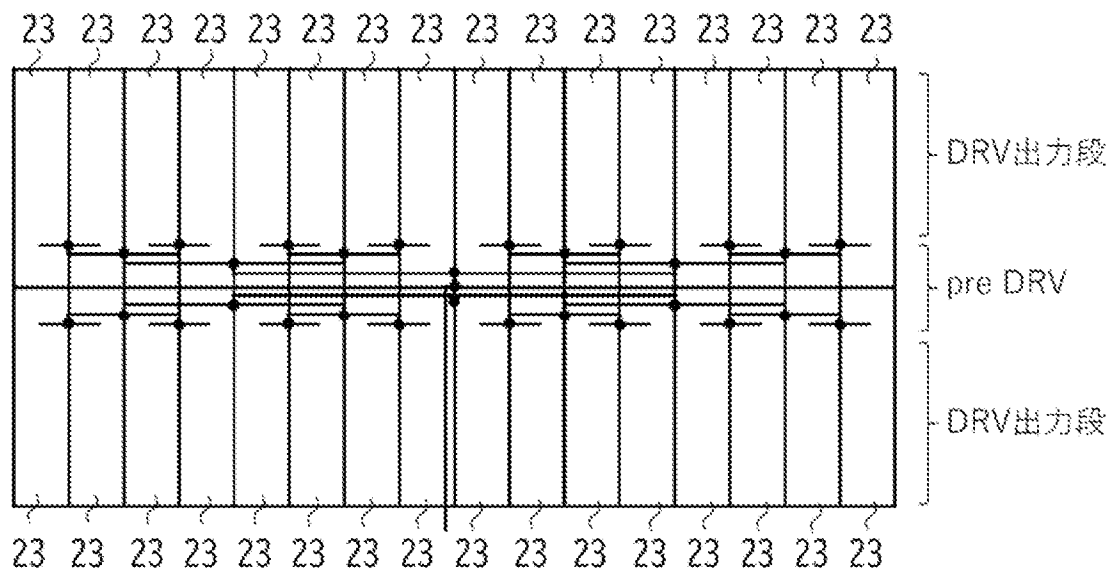
B



[図11]

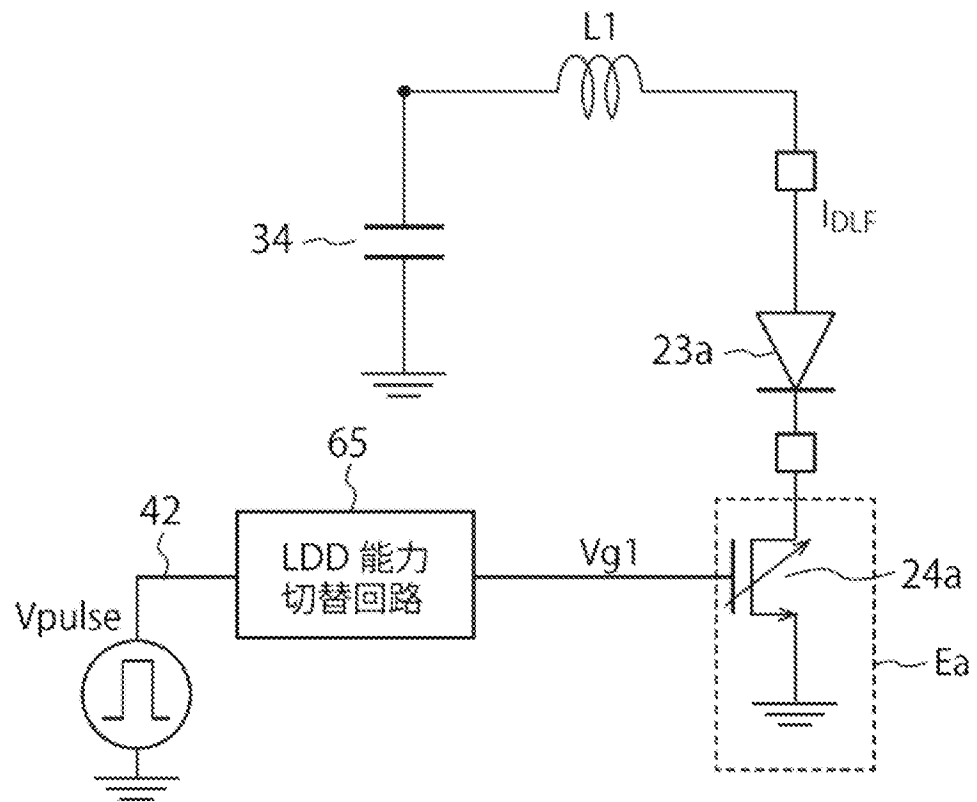


[図12]

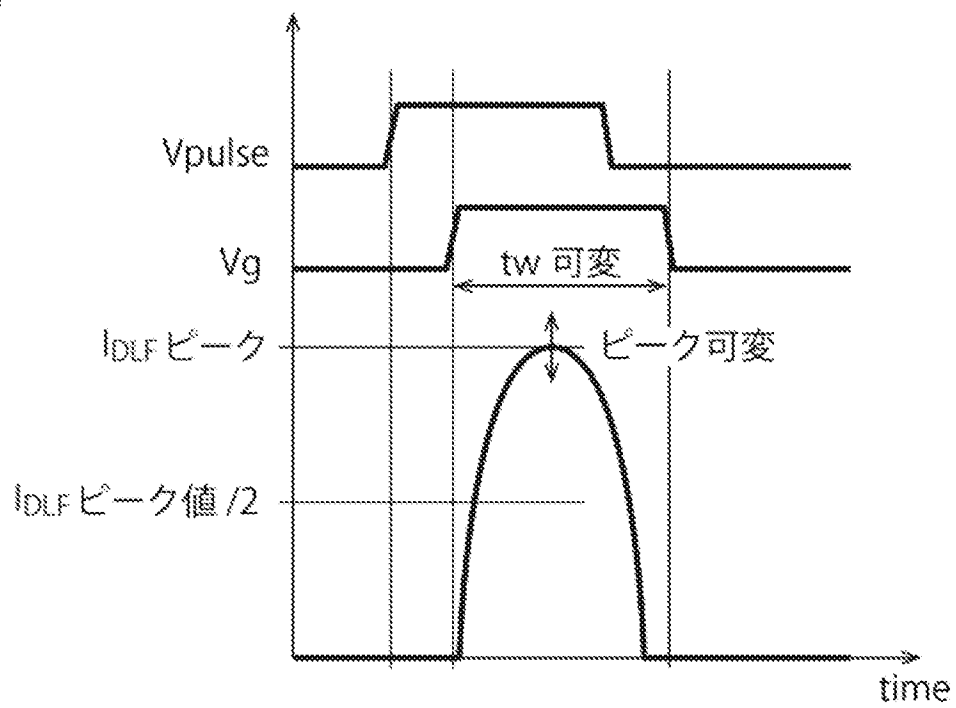


[図13]

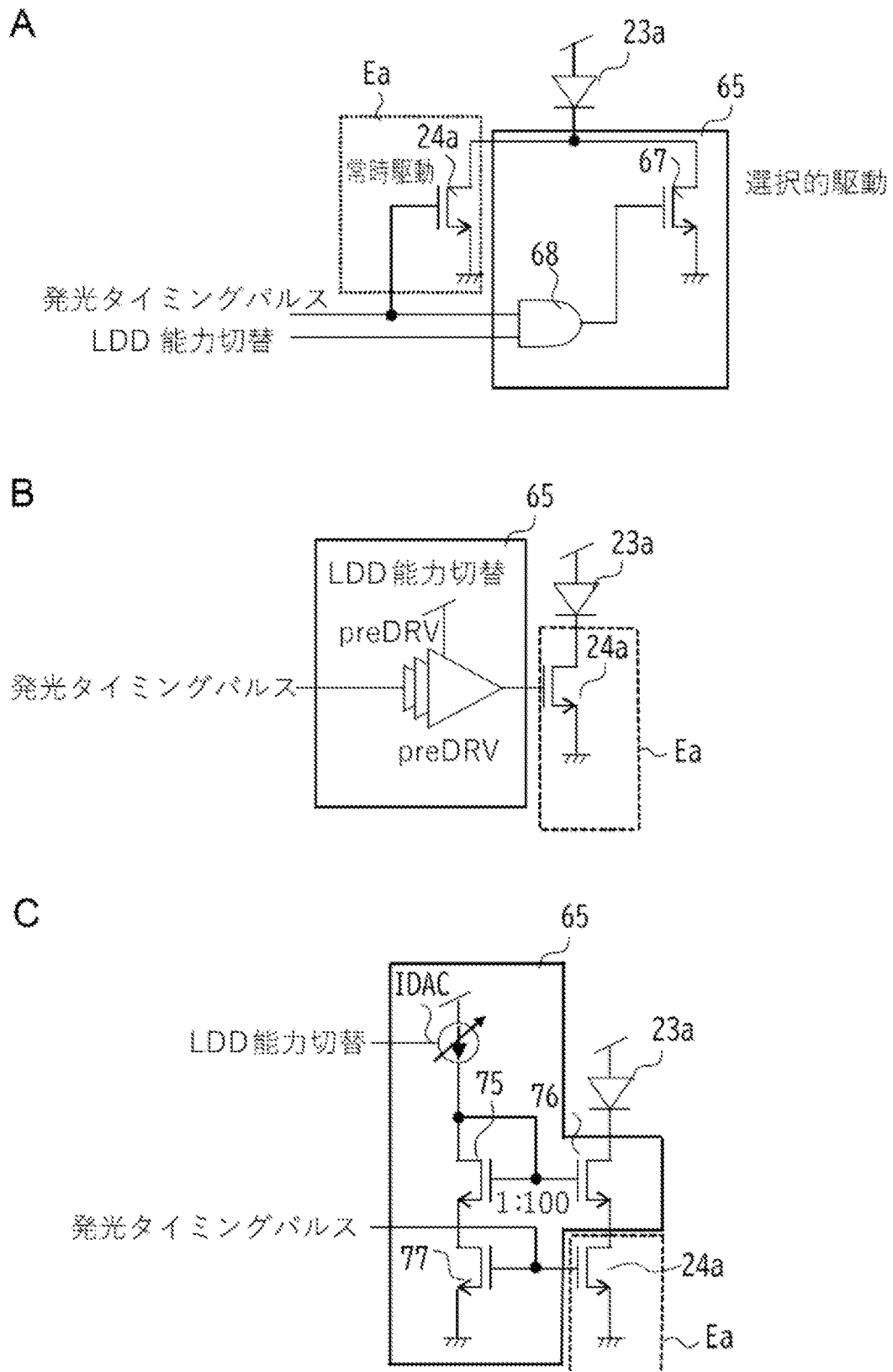
A



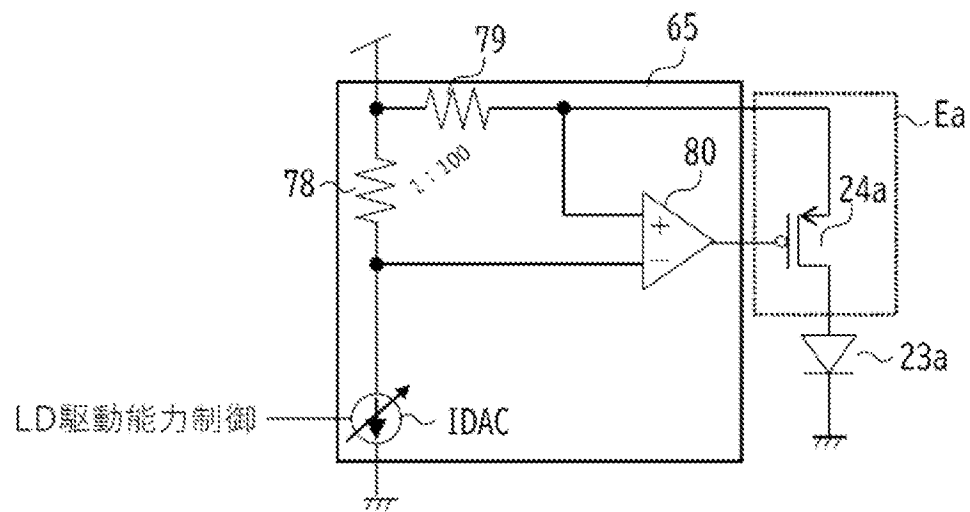
B



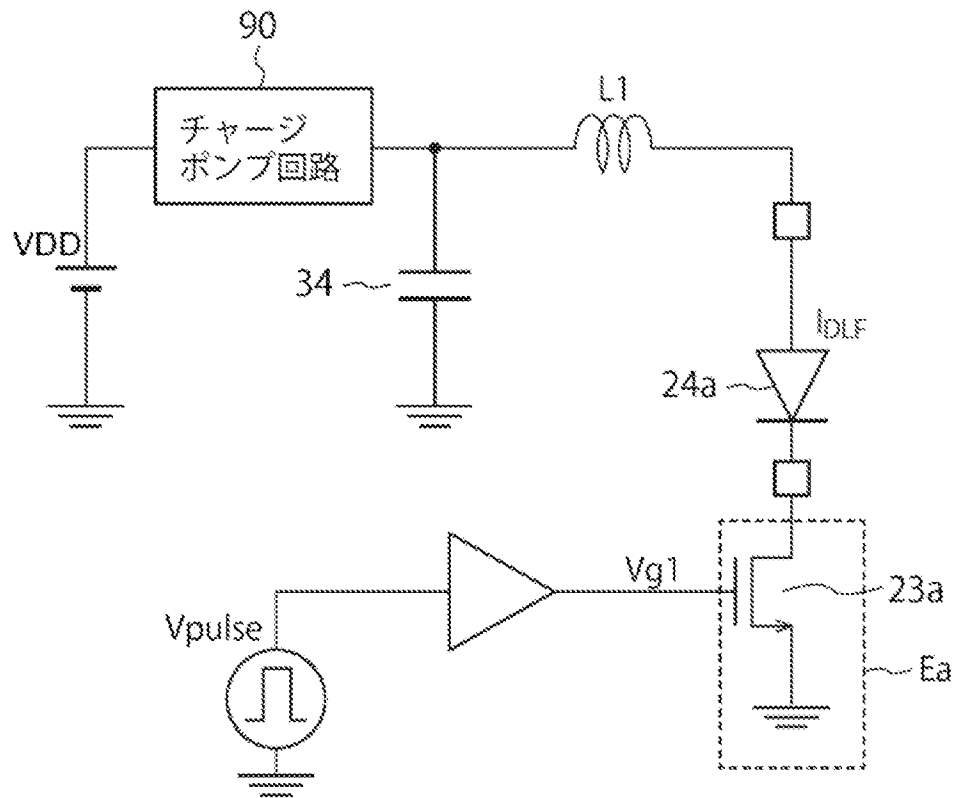
[図14]



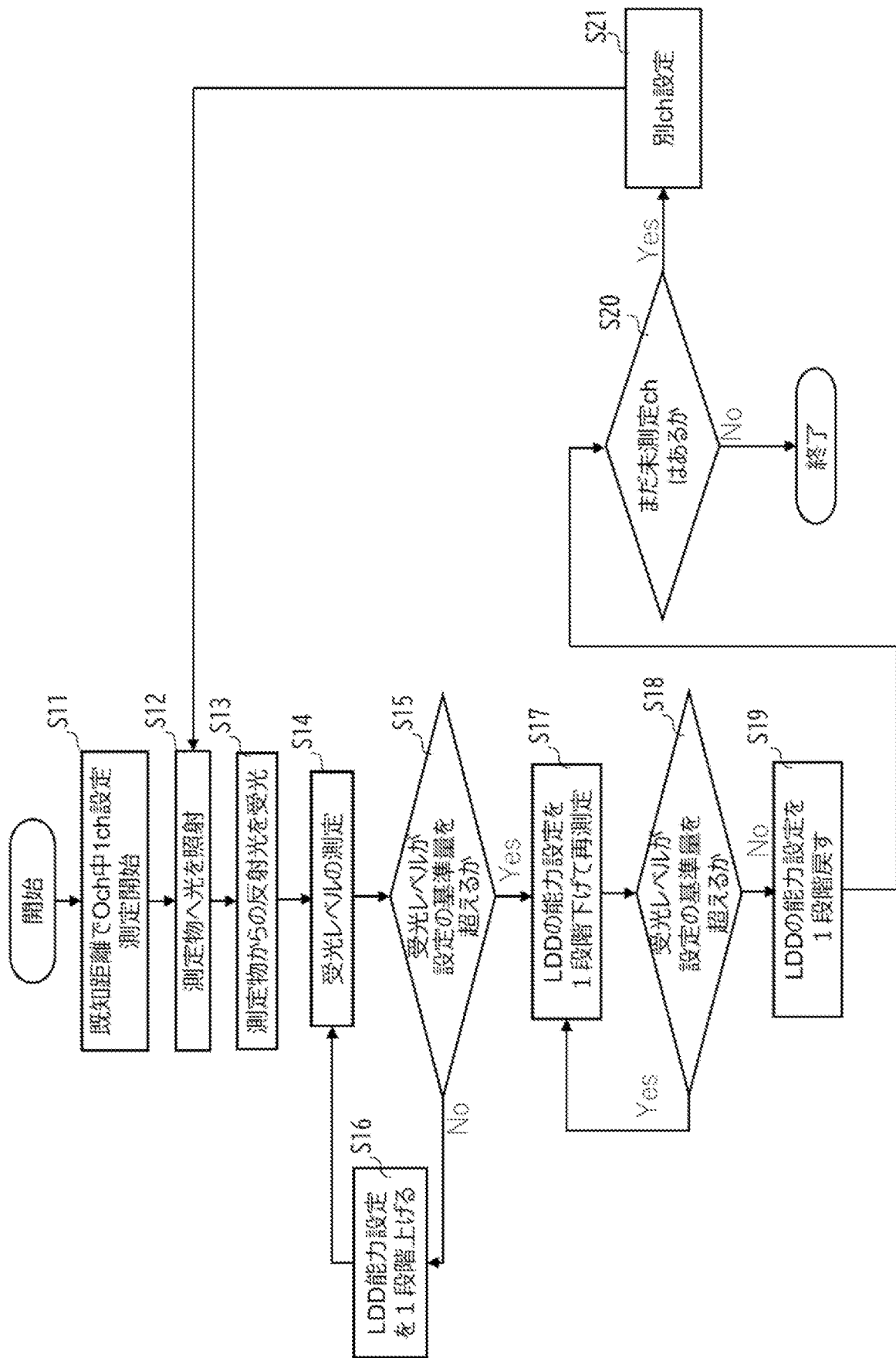
[図15]



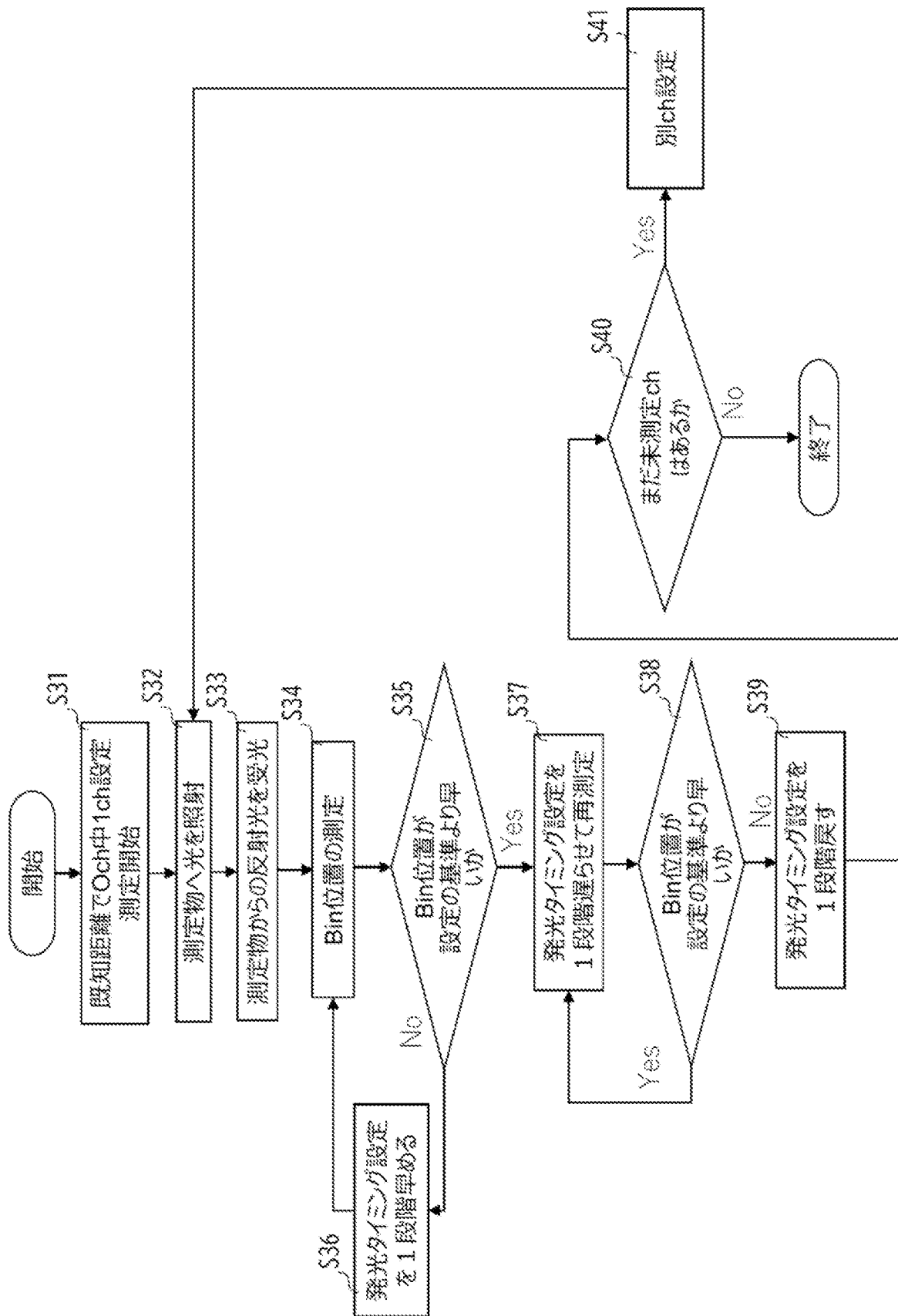
[図16]



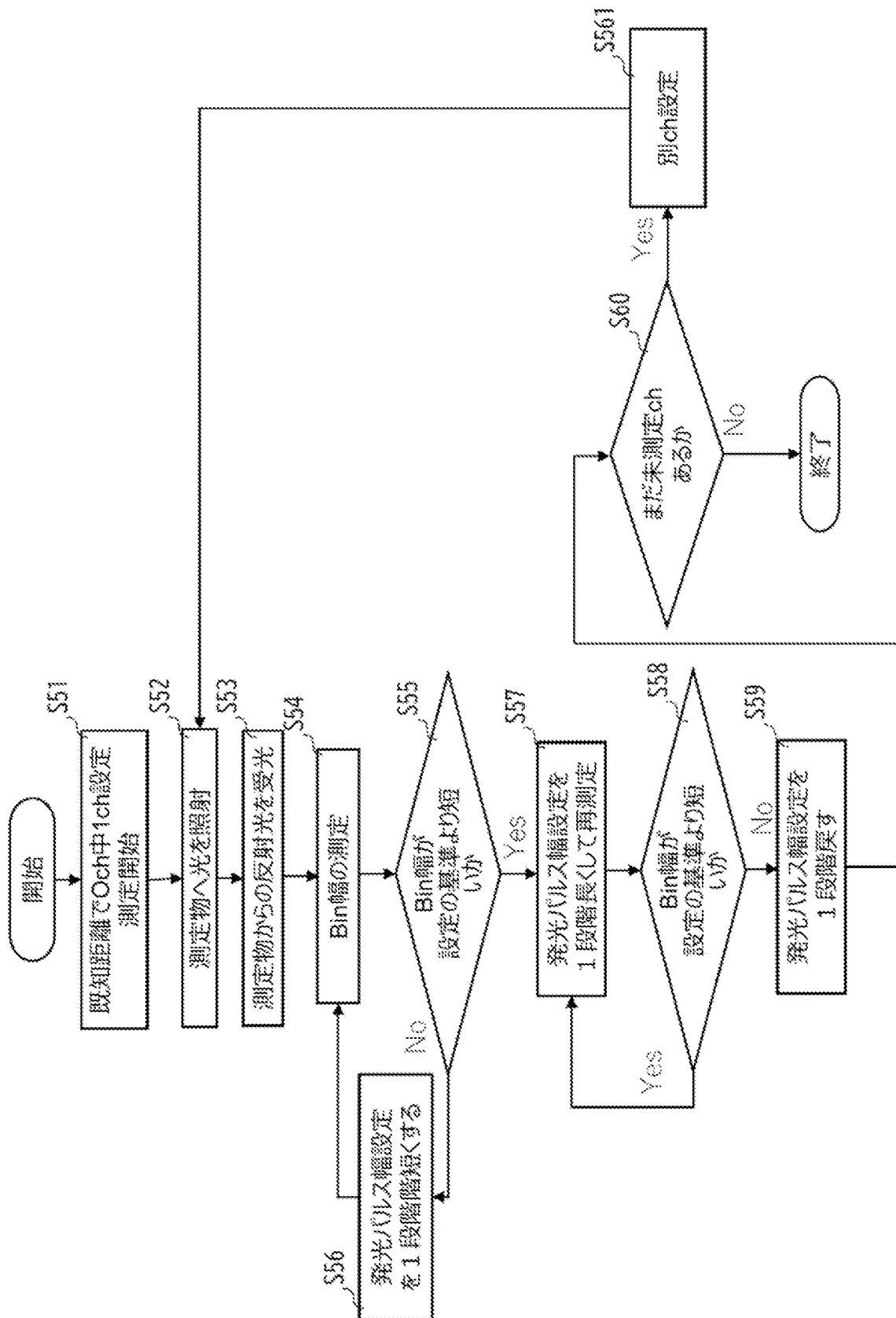
[図17]



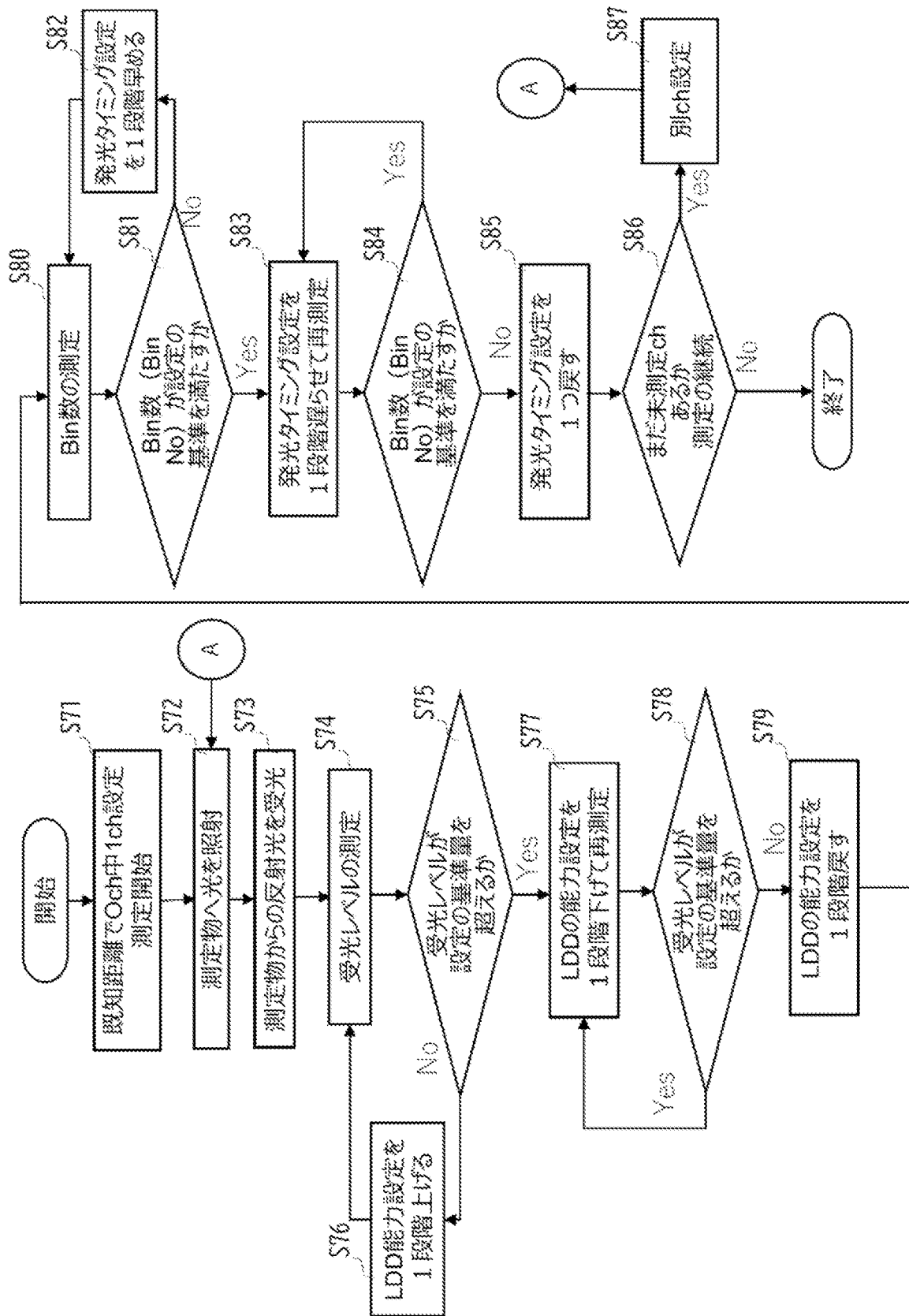
[図18]



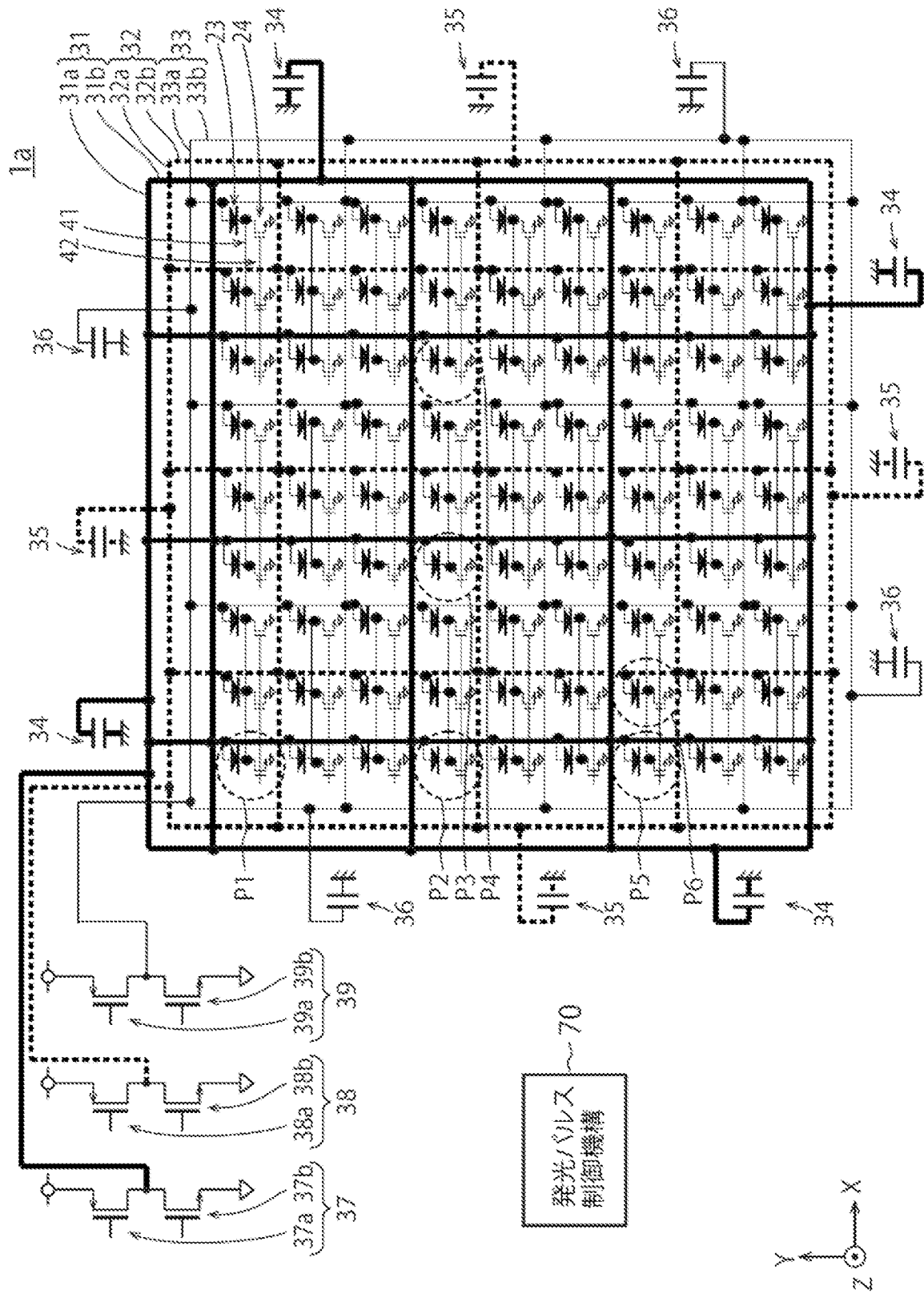
[図19]



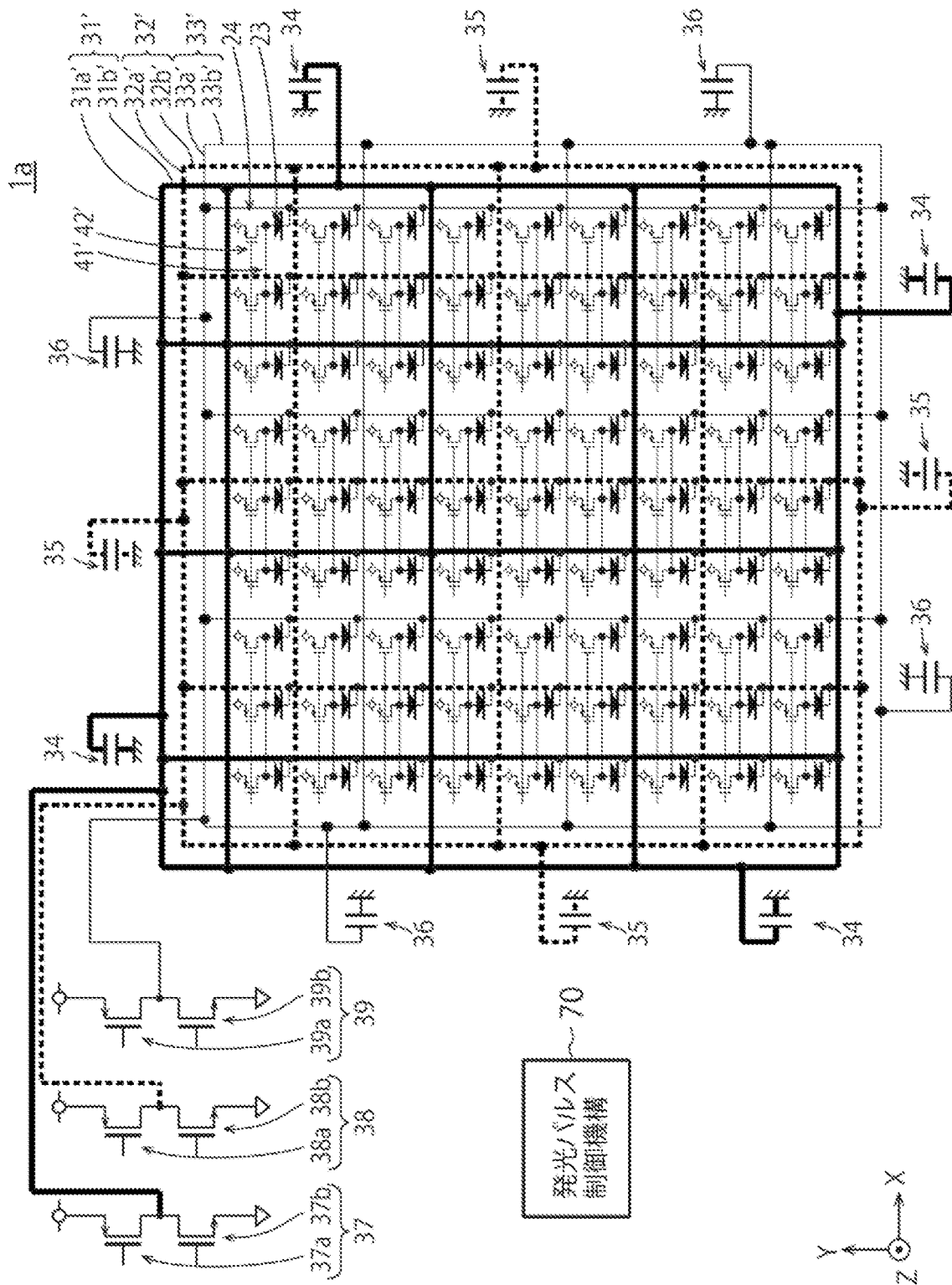
[図20]



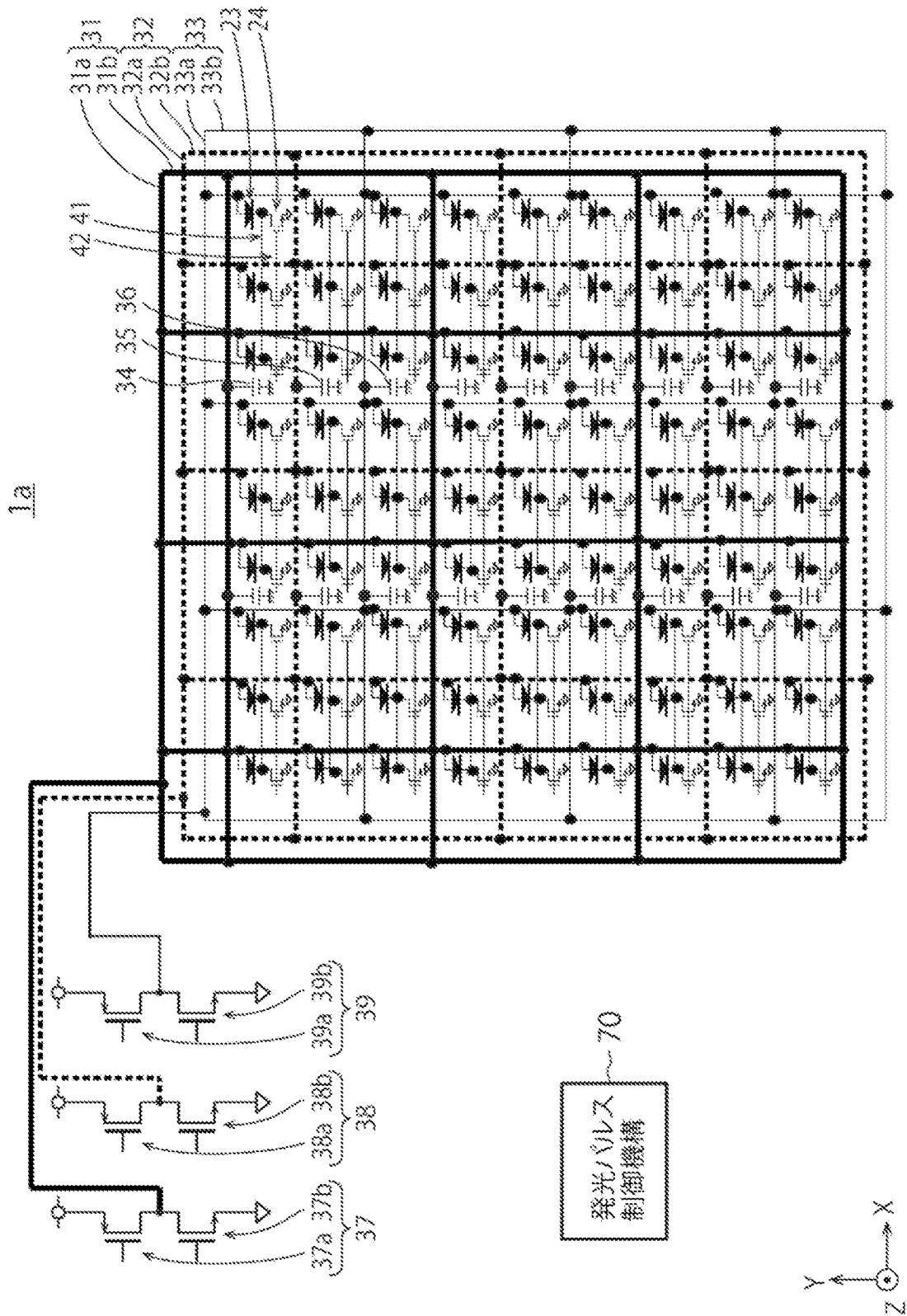
[図21]



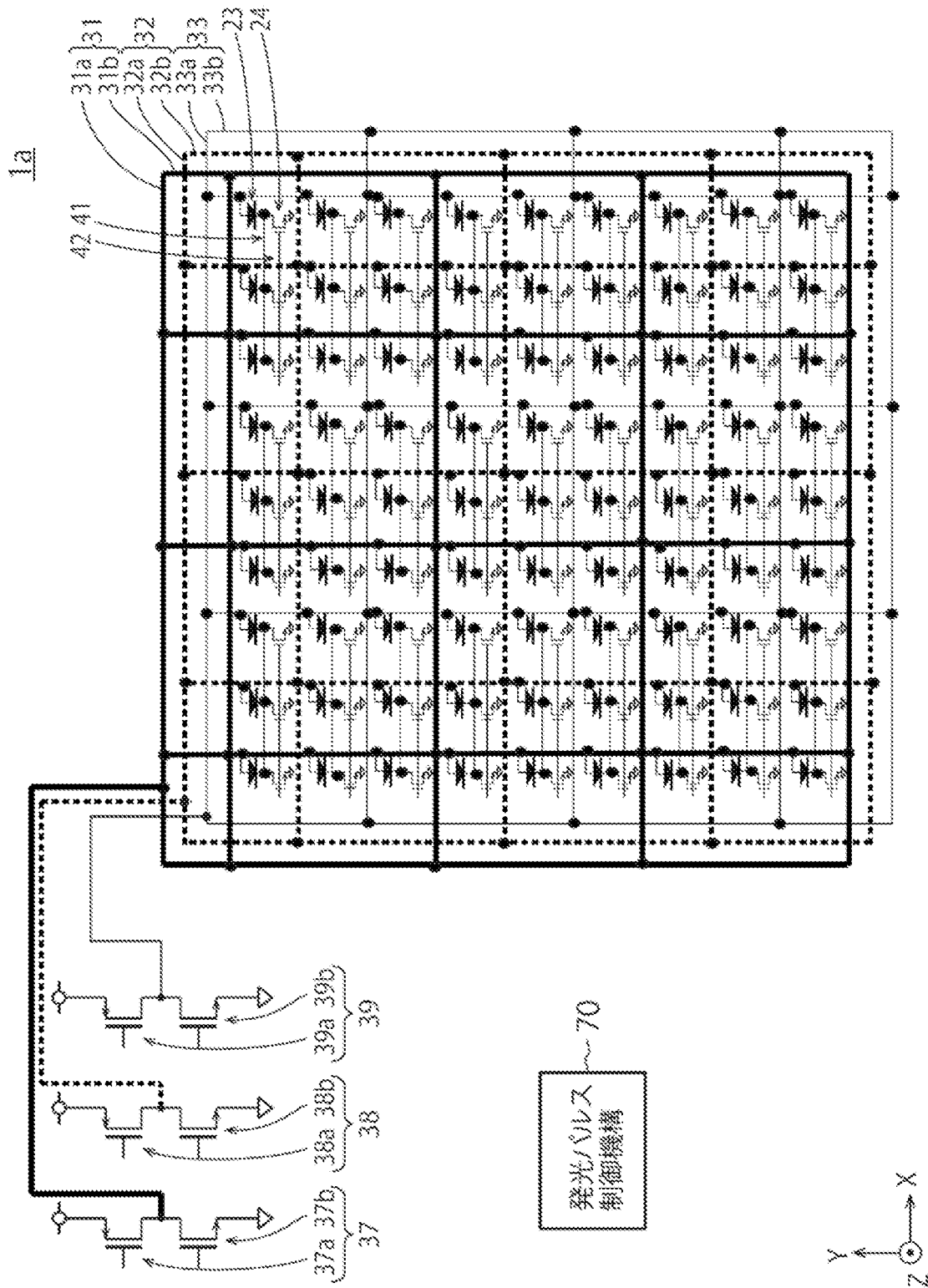
[図23]



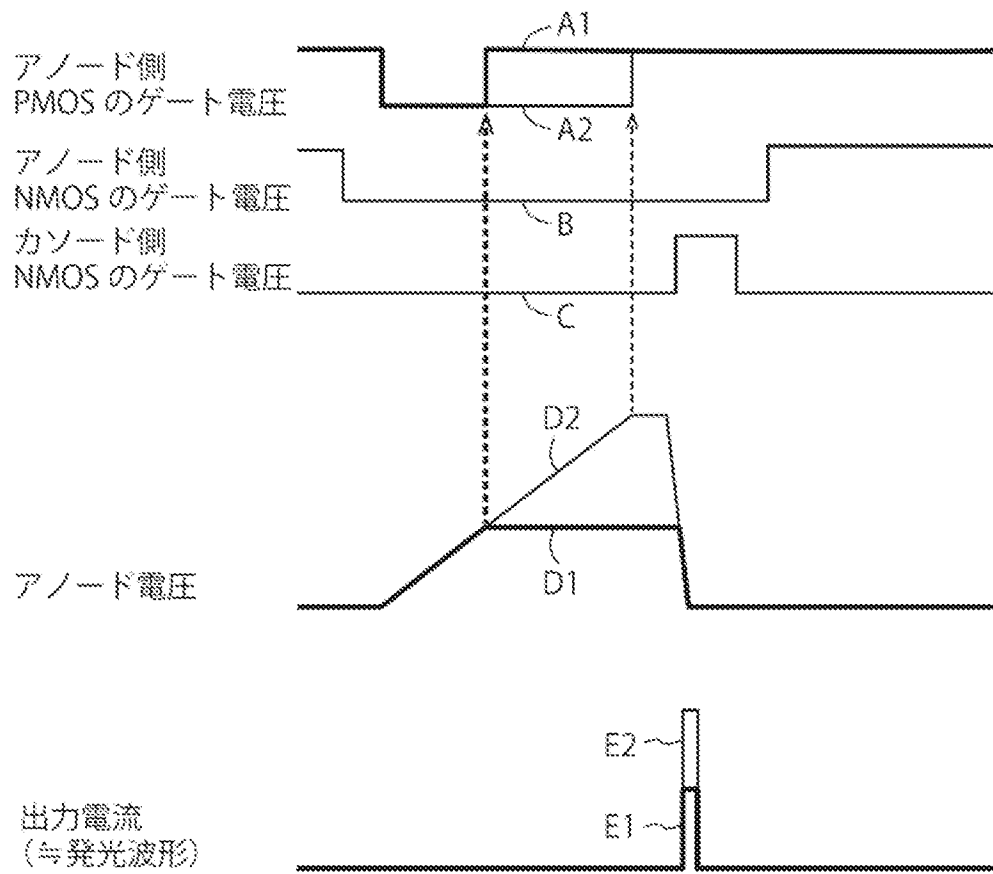
[図24]



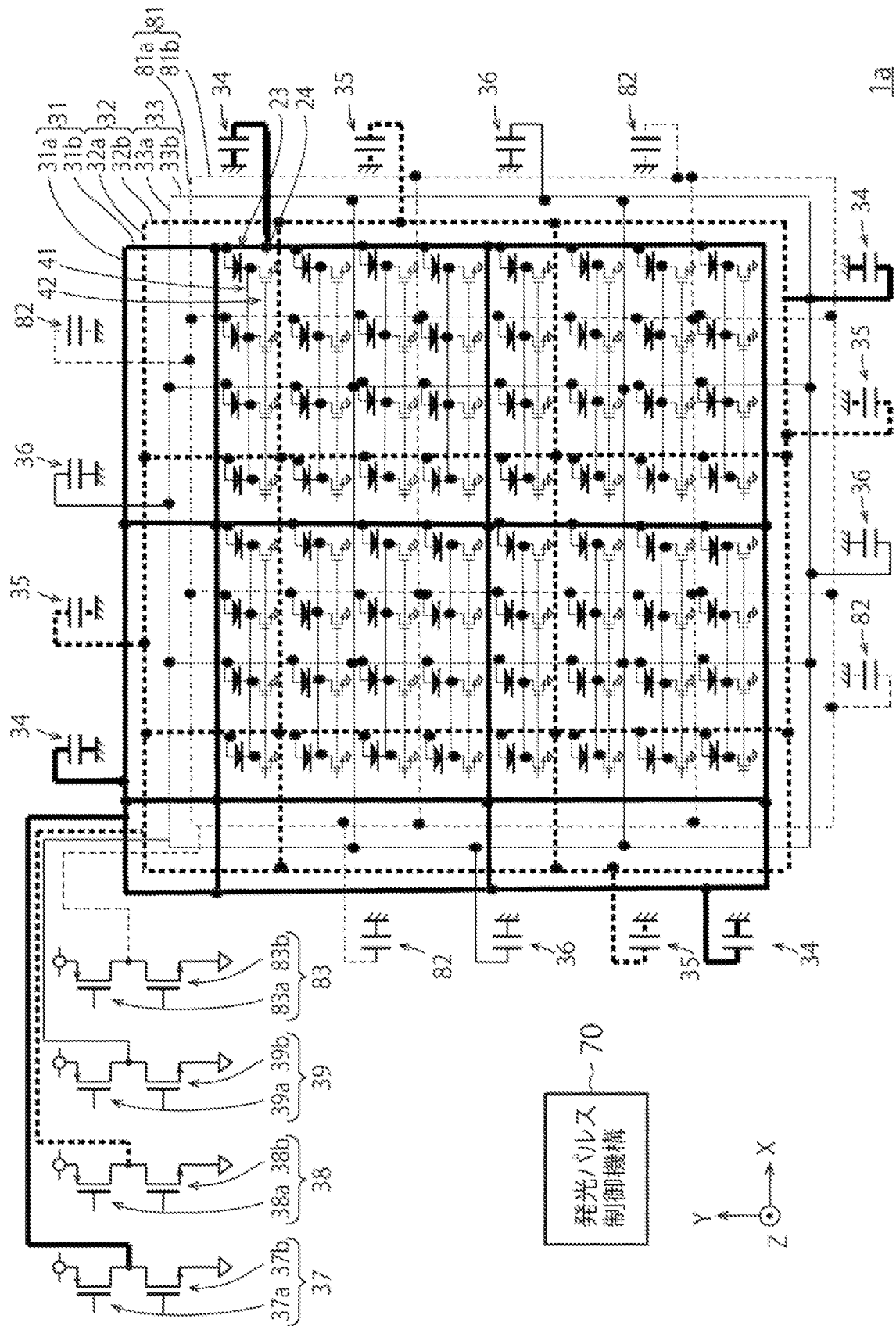
[図25]



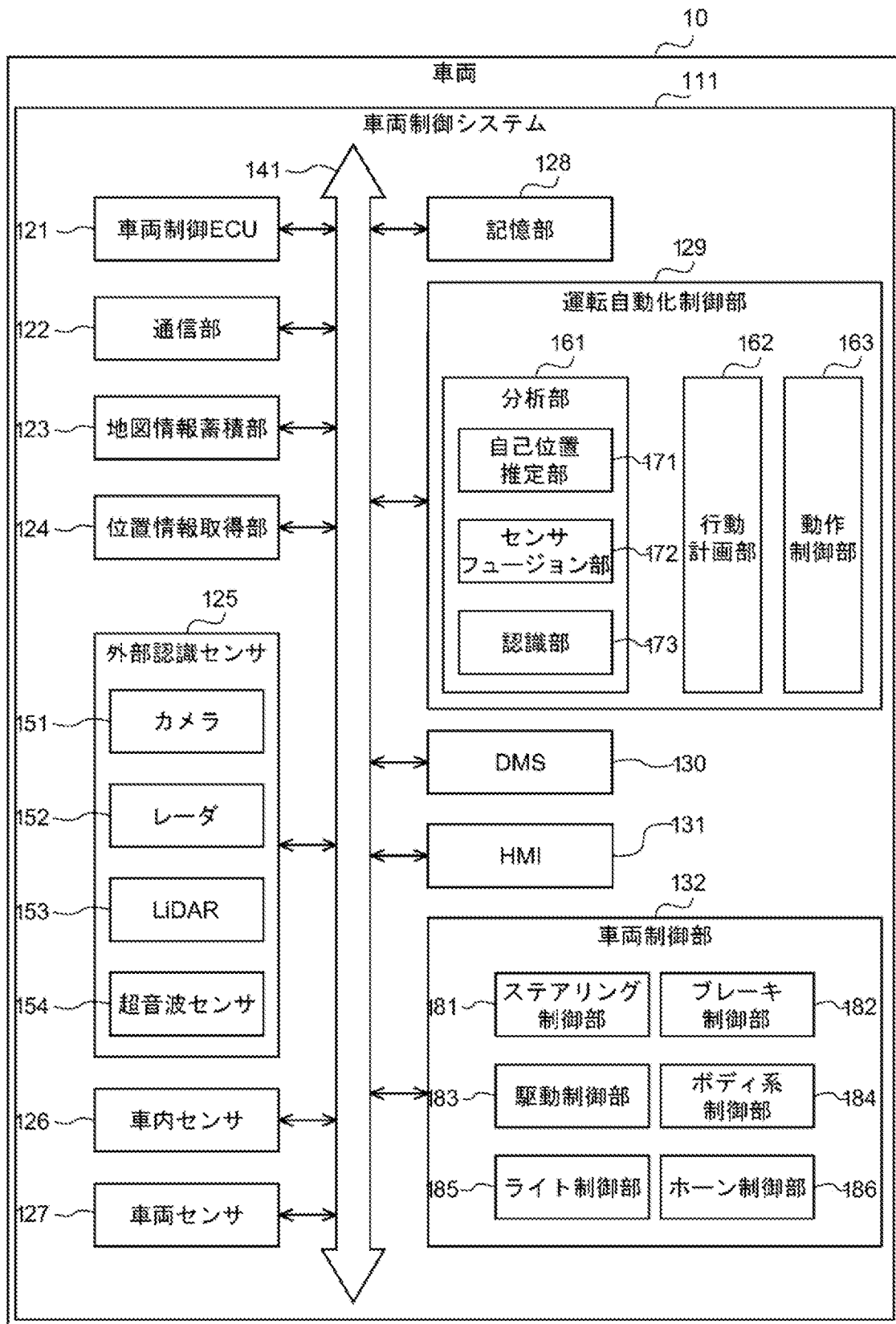
[図29]



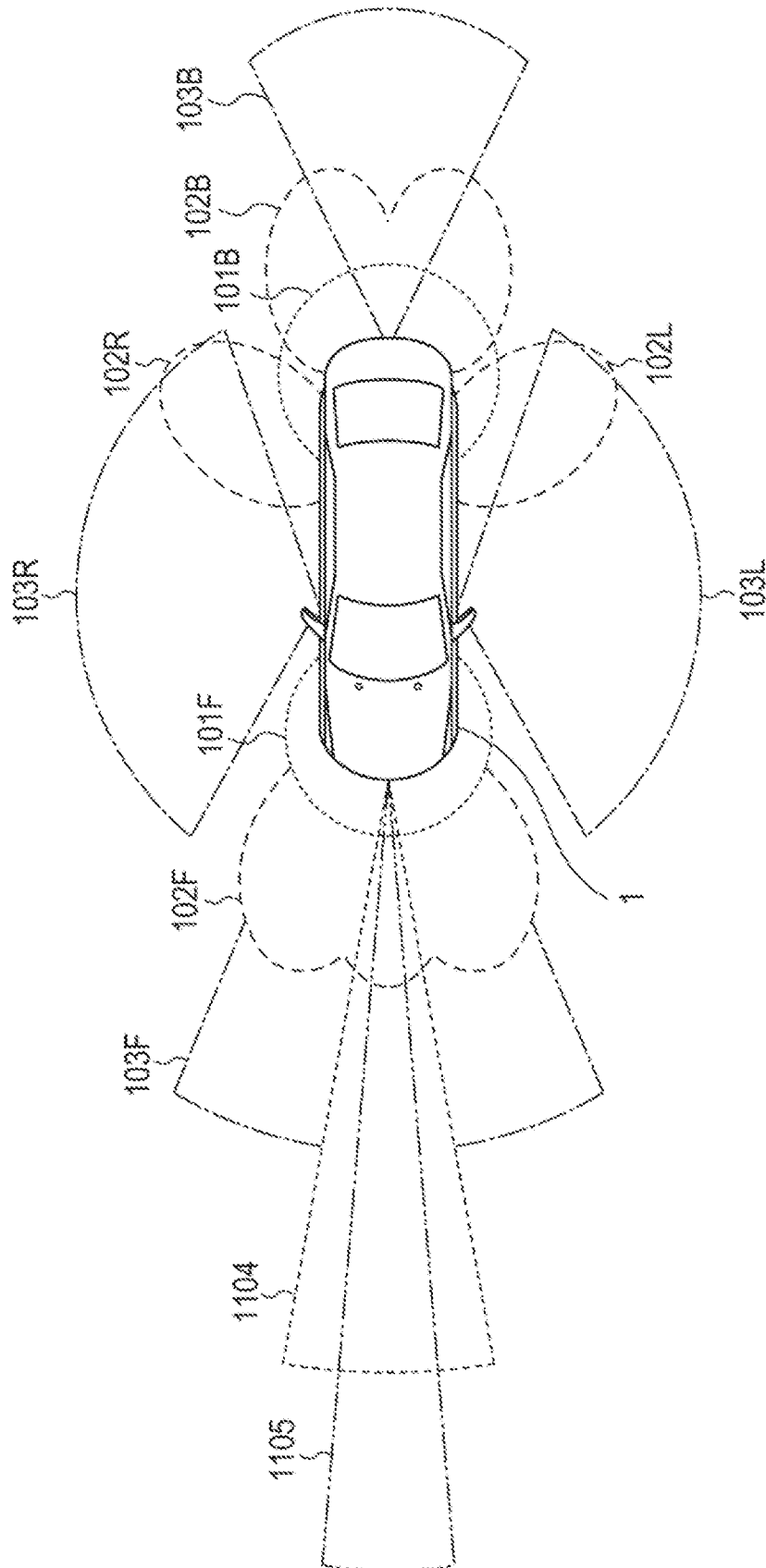
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/028974

A. CLASSIFICATION OF SUBJECT MATTER**G01B 11/25**(2006.01)i; **G01S 7/484**(2006.01)i; **H01S 5/183**(2006.01)i

FI: G01B11/25 H; G01S7/484; H01S5/183

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01B11/00-11/30; G01S7/48-7/51; G01S17/00-17/95; H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2023/181639 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 28 September 2023 (2023-09-28) entire text, all drawings	1-20
A	WO 2023/153164 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 17 August 2023 (2023-08-17) entire text, all drawings	1-20
A	JP 2023-063706 A (FUJIFILM BUSINESS INNOVATION CORP.) 10 May 2023 (2023-05-10) entire text, all drawings	1-20
A	JP 2022-526998 A (OPSYS TECH LTD.) 27 May 2022 (2022-05-27) entire text, all drawings	1-20
A	US 2016/0072258 A1 (PRINCETON OPTRONICS INC.) 10 March 2016 (2016-03-10) whole document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

11 October 2024

Date of mailing of the international search report

29 October 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/028974

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2023/181639	A1	28 September 2023	TW 202405380 A	
WO	2023/153164	A1	17 August 2023	(Family: none)	
JP	2023-063706	A	10 May 2023	US 2023/0125222 A1	
				whole document	
JP	2022-526998	A	27 May 2022	US 2020/0326425 A1	
				whole document	
				JP 2023-85452 A	
				US 2021/0231806 A1	
				US 2023/0358887 A1	
				WO 2020/210176 A1	
				EP 3953727 A1	
				KR 10-2021-0137584 A	
				CN 113692540 A	
US	2016/0072258	A1	10 March 2016	US 2016/0254638 A1	

A. 発明の属する分野の分類（国際特許分類（IPC））

G01B 11/25(2006.01)i; G01S 7/484(2006.01)i; H01S 5/183(2006.01)i
FI: G01B11/25 H; G01S7/484; H01S5/183

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

G01B11/00-11/30; G01S7/48-7/51; G01S17/00-17/95; H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	WO 2023/181639 A1（ソニーセミコンダクタソリューションズ株式会社）28.09.2023 (2023 - 09 - 28) 全文全文図	1-20
A	WO 2023/153164 A1（ソニーセミコンダクタソリューションズ株式会社）17.08.2023 (2023 - 08 - 17) 全文全文図	1-20
A	JP 2023-063706 A（富士フイルムビジネスイノベーション株式会社）10.05.2023 (2023 - 05 - 10) 全文全文図	1-20
A	JP 2022-526998 A（オブシス テック リミテッド）27.05.2022 (2022 - 05 - 27) 全文全文図	1-20
A	US 2016/0072258 A1 (PRINCETON OPTRONICS INC.) 10.03.2016 (2016 - 03 - 10) WHOLE DOCUMENT	1-20

☐ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
11.10.2024

国際調査報告の発送日
29.10.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

櫻井 仁 2S 9008

電話番号 03-3581-1101 内線 3216

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/028974

引用文献			公表日	パテントファミリー文献			公表日
WO	2023/181639	A1	28.09.2023	TW	202405380	A	
WO	2023/153164	A1	17.08.2023	(ファミリーなし)			
JP	2023-063706	A	10.05.2023	US	2023/0125222	A1	
				WHOLE DOCUMENT			
JP	2022-526998	A	27.05.2022	US	2020/0326425	A1	
				WHOLE DOCUMENT			
				JP	2023-85452	A	
				US	2021/0231806	A1	
				US	2023/0358887	A1	
				WO	2020/210176	A1	
				EP	3953727	A1	
				KR	10-2021-0137584	A	
				CN	113692540	A	
US	2016/0072258	A1	10.03.2016	US	2016/0254638	A1	