

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成25年4月18日 (2013.4.18)

【公開番号】特開2012-80123(P2012-80123A)

【公開日】平成24年4月19日 (2012.4.19)

【年通号数】公開・登録公報2012-016

【出願番号】特願2011-284024(P2011-284024)

【国際特許分類】

H 0 1 L 21/338 (2006.01)

H 0 1 L 29/812 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/41 (2006.01)

【F I】

H 0 1 L 29/80 U

H 0 1 L 21/28 3 0 1 B

H 0 1 L 29/44 Y

H 0 1 L 21/28 3 0 1 R

【手続補正書】

【提出日】平成25年3月6日 (2013.3.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソースとドレインとゲートとを有し、前記ゲートが前記ソースと前記ドレインとの間及び n 導電型チャネル層上にある金属半導体電界効果トランジスタと、

前記ソースの下にあり、前記ドレインに向かって延びている端部を有する p 導電型領域であって、p 導電型介在半導体層によって前記 n 導電型チャネル層から隔てられ、前記ソースに隣接し前記 p 導電型領域を露出させるコンタクトビアホールを介して前記ソースに電氣的に結合されている p 導電型領域とを備え、

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていない金属半導体電界効果トランジスタの単位セル

。

【請求項 2】

前記ゲートは、第 1 側壁及び第 2 側壁を有し、前記第 1 側壁が前記ゲートの前記ソース側にあり、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、

前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 1 側壁まで延びていて前記ゲートの前記第 1 側壁を越えては延びていない請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 3】

前記 p 導電型領域がその上に設けられる炭化ケイ素 ( S i C ) 基板をさらに備え、

前記 n 導電型チャネル層は、n 導電型炭化ケイ素 ( S i C ) を含み、前記 p 導電型領域は、p 導電型 S i C を含む請求項 2 に記載の金属半導体電界効果トランジスタ。

【請求項 4】

前記 p 導電型領域は、前記 S i C 基板中に設けられ、該 S i C 基板内に約 0 . 4 μ m 延びている請求項 3 に記載の金属半導体電界効果トランジスタ。

## 【請求項 5】

前記 p 導電型領域のキャリア濃度は、約  $1.0 \times 10^{18} \text{ cm}^{-3}$  ~ 約  $1.0 \times 10^{20} \text{ cm}^{-3}$  である請求項 4 に記載の金属半導体電界効果トランジスタ。

## 【請求項 6】

前記 n 導電型チャネル層は、前記 p 導電型領域上に第 1 の n 導電型チャネル層を備え、前記第 1 の n 導電型チャネル層上に第 2 の n 導電型チャネル層を備える請求項 5 に記載の金属半導体電界効果トランジスタ。

## 【請求項 7】

前記第 1 の n 導電型チャネル層のキャリア濃度は、約  $3 \times 10^{17} \text{ cm}^{-3}$  であり、前記第 2 の n 導電型チャネル層のキャリア濃度は、約  $1 \times 10^{16} \text{ cm}^{-3}$  である請求項 6 に記載の金属半導体電界効果トランジスタ。

## 【請求項 8】

前記第 1 の n 導電型チャネル層の厚さは、約  $0.28 \mu\text{m}$  であり、前記第 2 の n 導電型チャネル層の厚さは、約  $900$  である請求項 7 に記載の金属半導体電界効果トランジスタ。

## 【請求項 9】

前記 p 導電型 SiC 領域は、前記 SiC 基板中にあり、前記 SiC 基板内に約  $0.4 \mu\text{m}$  延びている請求項 8 に記載の金属半導体電界効果トランジスタ。

## 【請求項 10】

前記ゲートは、第 1 側壁及び第 2 側壁を有し、前記第 1 側壁が前記ゲートの前記ソース側に、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、

前記 p 導電型領域は、前記ソースの下から前記第 1 側壁の前記ソース側の前記第 1 側壁の内側に約  $0.1 \sim 0.3 \mu\text{m}$  まで延びている請求項 1 に記載の金属半導体電界効果トランジスタ。

## 【請求項 11】

前記ゲートは、第 1 側壁及び第 2 側壁を有し、前記第 1 側壁が前記ゲートの前記ソース側に、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、

前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 2 側壁まで延びていて前記ゲートの前記第 2 側壁を越えては延びていない請求項 1 に記載の金属半導体電界効果トランジスタ。

## 【請求項 12】

前記ゲートは、第 1 側壁及び第 2 側壁を有し、前記第 1 側壁が前記ゲートの前記ソース側に、前記第 2 側壁が前記ゲートの前記ドレイン側にあり、

前記 p 導電型領域は、前記ソースの下から前記ゲートの前記第 1 側壁と前記ゲートの前記第 2 側壁との間まで延びている請求項 1 に記載の金属半導体電界効果トランジスタ。

## 【請求項 13】

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていない請求項 1 に記載の金属半導体電界効果トランジスタ。

## 【請求項 14】

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレイン注入領域の下までは延びていない請求項 1 に記載の金属半導体電界効果トランジスタ。

## 【請求項 15】

前記 n 導電型チャネル層は、第 1、第 2 及び第 3 の n 導電型 SiC チャネル層を備え、該第 1、第 2 及び第 3 の n 導電型チャネル層が、それぞれ第 1、第 2 及び第 3 のキャリア濃度を有する請求項 3 に記載の金属半導体電界効果トランジスタ。

## 【請求項 16】

バッファ層を前記 SiC 基板上にさらに備え、

前記 p 導電型領域は、前記バッファ層中に形成される請求項 3 に記載の金属半導体電界

効果トランジスタ。

【請求項 17】

前記バッファ層の厚さは、約  $2\ \mu\text{m}$  である請求項 16 に記載の金属半導体電界効果トランジスタ。

【請求項 18】

前記 p 導電型領域は、前記バッファ層内に約  $0.4\ \mu\text{m}$  延びている請求項 17 に記載の金属半導体電界効果トランジスタ。

【請求項 19】

前記バッファ層は、約  $0.5 \times 10^{15}\ \text{cm}^{-3}$  ~ 約  $3 \times 10^{15}\ \text{cm}^{-3}$  のキャリア濃度の p 導電型 SiC、約  $5 \times 10^{14}\ \text{cm}^{-3}$  未満のキャリア濃度の n 導電型 SiC、及び未ドープ SiC のうちの少なくとも 1 つを含む請求項 16 に記載の金属半導体電界効果トランジスタ。

【請求項 20】

前記 p 導電型領域がその上に設けられる基板をさらに備え、

前記基板は、n 導電型ガリウムヒ素 (GaAs) 及び n 導電型窒化ガリウム (GaN) のうちの少なくとも 1 つを含み、

前記 n 導電型チャネル層は、n 導電型 GaAs 及び n 導電型 GaN のうちの少なくとも 1 つを含み、

前記 p 導電型領域は、p 導電型 GaAs 及び p 導電型 GaN のうちの少なくとも 1 つを含む請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 21】

前記 n 導電型チャネル層上にあってそれぞれ前記ソース及び前記ドレインを構成する第 1 及び第 2 のオーミックコンタクトと、

前記ソースと前記ドレインとの間にあって前記 n 導電型チャネル層を露出させる第 1 陥凹部であって、前記ゲートがその中に設けられ、前記 n 導電型チャネル層内に延びている第 1 陥凹部と、

前記ソースに隣接し、前記 p 導電型領域を露出させるコンタクトビアホールと、

前記露出した p 導電型領域上の第 3 のオーミックコンタクトと  
をさらに備える請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 22】

前記ドレインの前記第 2 のオーミックコンタクト上の第 1 のオーバー層と、前記ソースの前記第 1 のオーミックコンタクト上及び前記 p 導電型領域の露出部分の前記第 3 のオーミックコンタクト上の第 2 のオーバー層をさらに備え、

該第 2 のオーバー層が、前記ソースの前記第 1 のオーミックコンタクト及び前記 p 導電型領域の前記露出部分の第 3 のオーミックコンタクトを電氣的に結合させる請求項 21 に記載の金属半導体電界効果トランジスタ。

【請求項 23】

前記 n 導電型チャネル層のキャリア濃度を超えるキャリア濃度を有し、前記ソース及び前記ドレインの下の前記 n 導電型チャネル層中に注入された SiC の n 導電型領域をさらに備え、

前記第 1 及び前記第 2 のオーミックコンタクトは、前記 SiC の n 導電型領域上に設けられている請求項 21 に記載の金属半導体電界効果トランジスタ。

【請求項 24】

前記注入された SiC の n 導電型領域のキャリア濃度は、約  $1 \times 10^{19}\ \text{cm}^{-3}$  である請求項 23 に記載の金属半導体電界効果トランジスタ。

【請求項 25】

前記第 1、第 2 及び第 3 のオーミックコンタクトは、ニッケルコンタクトを含む請求項 21 に記載の金属半導体電界効果トランジスタ。

【請求項 26】

前記 n 導電型チャネル層上にあってそれぞれ前記ソース及び前記ドレインを構成する第

1 及び第 2 のオーミックコンタクトと、

前記ソースと前記ドレインとの間にあって前記 n 導電型チャネル層を露出させ、第 1 及び第 2 側壁を有する第 1 陥凹部と、

前記第 1 陥凹部の前記第 1 側壁と前記第 2 側壁との間に設けられた第 2 陥凹部であって、前記ゲートがその中に設けられ前記 n 導電型チャネル層内に延びている第 2 陥凹部と、

前記ソースに隣接し、前記 p 導電型領域を露出させるコンタクトビアホールと、

前記露出した p 導電型領域上の第 3 のオーミックコンタクトと

をさらに備える請求項 1 に記載の金属半導体電界効果トランジスタ。

【請求項 27】

前記 n 導電型チャネル層は、第 1 及び第 2 の n 導電型層を備え、

前記第 1 陥凹部は、前記第 1 の n 導電型チャネル層を貫通して前記第 2 の n 導電型チャネル層まで延びて前記第 2 の n 導電型チャネル層を露出させ、

前記第 2 陥凹部は、前記第 2 の n 導電型領域内に延びている請求項 26 に記載の金属半導体電界効果トランジスタ。

【請求項 28】

ソースとドレインとゲートとを有し、前記ゲートが前記ソースと前記ドレインとの間及び n 導電型チャネル層上にある金属半導体電界効果トランジスタを形成するステップと、

前記ソースの下にあり、前記ドレインに向かって延びている端部を有する p 導電型領域であって、p 導電型介在半導体層によって前記 n 導電型チャネル層から隔てられ、前記ソースに隣接し前記 p 導電型領域を露出させるコンタクトビアホールを介して前記ソースに電氣的に結合されている p 導電型領域を形成するステップと

を有し、

前記 p 導電型領域を形成するステップは、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていない前記 p 導電型領域を形成するステップを有する金属半導体電界効果トランジスタの作製方法。

【請求項 29】

ソースとドレインとゲートとを有し、前記ゲートが前記ソースと前記ドレインとの間及び半導体材料の第 1 層上にあるトランジスタと、

前記ソースの下にあり、前記ドレインに向かって延びている端部を有する p 導電型領域であって、p 導電型介在半導体層によって半導体材料の前記第 1 層から隔てられ、前記ソースに隣接し前記 p 導電型領域を露出させるコンタクトビアホールを介して前記ソースに電氣的に結合されている p 導電型領域とを備え、

前記 p 導電型領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていないトランジスタの単位セル。

【請求項 30】

ソースとドレインとゲートとを有し、前記ゲートが前記ソースと前記ドレインとの間及び n 導電型 SiC のチャネル層上にある炭化ケイ素 (SiC) 金属半導体電界効果トランジスタと、

前記ソースの下にあり、前記ドレインに向かって延びている端部を有する p 導電型 SiC 領域であって、p 導電型介在半導体層によって前記 n 導電型 SiC チャネル層から隔てられ、前記ソースに隣接し前記 p 導電型 SiC 領域を露出させるコンタクトビアホールを介して前記ソースに電氣的に結合されている p 導電型 SiC 領域と

を備え、

前記 p 導電型 SiC 領域は、ソースコンタクト及び / 又はソース注入領域の下から延びていてドレインコンタクトの下までは延びていない金属半導体電界効果トランジスタの単位セル。

【請求項 31】

SiC 基板上に p 導電型注入用のマスクを形成するステップと、

前記 p 導電型注入領域を注入し、p 導電型 SiC 領域が、ソースの下にあり、ドレインに向かって延びている端部を有するように、アニールで前記 p 導電型注入領域を活性化し

、p 導電型 SiC 領域を形成するステップであって、前記 p 導電型 SiC 領域が p 導電型 介在半導体層によって n 導電型 SiC チャネル層から隔てられ前記ソースに電氣的に結合 されており、前記 n 導電型 SiC チャネル層は第 1 の n 導電型 SiC チャネル層及び第 2 の n 導電型 SiC チャネル層を含むステップと、

前記 SiC 基板及び前記 p 導電型 SiC 領域上にバッファ層を形成するステップと、

前記バッファ層上に前記第 1 の n 導電型 SiC チャネル層を形成するステップと、

前記第 1 の n 導電型 SiC チャネル層上に前記第 2 の n 導電型 SiC チャネル層を形成 するステップと、

n 導電型 SiC 注入用のマスクを形成するステップと、

前記 n 導電型 SiC を注入し、前記第 2 の n 導電型 SiC チャネル層中でそれぞれソー ス及びドレイン領域を形成するためにアニールで前記 n 導電型 SiC を活性化するステッ プと、

メサを形成するために前記第 1 及び第 2 の n 導電型 SiC チャネル層及び前記バッファ 層をエッチングするステップと、

第 1 陥凹部用のマスクを形成し、前記ソース領域と前記ドレイン領域との間に前記第 1 陥凹部をエッチングするステップであって、前記第 1 陥凹部が前記第 1 の n 導電型 SiC チャネル層を露出させ第 1 及び第 2 の側壁を有するステップと、

前記第 1 及び第 2 の n 導電型 SiC チャネル層上、前記ソース及び前記ドレイン領域上 、ならびに前記第 1 陥凹部中に酸化膜層を形成するステップと、

前記酸化膜層中に前記ソースと前記ドレインと p 導電型 SiC コンタクト用のウィンド ウを開けるステップと、

前記ソース及び前記ドレイン用に関けられた前記ウィンドウ中に第 1 及び第 2 のオーミ ックコンタクトを形成するステップと、

第 2 陥凹部用のマスクを形成し、前記第 1 陥凹部の前記第 1 側壁と前記第 2 側壁との間 で前記第 2 の n 導電型 SiC チャネル層内に前記第 2 陥凹部をエッチングするステップと

、

前記 p 導電型 SiC 領域を露出させるために、前記第 1 及び第 2 の n 導電型チャネル層 を貫通してエッチングし、前記コンタクトウィンドウを貫通して前記 p 導電型 SiC コン タクト用の第 2 バッファ層をエッチングするステップと、

前記露出した p 導電型 SiC 領域上に第 3 のオーミックコンタクトを形成するステップ と、

前記第 2 陥凹部中にゲートを形成するステップと、

前記オーミックコンタクト及び前記ゲート上にオーバー層を形成するステップであって 、前記ソース及び前記 p 導電型 SiC 領域の前記露出部分が、前記ソース及び前記 p 導電 型 SiC 領域を電氣的に結合させる単一のオーバー層を共有するステップと

を有し、

前記 p 導電型 SiC 領域を形成するステップは、ソースコンタクト及び / 又はソース注 入領域の下から延びていてドレインコンタクトの下までは延びていない前記 p 導電型 Si C 領域を形成するステップを有する金属半導体電界効果トランジスタの作製方法。