

# 公告本

申請日期	88. 10. 15
案 號	8811 7826
類 別	H03L 7/00

A4  
C4

427071

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中 文	延遲門鎖迴路
	英 文	Improved delay lock loop
二、發明 人 創作	姓 名	約瑟屈尼爾 (Josef Schnell)
	國 籍	德國
	住、居所	美國佛蒙特州05445查羅特郵政信箱301號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

427071

89年12月19日 修正  
補充

B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

美 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 1998年11月25日 09/200,338

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀封面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明（一）

### 背景

#### 1. 技術領域

本發明有關一種半導體記憶體，尤其有關一種包含以資料輸出線同步化系統時脈之回授的改良型延遲門鎖迴路。

#### 2. 習知技術說明

半導體記憶體，如動態隨機存取記憶體（SDRAMs）和特定的雙資料速率（DDR）記憶體，通常都包含延遲門鎖迴路（DLLs）。DLLs之作用為消除晶片放大及緩衝延遲，而且DLLs可以改善輸入/輸出時序邊限。DDR SDRAMs係設計使得：在輸出線（DQ腳）上之READ/WRITE資料與系統時脈，如VCLK同步。

晶片延遲一般是"模製"在DLL回授迴路中，以匹配"真實的"電路組件，如接收器，驅動器，離線晶片驅動器（OCD）及晶片封裝的延遲。採用"模製"延遲之傳統記憶體晶片，經常使用一反相器鏈或類似技術計算延遲。匹配延遲之精確度，在輸入時脈訊號，VCLK和DQs之間的相位對準方面是一個很重要的參數。由於技術變異性和溫度作用，如上述之傳統技術會與"真實的"電路延遲差配。此外，傳統技術與由焊接線，導線電感和電容和模組電路板準位介面（如殘端串聯終端邏輯（SSTL））一起造成之封裝延遲組件不太匹配。

參考第1圖和第2圖，其為傳統的DLL電路圖。根據方塊圖，有圖示系統時脈同步性之DQ/QS（晶片之資料輸

## 五、發明說明( > )

出墊)。第3圖則圖示預定的時序。在晶片準位(第1圖)和封裝且/或模組/電路板準位(第2圖),包含介面,如SSTL介面之間時脈路徑會分裂。時脈延遲路徑包含如下:

1.在晶片準位(第1圖)方面,在晶片墊V<sub>PC</sub>之輸入差動時脈(vclk, vbclk),在通過接收器RCV後放大成為refclk訊號(REFCLK),然後再在DLL中延遲(DLLCLK),且在驅動器DRV再次驅動,以控制離線晶片驅動電路(OCD)和在晶片DQ-PC上之DQ墊(DQ/QS)。

2.在封裝體和模組/電路板(介面)準位(第2圖)方面,從晶片墊DQ<sub>PC</sub>到具有介面SSTL之模組DQP的DQ-Pin,延遲路徑包含焊接線(BW)和導線架(導線)電感延遲,  $L_{BW+Lead}$ ,其中介面SSTL包含  $R_{Stub}$  (在電路板準位之殘端電阻,可約為25Ω)和  $R_{term}$  (在電路板準位上之終端電阻),  $T_L$  (傳輸線阻抗,  $Z_0$  約為50Ω)和電容性負載  $C_L$ 。  $V_{TT}$  或  $V_{term}$  為終端電壓。若同步化,則如第3圖之時序圖中的線A所示,系統時脈vclk/bclk會與接腳DQP上之DQ/QS訊號一致。

參考第4圖,其為具有接收器RCV之傳統DLL電路的方塊圖,且在方塊30中有離線晶片驅動器OCD。至於其他的組件包含:內含延遲線組件在方塊32中之延遲線,相位檢知器(PD),延遲控制(DL控制),濾波器33和模組化的延遲回授迴路34。輸入參考時脈(REFCLK)驅動DLL的延遲線32,而輸出(DLLCLK)則通過在方塊30中的RC-延

## 五、發明說明( )

遲-虛擬回授電路，回授(回授時脈-FB\_CLK)到相位檢知器PD。相位檢知器PD之輸出接到內含邏輯電路之濾波器33，以提供濾波器增加(inc)和減少(dec)訊號。該濾波器之inc和dec訊號控制延遲線32，而且可以在REFCLK和DLLCLK之間調整可變延遲，使得REFCLK和FB\_CLK同步化/對準。

RC-延遲-虛擬電路虛擬接收器RCV，驅動器DRV，OVC，和封裝P(參見第1和2圖)延遲的延遲。RC-延遲-虛擬電路通常包含一反相器鏈，以匹配"真實"電路之延遲。如上所述，此種技術的缺點之一為：反相器電路不能依據技術變異性和溫度作用而完全匹配"真實"電路的延遲。此外，反相器電路不太能匹配由焊接線，導線電感和與模組/電路板準位介面一起形成之電容所造成之封裝延遲組件。

因此，需要有一種具有更精確模製回授之改良式延遲閉鎖迴路。更需要有一種能夠避免由於技術和溫度效應而產生延遲變動之改良式延遲閉鎖迴路。

### 發明總述

根據本發明，延遲閉鎖迴路電路包含一用以接收系統時脈訊號，且輸出由系統時脈訊號而來之第一時脈訊號的接收器，一用以接收第一時脈訊號之延遲閉鎖迴路，該第一時脈訊號係要同步化延遲閉鎖迴路和相位檢知器，及一接收第一時脈訊號，且根據由第一時脈訊號而來之第二時脈訊號輸出資料之離線晶片驅動器電路。一提

## 五、發明說明（4）

供之回授迴路將離線驅動器電路耦合到相位檢知器。該回授迴路包含一用以模製晶片上延遲之晶片上延遲電路和一用以模製晶片封裝延遲之封裝延遲電路。該回授迴路使系統時脈訊號和輸出自離線晶片驅動器電路之資料同步。

在另一實施例中，離線驅動器電路還包含許多接收第二時脈訊號，和根據第二時脈訊號輸出資料之離線晶片驅動器。這許多離線晶片驅動器其中之一還耦全到回授迴路。此許多離線晶片驅動器其中之一可包含電晶體，而此電晶體之尺寸約可縮減 $1/50$ 以節省電力。該晶片上延遲電路可包含被動性RC元件，這些被動性RC元件的大小可以增加約50，以完成自晶片上延遲電路之適當的輸出電壓。該晶片上延遲電路可包含一用以輸出第三時脈訊號之介面邏輯電路，其中該第三時脈訊號係根據晶片上電路延遲。該介面邏輯電路可包含SSTL介面邏輯器。封裝延遲電路會輸出根據封裝延遲電路之第四時脈訊號。封裝延遲電路可包含一提供延遲之反相器鏈。該回授迴路可包含一額外的接收器，以模製第一接收器之延遲。封裝延遲電路可包含可調整延遲組件，其中調整係由可平衡導管執行，以提供一適當的延遲。該可平衡導管或許可以提供至少100ps增量之延遲調整。

根據本發明，另一延遲閉鎖迴路電路包含：一用以接收系統時脈訊號和輸出源自系統時脈訊號之第一時脈訊號之第一接收器，一用以接收第一時脈訊號，使同步化

## 五、發明說明(5)

延遲門鎖迴路和相位檢知器之延遲門鎖迴路，一用以接收源自第一時脈訊號之第二時脈訊號之驅動器元件，以控制該驅動器元件，及用以驅動輸出訊號之許多驅動器，這許多驅動器接收源自驅動器元件第二時脈訊號之第三時脈訊號。包含之虛擬驅動器用以接收第三時脈訊號且耦合到驅動器元件。邏輯介面電路係將電訊號耦合到虛擬驅動器，其中邏輯介面和虛擬驅動器都是驅動源自第三時脈訊號之第四時脈訊號。提供之第二接收器係要接收第四訊號。包含之封裝延遲電路係用以接收來自第二接收器之輸出，同時輸出源自第四時脈訊號之第五時脈訊號，該封裝延遲電路會將電訊號耦合到相位檢知器。虛擬驅動器，邏輯介面，第二驅動器和封裝延遲電路形成一回授迴路，以同步來自許多驅動器之輸出訊號和系統時脈訊號。

在另一實施例中，虛擬驅動器還包含驅動器電晶體，而此電晶體之尺寸約可縮減 $1/50$ 以節省電力。邏輯介面可包含被動性RC元件，這些被動性RC元件的大小約可增加50，以完成自邏輯介面電路之適當的輸出電壓。該介面邏輯電路輸出根據晶片上電路延遲之第四時脈訊號。該介面邏輯電路也包含SSTL介面電路。封裝延遲電路輸出根據封裝延遲而延遲之第五時脈訊號。封裝延遲電路包含提供延遲之反相器鏈。封裝延遲電路包含可調整延遲的組件，其中調整係由提供適當延遲之可平衡導管執行。該可平衡導管可提供至少100 ps增量之延遲調整。

## 五、發明說明(續)

另一延遲門鎖迴路電路包含：一用以接收系統時脈訊號和輸出源自系統時脈訊號之第一時脈訊號之接收器，一用以接收第一時脈訊號之延遲門鎖迴路，該第一時脈訊號係要同步延遲門鎖迴路和相位檢知器，一用以接收第一時脈訊號，和根據源自第一時脈訊號之第二時脈訊號輸出資料之離線晶片驅動器電路，及一將離線晶片驅動器電路耦合到相位檢知器之回授迴路；此回授迴路包含一含有用以模製晶片上延遲之殘端串聯終端邏輯，和用以模製晶片封裝延遲之封裝延遲電路之晶片上延遲電路，該回授迴路使系統時脈訊號和自離線晶片驅動器電路輸出的資料同步。該離線晶片驅動器電路將虛擬離線晶片驅動器耦合到晶片上延遲電路，以形成該回授迴路，該虛擬離線晶片驅動器和晶片上延遲電路會藉由尺度因子概算，以調整晶片上延遲電路的輸出訊算。

在另一實施例中，虛擬離線晶片驅動器包含除以尺度因子縮減之組件，而晶片上延遲電路包含乘以尺度因子增加之組件。該尺度因子約為50。晶片上延遲電路包含被動性RC元件，這些被動性RC元件的大小會乘以尺度因子而增加，而虛擬離線晶片驅動器所包含之電晶體的尺寸，其會除以尺度因子而縮減。封裝延遲電路包含一提供延遲之反相器鏈。回授迴路包含一模製第一接收器延遲之額外的接收器。封裝延遲電路可包含可調整延遲組件，其中調整係由提供適當延遲之可平衡導管執行。可平衡導管可提供至少100ps增量之延遲調整。

## 五、發明說明(7)

由下面參考相關圖式而詳細說明的實施例，本發明的這些和其他的目的，特徵和優點將會變得很明顯。

### 圖式之簡單說明

本發明將參考下面各圖詳細說明優選實施例，其中：

第1圖為根據習知技藝之動態隨機存取記憶體的晶片準位時脈路徑方塊圖；

第2圖為根據習知技藝之動態隨機存取記憶體的模組/電路板準位時脈路徑方塊圖；

第3圖為設定時脈同步之時序預測的時序圖；

第4圖為根據習知技藝圖示虛擬延遲電路之傳統延遲閉鎖迴路電路的方塊圖；

第5圖為根據本發明具有內含電路組件之回授迴路的改良式延遲閉鎖迴路電路方塊圖，其中之電路組件的尺寸有計算過，以改善延遲的模製；

第6圖為根據本發明圖示之晶片到邏輯介面的細部方塊圖；

第7圖為根據本發明具有可平衡導管延遲組件之第5圖改良式延遲閉鎖迴路電路的方塊圖；

第8圖為根據本發明DQ\_PC(如第2圖所示)之真實離線晶片驅動器訊號和虛擬離線晶片驅動器訊號的延遲圖；和

第9圖為根據本發明D\_QT(如第2圖所示)之真實離線晶片驅動器訊號和虛擬離線晶片驅動器訊號的延遲圖。

### 優選實施例詳述

## 五、發明說明( 8 )

本發明係關於一種半導體記憶體，尤其是含有以資料輸出線同步系統時脈之回授的改良式延遲門鎖迴路。本發明改善模製的延遲精確性，使更精密地表示“真實”電路之延遲。本發明實行使晶片上延遲進入延遲門鎖迴路(DLL)之回授迴路的電路。在此情形下，可以避免在“真實”電路和“模製”電路間任何技術和溫度延遲的變異。

現在詳細參考各圖，其中較之第5圖所示的改良式DLL電路100，相同的參考數字表示相似或相同的組件。DLL100包含一接收器102，一離線晶片驅動器(OCD)電路104和介面邏輯器106或SSTL\_IF，例如包含殘端串聯終端邏輯器(SSTL)，和一在回授路徑中之封裝延遲電路118或迴路108。為了簡化，將上述之延遲線組件，延遲控制和濾波器表示成一標為110之單延遲門鎖迴路方塊。DLL100之輸出112驅動OCD驅動器114。OCD驅動器114輸出OCD DLLCLK，且透過OCDs分配OCD DLLCLK訊號到許多DQ-墊，如第5圖所示。

離線晶片驅動器OCD\_M並不連接到DQ-墊。換言之，OCD\_M的輸出係驅動介面邏輯器106。在優選實施例中，介面邏輯器包含SSTL介面邏輯方塊107(參見第6圖)。介面邏輯器106產生一標為回授介面時脈FBIFCLK之電壓準位，如SSTL電壓邏輯。FB\_IFCLK會輸入到接收器102。接收器102與系統時脈接收器116相同或相似。接收器102之輸入有參考電壓VREF和FB\_IFCLK。如上參考第1圖和第4圖所述，系統時脈接收器116接收VCLK和VbCLK

## 五、發明說明(9)

，而產生一放大且延遲版的VCLK，稱為REFCLK，其係用以同步相位檢知器PD和DLL 100。

接收器102輸出到封裝延遲電路或RC\_延遲\_M 118。延遲電路118包含在回授迴路108之中。延遲電路118可為RC延遲組件和/或延遲反相器鏈，以模擬封裝之電感，電容和電阻(LRC)組件，如第6圖所示。

參考第5圖和第6圖，在本發明之優選實施例中，在回授路徑108中含有OCD驅動器114和OCDs之OCD電路104，和邏輯介面106之尺寸不同於上述第1圖至第4圖之傳統電路。為了節省電力，包含驅動電晶體之OCD驅動器114，其驅動電晶體之尺寸比傳統驅動器的尺寸縮減約1/50。封裝或介面元件，如Cpad，Rstub，CL和Rterm增加相同大小的階次，以完成一輸出自邏輯介面106之適當的電壓準位。如習知之技藝，Vterm電壓係由晶片上電壓產生器產生。本發明一個很重要的方向為：OCD\_M和晶片上介面邏輯電路106，各元件之尺寸係相對於傳統電路計算。兩種電路的尺度因子最好相同，但是，OCD\_M電路之元件尺寸會縮減，而晶片上介面邏輯電路106之元件尺寸則增加相同的因子。雖然根據本發明，其他的尺度因子係取決於電路設計之電力消耗規格，但是例如該尺度因子係取決於電路設計之電力消耗規格，但是例如該尺度因子約為50。

繼續參考第6圖，其圖示一晶片上介面邏輯電路106。介面邏輯電路106最好包含SSTL邏輯。如上段文中之

## 五、發明說明(一〇)

說明，因為介面元件包含調整，所以 SSTL 電路提供一特性行為類似模組 / 電路板之電壓準位。SSTL 電路係由 OCD\_M 驅動。此外，若非對上段文中說明之 OCD 驅動器作任何調整，則接收器和 OCD 電路匹配 "真實" 電路。本發明佈局的有利配置為 OCD\_M (虛擬) 電路緊臨其他的 OCDs，使其與其他的 OCDs 分享相同時脈分配樹 OCD-DLLCLK。OCD\_M 電路也使用和其他 OCDs 相同之供應電壓 (即 VDDQ, VSSQ)，因此曝露在相同的雜訊環境中。

參考第 7 圖，在封裝延遲的模製化中，焊接線和導線架的電感與墊電容一起形成一 LC 組件，其很難用晶片上可用之 RC 組件或延遲組件虛擬，如電阻器或 MOS 電容等。在本發明之一實施例中，在方塊 140 中包含一組導管平衡延遲組件。方塊 140 包含能提供約  $\pm 1 \text{ nm}$  延遲精確度，而調整步級約 100 ps 之平衡導管。在此情形下，根據模組 / 電路板準位之量測平衡導管，以達成想要的延遲。根據這些量測，針對封裝延遲調整計算的導管值為 LC 組件之時序延遲。

參考第 8 圖和第 9 圖，OCDs 之 HSPICE 模擬 (此處表為 OCD\_R (真實的)) 係根據本發明，提供一在模組準位之 SSTL-介面 (參見第 6 圖) 和具有縮減尺寸之 OCD 驅動器電路的晶片 SSTL-介面之比較。第 1 表為用以產生模擬之參數。

## 五、發明說明( )

第 1 表

	OCD/ 模組介面 OCD_R	OCD_M/ 晶片上 介面 OCD_M
驅動器	原始尺寸	× 1/50
Rstub	20 Ω	× 50
Rterm	50 Ω	× 50
Vterm或 VTT	1.1V	1.1V

對於圖示在第 8 圖和第 9 圖之 OCD\_R 和 OCD\_M，比較訊號係在 DQ\_PC (第 8 圖) 和 D\_QT (第 9 圖)。DQ\_PC (第 8 圖) 和 D\_QT (第 9 圖) 在電路中的位置則示於第 6 圖。HSPICE 模擬係在兩個量測點：第 8 圖之 DQ\_PC (示於第 6 圖) 和第 9 圖之 D\_QT (示於第 6 圖)，比較模組準位 SSTL 介面訊號 (OCD\_R) 和尺寸概算過之晶片上 SSTL 介面訊號 (OCD\_M)，以求出本發明之性能。模組介面 (OCD\_M) 和晶片介面 (OCD\_R) 之 HSPICE 模擬的輸出曲線特性幾乎相同。2 訊號在 VTT (Vterm) 準位間的延遲大約為 200 ps。因此本發明可以改善 DQs 和系統時脈 VCLK 之同步。

本發明已說明一種用於半導體記憶體之嶄新的延遲門

## 五、發明說明 (一)

鎖迴路電路之優選實施例 (其為打算圖示說明的, 但並不侷限於此), 注意: 以上技術之修正例或變化例可以由熟知技藝之人士完成。因此, 將本發明揭露之特定實施例作改變, 仍可在本發明所附錄之申請專利範圍的範圍和精神之中。所以本發明已詳細說明且符合專利法之要件, 所附錄之申請專利範圍希望受到專利證書的保護。

### 參考符號說明

- 30.....離線晶片驅動器(OCD)虛擬電路
- 32.....延遲線組件
- 33.....濾波器
- 34.....延遲回授迴路
- 100.....延遲門鎖迴路
- 102.....接收器
- 104.....離線晶片驅動(OCD)器電路
- 106.....介面邏輯器
- 107.....SSTL介面邏輯器
- 108.....回授迴路
- 110.....單延遲門鎖迴路
- 112.....輸出
- 114.....OCD驅動器
- 116.....系統時脈接收器
- 118.....封裝延遲電路
- 140.....可平衡導管

## 四、中文發明摘要(發明之名稱：)

## 延遲門鎖迴路

根據本發明，一種延遲門鎖迴路電路包含：一用以接收系統時脈訊號，且輸出源自該系統時脈訊號之第一時脈訊號之接收器，一用以接收該第一時脈訊號之延遲門鎖迴路，該第一時脈訊號係要同步化該延遲門鎖迴路和相位檢知器，及一接收該第一時脈訊號，且根據源自該第一時脈訊號之第二時脈訊號輸出資料之離線晶片驅動器電路，一提供之回授迴路係要將該離線晶片驅動器電路耦合到該相位檢知器，該回授迴路包含一用以模製晶片上延遲之晶片上延遲電路，和一用以模製晶片封裝延遲之封裝延遲電路。該回授迴路提供該系統時脈訊號和自該離線晶片驅動器電路輸出之該資料間的同步化。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱： Improved delay lock loop)

A delay lock loop circuit, in accordance with the present invention, includes a receiver for receiving a system clock signal and outputting a first clock signal derived from the system clock signal, a delay lock loop for receiving the first clock signal, the first clock signal for synchronizing the delay lock loop and a phase detector and an off chip driver circuit for receiving the first clock signal and outputting data in accordance with a second clock signal derived from the first clock signal. A feedback loop is provided coupling the off driver circuit to the phase detector. The feedback loop includes an on chip delay circuit for modeling on chip delay and a package delay circuit for modeling chip package delay. The feedback loop provides synchronization between the system clock signal and the data output from the off chip driver circuit.

訂

線

## 六、申請專利範圍

1. 一種延遲閘鎖迴路電路，包含：
- 一用以接收系統時脈訊號和輸出源自該系統時脈訊號之第一時脈訊號接收器；
  - 一用以接收該第一時脈訊號之延遲閘鎖迴路，該第一時脈訊號係要同步該延遲閘鎖迴路和相位檢知器；
  - 一接收該第一時脈訊號，且根據源自該第一時脈訊號之第二時脈訊號輸出資料之離線晶片驅動器電路；
- 及
- 一將該離線晶片驅動器電路耦合到該相位檢知器之回授迴路；
- 該回授迴路包含一模製化晶片上延遲之晶片上延遲電路，和一模製化晶片封裝延遲之封裝延遲電路，該回授迴路提供該系統時脈訊號和輸出自該離線晶片驅動器電路之資料間的同步。
2. 如申請專利範圍第1項之延遲閘鎖迴路，其中該離線晶片驅動器電路包含許多接收該第二時脈訊號，且根據該第二時脈訊號輸出資料之離線晶片驅動器。
3. 如申請專利範圍第2項之延遲閘鎖迴路，其中該許多離線晶片驅動器其中之一會被耦合到該回授迴路。
4. 如申請專利範圍第3項之延遲閘鎖迴路，其中該許多離線晶片驅動器其中之一包含電晶體，而且該電晶體之尺寸會縮減約1/50以節省電力。
5. 如申請專利範圍第4項之延遲閘鎖迴路，其中該晶片上延遲電路包含被動性RC元件，該被動性RC元件之大

## 六、申請專利範圍

- 小會增加約 50，以達成來自該晶片上延遲電路之適當輸出電壓。
6. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該晶片上延遲電路包含一用輸出根據晶片上電路延遲之第三時脈訊號的介面邏輯電路。
  7. 如申請專利範圍第 6 項之延遲閘鎖迴路，其中該介面邏輯電路包含一已依尺寸決定之殘端串聯終端邏輯介面。
  8. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該封裝延遲電路輸出根據封裝延遲而延遲之第四時脈訊號。
  9. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該封裝延遲電路包含一提供延遲之反相器鏈。
  10. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該回授迴路包含一額外的接收器，以模製該第一接收器之延遲。
  11. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該封裝延遲電路包含可調整延遲組件，其中係藉由可平衡導管提供適當的延遲調整。
  12. 如申請專利範圍第 1 項之延遲閘鎖迴路，其中該可平衡導管提供至少 10 ps 增量之延遲調整。
  13. 一種延遲閘鎖迴路，包含：
    - 一用以接收系統時脈訊號且輸出源自該系統時脈訊號之第一時脈訊號之第一接收器；
    - 一接收用以同步延遲閘鎖迴路和相位檢知器之延遲

## 六、申請專利範圍

門鎖迴路；

一接收源自該第一時脈訊號，用以控制驅動器元件之第二時脈訊號之驅動器元件；

許多用以驅動輸出訊號之驅動器，該許多驅動器接收源自該驅動器元件之第二時脈訊號的第三時脈訊號；

一用以接收該第三時脈訊號且耦合到該驅動器元件之虛擬驅動器；

一將電訊號耦合到該虛擬驅動器之邏輯介面電路，其中該邏輯介面和該虛擬驅動器由該第三時脈訊號發展第四時脈訊號；

一用以接收該第四訊號之第二接收器；

一用以接收來自該第二接收器之輸出，和輸出源自該第四時脈訊號之第五時脈訊號之封裝延遲電路，該封裝延遲電路會將電訊號耦合到該相位檢知器；及

該虛擬驅動器，該邏輯介面，該第二接收器和該封裝延遲電路形成一回授迴路，使來自該許多驅動器之輸出訊號和該系統時脈訊號能同步化。

14. 如申請專利範圍第13項之延遲門鎖迴路，該虛擬驅動器包含驅動電晶體，而該電晶體之尺寸約縮減1/50，以節省電力。

15. 如申請專利範圍第14項之延遲門鎖迴路，其中該邏輯介面包含被動性RC元件，該被動性RC元件之大小約增加50倍，以達成來自該邏輯介面電路之適當的輸出電壓。

## 六、申請專利範圍

16. 如申請專利範圍第 13 項之延遲門鎖迴路，其中該介面邏輯電路輸出根據晶片上電路延遲之該第四時脈訊號。
17. 如申請專利範圍第 13 項之延遲門鎖迴路，其中該介面邏輯電路包含一已依尺寸決定之殘端串聯終端邏輯介面。
18. 如申請專利範圍第 13 項之延遲門鎖迴路，其中該封裝延遲電路輸出根據封裝延遲而延遲之該第五時脈訊號。
19. 如申請專利範圍第 13 項之延遲門鎖迴路，其中該封裝延遲電路包含一提供延遲之反相器鏈。
20. 如申請專利範圍第 13 項之延遲門鎖迴路，其中該封裝延遲電路包含可調整延遲組件，其中延遲係由可平衡導管執行，以提供一適當的延遲。
21. 如申請專利範圍第 20 項之延遲門鎖迴路，其中該可平衡導管提供至少 100 ps 增量之延遲調整。
22. 一種延遲門鎖迴路電路，包含：
- 一用以接收系統時脈訊號和輸出源自該系統時脈訊號之第一時脈訊號之接收器；
  - 一用以接收該第一時脈訊號之延遲門鎖迴路，該第一時脈訊號係要同步化該延遲門鎖迴路和相位檢知器；
  - 一接收該第一時脈訊號，和根據源自該第一時脈訊號之第二時脈訊號輸出資料之離線晶片驅動器電路；
  - 一將該離線晶片驅動器電路耦合到該相位檢知器之

## 六、申請專利範圍

回授迴路；該回授迴路包含一內含用以模製晶片上延遲之殘端串聯終端邏輯，和用以模制晶片封裝延遲之封裝延遲電路的晶片上延遲電路，該回授迴路提供該系統時脈訊號和輸出自該離線晶片驅動器電路之資料間的同步化；及

該離線晶片驅動器電路將一虛擬離線晶片驅動器耦合到該晶片上延遲電路，而形成該回授迴路，該虛擬離線晶片驅動器電路和該晶片上延遲電路會由尺寸因子依尺寸決定，以調整來自晶片上延遲電路之輸出訊號。

23.如申請專利範圍第22項之延遲閉鎖迴路，其中該虛擬離線晶片驅動器包含除以尺度因子縮減尺寸之組件，而該晶片上延遲電路包含乘以尺度因子增加尺寸之組件。

24.如申請專利範圍第22項之延遲閉鎖迴路，其中該尺度因子約為50。

25.如申請專利範圍第22項之延遲閉鎖迴路，其中該晶片上延遲電路包含被動性RC元件，該被動性RC元件之尺寸大小係乘以尺度因子增加，而該虛擬離線晶片驅動器包含其尺寸除以尺度因子而縮減之電晶體。

26.如申請專利範圍第22項之延遲閉鎖迴路，其中該封裝延遲電路包含一提供延遲之反相器鏈。

27.如申請專利範圍第22項之延遲閉鎖迴路，其中該回授迴路包含一模製該第一接收器之該延遲之額外的接

## 六、申請專利範圍

收器。

28. 如申請專利範圍第22項之延遲門鎖迴路，其中該封裝延遲電路包含可調整的延遲組件，其中調整係由可平衡導管執行，以提供一適當的延遲。

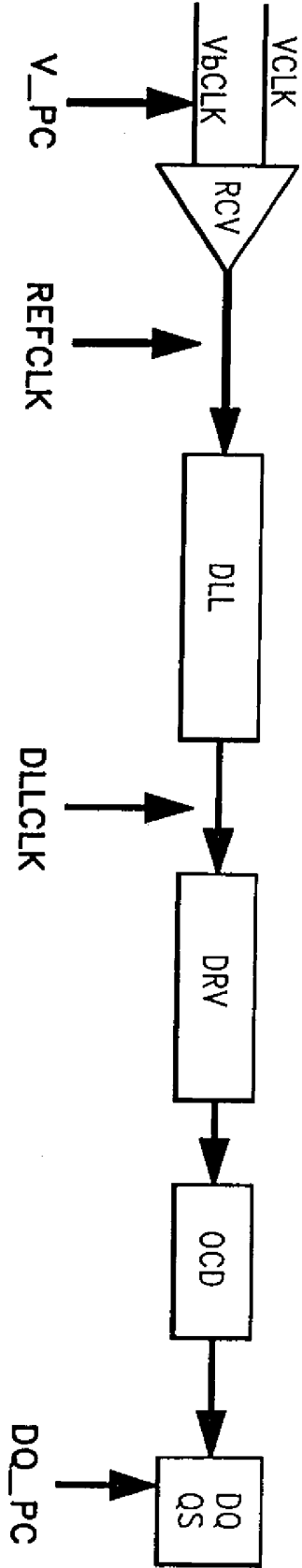
29. 如申請專利範圍第28項之延遲門鎖迴路，其中該可平衡導管至少可提供100 ps增加之延遲調整。

(請先閱讀背面之注意事項再填寫本頁)

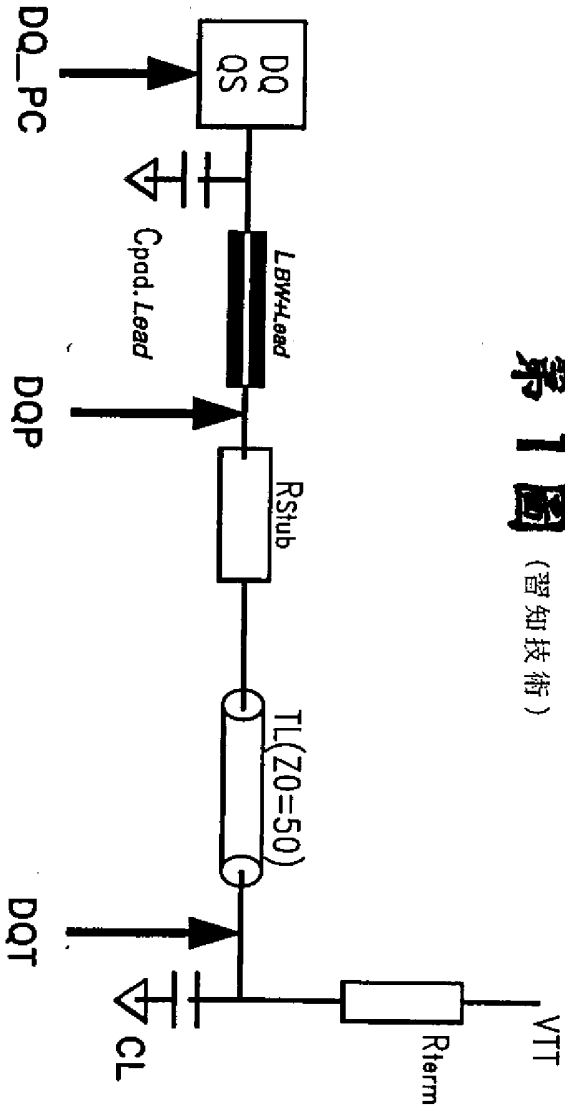
裝

訂

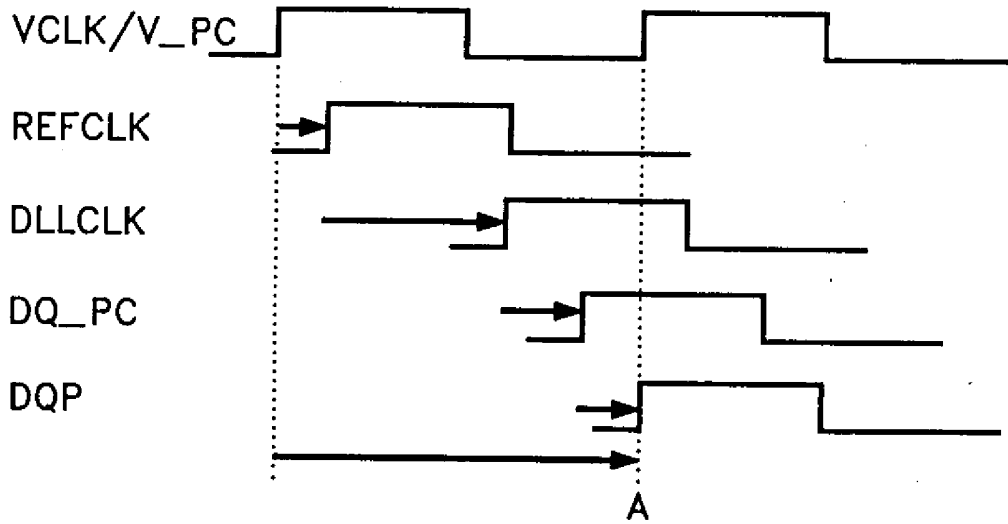
線



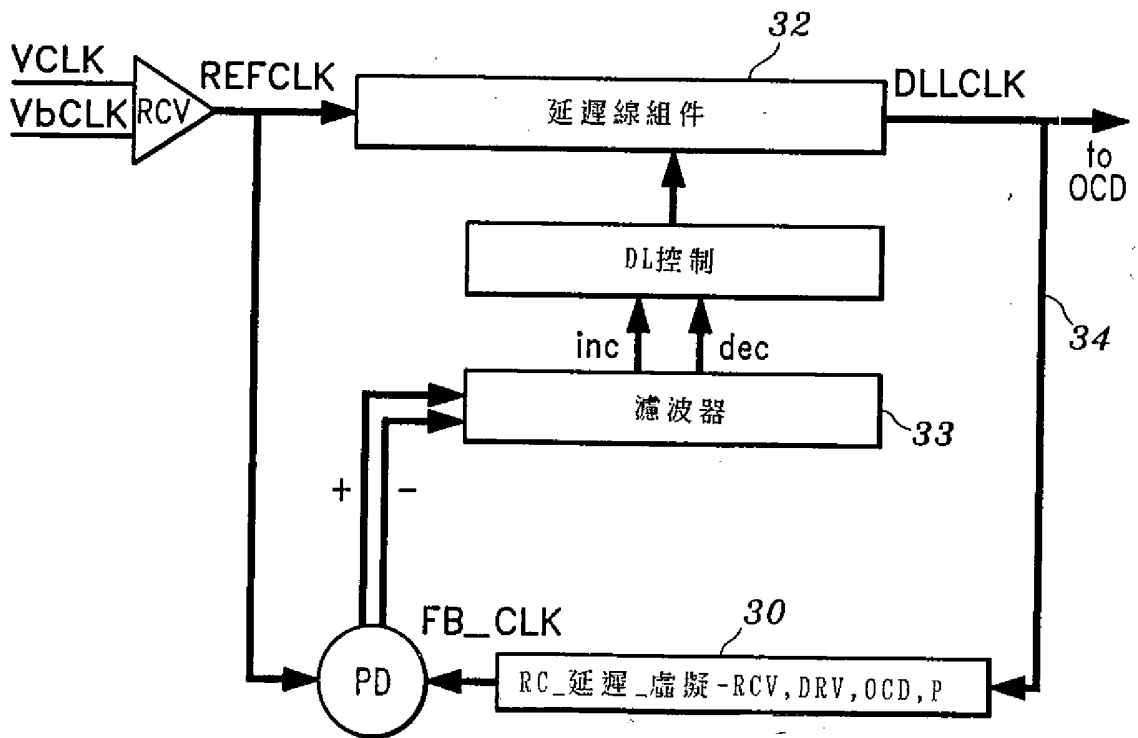
第 1 圖 (習知技術)



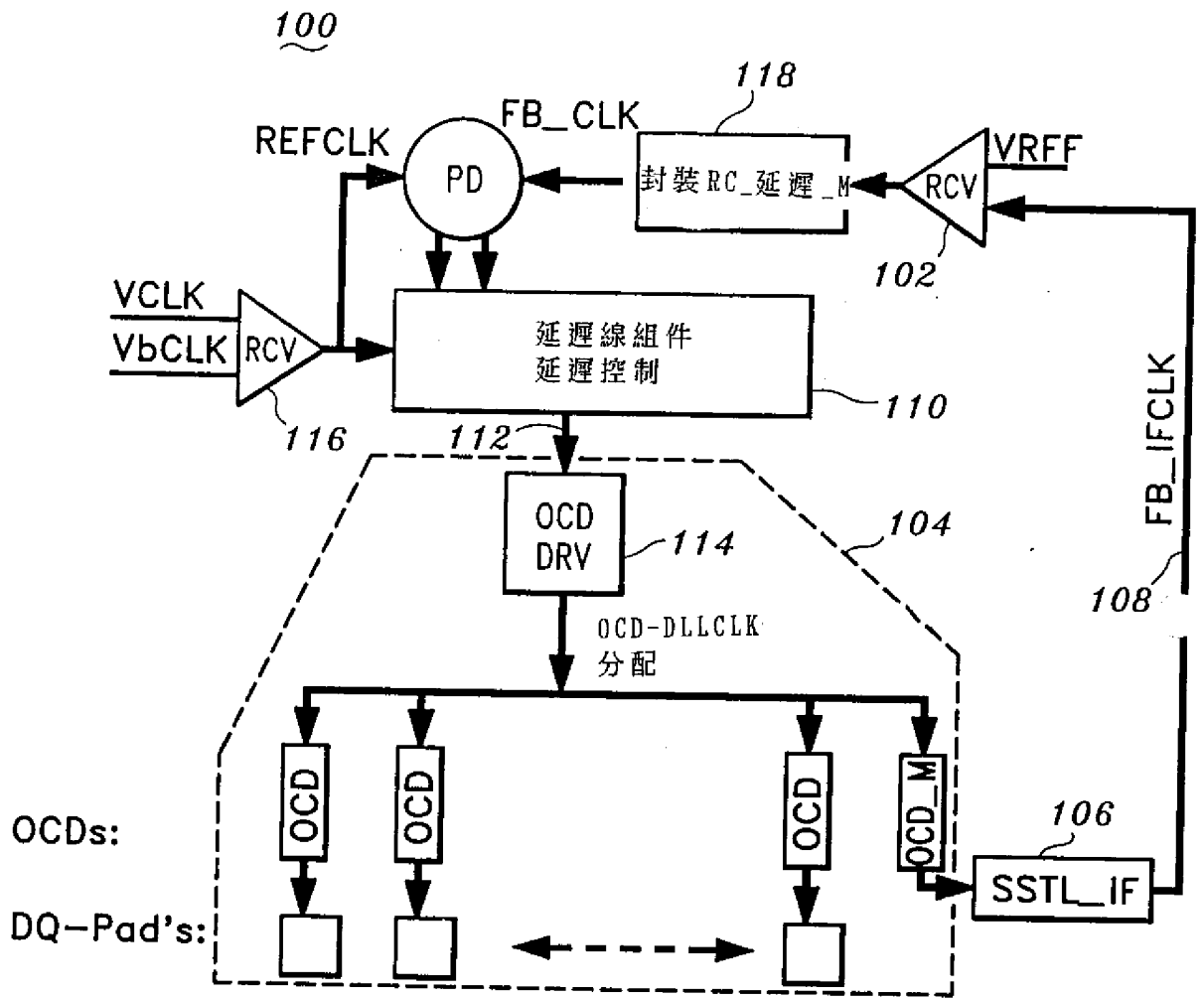
第 2 圖 (習知技術)



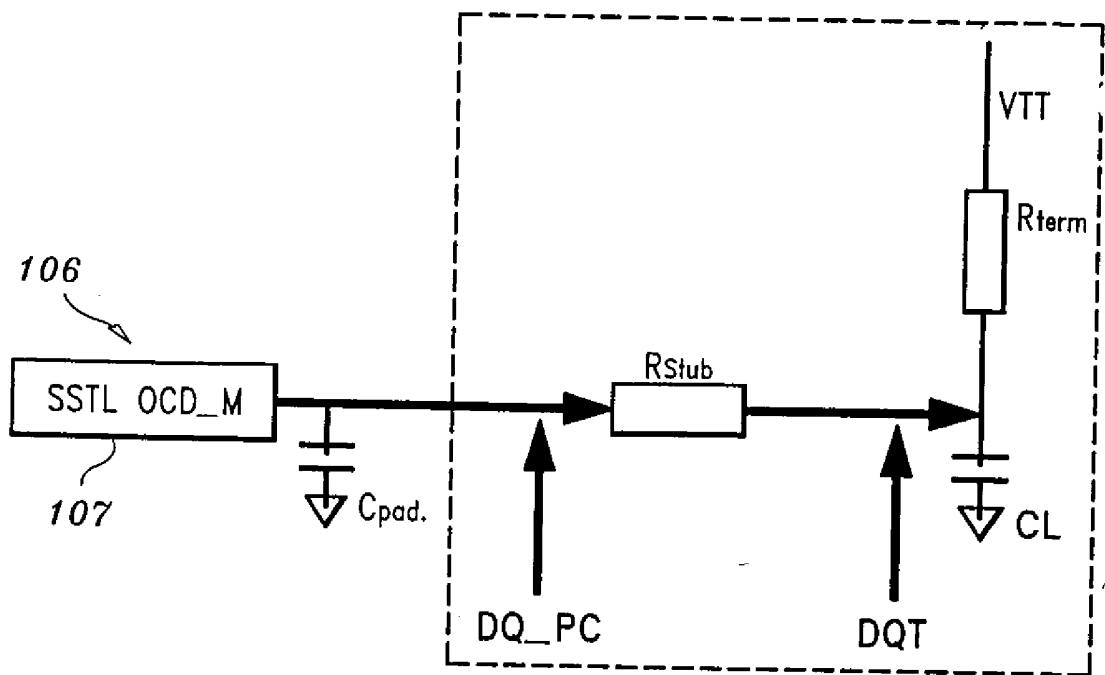
第 3 圖



第 4 圖 (習知技術)



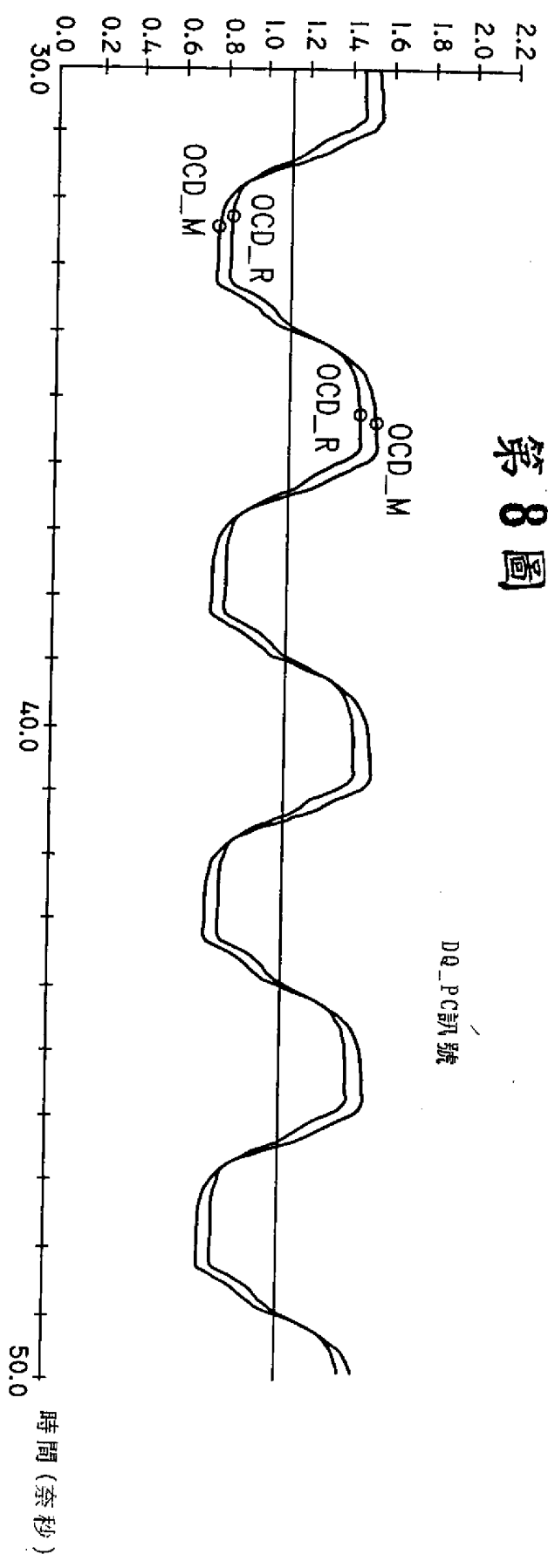
第 5 圖



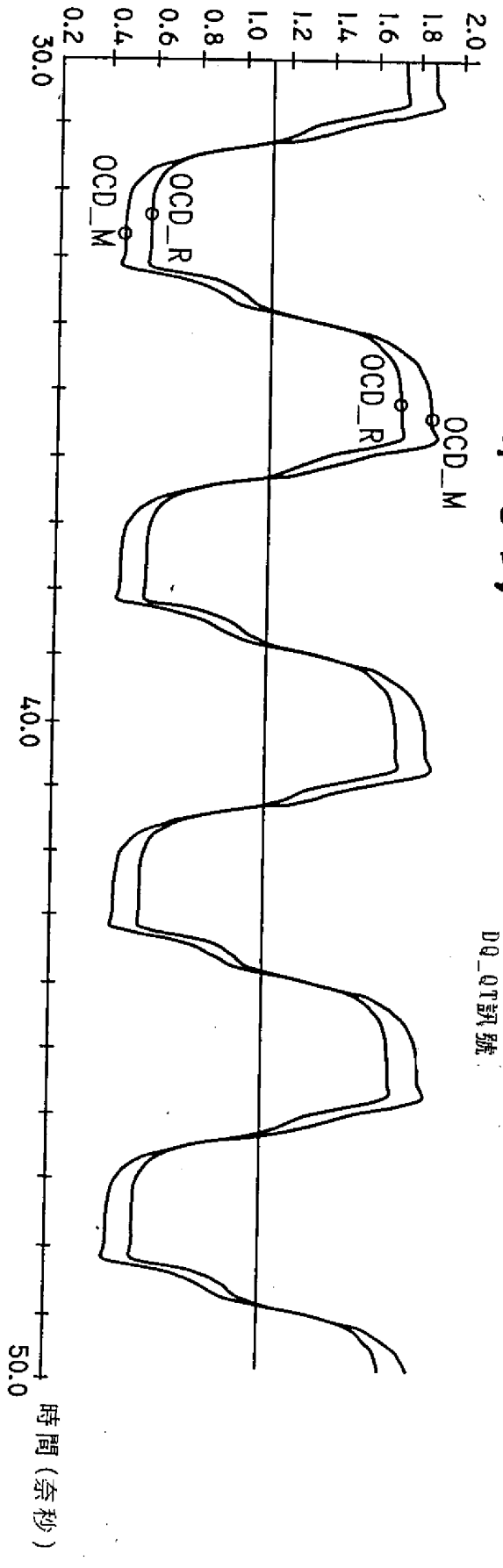
第 6 圖

SSTL晶片上介面OCD\_12

第 8 圖



第 9 圖



427071

89年12月19日 修正  
補充

B6

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

本案已向：

美 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 1998年11月25日 09/200,338

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀封面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製