(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3936429号
(P3936429)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年3月30日(2007.3.30)

(51)Int.Cl.		F I		
G11C 27/00	(2006.01)	G11C	27/00	101A
G11C 16/02	(2006.01)	G11C	17/00	641
G11C 16/04	(2006.01)	G11C	17/00	622E

請求項の数 3　(全 13 頁)

(21)出願番号	特願平9-105452
(22)出願日	平成9年4月9日(1997.4.9)
(65)公開番号	特開平10-125087
(43)公開日	平成10年5月15日(1998.5.15)
審査請求日	平成16年4月7日(2004.4.7)
(31)優先権主張番号	08/629729
(32)優先日	平成8年4月9日(1996.4.9)
(33)優先権主張国	米国(US)

(73)特許権者　594167668
ウィンボンド、エレクトロニクス、コーポレーション
WINBOND ELECTRONICS CORPORATION
台湾シンツー、サイエンス、ベイスド、インダストリアル、パーク、クリエーション、ロード、３、ナンバー、４
(74)代理人　100064621
弁理士　山川　政樹
(72)発明者　ヒュー・ヴァン・トラン
アメリカ合衆国・９５１４８・カリフォルニア州・サン　ホゼ・コルトウッド　ドライブ・２７４１

最終頁に続く

(54)【発明の名称】浮動ゲートＮＡＮＤ構造を使用するアナログ記憶方法および装置

(57)【特許請求の範囲】

【請求項１】

それぞれ、ソースと、ドレーンと、ゲートと、浮動ゲートとを有し、ソースとドレーンが直列接続されたＮＡＮＤ記憶セル構成として接続された、複数の記憶セルのうちの１つに記憶されている値を読み取る方法であって、

（ａ）直列接続された記憶セルの第１のドレーンに第１の基準電圧を結合するステップと、

（ｂ）読み取る記憶セルのゲートに第２の基準電圧を結合するステップと、

（ｃ）読み取る記憶セルに直列接続された記憶セルのゲートに第３の基準電圧を結合するステップと、

（ｄ）一連の記憶セルのドレーンおよびソースを通じて初期負荷電流を与えるステップと、

（ｅ）負荷電流を、一連の記憶セルのドレーンおよびソースを通じて、読み取る記憶セルに直列接続された記憶セルの総電圧降下が、読み取る記憶セルに記憶されているアナログ値の近似分解能以下になる値に低減させるステップと、

（ｆ）一連の記憶セル内の低減された負荷電流による、読み取る記憶セルのソース上の電圧に応答して、読取り出力電圧を与えるステップと

を含むことを特徴とする方法。

【請求項２】

それぞれ、ソースと、ドレーンと、ゲートと、浮動ゲートとを有し、ソースとドレーン

が直列接続されたＮＡＮＤ記憶セル構成として接続された、複数の記憶セルのうちの１つに記憶されているアナログ値を読み取る方法であって、
（ａ）直列接続された記憶セルの第１のドレーンに第１の基準電圧を結合するステップと、
（ｂ）読み取る記憶セルのゲートに第２の基準電圧を結合するステップと、
（ｃ）読み取る記憶セルに直列接続された記憶セルのゲートに第３の基準電圧を結合するステップと、
（ｄ）一連の記憶セルのドレーンおよびソースを通じて初期負荷電流を与えるステップと、
（ｅ）負荷電流を、一連の記憶セルのドレーンおよびソースを通じて、読み取る記憶セルに直列接続された記憶セルの総電圧降下が、読み取る記憶セルに記憶されているアナログ値の近似分解能以下になる値に低減させるステップと、
（ｆ）一連の記憶セル内の低減された負荷電流による、読み取る記憶セルのソース上の電圧に応答して、読取り出力電圧を与えるステップと
を含むことを特徴とする方法。
【請求項３】
アナログ記憶システムであって、
それぞれ、ソースと、ドレーンと、ゲートと、浮動ゲートとを有し、ソースとドレーンが直列接続されたＮＡＮＤ記憶セル構成として接続された複数の記憶セルと、
直列接続された記憶セルの第１のドレーンに第１の基準電圧を与える手段と、
読み取る記憶セルのゲートに第２の基準電圧を与える手段と、
読み取る記憶セルに直列接続された記憶セルのゲートに第３の基準電圧を与える手段と、
一連の記憶セルのドレーンおよびソースを通じて初期負荷電流を与え、その後、負荷電流を、読み取る記憶セルに直列接続された記憶セルの総電圧降下が、読み取る記憶セルに記憶されているアナログ値の近似分解能以下になる値に低減させる手段と、
一連の記憶セル内の低減された負荷電流による、読み取る記憶セルのソース上の電圧に応答して読取り出力電圧を与える手段と
を備えることを特徴とするシステム。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、集積回路設計の分野に関し、詳細には、非揮発性メモリ集積回路を使用するアナログ信号記録および再生に関する。
【０００２】
【従来の技術】
非揮発性メモリ集積回路を使用するアナログ信号記録および再生では、Ｔｒｅｖｏｒ　Ｂｌｙｔｈおよびｒｄ　Ｓｉｍｋｏによる特許第５２２０５３１号に記載されているように、ＥＥＰＲＯＭ（電気的に消去可能なプログラム可能読取り専用メモリ）メモリ・セルが使用される。このようなセルは、ソースと、ドレーンと、ゲートと、浮動ゲートとを有する浮動ゲート・デバイスで構成され、この場合、デバイスのゲートとソースの間で測定されるデバイスのしきい値は、浮動ゲート上の電荷によって決定（制御）される。このようなセルは、ゲート上に高電圧、たとえば２１Ｖを印加し、ソース上に０Ｖを印加し、ドレーン上に０Ｖを印加することによってＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍトンネル効果を使用して消去される。ゲート上の高電圧は、浮動ゲートに容量結合され、浮動ゲートは浮動ゲートとドレーンの間のトンネル酸化物を通じて高電界を生成する。この電界によって、電子が浮動ゲートに貫通し、浮動ゲートは実際上、Ｖｔ（しきい値電圧）を約６Ｖに上昇させる。次に、セルは、ドレーン上に高電圧、たとえば９Ｖないし１９Ｖを印加し、ゲート上に０Ｖを印加し、ソース上に６Ｖを印加することによって、同じＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍトンネル効果機構を使用してプログラムされる。ドレーン上の高

電圧によって、浮動ゲートとドレーンの間のトンネル酸化物を通じて逆方向に高電界が発生する。これによって、電子が浮動ゲートからドレーンへ貫通し、ドレーン上の電圧準位およびパルス幅に応じてたとえば－１Ｖないし＋３Ｖだけしきい値が低下する（空乏化する）。

【０００３】

米国特許第５２２０５３１号では、非揮発性メモリ・セルにアナログ信号を記憶するために、プログラム「パルス」が一連の粗パルスおよび一連の微細パルスに分割される。各プログラミング・パルスの後に、セルの内容が、読取りサイクルを使用して読み取られ、記憶すべきアナログ信号と比較され、粗パルスは、所望のプログラム済みレベルに近づいたときに終了し、微細パルスは、所望のプログラム済みレベルに達したときに終了する。粗書込み／読取り／比較シリーズの後に微細書込み／読取り／比較シリーズを続けることによって、記憶される信号において優れたアナログ信号分解能が与えられる。

【０００４】

上記の特許では、セルのダイナミック・レンジが約３Ｖで、アナログ分解能が約１２ｍＶであり、８ビットのディジタル記憶域に等しい有効分解能が与えられる（各セルの分解能は１２／３０００または約２５０分の１である）。各粗パルスまたは微細パルスは、高電圧に等しいランプアップ時間部およびフラット時間部と、サンプル・比較イネーブル時間部とに分割される。比較時間部は、各増分的粗プログラミング・パルスまたは微細プログラミング・パルスの後にメモリ・セルに記憶された電圧を読み直し、所望の値に達したかどうかを調べるために使用される。サンプル時間部は、入力信号の次のサンプルをサンプリングし、それを保持するために使用される。サンプル・比較時間部は静止時間であり、すなわち充電ポンプなどの高電圧源が雑音のためにディスエーブルされる。連続粗レベル間のステップ電圧は約２２０ｍＶであり、連続微細レベル間のステップ電圧は約２２ｍＶであり、これは、メモリ・セルに記憶されている電圧の分解能の１２ｍＶに相当する。セル・プログラミングしきい値窓の全範囲と、追加電圧マージン、すなわち、メモリ・セルしきい値電圧、すなわち、ほぼメモリ・セルのアナログ・ダイナミック・レンジの約０Ｖないし３Ｖに対応する、メモリ・セルのドレーン上の約９Ｖないし１９Ｖの範囲とをカバーするには粗レベルのステップ電圧を大きくする必要がある。使用可能な粗パルスの数として４５が選択され、これが４５ｘ２２０ｍＶ＝１０Ｖ全範囲に変換される。大きな粗ステップは、短い書込み時間を達成するために使用される。微細ランプの全範囲は約２Ｖに選択される。９０個の微細パルスを使用して、書込み分解能約２２ｍＶを与えることができる。したがって、列サンプル・ドライバおよび保持／高電圧ドライバの数は、サンプリング速度とセル・プログラミング時間によって定義される。たとえば、前述の粗パルスおよび微細パルスを用いて、サンプリング速度が８ｋｈｚであり（通常、オーディオ信号）、セル・プログラミング時間が１２．５ｍｓである場合、列サンプル・ドライバおよび保持／高電圧ドライバの数は、１２．５ｍｓ／１２５μｓ＝１００である。これは、セル書込みが１００個の列に対して同時に行われることを意味する。

【０００５】

読取りモードでは、記憶セルは、ドレーンからグラウンドまで一定の負荷電流を有するソース・フォロアとして構成される。メモリ・セルのゲートとソースは互いに接続され、メモリ・セルのドレーンは定バイアス電流に接続され、選択トランジスタのゲートは、選択ゲートの寸法が小さいことによるゲート電圧降下効果および抵抗効果をなくすために中間電圧、たとえば１０Ｖに接続される。セル・リードアウト電圧に対するゲート／ソース電圧の変動を回避するためにメモリ・セルのゲート／ソースに、調整された電源、たとえば４Ｖが接続される。ドレーンの電圧はメモリ・セル・リードアウト電圧である。したがって、セルは、相互接続されたドレーンおよびソースにソース・フォロアとして接続される。これによって、セルのしきい値とセル・リードアウト電圧との間に線形関係が生じる。したがって、ゲートとソースが実際上、結合されるので、記憶セルは飽和領域で動作する。

【０００６】

この読取り構成では、ソース・ノードまたはドレーン・ノードに対する直列寄生抵抗効果があり、あるいは温度による移動度変動またはしきい値電圧変動、あるいはプロセス変動、あるいは電源変動によって生じるようなトランジスタ導電率の大きな変動がある構成での使用時に重大な欠点が生じる。直列寄生抵抗効果は、たとえばメモリ・セルのソース拡散抵抗が原因となって生じ、あるいはＮＡＮＤフラッシュ・メモリ・セルなどのストリング・メモリ・セル構造と同様に他の直列トランジスタが原因となって生じる。ソース・ラインは、通常、ソース・ライン拡散による抵抗を低減させるために金属または選択トランジスタによって、たとえば３２個のセルごとにストラップ止めされる。その場合でも、特に、リードアウト上で各離散記憶レベルを他の各離散レベルと区別することができるマルチレベル記憶域では、ソース・ライン拡散による抵抗が依然として非常に顕著である。さらに、この効果を低減させるうえでストラップが有効になればなるほど、大きなストラップ領域が使用され、その結果ダイの寸法が大きくなる。

【０００７】

ＮＡＮＤメモリ・セルは、たとえば、直列接続された８つのメモリ・セルのストリングと、メモリ・ストリングを選択するための２つの選択トランジスタとからなり、１つの選択トランジスタ接点が他のメモリ・セル・ストリングと共用される。実際には、８つのメモリ・セルに対して半分のビット線接点および半分の共通ソース線しかないので、ＮＡＮＤ構成のセル当たり面積はかなり小さい。しかし、この構成の直列寄生抵抗およびトランジスタ導電率の変動によって、ソース・ノードまたはドレーン・ノードに沿って電圧が降下し、そのためメモリ・セルのダイナミック・レンジが低下する。アナログ記憶域について考える場合、ＮＡＮＤ構造でさらに重大なことは、同じストリング内の他のメモリ・セルのしきい値電圧が信号入力に応じてさらに修正されることが多いので、この電圧降下のために、ストリング内の１つの特定のセルの出力電圧が読取り／比較／書込みプログラミング・シーケンスのリードバック・モードの場合と出力または再生のための実際の読取りモードの場合とで異なることである。したがって、ストリング内の第１のセルは適切にプログラムされているように見えるが、ストリング内の１つまたは複数の他のセルには他のプログラミング・パルスによる他のプログラミングが必要であり、そのため、これらのセルは、後で再生時に第１のセルの内容が読み出されるときに、第１のセルが適切にプログラムされていると判定されたときに存在していた抵抗とは異なる抵抗を有する。

【０００８】

【発明が解決しようとする課題】

本発明の目的は、アナログ記憶・再生装置内で小型セル寸法のＮＡＮＤ記憶セル構造を使用することである。

【０００９】

【課題を解決するための手段】

これは、読取りモードで、セル負荷電流が、最適なダイナミック・レンジを達成し、ソース・ノードまたはドレーン・ノード内の他のトランジスタの直列寄生抵抗の抵抗効果を回避し、読取り経路内のすべてのトランジスタのトランジスタ導電率の変動を回避するように波形付けされる、特殊な零電流ソース・フォロア記憶セルを使用することによって部分的に達成される。負荷電流は、可能なオーバシュート効果および整定効果を低減させ、最適な検知時間で微細出力電圧分解能を達成するように波形付けされる。

【００１０】

例示のために、直列接続された８つのメモリ・セルと、１つのビット線選択ＮＭＯＳと、１つのソース線選択ＮＭＯＳとからなる通常のＮＡＮＤメモリ・ストリングについて説明する。通常のデバイスでは、そのような多数のストリングが並列接続され、場合によってはセクタを形成するために直列接続される。メモリ・アレイは、すべてのセクタに対して１つのＰ基板を有することも、あるいは消去時の容量負荷を最小限に抑えるために各Ｐ基板がいくつかのセクタにわたって共用される複数のＰ基板を有することもできる。具体的には、消去時に、選択されないすべての行に同じＰ基板ＨＶが印加され消去が抑制される。消去とプログラミングの両方にＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍトンネル効果が使用さ

れる。消去は、Ｐ基板上に高電圧ＨＶ、たとえば２０Ｖを、８つのメモリ・セルのゲート上に低電圧、たとえば０Ｖを、通常１ｍｓ間だけ印加することによって行われる。基板と浮動ゲートとの間のトンネル酸化物を横切る電界は、電子が浮動ゲートから基板へ貫通できるほど高い値のものである。この正味結果として、セルしきい値電圧の分解能は高い値、たとえば２Ｖから低い値、たとえば－１．０Ｖに低減する。消去は通常、アレイ・アーキテクチャに応じて１つのセクタまたは多数のセクタに対して行われる。消去は、他のセクタの基板に高電圧を印加せず、あるいは同じセクタ内の抑制されるメモリ・セルのゲートに同じ時間に同じ高電圧を印加することによって選択的に抑制される。

【００１１】

プログラミングは、基板およびビット線を接地させ、一連の増分高電圧（ＨＶ）パルス、たとえば１０Ｖないし１８Ｖを、選択されたセルのゲート上に印加することによって、反復的および増分的に行われる。高電圧パルスは浮動ゲートを高電圧に容量結合する。浮動ゲートと基板との間で結果的に得られる高電界によって、基板上のチャネルから浮動ゲートへのＦｏｗｌｅｒ－Ｎｏｒｄｈｅｉｍ電子トンネル効果が発生する。ある列を選択しない場合には、選択しないストリングのチャネルを高電圧に結合させ、それによって選択されないセルを横切る電界を低減させる。選択されないセルのチャネル上にハイレベルがあるときにプログラミングを抑制するために、選択されないセルのゲートに中間レベル、たとえば９Ｖを印加する。この正味結果として、選択されたセルしきい値電圧が増分的に増加する。各増分ＨＶプログラミング・パルスの後に検証読取りサイクルが行われる。所望の出力電圧に達すると、ビット線が抑制電圧、たとえば９Ｖに切り換えられ、プログラミングが停止する。所望のしきい値分解能は通常、プログラミング時間との兼ね合いがとられる。例えば、プログラミング・パルス幅および動作しきい値窓が与えられた場合、増分プログラミング・レベルがかなり低い場合にしきい値プログラミング窓をカバーするにはより多くのパルスが必要である。

【００１２】

リードバック・モードでは、記憶セルがソース・フォロア・モードで、波形付けされた電流負荷に接続される。ソース線はＶＲＥＦ１にバイアスされ、ビット線に電流負荷が接続され、選択されたセルのゲートがＶＲＥＦ２にバイアスされ、選択されない他のセルのゲートがＶＲＥＦ３にバイアスされ、ビット線選択トランジスタおよびソース線選択トランジスタのゲートがＶＲＥＦ４にバイアスされる（ＶＲＥＦ１とＶＲＥＦ２は一般に異なる電圧であってよい。ただし、これらは、プログラム済みセルのしきい値に応じて互いに等しくすることができる）。電圧レベルの条件は、選択されたセルが飽和モードで動作し、選択されないセルおよび選択トランジスタが線形モードで動作するような条件である。負荷電流の最終値がほぼ０Ａであるので、寄生抵抗器を横切る電圧降下はほぼ０Ｖに等しい。また、負荷電流の最終値がほぼ零であり、選択トランジスタおよび選択されないメモリ・セルが線形領域で動作するので、そのようなメモリ・セルを横切る電圧降下もほぼ０Ｖに等しい。選択されたメモリ・セルが飽和領域で動作し、負荷電流がほぼ０Ａに等しいので、選択されたセルのソース電圧、すなわちメモリ・セル出力電圧は、そのゲート電圧からしきい値電圧を減じた値に等しい。したがって、しきい値とセル出力電圧との間に線形関係が得られる。セルしきい値電圧が増分プログラミングによって増分的に制御されるので、セル出力電圧も所望のプログラム済み電圧に達するように増分的に制御される。したがって、選択されないメモリ・セルのしきい値電圧がそれぞれ異なり、あるいは寄生抵抗の値がそれぞれ異なり、あるいは記憶セル・ストリング内のすべてのトランジスタのトランジスタ導電率が変動するので、ドレーンまたはソース上の電圧変動は不可能である。直列接続された複数のメモリ・セルを有するＮＡＮＤ構造では、選択されないメモリ・セルのゲート電圧を任意にハイにして外乱効果のための抵抗効果（選択されないセルの望ましくないしきい値シフト）を低減させることはできないが、読取り時の本発明のほぼ零の負荷電流によって同様な結果が達成されることにも留意されたい。

【００１３】

【発明の実施の形態】

本発明で使用される記憶セル構造は、ディジタル・メモリ記憶域に関して、Ｋ．Ｓｕｈ等によってＩＳＳＣＣ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ（１２８ページないし１２９ページ、１９９５年２月）に記載され、Ｋ．Ｉｍａｍｉｙａ等によってＩＳＳＣＣ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ（１３０ページないし１３１ページ、１９９５年２月）に記載されたＮＡＮＤフラッシュ・メモリ・ストリングと同様な通常のＮＡＮＤフラッシュ・メモリ・ストリングである。図１に示したように、好ましい実施形態のメモリ・ストリングは、直列接続された８つのメモリ・セルＭＥ０ないしＭＥ７と、ビット線を選択するための１つの選択トランジスタＭＤと、ソース線を選択するための１つの選択トランジスタＭＳの２つの選択トランジスタとからなる。通常、そのような多数のストリングが並列接続されてセクタが形成され、図２に示したように、そのような多数のセクタが接続されて完全なメモリ・アレイが形成される。

【００１４】

そのようなストリング構造を使用する主要な目的は、メモリ・セル当たりの接点の数を低減させることである。この場合、１つのメモリ・セルしか有さず選択トランジスタを有さないＮＯＲ構造とは異なり、１つのメモリ・セルに対して半分の接点が必要とされるのではなく、８つのメモリ・セルに対して半分の接点しか必要とされない。半分の接点しか必要とされないのは、２つのストリングが同じ接点を共用するからである。ビット線に沿った垂直寸法は現在、ＮＯＲ構造とは異なり、接点寸法、スタック・ポリ・ゲートとの接触、スタック・ポリ・ピッチ、ソース幅ではなく、主としてスタック・ポリ・ピッチによって制限されている。ワード線に沿った水平寸法は、ＮＯＲ構造と同様に、主として接点寸法、金属と金属の間の間隔、拡散と拡散の間の間隔によって制限される。この全体的な効果は、メモリ・セル当たりのチップ面積が大幅に減少することである。この場合、メモリ・セルが直列接続され、様々な外乱モードを回避するためにプログラミング・アルゴリズムが複雑であるために、アクセス時間が長くなる。通常、様々な条件を最適化するには広範囲なセル特性付けが必要である。アクセス時間が長いことは、ページ読取りを行い、すなわち複数のセルを同時に読み取ることによって回避され、したがってこの構造は通常、大容量記憶域などの順次読取りアプリケーションには適しているが、ランダム・アクセス読取りアプリケーションには適していない。

【００１５】

次に、零電流負荷を含むソース・フォロア構成でアナログ・メモリ記憶域用にＮＡＮＤ記憶セルを使用する方法および装置について説明する。

浮動ゲート・デバイスＭＥ０ないしＭＥ７はメモリ・セルであり、デバイスＭＤはビット線用の選択トランジスタであり、デバイスＭＳはソース線用の選択トランジスタである。ＲＤはソース線拡散のための寄生抵抗であり、ＲＳは相互接続のための寄生抵抗を一括したものである。デバイスＭ０ないしＭ７は、列復号に基づく通常の列選択である。デバイスＭＨは、通常のサンプルホールド・スイッチである（電荷取り消しおよびフィードスルー低減に関する既知の技法を使用することができる）。キャパシタＣＨは、サンプルホールド用のホールド・キャパシタであり、Ｉ１は通常のＭＯＳアナログ差分演算増幅器バッファである。このバッファは、プログラミング時にイネーブリング電圧および抑制電圧を列に与え、メモリ・セルから電圧を読み取るようにも働く列ドライバ回路の一部である。バイアス電流および基準電圧は、標準ＣＭＯＳバンドギャップ基準などの基準回路から供給される。

【００１６】

図１には、読み取るデバイスとしてデバイスＭＥ５が選択されるように示されている。負荷電流および関連する電圧の例示的な波形も示されている。読取りサイクルではまず、負荷電流Ｉｌｏａｄがｔ０で急激にＩｍａｘに上昇し（図３参照）、出力ノード電圧ＶＯＵＴを最終電圧に近い電圧に安定化させる。次いで、Ｉｌｏａｄはｔ１でのＩｍａｘからｔ２でのＩｍｉｎに下降し、オーバシュートを最小にして整定する。ある時間ｔ２の後、出力ノードＶＯＵＴが安定化され、ホールド・スイッチＭＨが開放され、ホールド・キャパシタＣＨ上の出力電圧が保持され、読取りサイクルが完了する。

【００１７】
臨界読取り周期中にＩｌｏａｄおよびそれに関連する回路を除いて集積回路上の可能なすべての回路を実際上シャットダウンする、ＱＵＩＥＴと呼ばれる信号も示されている。他の回路をシャットダウンすることによって、チップ上の他の活動状態回路からの可能な雑音結合が最小限に抑えられ、より正確な読取りが行われる。
【００１８】
タイミングは、特定のアレイ・アーキテクチャおよび回路構成に対して最適化すべきである。たとえば、ｔ０に対するｔ１、ｔ２、ｔ３は、ビット線キャパシタンスや所望の出力電圧分解能などの因子に応じて、数ナノ秒ないし数百ナノ秒ないし数マイクロ秒であってよい。時間が長ければ長いほど、出力電圧分解能は微細なものになる。継続時間ｔ２－ｔ１は、最小値側でオーバシュートの確率だけ制限され、オーバシュートがない場合、Ｉｌｏａｄ＝ＩｍａｘからＩｌｏａｄ＝Ｉｍｉｎへの変化は急速なステップになる。
【００１９】
図３には出力電圧ＶＯＵＴが示されている。これは実際のスケールではない。Ｉｍａｘの継続時間（時間ｔ０から時間ｔ１まで）中、様々なデバイスがかなり確実にオンにされ電流Ｉｍａｘを導通させるので、出力電圧ＶＯＵＴは、かなり低いＲＣ時定数を用いて安定準位へかなり迅速に上昇する。しかし、出力電圧ＶＯＵＴは、いくらか低く、直列接続された他のセル内の電圧降下が一定でなく、かつ未知なので、選択されたセルのしきい値の正確な尺度ではない。時間ｔ１と時間ｔ２との間で、電流はオーバシュートを回避するようにＩｍｉｎに低減され、その間、直列デバイス内の電圧降下が低減するため、ＶＯＵＴが増加する。時間ｔ２の後、電圧ＶＯＵＴはさらにいくらか上昇し、新しいいくらか高い安定レベルに達し、この場合、読取り中のデバイスが、そのしきい値にバイアスされ、それほど確実にはオンにされないので、かなり高いＲＣ時定数が用いられる。
【００２０】
電圧準位に関する条件は、ダイナミック・レンジが最適化され、同時に外乱が最小限に抑えられるような条件である。ＶＲＥＦ１、ＶＲＥＦ２は出力ダイナミック・レンジを直接決定する。線形性を得るために、選択されたセルを飽和状態にしておくには、ＶＲＥＦ２≦ＶＲＥＦ１＋Ｖｔｍｉｎであるべきである。この場合、Ｖｔｍｉｎはメモリ・セルの最小しきい値電圧である。ＶＲＥＦ３は≧ＶＲＥＦ１＋Ｖｔｍａｘであるべきである。Ｖｔｍａｘはメモリ・セルの最大しきい値電圧である。ＶＲＥＦ４≧ＶＲＥＦ１＋ＶｔＭＤであるべきである。ＶＲＥＦ３およびＶＲＥＦ４に関するこれらの条件は、直列トランジスタ・チェーンに沿ったゲート電圧からの電圧降下を最小限に抑えるために必要である。通常、読取り速度を高めるにはある種のオーバドライブ（指定された最小値を超える電圧）が必要である。また、ＶＤＩＳＴＵＲＢは、消去される選択されないセルに対して望ましくないしきい値シフトを生じさせるので、選択されないセルに関してはＶＲＥＦ３≦ＶＤＩＳＴＵＲＢであるべきである。ＶＤＩＳＴＵＲＢは通常、予想外乱期間にわたる単一セルの性能の特徴付けによって決定される。
【００２１】
説明を分かりやすくするために、セルしきい値シフトがある量である望ましくない条件を外乱効果として定義する。ディジタル非揮発性メモリでは通常、１００ｍＶないし５００ｍＶが使用される。アナログ記憶域では、８ｍＶ程度の通常の数値が使用される。望ましくない条件は、選択されたセルの読取り時、またはプログラム時、または消去時に発生する。望ましくない条件は、選択されないセルに対して発生することも、あるいは選択されたセルに対して発生することもある。たとえば、あるセルを読み取るとき、そのセルは同時に外乱も受ける。それぞれの異なる技法（ＥＥＰＲＯＭ、ＮＡＮＤ、ＤＩＮＯＲ、ＡＮＤ、ＮＯＲなど）、それぞれの異なるアレイ実施態様および回路実施態様、それぞれの異なる応用例に対してそれぞれの異なる外乱効果が存在することは明らかである。
【００２２】
外乱期間は、アレイ・アーキテクチャ、回路実施態様、製品応用例に依存する。たとえば、Ｉｎｆｏｒｍａｔｉｏｎ Ｓｔｏｒａｇｅ Ｄｅｖｉｃｅｓ，Ｉｎｃ．（ＩＳＤ）は１

０年間の記憶保持を保証している。これは、１つのセル上で継続的に読取りが行われる場合に固定外乱時間が１０年であることを意味する。通常、１つのセルを１０年にわたって継続的に読み取ることはない。しかし、選択されないセルに対する読取り外乱に関する最悪ケースとして依然として１０年が使用されている。

【００２３】

例示的な１組の値として、Ｖｔｍｉｎ＝－０．５Ｖ、Ｖｔｍａｘ＝２．０Ｖの場合にＶＲＥＦ１＝３Ｖ、ＶＲＥＦ２＝２．５Ｖ、ＶＲＥＦ３＝５．５Ｖ、ＶＲＥＦ４＝５．５Ｖとする。ここで、Ｖｔ（しきい値）数には、メモリ・セルの本体効果が含まれる。２．５Ｖのダイナミック・レンジ、すなわち０．５Ｖないし３．０Ｖが予想され、この場合、０．５＝ＶＲＥＦ２－Ｖｔｍａｘ＝２．５－２．０であり、３．０Ｖ＝ＶＲＥＦ２－Ｖｔｍｉｎ＝２．５－（－０．５）である。Ｉｍａｘは数マイクロアンペアであってよく、Ｉｍｉｎは数十ナノアンペアないし数百ナノアンペアでも、あるいは場合によっては零ナノアンペアでもよい。しかし、いくらかの可能な電界漏れまたはいくらかの弱い雑音結合をシンクするには、ナノアンペア範囲のある種の非零電流が好ましい。電流の大きさが、Ｉｍａｘよりも３桁小さく、すなわちマイクロアンペアではなくナノアンペアなので、非零Ｉｍｉｎは、顕著な電圧降下を発生させずに最終出力電圧を安定化させるうえでも助けになる。

【００２４】

電流Ｉｌｏａｄを低減させると、メモリ・アレイ全体にわたる各電流負荷デバイスごとのゲート・バイアス電圧も低減する。非一様性のために、厳密な小電流値および電流・時間プロファイルはアレイ全体にわたって異なる。しかし、各電流負荷は最終的にほぼ零に低減し、ほぼ零電流に到達する厳密な時間は、ＶＯＵＴの検知がその後に行われるので重要ではない。

【００２５】

本発明は、既存のＩＳＤアナログ記憶装置の様々な他の態様に匹敵する。たとえば、温度に対するメモリ・セル出力電圧の変動は、Ｒｉｃｈａｒｄ　Ｔ．Ｓｉｍｋｏによって米国特許第５１２６９６７号に記載された参考方式を使用することによって最小限に抑えることができる。

【００２６】

表１は、消去モード、プログラミング・モード、読取りモードに関する様々な動作条件を示す。プログラミング時には、同じセクタの隣接する選択されないビット線上のビット線電圧＝～９Ｖをソース線電圧から絶縁するためにソース線選択トランジスタＭＳが必要である。消去されるセクタ上のすべての行がオンであり、９Ｖまたは１０Ｖないし１８Ｖに等しく、選択されたビット線が０Ｖなので、トランジスタＭＳがない場合、ソース線電圧は０Ｖになる。プログラミング時には、同じセクタの隣接する選択されないビット線上のビット線電圧＝～９Ｖを、選択されない同じビット線を共用する他のセクタの第１のメモリ・セルのドレーンから絶縁するためにビット線選択トランジスタＭＤも必要である。これによって、それらのメモリ・セルの不要な消去が行われる。選択トランジスタＭＳによって、セクタのソース線がトランジスタＭＳによって個別に選択されるので、すべてのソース線を金属線によってまとめてストラップ止めすることもできる。

【００２７】

【表１】

	消去	プログラミング	プログラム抑制	読取り
ＳＬ	ＦＬ	0	0	ＶＲＥＦ１
ＢＬ	ＦＬ	0	9	Ｉｌｏａｄ
列５	0	１０－１８	１０－１８	ＶＲＥＦ２
列０－４、６－７	0	9	9	ＶＲＥＦ３
ＳＳＬ	ＦＬ	0	0	ＶＲＥＦ４
ＢＳＬ	ＦＬ	9	9	ＶＲＥＦ４
その他のＢＬ	ＦＬ	ＶＩＮＨＩＢＩＴ たとえば　９Ｖ	ＶＩＮＨＩＢＩＴ たとえば　９Ｖ	ＦＬ
Ｐ－基板	２０	0	0	0

８ＮＡＮＤセル・ストリングのセル０～７の消去およびセル５のプログラミングと読取りの条件

【００２８】
この表で、
ＦＬ＝電気的浮動
Ｉｌｏａｄ＝波形付けされた負荷電流（列マルチプレクサを通じて印加される読取りバイアス電流）である。
【００２９】
本発明では、再生時にＮＡＮＤ接続されたセル内で予想できない抵抗に出会うにもかかわらずアナログ記憶装置でＮＡＮＤメモリ・セル構成が使用される。これは、２ステップ読取りまたはマルチステップ読取りによってセルを読み取ることによって行われ、この場合、まず高読取り電流を使用して、不正確なリードアウト電圧を通じて迅速な整定が得られ、その後、非常に低くほぼ零のリードアウト電流によって、リードアウト電圧をより正確なリードアウト電圧で再整定させる。この再整定が可能なのは、電流が非常に低いので、ＮＡＮＤ接続中の他の抵抗を横切る電圧降下が無視できるものだからである。
【００３０】
代替策として、キャパシタンスをｎチャネル・デバイスを通じてグラウンドに短絡させることにより各読取り後にホールド・キャパシタＣＨを放電させることによって同様な効果を得ることができる。その場合、読取り動作を開始する際、負荷キャパシタを駆動する出力が接地レベルから開始するので、読取り電流は最初比較的高い。次に、出力電圧が読取り中のセルのしきい値に近づくにつれて、電流が自動的にほぼ零の値に低減する。数時定数後に、電流がほぼ零に低減し、出力電圧が読取り中のセルの正確な読取り値になる。セルは、出力が真のセル出力読取りを超えてドリフトしないように、電流が、予想される電界漏れおよび雑音以上である事象中に読み取るべきである。なお、最終的な近零読取り電流は、好ましくは初期読取り電流よりも少なくとも１桁低く、より好ましくは少なくとも２桁低く、初期読取り電流よりも３桁低くてもよい。さらに、電界漏れおよび雑音結合の特性および方向に応じて、図１で定義したＩｍｉｎを零に等しくし、なおかつ、ＮＡＮＤセル接続における他の抵抗の影響を受けないセル・プログラミングを正確に反映する安定なセル読取り値を得ることができる。
【００３１】

Ｉｎｆｏｒｍａｔｉｏｎ Ｓｔｏｒａｇｅ Ｄｅｖｉｃｅｓ社によって製造されているタイプの、オーディオ信号を記憶し再生するために使用されるアナログ記憶装置が、順次アクセス・デバイスの形のものであり、制限ランダム・アクセス型機能が、個別のセルではなく、自由記録領域の始め、または記録されているメッセージの始めを指し示すためのみに使用されることに留意されたい。したがって、セルが記録のためにアクセスされる順序を定義することができ、もちろん再生は同じシーケンスで行う必要がある。図１を参照すると分かるように、これによって、ＮＡＮＤセル・ストリングのセルＭＥ０を最初にプログラムし、次いでセルＭＥ１をプログラムし、次いでセルＭＥ２をプログラムし、以下同様にプログラムするようプログラミングを設計することができる。このように、現在プログラム中のセルとソース・フォロア読取り回路との間のセルの物理的なプログラミングが、現在プログラム中のセルが適切にプログラムされたと判定され、セルのプログラミングが停止してから、再生時にセルが読み出されるまでの間に変化することはない。したがって、このＮＡＮＤ構造では、セル・リードアウト値は、その後のプログラミング・サイクルでプログラムされるセルの影響を受けない。前述のプログラミング・シーケンスに従うと、本発明の零電流読取りは、そのようなデバイスにおける記録およびリードバックの精度をさらに向上させる。

【００３２】

浮動ゲートＮＡＮＤ構造記憶セル内のアナログ記憶域に関連して本発明の使用法および利点について説明した。本発明の読取り時の非常に低い電流または零電流は、ＮＯＲ構成やＤＩＮＯＲ構成、すなわち２トランジスタ・１トランジスタ・セルとＥＰＲＯＭセルなど、他の構成や他の技法で実現されている記憶セルの再生または出力時の読取り精度を高めるうえでも有利である。リードバック精度を高めることは、セル当たり１サンプルの、オーディオ信号またはその他の時変アナログ信号のアナログ・サンプルなどのアナログ信号の記憶および再生だけでなく、ディジタル信号の記憶、特に、２ビット以上の情報の等価物を各セルに記憶するために各記憶セルにマルチレベルとして記憶されるディジタル信号の記憶および再生でも重要である。これは、図４に示したように、記憶装置の入力にＡ／Ｄ変換器を付加し、装置の出力にＤ／Ａ変換器を付加することによって行うことができる。ディジタル・ワード中のビット数は、記憶されているアナログ・レベルの電圧範囲を、保証されている記憶精度で除した値によって与えられる。記憶精度に関しては、プログラミング・シーケンス中の増分だけでなく、雑音、最悪ケース・プログラミング増分、セルの長期電圧保持特性、大気温度および動作電圧の効果などの因子も考慮される。本発明で説明したタイプのアナログ・メモリは、電圧を２．５Ｖの範囲にわたって約１０ｍＶに分解できるべきである。この場合、約２５０個の異なるレベルと最大８ビットのバイナリ情報の表現が得られるが、上記の因子を考慮した後、ビットの数をたとえば４ビットに減少させることができる（約１５０ｍＶの間隔で離隔された１６個のレベル）。それにもかかわらず、単一のセルに対する４ビットは、セル当たりに１ビットしか与えない従来型のディジタル記憶域と比べて、メモリ・アレイで達成できる情報記憶密度の顕著な改良である。そのようなシステムでは、各Ｎビット入力信号は、順次信号を使用することもできるが図４には並列信号として示されており、２Ｎ個の離散電圧レベルのうちの１つに変換され、記載されたようにそれぞれの記憶セルにそれぞれのレベルとして記憶される。その場合リードアウト上で、２Ｎ個の離散電圧レベルのうちの１つが、順次信号を使用することもできるが図４には並列信号として示されたＮビット出力信号に再変換される。

【００３３】

したがって、本発明をある好ましい実施例に関して開示し説明したが、当業者には、本発明の趣旨および範囲から逸脱せずに本発明を変更できることが理解されよう。

【図面の簡単な説明】

【図１】読取りモードのＮＡＮＤ記憶セル構造を示す回路図である。

【図２】ＮＡＮＤ記憶セル構造のアレイを示す図である。

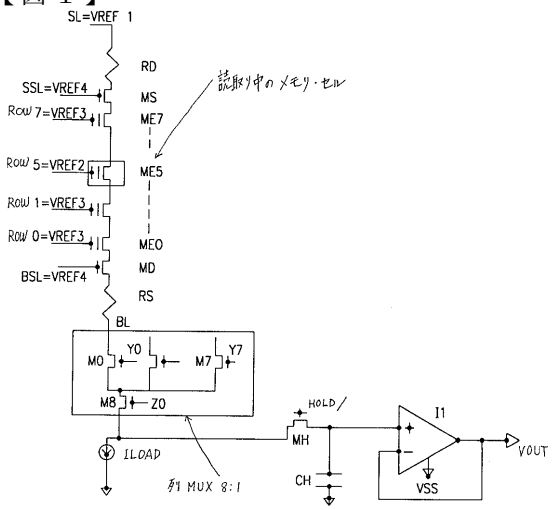
【図３】本発明のＮＡＮＤ記憶セルの読取り時の負荷電流および関連する信号波形を示す図である。

【図４】マルチビット・ディジタル値の記憶および再生を単一のアナログ電圧として与えるための、データ変換器と本発明によるアナログ・メモリとの接続を示す図である。

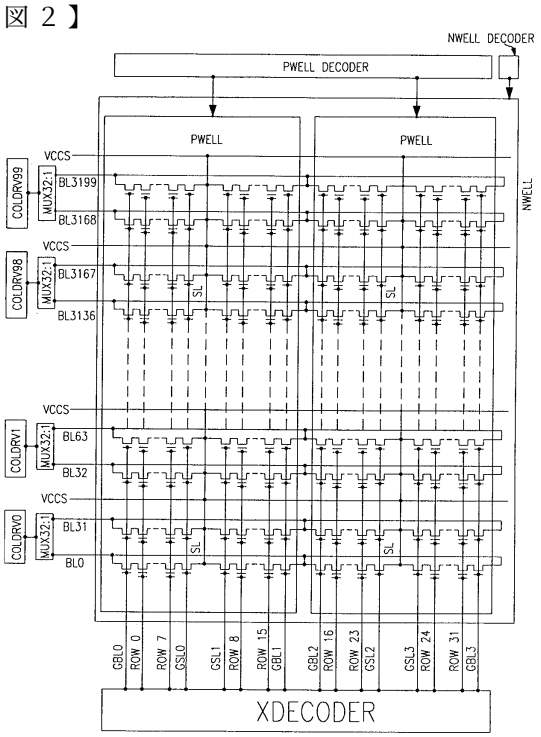
【符号の説明】

ＭＥ０ないしＭＥ７　メモリ・セル
ＭＤ、ＭＳ　選択トランジスタ
ＲＤ　寄生抵抗
ＲＳ　集中寄生抵抗
Ｍ０ないしＭ７　デバイス
ＭＨ　デバイス
ＣＨ　キャパシタ
ＶＯＵＴ　出力ノード電圧

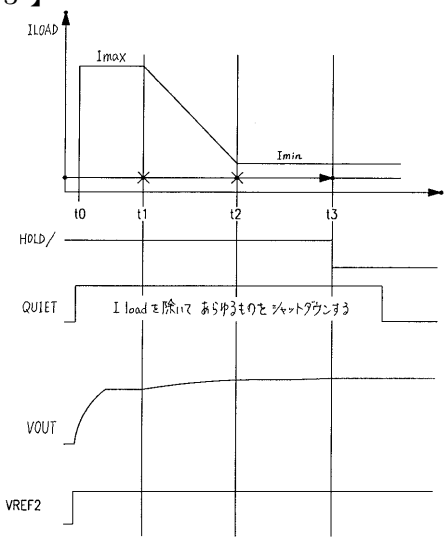
【図１】



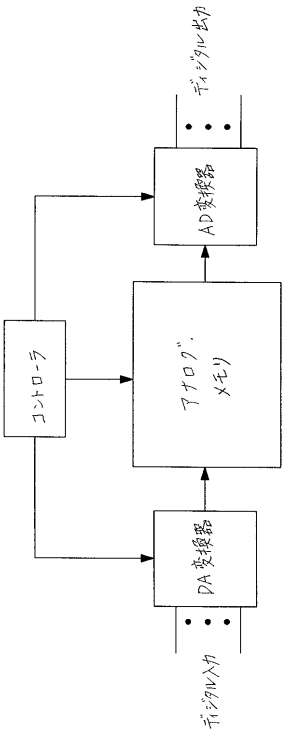
【図２】



【図３】


ILOAD
Imax
Imin
t0
t1
t2
t3
HOLD/
QUIET
I loadを除いて あらゆるものを シャットダウンする
VOUT
VREF2

【図４】


ディジタル出力
AD変換器
コントローラ
アナログ・メモリ
DA変換器
ディジタル入力

フロントページの続き

(72)発明者 ジェームス・ブレナン，ジュニア
アメリカ合衆国・９５０７０・カリフォルニア州・サラトガ・ソビー メドウズ コート・１４１２３
(72)発明者 トレヴァー・ブリス
アメリカ合衆国・８４０９３・ユタ州・サンディ・サウス クリーク ホロウ コーヴ・８３４５
(72)発明者 サキーン・ユーン
アメリカ合衆国・９５０７０・カリフォルニア州・サラトガ・ウェストビュー ドライブ・１８９２５

審査官 堀江 義隆

(56)参考文献 特開平０７－２８２５９３（ＪＰ，Ａ）
特開平０１－２５１４９９（ＪＰ，Ａ）
特開平０９－００７３８３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 27/00
G11C 16/02
G11C 16/04