

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7031751号
(P7031751)

(45)発行日 令和4年3月8日(2022.3.8)

(24)登録日 令和4年2月28日(2022.2.28)

(51)国際特許分類

F I

H 0 3 F	1/02 (2006.01)	H 0 3 F	1/02	1 8 8
H 0 3 F	3/213(2006.01)	H 0 3 F	3/213	
H 0 3 F	3/24 (2006.01)	H 0 3 F	3/24	
H 0 3 F	3/60 (2006.01)	H 0 3 F	3/60	
H 0 3 F	3/68 (2006.01)	H 0 3 F	3/68	2 2 0

請求項の数 5 (全14頁)

(21)出願番号 特願2020-537907(P2020-537907)
 (86)(22)出願日 平成30年8月20日(2018.8.20)
 (86)国際出願番号 PCT/JP2018/030654
 (87)国際公開番号 WO2020/039474
 (87)国際公開日 令和2年2月27日(2020.2.27)
 審査請求日 令和2年8月28日(2020.8.28)

(73)特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74)代理人 100082175
 弁理士 高田 守
 (74)代理人 100106150
 弁理士 高橋 英樹
 (74)代理人 100148057
 弁理士 久野 淑己
 (72)発明者 嘉藤 勝也
 東京都千代田区丸の内二丁目7番3号
 三菱電機株式会社内
 審査官 工藤 一光

最終頁に続く

(54)【発明の名称】 ドハティ増幅器

(57)【特許請求の範囲】

【請求項1】

互いに隣接する第1及び第2の入力端子と、互いに隣接する第1及び第2の出力端子とを持つパッケージと、

前記パッケージの内部において前記第1の入力端子と前記第1の出力端子との間に順に接続された第1の入力整合回路、第1の遅延回路、第2の入力整合回路、第1の増幅器及び第1の出力整合回路と、

前記パッケージの内部において前記第2の入力端子と前記第2の出力端子との間に順に接続された第3の入力整合回路、第2の増幅器、第2の出力整合回路、第2の遅延回路及び第3の出力整合回路と、

前記パッケージの外側において前記第1の入力端子、前記第2の入力端子、前記第1の出力端子及び前記第2の出力端子にそれぞれ接続された第1から第4の整合回路と、

前記パッケージの外側に設けられ、入力信号を2つに分配してそれぞれ前記第1及び第2の整合回路を介して前記第1及び第2の入力端子に入力する分配回路と、

前記パッケージの外側に設けられ、前記第1及び第2の出力端子から前記第3及び第4の整合回路を介して入力した信号を1つに合成する合成回路とを備えることを特徴とするドハティ増幅器。

【請求項2】

前記第1の入力整合回路の出力端から入力側を見たインピーダンスは入力信号の周波数で第1のインピーダンスであり、

前記第 3 の出力整合回路の入力端から出力側を見たインピーダンスは前記入力信号の周波数で第 2 のインピーダンスであり、

前記第 1 及び第 2 のインピーダンスは虚数部を持たず、

前記第 1 の遅延回路の特性インピーダンスは前記第 1 のインピーダンスと同じであり、

前記第 2 の遅延回路の特性インピーダンスは前記第 2 のインピーダンスと同じであり、

前記第 1 及び第 2 の遅延回路の電気長は前記入力信号の波長の $1 / 4 \pm 20\%$ の範囲内であることを特徴とする請求項 1 に記載のドハティ増幅器。

【請求項 3】

前記第 1 及び第 2 の遅延回路はマイクロストリップ線路であることを特徴とする請求項 2 に記載のドハティ増幅器。

【請求項 4】

前記第 1 及び第 2 の遅延回路の各々は、直列接続された 2 つのインダクタの間にキャパシタがシャント接続された構成であることを特徴とする請求項 2 に記載のドハティ増幅器。

【請求項 5】

互いに隣接する第 1 及び第 2 の入力端子と、互いに隣接する第 1 及び第 2 の出力端子とを持つパッケージと、

前記パッケージの内部において前記第 1 の入力端子と前記第 1 の出力端子との間に順に接続された第 1 の入力整合回路、第 1 の増幅器及び第 1 の出力整合回路と、

前記パッケージの内部において前記第 2 の入力端子と前記第 2 の出力端子との間に順に接続された第 2 の入力整合回路、第 2 の増幅器及び第 2 の出力整合回路と、

前記パッケージの外側において前記第 1 の入力端子、前記第 2 の入力端子、前記第 1 の出力端子及び前記第 2 の出力端子にそれぞれ接続された第 1 から第 4 の整合回路と、

前記パッケージの外側に設けられ、入力信号を 2 つに分配してそれぞれ前記第 1 及び第 2 の整合回路を介して前記第 1 及び第 2 の入力端子に入力する分配回路と、

前記パッケージの外側に設けられ、前記第 1 及び第 2 の出力端子から前記第 3 及び第 4 の整合回路を介して入力した信号を 1 つに合成する合成回路とを備え、

前記第 1 の入力端子から前記第 1 の増幅器までの電気長は、入力信号の波長の $1 / 4 \pm 20\%$ の範囲内で前記第 2 の入力端子から前記第 2 の増幅器までの電気長よりも長く、

前記第 2 の増幅器から前記第 2 の出力端子までの電気長は、前記入力信号の波長の $1 / 4 \pm 20\%$ の範囲内で前記第 1 の増幅器から前記第 1 の出力端子までの電気長よりも長いこ

とを特徴とするドハティ増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、2 つの増幅器を 1 つのパッケージに収納したドハティ増幅器に関する。

【背景技術】

【0002】

移動体通信において、送信用電力増幅器は、一般的に、高効率で低歪みであることが求められる。また、近年の高速で大容量の通信に対応するために、高い P A P R (Peak Average Power Ratio) の変調波信号が用いられている。高い P A P R の信号を電力増幅器で増幅する場合、歪みの規格を満足するために、飽和出力電力に対してバックオフをとった低い平均出力電力で動作させる。一般的にバックオフ量と効率は相反する関係にあるため、高い P A P R を用いる場合は高い効率は期待できない。この問題を解決することができるドハティ増幅器と呼ばれる増幅器が通信用基地局を中心に広く採用されている。

【0003】

ドハティ増幅器では、A B 級又は B 級にバイアスしたメインアンプと、C 級にバイアスしたピークアンプとを、 $n / 4$ 線路を用いて並列に合成する。片方のアンプの出力に $n / 4$ 線路が配置される。もう片方のアンプの入力にも $n / 4$ 線路が配置される。大信号入力時には、2 つのアンプは同様に動作して同相で合成されるため、2 合成アンプと同様の特性を示し大きな飽和出力電力を実現できる。一方、小信号入力時には、メインアンプのみが

10

20

30

40

50

動作し、且つメインアンプの出力側に接続した / 4 線路はインピーダンスインバータとして機能するため、高い負荷インピーダンスにより高い効率を得られる。そのため、ドハティ増幅器は広い出力電力範囲で高い効率を実現できる。

【 0 0 0 4 】

ドハティ増幅器は2つの増幅器を用いるため、小型化のためには2つの増幅器を1つのパッケージに収納することが望ましい。一方で、ドハティ増幅器全体を集積化すると特性の微調整が困難である。このため、2つの増幅器と整合回路の一部のみをパッケージに収納し、パッケージ外に調整可能な部分を設けることが望ましい。しかし、隣接する入力端子間又は出力端子間での電磁結合がデバイス特性に影響する。これは1つの増幅器を1つのパッケージに収納した半導体デバイスを2組用いてドハティ増幅器を構成した場合と比較し、端子間距離が縮まる事に加え、隣接する端子間を通過する信号が90度の位相差を持つためであると考えられる。この問題に対してパッケージ内に電気シールドを設ける手法が提案されているが、電気シールドのサイズに起因する小型化に限界が生じる。また、ドハティ増幅器の分配回路と合成回路以外を全てパッケージ化することも提案されている（例えば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【 0 0 0 5 】

【文献】日本特開2005 - 303771号公報

【発明の概要】

20

【発明が解決しようとする課題】

【 0 0 0 6 】

分配回路と合成回路以外を全てパッケージ化することで電磁結合は抑制できるが、前述したように特性の微調整が困難という問題がある。

【 0 0 0 7 】

本発明は、上述のような課題を解決するためになされたもので、その目的は電磁結合を抑制しつつ、特性の微調整を容易に行うことができるドハティ増幅器を得るものである。

【課題を解決するための手段】

【 0 0 0 8 】

本発明に係るドハティ増幅器は、互いに隣接する第1及び第2の入力端子と、互いに隣接する第1及び第2の出力端子とを持つパッケージと、前記パッケージの内部において前記第1の入力端子と前記第1の出力端子との間に順に接続された第1の入力整合回路、第1の遅延回路、第2の入力整合回路、第1の増幅器及び第1の出力整合回路と、前記パッケージの内部において前記第2の入力端子と前記第2の出力端子との間に順に接続された第3の入力整合回路、第2の増幅器、第2の出力整合回路、第2の遅延回路及び第3の出力整合回路と、前記パッケージの外側において前記第1の入力端子、前記第2の入力端子、前記第1の出力端子及び前記第2の出力端子にそれぞれ接続された第1から第4の整合回路とを備えることを特徴とする。

30

【発明の効果】

【 0 0 0 9 】

本発明では、遅延回路をパッケージ内に内蔵するため、パッケージの入力端子間と出力端子間での位相を同相にすることができる。これにより、小型パッケージで生じる電磁結合を抑制することができる。また、パッケージの外側の整合回路でドハティ増幅器の特性の微調整を容易に行うことができる。

40

【図面の簡単な説明】

【 0 0 1 0 】

【図1】実施の形態1に係るドハティ増幅器を示す図である。

【図2】実施の形態1に係るドハティ増幅器のパッケージを示す平面図である。

【図3】実施の形態1に係るドハティ増幅器のパッケージを示す断面図である。

【図4】実施の形態1に係る第2の増幅器の出力整合回路のインピーダンス変成を示す図

50

である。

【図 5】比較例に係るドハティ増幅器を示す回路図である。

【図 6】比較例に係るドハティ増幅器のドレイン効率の計算結果を示す図である。

【図 7】比較例に係るドハティ増幅器の利得の計算結果を示す図である。

【図 8】実施の形態 1 に係るドハティ増幅器のドレイン効率の計算結果を示す図である。

【図 9】実施の形態 1 に係るドハティ増幅器の利得の計算結果を示す図である。

【図 10】飽和出力電力に対する端子間距離の影響を計算した結果を示す図である。

【図 11】遅延回路の電気長を変えて実施の形態 1 に係るドハティ増幅器の飽和出力電力を計算した結果を示す図である。

【図 12】実施の形態 2 に係るドハティ増幅器のパッケージ内部を示す等価回路図である。

10

【図 13】実施の形態 2 に係るドハティ増幅器のパッケージ内部のレイアウトを示す平面図である。

【図 14】実施の形態 2 に係る第 2 の増幅器の出力整合回路のインピーダンス変成を示す図である。

【図 15】実施の形態 3 に係るドハティ増幅器を示す図である。

【図 16】実施の形態 3 に係るドハティ増幅器のパッケージ内部を示す等価回路図である。

【図 17】実施の形態 3 に係る第 1 の増幅器の出力整合回路のインピーダンス変成を示す図である。

【図 18】実施の形態 3 に係る第 2 の増幅器の出力整合回路のインピーダンス変成を示す図である。

20

【発明を実施するための形態】

【0011】

実施の形態に係るドハティ増幅器について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

【0012】

実施の形態 1 .

図 1 は、実施の形態 1 に係るドハティ増幅器を示す図である。パッケージ 1 は、互いに隣接する第 1 及び第 2 の入力端子 2 , 3 と、互いに隣接する第 1 及び第 2 の出力端子 4 , 5 とを持つ。

【0013】

30

第 1 の入力整合回路 6、第 1 の遅延回路 7、第 2 の入力整合回路 8、第 1 の増幅器 9 及び第 1 の出力整合回路 10 がパッケージ 1 の内部において第 1 の入力端子 2 と第 1 の出力端子 4 との間に順に接続されている。第 3 の入力整合回路 11、第 2 の増幅器 12、第 2 の出力整合回路 13、第 2 の遅延回路 14 及び第 3 の出力整合回路 15 がパッケージ 1 の内部において第 2 の入力端子 3 と第 2 の出力端子 5 との間に順に接続されている。

【0014】

第 1 の増幅器 9 及び第 2 の増幅器 12 は例えば GaN - HEMT である。第 1 の増幅器 9 は A 級又は B 級にバイアスされる。第 2 の増幅器 12 は C 級にバイアスされる。第 1 の増幅器 9 のゲートに第 2 の入力整合回路 8 等が接続され、ドレインに第 1 の出力整合回路 10 が接続されている。第 2 の増幅器 12 のゲートに第 3 の入力整合回路 11 が接続され、ドレインに第 2 の出力整合回路 13 等が接続されている。

40

【0015】

第 1 から第 4 の整合回路 16 ~ 19 がパッケージ 1 の外側において第 1 の入力端子 2、第 2 の入力端子 3、第 1 の出力端子 4 及び第 2 の出力端子 5 にそれぞれ接続されている。第 1 及び第 2 の整合回路 16 , 17 にゲートバイアス回路が含まれていてもよい。第 3 及び第 4 の整合回路 18 , 19 にドレインバイアス回路が含まれていてもよい。

【0016】

分配回路 20 と合成回路 21 もパッケージ 1 の外側に設けられている。分配回路 20 は、入力信号を 2 つに同相で等分配して、それぞれ第 1 及び第 2 の整合回路 16 , 17 を介して第 1 及び第 2 の入力端子 2 , 3 に入力する。分配回路 20 は、特性インピーダンスが 7

50

0.71 で入力信号の波長の $1/4$ の電気長を有するマイクロストリップ線路 22, 23 と、100 の抵抗 24 とを有するウィルキンソン分配回路である。

【0017】

合成回路 21 は、第 1 及び第 2 の出力端子 4, 5 から第 3 及び第 4 の整合回路 18, 19 を介して入力した信号を 1 つに合成する。合成回路 21 の出力に整合回路 25 と負荷 26 が接続されている。負荷 26 の抵抗値は一般的に 50 である。整合回路 25 は、特性インピーダンスが 35.36 で入力信号の波長の $1/4$ の電気長を持つマイクロストリップ線路である。

【0018】

パッケージ 1 の内部の回路は、例えば比誘電率が 3 ~ 4 で厚さが 20 ~ 30 mil 程度の樹脂基板上に形成した金属パターンと SMD (Surface Mount Device) 部品で構成する。パッケージ 1 の内部の整合回路は、ボンディングワイヤのインダクタンス、MIM (Metal Insulator Metal) キャパシタ、又は比誘電率 30 ~ 300 の誘電体基板上に形成したマイクロストリップ線路で構成する。第 1 及び第 2 の遅延回路 7, 14 は、比誘電率 30 ~ 300 の誘電体基板上に形成したマイクロストリップ線路である。

10

【0019】

図 2 は、実施の形態 1 に係るドハティ増幅器のパッケージを示す平面図である。図 3 は、実施の形態 1 に係るドハティ増幅器のパッケージを示す断面図である。ヒートシンク 27 の上に第 1 の増幅器 9 及び第 2 の増幅器 12 等が実装されている。第 1 及び第 2 の入力端子 2, 3 と第 1 及び第 2 の出力端子 4, 5 とヒートシンク 27 はモールド材 28 で固定される。ただし、パッケージ 1 はモールドパッケージに限らずセラミックパッケージでもよい。

20

【0020】

第 1 から第 3 の入力整合回路 6, 8, 11 及び第 1 及び第 2 の整合回路 16, 17 は、大信号入力時に第 1 の増幅器 9 及び第 2 の増幅器 12 のゲートに反射無く信号が入力できるように設計される。第 1 から第 3 の出力整合回路 10, 13, 15 及び第 3 及び第 4 の整合回路 18, 19 は、第 1 の増幅器 9 及び第 2 の増幅器 12 のドレインから出力側を見たインピーダンスが最適負荷インピーダンス Z_{opt} になるように設計される。一般に Z_{opt} はトランジスタのロードプル計算又はロードプル評価から決定され、飽和効率が最大になる負荷、電力負荷効率が最大になる負荷、又は飽和出力電力が最大になる負荷等に設定される。

30

【0021】

第 1 の入力整合回路 6 の出力端から入力側を見たインピーダンスは入力信号の周波数で第 1 のインピーダンス Z_{S1} である。第 3 の出力整合回路 15 の入力端から出力側を見たインピーダンスは入力信号の周波数で第 2 のインピーダンス Z_{L1} である。 Z_{S1} , Z_{L1} は虚数部を持たない。第 1 の遅延回路 7 の特性インピーダンスは Z_{S1} と同じである。第 2 の遅延回路 14 の特性インピーダンスは Z_{L1} と同じである。第 1 の遅延回路 7 及び第 2 の遅延回路 14 は、インピーダンスを変えずに位相だけを遅延させるため、虚数部を持たないインピーダンスを有する回路に接続する必要がある。

【0022】

第 1 の増幅器 9 のドレインから合成回路 21 までの整合回路は、通過位相が入力信号の周波数で $90 \text{度} + 180 \times N \text{度}$ (N は自然数) になるように設計される。また、第 2 の増幅器 12 のドレインから合成回路 21 までの整合回路は、通過位相が入力信号の周波数で $0 \text{度} + 180 \times M \text{度}$ (M は自然数) になるように設計される。ここでは $N = 0$, $M = 1$ の場合について説明する。このように設計することで、合成回路 21 から第 2 の増幅器 12 側を見た小信号でのインピーダンスは開放となる。また、第 1 の増幅器 9 の小信号での負荷インピーダンスは、大信号時と比較して 2 倍高いインピーダンスに設定される。

40

【0023】

図 4 は、実施の形態 1 に係る第 2 の増幅器の出力整合回路のインピーダンス変成を示す図である。第 3 の出力整合回路 15 と第 4 の整合回路 19 でインピーダンスを 50 から Z

50

L_1 まで変成する。第2の遅延回路14は、この虚数部を持たないインピーダンス Z_{L1} となる位置に接続され、特性インピーダンス Z_{L1} で信号の波長の $1/4$ の電気長を持つマイクロストリップ線路で構成される。第1の遅延回路7も同様に、虚数部を持たないインピーダンス Z_{S1} となる位置に接続され、特性インピーダンス Z_{S1} で信号の波長の $1/4$ の電気長を持つマイクロストリップ線路で構成される。

【0024】

続いて、本実施の形態の効果と比較例と比較して説明する。図5は比較例に係るドハティ増幅器を示す回路図である。比較例では第1の遅延回路7及び第2の遅延回路14がパッケージ1の外側に設けられている。第1の遅延回路7及び第2の遅延回路14のマイクロストリップ線路の特性インピーダンスは $50\ \Omega$ である。このため、パッケージ1の第1及び第2の入力端子2, 3間又は第1及び第2の出力端子4, 5間で 90° の位相差を生じる。従って、経路間の干渉による影響が大きい。

10

【0025】

図6は比較例に係るドハティ増幅器のドレイン効率の計算結果を示す図である。図7は比較例に係るドハティ増幅器の利得の計算結果を示す図である。太線は端子間距離が 1 mm の場合であり、細線は端子間距離が 100 mm の場合である。比較例では、端子間距離の縮小により、飽和出力電力の低下と、バックオフ時の効率低下が認められる。図8は実施の形態1に係るドハティ増幅器のドレイン効率の計算結果を示す図である。図9は実施の形態1に係るドハティ増幅器の利得の計算結果を示す図である。実施の形態1では端子間距離を 1 mm まで縮小しても特性が劣化しないことが分かる。

20

【0026】

図10は、飽和出力電力に対する端子間距離の影響を計算した結果を示す図である。横軸は端子間距離である。縦軸は、端子間での電磁結合が無視できる端子間距離 100 mm での飽和出力電力を基準とした飽和出力電力の相対的な変化である。比較例では、端子間距離がおよそ 10 mm より小さくなると飽和出力の低下が見られ、数ミリでは大きく低下することが分かる。一方、実施の形態1では、端子間距離が 1 mm であっても飽和出力電力の低下はわずかである。

【0027】

図11は、遅延回路の電気長を変えて実施の形態1に係るドハティ増幅器の飽和出力電力を計算した結果を示す図である。横軸は、入力信号の $1/4$ の電気長で規格化された第1の遅延回路7及び第2の遅延回路14の電気長である。一般的なドハティ増幅器と同様に第1の遅延回路7及び第2の遅延回路14の電気長は厳密に $1/4$ でなくともよく、入力信号の波長の $1/4 \pm 20\%$ の範囲内であれば同様の効果が期待できる。

30

【0028】

以上説明したように、本実施の形態では、遅延回路をパッケージ内に内蔵するため、パッケージの入力端子間と出力端子間での位相を同相にすることができる。これにより、小型パッケージで生じる電磁結合を抑制することができる。また、パッケージの外側の整合回路でドハティ増幅器の特性の微調整を容易に行うことができる。

【0029】

実施の形態2 .

40

図12は、実施の形態2に係るドハティ増幅器のパッケージ内部を示す等価回路図である。図13は、実施の形態2に係るドハティ増幅器のパッケージ内部のレイアウトを示す平面図である。実施の形態1とは異なり、第1の遅延回路7及び第2の遅延回路14をマイクロストリップ線路ではなく、集中定数で構成している。インダクタ29~36はボンディングワイヤで構成される。キャパシタ37~40は半導体基板上に形成されたMIM容量又は誘電体基板上の金属パターンとヒートシンクで構成される並行平板容量などである。

【0030】

実施の形態1の第2の遅延回路14に対応するのは、直列接続された2つのインダクタ35, 36の間にキャパシタ40がシャント接続されたT型の回路である。図14は、実施の形態2に係る第2の増幅器の出力整合回路のインピーダンス変成を示す図である。この

50

T型の回路はインピーダンス変成に寄与せず、通過位相のみが90度遅れるように設計される。同様に第1の遅延回路7に対応するのは、直列接続された2つのインダクタ29, 30の間にキャパシタ37がシャント接続されたT型の回路である。

【0031】

実施の形態1では第1の遅延回路7及び第2の遅延回路14を高誘電率基板で構成するが、実施の形態2では集中定数で構成する。このため、第1の遅延回路7及び第2の遅延回路14の回路サイズを小型に実現することが容易である。また、図13に示すように、第1の増幅器9と第2の増幅器12の実装位置が信号の進行方向に対して異なる位置に配置される。このため、入力端子間及び出力端子間だけでなく、ボンディングワイヤ間の干渉も抑制できる。

10

【0032】

実施の形態3

図15は、実施の形態3に係るドハティ増幅器を示す図である。本実施の形態では、第1の入力整合回路41、第1の増幅器9及び第1の出力整合回路42がパッケージ1の内部において第1の入力端子2と第1の出力端子4との間に順に接続されている。第2の入力整合回路43、第2の増幅器12及び第2の出力整合回路44がパッケージ1の内部において第2の入力端子3と第2の出力端子5との間に順に接続されている。

【0033】

第1の入力端子2から第1の増幅器9までの電気長は、入力信号の波長の $1/4 \pm 20\%$ の範囲内で第2の入力端子3から第2の増幅器12までの電気長よりも長い。従って、第1の入力整合回路41は第2の入力整合回路43に対して通過位相を90度遅延させる。

20

【0034】

第2の増幅器12から第2の出力端子5までの電気長は、入力信号の波長の $1/4 \pm 20\%$ の範囲内で第1の増幅器9から第1の出力端子4までの電気長よりも長い。従って、第2の出力整合回路44は第1の出力整合回路42に対して通過位相を90度遅延させる。

【0035】

第2の出力整合回路44と第4の整合回路19は、実施の形態1と同様に、第2の増幅器12のドレイン端から出力を見たインピーダンスが最適負荷インピーダンス Z_{opt} となるように設計される。ただし、第2の出力整合回路44はインピーダンス変成に寄与し、第1の出力整合回路42に対して通過位相を90度遅延させるように設計される。第1の入力整合回路41及び第2の入力整合回路43も同様に設計される。

30

【0036】

図16は、実施の形態3に係るドハティ増幅器のパッケージ内部を示す等価回路図である。第1の入力整合回路41はインダクタ45~47、キャパシタ48及びマイクロストリップ線路49を有する。第2の入力整合回路43はインダクタ50, 51及びキャパシタ52を有する。第1の出力整合回路42はインダクタ53を有する。第2の出力整合回路44はインダクタ54, 55及びマイクロストリップ線路56を有する。

【0037】

図17は、実施の形態3に係る第1の増幅器の出力整合回路のインピーダンス変成を示す図である。図18は、実施の形態3に係る第2の増幅器の出力整合回路のインピーダンス変成を示す図である。第1の増幅器9及び第2の増幅器12のどちらも50から Z_{opt} までインピーダンス変成される。なお、第2の出力整合回路44ではマイクロストリップ線路56で90度位相が遅れる。第1の入力整合回路41も同様である。従って、実施の形態1と同様に入力端子間と出力端子間で信号は同相となる。なお、第1の出力整合回路42と第2の出力整合回路44での通過位相差が90度であり、第1の入力整合回路41と第2の入力整合回路43での通過位相差が90度であれば、図16に示す回路以外でも同様の効果が得られる。

40

【0038】

実施の形態1の第1の遅延回路7及び第2の遅延回路14はインピーダンス変成に寄与しないが、本実施の形態の第1の入力整合回路41及び第2の出力整合回路44はインピー

50

ダンス変成に寄与する。このため、実施の形態 1 の効果に加えて、インピーダンス変成を多段化できるため、広帯域な特性が期待できる。

【符号の説明】

【 0 0 3 9 】

1 パッケージ、2 第 1 の入力端子、3 第 2 の入力端子、4 第 1 の出力端子、5 第 2 の出力端子、6 第 1 の入力整合回路、7 第 1 の遅延回路、8 第 2 の入力整合回路、9 第 1 の増幅器、10 第 1 の出力整合回路、11 第 3 の入力整合回路、12 第 2 の増幅器、13 第 2 の出力整合回路、14 第 2 の遅延回路、15 第 3 の出力整合回路、16 第 1 の整合回路、17 第 1 の整合回路、18 第 2 の整合回路、19 第 2 の整合回路、20 分配回路、21 合成回路、29, 30, 35, 36 インダクタ、37, 40 キャパシタ、41 第 1 の入力整合回路、42 第 1 の出力整合回路、43 第 2 の入力整合回路、44 第 2 の出力整合回路

10

20

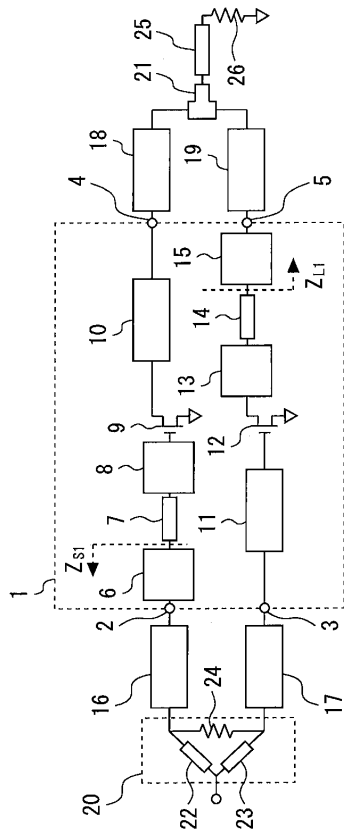
30

40

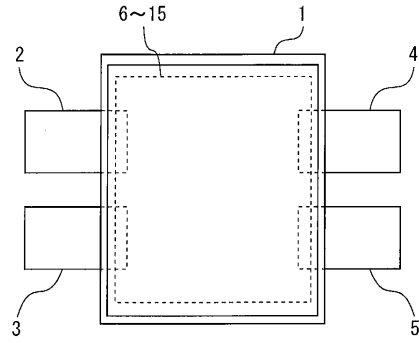
50

【図面】

【図 1】



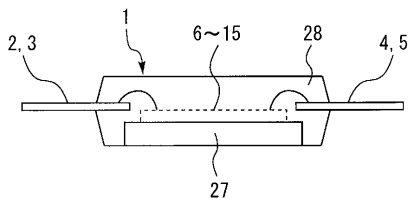
【図 2】



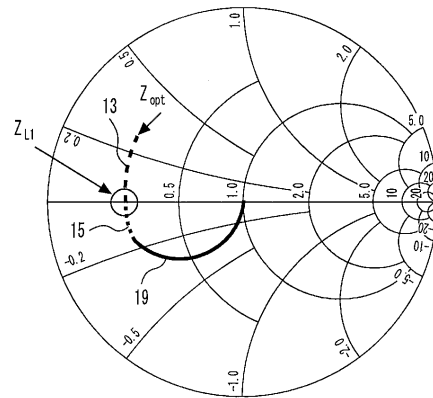
10

20

【図 3】



【図 4】

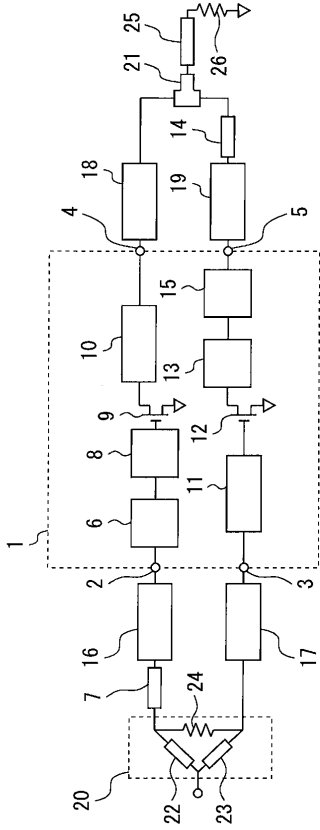


30

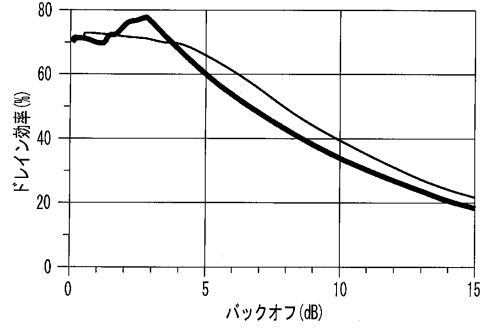
40

50

【図5】



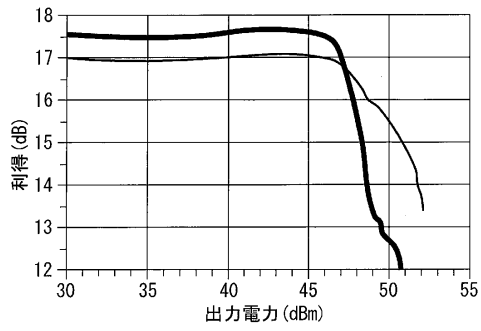
【図6】



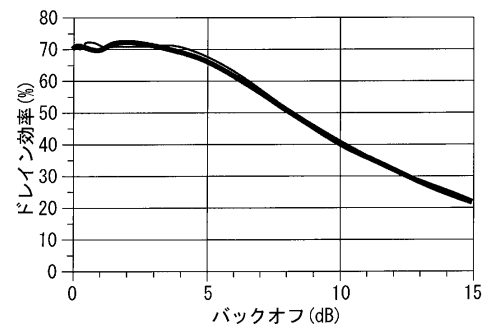
10

20

【図7】



【図8】

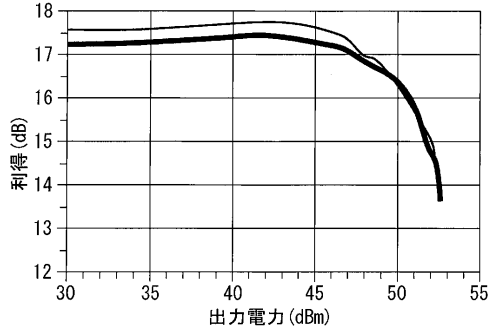


30

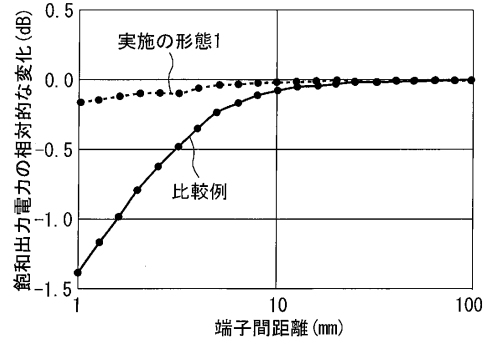
40

50

【図 9】

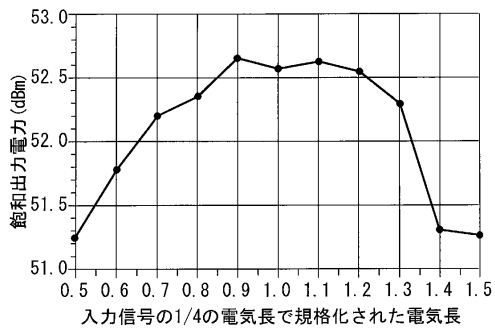


【図 10】

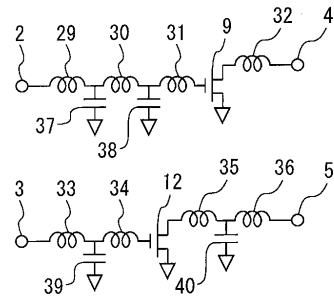


10

【図 11】



【図 12】



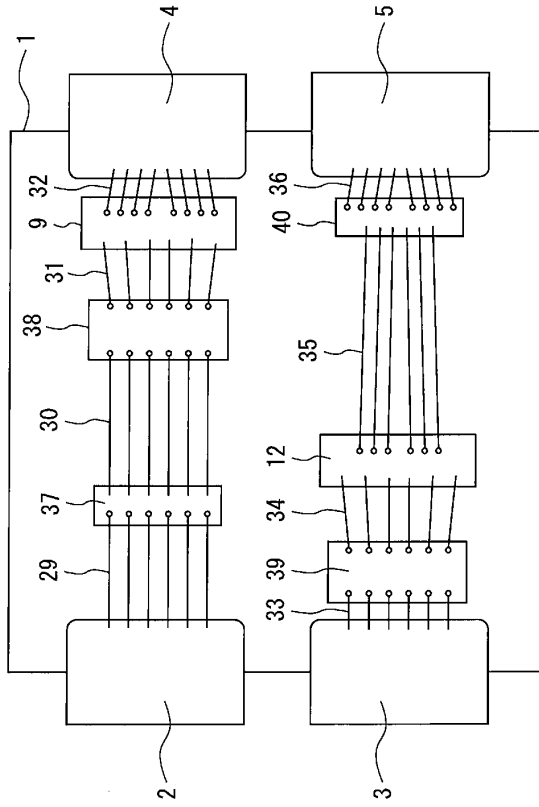
20

30

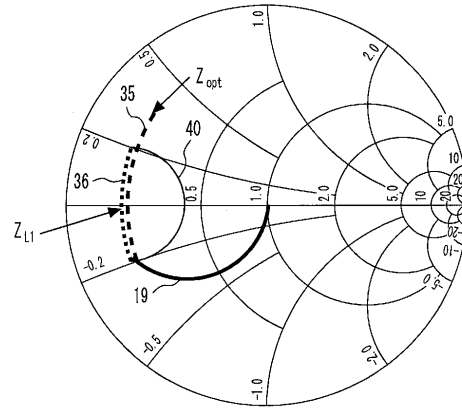
40

50

【図 13】



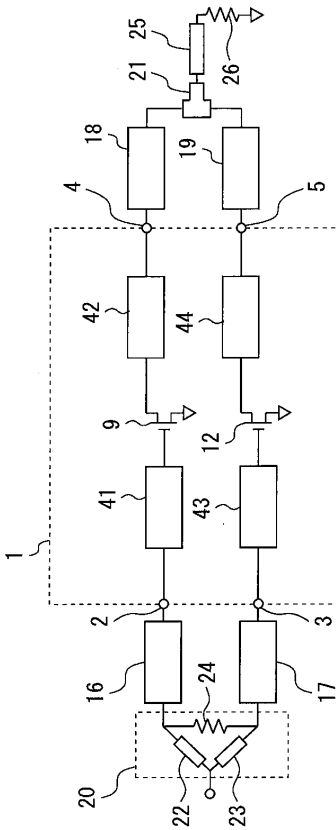
【図 14】



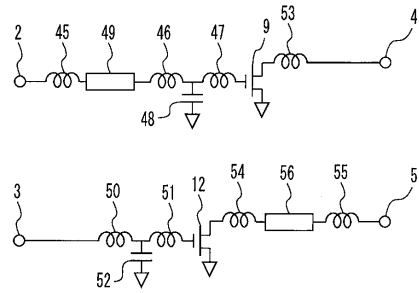
10

20

【図 15】



【図 16】

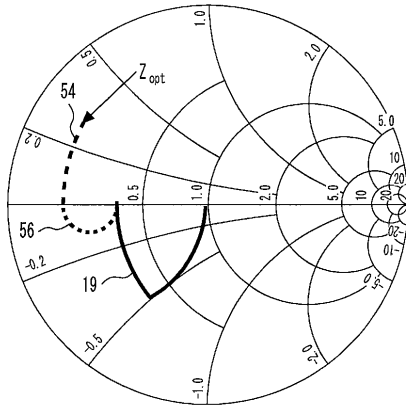


30

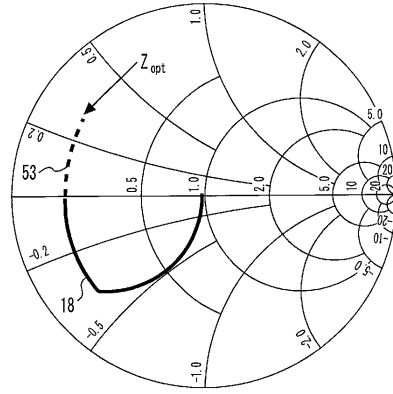
40

50

【 17 】



【 18 】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2005-303771(JP,A)
特表2006-510312(JP,A)
特開2015-12609(JP,A)
特開2015-115960(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H03F1/00-3/72