

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G06F 15/20

(45) 공고일자 1992년09월26일
(11) 공고번호 특1992-0008269

| | | | |
|-------------|---|-----------|---------------|
| (21) 출원번호 | 특1990-0004467 | (65) 공개번호 | 특1990-0016888 |
| (22) 출원일자 | 1990년04월02일 | (43) 공개일자 | 1990년11월14일 |
| (30) 우선권 주장 | 333,052 1989년04월04일 미국(US) | | |
| (71) 출원인 | 토머스 컨슈머 일렉트로닉스 인코포레이티드 | 에릭 피. 허맨 | |
| | 미합중국, 인디애나 46201, 인디애나폴리스, 노스 셔먼 드라이브 600 | | |
| (72) 발명자 | 러셀 토마스 플링 | | |
| | 미합중국, 일리노이 60540, 네이퍼빌, 그린 트레일즈 드라이브 1369 | | |
| (74) 대리인 | 이병호, 최달용 | | |

심사관 : 김연호 (책자공보 제2963호)

(54) 배율기 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

배율기 회로

[도면의 간단한 설명]

제1도는 본 발명을 묘사할 시에 유용한 선택된 샘플의 파형도 및 클럭 파형도.

제2도는 본 발명을 실시한 전형적인 배율기 회로의 블록도.

제3도는 본 발명의 또다른 실시예의 블록도.

제4도는 배율기 회로의 대체 실시예의 부분도.

* 도면의 주요부분에 대한 부호의 설명

12, 24 : 멀티플렉서 16, 28, 42 : 래치

30, 32, 38 : AND 게이트 40 : 가산기

60, 62, 74 : 상보 회로 80 : 병렬 입력 병렬 출력 시프트 레지스터

82 : 병렬 입력 직렬 출력 시프트 레지스터

[발명의 상세한 설명]

본 발명은 2개의 2진수의 스케일 곱(scaled product)을 산출하는 회로에 관한 것이다.

종종, 디지털 신호 처리 시스템에서, 정수에 분수를 곱하는 것이 필요하다. 상기 곱의 정확성이 상기 정수의 정확성이나 다름없을 것이다. 상기 곱의 비트폭과 배율기 회로의 비트폭이 상기 배율기 및 피승수내의 비트수의 총계와 같을 것이다. 그러나, 통상, 상기 곱이 상기 피승수 + 1내의 비트수보다 더 이상의 비트로 표현될 필요가 없다.

어셈블링시 편의상, 처리 하드웨어 분수가 요구된 연결부의 수를 감소하기 위해 빈번히 플로우팅 포인트 포맷으로 전환된다. 상기 예에서 계산은 극적으로 적당히 조정되어진 결과를 가진 비분수를 사용하여 수행되고 필요한 정밀도로 절단된다. 상기 형태의 회로의 예가 색 또는 칼라를 조정하는 디지털 텔레비전 수상기 회로에서 발견될 수도 있다. 상기 회로에서 칼라 차이 신호를 표시한 신호 진폭이 적합한 칼라 벡터를 생성하기 위해 싸인 및 코싸인의 형태로 정확한 요소에 의해 배율된다. 상기 싸인 및 코싸인을 표시한 분수 값이 2에 의해 배율된 싸인 및 코싸인을 제공하기 위해 프로그램

된 메모리 회로에 의해 통상 제공되는데 여기서 R은 분수 싸인 및 코싸인을 표시하기 위해 사용되어 질 비트의 수와 같다. 따라서 배율된 싸인 및 코싸인이 연결 회로에 사용되는 전체수로서 제공된다. 그러나, X-비트 정확도의 분수가 X-비트 정확도의 전체수를 배율하기 위해 플로우팅 포인트 형태로 대체되면, 상기 곱이 적당한 조정 및 절단에 앞서 2X비트수가 될 것이다. 따라서, X-비트 분수가 X-비트 전체수를 배율하는 플로우팅 포인트 포맷으로 대체되느냐는 관계없이 전형적인 배율기 회로가 2X-비트 생성을 제공한다.

본 발명의 원리에 따라, 배율기가 플로우팅 포인트 분수에 의해 전체수를 배율하고 전형적인 배율기 회로에 비해 단순화된 회로를 사용하여, 전체수와 동일한 정확도의 적당히 조정되고 절단된 곱을 생성하기 위해 제공된다.

실제로, 새로운 배율기가 제1수와 X-비트 제2수의 곱을 발생하기 위해 편리하게 사용될 수도 있으며, 상기 곱이 $2^{-(X-1)}$ 에 의해 스케일 된다.

본 발명은 병렬-비트 배율기 샘플을 부하하는 부하 펄스에 응답하고 제어 펄스로서 최초의 최상위 비트로부터 최종의 최하위 비트로 차례로 상기 배율기 샘플의 비트를 생성하는 시스템 클럭에 응답하는 제1루프를 포함하는 워드-직렬 배율기이다.

부하 펄스에 응답하여 제2루프가 병렬-비트 피승수 샘플을 부하하고 시스템 클럭에 응답하여 각각의 서브 샘플이 2로 연속으로 분할된 피승수 샘플에 대응하는 일련의 병렬-비트 서브 샘플을 제공한다.

상기 제1 및 제2루프에 결합되고 제어 펄스에 응답하는 게이트 회로가 제어 펄스와 함께 발생하는 서브 샘플을 통과시킨다. 게이트 회로에 의해 통과되는 서브 샘플이 상기 서브 샘플을 합계하는 누산기를 포함한 제3회로 루프에 결합된다. 상기 누산기가 부하 펄스에 응답하여 0으로 리셋되고 클럭 펄스의 예정된 수 이후에 곱을 제공한다.

이하 첨부된 도면을 참조로 하여 본원 명세서를 더욱 상세히 설명하기로 한다.

본 발명의 기본 구조가 펄스 부호 변조(PCM) 샘플(예를들어, 2진 샘플)의 스케일 곱을 발생하는 하나의 쿼드런트 배율기이다. 검토를 위해 선택된 상기 특정 쿼드런트가 배율기 및 피승수가 모두 포지티브인 쿼드 런트이다. 다른 쿼드런트가 묘사되어질 회로에 대해 보다 적은 변조로 선택되어졌을 수도 있다.

상기 시스템은 본 특허출원서의 문맥에서 배율되어질 PCM 샘플(피승수 및 배율기)이 예정된 비율 FS에서 병렬-비트 샘플로서 발생하나 각 샘플의 처리가 예를들어, 배율기 샘플내의 비트의 수에 따라, 반복하여 실행된다. 제1도에서 상기 샘플비가 신호 L_p 의 주파수와 같다. 피승수 샘플 A의 주기가 타이밍 블록 "A"에 의해 표시되고 배율기 샘플의 주기가 타이밍 블록 "B"에 의해 표시된다.

시스템 블록 F_c 이 제1도에 도시되는데, 클럭이 반복 처리를 수행하기 위해 사용된다. 상기 시스템 클럭 F_c 의 전형적인 파형이 샘플 주기당 9주기를 갖는다. 상기가 배율기 샘플의 비트폭을 9이하로 강요한다. 대안으로, 배율기 샘플이 N비트를 가지면 상기 시스템 클럭이 샘플 주기당 적어도 N짜이 클을 가져야 한다.

제2도를 참조하자, 제2도에서 폭넓은 화살표가 병렬 연결 버스를 표시한다. 버스를 관통하는 비스듬한 사선과 상기 사선에 인접한 숫자가 버스의 연결수를 표시한다.

배율기 샘플 B0이 소스(도시되지 않음)로부터 입력 연결부(10)로 인가된다. 피승수 샘플 A0이 또다른 소스(도시되지 않음)로부터 입력 연결부(20)로 인가된다. 상기 피승수 샘플이 회로 소자(22)에 결합되고, 요소(2)에 의해 배율된다. 상기 검토에서, 배율기 및 피승수 샘플이 2진 포맷이라고 가정하자. 2진 포맷에서 2개의 요소에 의해 샘플의 곱셈이 샘플의 각각의 비트를 보다 상위 비트의 한 위치로 시프트하고 최하위 비트(LSB) 위치에 0을 삽입하므로 이루어진다. 제2도에서 요소(22)가 보다 상위 비트의 한 비트 포지션의 고정 배선 비트 시프트이다.

배율기 샘플 B0이 멀티플렉서(12)의 한 입력 포트에 결합되고 2배의 피승수 샘플(2A)이 또다른 멀티플렉서(24)의 한 입력 포트에 결합된다. 부하 펄스 신호 L_p 가 높을 때, 샘플 2A 및 B가 상기 멀티플렉서(24 및 12)에 의해 각각의 신호 처리 루프에 부하된다.

하나의 루프가 멀티플렉서(12)와, 래치(16) 및, 소자(14 및 18)를 포함한다. 소자(14)는 단지 상기 멀티플렉서의 입력을 연결하는 버스로부터 래치(16)의 입력으로 최상위 비트 연결을 제거하는 와이어링 연결이다. 상기 최상위 비트 연결이 게이트 제어 신호 G_s 로선 사용되고 AND회로(30 및 32)를 제어하기 위해 결합된다. 소자(18)가 제로값을 가진 LSB위치를 가산하므로 보다 상위 비트의 한 비트 위치로 샘플의 모든 비트를 시프트하는 와이어링 장치이다.

부하 펄스가 낮을 때, 소자(14)와, 래치(16) 및 소자(18)가 멀티플렉서(12)에 의해 폐쇄 루프로 구성된다. 상기 루프에 부하된 샘플 B0이 시스템 클럭 F_c 에 의해 클럭되는 래치(16)에 의해 상기 루프 주위에 순환된다. 래치(16)가 "데이터" 입력에 결합된 순환 샘플 B와 "클럭" 입력에 결합된 시스템 클럭 신호를 가진 D-형 래치 일 수도 있다. 시스템 클럭 F_c 의 각각의 주기동안, 샘플 B가 루프 주위에 순환되고, 보다 하위 비트가 MSB위치로 이동된다. MSB로 부터 LSB로 배열된 샘플 B의 비트가 $B_8, B_7, B_6, \dots, B_1, B_0$ 로 표시 된다고 하자. 상기 샘플이 루프에 최초로 부하되었을 때, 비트 B_8 가 상기 MSB위치에 있고 게이트 신호 G_s 로서 AND회로(30 및 32)에 인가된다. 클럭 신호 F_c 의 그다음 후속 주기동안, 비트 B_7 가 상기 MSB위치에 있고 신호 G_s 로서 인가된다. 제1도에 도시된 심벌의 로 G_s 가 각각의 클럭 주기 동안 AND회로를 제어하기 위해 결합되는 일련의 샘플 비트를 설명한다.

제2루프가 멀티플렉서(24)와, 회로 소자(26) 및 래치(28)를 포함한다. 래치(28)가 시스템 클럭 F_c 에 의해 클럭된 D-형 래치일 수도 있다. 소자(26)가 샘플 2A의 모든 비트를 보다 낮은 비트중간 비트 위치로 시프트하는 와이어링 장치이다. 상기 비트 시프트가 2분할 기능을 수행한다. 소자(26)가 래치(28) 보다 선행하거나 또는 상기 래치의 뒤를 따르게 배열될 수도 있다. 소자(26)가 래치(28) 다

음에 배치되면, 래치 (28)는 N+1-비트 래치보다 오히려 N-비트 래치만이 필요하다.

피승수 샘플이 시스템 클럭 Fc의 제어하에서 제2루프 주위에 순환된다. 매시 샘플이 순환되고 2가지 요소로 분할된다. 샘플 주기동안 발생하는 상기 클럭 Fc의 각각의 주기동안, 멀티플렉서(24)에 의해 제공된 각각의 샘플값이 로 라벨 MUX(24)로 제1도에 도시된다.

샘플 2A이 N+1 비트를 갖는다고 가정하면, 멀티플렉서(24)에 의해 제공된 샘플의 N개의 MSB가 AND 회로(30)에 결합되고 LSB가 AND회로(32)에 결합된다. 게이트 신호 Gs가 예를들어, 논리 1값과 같이 예정된 논리 상태를 나타낼시에 AND회로 (30 및 32)가 상기 회로의 각각의 입력 연결부에 결합된 비트값을 통과시키고 게이트 신호 Gs가 상기 예정된 상태와 반대의 논리 상태를 나타낼 시에, 0값을 제공한다. AND회로(30)의 출력 연결부가 가산기 회로(40)의 제1입력 포트에 결합된다. AND회로(32)의 출력 연결부가 가산기(40)의 캐리-인(carry-in) 입력 단자에 결합된다. 상기 가산기의 출력 포트가 클럭 래치(42)의 입력 포트에 결합되며, 상기 래치의 출력 포트가 AND회로(38)의 입력 포트에 결합된다. AND회로(38)의 출력 포트가 가산기 (40)의 제2입력 포트에 결합된다. 가산기(40)와, 래치 (42) 및 AND회로(38)가 전형적인 누산기 회로를 형성한다. AND회로(38)가 누산기 피드백 루프를 개방하고, 매시 상기 누산기를 재초기화하여 새로운 샘플이 시스템에 부하되고, (Lp 펄스 동안) 시스템 클럭의 후속 주기동안 루프를 폐쇄하기 위해 상기 신호 Lp에 의해 조절된다.

멀티플렉서(24)로부터 샘플의 N개의 MSB가 가산기(40)의 입력 포트의 N개의 LSB위치에 결합된다. 상기 연결부가 또다른 2분할을 수행한다. 각각의 클럭 주기동안 가산기의 A입력 포트에 결합된 샘플값이 제1도의 로값인 라벨 AIN로 도시된다. 각각의 이들 값이 B샘플의 비트간(1 또는 0)의 몇배인 분수 A샘플의 곱이다. 가산기 회로 (40)에 의해 제공된 축차 출력값이 상기 로 AIN 밑에 부분적으로 도시되었다. 누산기, 즉, 래치(42)에 의해 제공된 출력값이 가산기에 의해 제공된 출력값과 동일하나 시스템 클럭 Fc 이후의 한 주기동안 발생한다. 제1도에 기술된 최종 합계가 배율기에 의해 제공된 곱의 값에 대응한다. 샘플 B의 각각의 비트가 논리 1이면, 출력 샘플은 A배 (1+255/256) 또는 511/256이다. 그러나, 통상, 배율기 샘플이 포지티브 값이고 2개의 보충 형태로, MSB(B)가 0값이 될 것이다.

이 경우, 출력값의 범위가 A배 255/256에서 A배 0으로 된다. 각각의 상기 출력 샘플값이 원래의 샘플값 A보다 적고 따라서 피승수 샘플 A와 동일수의 비트에 의해 묘사될 수 있다. 그러므로, 가산기 (40)와, 래치(42) 및 AND회로(38)가 피승수의 비트 용량보다 더 큰 비트 용량을 가질 필요가 없다. 도면에서, 상기 소자에는 샘플 B의 비-0 MSB를 수용하고 공정을 전와하는 노이즈의 경우에는 폴드오버(foldover)를 방지하기 위한 과열을 제공하기 위해 여분 비트가 갖추어져 있다.

제2도의 회로의 임의의 특성은 누산기 가산기의 캐리 입력에 피승수의 LSB의 적용이다. AND 게이트 (30)가 2분할과 가산기(40)에 쏘아진 일부 곱을 제공한다. AND 게이트(32)에 의해 제공된 LSB가 상기 분할의 나머지이며, 상기가 캐리 입력으로서 가산될 시에 라운딩 기능을 제공한다. 캐리-인에 의한 LSB의 가산이 절단 에러를 방지한다. 누산기 결과가 항상 비트의 수가 정확도가 허용될 수 있는 만큼 적합한 결과에 가깝다.

제1도의 최종곱을 참조하면 배율기 샘플 B의 비트의 수가 9이나 그 곱이 2^8 으로 분할되는 것을 알 수 있다. 그러므로, 배율기 샘플이 m-비트를 가지면, 제2도의 시스템이 $AB/2^{m-1}$ 기능을 수행한다.

배율기 샘플 B이 9비트보다 적다면, 제1도의 로 Gs 및 AIN의 효과는 보다 하위 비트 위치에 대한 0의 교체일 것이다. 예를들어, 샘플 B가 폭넓은 5비트이면, 비트 B₃, B₂, B₁, 및 B₀를 가진 로 Gs 및

AIN의 각각의 박스가 제로값이 될 것이다. 출력곱이 $AB/2^4 = AB/16$ 과 같을 것이다. 샘플 B의 비트의 수가 샘플당 시스템 클럭 주기의 수보다 적은 것은 문제가 되지 않는다. 샘플당 시스템 클럭 주기의 수가 적어도 배율기 샘플을 규정하는 비트수 만큼 커야 한다는 것이 유일한 제한이다. 피승수 샘플의 비트수는 시스템 클럭 신호를 결정할 시에 전혀 중요치 않다.

제3도는 제2도의 회로를 상이한 양극성의 수를 배율하도록 수정한 것이다. 상기는 a) 단지 포지티브 값 샘플만이 제2도의 배율기 회로에 결합되는 것을 확실하게 하고 b) 입력 샘플의 원래의 양극성의 트랙을 유지하여 따라서 배율기로부터의 출력 샘플이 적합한 양극성을 정할 수 있는 회로에 의해 이루어진다. 제3도에서 피승수 입력 신호 A'의 샘플이 상보회로(60)에 인가된다. 상기 입력 샘플의 부호 비트가 상기 상보 회로의 제어 입력 단자 C에 결합된다. 상기 양극성 샘플의 부호 비트에 응답하여, 상보 회로(30)가 네거티브 샘플의 양극성을 반전하고 제2도의 회로의 입력 포트(20)로 비변경된 포지티브 샘플을 통과시킨다. 이와 유사하게, 배율기 입력 신호 B'가 단일 양극성의 샘플 B를 입력 연결부(10)에 제공하는 상보 회로(62)에 인가된다.

신호 샘플 A' 및 B'의 부호 비트가 AND 게이트(64 및 66) 및 OR 게이트(68)를 포함하는 논리 회로에 결합된다. OR 게이트(68)의 출력에서, 상기 논리 회로는 상기 샘플 A' 및 B'가 반대의 양극성이거나 다른 경우 논리 0 상태일 때마다 논리 1 상태를 가진 양극성 제어신호를 발생한다. 상기 양극성 제어 신호가 부하 펄스의 네거티브 진행 전이에서 래치(72)로 부하된다. 래치(72)가 샘플 주기와 동일한 주기동안 제어 신호를 기억하고 배율기 출력 신호가 유효한 간격동안 확장한다. 상기 기억된 양극성 제어 신호가 또다른 상보 회로(74)의 제어 입력 단자에 인가된다. 상기 양극성 제어 신호가 논리 0 상태를 나타낼시에 상보회로(74)가 비변경된 제2도의 회로로부터의 출력 생성물을 통과시키고 상기 양극성 제어 신호가 논리 1 상태를 나타낼시에 상보성 출력 생성물을 통과시키도록 배열된다.

제4도가 제2의 회로의 일부분에 대한 대체 장치이다. 제4도에서 배율기 샘플 B를 처리하는 제1루프가 병렬 입력-직렬 출력 시프트 레지스터(82)에 의해 대체된다. 병렬-비트 샘플 B이 로드 펄스 신호 Lp에 응답하여 레지스터(82)로 부하된다. 샘플 B의 비트가 직렬 출력 연결부에 가장 가까운 최상위 비트를 가진 상기 레지스터(82)에 직렬로 배열된다. 상기 비트가 시스템 클럭 Fc에 응답하여 출력 단자에 직렬로 시프트 된다. 상기 레지스터(82)의 직렬 출력 단자가 게이트 회로(30 및 32)의 제어 단자에 결합된다.

샘플 2A를 처리하는 제2루프가 병렬-입력-병렬-출력 시프트 레지스터(80)에 의해 대체된다. 상기 샘플 2A의 비트가 부하 펄스 Lp에 응답하여 레지스터(80)에 병렬로 부하된다. LSB에 대응하는 병렬 출력 연결부가 게이트 회로(32)의 입력 단자에 결합된다. 보다 상위 비트에 대응하는 잔여 병렬 출력 연결부가 게이트 회로(30)의 입력 단자에 결합된다. 시스템 클럭 Fc에 응답하여, 레지스터(80)가 상기 레지스터(80)에 부하된 비트를 상기 클럭 Fc이 각각의 주기동안 보다 하위 비트의 한 위치에 직렬로 시프트 한다. 상기 시프팅 동작에 의해 취소된 최상위 비트 위치가 논리 0을 나타내도록 조절된다. 상기 방법으로 동작되는 시프트 레지스터(80)가 각각의 시스템 클럭 싸이클 동안 2분할 기능을 수행한다.

게이트 회로(30 및 32)로부터 출력 연결부가 제2도에 기술된 것과 유사한 회로에 결합된다.

제4도의 회로가 제2도에 도시된 것보다 개념적으로 단순하나, 제2도의 회로가 부분적으로 보다 효과적이고 집적된 형태로 보다 쉽게 실현가능하기 때문에 제2도의 회로가 양호하다는 것을 알아야 한다.

(57) 청구의 범위

청구항 1

LSB 및 MSB를 포함한 상승하는 비트를 각기 가진 병렬 비트 PCM 샘플 A 및 B의 곱을 발생하며, 상기 PCM 샘플 A 및 B와, 부하 펄스 신호 및, 시스템 클럭 신호 Fc의 각각의 소스를 포함하는 배율기 회로에 있어서, 샘플 B를 부하하는 상기 부하 펄스 신호에 응답하고, 최초의 MSB에서 최종의 LSB로 중요성이 감소하는 순서로 상기 샘플 B의 일련의 비트에 대응하는 게이트 신호를 제공하는 샘플 B를 부하하는 상기 부하 펄스 신호에 응답하는 제1수단과, 샘플 A를 부하하는 상기 부하 펄스 신호에 응답하고, 2로 연속으로 분할된 상기 샘플 A에 대응하는 일련의 샘플을 제공하는 상기 시스템 클럭 신호에 응답하는 제2수단과, 상기 제2수단에 결합되고 2로 연속으로 분할된 상기 샘플 A에 대응하는 상기 일련의 샘플의 상기 LSB를 제외하고 최상위 비트를 통과시키는 예정된 상태를 나타내는 상기 게이트 신호에 응답하는 제3수단과, 누산기로서 가산기 회로를 구성하도록 상기 시스템 클럭 신호 Fc에 응답하는 래치를 통해 결합된 제 1입력 단자 및 출력 단자를 가지며, 제2입력 단자의 보다 하위 비트 위치에 결합된 상기 최상위 비트를 가진 상기 제3수단에 결합된 제2입력 단자를 가진 가산기 회로를 포함하며, 상기 누산기가 상기 부하 펄스 신호의 발생에 의해 스케일된 출력곱을 제공하는 것을 특징으로 하는 배율기 회로.

청구항 2

제1항에 있어서, 상기 샘플 B가 m비트로 구성되고 상기 누산기가 $AB/2^{m-1}$ 과 동일한 스케일된 출력곱을 제공하는데 여기서 A 및 B가 각각의 샘플 A 및 B이 값을 나타내는 것을 특징으로 하는 배율기 회로.

청구항 3

제1항에 있어서, 상기 제2수단에 결합되고, 2로 연속으로 분할된 상기 샘플 B에 대응하는 상기 일련의 샘플의 LSB를 통과시키는 예정된 상태를 나타낸 상기 게이트 신호에 응답하는 제4수단을 포함하며, 상기 가산기 회로가 상기 제4수단에 의해 통과된 상기 LSB를 수신하도록 결합된 캐리 입력 단자를 갖는 것을 특징으로 하는 배율기 회로.

청구항 4

제3항에 있어서, 상기 제1수단이 제2입력 단자 및 출력 단자를 가진 상기 샘플 B를 수신하는 제1입력 단자를 가진 멀티플렉서와, 입력 및 출력 단자를 가지며 입력 단자에 인가된 샘플을 기억하는 상기 시스템 클럭 Fc에 응답하는 클럭된 래치와, 병렬 비트 샘플을 수신하는 입력 및 출력 연결부를 가지며 각각의 샘플 비트를 보다 상위 비트의 한 위치로 시프팅하는 제5수단 및, 상기 멀티플렉서의 출력과 제2입력 단자간에 상기 클럭된 래치와 상기 제5수단을 직렬 연결하는 수단을 포함하며, 상기 게이트 신호가 상기 멀티플렉서의 상기 출력 단자의 MSB로부터 액세스되는 것을 특징으로 하는 배율기 회로.

청구항 5

제3항에 있어서, 상기 제2수단이 요소 2에 의해 상기 샘플 A를 배율하는 상기 샘플 A를 수신하도록 결합된 수단과, 2로 배율된 상기 샘플 A를 수신하도록 결합된 제1입력 단자를 가지며, 제2입력 단자 및 출력 단자를 가진 멀티플렉서와, 입력 및 출력 단자를 각기 가지며 입력 단자에 인가된 샘플 기억하는 상기 시스템 클럭 신호에 응답하는 클럭된 래치와, 2개의 요소에 의해 입력 연결부에 인가된 샘플을 분할하는 입력 및 출력 연결부를 각기 가진 제5수단과, 상기 멀티플렉서의 출력 단자와 상기 멀티플렉서의 제2입력 단자간에 상기 클럭된 래치와 상기 제5수단을 직렬로 결합시키는 수단을 포함하며, 상기 제3 및 제4수단이 상기 멀티플렉서의 출력 단자에 결합되는 것을 특징으로 하는 배율기 회로.

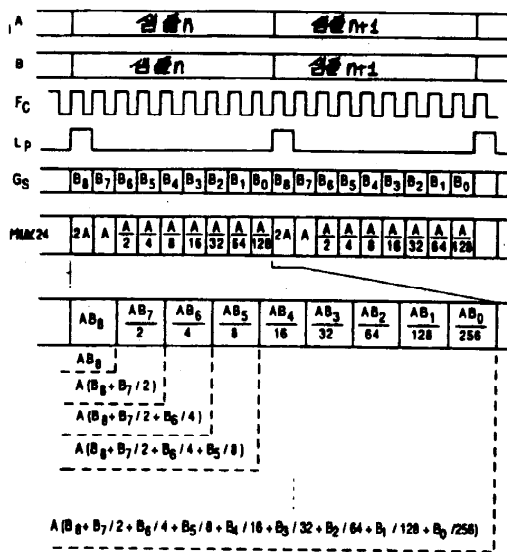
청구항 6

제5항에 있어서, 상기 제1수단이 상기 샘플 B를 수신하는 제1입력 단자를 가지며, 제2입력 단자와 출력 단자를 가진 또다른 멀티플렉서와, 입력 및 출력 단자를 가지며 입력 단자에 인가된 샘플을 기억하는 상기 시스템 클럭 Fc에 응답하는 또다른 클럭된 래치와, 병렬 비트 샘플을 수신하는 입력 및 출력 연결부를 가지며 각각의 샘플 비트를 보다 상위 비트의 한 위치로 시프팅하는 제6수단 및, 상기 또다른 멀티플렉서의 출력 및 제2입력 단자간에 상기 또다른 클럭된 래치 및 상기 제6수단을 직

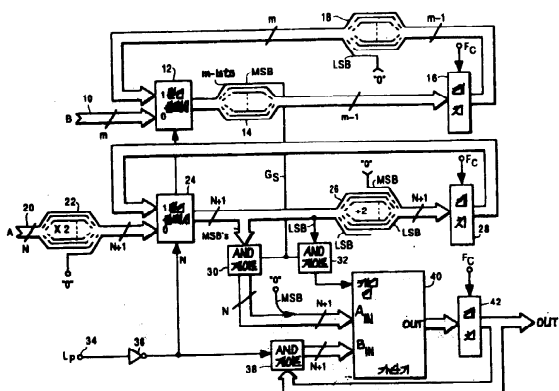
러로 연결하는 수단을 포함하며, 상기 게이트 신호가 상기 또다른 멀티플렉서의 상기 출력 단자의 MSB로부터 액세스되는 것을 특징으로 하는 배율기 회로.

도면

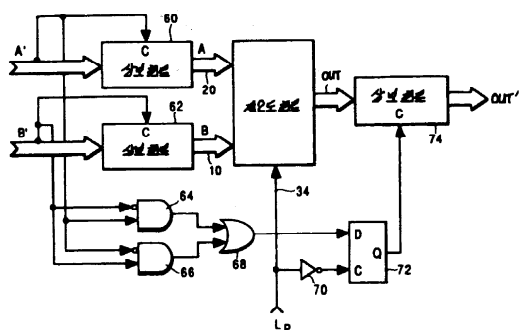
도면1



도면2



도면3



도면4

