



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 270 489**

51 Int. Cl.:
G05B 19/042 (2006.01)
G05B 19/05 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **98122521 .2**
86 Fecha de presentación : **30.11.1998**
87 Número de publicación de la solicitud: **0923010**
87 Fecha de publicación de la solicitud: **16.06.1999**

54 Título: **Controlador programable.**

30 Prioridad: **12.12.1997 JP 9-343138**

45 Fecha de publicación de la mención BOPI:
01.04.2007

45 Fecha de la publicación del folleto de la patente:
01.04.2007

73 Titular/es: **Hitachi, Ltd.**
6, Kanda Surugadai 4-chome
Chiyoda-ku, Tokyo 101, JP

72 Inventor/es: **Kikuchi, Tadanori;**
Sunaga, Tsutomu y
Seki, Kenji

74 Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Controlador programable.

Antecedentes de la invención

Campo técnico de la invención

Esta invención se refiere a un controlador programable que incluye una pluralidad de procesadores para realizar operaciones secuenciales, que tiene un puerto y una porción de interfaz para comunicar con una pluralidad de aparatos periféricos, y permite editar programas y vigilar comportamientos simultáneamente.

Descripción de la técnica relacionada

En la técnica anterior pueden hallarse diversos tipos de controladores programables:

El documento US-A-5 212 631 describe un controlador programable que incluye una interfaz de módulo de entrada/salida, una memoria de usuario para almacenar un programa definido por el usuario o una serie de tales programas que han de ser ejecutados en una secuencia, un conjunto de procesadores para ejecutar las instrucciones de un programa de control almacenado, que incluye un coprocesador matemático, memorias de datos, memorias de sistema, un puerto serie para la comunicación con un terminal, un puerto para la conexión con una red de área local que incluye un ordenador anfitrión, y un procesador que coordina el intercambio de mensajes con tales dispositivos exteriores.

El documento EP-A-496 097 describe un controlador programable similar al descrito en el documento US-A-5 212 631, en el que la memoria de usuario contiene un cierto número de programas de control ejecutables de modo independiente, almacenados en diferentes áreas y en el que el conjunto de procesadores no incluye un coprocesador matemático.

Los Resúmenes de Patentes Japoneses, Vol. 1997, Nº 3, 31 Marzo 1997, describen un controlador programable caracterizado por el hecho de que un programa de secuencias puede ser editado mientras se ejecuta.

Un controlador programable 101 que tiene dos procesadores para realizar operaciones secuenciales en la técnica anterior se muestra en la figura 9.

Como se muestra, una porción 10 de tratamiento central incluye un procesador principal 11, un subprocesador 12 y una memoria 7 de programa de sistema. El procesador principal 11 y el subprocesador 12 están conectados por medio de un bus B3 y la memoria 7 de programa de sistema (en adelante memoria de sistema) está conectada con el bus B3 por medio de un bus B4. Por tanto, uno cualquiera del procesador principal 11 y el subprocesador 12 puede acceder a la memoria 7 de sistema a través de los buses B3 y B4. El procesador principal 11 está conectado no solamente a una memoria 5 de datos a través de un bus B1 sino también a una memoria 6 de programa de usuario (en adelante memoria de usuario) a través de un bus B2. Un programa de sistema del subprocesador 12 está almacenado en la memoria 7 de sistema, un programa de usuario está almacenado en la memoria 6 de usuario y datos de I/O tales como resultados de operaciones están almacenados en la memoria 5 de datos. El subprocesador 12 está conectado a un puerto 9 a través de una porción 8 de interfaz para comunicar con un aparato 110 periférico. Por tanto, el controlador 101 programable constituye un sistema de controlador programable junto con dispositivos de

entrada tales como contactos, transductores o sensores 1 (no indicados en la figura 9) y con dispositivos de salida tales como relés, contactores, solenoides o motores escalonados 3 (no indicados en la figura 9).

En esta técnica relacionada, el procesador principal 11 está diseñado para funcionar o manejar comandos básicos de operaciones de bits simples tales como comandos ON-OFF para contactos o bobinas, mientras que el subprocesador 12 está diseñado para manejar comandos complicados tales como comandos aritméticos o comandos de aplicación distintos a los comandos básicos. El subprocesador 12 ejecuta también una operación de respuesta para el aparato periférico 110 y operaciones interiores para los comandos procedentes del aparato periférico 110. El aparato periférico 110 puede comunicar con el procesador principal 11 a través del puerto 9 y la porción 8 de interfaz con la memoria 6 de usuario; lo cual le permite almacenar un programa escalonado compuesto de ese modo en la memoria 6 de usuario y le permite también vigilar un procedimiento de funcionamiento.

Puesto que el controlador programable en la técnica relacionada está equipado solamente con un conjunto único de la porción 8 de interfaz y el puerto 9 para comunicar con el aparato periférico 110, un usuario está forzado a alternar las pantallas de una presentación 111 del aparato periférico 110 de una pantalla de vigilancia a una pantalla de edición del programa, o al revés. Por ejemplo, cuando el usuario ajusta un comportamiento del sistema de controlador programable en su inicio, el o ella deben cambiar la pantalla de vigilancia a la de edición del programa para editar o depurar el programa de usuario, y el o ella deben cambiar la pantalla inversamente a la pantalla de vigilancia desde la pantalla de edición del programa una vez confirmado el comportamiento del comportamiento. Cuando el comportamiento del sistema de controlador programable no funciona como se desea, este procedimiento, es decir, el hecho de alternar pantallas, se requiere repetidamente para determinar una causa de error, lo cual ocasiona inconvenientes y molestias en la investigación del defecto.

Sumario de la invención

Es por lo tanto un objeto de la presente invención resolver el problema de la técnica anterior ya explicado.

Esto se logra mediante un controlador programable como se define en la reivindicación 1,

Realizaciones ventajosas de la invención se definen en las reivindicaciones dependientes 2 y 3.

Breve descripción de los dibujos

La siguiente representa una breve descripción de los dibujos, en la que:

la figura 1 muestra un diagrama de bloques de un controlador programable en una realización de la presente invención;

la figura 2 muestra un gráfico que explica una circulación de un procedimiento en un subprocesador en una realización de la presente invención;

la figura 3 muestra un diagrama de bloques de un procesador principal en una realización de la presente invención;

la figura 4 muestra un ejemplo de un programa almacenado en una memoria de programa de usuario en una realización de la presente invención;

la figura 5 muestra un diagrama de bloques de un controlador programable en la segunda realización de la presente invención;

la figura 6 muestra un diagrama de bloques de un controlador programable en la tercera realización de la presente invención;

la figura 7 muestra un diagrama de bloques de un controlador programable en la cuarta realización de la presente invención;

la figura 8 muestra un diagrama de bloques de un controlador programable que constituye una base para todas las realizaciones de la presente invención; y

la figura 9 muestra un diagrama de bloques de un controlador programable en la técnica anterior.

Descripción detallada de la invención

Antes de iniciar una descripción detallada de la presente invención, se ha de tener en cuenta lo siguiente. Cuando es apropiado se usan números y caracteres de referencia apropiados para designar componentes idénticos, correspondientes o similares en diferentes dibujos de las figuras.

Las realizaciones a modo de ejemplo de la presente invención se explicarán con referencia a las figuras 1 a 8. En primer lugar, una realización de la presente invención se explica con referencia a las figuras 1 a 4, y 8. La figura 8 describe una construcción básica de un controlador programable (en adelante PC) 100. El PC 100 incluye generalmente una porción 10 de tratamiento central, una memoria 7 de programas de sistema (en adelante memoria de sistema), una memoria 6 de programas de usuario (en adelante memoria de usuario), una memoria 5 de datos, un puerto 2 de entrada, un puerto 4 de salida, una porción 8 de interfaz y un puerto 9.

La porción 10 de tratamiento central no solamente efectúa operaciones tales como operaciones lógicas o aritméticas sino que también controla otros elementos incluidos en el PC 100. La memoria 7 de sistema está conectada con la porción 10 de tratamiento central y almacena un programa de sistema que incluye contenidos y procedimientos de funcionamiento de la porción 10 de tratamiento central. La memoria 6 de usuario, que es una memoria de lectura/escritura capaz de reescribir el programa almacenado en la misma, está conectada también con la porción 10 de tratamiento central y almacena el programa de usuario. La memoria 5 de datos, que es una memoria de lectura/escritura capaz de reescribir el programa almacenado en la misma, está conectada con la porción 10 de tratamiento central y almacena datos tales como resultados de funcionamiento de la porción 10 de tratamiento central. El puerto 2 de entrada está conectado con la porción 10 de tratamiento central y dispuesto de modo que permite una conexión con el dispositivo 1 de entrada para transferir una señal de entrada desde la misma. El puerto 4 de salida está conectado con la porción 10 de tratamiento central y dispuesto de modo que permite una conexión con el dispositivo 3 de salida para transferir una señal de salida al mismo. El dispositivo 1 de entrada incluye elementos tales como contactos, transductores o sensores, y el dispositivo 3 de salida incluye elementos tales como relés, contactores, solenoides o motores escalonados. El puerto 9 está dispuesto de modo que permite una conexión con el aparato periférico 110, y está conectado con la porción 10 de tratamiento central a través de la porción 8 de interfaz. Además, el PC 100 de la presente invención tiene al menos un subprocesador 12 y al menos un conjunto adicional de un puerto 9 y una porción 8 de interfaz.

La figura 1 muestra un diagrama de bloques del

PC de una realización de la presente invención. El PC 100 incluye un subprocesador 12, un conjunto de un puerto 9B y una porción 8B de interfaz y un conmutador 20 en adición a la construcción básica. Como se muestra en la figura 1, el subprocesador está dispuesto dentro de la porción 10 de tratamiento central y está conectado con el procesador principal 11 a través de un bus B3. El subprocesador está conectado también con la memoria 7 de sistema a través del bus B3 y un bus B4 para estar controlado por el programa de sistema. La memoria de datos está conectada con la porción de tratamiento central por medio de un bus B1 y la memoria de usuario está conectada con la porción 10 de tratamiento central por medio de un bus B2. Una combinación de un puerto 9A y una porción 8A de interfaz y una combinación del puerto 9B y la porción 8B de interfaz están conectadas con el subprocesador 12, lo cual permite que el subprocesador 12 comunique con dos aparatos periféricos 110A y 110B. En esta realización, el aparato periférico 110A tiene una pantalla 111 de presentación y está dispuesto de modo que está conectado con el puerto 9A. De modo similar, el aparato periférico 110B tiene una presentación 112 y está dispuesto de modo que está conectado con el puerto 9B. La memoria de usuario está dividida en una pluralidad de áreas correspondientes al número de conjuntos del puerto 9 y la porción 8 de interfaz, es decir, al número de los aparatos 110 periféricos que han de ser conectados. En esta realización, la memoria de usuario está dividida en dos áreas 6A, 6B para almacenar los programas de usuario compuestos por el usuario usando el aparato periférico 110A, 110B respectivo. El conmutador 20 establece los números de los programas de usuario que han de ser ejecutados, establece un destino del programa de usuario dentro de la memoria 6 de usuario, es decir, 6A o 6B, y selecciona el programa de usuario que ha de ser ejecutado por el subprocesador 12 de los almacenados en las áreas de la memoria 6A y 6B de usuario. Puesto que el subprocesador 12 controla la comunicación del primer puerto 9A y el segundo puerto 9B con las áreas 6A, 6B de memoria, el primer aparato 110A periférico es capaz de acceder a las áreas 6A y 6B de memoria a través del puerto 9A y el segundo aparato 110B periférico es capaz de acceder a las áreas 6A, 6B de memoria a través del puerto 9B. Por tanto, cada uno de los programas de usuario compuestos por el usuario que utiliza el aparato periférico 110A y los programas de usuario compuestos por el usuario que utiliza el aparato periférico 110B se introduce en el subprocesador 12 por medio de la porción 8A, 8B de interfaz respectiva, y es almacenado en una cualquiera de las áreas de la memoria 6A, 6B de usuario según el destino establecido por el conmutador 20. Cuando el subprocesador 12 realiza una operación de secuencia ejecuta uno seleccionado de los programas de usuario almacenado en la memoria 6A, 6B de usuario según la disposición del conmutador 20.

La figura 2 muestra un gráfico que explica una circulación de un procedimiento en un subprocesador en una realización de la presente invención. Como se muestra en la figura 2(a), el subprocesador ejecuta un programa principal almacenado en la memoria 7 de sistema. También realiza una transferencia de "acceso de memoria directo" (en adelante DMA) desde los aparatos periféricos 110A, 110B en paralelo para la ejecución del programa principal. Cuando el subprocesador realiza la transferencia DMA, se reciben

datos de los aparatos periférico 110A, 110B en los puertos 9A, 9B, respectivamente, y el subprocesador 12 procesa los datos en los puertos 9A, 9B y almacena los contenidos de los procesos de los datos 9A, 9B en áreas de memoria diferentes, respectivamente. En este momento, el subprocesador 12 realiza una interrupción en el programa principal mediante un temporizador, y juzga la prioridad en los procedimientos, y realiza el procedimiento que tiene la más alta prioridad. Como se muestra en la figura 2(b), el subprocesador juzga una ejecución de la recepción en un protocolo de comunicaciones. Cuando al menos uno cualquiera de los puertos 9A, 9B está recibiendo datos de del aparato 110A, 110B periférico correspondiente, el subprocesador 12 realiza otras tareas. Cuando la recepción de los datos ha terminado, el subprocesador 12 ejecuta tareas tales como la edición del programa, vigilancia, y establece I/O según un comando de comunicaciones como un procedimiento para los puertos.

Una construcción del procesador principal 11 se muestra en la figura 3. El procesador principal 11 incluye un generador 30 de direcciones, un controlador 31, un descodificador 32, un registro 33 de contador de programa, un registro A 34 de dirección de programa y un registro B 35 de direcciones de programa. El controlador 31 está conectado con el generador 30 de direcciones y el descodificador 32 para poder comunicar con cualquiera de ellos. El generador 30 de direcciones y el descodificador 32 están conectados con el subprocesador 12 por medio del bus 40. El generador 30 de direcciones está conectado con la memoria 5 de datos por medio del bus 41 y está conectado también con la memoria 6 de usuario por medio de un bus 42, un selector 48 y un bus 44. El descodificador 32 está conectado con el conector 33 de programas, el registrador A 34 de direcciones de programa y el registro B 35 de direcciones de programa por medio de los buses 46. El contador 33 de programa, el registrador A 34 de direcciones de programa y el registrador B 35 de direcciones de programa están conectados con la memoria 5 de datos y la memoria 6 de usuario a través de un bus 45. El contador 33 de programas está conectado también con la memoria 6 de usuario a través de un bus 43, el selector 48 y el bus 44. El controlador 31 está conectado con la memoria de usuario a través de un bus 47, el selector 48 y el bus 44. Cuando el subprocesador accede al programa 6A o 6B de usuario, unos datos de dirección son transferidos al generador 30 de direcciones dentro del procesador 11 principal, en el que los datos de direccionamiento son descodificados y una señal de dirección es generada y aplicada sobre el bus 42. Esta señal de dirección representa una dirección de espacio que puede ser reescrita dentro de las memorias 6A y 6B de usuario. En esta realización, las memorias 6A y 6B de usuario se construyen dividiendo la memoria 6 según una dirección del área de memoria. Las memorias 6A, 6B de usuario pueden ser construidas también mediante chips de memoria individuales. El subprocesador 12 puede acceder a una memoria cualquiera de usuario cambiando la dirección. El generador 30 de direcciones genera también una dirección en la memoria 5 de datos y la aplica sobre el bus 41.

El área de memoria en la memoria 6A, 6B de usuario está dividida por la dirección, y una información sobre esta división está controlada por una dirección que representa la primera posición del área de

memoria dividida (en adelante dirección principal). El subprocesador 12 almacena esta dirección principal dentro del registrador A 34 de direcciones de programa y el registrador B 35 de direcciones de programa de antemano. El subprocesador 12 se refiere a la dirección principal en el caso en que el programa 6A, 6B de usuario acceda mediante una solicitud del aparato periférico 110A, 110B. Por ejemplo, en el caso de referencia a la operación N (N es un entero positivo) del programa de usuario, el subprocesador 12 accede a una dirección que está adelantada N posiciones a partir de la dirección principal almacenada en el registro A 34 de la dirección del programa.

Cuando el procesador principal 11 ejecuta el programa de usuario, el subprocesador 12 almacena una dirección principal del programa de usuario que ha de ser ejecutado en el registro 33 de contador de programas. Cuando el procesador principal 11 es iniciado ejecuta el programa de usuario contando secuencialmente hacia delante en el registro 33 del contador de programas. El contenido del registro 33 del contador de programas es suministrado al procesador principal 11 como una dirección de la memoria 6A, 6B de usuario. El procesador principal puede acceder al registro 33 del contador de programas, el registro A 34 de direcciones de programas y el registro B 35 de direcciones de programas, cuando son seleccionados por las señales 46 de selección respectivas generadas en el descodificador 32 y aplicadas sobre el bus 46 de acuerdo con la señal aplicada sobre el bus 40 por el subprocesador 12.

Como se muestra en la figura 4, la memoria 6A, 6B de usuario está dividida en una pluralidad de áreas (en este caso, dos áreas). La primera posición del área de memoria dividida tiene su dirección principal, respectivamente, y el subprocesador 12 controla el área definida desde la dirección principal "m" o "n" hasta la última operación que incluye "END" como un programa de usuario. Una pluralidad de programas de usuario definidos anteriormente están almacenados en la memoria 6 de usuario.

Como se ha descrito anteriormente, la memoria 6 (6A, 6B) de usuario tiene una función de almacenamiento de una pluralidad de programas de usuario que incluyen cada uno una dirección principal, el subprocesador 12 tiene la función de ser capaz de acceder a una cualquiera de las áreas divididas de la memoria de usuario. El subprocesador 12 tiene también una función de comunicación con el aparato periférico 110A, 110B. En la invención, estas funciones están combinadas, lo cual permite que el aparato periférico 110A, 110B acceda a las áreas divididas 6A, 6B de la memoria 6 de usuario a través del subprocesador 12, respectivamente, y al contenido de la presentación del área 6A, 6B sobre las pantallas 111, 112 de presentación, respectivamente. Por tanto, el aparato periférico puede realizar diferentes clases de procedimientos o tareas al mismo tiempo. Y el controlador programable en esta realización puede realizar la vigilancia y la edición del programa al mismo tiempo, cuando está conectada una pluralidad de aparatos periféricos que tienen una pantalla de presentación cada uno.

La segunda realización de la presente invención se explica haciendo referencia a la figura 5.

En esta realización, el PC 100 es capaz también de conectar dos aparatos periféricos 110A, 110B. El PC 100 incluye un subprocesador 12 que está dividido en dos subprocesadores 12A, 12B, dos conjuntos

de puerto y porción de interfaz, es decir, un puerto 9A y una porción 8A de interfaz y un puerto 9B y una porción 8B de interfaz, una memoria 7 de sistema que está dividida en dos memorias 7A, 7B de sistema, un procesador principal 11, un controlador 13 de bus, un conmutador 20, una memoria 5 de datos, una memoria de usuario dividida en dos áreas 6A, 6B, un puerto 2 de entrada, y un puerto 4 de salida. Como se muestra en la figura 5, los subprocesadores 12A, 12B están dispuestos dentro de la porción 10 de tratamiento central y están conectados con el procesador principal 11 por medio del controlador 13 de bus. El controlador 13 de bus controla y conmuta el bus de tal manera que los subprocesadores pueden leer el programa que ha de ser procesado cuando los subprocesadores 12A y 12B acceden a las memorias 6A, 6B de usuario, respectivamente, o cuando los subprocesadores 12A, 12B acceden a la memoria 5 de datos. El subprocesador 12A está conectado con la memoria 7A de sistema, y el subprocesador 12B está conectado con la memoria 7B de sistema de modo que están controlados por el programa del sistema. La memoria 7A de sistema almacena un primer programa de sistema y la memoria 7B de sistema almacena un segundo programa de sistema. El primer programa de sistema no es necesariamente el mismo que el segundo programa de sistema. Los subprocesadores 12A, 12B están conectados con el procesador principal por medio del controlador 13 de bus. La memoria 5 de datos está conectada con la porción 10 de tratamiento central por medio de un bus y la memoria 6 de usuario está conectada con la porción 10 de tratamiento central por medio de un bus. La combinación del puerto 9A, la porción 8A de interfaz y el subprocesador 12A permite que el subprocesador 12A comunique con el aparato periférico 110A. La combinación del puerto 9B, la porción 8B de interfaz y el subprocesador 12B permite que el subprocesador 12B comunique con el aparato periférico 110B. El aparato periférico 110A, 110B tiene las pantallas 111, 112 de presentación, respectivamente. La memoria 6 de usuario está dividida en dos áreas 6A, 6B para almacenar los programas de usuario compuestos por el usuario utilizando los aparatos periféricos 110A, 110B, respectivamente. El conmutador 20 está conectado con el controlador 13 de bus y establece los números de los programas de usuario que han de ser ejecutados, establece un destino del programa de usuario dentro de la memoria 6 de usuario, es decir 6A o 6B, y selecciona el programa de usuario que ha de ser ejecutado por el subprocesador 12 de los almacenados en las áreas 6A y 6B de la memoria de usuario. Una información de muchas clases de establecimiento para la memoria 6A, 6B de usuario mediante el conmutador 20 está almacenada en un registrador (no mostrado en la figura 5) en el controlador 13 de bus, la cual permite que los subprocesadores 12A, 12B lean la información del conmutador 20 accediendo al registro. Por tanto, cada uno de los programas de usuario compuestos por el usuario que utiliza el aparato periférico 110A y el programa de usuario compuesto por el usuario que usa el aparato periférico 110B se introduce en el subprocesador 12A, 12B por medio de la porción 8A, 8B de interfaz respectiva, y es almacenado en una cualquiera de las áreas de la memoria 6A, 6B de usuario según el destino establecido por el conmutador 20. Cuando el subprocesador 12 realiza una operación secuencial, ejecuta uno seleccionado de los programas de usuario

almacenado en la memoria 6A, 6B de usuario según se haya establecido el conmutador 20. En esta realización mejora la eficiencia de la vigilancia y la edición.

La tercera realización de la presente invención se explica con referencia a la figura 6.

En esta realización, el PC 100 puede ser también capaz de conectar dos aparatos periféricos 110A y 110B. El PC 100 incluye un subprocesador 12 que está dividido en dos subprocesadores 12A y 12B, dos conjuntos de puerto y porción de interfaz, es decir un puerto 9A y una porción 8A de interfaz y un puerto 9B y una porción 8B de interfaz, una memoria 7 de sistema que está dividida en dos memorias 7A, 7B de sistema, un procesador principal 11, un conmutador 20, una memoria 5 de datos, una memoria de usuario dividida en dos áreas 6A, 6B, un puerto 2 de entrada, y un puerto 4 de salida. Como se muestra en la figura 6, los subprocesadores 12A, 12B están dispuestos dentro de la porción 10 de proceso central y están conectados con el procesador principal 11. El subprocesador 12A está conectado con la memoria 7A de sistema y el subprocesador 12B está conectado con la memoria 7B de sistema para que estén controladas por el programa de sistema. La memoria 7A de sistema almacena un primer programa de sistema y la memoria 7B de sistema almacena un segundo programa de sistema. El primer programa de sistema no es necesariamente el mismo que el segundo programa de sistema. Los subprocesadores 12A, 12B están conectados con el procesador principal 11. La memoria 5 de datos está conectada con la porción 10 de tratamiento central por medio de un bus y la memoria 6 de usuario está conectada con la porción 10 de tratamiento central por medio de un bus. La combinación del puerto 9A, la porción 8A de interfaz y el subprocesador 12A permiten que el subprocesador 12A comunique con el aparato periférico 110A. La combinación del puerto 9B, la porción 8B de interfaz y el subprocesador 12B permiten que el subprocesador 12B comunique con el aparato periférico 110B. Los aparatos periféricos 110A, 110B tienen pantallas 111, 112 de presentación, respectivamente. La memoria 6 de usuario está dividida en dos áreas 6A, 6B para almacenar los programas de usuario compuestos por el usuario usando los aparatos periféricos 110A, 110B respectivamente. El conmutador 20 está conectado con el procesador principal 11 y establece los números de los programas de usuario que han de ser ejecutados, establece un destino del programa de usuario dentro de la memoria 6 de usuario, es decir, 6A o 6B, y selecciona el programa de usuario que ha de ser ejecutado por el subprocesador 12 de los almacenados en las áreas de las memorias 6A y 6B. Una información de muchas clases de establecimiento para las memorias 6A, 6B de usuario por el conmutador 20 está almacenada en un registrador (no mostrado en la figura 6) en el procesador principal 11, que permite que los subprocesadores 12A, 12B lean la información del conmutador 20 accediendo al registro. Por tanto, cada uno de los programas de usuario compuestos por el usuario que utiliza el aparato periférico 110A y el programa de usuario compuesto por el usuario que utiliza el aparato periférico 110B es introducido en los subprocesadores 12A, 12B a través de la porción 8A, 8B de interfaz, respectivamente, y almacenado en una cualquiera de las áreas de la memoria 6A, 6B de usuario según el destino establecido por el conmutador 20. Cuando el subprocesador 12 realiza una operación secuencial,

ejecuta uno seleccionado de los programas de usuario almacenados en la memoria 6A, 6B de usuario según se haya establecido el conmutador 20. En esta realización, mejora la eficiencia de la vigilancia y la edición. Además, esta realización puede simplificar su construcción puesto que no se emplea un bus controlador 13 cuando se compara con la segunda realización.

La cuarta realización de la presente invención se explica con referencia a la figura 7.

En esta realización, el PC 100 es capaz de conectar tres aparatos periféricos 110A, 110B, 110C. El aparato periférico 110C tiene una pantalla 113 de presentación de modo similar a los aparatos periféricos 110A, 110B. Para conectar tres aparatos periféricos, el PC100 incluye un conjunto extra de un puerto 9C y una porción 8C de interfaz además de dos juegos de puerto y porción de interfaz, es decir, el puerto 9A y la porción 8A de interfaz y el puerto 9B y la porción 8B de interfaz, descritos en la figura 6. En esta realización el subprocesador 12B comunica con dos aparatos periféricos 110B, 110C, por medio del puerto 9B y la porción 8B de interfaz y el puerto 9C y la porción 8C de interfaz, respectivamente. La memoria 6 de usuario está dividida en tres áreas 6A, 6B, 6C para almacenar los programas de usuario compuestos por el usuario usando los aparatos periféricos 110A, 110B, 110C, respectivamente. El conmutador 20 está conectado con el procesador 11 principal y establece

ce los números de los programas de usuario que han de ser ejecutados, establece un destino del programa de usuario dentro de la memoria 6 de usuario, es decir 6A, 6B o 6C, y selecciona el programa de usuario que ha de ser ejecutado por el subprocesador 12 de los almacenados en las áreas de la memoria 6A, 6B y 6C de usuario. Una información de muchas clases de establecimiento para la memoria 6A, 6B, 6C mediante el conmutador 20 está almacenada en un registro (no mostrado en la figura 7) en el procesador principal 11, que permite que los subprocesadores 12A, 12B, lean la información del conmutador 20 accediendo al registro. Por tanto, el programa de usuario compuesto por el usuario que utiliza el aparato periférico 110A se introduce en el subprocesador 12A a través de la porción 8A de interfaz y el programa de usuario compuesto por el usuario que usa el aparato periférico 110B, 110C se introduce en el subprocesador 12B a través de la porción 8B de interfaz. Cada uno de estos programas se almacena en una cualquiera de las áreas 6A, 6B, 6C de la memoria de usuario según el destino establecido por el conmutador 20. El resto de la construcción es la misma que en la tercera realización.

Como se ha descrito anteriormente, las realizaciones anteriores pueden efectuar la vigilancia y simultáneamente la edición del programa, que proporciona un controlador programable que tiene alta eficiencia.

REIVINDICACIONES

1. Un controlador programable que incluye un puerto (2) de entrada para recibir una señal exterior, un puerto (4) de salida para aplicar una señal para activar una carga exterior, un primer puerto (9A) para comunicar con un primer aparato (110A) periférico, una primera porción (8A) de interfaz conectada con dicho primer puerto (9A), una memoria (6) de programa de usuario para almacenar un programa de usuario, un procesador (11) principal para ejecutar una operación según dicho programa de usuario, una memoria (5) de datos para almacenar un resultado de dicha operación ejecutada por dicho procesador principal (11), un subprocesador (12) dispuesto para comunicar con dicha primera porción (8A) de interfaz y dicho procesador principal (11), y una memoria (7) de programa de sistema para almacenar un programa de sistema que controla dicho procesador principal (11) y dicho subprocesador (12) en el que dicho procesador principal maneja un comando básico y dicho subprocesador maneja un comando de aplicación, **caracterizado** porque dicho controlador programable incluye además un segundo puerto (9B) para comunicar con un segundo aparato (110B) periférico, y una segunda porción (8B) de interfaz conectada con dicho segundo puerto (9B), en el que dicha memoria (6) de programa de usuario está dividida en al menos dos áreas (6A, 6B) de memoria de usuario, en el que se proporciona un conmutador (20) que está conectado con dicho subprocesador (12), el cual establece los números de los programas de usuario que han de ejecutarse, establece un destino del programa de usuario dentro de las áreas (6A, 6B) de memoria de usuario y

selecciona el programa de usuario que ha de ser ejecutado por el subprocesador (12) de los almacenados en las áreas de la memoria (6A, 6B) de usuario, y en el que dicho subprocesador (12) controla la comunicación de dicho primer puerto (9A) y dicho segundo puerto (9B) con un área (6A) de memoria de usuario y la otra área (6B) de memoria de usuario, respectivamente, y un programa puede ser editado usando uno de dichos aparatos periféricos mientras los resultados de su ejecución pueden ser vigilados al mismo tiempo usando el otro aparato periférico.

2. Un controlador programable según la reivindicación 1, en el que el subprocesador (12) se compone de primero y segundo subprocesadores (12A, 12B), en el que dicho primer puerto (9A) comunica con dicha un área (6A) de memoria de usuario controlada por dicho primer subprocesador (12A) y dicho segundo puerto (9B) comunica con dicha otra área (6B) de memoria (6B) de usuario controlada por dicho segundo subprocesador (12B).

3. Un controlador programable según una de las reivindicaciones precedentes, que incluye además, un primer aparato periférico (110A) y un segundo aparato periférico (110B), en el que dicho primer aparato periférico es capaz de vigilar un comportamiento y editar dicho programa de usuario, dicho primer aparato periférico es capaz de acceder a dichas áreas (6A, 6B) de memoria de usuario a través de dicho puerto (9A), dicho segundo aparato periférico es capaz de vigilar un comportamiento y editar un programa de usuario, y dicho segundo aparato periférico es capaz de acceder a dichas áreas (6A, 6B) de memoria a través de dicho puerto (9B) de usuario.

FIG.1

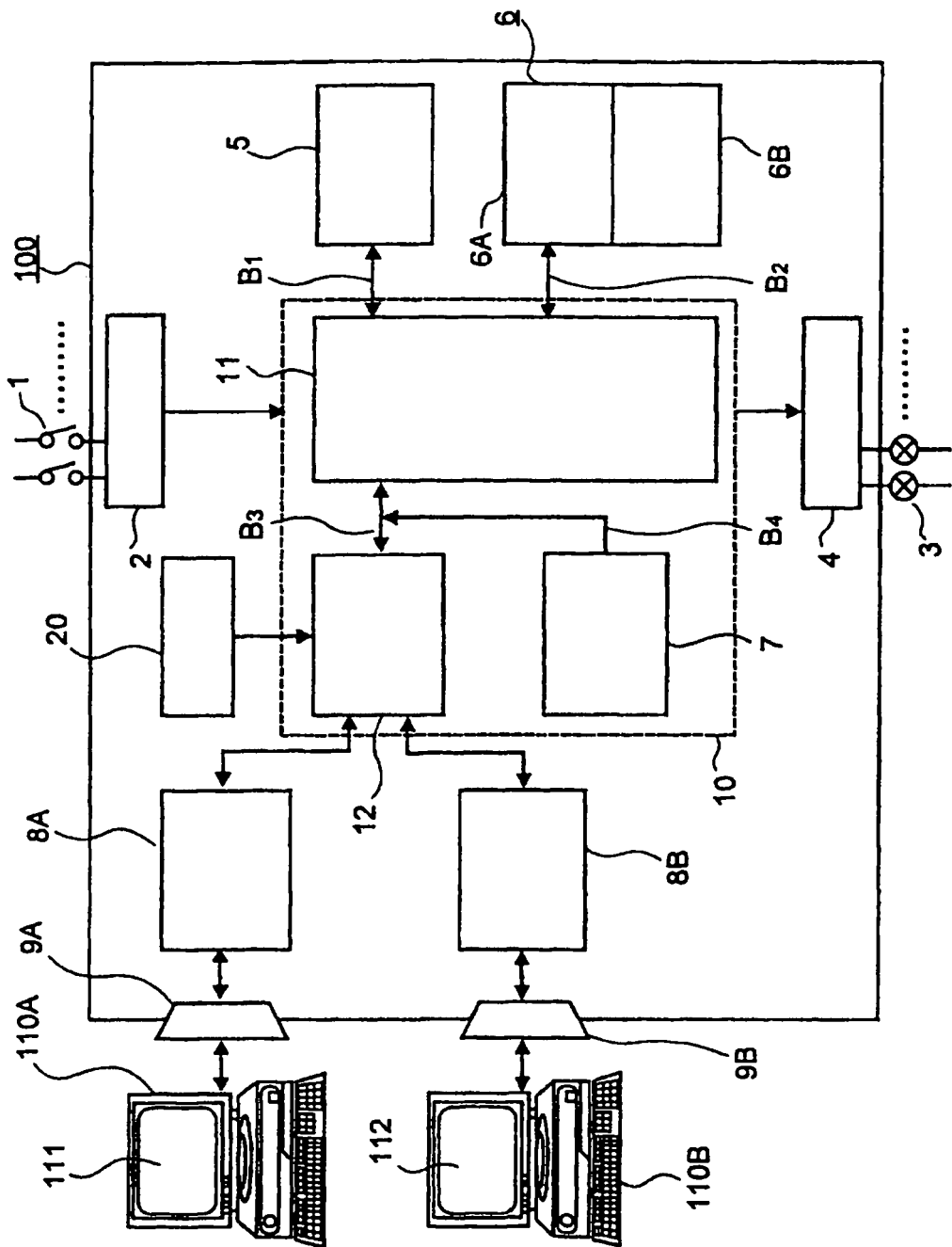


FIG.2

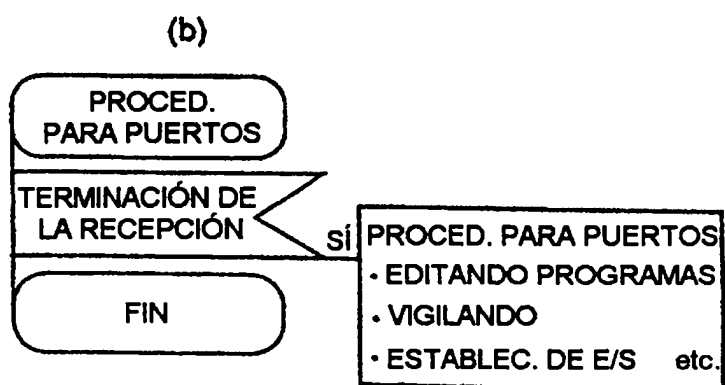
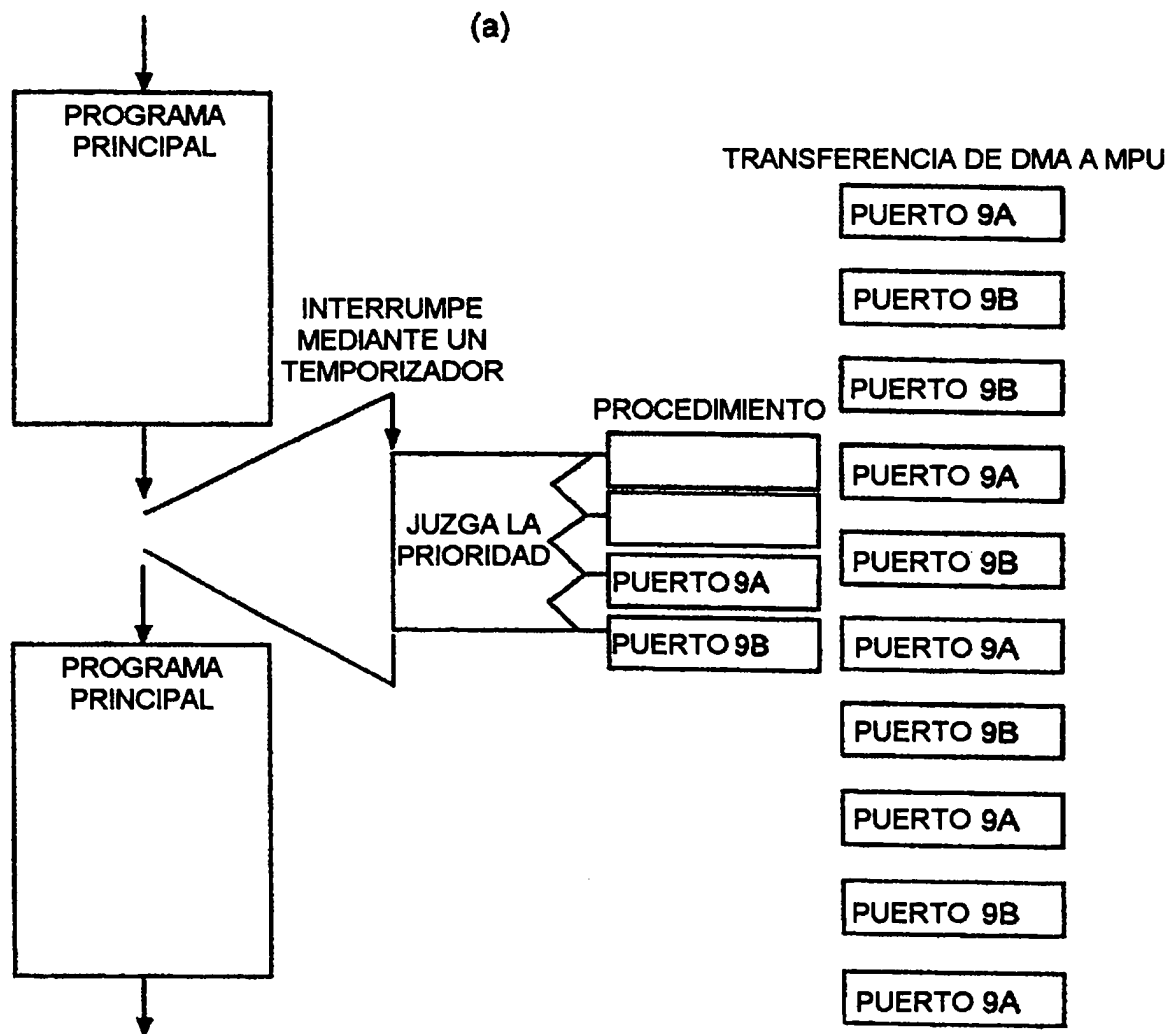


FIG.3

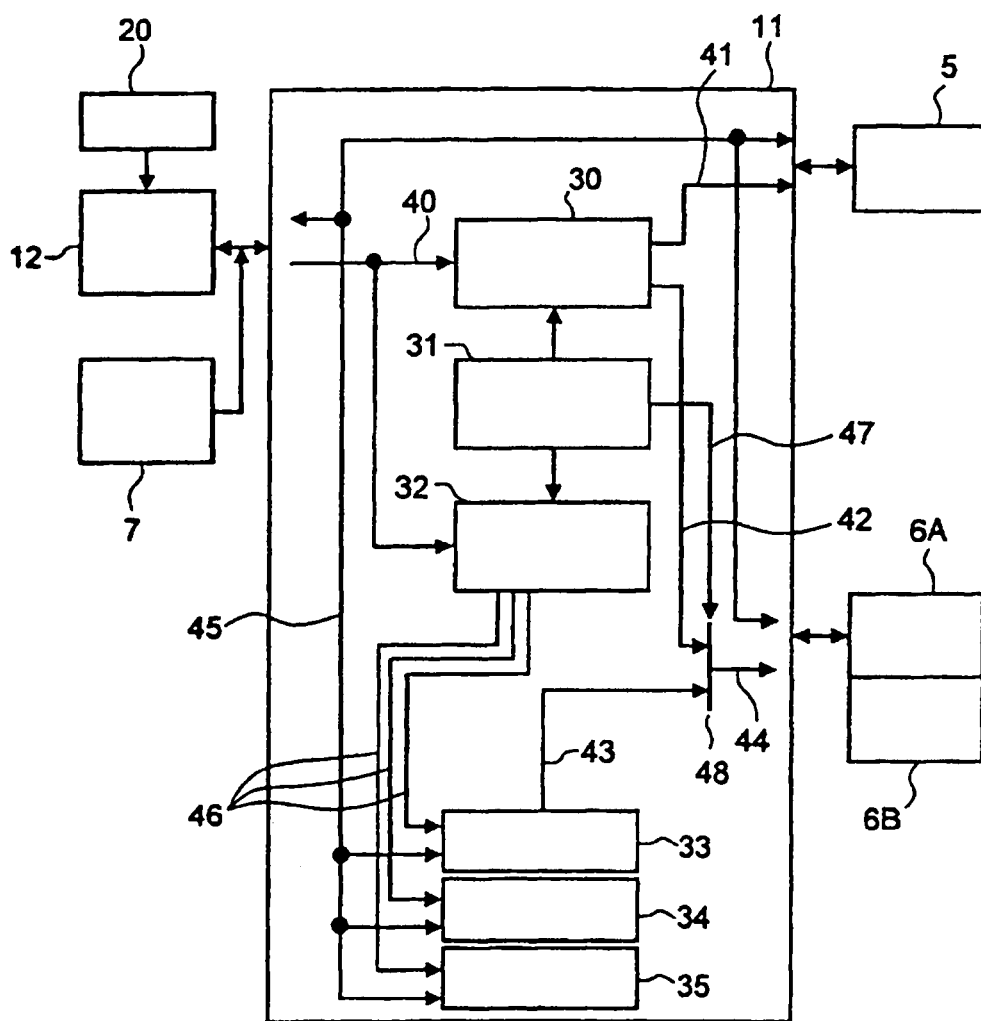


FIG.4

OPERACIÓN	ÁREA DE PROGRAMAS DE USUARIO	
m		X0
m+1		Y0
m+2		Y0
m+3		Y4
m+4		X1
m+5		Y1
		FIN
n		X2
n+1		Y2
n+2		Y2
n+3		Y5
n+4		X3
n+5		Y3
	RST	FIN

FIG.5

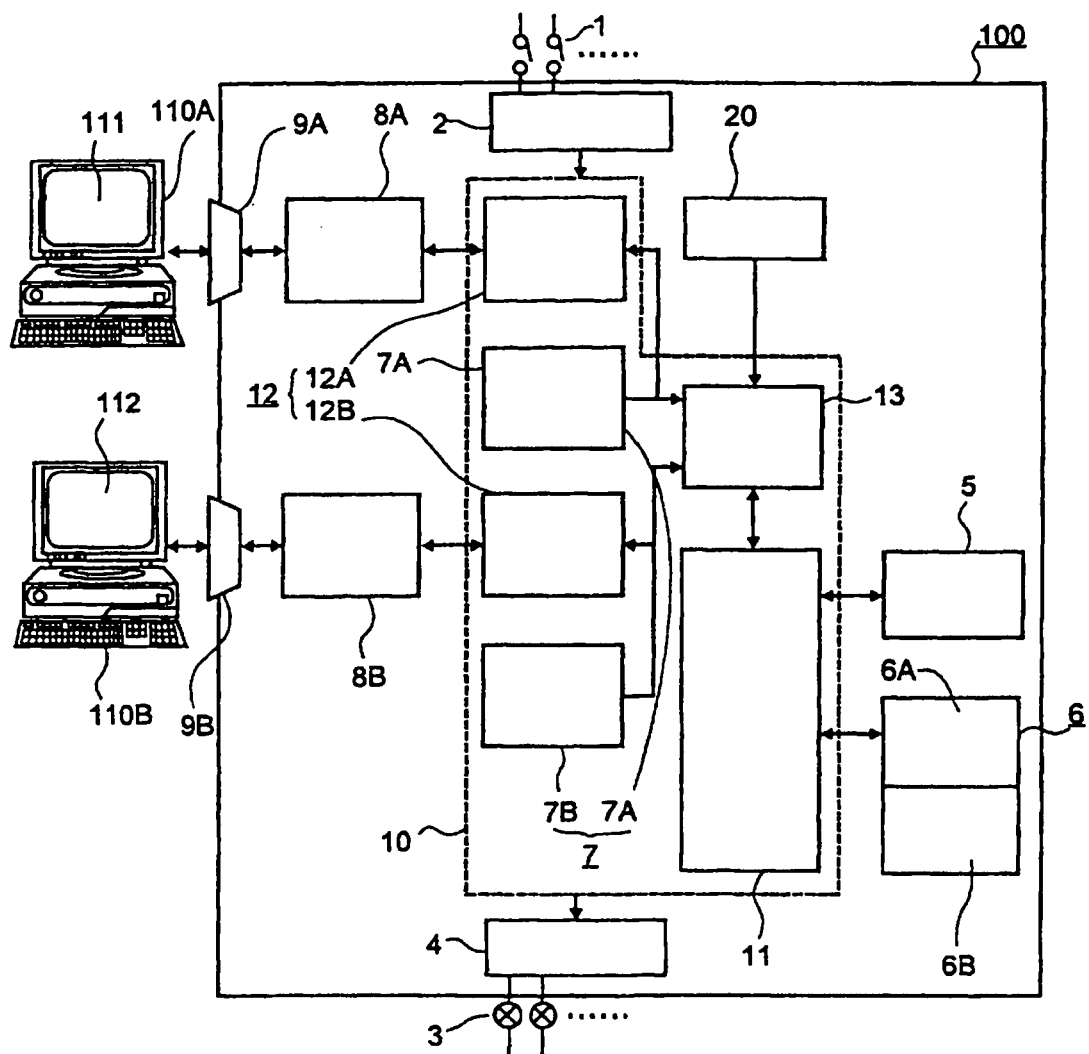


FIG.6

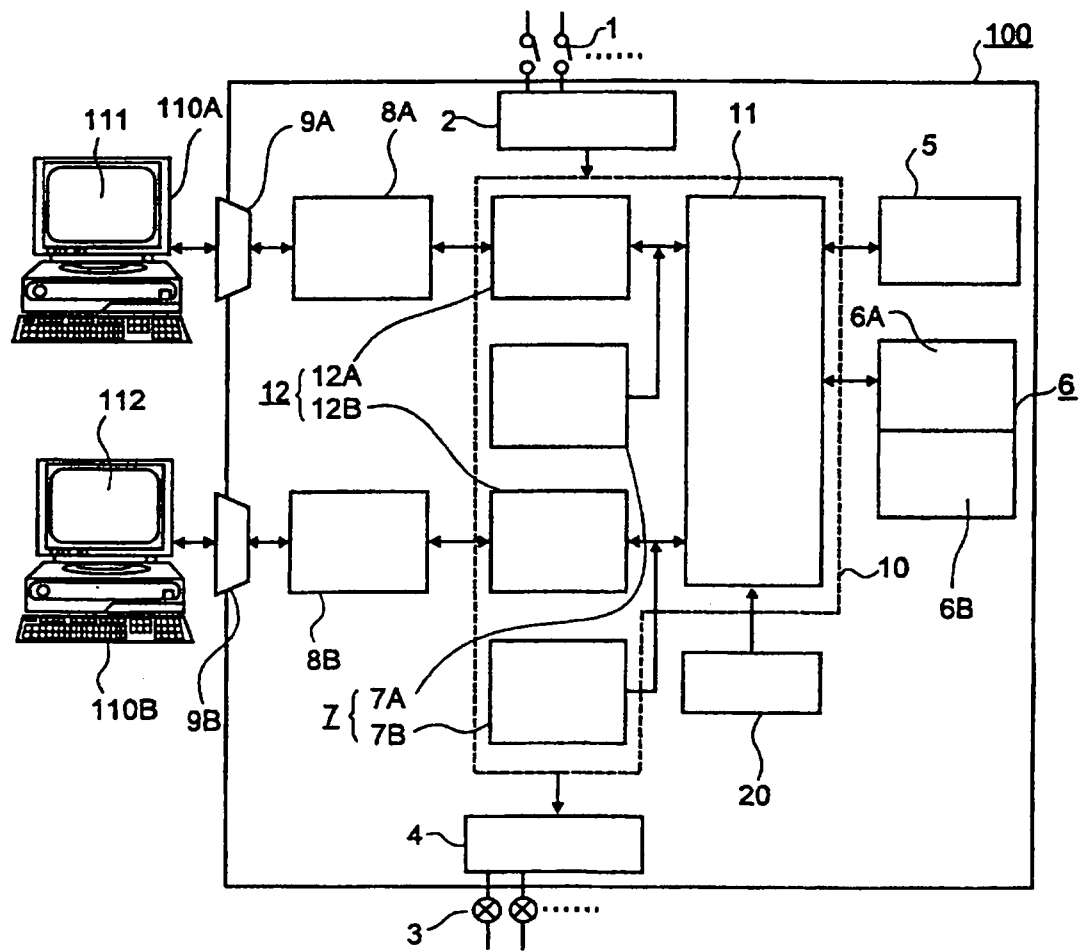


FIG.7

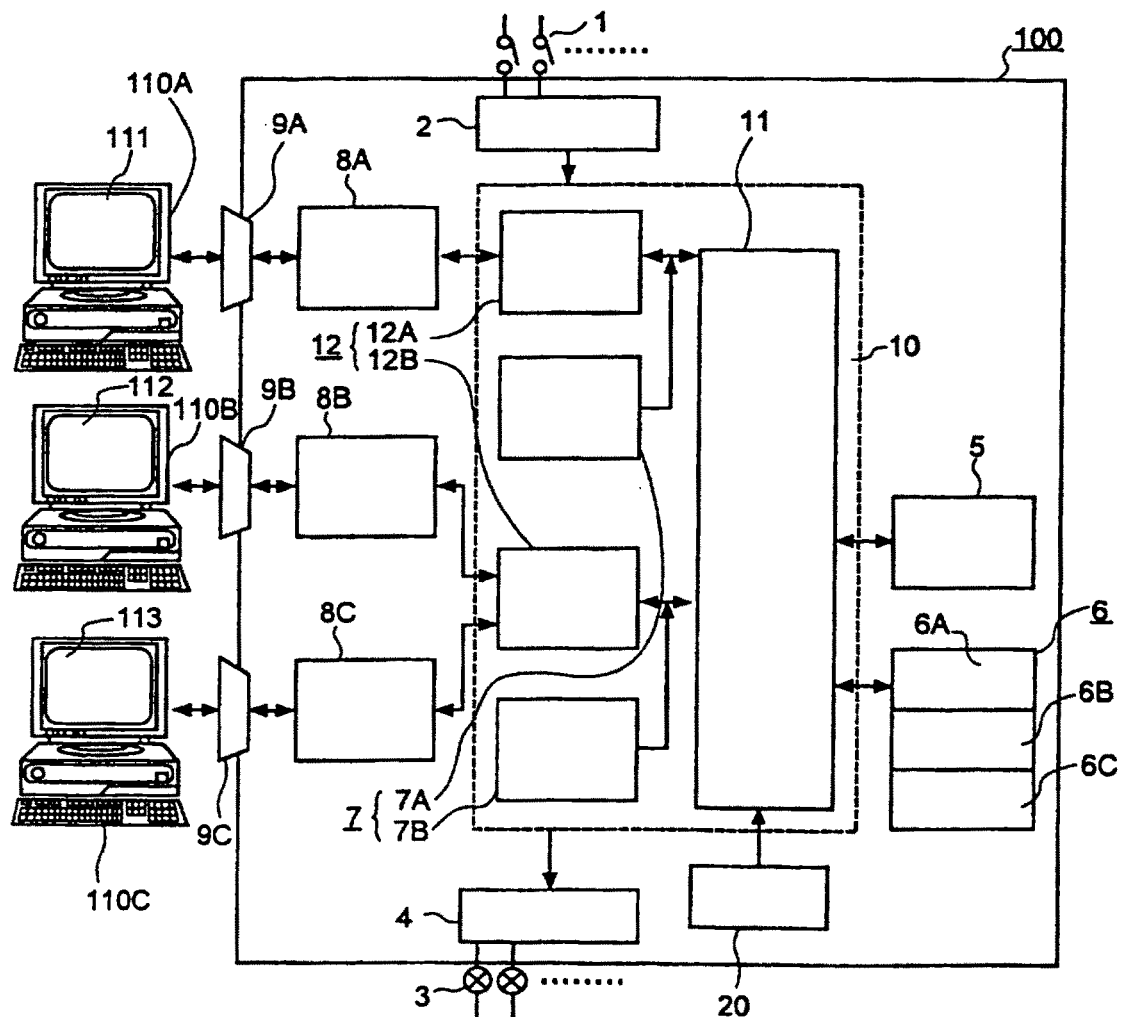


FIG.8

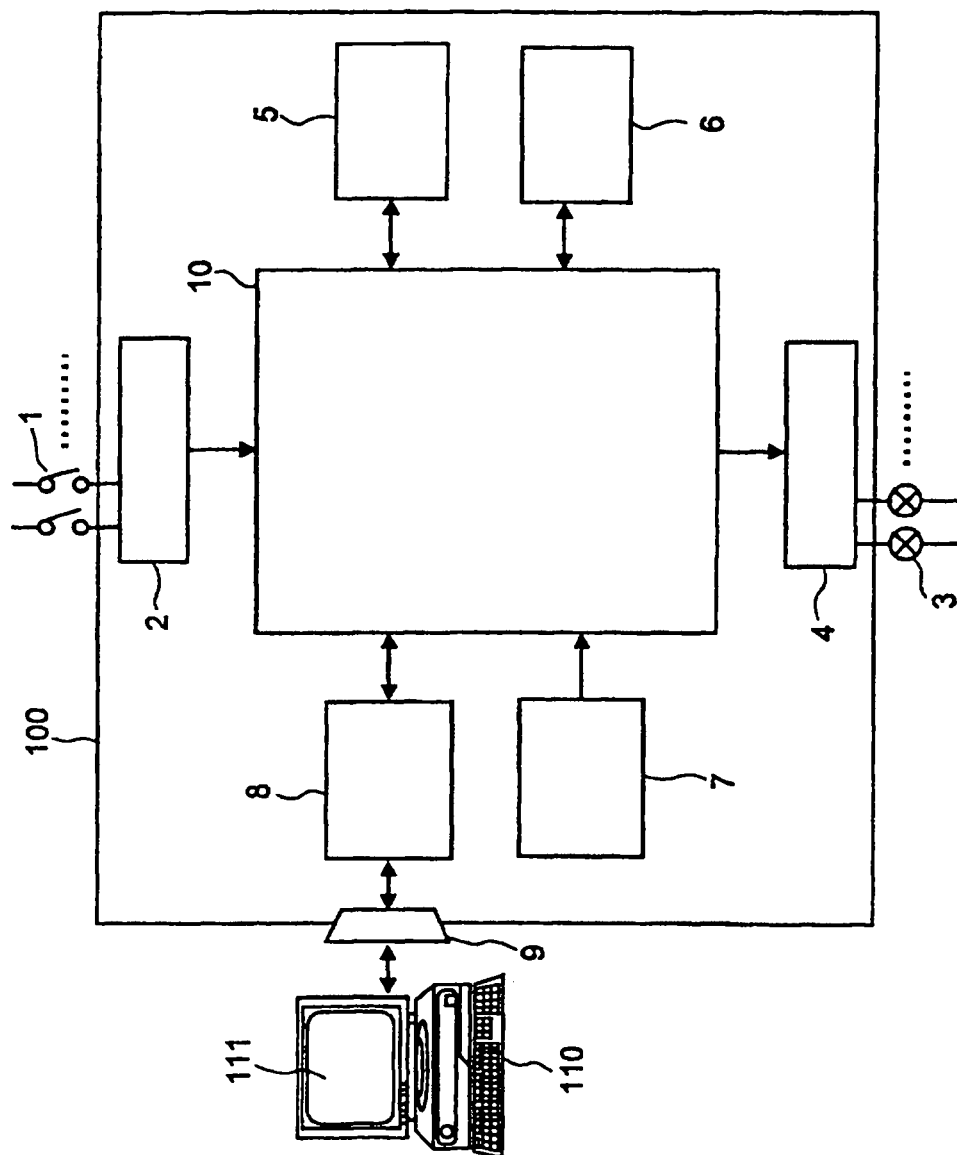


FIG.9

TÉCNICA RELACIONADA

