(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年3月14日(14.03.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/048966 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *H01L 21/336* (2006.01)
G02F 1/133 (2006.01) *H01L 27/32* (2006.01)
G09F 9/30 (2006.01) *H01L 29/786* (2006.01)
G09G 3/3233 (2016.01) *H01L 51/50* (2006.01)
G09G 3/36 (2006.01) *H05B 33/14* (2006.01)

(21) 国際出願番号： PCT/IB2018/056411

(22) 国際出願日： 2018年8月24日(24.08.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-170206 2017年9月5日(05.09.2017) JP
特願 2018-029361 2018年2月22日(22.02.2018) JP

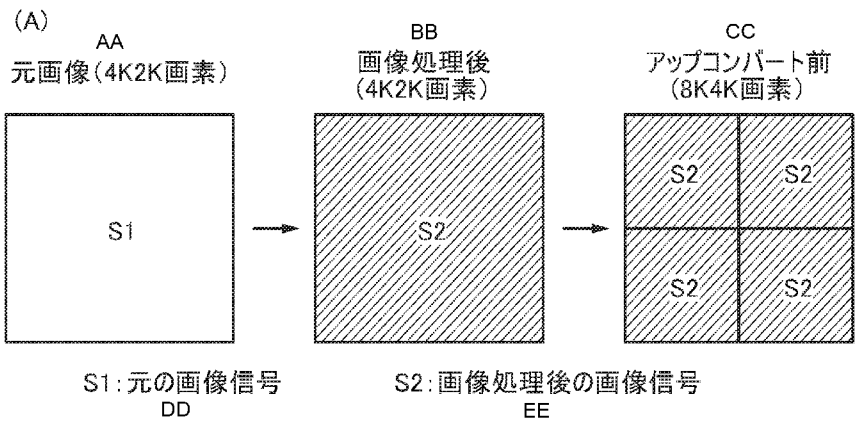
(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 山崎舜平 **(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠紘慈**(KUSUNOKI, Koji)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 川島進**(KAWASHIMA, Susumu)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 豊高耕平 **(TOYOTAKA, Kouhei)**; 〒2430036 神奈川県厚

(54) Title: DISPLAY SYSTEM

(54) 発明の名称： 表示システム

[図 2]



AA Original image (4K2K pixels)
BB After image processing (4K2K pixels)
CC Before up-conversion (8K4K pixels)
DD Original image signal
EE Image signal after image processing

(57) Abstract: Provided is a high-resolution display system. Provided is a display system with high display quality. A display system having a processing unit and a display unit. A first image signal is supplied to the processing unit. The processing unit has the function of using the first image signal to generate a second image signal. The processing unit has the function of generating correction signals. The display unit has pixels. The pixels have display elements and memory circuits. The second image signal and the correction signals are supplied to the pixels. The memory circuit has the function

WO 2019/048966 A1

木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

of retaining the correction signals.

(57) 要約：要約書 解像度の高い表示システムを提供する。表示品位の高い表示システムを提供する。 処理部及び表示部を有する表示システムである。 処理部には、 第１の画像信号が供給される。 処理部は、 第１の画像信号を用いて、 第２の画像信号を生成する機能を有する。 処理部は、 補正信号を生成する機能を有する。表示部は、画素を有する。画素は、表示素子及び記憶回路を有する。画素には、 第２の画像信号及び補正信号が供給される。記憶回路は、補正信号を保持する機能を有する。

明細書

発明の名称

表示システム

技術分野

［０００１］

本発明の一態様は、表示システムに関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、電子機器、照明装置、入力装置（例えば、タッチセンサなど）、入出力装置（例えば、タッチパネルなど）、それらの駆動方法、またはそれらの製造方法を一例として挙げることができる。

［０００３］

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、及び電子機器などは、半導体装置といえる場合がある。もしくは、これらは半導体装置を有するといえる場合がある。

背景技術

［０００４］

近年、解像度の高い表示装置が求められている。例えば、フルハイビジョン（画素数１９２０×１０８０）、４Ｋ（画素数３８４０×２１６０もしくは４０９６×２１６０等）、さらには８Ｋ（画素数７６８０×４３２０もしくは８１９２×４３２０等）といった画素数の多い表示装置が盛んに開発されている。

［０００５］

また、表示装置の大型化が求められている。例えば、家庭用のテレビジョン装置では、画面サイズが対角５０インチを超えるものが主流となっている。画面のサイズが大きいほど、一度に表示可能な情報量を多くできるため、デジタルサイネージ等では更なる大画面化が求められている。

［０００６］

表示装置としては、液晶表示装置や発光表示装置に代表されるフラットパネルディスプレイが広く用いられている。これらの表示装置を構成するトランジスタの半導体材料には主にシリコンが用いられているが、近年、金属酸化物を用いたトランジスタを表示装置の画素に用いる技術も開発されている。

［０００７］

特許文献１には、トランジスタの半導体材料に非晶質シリコンを用いる技術が開示されている。特許文献２及び特許文献３には、トランジスタの半導体材料に金属酸化物を用いる技術が開示されている。

［先行技術文献］

［特許文献］

［０００８］

［特許文献１］特開２００１－５３２８３号公報

［特許文献２］特開２００７－１２３８６１号公報

［特許文献３］特開２００７－９６０５５号公報

発明の概要

発明が解決しようとする課題

［０００９］

８Ｋなど高解像度の映像はデータ量が多いため、放送局から受信機へデータの送信を行う際の通信負荷が大きい。また、高解像度の映像を一般に普及させるためには、撮像装置、記憶装置、通信装置などの周辺技術を整える必要もある。そのため、放送局が低解像度の映像を放送し、当該放送を受信した受信機側で解像度を高める技術が必要とされている。

［００１０］

例えば、アップコンバートを行うことで、低解像度の映像を疑似的に高解像度の映像に変換することができる。しかし、アップコンバートを行う際に、膨大な量の画像データを解析して新たな画像データを生成するため、回路規模や消費電力が大きくなる問題がある。また、リアルタイムでの処理が追いつかず、表示の遅延が生じることもある。

［００１１］

また、表示装置の画素数が多いほど、表示装置が有するトランジスタ及び表示素子の数が増えるため、トランジスタの特性のばらつき及び表示素子の特性のばらつきに起因する表示ムラが顕著になってしまう。

［００１２］

本発明の一態様は、解像度の高い表示システムを提供することを課題の一つとする。本発明の一態様は、表示品位の高い表示システムを提供することを課題の一つとする。本発明の一態様は、消費電力が低い表示システムを提供することを課題の一つとする。本発明の一態様は、表示ムラが低減された表示システムを提供することを課題の一つとする。本発明の一態様は、大型の表示領域を有する表示システムを提供することを課題の一つとする。本発明の一態様は、高いフレーム周波数で動作可能な表示システムを提供することを課題の一つとする。

［００１３］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はないものとする。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１４］

本発明の一態様は、処理部及び表示部を有する表示システムである。処理部には、第１の画像信号が供給される。処理部は、第１の画像信号を用いて、第２の画像信号を生成する機能を有する。処理部は、補正信号を生成する機能を有する。表示部は、画素を有する。画素は、表示素子及び記憶回路を有する。画素には、第２の画像信号及び補正信号が供給される。記憶回路は、補正信号を保持する機能を有する。

［００１５］

本発明の一態様は、処理部、表示部、及び記憶部を有する表示システムである。記憶部は、補正データを有する。処理部には、第１の画像信号及び補正データが供給される。処理部は、第１の画像信号を用いて、第２の画像信号を生成する機能を有する。処理部は、補正データに基づいた補正信号を生成する機能を有する。表示部は、画素を有する。画素は、表示素子及び記憶回路を有する。画素には、第２の画像信号及び補正信号が供給される。記憶回路は、補正信号を保持する機能を有する。

［００１６］

本発明の一態様は、処理部及び表示部を有する表示システムである。処理部には、第１の画像信号が供給される。処理部は、第１の画像信号を用いて、第２の画像信号を生成する機能を有する。処理部は、第１の画像信号を用いて、補正信号を生成する機能を有する。表示部は、画素を有する。画素は、表示素子及び記憶回路を有する。画素には、第２の画像信号及び補正信号が供給される。記憶回路は、補正信号を保持する機能を有する。表示システムは、さらに、記憶部を有していてもよい。記憶部は、補正データを有する。処理部には、補正データが供給される。処理部は、第１の画像信号及び補正データを用いて、補正信号を生成する機能を有する。

［００１７］

本発明の一態様は、処理部及び表示部を有する表示システムである。表示部は、第１の回路及び画素を有する。第１の回路は、第１の信号を生成する機能を有する。処理部には、第１の画像信号及び第１の信号が供給される。処理部は、第１の画像信号を用いて、第２の画像信号を生成する機能を有する。処理部は、第１の信号を用いて、補正信号を生成する機能を有する。画素は、表示素子及び記憶回路を有する。画素には、第２の画像信号及び補正信号が供給される。記憶回路は、補正信号を保持する機能を有する。表示システムは、さらに、記憶部を有していてもよい。記憶部は、補正データを有する。処理部には、補正データが供給される。処理部は、第１の信号及び補正データを用いて、補正信号を生成する機能を有する。

［００１８］

処理部は、ニューラルネットワークを用いて、第２の画像信号及び補正信号のうち一方または双方を生成してもよい。

［００１９］

処理部は、ニューラルネットワーク回路を有していてもよい。

［００２０］

画素は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第１の容量素子と、第２の容量素子と、を有していてもよい。第１のトランジスタのソースまたはドレインの一方は、第１の容量素子の一方の電極と電気的に接続される。第１の容量素子の他方の電極は、第２のトランジスタのソースまたはドレインの一方と電気的に接続される。第２のトランジスタのソースまたはドレインの一方は、第３のトランジスタのゲートと電気的に接続される。第３のトランジスタのゲートは、第２の容量素子の一方の電極と電気的に接続される。第２の容量素子の他方の電極は、第３のトランジスタのソースまたはドレインの一方と電気的に接続される。第３のトランジスタのソースまたはドレインの一方は、第４のトランジスタのソースまたはドレインの一方と電気的に接続される。第４のトランジスタのソースまたはドレインの他方は、表示素子の一方の電極と電気的に接続される。第２のトランジスタは、チャネル形成領域に金属酸化物を有することが好ましい。金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（Ｍはアルミニウム（Ａｌ）、チタン（Ｔｉ）、ガリウム（Ｇａ）、ゲルマニウム（Ｇｅ）、イットリウム（Ｙ）、ジルコニウム（Ｚｒ）、ランタン（Ｌａ）、セリウム（Ｃｅ）、スズ（Ｓｎ）、ネオジム（Ｎｄ）、またはハフニウム（Ｈｆ））と、を有することが好ましい。第１のトランジスタのソースまたはドレインの他方には、第２の画像信号が供給される。第２のトランジスタのソースまたはドレインの他方には、補正信号が供給される。

［００２１］

画素は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第１の容量素子と、第２の容量素子と、を有していてもよい。第１のトランジスタのソースま

たはドレインの一方は、第１の容量素子の一方の電極と電気的に接続される。第１の容量素子の一方の電極は、表示素子と電気的に接続される。第２のトランジスタのソースまたはドレインの一方は、第１の容量素子の他方の電極と電気的に接続される。第１の容量素子の他方の電極は、第３のトランジスタのソースまたはドレインの一方と電気的に接続される。第３のトランジスタのゲートは、第４のトランジスタのソースまたはドレインの一方と電気的に接続される。第４のトランジスタのソースまたはドレインの一方は、第２の容量素子の一方の電極と電気的に接続される。第４のトランジスタは、チャネル形成領域に金属酸化物を有することが好ましい。金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（ＭはＡｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、Ｓｎ、Ｎｄ、またはＨｆ）と、を有することが好ましい。第２のトランジスタのソースまたはドレインの他方は、低電位電源線と電気的に接続される。第３のトランジスタのソースまたはドレインの他方は、高電位電源線と電気的に接続される。画素は、さらに、第５のトランジスタと、第６のトランジスタと、を有していてもよい。第５のトランジスタのソースまたはドレインの一方は、第１のトランジスタのソースまたはドレインの一方と電気的に接続される。第５のトランジスタのソースまたはドレインの他方は、表示素子と電気的に接続される。第６のトランジスタのソースまたはドレインの一方は、第５のトランジスタのソースまたはドレインの他方と電気的に接続される。第６のトランジスタのソースまたはドレインの他方は、低電位電源線と電気的に接続される。第１のトランジスタのソースまたはドレインの他方には、第２の画像信号が供給される。第４のトランジスタのソースまたはドレインの他方には、補正信号が供給される。

［００２２］

本発明の一態様の表示システムにおいて、記憶回路は、補正信号を第２の画像信号に付加することで第３の画像信号を生成する機能を有する。本発明の一態様の表示システムにおいて、表示素子は、第３の画像信号に基づいて表示する機能を有する。

発明の効果

［００２３］

本発明の一態様により、解像度の高い表示システムを提供できる。本発明の一態様により、表示品位の高い表示システムを提供できる。本発明の一態様により、消費電力が低い表示システムを提供できる。本発明の一態様により、表示ムラが低減された表示システムを提供できる。本発明の一態様により、大型の表示領域を有する表示システムを提供できる。本発明の一態様により、高いフレーム周波数で動作可能な表示システムを提供できる。

［００２４］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２５］

［図１］表示システムの一例を示す図。

［図２］アップコンバートを説明する図。

［図３］アップコンバートの比較例を説明する図。

［図４］表示システムの一例を示す図。

［図５］表示システムの一例を示す図。

［図６］表示部の一例を示すブロック図。

［図７］画素の一例を示す図。
［図８］画素の動作例を示すタイミングチャート。
［図９］表示部の一例を示す図。
［図１０］画素の一例を示す図。
［図１１］表示システムの一例を示す図。
［図１２］表示部の一例を示すブロック図。
［図１３］画素の一例を示す図。
［図１４］画素の一例を示す図。
［図１５］画素の動作例を示すタイミングチャート。
［図１６］画素の一例を示す図。
［図１７］画素の動作例を示すタイミングチャート。
［図１８］ニューラルネットワークの構成例を説明する図。
［図１９］半導体装置の構成例を説明する図。
［図２０］メモリセルの構成例を説明する図。
［図２１］オフセット回路の構成例を説明する図。
［図２２］半導体装置の動作例を説明するタイミングチャート。
［図２３］画素の一例を示す図。
［図２４］表示装置の一例を示す図。
［図２５］表示装置の一例を示す図。
［図２６］ＤＯＳＲＡＭの一例を示す図。
［図２７］電子機器の一例を示す図。

発明を実施するための形態

［００２６］
実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

［００２７］
なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

［００２８］
また、図面において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、範囲などに限定されない。

［００２９］
なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能である。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能である。

［００３０］

（実施の形態１）

本実施の形態では、本発明の一態様の表示システムについて図１～図１７を用いて説明する。

［００３１］

本実施の形態の表示システムは、補正信号を生成する機能と、外部から受信したデータを用いて画像信号を生成する機能と、当該補正信号及び当該画像信号を用いて、映像を表示する機能と、を有する。

［００３２］

本実施の形態の表示システムは、処理部及び表示部を有する。処理部は、補正信号を生成する機能と、外部から受信したデータを用いて画像信号を生成する機能と、を有する。表示部は、表示素子及び記憶回路を有する。記憶回路は、補正信号を保持する機能を有する。記憶回路は、画像信号に補正信号を付加する機能を有する。補正信号は容量結合によって画像信号に付加され、表示素子に供給される。したがって、表示部では、補正信号及び画像信号を用いて、映像を表示することができる。

［００３３］

表示システムでは、外部から受信したデータに対して様々な画像処理を行う。加えて、解像度のアップコンバートを行う場合、処理部で行う演算量は膨大となる。そこで、本発明の一態様の表示システムは、処理部において、補正信号と、画像信号と、を生成する。外部から受信したデータに画像処理を施して生成する画像信号は、外部から受信したデータと同等の解像度のデータを含む信号とする。そして、別途生成した補正信号を、当該画像信号に付加することで、画像のアップコンバートを行う。これにより、処理部における演算量の低減、消費電力の低減、回路規模の縮小、または表示の遅延の抑制などを実現することができる。

［００３４］

処理部は、外部から受信したデータなどを用いて、リアルタイムで補正信号を生成してもよく、記録媒体に保存されている補正データを読み出し、当該補正データに基づいた補正信号を生成してもよい。外部から受信したデータによらず、補正データに基づいた補正信号を表示部に供給することで、処理部における演算量の低減を図ることができる。

［００３５］

なお、補正信号は、アップコンバート以外の目的でも使用することができる。例えば、補正信号を用いて、画素が有するトランジスタの特性のばらつきに起因する表示ムラを補正することができる。このように、補正信号を用いることで、画像信号の生成に係る処理部の負荷を低減することができる。

［００３６］

＜表示システムの構成例１＞

図１（Ａ）に、表示システム１００Ａのブロック図を示す。

［００３７］

表示システム１００Ａは、制御部１５１、記憶部１５２、処理部１５３、入出力部１５４、通信部１５５、及び表示部１５６を有する。他に、タッチセンサ、タッチセンサ制御部、バッテリ、バッテリコントローラ、受電部、アンテナ、撮像部、振動部などを有してもよい。制御部１５１、記憶部１５２、処理部１５３、入出力部１５４、通信部１５５、及び表示部１５６は、バスライン１５７を介して互いに電気的に接続される。

［００３８］

図１（Ｂ）を用いて、表示システム１００Ａにおける画像信号Ｓ２と補正信号Ｗ２の生成について説

明する。
［００３９］
通信部１５５は、外部から受信したデータに基づいた画像信号Ｓ１を処理部１５３に供給する。処理部１５３は、画像信号Ｓ１に含まれるデータに対して画像処理を行い、画像信号Ｓ２を生成する。画像信号Ｓ２は、処理部１５３から表示部１５６に供給される。
［００４０］
処理部１５３は、人工知能（ＡＩ：Ａｒｔｉｆｉｃｉａｌ　Ｉｎｔｅｌｌｉｇｅｎｃｅ）を利用して画像信号Ｓ２を生成する機能を有することが好ましい。これにより、表示部１５６における表示品位を高めることができる。
［００４１］
なお、人工知能とは、人間の知能を模した計算機である。処理部１５３には、例えば、人工ニューラルネットワーク（ＡＮＮ：Ａｒｔｉｆｉｃｉａｌ　Ｎｅｕｒａｌ　Ｎｅｔｗｏｒｋ）を用いることができる。人工ニューラルネットワークとは、ニューロンとシナプスで構成される神経網を模した回路であり、人工ニューラルネットワークは人工知能の一種である。本明細書等において「ニューラルネットワーク」と記載する場合、特に人工ニューラルネットワークを指す。
［００４２］
図１（Ａ）、図１（Ｂ）では、処理部１５３は、ニューラルネットワーク１５９を有する例を示す。
［００４３］
画像信号Ｓ１に含まれるデータに対して行う画像処理の例としては、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などが挙げられる。色調補正処理や輝度補正処理は、ガンマ補正などを用いて行うことができる。また、処理部１５３は、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行する機能を有していてもよい。
［００４４］
ノイズ除去処理としては、文字などの輪郭の周辺に生じるモスキートノイズ、高速の動画で生じるブロックノイズ、ちらつきを生じさせるランダムノイズ、解像度のアップコンバートにより生じるドットノイズなどのさまざまなノイズの除去が挙げられる。
［００４５］
階調変換処理は、画像信号Ｓ１が有する画像データが示す階調を表示部１５６の出力特性に対応した階調へ変換する処理である。例えば階調数を大きくする場合、小さい階調数で入力された画像に対して、各画素に対応する階調値を補間して割り当てることで、ヒストグラムを平滑化する処理を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ（ＨＤＲ）処理も、階調変換処理に含まれる。
［００４６］
色調補正処理は、映像の色調を補正する処理である。また輝度補正処理は、映像の明るさ（輝度コントラスト）を補正する処理である。例えば、表示部１５６が設けられる空間の照明の種類や輝度、または色純度などに応じて、表示部１５６に表示される映像の輝度や色調が最適となるように補正される。
［００４７］
フレーム間補間処理は、表示する映像のフレーム周波数を増大させる場合に、本来存在しないフレーム（補間フレーム）の画像を生成する処理である。例えば、ある２枚の画像の差分から２枚の画像の

間に挿入する補間フレームの画像を生成する。または２枚の画像の間に複数枚の補間フレームの画像を生成することもできる。例えば画像データのフレーム周波数が６０Ｈｚであったとき、複数枚の補間フレームを生成することで、表示部１５６に出力される画像信号のフレーム周波数を、２倍の１２０Ｈｚ、４倍の２４０Ｈｚ、または８倍の４８０Ｈｚなどに増大させることができる。

［００４８］

また、処理部１５３には、記憶部１５２から補正データＷ１が供給される。処理部１５３は、補正データＷ１に基づいた補正信号Ｗ２を生成する。補正信号Ｗ２は、処理部１５３から表示部１５６に供給される。

［００４９］

補正データＷ１は、事前に、人工知能を利用して生成されたデータであることが好ましい。

［００５０］

当該補正データＷ１を用いて生成した補正信号Ｗ２を、画像信号Ｓ２に付加することで、例えば、画像のアップコンバートを行うことができる。または、画素が有するトランジスタの特性のばらつきに起因する表示ムラを補正することができる。

［００５１］

図２及び図３を用いて、本発明の一態様の表示システムにおけるアップコンバートと、比較例のアップコンバートと、について説明する。

［００５２］

画像信号Ｓ１をアップコンバートせずに画像信号Ｓ２を生成し、かつ、補正信号Ｗ２も用いない場合、低解像度の画像データを高解像度の表示部１５６で表示しようとすると、複数の画素に同じ画像信号が供給されることになる。例えば、８Ｋ４Ｋの表示装置の画素数は、４Ｋ２Ｋの表示装置の画素数（３８４０×２１６０）の４倍である。つまり、４Ｋ２Ｋの表示装置の画像データを単純に８Ｋ４Ｋの表示装置で表示しようとすると、４Ｋ２Ｋの表示装置の１画素に供給される画像信号が、８Ｋ４Ｋの表示装置の４画素に供給されることになる。

［００５３］

図３は、比較例における、上記を想定した水平垂直方向の４画素に表示される画像を説明する図である。図３に示すように、アップコンバート前では４画素全てが画像信号Ｓ１を用いて画像を表示することになるが、アップコンバート後ではそれぞれの画素に画像信号Ｓ１ａ乃至Ｓ１ｃが供給され、解像度を向上することができる。さらに、アップコンバート後に画像処理を行うことで、より高品質な画像を表示することができる。画像処理後ではそれぞれの画素に画像信号Ｓ２ａ乃至Ｓ２ｃが供給される。

［００５４］

しかし、アップコンバート後に画像処理を行うことで、演算量が増加し、処理部の消費電力の増加や、表示の遅延が発生してしまう。

［００５５］

一方、本発明の一態様の表示システムでは、画像信号に、補正信号を付加することができる。そのため、図２（Ａ）に示すように、画像信号Ｓ１をアップコンバートせずに、画像信号Ｓ１に画像処理を行い、画像信号Ｓ２を生成する。これにより、画像処理の演算量を低減し、消費電力を低減させることができる。そして、４画素に同じ画像信号Ｓ２を供給する。

［００５６］

また、各画素には、補正信号Ｗ２ａ乃至Ｗ２ｃを供給する。ここで、補正信号Ｗ２ａ乃至Ｗ２ｃを生成する方法は限定されない。図１（Ｂ）に示すように、記憶部１５２に保存されている補正データＷ１を読み出して、当該補正データＷ１に基づいた補正信号Ｗ２を生成してもよい。補正信号Ｗ２の生成をリアルタイムで行わない場合、演算量の低減に伴い、消費電力が低減され、また表示の遅延を抑制でき、好ましい。または、後述するように、画像信号Ｓ１を用いてリアルタイムで補正信号Ｗ２を生成してもよい（図４（Ｂ）などを参照）。補正信号Ｗ２の生成をリアルタイムで行う場合、アップコンバートの質を高めることができ、好ましい。この場合においても、画像信号Ｓ２の生成における演算量を低減できる。特に、画像信号Ｓ２の生成と、補正信号Ｗ２の生成と、を同時に行うことで、表示の遅延を抑制でき、好ましい。

［００５７］

そして、図２（Ｂ）に示すように、画像信号Ｓ２に各補正信号が付加され、新しい画像信号Ｓ２ａ乃至Ｓ２ｃが生成される。画像処理により生成された画像信号Ｓ２に、各補正信号が付加されることで、画素では、元の画像信号Ｓ１をアップコンバートした表示を行うことができる。

［００５８］

図４（Ａ）に、表示システム１００Ｂのブロック図を示す。

［００５９］

処理部１５３は、複数のニューラルネットワークを有していてもよい。表示システム１００Ｂでは、処理部１５３が、ニューラルネットワーク１５９ａ及びニューラルネットワーク１５９ｂを有する。

［００６０］

図４（Ｂ）、図４（Ｃ）を用いて、表示システム１００Ｂにおける画像信号Ｓ２と補正信号Ｗ２の生成について説明する。

［００６１］

通信部１５５は、外部から受信したデータに基づいた画像信号Ｓ１を処理部１５３に供給する。処理部１５３は、ニューラルネットワーク１５９ａを用いて、画像信号Ｓ１に含まれるデータに対して画像処理を行い、画像信号Ｓ２を生成する。また、処理部１５３は、ニューラルネットワーク１５９ｂ及び画像信号Ｓ１に含まれるデータを用いて、補正信号Ｗ２を生成する。画像信号Ｓ２及び補正信号Ｗ２は、処理部１５３から表示部１５６に供給される。

［００６２］

表示システム１００Ｂでは、画像信号Ｓ１を用いて補正信号Ｗ２を生成するため、表示システム１００Ａに比べて、高品質なアップコンバートを実現できる。例えば、膨大な数の画像を教師データとして学習したディープニューラルネットワークを用いることで、精度の高い補正信号Ｗ２を生成することができる。

［００６３］

補正信号Ｗ２により、解像度のアップコンバートに伴う画素間補間処理を行うことができる。画素間補間処理は、解像度をアップコンバートした際に、本来存在しないデータを補間する処理である。例えば、目的の画素の周囲の画素を参照し、それらの中間色を表示するようにデータを補間する。

［００６４］

処理部１５３は、画像信号Ｓ１をアップコンバートせずに、画像信号Ｓ１に画像処理を行い、画像信号Ｓ２を生成する。これにより、リアルタイムで補正信号Ｗ２を生成する場合においても、画像処理の演算量を低減することができる。また、画像信号Ｓ２の生成と補正信号Ｗ２の生成を並行して行う

ことで、表示の遅延を抑制することができる。
［００６５］
図４（Ｂ）には、ニューラルネットワーク１５９ｂに、画像信号Ｓ１のみが供給される例を示す。図４（Ｃ）には、ニューラルネットワーク１５９ｂに、画像信号Ｓ１に加えて、補正データＷ１が供給される例を示す。画像信号Ｓ１及び補正データＷ１を用いて生成された補正信号Ｗ２を、画像信号Ｓ２に付加することで、例えば、画像のアップコンバートに加えて、画素が有するトランジスタの特性のばらつきに起因する表示ムラを補正することができる。
［００６６］
図５（Ａ）～図５（Ｆ）を用いて、本実施の形態の表示システムにおける画像信号Ｓ２と補正信号Ｗ２の生成の変形例について説明する。
［００６７］
画像信号Ｓ１を用いて、画像信号Ｓ２及び補正信号Ｗ２を生成する場合、図５（Ａ）に示すように、画像信号Ｓ２の生成にのみ、ニューラルネットワーク１５９を用いてもよいし、図５（Ｂ）に示すように、補正信号Ｗ２の生成にのみ、ニューラルネットワーク１５９を用いてもよい。ニューラルネットワーク１５９を用いない信号の生成は、人工知能を利用した他の方法で行ってもよいし、人工知能を利用しない方法で行ってもよい。図５（Ｃ）、図５（Ｄ）に示すように、補正信号Ｗ２を、画像信号Ｓ１及び補正データＷ１を用いて生成する場合においても同様である。
［００６８］
図５（Ｅ）、図５（Ｆ）に示すように、１つのニューラルネットワーク１５９を用いて、同時に画像信号Ｓ２及び補正信号Ｗ２を生成してもよい。このとき、ニューラルネットワークの出力層からは、画像信号Ｓ２のデータと補正信号Ｗ２のデータの双方が出力される。図５（Ｅ）におけるニューラルネットワークの入力層には、画像信号Ｓ１のデータが入力される。図５（Ｆ）におけるニューラルネットワークの入力層には、画像信号Ｓ１のデータと補正データＷ１の双方が入力される。
［００６９］
本発明の一態様では、画像処理によって画像信号が有するデータの解像度は変化させず、画像信号に加えて補正信号を供給した画素で新たな画像信号を生成することで、映像の解像度を高めるため、演算量の低減、消費電力の低減、回路規模の縮小、または表示の遅延の抑制などを実現することができる。そのため、高解像度または表示品位の高い表示システムを実現することができる。また、表示システムの大型化、低消費電力化を実現することができる。また、後述するように、新たな画像信号を画素で生成するための動作は少ないステップで行うことができ、画素数が多く水平期間の短い表示装置でも実現することができる。そのため、高いフレーム周波数で動作可能な表示システムを実現できる。
［００７０］
次に、表示システムの構成要素について説明する。なお、以下では、表示システム１００Ａを例に挙げて説明するが、表示システム１００Ｂにも同様の構成を適用できる。
［００７１］
［制御部１５１］
制御部１５１（Ｃｏｎｔｒｏｌｌｅｒ）は、表示システム１００Ａ全体の動作を制御する機能を有する。制御部１５１は、記憶部１５２、処理部１５３、入出力部１５４、通信部１５５、及び表示部１５６などの動作を制御する。

［００７２］

［記憶部１５２］

記憶部１５２としては、例えば、フラッシュメモリ、MRAM（Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＰＲＡＭ（Ｐｈａｓｅ ｃｈａｎｇｅ ＲＡＭ）、ＲｅＲＡＭ（Ｒｅｓｉｓｔｉｖｅ ＲＡＭ）、ＦｅＲＡＭ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ ＲＡＭ）などの不揮発性の記憶素子が適用された記憶装置、またはＤＲＡＭ（Ｄｙｎａｍｉｃ ＲＡＭ）やＳＲＡＭ（Ｓｔａｔｉｃ ＲＡＭ）などの揮発性の記憶素子が適用された記憶装置等を用いてもよい。また例えばハードディスクドライブ（ＨＤＤ：Ｈａｒｄ Ｄｉｓｋ Ｄｒｉｖｅ）やソリッドステートドライブ（ＳＳＤ：Ｓｏｌｉｄ Ｓｔａｔｅ Ｄｒｉｖｅ）などの記録メディアドライブを用いてもよい。

［００７３］

入出力部１５４を介してコネクタにより脱着可能なＨＤＤまたはＳＳＤなどの記憶装置や、フラッシュメモリ、ブルーレイディスク、ＤＶＤなどの記録媒体のメディアドライブを記憶部１５２として用いることもできる。なお、記憶部１５２を表示システム１００Ａに内蔵せず、表示システム１００Ａの外部に置かれる記憶装置を記憶部１５２として用いてもよい。その場合、記憶部１５２は、入出力部１５４を介して表示システム１００Ａと接続される。または通信部１５５を介して、無線通信でデータのやりとりをする構成であってもよい。

［００７４］

記憶部１５２には、処理部１５３で用いるプログラム、アルゴリズム、重み係数などが記憶されている。また、記憶部１５２には、表示部１５６に表示する映像情報などが記憶されている。また、記憶部１５２には、補正データＷ１が記憶されていてもよい。

［００７５］

［処理部１５３］

処理部１５３は、表示システム１００Ａ全体の動作に関わる演算を行う機能を有し、例えば中央演算処理装置（ＣＰＵ:Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）などを用いることができる。

［００７６］

処理部１５３としては、ＣＰＵのほか、ＤＳＰ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｌ Ｐｒｏｃｅｓｓｏｒ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）などの他のマイクロプロセッサを単独で、または組み合わせて用いることができる。またこれらマイクロプロセッサをＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）やＦＰＡＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ａｎａｌｏｇ Ａｒｒａｙ）といったＰＬＤ（Ｐｒｏｇｒａｍｍａｂｌｅ Ｌｏｇｉｃ Ｄｅｖｉｃｅ）によって実現してもよい。

［００７７］

処理部１５３は、ニューラルネットワーク１５９（図中ではＮＮ１５９とも記す）を有する。ニューラルネットワーク１５９はソフトウェアで構成してもよい。

［００７８］

処理部１５３は、プロセッサにより種々のプログラムからの命令を解釈し実行することで、各種のデータ処理やプログラム制御を行う。プロセッサにより実行しうるプログラムは、プロセッサが有するメモリ領域に格納されていてもよいし、記憶部１５２に格納されていてもよい。

［００７９］

処理部１５３はメインメモリを有していてもよい。メインメモリは、ＲＡＭ（Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、などの揮発性メモリや、ＲＯＭ（Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）などの不揮発性メモリを備える構成とすることができる。

［００８０］

メインメモリに設けられるＲＡＭとしては、例えばＤＲＡＭが用いられ、処理部１５３の作業空間として仮想的にメモリ空間が割り当てられ利用される。記憶部１５２に格納されたオペレーティングシステム、アプリケーションプログラム、プログラムモジュール、プログラムデータ等は、実行のためにＲＡＭにロードされる。ＲＡＭにロードされたこれらのデータやプログラム、プログラムモジュールは、処理部１５３に直接アクセスされ、操作される。

［００８１］

一方、ＲＯＭには書き換えを必要としないＢＩＯＳ（Ｂａｓｉｃ　Ｉｎｐｕｔ／Ｏｕｔｐｕｔ　Ｓｙｓｔｅｍ）やファームウェア等を格納することができる。ＲＯＭとしては、マスクＲＯＭや、ＯＴＰＲＯＭ（Ｏｎｅ　Ｔｉｍｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）、ＥＰＲＯＭ（Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ）等を用いることができる。ＥＰＲＯＭとしては、紫外線照射により記憶データの消去を可能とするＵＶ－ＥＰＲＯＭ(Ｕｌｔｒａ－Ｖｉｏｌｅｔ　Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ)、ＥＥＰＲＯＭ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｅｒａｓａｂｌｅ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｒｅａｄ　Ｏｎｌｙ　Ｍｅｍｏｒｙ)、フラッシュメモリなどが挙げられる。

［００８２］

処理部１５３の演算をハードウェアによって行う場合、チャネル形成領域にシリコンまたは酸化物半導体を含むトランジスタによって構成された演算回路が好適である。例えば、チャネル形成領域にシリコン（アモルファスシリコン、低温ポリシリコン、または単結晶シリコン）または酸化物半導体を含むトランジスタによって構成された演算回路が好適である。また、実施の形態２で詳述するが、処理部１５３で積和演算を行う場合、積和演算回路を構成するトランジスタとして、酸化物半導体を含むトランジスタが好適である。

［００８３］

［入出力部１５４］

入出力部１５４としては、例えば、入力コンポーネントが接続可能な外部ポートなどが挙げられる。入出力部１５４は、バスライン１５７を介して処理部１５３と電気的に接続される。

［００８４］

外部ポートとしては、例えば、コンピュータやプリンタなどの外部装置にケーブルを介して接続できる構成とすることができる。代表的には、ＵＳＢ端子などがある。また、外部ポートとして、ＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）接続用端子、デジタル放送の受信用端子、ＡＣアダプタを接続する端子等を有していてもよい。また、有線だけでなく、赤外線、可視光、紫外線などを用いた光通信用の送受信機を設けてもよい。

［００８５］

［通信部１５５］

通信部１５５は、例えば制御部１５１からの命令に応じて表示システム１００Ａをコンピュータネットワークに接続するための制御信号を制御し、当該信号をコンピュータネットワークに発信する。表

示システム１００Ａにアンテナを設けて、当該アンテナを介して通信を行ってもよい。
［００８６］
通信部１５５によって、Ｗｏｒｌｄ Ｗｉｄｅ Ｗｅｂ（WWW）の基盤であるインターネット、イントラネット、エクストラネット、ＰＡＮ（Ｐｅｒｓｏｎａｌ Ａｒｅａ Ｎｅｔｗｏｒｋ）、ＬＡＮ、ＣＡＮ（Ｃａｍｐｕｓ Ａｒｅａ Ｎｅｔｗｏｒｋ）、ＭＡＮ（Ｍｅｔｒｏｐｏｌｉｔａｎ Ａｒｅａ Ｎｅｔｗｏｒｋ）、ＷＡＮ（Ｗｉｄｅ Ａｒｅａ Ｎｅｔｗｏｒｋ）、ＧＡＮ（Ｇｌｏｂａｌ Ａｒｅａ Ｎｅｔｗｏｒｋ）等のコンピュータネットワークに表示システム１００Ａを接続させ、通信を行うことができる。また複数の異なる通信方法を用いる場合には、通信方法に応じて複数のアンテナを設けてもよい。
［００８７］
通信部１５５には、例えば高周波回路（ＲＦ回路）を設け、ＲＦ信号の送受信を行えばよい。高周波回路は、各国法制により定められた周波数帯域の電磁信号と電気信号とを相互に変換し、当該電磁信号を用いて無線で他の通信機器との間で通信を行うための回路である。実用的な周波数帯域として数１０ｋＨｚ～数１０ＧＨｚが一般に用いられている。高周波回路は、複数の周波数帯域に対応した回路部を有し、当該回路部は、増幅器（アンプ）、ミキサ、フィルタ、ＤＳＰ、ＲＦトランシーバ等を有する構成とすることができる。無線通信を行う場合、通信プロトコルまたは通信技術として、ＬＴＥ（Ｌｏｎｇ Ｔｅｒｍ Ｅｖｏｌｕｔｉｏｎ）、ＧＳＭ（Ｇｌｏｂａｌ Ｓｙｓｔｅｍ ｆｏｒ Ｍｏｂｉｌｅ Ｃｏｍｍｕｎｉｃａｔｉｏｎ：登録商標）、ＥＤＧＥ（Ｅｎｈａｎｃｅｄ Ｄａｔａ Ｒａｔｅｓ ｆｏｒ ＧＳＭ Ｅｖｏｌｕｔｉｏｎ）、ＣＤＭＡ２０００（Ｃｏｄｅ Ｄｉｖｉｓｉｏｎ Ｍｕｌｔｉｐｌｅ Ａｃｃｅｓｓ ２０００）、ＷＣＤＭＡ（Ｗｉｄｅｂａｎｄ Ｃｏｄｅ Ｄｉｖｉｓｉｏｎ Ｍｕｌｔｉｐｌｅ Ａｃｃｅｓｓ：登録商標）などの通信規格、またはＷｉ－Ｆｉ（登録商標）、Ｂｌｕｅｔｏｏｔｈ（登録商標）、ＺｉｇＢｅｅ（登録商標）等のＩＥＥＥにより通信規格化された仕様を用いることができる。また、国際電気通信連合（ＩＴＵ）が定める第３世代移動通信システム（３Ｇ）、第４世代移動通信システム（４Ｇ）、または第５世代移動通信システム（５Ｇ）などを用いることもできる。
［００８８］
また、通信部１５５は、表示システム１００Ａを電話回線と接続する機能を有していてもよい。電話回線を通じた通話を行う場合には、通信部１５５は、制御部１５１からの命令に応じて、表示システム１００Ａを電話回線に接続するための接続信号を制御し、当該信号を電話回線に発信する。
［００８９］
通信部１５５は、受信した放送電波から、表示部１５６に出力する画像信号を生成するチューナーを有していてもよい。例えばチューナーは、復調回路と、Ａ－Ｄ変換回路（アナログ－デジタル変換回路）と、デコーダ回路等を有する構成とすることができる。復調回路は入力された信号を復調する機能を有する。Ａ－Ｄ変換回路は、復調されたアナログ信号をデジタル信号に変換する機能を有する。デコーダ回路は、デジタル信号に含まれる映像データをデコードし、画像信号を生成する機能を有する。
［００９０］
また、デコーダが分割回路と、複数のプロセッサを有する構成としてもよい。分割回路は、入力された映像のデータを空間的、時間的に分割し、各プロセッサに出力する機能を有する。複数のプロセッサは、入力された映像データをデコードし、画像信号を生成する。このように、デコーダとして、複

数のプロセッサによりデータを並列処理する構成を適用することで、極めて情報量の多い映像データをデコードすることができる。特にフルハイビジョンを超える解像度を有する映像を表示する場合には、圧縮されたデータをデコードするデコーダ回路が極めて高速な処理能力を有するプロセッサを有していることが好ましい。また、例えばデコーダ回路は、４以上、好ましくは８以上、より好ましくは１６以上の並列処理が可能な複数のプロセッサを含む構成とすることが好ましい。またデコーダは、入力された信号に含まれる映像用の信号と、それ以外の信号（文字情報、番組情報、認証情報等）を分離する回路を有していてもよい。

［００９１］

通信部１５５により受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられる。また通信部１５５により受信できる放送電波として、アナログ放送、デジタル放送などがあり、また映像及び音声、または音声のみの放送などがある。例えばＵＨＦ帯（約３００ＭＨｚ～３ＧＨｚ）またはＶＨＦ帯（３０ＭＨｚ～３００ＭＨｚ）のうちの特定の周波数帯域で送信される放送電波を受信することができる。また例えば、複数の周波数帯域で受信した複数のデータを用いることで、転送レートを高くすることができ、より多くの情報を得ることができる。これによりフルハイビジョンを超える解像度を有する映像を、表示部１５６に表示させることができる。例えば、４Ｋ、８Ｋ、１６Ｋ、またはそれ以上の解像度を有する映像を表示させることができる。

［００９２］

また、チューナーはコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、画像信号を生成する構成としてもよい。このとき、受信する信号がデジタル信号の場合には、チューナーは復調回路及びＡ－Ｄ変換回路を有していなくてもよい。

［００９３］

通信部１５５で取得した画像信号は、記憶部１５２に記憶することができる。

［００９４］

また、入出力部１５４または通信部１５５は、補正データを取得する機能を有していてもよい。外部機器によって生成された補正データを取得し、記憶部１５２に記憶することができる。これにより、表示システムが有する補正データを随時更新し、表示品位を向上させることができる。

［００９５］

［表示部１５６］

表示部１５６には、様々な表示装置及び表示素子を適用することができる。例えば、発光表示装置、液晶表示装置などを用いることができる。発光表示装置は、表示素子として、ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｅｎｃｅ）素子（有機ＥＬ素子、無機ＥＬ素子、または、有機物及び無機物を含むＥＬ素子）、ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）などを用いることができる。液晶表示装置は、表示素子として、液晶素子を用いることができる。

［００９６］

図６に、表示部１５６のブロック図の一例を示す。

［００９７］

表示部１５６は、複数の画素１０、走査線駆動回路１２、及び信号線駆動回路１３を有する。複数の画素１０は、マトリクス状に設けられている。

［００９８］

走査線駆動回路１２及び信号線駆動回路１３には、例えばシフトレジスタ回路を用いることができる。

［００９９］

信号線駆動回路１３には、処理部１５３から画像信号Ｓ２及び補正信号Ｗ２が供給される。処理部１５３は、供給された画像信号Ｓ１（及び補正データＷ１）を用いて、画像信号Ｓ２及び補正信号Ｗ２を生成する。

［０１００］

＜画素の構成例１＞

次に、発光素子を有する画素の構成例及び動作例について、図７～図１０を用いて説明する。

［０１０１］

図７に画素１０ａの回路図を示す。

［０１０２］

画素１０ａは、トランジスタ１０１、トランジスタ１０２、トランジスタ１１１、トランジスタ１１２、容量素子１０３、容量素子１１３、及び発光素子１０４を有する。

［０１０３］

トランジスタ１０１のソースまたはドレインの一方は、容量素子１１３の一方の電極と電気的に接続される。容量素子１１３の他方の電極は、トランジスタ１１１のソースまたはドレインの一方と電気的に接続される。トランジスタ１１１のソースまたはドレインの一方は、トランジスタ１１２のゲートと電気的に接続される。トランジスタ１１２のゲートは、容量素子１０３の一方の電極と電気的に接続される。容量素子１０３の他方の電極は、トランジスタ１１２のソースまたはドレインの一方と電気的に接続される。トランジスタ１１２のソースまたはドレインの一方は、トランジスタ１０２のソースまたはドレインの一方と電気的に接続される。トランジスタ１０２のソースまたはドレインの他方は、発光素子１０４の一方の電極と電気的に接続される。

［０１０４］

ここで、容量素子１１３の他方の電極、トランジスタ１１１のソースまたはドレインの一方、トランジスタ１１２のゲート、及び容量素子１０３の一方の電極が接続されるノードをノードＮＭとする。また、トランジスタ１０２のソースまたはドレインの他方及び発光素子１０４の一方の電極が接続されるノードをノードＮＡとする。

［０１０５］

トランジスタ１０１のゲートは、配線１２２と電気的に接続される。トランジスタ１０２のゲートは、配線１２６と電気的に接続される。トランジスタ１１１のゲートは、配線１２１に電気的に接続される。トランジスタ１０１のソースまたはドレインの他方は、配線１２５と電気的に接続される。トランジスタ１１１のソースまたはドレインの他方は、配線１２４と電気的に接続される。

［０１０６］

トランジスタ１１２のソースまたはドレインの他方は、電源線１２８（高電位）と電気的に接続される。発光素子１０４の他方の電極は、共通配線１２９と電気的に接続される。なお、共通配線１２９には、任意の電位を供給することができる。

［０１０７］

配線１２１、１２２、１２６は、トランジスタの動作を制御するための信号線としての機能を有することができる。配線１２５は、画素１０ａに画像信号を供給する信号線としての機能を有することができる。また、配線１２４は、記憶回路ＭＥＭにデータを書き込むための信号線としての機能を有することができる。配線１２４は、画素１０ａに補正信号を供給する信号線としての機能を有すること

ができる。
［０１０８］
トランジスタ１１１、トランジスタ１１２、及び容量素子１１３は、記憶回路ＭＥＭを構成する。ノードNMは記憶ノードであり、トランジスタ１１１を導通させることで、配線１２４に供給された信号をノードNMに書き込むことができる。トランジスタ１１１に極めてオフ電流が小さいトランジスタを用いることで、ノードNMの電位を長時間保持することができる。
［０１０９］
トランジスタ１１１には、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、ＯＳトランジスタ）を用いることができる。これにより、トランジスタ１１１のオフ電流を極めて小さくすることができ、ノードNMの電位を長時間保持することができる。このとき、画素を構成するその他のトランジスタにも、ＯＳトランジスタを用いることが好ましい。
［０１１０］
また、トランジスタ１１１に、Ｓｉをチャネル形成領域に有するトランジスタ（以下、Ｓｉトランジスタ）を適用してもよい。このとき、画素を構成するその他のトランジスタにも、Ｓｉトランジスタを用いることが好ましい。
［０１１１］
Ｓｉトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（代表的には、低温ポリシリコン）を有するトランジスタ、単結晶シリコンを有するトランジスタなどが挙げられる。
［０１１２］
また、１つの画素は、ＯＳトランジスタとＳｉトランジスタとの両方を有していてもよい。
［０１１３］
表示素子にＥＬ素子または反射型の液晶素子を用いる場合はシリコン基板を用いることができ、ＳｉトランジスタとＯＳトランジスタとが重なる領域を有するように形成することができる。したがって、トランジスタ数が比較的多くても画素密度を向上させることができる。
［０１１４］
ＯＳトランジスタに用いる半導体材料としては、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ、または、Ｃ－Ａｘｉｓ Ａｌｉｇｎｅｄ ａｎｄ Ａ－Ｂ－ｐｌａｎｅ Ａｎｃｈｏｒｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）またはＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ）－ＯＳなどを用いることができる。ＣＡＡＣ－ＯＳは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、ＣＡＣ－ＯＳは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。
［０１１５］
ＯＳトランジスタはエネルギーギャップが大きいため、極めて小さいオフ電流を示す。また、ＯＳトランジスタは、インパクトイオン化、アバランシェ降伏、及び短チャネル効果などが生じないなどＳｉトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。
［０１１６］

ＯＳトランジスタが有する半導体層は、例えばインジウム、亜鉛及びＭ（Ａｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、Ｓｎ、Ｎｄ、またはＨｆ等の金属）を含むＩｎ－Ｍ－Ｚｎ系酸化物で表記される膜とすることができる。

［０１１７］

半導体層を構成する酸化物半導体がＩｎ－Ｍ－Ｚｎ系酸化物の場合、Ｉｎ－Ｍ－Ｚｎ酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ≧Ｍ、Ｚｎ≧Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８等が好ましい。なお、成膜される半導体層の金属元素の原子数比は、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。

［０１１８］

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が1×10^{17}／cm^3以下、好ましくは1×10^{15}／cm^3以下、さらに好ましくは1×10^{13}／cm^3以下、より好ましくは1×10^{11}／cm^3以下、さらに好ましくは1×10^{10}／cm^3未満であり、1×10^{-9}／cm^3以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

［０１１９］

なお、これらに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、閾値電圧等）に応じて適切な組成の材料を用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切な値とすることが好ましい。

［０１２０］

半導体層を構成する酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、ｎ型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、2×10^{18}ａｔｏｍｓ／cm^3以下、好ましくは2×10^{17}ａｔｏｍｓ／cm^3以下とする。

［０１２１］

また、アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属またはアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、1×10^{18}ａｔｏｍｓ／cm^3以下、好ましくは2×10^{16}ａｔｏｍｓ／cm^3以下にする。

［０１２２］

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、5×10^{18}ａｔｏｍｓ／cm^3以下にすることが好ましい。

［０１２３］

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、ｃ軸に配向した結晶を有するＣＡＡＣ－ＯＳ、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、ＣＡＡＣ－ＯＳは最も欠陥準位密度が低い。

［０１２４］

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

［０１２５］

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、ＣＡＡＣ－ＯＳの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

［０１２６］

ＣＡＣ－ＯＳの構成については、実施の形態５で詳述する。

［０１２７］

画素１０ａにおいて、ノードNMに書き込まれた信号は、配線１２５から供給される画像信号と容量結合され、ノードＮＡに出力することができる。なお、トランジスタ１０１は、画素を選択する機能を有することができる。トランジスタ１０２は、発光素子１０４の発光を制御するスイッチとしての機能を有することができる。

［０１２８］

例えば、配線１２４からノードNMに書き込まれた信号がトランジスタ１１２の閾値電圧（V_{th}）より大きい場合、画像信号が書き込まれる前にトランジスタ１１２が導通し、発光素子１０４が発光してしまう。したがって、トランジスタ１０２を設け、ノードNMの電位が確定したのちにトランジスタ１０２を導通させ、発光素子１０４を発光させることが好ましい。

［０１２９］

すなわち、ノードNMに所望の補正信号を格納しておけば、供給した画像信号に当該補正信号を付加することができる。なお、補正信号は伝送経路上の要素によって減衰することがあるため、当該減衰を考慮して生成することが好ましい。

［０１３０］

図８（A）、図８（B）に示すタイミングチャートを用いて、画素１０ａの動作の詳細を説明する。なお、配線１２４に供給される補正信号（Ｖｐ）は正負の任意の信号を用いることができるが、ここでは正の信号が供給される場合を説明する。また、以下の説明においては、高電位を“H”、低電位を“L”で表す。

［０１３１］

まず、図８（A）を用いて補正信号（Ｖｐ）をノードNMに書き込む動作を説明する。なお、アップコンバートを目的とする場合、通常は当該動作をフレーム毎に行うことが好ましい。例えば、図４（B）、図４（C）のように、画像信号Ｓ１を用いて補正信号Ｗ２を生成する機能を有する表示システムの場合、当該動作をフレーム毎に行う。

［０１３２］

図１（B）のように、画像信号Ｓ１を用いずに補正信号Ｗ２を生成する機能を有する表示システムの場合、当該動作をフレーム毎に行う必要はなく、少なくとも、画像信号Ｓ２を供給する前に１度書き込めばよい。また、適宜、リフレッシュ動作を行い、同じ補正信号Ｗ２をノードNMに書き直しても

よい。

［０１３３］

時刻Ｔ１に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｈ”、配線１２５の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１０１が導通し、容量素子１１３の他方の電極の電位は“Ｌ”となる。

［０１３４］

当該動作は、後の容量結合動作を行うためのリセット動作である。また、時刻Ｔ１以前は、前フレームにおける発光素子１０４の発光動作が行われているが、上記リセット動作によってノードNMの電位が変化し発光素子１０４に流れる電流が変化するため、トランジスタ１０２を非導通とし、発光素子１０４の発光を停止することが好ましい。

［０１３５］

時刻Ｔ２に配線１２１の電位を“Ｈ”、配線１２２の電位を“Ｈ”、配線１２５の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１１１が導通し、配線１２４の電位（補正信号（Ｖｐ））がノードNMに書き込まれる。

［０１３６］

時刻Ｔ３に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｈ”、配線１２５の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１１１が非導通となり、ノードNMに補正信号（Ｖｐ）が保持される。

［０１３７］

時刻Ｔ４に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｌ”、配線１２５の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１０１が非導通となり、補正信号（Ｖｐ）の書き込み動作が終了する。

［０１３８］

次に、図８（Ｂ）を用いて画像信号（Ｖｓ）の補正動作と、発光素子１０４を発光させる動作を説明する。

［０１３９］

時刻Ｔ１１に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｈ”、配線１２４の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１０１が導通し、容量素子１１３の容量結合によりノードNMの電位に配線１２５の電位が付加される。すなわち、ノードNMは、画像信号（Ｖｓ）に補正信号（Ｖｐ）が付加された電位（Ｖｓ＋Ｖｐ）となる。

［０１４０］

時刻Ｔ１２に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｌ”、配線１２４の電位を“Ｌ”、配線１２６の電位を“Ｌ”とすると、トランジスタ１０１が非導通となり、ノードNMの電位がＶｓ＋Ｖｐに確定される。

［０１４１］

時刻Ｔ１３に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｌ”、配線１２４の電位を“Ｌ”、配線１２６の電位を“Ｈ”とすると、トランジスタ１０２が導通し、ノードＮＡの電位はＶｓ＋Ｖｐとなり、発光素子１０４が発光する。なお、厳密にはノードＮＡの電位は、Ｖｓ＋Ｖｐからトランジスタ１１２の閾値電圧（V_{th}）分だけ低い値となるが、ここではV_{th}は十分に小さく無視できる値とする。

［０１４２］

以上が画像信号（Ｖｓ）の補正動作と、発光素子１０４を発光させる動作である。なお、先に説明した補正信号（Ｖｐ）の書き込み動作と、画像信号（Ｖｓ）の入力動作は連続して行ってもよいが、全ての画素に補正信号（Ｖｐ）を書き込んだのちに画像信号（Ｖｓ）の入力動作を行うことが好ましい。本発明の一態様では複数の画素に同じ画像信号を同時に供給することができるため、先に全ての画素に補正信号（Ｖｐ）を書き込むことで動作速度を向上させることができる。

［０１４３］

本発明の一態様の表示システムは、画素においてアップコンバートした画像を生成する構成である。当該表示システムにおいて、画素に供給する画像信号は解像度の低い画像信号であり、複数の画素に同じ画像信号を供給することがある。図２（Ａ）、図２（Ｂ）に示す例では、水平垂直方向の４画素に同じ画像信号を供給する。この場合、各画素に接続される信号線のそれぞれに同じ画像信号を供給してもよいが、同じ画像信号を供給する信号線同士を電気的に接続することで、画像信号の書き込み動作を高速化することができる。

［０１４４］

図９は、カラー表示が行える表示部１５６の一部を示す図であり、同じ画像信号を供給する信号線同士がスイッチを介して電気的に接続することができる構成を表している。一般的にカラー表示が行える表示装置の画素は、Ｒ（赤）、Ｇ（緑）Ｂ（青）のそれぞれの色を発する副画素の組み合わせを有する。図９では、水平方向に並ぶＲ、Ｇ、Ｂの３つの副画素が一つの画素を構成することになり、水平垂直方向の４画素を表している。

［０１４５］

ここで、図２（Ａ）、図２（Ｂ）で説明したように、水平垂直方向の４画素には同じ画像信号が入力される。図９においては、画素Ｒ１乃至Ｒ４に同じ画像信号が入力されることになる。例えば、画素Ｒ１乃至Ｒ４のそれぞれに接続され、信号線として機能する配線１２５［１］、１２５［４］に同じ画像信号を供給し、走査線として機能する配線１２２［１］、１２２［２］に順次信号を入力することで全ての画素に同じ画像信号を入力することができる。ただし、当該方法では、同じ画像信号を複数の画素に供給するにあたって、無駄が多い。

［０１４６］

本発明の一態様では、信号線間に設けられたスイッチによって二つの信号線を導通させること、及び走査線間に設けられたスイッチによって二つの走査線を導通させることにより４画素の同時書き込みを可能にする。

［０１４７］

図９に示すように、配線１２５［１］と配線１２５［４］との間に設けられたスイッチ１４１を導通させることで、配線１２５［１］または配線１２５［４］の一方に供給された画像信号を画素Ｒ１及び画素Ｒ２に同時に書き込むことができる。このとき、配線１２２［１］と配線１２２［２］との間に設けられたスイッチ１４４を導通させておくことで、画像信号を画素Ｒ３及び画素Ｒ４にも同時に書き込むことができる。すなわち、４画素の同時書き込みが可能となる。

［０１４８］

同様に配線１２５［２］と配線１２５［５］との間に設けられたスイッチ１４２、及び配線１２５［３］と配線１２５［６］との間に設けられたスイッチ１４３を必要に応じて導通させることで、他の４画素においても同時書き込みが可能となる。スイッチ１４１乃至１４４としては、例えば、トランジス

タを用いることができる。
［０１４９］
４画素の同時書き込みが行えることで、書き込み時間を短縮することができ、フレーム周波数を高めることもできる。
［０１５０］
図１０（Ａ）に示す画素１０ｂは、図７に示す画素１０ａからトランジスタ１０２を省いて得た構成である。
［０１５１］
前述したように、トランジスタ１０２はノードNMに書き込む信号がトランジスタ１１２の閾値電圧（V_{th}）以上である場合に起こる不具合を解消するために設けられる。ただし、ノードNMに書き込まれる信号がV_{th}より低い値に限定されていればトランジスタ１０２を省くことができる。
［０１５２］
図１０（Ｂ）に示す画素１０ｃは、図７に示す画素１０ａが有する各トランジスタにバックゲートを設けた構成である。当該バックゲートはフロントゲートと電気的に接続されており、オン電流を高める効果を有する。また、バックゲートにフロントゲートと異なる定電位を供給できる構成としてもよい。当該構成とすることで、トランジスタの閾値電圧を制御することができる。なお、図１０（Ｂ）においては、全てのトランジスタにバックゲートを設けた構成を図示しているが、バックゲートが設けられないトランジスタを有していてもよい。また、トランジスタがバックゲートを有する構成は、本実施の形態における他の画素にも有効である。
［０１５３］
＜表示システムの構成例２＞
図１１（Ａ）、図１１（Ｂ）を用いて、本実施の形態の表示システムにおける画像信号Ｓ２と補正信号Ｗ２の生成について説明する。
［０１５４］
処理部１５３は、表示部１５６から供給された信号Ｗ３を用いて、補正信号Ｗ２を生成してもよい。例えば、画素が有するトランジスタの電気特性を取得し、それに基づいた信号Ｗ３を処理部１５３に供給する。当該信号Ｗ３を用いて補正信号Ｗ２を生成することで、表示部１５６の表示ムラの抑制を実現できる。
［０１５５］
図１１（Ａ）には、信号Ｗ３のみを用いて補正信号Ｗ２を生成する例を示す。図１１（Ｂ）には、信号Ｗ３に加えて、記憶部１５２から供給された補正データＷ１を用いて、補正信号Ｗ２を生成する例を示す。補正データＷ１を用いることで、例えば、表示ムラの補正に加えて、画像のアップコンバートなども可能となる。
［０１５６］
図１２に、表示部１５６のブロック図の一例を示す。
［０１５７］
表示部１５６は、複数の画素１０ｄ、走査線駆動回路１２、信号線駆動回路１３、及び回路１５を有する。複数の画素１０ｄは、マトリクス状に設けられている。
［０１５８］
回路１５には、例えばシフトレジスタ回路を用いることができる。回路１５によって配線１３０を順

次選択し、その出力値（信号Ｗ３）を処理部１５３に入力することができる。
［０１５９］
処理部１５３には、画像信号Ｓ１が供給される。さらに、処理部１５３には、補正データＷ１が供給されてもよい。また、上述の通り、処理部１５３には、回路１５から信号Ｗ３が供給される。
［０１６０］
処理部１５３は、画像信号Ｓ２及び補正信号Ｗ２を生成する機能を有する。
［０１６１］
＜画素の構成例２＞
画素の構成例１では、記憶回路ＭＥＭを有する画素におけるアップコンバート動作を主として説明したが、当該画素では、トランジスタの特性ばらつきを補正する動作を行うこともできる。ＥＬ素子を用いた画素では、ＥＬ素子に電流を供給する駆動トランジスタの閾値電圧のばらつきが表示品位に与える影響が大きい。記憶回路ＭＥＭに駆動トランジスタの閾値電圧を補正する信号を保持させ、画像信号に付加することで表示品位を向上させることができる。
［０１６２］
図１３は、図１２に示す画素１０ｄの具体例を示す回路図である。画素１０ｄは、トランジスタ１１２の閾値電圧（V_{th}）を補正する動作を行うことができる。
［０１６３］
画素１０ｄは、図７に示す画素１０ａにトランジスタ１０５及び配線１３０を付加して得た構成である。当該構成の画素を用いることで、トランジスタ１１２の閾値電圧を補正することができる。なお、当該構成の画素を用いて前述したアップコンバートの動作を行ってもよい。また、閾値電圧補正とアップコンバートの両方の動作を行ってもよい。
［０１６４］
トランジスタ１０５のソースまたはドレインの一方は、トランジスタ１１２のソースまたはドレインの一方と電気的に接続される。トランジスタ１０５のソースまたはドレインの他方は、配線１３０と電気的に接続される。トランジスタ１０５のゲートは、配線１２２と電気的に接続される。
［０１６５］
配線１３０は、トランジスタ１１１の電気特性を取得するためのモニタ線としての機能を有する。また、配線１３０からトランジスタ１１１を介して容量素子１０９の一方の電極に特定の電位を供給することにより、画像信号の書き込みを安定化させることもできる。
［０１６６］
画素１０ｄでは、初期動作として外部補正の動作を行うが、生成された補正信号は記憶回路ＭＥＭに格納される。したがって、記憶回路ＭＥＭに補正信号が保持された後は、内部補正のように動作する。
［０１６７］
補正信号の生成及び記憶回路ＭＥＭへの格納を図１２及び図１３を用いて説明する。
［０１６８］
まず、トランジスタ１１１を導通し、ノードＮＭにトランジスタ１１２が導通する標準電位を書き込む。トランジスタ１１２が出力する電流は、トランジスタ１０５を介して処理部１５３に取り込まれる。当該動作を全ての画素に対して行い、ゲートに標準電位を印加したときのトランジスタ１１２が出力する電流値を取得する。
［０１６９］

処理部１５３では電流値を読み取って解析し、電流値が平均値または中央値であるトランジスタを基準として各画素に格納する補正信号Ｗ２を生成する。当該補正信号Ｗ２は、信号線駆動回路１３に入力され、各画素の記憶回路ＭＥＭに格納される。なお、電流値を読み取る機能を有する回路と、補正信号Ｗ２を生成する機能を有する回路は、それぞれ別であってもよい。

［０１７０］

以降は、アップコンバート動作と同じように画像信号に補正信号を付加した表示動作を行う。なお、トランジスタの閾値電圧は、長期に亘って大きく変動することはあるが、短期間における変動は極めて少ない。したがって、補正信号の生成及び記憶回路ＭＥＭへの格納動作は、フレームごとなどに行う必要はなく、電源投入時や動作終了時などに行えばよい。または、表示部１５６の動作時間を記録し、日、週、月、年などを単位とした一定期間ごとに動作を行ってもよい。

［０１７１］

また、処理部１５３に供給される画像信号Ｓ１及び補正データＷ１のうち一方または双方と、信号Ｗ３と、を用いて補正信号Ｗ２を生成することで、閾値電圧補正とアップコンバートの両方の動作を行うことができる。

［０１７２］

なお、上記ではトランジスタ１１２が出力する電流値を実測して補正信号Ｗ２を生成する方法を説明したが、その他の方法で補正信号Ｗ２を生成してもよい。例えば、グレースケールの表示を行い、当該表示の輝度を輝度計で読み取ったデータや当該表示の写真を読み取ったデータを元に補正信号Ｗ２を生成してもよい。当該補正信号Ｗ２の生成には、ニューラルネットワークを用いた推論を用いることが好ましい。

［０１７３］

＜画素の構成例３＞

次に、液晶素子を有する画素の構成例及び動作例について、図１４～図１７を用いて説明する。

［０１７４］

図１４に、画素１０ｅの回路図を示す。

［０１７５］

画素１０ｅは、トランジスタ１３１、トランジスタ１３２、トランジスタ１４５、トランジスタ１４６、容量素子１３３、容量素子１３４、容量素子１４７、及び液晶素子１３５を有する。

［０１７６］

トランジスタ１３１のソースまたはドレインの一方は、容量素子１３３の一方の電極と電気的に接続される。容量素子１３３の一方の電極は、容量素子１３４の一方の電極と電気的に接続される。容量素子１３４の一方の電極は、液晶素子１３５の一方の電極と電気的に接続される。トランジスタ１３２のソースまたはドレインの一方は、容量素子１３３の他方の電極と電気的に接続される。容量素子１３３の他方の電極は、トランジスタ１４６のソースまたはドレインの一方と電気的に接続される。トランジスタ１４６のゲートは、トランジスタ１４５のソースまたはドレインの一方と電気的に接続される。トランジスタ１４５のソースまたはドレインの一方は、容量素子１４７の一方の電極と電気的に接続される。

［０１７７］

ここで、トランジスタ１３１のソースまたはドレインの一方、容量素子１３３の一方の電極、容量素子１３４の一方の電極、及び液晶素子１３５の一方の電極が接続されるノードをノードＮＡとする。

また、容量素子１３３の他方の電極、トランジスタ１３２のソースまたはドレインの一方及びトランジスタ１４６のソースまたはドレインの一方が接続されるノードをノードＮＲとする。また、トランジスタ１４６のゲート、トランジスタ１４５のソースまたはドレインの一方及び容量素子１４７の一方の電極が接続されるノードをノードNMとする。

［０１７８］

トランジスタ１３１のゲートは、配線１２３と電気的に接続される。トランジスタ１３２のゲートは配線１２３と電気的に接続される。容量素子１４７の他方の電極は、配線１２１に電気的に接続される。トランジスタ１４５のゲートは配線１２２に電気的に接続される。トランジスタ１４５のソースまたはドレインの他方は配線１２４と電気的に接続される。

［０１７９］

トランジスタ１４６のソースまたはドレインの他方は、電源線１２８（高電位）と電気的に接続される。トランジスタ１３２のソースまたはドレインの他方は、電源線（低電位）と電気的に接続される。容量素子１３４の他方の電極は、共通配線１２７と電気的に接続される。液晶素子１３５の他方の電極は、共通配線１２９と電気的に接続される。なお、共通配線１２７、１２９には、任意の電位を供給することができ、両者は電気的に接続されていてもよい。

［０１８０］

配線１２２、１２３は、トランジスタの動作を制御するための信号線としての機能を有することができる。配線１２５は、画素１０ｅに画像信号を供給する信号線としての機能を有することができる。また、配線１２１及び配線１２４は、記憶回路ＭＥＭを動作させるための信号線としての機能を有することができる。配線１２４は、画素１０ｅに補正信号を供給する信号線としての機能を有することができる。

［０１８１］

トランジスタ１４５、トランジスタ１４６、及び容量素子１４７は、記憶回路ＭＥＭを構成する。ノードNMは記憶ノードであり、トランジスタ１４５を導通させることで、配線１２４に供給された信号をノードNMに書き込むことができる。トランジスタ１４５に極めてオフ電流の小さいトランジスタを用いることで、ノードNMの電位を長時間保持することができる。

［０１８２］

トランジスタ１４５には、例えば、ＯＳトランジスタを用いることができる。これにより、トランジスタ１４５のオフ電流を極めて小さくすることができ、ノードNMの電位を長時間保持することができる。このとき、画素を構成するその他のトランジスタにも、ＯＳトランジスタを用いることが好ましい。

［０１８３］

また、トランジスタ１４５に、Ｓｉトランジスタを適用してもよい。このとき、画素を構成するその他のトランジスタにも、Ｓｉトランジスタを用いることが好ましい。

［０１８４］

また、１つの画素は、ＯＳトランジスタとＳｉトランジスタとの両方を有していてもよい。

［０１８５］

画素１０ｅにおいて、ノードNMに書き込まれた信号は、配線１２１に適切な電位を供給することで、ノードＮＲに読み出すことができる。当該電位は、例えば、トランジスタ１４６の閾値電圧相当の電位とすることができる。この動作以前にノードＮＡに画像信号が書き込まれていれば、容量素子１３

３の容量結合により、画像信号にノードＮＲの電位を付加して得た信号電位が液晶素子１３５に印加される。

［０１８６］

すなわち、ノードNMに所望の補正信号を格納しておけば、供給した画像信号に当該補正信号を付加することができる。なお、補正信号は伝送経路上の要素によって減衰することがあるため、当該減衰を考慮して生成することが好ましい。

［０１８７］

図１５に示すタイミングチャートを用いて、画素１０ｅの動作の詳細を説明する。なお、所望のタイミングにおいて、配線１２４には補正信号（Ｖｐ）が供給され、配線１２５には画像信号（Ｖｓ）が供給される。また、以下の説明においては、高電位を“H”、低電位を“L”で表す。

［０１８８］

期間Ｔ１に配線１２１の電位を“L”、配線１２２の電位を“H”、配線１２３の電位を“L”とすると、トランジスタ１４５が導通し、ノードNMに補正信号（Ｖｐ）が書き込まれる。

［０１８９］

期間Ｔ２に配線１２１の電位を“L”、配線１２２の電位を“L”、配線１２３の電位を“H”とすると、トランジスタ１３２が導通し、ノードＮＲが“L”にリセットされる。また、トランジスタ１３１が導通し、ノードＮＡに画像信号（Ｖｓ）が書き込まれる。

［０１９０］

期間Ｔ３に配線１２１の電位を“H”、配線１２２の電位を“L”、配線１２３の電位を“L”とすると、容量素子１４７の容量結合によりノードNMの電位に配線１２１の電位が付加される。このとき、配線１２１の電位をトランジスタ１４６の閾値電圧（Ｖｔｈ）とすると、ノードNMの電位はＶｐ＋Ｖｔｈとなる。そして、トランジスタ１４６は導通し、ノードＮＲは、トランジスタ１４６のゲート電位より閾値電圧（Ｖｔｈ）分だけ低い電位、すなわち補正信号（Ｖｐ）に相当する電位となる。

［０１９１］

そして、容量素子１３３の容量結合により、ノードＮＲとノードＮＡの容量比に応じた電位（Ｖｐ’）が画像信号（Ｖｓ）に付加される。すなわち、ノードＮＡの電位は、Ｖｓ＋Ｖｐ’となる。

［０１９２］

以上により、補正信号に由来する電位を画像信号に付加することができ、表示の補正を行うことができる。

［０１９３］

図１６に示す画素１０ｆは、図１４に示す画素１０ｅに、トランジスタ１３６、トランジスタ１３７、及び配線１２６を付加して得た構成である。

［０１９４］

トランジスタ１３６のソースまたはドレインの一方は、トランジスタ１３１のソースまたはドレインの一方と電気的に接続される。トランジスタ１３６のソースまたはドレインの他方は、液晶素子１３５の一方の電極と電気的に接続される。トランジスタ１３７のソースまたはドレインの一方は、トランジスタ１３６のソースまたはドレインの他方と電気的に接続され、トランジスタ１３７のソースまたはドレインの他方は、電源線（低電位）と電気的に接続される。

［０１９５］

上記構成において、トランジスタ１３１のソースまたはドレインの一方、容量素子１３３の一方の電

極及びトランジスタ１３６のソースまたはドレインの一方が接続されるノードをノードＮＡとする。また、トランジスタ１３６のソースまたはドレインの他方、容量素子１３４の一方の電極及び液晶素子１３５の一方の電極が接続されるノードをノードＮＢとする。

［０１９６］

また、トランジスタ１３６のゲートは、配線１２６と電気的に接続される。トランジスタ１３７のゲートは、配線１２１と電気的に接続される。配線１２６は、トランジスタの動作を制御するための信号線としての機能を有することができる。

［０１９７］

画素１０ｅでは、画像信号を入力した後に補正信号を付加する動作を行うため、液晶素子１３５の動作が段階的となることがある。そのため、液晶素子１３５の応答特性によってはその動作が視認され、表示品位を低下させる場合がある。

［０１９８］

画素１０ｆでは、トランジスタ１３６を非導通とした状態において、ノードＮＡに画像信号を供給し、補正信号を付加させる。その後、トランジスタ１３６を導通してノードＮＢに補正した画像信号を供給する。したがって、液晶素子１３５の動作は段階的にならず、表示品位の低下を防ぐことができる。

［０１９９］

図１７に示すタイミングチャートを用いて、画素１０ｆの動作の詳細を説明する。なお、適切なタイミングにおいて、配線１２４には補正信号（Ｖｐ）が供給され、配線１２５には画像信号（Ｖｓ）が供給される。また、以下の説明においては、高電位を“H”、低電位を“L”で表す。

［０２００］

期間Ｔ１１に配線１２１の電位を“L”、配線１２２の電位を“H”、配線１２３の電位を“L”とすると、トランジスタ１４５が導通し、ノードNMに補正信号（Ｖｐ）が書き込まれる。なお、配線１２６の電位は、前フレームの動作から引き続き期間Ｔ１１では“H”となっている。

［０２０１］

期間Ｔ１２に配線１２１の電位を“L”、配線１２２の電位を“L”、配線１２３の電位を“H”、配線１２６の電位を“L”とすると、トランジスタ１３２が導通し、ノードＮＲが“L”にリセットされる。また、トランジスタ１３１が導通し、ノードＮＡに画像信号（Ｖｓ）が書き込まれる。また、トランジスタ１３６が非導通になることからノードＮＢの電位は引き続き保持され、表示は継続される。

［０２０２］

期間Ｔ１３に配線１２１の電位を“H”、配線１２２の電位を“L”、配線１２３の電位を“L”、配線１２６の電位を“L”とすると、容量素子１４７の容量結合によりノードNMの電位に配線１２１の電位が付加される。このとき、配線１２１の電位をトランジスタ１４６の閾値電圧（Ｖｔｈ）とすると、ノードNMの電位はＶｐ＋Ｖｔｈとなる。そして、トランジスタ１４６は導通し、ノードＮＲは、トランジスタ１４６のゲート電位より閾値電圧（Ｖｔｈ）分だけ低い電位、すなわち補正信号（Ｖｐ）に相当する電位となる。

［０２０３］

そして、容量素子１３３の容量結合により、ノードＮＲとノードＮＡの容量比に応じた電位（Ｖｐ’）が画像信号（Ｖｓ）に付加される。すなわち、ノードＮＡの電位は、Ｖｓ＋Ｖｐ’となる。また、トランジスタ１３７が導通することにより、ノードＮＢの電位は“L”にリセットされる。

［０２０４］

期間Ｔ１４に配線１２１の電位を“Ｌ”、配線１２２の電位を“Ｌ”、配線１２３の電位を“Ｌ”、配線１２６の電位を“Ｈ”とすると、ノードＮＡの電位がノードＮＢに分配され、ノードＮＢの電位は、（Ｖｓ＋Ｖｐ’）’となる。

［０２０５］

以上により、補正信号に由来する電位を画像信号に付加することができ、表示の補正を行うことができる。

［０２０６］

以上のように、本実施の形態の表示システムは、処理部及び表示部を有し、処理部は、画像信号及び補正信号を生成することができ、表示部は、画素に設けられた記憶回路で、当該補正信号を保持することができる。そして、表示部は、当該補正信号及び当該画像信号を用いて、映像を表示することができる。例えば、補正信号を画像信号に付加することで画像の解像度を変換することができる。画像処理で生成する画像信号に含まれるデータの解像度は、外部から入力されたデータの解像度から変更しなくてよいため、当該画像処理の演算量を低減し、消費電力を低減させることができる。

［０２０７］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０２０８］

（実施の形態２）

本実施の形態では、実施の形態１で説明したニューラルネットワークに用いることが可能な半導体装置の構成例について説明する。

［０２０９］

図１８（Ａ）に示すように、ニューラルネットワークＮＮは入力層ＩＬ、出力層ＯＬ、中間層（隠れ層）ＨＬによって構成することができる。入力層ＩＬ、出力層ＯＬ、中間層ＨＬはそれぞれ、１または複数のニューロン（ユニット）を有する。なお、中間層ＨＬは１層であってもよいし２層以上であってもよい。２層以上の中間層ＨＬを有するニューラルネットワークはＤＮＮ（ディープニューラルネットワーク）と呼ぶこともでき、ディープニューラルネットワークを用いた学習は深層学習と呼ぶこともできる。

［０２１０］

入力層ＩＬの各ニューロンには入力データが入力され、中間層ＨＬの各ニューロンには前層または後層のニューロンの出力信号が入力され、出力層ＯＬの各ニューロンには前層のニューロンの出力信号が入力される。なお、各ニューロンは、前後の層の全てのニューロンと結合されていてもよいし（全結合）、一部のニューロンと結合されていてもよい。

［０２１１］

図１８（Ｂ）に、ニューロンによる演算の例を示す。ここでは、ニューロンＮと、ニューロンＮに信号を出力する前層の２つのニューロンを示している。ニューロンＮには、前層のニューロンの出力x_1と、前層のニューロンの出力x_2が入力される。そして、ニューロンＮにおいて、出力x_1と重みw_1の乗算結果（x_1w_1）と出力x_2と重みw_2の乗算結果（x_2w_2）の総和$x_1w_1+x_2w_2$が計算された後、必要に応じてバイアスｂが加算され、値$a=x_1w_1+x_2w_2+b$が得られる。そして、値ａは活性化関数ｈによって変換され、ニューロンＮから出力信号$y=h(a)$が出力される。

［０２１２］

このように、ニューロンによる演算には、前層のニューロンの出力と重みの積を足し合わせる演算、すなわち積和演算が含まれる（上記の$x_1w_1+x_2w_2$）。この積和演算は、プログラムを用いてソフトウェア上で行ってもよいし、ハードウェアによって行われてもよい。積和演算をハードウェアによって行う場合は、積和演算回路を用いることができる。この積和演算回路としては、デジタル回路を用いてもよいし、アナログ回路を用いてもよい。積和演算回路にアナログ回路を用いる場合、積和演算回路の回路規模の縮小、または、メモリへのアクセス回数の減少による処理速度の向上及び消費電力の低減を図ることができる。

［０２１３］

積和演算回路は、チャネル形成領域にシリコン（単結晶シリコンなど）を含むトランジスタ（「Ｓｉトランジスタ」ともいう）によって構成してもよいし、チャネル形成領域に金属酸化物の一種である酸化物半導体を含むトランジスタ（「ＯＳトランジスタ」ともいう）によって構成してもよい。特に、ＯＳトランジスタはオフ電流が極めて小さいため、積和演算回路のメモリを構成するトランジスタとして好適である。なお、ＳｉトランジスタとＯＳトランジスタの両方を用いて積和演算回路を構成してもよい。以下、積和演算回路の機能を備えた半導体装置の構成例について説明する。

［０２１４］

＜半導体装置の構成例＞

図１９に、ニューラルネットワークの演算を行う機能を有する半導体装置ＭＡＣの構成例を示す。半導体装置ＭＡＣは、ニューロン間の結合強度（重み）に対応する第１のデータと、入力データに対応する第２のデータの積和演算を行う機能を有する。なお、第１のデータ及び第２のデータはそれぞれ、アナログデータまたは多値のデジタルデータ（離散的なデータ）とすることができる。また、半導体装置ＭＡＣは、積和演算によって得られたデータを活性化関数によって変換する機能を有する。

［０２１５］

半導体装置ＭＡＣは、セルアレイＣＡ、電流源回路ＣＳ、カレントミラー回路ＣＭ、回路ＷＤＤ、回路ＷＬＤ、回路ＣＬＤ、オフセット回路ＯＦＳＴ、及び活性化関数回路ＡＣＴＶを有する。

［０２１６］

セルアレイＣＡは、複数のメモリセルＭＣ及び複数のメモリセルＭＣｒｅｆを有する。図１９には、セルアレイＣＡがｍ行ｎ列（ｍ，ｎは１以上の整数）のメモリセルＭＣ（ＭＣ［１，１］乃至ＭＣ［ｍ，ｎ］）と、ｍ個のメモリセルＭＣｒｅｆ（ＭＣｒｅｆ［１］乃至ＭＣｒｅｆ［ｍ］）を有する構成例を示している。メモリセルＭＣは、第１のデータを格納する機能を有する。また、メモリセルＭＣｒｅｆは、積和演算に用いられる参照データを格納する機能を有する。なお、参照データはアナログデータまたは多値のデジタルデータとすることができる。

［０２１７］

メモリセルＭＣ［ｉ，ｊ］（ｉは１以上ｍ以下の整数、ｊは１以上ｎ以下の整数）は、配線ＷＬ［ｉ］、配線ＲＷ［ｉ］、配線ＷＤ［ｊ］、及び配線ＢＬ［ｊ］と接続されている。また、メモリセルＭＣｒｅｆ［ｉ］は、配線ＷＬ［ｉ］、配線ＲＷ［ｉ］、配線ＷＤｒｅｆ、配線ＢＬｒｅｆと接続されている。ここで、メモリセルＭＣ［ｉ，ｊ］と配線ＢＬ［ｊ］間を流れる電流を$I_{MC[i,j]}$と表記し、メモリセルＭＣｒｅｆ［ｉ］と配線ＢＬｒｅｆ間を流れる電流を$I_{MCref[i]}$と表記する。

［０２１８］

メモリセルＭＣ及びメモリセルＭＣｒｅｆの具体的な構成例を、図２０に示す。図２０には代表例と

してメモリセルMC［１，１］、MC［２，１］及びメモリセルMCｒｅｆ［1］、MCｒｅｆ［２］を示しているが、他のメモリセルMC及びメモリセルMCｒｅｆにも同様の構成を用いることができる。メモリセルMC及びメモリセルMCｒｅｆはそれぞれ、トランジスタＴｒ１１、トランジスタＴｒ１２、容量素子Ｃ１１を有する。ここでは、トランジスタＴｒ１１及びトランジスタＴｒ１２がｎチャネル型のトランジスタである場合について説明する。

［０２１９］

メモリセルMCにおいて、トランジスタＴｒ１１のゲートは配線ＷＬと接続され、ソースまたはドレインの一方はトランジスタＴｒ１２のゲート、及び容量素子Ｃ１１の第１の電極と接続され、ソースまたはドレインの他方は配線ＷＤと接続されている。トランジスタＴｒ１２のソースまたはドレインの一方は配線ＢＬと接続され、ソースまたはドレインの他方は配線ＶＲと接続されている。容量素子Ｃ１１の第２の電極は、配線ＲＷと接続されている。配線ＶＲは、所定の電位を供給する機能を有する配線である。ここでは一例として、配線ＶＲから低電源電位（接地電位など）が供給される場合について説明する。

［０２２０］

トランジスタＴｒ１１のソースまたはドレインの一方、トランジスタＴｒ１２のゲート、及び容量素子Ｃ１１の第１の電極と接続されたノードを、ノードNMとする。また、メモリセルMC［１，１］、MC［２，１］のノードNMを、それぞれノードNM［１，１］、NM［２，１］と表記する。

［０２２１］

メモリセルMCｒｅｆも、メモリセルMCと同様の構成を有する。ただし、メモリセルMCｒｅｆは配線ＷＤの代わりに配線ＷＤｒｅｆと接続され、配線ＢＬの代わりに配線ＢＬｒｅｆと接続されている。また、メモリセルMCｒｅｆ［1］、MCｒｅｆ［２］において、トランジスタＴｒ１１のソースまたはドレインの一方、トランジスタＴｒ１２のゲート、及び容量素子Ｃ１１の第１の電極と接続されたノードを、それぞれノードNMｒｅｆ［1］、NMｒｅｆ［２］と表記する。

［０２２２］

ノードNMとノードNMｒｅｆはそれぞれ、メモリセルMCとメモリセルMCｒｅｆの保持ノードとして機能する。ノードNMには第１のデータが保持され、ノードNMｒｅｆには参照データが保持される。また、配線ＢＬ［1］からメモリセルMC［１，１］、MC［２，１］のトランジスタＴｒ１２には、それぞれ電流$I_{MC[1,1]}$、$I_{MC[2,1]}$が流れる。また、配線ＢＬｒｅｆからメモリセルMCｒｅｆ［1］、MCｒｅｆ［２］のトランジスタＴｒ１２には、それぞれ電流$I_{MCref[1]}$、$I_{MCref[2]}$が流れる。

［０２２３］

トランジスタＴｒ１１は、ノードNMまたはノードNMｒｅｆの電位を保持する機能を有するため、トランジスタＴｒ１１のオフ電流は小さいことが好ましい。そのため、トランジスタＴｒ１１としてオフ電流が極めて小さいＯＳトランジスタを用いることが好ましい。これにより、ノードNMまたはノードNMｒｅｆの電位の変動を抑えることができ、演算精度の向上を図ることができる。また、ノードNMまたはノードNMｒｅｆの電位をリフレッシュする動作の頻度を低く抑えることが可能となり、消費電力を削減することができる。

［０２２４］

トランジスタＴｒ１２は特に限定されず、例えばＳｉトランジスタまたはＯＳトランジスタなどを用いることができる。トランジスタＴｒ１２にＯＳトランジスタを用いる場合、トランジスタＴｒ１１

と同じ製造装置を用いて、トランジスタＴｒ１２を作製することが可能となり、製造コストを抑制することができる。なお、トランジスタＴｒ１２はｎチャネル型であってもｐチャネル型であってもよい。

［０２２５］

電流源回路ＣＳは、配線ＢＬ［１］乃至ＢＬ［ｎ］及び配線ＢＬｒｅｆと接続されている。電流源回路ＣＳは、配線ＢＬ［１］乃至ＢＬ［ｎ］及び配線ＢＬｒｅｆに電流を供給する機能を有する。なお、配線ＢＬ［１］乃至ＢＬ［ｎ］に供給される電流値と配線ＢＬｒｅｆに供給される電流値は異なっていてもよい。ここでは、電流源回路ＣＳから配線ＢＬ［１］乃至ＢＬ［ｎ］に供給される電流をI_{C}、電流源回路ＣＳから配線ＢＬｒｅｆに供給される電流をI_{Cref}と表記する。

［０２２６］

カレントミラー回路ＣＭは、配線ＩＬ［１］乃至ＩＬ［ｎ］及び配線ＩＬｒｅｆを有する。配線ＩＬ［１］乃至ＩＬ［ｎ］はそれぞれ配線ＢＬ［１］乃至ＢＬ［ｎ］と接続され、配線ＩＬｒｅｆは、配線ＢＬｒｅｆと接続されている。ここでは、配線ＩＬ［１］乃至ＩＬ［ｎ］と配線ＢＬ［１］乃至ＢＬ［ｎ］の接続箇所をノードＮＰ［１］乃至ＮＰ［ｎ］と表記する。また、配線ＩＬｒｅｆと配線ＢＬｒｅｆの接続箇所をノードＮＰｒｅｆと表記する。

［０２２７］

カレントミラー回路ＣＭは、ノードＮＰｒｅｆの電位に応じた電流I_{CM}を配線ＩＬｒｅｆに流す機能と、この電流I_{CM}を配線ＩＬ［１］乃至ＩＬ［ｎ］にも流す機能を有する。図１９には、配線ＢＬｒｅｆから配線ＩＬｒｅｆに電流I_{CM}が排出され、配線ＢＬ［１］乃至ＢＬ［ｎ］から配線ＩＬ［１］乃至ＩＬ［ｎ］に電流I_{CM}が排出される例を示している。また、カレントミラー回路ＣＭから配線ＢＬ［１］乃至ＢＬ［ｎ］を介してセルアレイＣＡに流れる電流を、I_{B}［１］乃至I_{B}［ｎ］と表記する。また、カレントミラー回路ＣＭから配線ＢＬｒｅｆを介してセルアレイＣＡに流れる電流を、I_{Bref}と表記する。

［０２２８］

回路ＷＤＤは、配線ＷＤ［１］乃至ＷＤ［ｎ］及び配線ＷＤｒｅｆと接続されている。回路ＷＤＤは、メモリセルＭＣに格納される第１のデータに対応する電位を、配線ＷＤ［１］乃至ＷＤ［ｎ］に供給する機能を有する。また、回路ＷＤＤは、メモリセルＭＣｒｅｆに格納される参照データに対応する電位を、配線ＷＤｒｅｆに供給する機能を有する。回路ＷＬＤは、配線ＷＬ［１］乃至ＷＬ［ｍ］と接続されている。回路ＷＬＤは、データの書き込みを行うメモリセルＭＣまたはメモリセルＭＣｒｅｆを選択するための信号を、配線ＷＬ［１］乃至ＷＬ［ｍ］に供給する機能を有する。回路ＣＬＤは、配線ＲＷ［１］乃至ＲＷ［ｍ］と接続されている。回路ＣＬＤは、第２のデータに対応する電位を、配線ＲＷ［１］乃至ＲＷ［ｍ］に供給する機能を有する。

［０２２９］

オフセット回路ＯＦＳＴは、配線ＢＬ［１］乃至ＢＬ［ｎ］及び配線ＯＬ［１］乃至ＯＬ［ｎ］と接続されている。オフセット回路ＯＦＳＴは、配線ＢＬ［１］乃至ＢＬ［ｎ］からオフセット回路ＯＦＳＴに流れる電流量、及び／または、配線ＢＬ［１］乃至ＢＬ［ｎ］からオフセット回路ＯＦＳＴに流れる電流の変化量を検出する機能を有する。また、オフセット回路ＯＦＳＴは、検出結果を配線ＯＬ［１］乃至ＯＬ［ｎ］に出力する機能を有する。なお、オフセット回路ＯＦＳＴは、検出結果に対応する電流を配線ＯＬに出力してもよいし、検出結果に対応する電流を電圧に変換して配線ＯＬに出力してもよい。セルアレイＣＡとオフセット回路ＯＦＳＴの間を流れる電流を、I_{α}［１］乃至I_{α}

［ｎ］と表記する。

［０２３０］

オフセット回路ＯＦＳＴの構成例を図２１に示す。図２１に示すオフセット回路ＯＦＳＴは、回路ＯＣ［１］乃至ＯＣ［ｎ］を有する。また、回路ＯＣ［１］乃至ＯＣ［ｎ］はそれぞれ、トランジスタＴｒ２１、トランジスタＴｒ２２、トランジスタＴｒ２３、容量素子Ｃ２１、及び抵抗素子Ｒ１を有する。各素子の接続関係は図２１に示す通りである。なお、容量素子Ｃ２１の第１の電極及び抵抗素子Ｒ１の第１の端子と接続されたノードを、ノードＮａとする。また、容量素子Ｃ２１の第２の電極、トランジスタＴｒ２１のソースまたはドレインの一方、及びトランジスタＴｒ２２のゲートと接続されたノードを、ノードＮｂとする。

［０２３１］

配線ＶｒｅｆＬは電位Ｖｒｅｆを供給する機能を有し、配線ＶａＬは電位Ｖａを供給する機能を有し、配線ＶｂＬは電位Ｖｂを供給する機能を有する。また、配線ＶＤＤＬは電位ＶＤＤを供給する機能を有し、配線ＶＳＳＬは電位ＶＳＳを供給する機能を有する。ここでは、電位ＶＤＤが高電源電位であり、電位ＶＳＳが低電源電位である場合について説明する。また、配線ＲＳＴは、トランジスタＴｒ２１の導通状態を制御するための電位を供給する機能を有する。トランジスタＴｒ２２、トランジスタＴｒ２３、配線ＶＤＤＬ、配線ＶＳＳＬ、及び配線ＶｂＬによって、ソースフォロワ回路が構成される。

［０２３２］

次に、回路ＯＣ［１］乃至ＯＣ［ｎ］の動作例を説明する。なお、ここでは代表例として回路ＯＣ［１］の動作例を説明するが、回路ＯＣ［２］乃至ＯＣ［ｎ］も同様に動作させることができる。まず、配線ＢＬ［１］に第１の電流が流れると、ノードＮａの電位は、第１の電流と抵抗素子Ｒ１の抵抗値に応じた電位となる。また、このときトランジスタＴｒ２１はオン状態であり、ノードＮｂに電位Ｖａが供給される。その後、トランジスタＴｒ２１はオフ状態となる。

［０２３３］

次に、配線ＢＬ［１］に第２の電流が流れると、ノードＮａの電位は、第２の電流と抵抗素子Ｒ１の抵抗値に応じた電位に変化する。このときトランジスタＴｒ２１はオフ状態であり、ノードＮｂはフローティング状態となっているため、ノードＮａの電位の変化に伴い、ノードＮｂの電位は容量結合により変化する。ここで、ノードＮａの電位の変化をΔV_{Na}とし、容量結合係数を１とすると、ノードＮｂの電位は$Va+\Delta V_{Na}$となる。そして、トランジスタＴｒ２２の閾値電圧をV_{th}とすると、配線ＯＬ［１］から電位$Va+\Delta V_{Na}-V_{th}$が出力される。ここで、$Va=V_{th}$とすることにより、配線ＯＬ［１］から電位ΔV_{Na}を出力することができる。

［０２３４］

電位ΔV_{Na}は、第１の電流から第２の電流への変化量、抵抗素子Ｒ１の抵抗値、及び電位Ｖｒｅｆに応じて定まる。ここで、抵抗素子Ｒ１の抵抗値と電位Ｖｒｅｆは既知であるため、電位ΔV_{Na}から配線ＢＬに流れる電流の変化量を求めることができる。

［０２３５］

上記のようにオフセット回路ＯＦＳＴによって検出された電流量、及び／または電流の変化量に対応する信号は、配線ＯＬ［１］乃至ＯＬ［ｎ］を介して活性化関数回路ＡＣＴＶに入力される。

［０２３６］

活性化関数回路ＡＣＴＶは、配線ＯＬ［１］乃至ＯＬ［ｎ］、及び、配線ＮＩＬ［１］乃至ＮＩＬ［ｎ］

と接続されている。活性化関数回路ＡＣＴＶは、オフセット回路ＯＦＳＴから入力された信号を、あらかじめ定義された活性化関数に従って変換するための演算を行う機能を有する。活性化関数としては、例えば、シグモイド関数、ｔａｎｈ関数、ｓｏｆｔｍａｘ関数、ＲｅＬＵ関数、閾値関数などを用いることができる。活性化関数回路ＡＣＴＶによって変換された信号は、出力データとして配線ＮＩＬ［１］乃至ＮＩＬ［ｎ］に出力される。

［０２３７］

＜半導体装置の動作例＞

上記の半導体装置ＭＡＣを用いて、第１のデータと第２のデータの積和演算を行うことができる。以下、積和演算を行う際の半導体装置ＭＡＣの動作例を説明する。

［０２３８］

図２２に半導体装置ＭＡＣの動作例のタイミングチャートを示す。図２２には、図２０における配線ＷＬ［１］、配線ＷＬ［２］、配線ＷＤ［１］、配線ＷＤｒｅｆ、ノードＮＭ［１，１］、ノードＮＭ［２，１］、ノードＮＭｒｅｆ［１］、ノードＮＭｒｅｆ［２］、配線ＲＷ［１］、及び配線ＲＷ［２］の電位の推移と、電流I_B［１］－I_α［１］、及び電流I_{Bref}の値の推移を示している。電流I_B［１］－I_α［１］は、配線ＢＬ［１］からメモリセルＭＣ［１，１］、ＭＣ［２，１］に流れる電流の総和に相当する。

［０２３９］

なお、ここでは代表例として図２０に示すメモリセルＭＣ［１，１］、ＭＣ［２，１］及びメモリセルＭＣｒｅｆ［１］、ＭＣｒｅｆ［２］に着目して動作を説明するが、他のメモリセルＭＣ及びメモリセルＭＣｒｅｆも同様に動作させることができる。

［０２４０］

［第１のデータの格納］

まず、時刻Ｔ０１－時刻Ｔ０２の期間において、配線ＷＬ［１］の電位がハイレベルとなり、配線ＷＤ［１］の電位が接地電位（ＧＮＤ）よりも$V_{PR}-V_{W[1,1]}$大きい電位となり、配線ＷＤｒｅｆの電位が接地電位よりもV_{PR}大きい電位となる。また、配線ＲＷ［１］、及び配線ＲＷ［２］の電位が基準電位（ＲＥＦＰ）となる。なお、電位$V_{W[1,1]}$はメモリセルＭＣ［１，１］に格納される第１のデータに対応する電位である。また、電位V_{PR}は参照データに対応する電位である。これにより、メモリセルＭＣ［１，１］及びメモリセルＭＣｒｅｆ［１］が有するトランジスタＴｒ１１がオン状態となり、ノードＮＭ［１，１］の電位が$V_{PR}-V_{W[1,1]}$、ノードＮＭｒｅｆ［１］の電位がV_{PR}となる。

［０２４１］

このとき、配線ＢＬ［１］からメモリセルＭＣ［１，１］のトランジスタＴｒ１２に流れる電流$I_{MC[1,1],0}$は、次の式で表すことができる。ここで、ｋはトランジスタＴｒ１２のチャネル長、チャネル幅、移動度、及びゲート絶縁膜の容量などで決まる定数である。また、V_{th}はトランジスタＴｒ１２の閾値電圧である。

［０２４２］

$$I_{MC[1,1],0}=k(V_{PR}-V_{W[1,1]}-V_{th})^2 \qquad (E1)$$

［０２４３］

また、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［１］のトランジスタＴｒ１２に流れる電流$I_{MCref[1],0}$は、次の式で表すことができる。

［０２４４］

$I_{MCref[1],0}=k(V_{PR}-V_{th})^2$　　（Ｅ２）

［０２４５］

次に、時刻Ｔ０２－時刻Ｔ０３の期間において、配線ＷＬ［１］の電位がローレベルとなる。これにより、メモリセルＭＣ［１，１］及びメモリセルＭＣｒｅｆ［１］が有するトランジスタＴｒ１１がオフ状態となり、ノードＮＭ［１，１］及びノードＮＭｒｅｆ［１］の電位が保持される。

［０２４６］

なお、前述の通り、トランジスタＴｒ１１としてＯＳトランジスタを用いることが好ましい。これにより、トランジスタＴｒ１１のリーク電流を抑えることができ、ノードＮＭ［１，１］及びノードＮＭｒｅｆ［１］の電位を正確に保持することができる。

［０２４７］

次に、時刻Ｔ０３－時刻Ｔ０４の期間において、配線ＷＬ［２］の電位がハイレベルとなり、配線ＷＤ［１］の電位が接地電位よりも$V_{PR}-V_{W[2,1]}$大きい電位となり、配線ＷＤｒｅｆの電位が接地電位よりもV_{PR}大きい電位となる。なお、電位$V_{W[2,1]}$はメモリセルＭＣ［２，１］に格納される第１のデータに対応する電位である。これにより、メモリセルＭＣ［２，１］及びメモリセルＭＣｒｅｆ［２］が有するトランジスタＴｒ１１がオン状態となり、ノードＮＭ［２，１］の電位が$V_{PR}-V_{W[2,1]}$、ノードＮＭｒｅｆ［２］の電位がV_{PR}となる。

［０２４８］

このとき、配線ＢＬ［１］からメモリセルＭＣ［２，１］のトランジスタＴｒ１２に流れる電流$I_{MC[2,1],0}$は、次の式で表すことができる。

［０２４９］

$I_{MC[2,1],0}=k(V_{PR}-V_{W[2,1]}-V_{th})^2$　　（Ｅ３）

［０２５０］

また、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［２］のトランジスタＴｒ１２に流れる電流$I_{MCref[2],0}$は、次の式で表すことができる。

［０２５１］

$I_{MCref[2],0}=k(V_{PR}-V_{th})^2$　　（Ｅ４）

［０２５２］

次に、時刻Ｔ０４－時刻Ｔ０５の期間において、配線ＷＬ［２］の電位がローレベルとなる。これにより、メモリセルＭＣ［２，１］及びメモリセルＭＣｒｅｆ［２］が有するトランジスタＴｒ１１がオフ状態となり、ノードＮＭ［２，１］及びノードＮＭｒｅｆ［２］の電位が保持される。

［０２５３］

以上の動作により、メモリセルＭＣ［１，１］、ＭＣ［２，１］に第１のデータが格納され、メモリセルＭＣｒｅｆ［１］、ＭＣｒｅｆ［２］に参照データが格納される。

［０２５４］

ここで、時刻Ｔ０４－時刻Ｔ０５の期間において、配線ＢＬ［１］及び配線ＢＬｒｅｆに流れる電流を考える。配線ＢＬｒｅｆには、電流源回路ＣＳから電流が供給される。また、配線ＢＬｒｅｆを流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣｒｅｆ［１］、ＭＣｒｅｆ［２］へ排出される。電流源回路ＣＳから配線ＢＬｒｅｆに供給される電流をI_{Cref}、配線ＢＬｒｅｆからカレントミラー回路ＣＭへ排出される電流を$I_{CM,0}$とすると、次の式が成り立つ。

［０２５５］

$I_{Cref}-I_{CM,0}=I_{MCref[1],0}+I_{MCref[2],0}$ （Ｅ５）

［０２５６］

配線ＢＬ［１］には、電流源回路ＣＳからの電流が供給される。また、配線ＢＬ［１］を流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣ［１，１］、ＭＣ［２，１］へ排出される。また、配線ＢＬ［１］からオフセット回路ＯＦＳＴに電流が流れる。電流源回路ＣＳから配線ＢＬ［１］に供給される電流を$I_{C,0}$、配線ＢＬ［１］からオフセット回路ＯＦＳＴに流れる電流を$I_{\alpha,0}$とすると、次の式が成り立つ。

［０２５７］

$I_{C}-I_{CM,0}=I_{MC[1,1],0}+I_{MC[2,1],0}+I_{\alpha,0}$ （Ｅ６）

［０２５８］

［第１のデータと第２のデータの積和演算］

次に、時刻Ｔ０５－時刻Ｔ０６の期間において、配線ＲＷ［１］の電位が基準電位よりも$V_{X[1]}$大きい電位となる。このとき、メモリセルＭＣ［１，１］、及びメモリセルＭＣｒｅｆ［１］のそれぞれの容量素子Ｃ１１には電位$V_{X[1]}$が供給され、容量結合によりトランジスタＴｒ１２のゲートの電位が上昇する。なお、電位$V_{X[1]}$はメモリセルＭＣ［１，１］及びメモリセルＭＣｒｅｆ［１］に供給される第２のデータに対応する電位である。

［０２５９］

トランジスタＴｒ１２のゲートの電位の変化量は、配線ＲＷの電位の変化量に、メモリセルの構成によって決まる容量結合係数を乗じて得た値となる。容量結合係数は、容量素子Ｃ１１の容量、トランジスタＴｒ１２のゲート容量、及び寄生容量などによって算出される。以下では便宜上、配線ＲＷの電位の変化量とトランジスタＴｒ１２のゲートの電位の変化量が同じ、すなわち容量結合係数が１であるとして説明する。実際には、容量結合係数を考慮して電位V_{X}を決定すればよい。

［０２６０］

メモリセルＭＣ［１，１］及びメモリセルＭＣｒｅｆ［１］の容量素子Ｃ１１に電位$V_{X[1]}$が供給されると、ノードＮＭ［１，１］及びノードＮＭｒｅｆ［１］の電位がそれぞれ$V_{X[1]}$上昇する。

［０２６１］

ここで、時刻Ｔ０５－時刻Ｔ０６の期間において、配線ＢＬ［１］からメモリセルＭＣ［１，１］のトランジスタＴｒ１２に流れる電流$I_{MC[1,1],1}$は、次の式で表すことができる。

［０２６２］

$I_{MC[1,1],1}=k(V_{PR}-V_{W[1,1]}+V_{X[1]}-V_{th})^{2}$ （Ｅ７）

［０２６３］

すなわち、配線ＲＷ［１］に電位$V_{X[1]}$を供給することにより、配線ＢＬ［１］からメモリセルＭＣ［１，１］のトランジスタＴｒ１２に流れる電流は、$\Delta I_{MC[1,1]}=I_{MC[1,1],1}-I_{MC[1,1],0}$増加する。

［０２６４］

また、時刻Ｔ０５－時刻Ｔ０６の期間において、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［１］のトランジスタＴｒ１２に流れる電流$I_{MCref[1],1}$は、次の式で表すことができる。

［０２６５］

$I_{MCref[1],1}=k(V_{PR}+V_{X[1]}-V_{th})^{2}$ （Ｅ８）

［０２６６］

すなわち、配線ＲＷ［１］に電位$V_{X[1]}$を供給することにより、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［１］のトランジスタＴｒ１２に流れる電流は、$\Delta I_{MCref[1]}=I_{MCref[1],1}-I_{MCref[1],0}$増加する。

［０２６７］

また、配線ＢＬ［１］及び配線ＢＬｒｅｆに流れる電流について考える。配線ＢＬｒｅｆには、電流源回路ＣＳから電流I_{Cref}が供給される。また、配線ＢＬｒｅｆを流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣｒｅｆ［１］、ＭＣｒｅｆ［２］へ排出される。配線ＢＬｒｅｆからカレントミラー回路ＣＭへ排出される電流を$I_{CM,1}$とすると、次の式が成り立つ。

［０２６８］

$$I_{Cref}-I_{CM,1}=I_{MCref[1],1}+I_{MCref[2],0} \qquad (E9)$$

［０２６９］

配線ＢＬ［１］には、電流源回路ＣＳから電流I_Cが供給される。また、配線ＢＬ［１］を流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣ［１，１］、ＭＣ［２，１］へ排出される。さらに、配線ＢＬ［１］からオフセット回路ＯＦＳＴにも電流が流れる。配線ＢＬ［１］からオフセット回路ＯＦＳＴに流れる電流を$I_{\alpha,1}$とすると、次の式が成り立つ。

［０２７０］

$$I_C-I_{CM,1}=I_{MC[1,1],1}+I_{MC[2,1],1}+I_{\alpha,1} \qquad (E10)$$

［０２７１］

そして、式（Ｅ１）乃至（Ｅ１０）から、電流$I_{\alpha,0}$と電流$I_{\alpha,1}$の差（差分電流ΔI_α）は次の式で表すことができる。

［０２７２］

$$\Delta I_\alpha=I_{\alpha,1}-I_{\alpha,0}=2kV_{W[1,1]}V_{X[1]} \qquad (E11)$$

［０２７３］

このように、差分電流ΔI_αは、電位$V_{W[1,1]}$と$V_{X[1]}$の積に応じた値となる。

［０２７４］

その後、時刻Ｔ０６－時刻Ｔ０７の期間において、配線ＲＷ［１］の電位は基準電位となり、ノードＮＭ［１，１］及びノードＮＭｒｅｆ［１］の電位は時刻Ｔ０４－時刻Ｔ０５の期間と同様になる。

［０２７５］

次に、時刻Ｔ０７－時刻Ｔ０８の期間において、配線ＲＷ［１］の電位が基準電位よりも$V_{X[1]}$大きい電位となり、配線ＲＷ［２］の電位が基準電位よりも$V_{X[2]}$大きい電位となる。これにより、メモリセルＭＣ［１，１］、及びメモリセルＭＣｒｅｆ［１］のそれぞれの容量素子Ｃ１１に電位$V_{X[1]}$が供給され、容量結合によりノードＮＭ［１，１］及びノードＮＭｒｅｆ［１］の電位がそれぞれ$V_{X[1]}$上昇する。また、メモリセルＭＣ［２，１］、及びメモリセルＭＣｒｅｆ［２］のそれぞれの容量素子Ｃ１１に電位$V_{X[2]}$が供給され、容量結合によりノードＮＭ［２，１］及びノードＮＭｒｅｆ［２］の電位がそれぞれ$V_{X[2]}$上昇する。

［０２７６］

ここで、時刻Ｔ０７－時刻Ｔ０８の期間において、配線ＢＬ［１］からメモリセルＭＣ［２，１］のトランジスタＴｒ１２に流れる電流$I_{MC[2,1],1}$は、次の式で表すことができる。

［０２７７］

$I_{MC[2,1],1}=k(V_{PR}-V_{W[2,1]}+V_{X[2]}-V_{th})^2$ （Ｅ１２）

［０２７８］

すなわち、配線ＲＷ［２］に電位$V_{X[2]}$を供給することにより、配線ＢＬ［１］からメモリセルＭＣ［２，１］のトランジスタＴｒ１２に流れる電流は、$\Delta I_{MC[2,1]}=I_{MC[2,1],1}-I_{MC[2,1],0}$増加する。

［０２７９］

また、時刻Ｔ０７－時刻Ｔ０８の期間において、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［２］のトランジスタＴｒ１２に流れる電流$I_{MCref[2],1}$は、次の式で表すことができる。

［０２８０］

$I_{MCref[2],1}=k(V_{PR}+V_{X[2]}-V_{th})^2$ （Ｅ１３）

［０２８１］

すなわち、配線ＲＷ［２］に電位$V_{X[2]}$を供給することにより、配線ＢＬｒｅｆからメモリセルＭＣｒｅｆ［２］のトランジスタＴｒ１２に流れる電流は、$\Delta I_{MCref[2]}=I_{MCref[2],1}-I_{MCref[2],0}$増加する。

［０２８２］

また、配線ＢＬ［１］及び配線ＢＬｒｅｆに流れる電流について考える。配線ＢＬｒｅｆには、電流源回路ＣＳから電流I_{Cref}が供給される。また、配線ＢＬｒｅｆを流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣｒｅｆ［１］、ＭＣｒｅｆ［２］へ排出される。配線ＢＬｒｅｆからカレントミラー回路ＣＭへ排出される電流を$I_{CM,2}$とすると、次の式が成り立つ。

［０２８３］

$I_{Cref}-I_{CM,2}=I_{MCref[1],1}+I_{MCref[2],1}$ （Ｅ１４）

［０２８４］

配線ＢＬ［１］には、電流源回路ＣＳから電流I_Cが供給される。また、配線ＢＬ［１］を流れる電流は、カレントミラー回路ＣＭ、メモリセルＭＣ［１，１］、ＭＣ［２，１］へ排出される。さらに、配線ＢＬ［１］からオフセット回路ＯＦＳＴにも電流が流れる。配線ＢＬ［１］からオフセット回路ＯＦＳＴに流れる電流を$I_{\alpha,2}$とすると、次の式が成り立つ。

［０２８５］

$I_C-I_{CM,2}=I_{MC[1,1],1}+I_{MC[2,1],1}+I_{\alpha,2}$ （Ｅ１５）

［０２８６］

そして、式（Ｅ１）乃至（Ｅ８）、及び、式（Ｅ１２）乃至（Ｅ１５）から、電流$I_{\alpha,0}$と電流$I_{\alpha,2}$の差（差分電流ΔI_α）は次の式で表すことができる。

［０２８７］

$\Delta I_\alpha=I_{\alpha,2}-I_{\alpha,0}=2k(V_{W[1,1]}V_{X[1]}+V_{W[2,1]}V_{X[2]})$ （Ｅ１６）

［０２８８］

このように、差分電流ΔI_αは、電位$V_{W[1,1]}$と電位$V_{X[1]}$の積と、電位$V_{W[2,1]}$と電位$V_{X[2]}$の積と、を足し合わせた結果に応じた値となる。

［０２８９］

その後、時刻Ｔ０８－時刻Ｔ０９の期間において、配線ＲＷ［１］、ＲＷ［２］の電位は基準電位となり、ノードＮＭ［１，１］、ＮＭ［２，１］及びノードＮＭｒｅｆ［１］、ＮＭｒｅｆ［２］の電位は時刻Ｔ０４－時刻Ｔ０５の期間と同様になる。

［０２９０］

式（Ｅ１１）及び式（Ｅ１６）に示されるように、オフセット回路ＯＦＳＴに入力される差分電流ΔI_{α}は、第１のデータ（重み）に対応する電位V_Wと、第２のデータ（入力データ）に対応する電位V_Xの積の項を有する式から算出することができる。すなわち、差分電流ΔI_{α}をオフセット回路ＯＦＳＴで計測することにより、第１のデータと第２のデータの積和演算の結果を得ることができる。

［０２９１］

なお、上記では特にメモリセルMC［１，１］、MC［２，１］及びメモリセルMCｒｅｆ［１］、MCｒｅｆ［２］に着目したが、メモリセルMC及びメモリセルMCｒｅｆの数は任意に設定することができる。メモリセルMC及びメモリセルMCｒｅｆの行数mを任意の数ｉとした場合の差分電流ΔI_{α}は、次の式で表すことができる。

［０２９２］

$$\Delta I_{\alpha} = 2k\Sigma_{i} V_{W[i,1]} V_{X[i]} \qquad (E17)$$

［０２９３］

また、メモリセルMC及びメモリセルMCｒｅｆの列数ｎを増やすことにより、並列して実行される積和演算の数を増やすことができる。

［０２９４］

以上のように、半導体装置ＭＡＣを用いることにより、第１のデータと第２のデータの積和演算を行うことができる。なお、メモリセルMC及びメモリセルMCｒｅｆとして図２０に示す構成を用いることにより、少ないトランジスタ数で積和演算回路を構成することができる。そのため、半導体装置ＭＡＣの回路規模の縮小を図ることができる。

［０２９５］

半導体装置ＭＡＣをニューラルネットワークにおける演算に用いる場合、メモリセルMCの行数mは一のニューロンに供給される入力データの数に対応させ、メモリセルMCの列数ｎはニューロンの数に対応させることができる。例えば、図１８（Ａ）に示す中間層ＨＬにおいて半導体装置ＭＡＣを用いた積和演算を行う場合を考える。このとき、メモリセルMCの行数mは、入力層ＩＬから供給される入力データの数（入力層ＩＬのニューロンの数）に設定し、メモリセルMCの列数ｎは、中間層ＨＬのニューロンの数に設定することができる。

［０２９６］

なお、半導体装置ＭＡＣを適用するニューラルネットワークの構造は特に限定されない。例えば半導体装置ＭＡＣは、畳み込みニューラルネットワーク（ＣＮＮ）、再帰型ニューラルネットワーク（ＲＮＮ）、オートエンコーダ、ボルツマンマシン（制限ボルツマンマシンを含む）などに用いることもできる。

［０２９７］

以上のように、半導体装置ＭＡＣを用いることにより、ニューラルネットワークの積和演算を行うことができる。さらに、セルアレイＣＡに図２０に示すメモリセルMC及びメモリセルMCｒｅｆを用いることにより、演算精度の向上、消費電力の削減、または回路規模の縮小を図ることが可能な集積回路を提供することができる。

［０２９８］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０２９９］

（実施の形態３）

本実施の形態では、本発明の一態様の表示システムに用いることができる表示装置について図２３～図２５を用いて説明する。

［０３００］

＜画素の構成例＞

図２３（Ａ）～図２３（Ｅ）を用いて、画素２００の構成例を説明する。

［０３０１］

画素２００は、複数の画素２１０を有する。複数の画素２１０は、それぞれ、副画素として機能する。それぞれ異なる色を呈する複数の画素２１０によって１つの画素２００が構成されることで、表示部では、フルカラーの表示を行うことができる。

［０３０２］

図２３（Ａ）、図２３（Ｂ）に示す画素２００は、それぞれ、３つの副画素を有する。図２３（Ａ）に示す画素２００が有する画素２１０が呈する色の組み合わせは、赤（Ｒ）、緑（Ｇ）、及び青（Ｂ）である。図２３（Ｂ）に示す画素２００が有する画素２１０が呈する色の組み合わせは、シアン（Ｃ）、マゼンタ（Ｍ）、黄色（Ｙ）である。

［０３０３］

図２３（Ｃ）～図２３（Ｅ）に示す画素２００は、それぞれ、４つの副画素を有する。図２３（Ｃ）に示す画素２００が有する画素２１０が呈する色の組み合わせは、赤（Ｒ）、緑（Ｇ）、青（Ｂ）、白（Ｗ）である。白色を呈する副画素を用いることで、表示部の輝度を高めることができる。図２３（Ｄ）に示す画素２００が有する画素２１０が呈する色の組み合わせは、赤（Ｒ）、緑（Ｇ）、青（Ｂ）、黄（Ｙ）である。図２３（Ｅ）に示す画素２００が有する画素２１０が呈する色の組み合わせは、シアン（Ｃ）、マゼンタ（Ｍ）、黄色（Ｙ）、白（Ｗ）である。

［０３０４］

１つの画素として機能させる副画素の数を増やし、赤、緑、青、シアン、マゼンタ、及び黄などの色を呈する副画素を適宜組み合わせることにより、中間調の再現性を高めることができる。よって、表示品位を高めることができる。

［０３０５］

また、本発明の一態様の表示装置は、さまざまな規格の色域を再現することができる。例えば、テレビ放送で使われるＰＡＬ（Ｐｈａｓｅ　Ａｌｔｅｒｎａｔｉｎｇ　Ｌｉｎｅ）規格及びＮＴＳＣ（Ｎａｔｉｏｎａｌ　Ｔｅｌｅｖｉｓｉｏｎ　Ｓｙｓｔｅｍ　Ｃｏｍｍｉｔｔｅｅ）規格、パーソナルコンピュータ、デジタルカメラ、プリンタなどの電子機器に用いる表示装置で広く使われているｓＲＧＢ（ｓｔａｎｄａｒｄ　ＲＧＢ）規格及びＡｄｏｂｅ　ＲＧＢ規格、ＨＤＴＶ（Ｈｉｇｈ　Ｄｅｆｉｎｉｔｉｏｎ　Ｔｅｌｅｖｉｓｉｏｎ、ハイビジョンともいう）で使われるＩＴＵ－Ｒ　ＢＴ．７０９（Ｉｎｔｅｒｎａｔｉｏｎａｌ　Ｔｅｌｅｃｏｍｍｕｎｉｃａｔｉｏｎ　Ｕｎｉｏｎ　Ｒａｄｉｏｃｏｍｍｕｎｉｃａｔｉｏｎ　Ｓｅｃｔｏｒ　Ｂｒｏａｄｃａｓｔｉｎｇ　Ｓｅｒｖｉｃｅ（Ｔｅｌｅｖｉｓｉｏｎ）　７０９）規格、デジタルシネマ映写で使われるＤＣＩ－Ｐ３（Ｄｉｇｉｔａｌ　Ｃｉｎｅｍａ　Ｉｎｉｔｉａｔｉｖｅｓ　Ｐ３）規格、ＵＨＤＴＶ（Ｕｌｔｒａ　Ｈｉｇｈ　Ｄｅｆｉｎｉｔｉｏｎ　Ｔｅｌｅｖｉｓｉｏｎ、スーパーハイビジョンともいう）で使われるＩＴＵ－Ｒ　ＢＴ．２０２０（ＲＥＣ．２０２０（Ｒｅｃｏｍｍｅｎｄａｔｉｏｎ　２０２０））規格などの色域を再現することができる。

［０３０６］

また、画素２００を１９２０×１０８０のマトリクス状に配置すると、いわゆるフルハイビジョン（「２Ｋ解像度」、「２Ｋ１Ｋ」、または「２Ｋ」などともいう）の解像度でフルカラー表示可能な表示装置を実現することができる。また、例えば、画素２００を３８４０×２１６０のマトリクス状に配置すると、いわゆるウルトラハイビジョン（「４Ｋ解像度」、「４Ｋ２Ｋ」、または「４Ｋ」などともいう）の解像度でフルカラー表示可能な表示装置を実現することができる。また、例えば、画素２００を７６８０×４３２０のマトリクス状に配置すると、いわゆるスーパーハイビジョン（「８Ｋ解像度」、「８Ｋ４Ｋ」、または「８Ｋ」などともいう）の解像度でフルカラー表示可能な表示装置を実現することができる。画素２００を増やすことで、１６Ｋや３２Ｋの解像度でフルカラー表示可能な表示装置を実現することも可能である。

［０３０７］

本発明の一態様の表示装置が有する表示素子としては、無機ＥＬ素子、有機ＥＬ素子、ＬＥＤ等の発光素子、液晶素子、電気泳動素子、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子等が挙げられる。

［０３０８］

＜表示装置の構成例＞

次に、図２４及び図２５を用いて、表示装置の構成例について説明する。

［０３０９］

図２４に、カラーフィルタ方式が適用されたトップエミッション構造の発光表示装置の断面図を示す。

［０３１０］

図２４に示す表示装置は、画素部５６２及び走査線駆動回路５６４を有する。

［０３１１］

画素部５６２において、基板２０２上には、トランジスタ２５１ａ、トランジスタ４４６ａ、及び発光素子１７０等が設けられている。走査線駆動回路５６４において、基板２０２上には、トランジスタ２０１ａ等が設けられている。

［０３１２］

トランジスタ２５１ａは、第１のゲート電極として機能する導電層２２１と、第１のゲート絶縁層として機能する絶縁層２１１と、半導体層２３１と、ソース電極及びドレイン電極として機能する導電層２２２ａ及び導電層２２２ｂと、第２のゲート電極として機能する導電層２２３と、第２のゲート絶縁層として機能する絶縁層２２５と、を有する。半導体層２３１は、チャネル形成領域と低抵抗領域とを有する。チャネル形成領域は、絶縁層２２５を介して導電層２２３と重なる。低抵抗領域は、導電層２２２ａと接続される部分、及び、導電層２２２ｂと接続される部分を有する。

［０３１３］

トランジスタ２５１ａは、チャネルの上下にゲート電極を有する。２つのゲート電極は、電気的に接続されていることが好ましい。２つのゲート電極が電気的に接続されている構成のトランジスタは、他のトランジスタと比較して電界効果移動度を高めることが可能であり、オン電流を増大させることができる。その結果、高速動作が可能な回路を作製することができる。さらには回路部の占有面積を縮小することが可能となる。オン電流の大きなトランジスタを適用することで、表示装置を大型化、または高精細化して配線数が増大したとしても、各配線における信号遅延を低減することが可能であり、表示ムラを抑制することが可能である。また、回路部の占有面積を縮小できるため、表示装置の

狭額縁化が可能である。また、このような構成を適用することで、信頼性の高いトランジスタを実現することができる。

［０３１４］

導電層２２３上には絶縁層２１２及び絶縁層２１３が設けられており、その上に、導電層２２２ａ及び導電層２２２ｂが設けられている。トランジスタ２５１ａの構造は、導電層２２１と導電層２２２ａまたは導電層２２２ｂとの物理的な距離を離すことが容易なため、これらの間の寄生容量を低減することが可能である。

［０３１５］

表示装置が有するトランジスタの構造は特に限定されない。例えば、プレーナ型のトランジスタとしてもよいし、スタガ型のトランジスタとしてもよいし、逆スタガ型のトランジスタとしてもよい。また、トップゲート構造またはボトムゲート構造のいずれのトランジスタ構造としてもよい。または、チャネルの上下にゲート電極が設けられていてもよい。

［０３１６］

トランジスタ２５１ａは、半導体層２３１に、金属酸化物を有する。金属酸化物は、酸化物半導体として機能することができる。

［０３１７］

トランジスタ４４６ａ及びトランジスタ２０１ａは、トランジスタ２５１ａと同様の構成を有する。本発明の一態様において、これらのトランジスタの構成が異なっていてもよい。駆動回路部が有するトランジスタと画素部５６２が有するトランジスタは、同じ構造であってもよく、異なる構造であってもよい。駆動回路部が有するトランジスタは、全て同じ構造であってもよく、２種類以上の構造が組み合わせて用いられていてもよい。同様に、画素部５６２が有するトランジスタは、全て同じ構造であってもよく、２種類以上の構造が組み合わせて用いられていてもよい。

［０３１８］

トランジスタ４４６ａは、絶縁層２１５を介して、発光素子１７０と重なる。トランジスタ、容量素子、及び配線等を、発光素子１７０の発光領域と重ねて配置することで、画素部５６２の開口率を高めることができる。

［０３１９］

発光素子１７０は、画素電極１７１、ＥＬ層１７２、及び共通電極１７３を有する。発光素子１７０は、着色層２０５側に光を射出する。

［０３２０］

画素電極１７１及び共通電極１７３のうち、一方は、陽極として機能し、他方は、陰極として機能する。画素電極１７１及び共通電極１７３の間に、発光素子１７０の閾値電圧より高い電圧を印加すると、ＥＬ層１７２に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はＥＬ層１７２において再結合し、ＥＬ層１７２に含まれる発光物質が発光する。

［０３２１］

画素電極１７１は、トランジスタ２５１ａが有する導電層２２２ｂと電気的に接続される。これらは、直接接続されてもよいし、他の導電層を介して接続されてもよい。画素電極１７１は、画素電極として機能し、発光素子１７０ごとに設けられている。隣り合う２つの画素電極１７１は、絶縁層２１６によって電気的に絶縁されている。

［０３２２］

ＥＬ層１７２は、発光性の物質を含む層である。
［０３２３］
共通電極１７３は、共通電極として機能し、複数の発光素子１７０にわたって設けられている。共通電極１７３には、定電位が供給される。
［０３２４］
発光素子１７０は、接着層１７４を介して着色層２０５と重なる。絶縁層２１６は、接着層１７４を介して遮光層２０６と重なる。
［０３２５］
発光素子１７０には、マイクロキャビティ構造を採用してもよい。カラーフィルタ（着色層２０５）とマイクロキャビティ構造との組み合わせにより、表示装置からは、色純度の高い光を取り出すことができる。
［０３２６］
着色層２０５は特定の波長域の光を透過する有色層である。例えば、赤色、緑色、青色、または黄色の波長域の光を透過するカラーフィルタなどを用いることができる。着色層２０５に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。
［０３２７］
なお、本発明の一態様の表示装置は、カラーフィルタ方式に限られず、塗り分け方式、色変換方式、または量子ドット方式等を適用してもよい。また、本発明の一態様の表示装置は、トップエミッション構造に限られず、ボトムエミッション構造等を適用してもよい。
［０３２８］
遮光層２０６は、隣接する着色層２０５の間に設けられている。遮光層２０６は隣接する発光素子１７０からの光を遮光し、隣接する発光素子１７０間における混色を抑制する。ここで、着色層２０５の端部を、遮光層２０６と重なるように設けることにより、光漏れを抑制することができる。遮光層２０６としては、発光素子１７０からの発光を遮る材料を用いることができ、例えば、金属材料、または、顔料もしくは染料を含む樹脂材料等を用いてブラックマトリクスを形成することができる。なお、遮光層２０６は、走査線駆動回路５６４などの画素部５６２以外の領域に設けると、導波光などによる意図しない光漏れを抑制できるため好ましい。
［０３２９］
基板２０２と基板２０３は、接着層１７４によって貼り合わされている。
［０３３０］
導電層５６５は、導電層２５５及び接続体２４２を介して、ＦＰＣ１６２と電気的に接続される。導電層５６５は、トランジスタが有する導電層と同一の材料及び同一の工程で形成されることが好ましい。本実施の形態では、導電層５６５が、ソース電極及びドレイン電極として機能する導電層と同一の材料及び同一の工程で形成される例を示す。
［０３３１］
接続体２４２としては、様々な異方性導電フィルム（ＡＣＦ：Ａｎｉｓｏｔｒｏｐｉｃ Ｃｏｎｄｕｃｔｉｖｅ Ｆｉｌｍ）及び異方性導電ペースト（ＡＣＰ：Ａｎｉｓｏｔｒｏｐｉｃ Ｃｏｎｄｕｃｔｉｖｅ Ｐａｓｔｅ）などを用いることができる。
［０３３２］
図２５に、縦電界方式が適用された透過型液晶表示装置の断面図を示す。

［０３３３］

図２５に示す表示装置は、画素部５６２及び走査線駆動回路５６４を有する。

［０３３４］

画素部５６２において、基板２０２上には、トランジスタ４４６ｄ、及び液晶素子１８０等が設けられている。走査線駆動回路５６４において、基板２０２上には、トランジスタ２０１ｄ等が設けられている。図２５に示す表示装置では、着色層２０５が基板２０３側に設けられている。なお、着色層２０５を基板２０２側に設けてもよい。着色層２０５を基板２０２側に設けることで、基板２０３側の構成を簡素化することができる。

［０３３５］

トランジスタ４４６ｄは、ゲート電極として機能する導電層２２１と、ゲート絶縁層として機能する絶縁層２１１と、半導体層２３１と、ソース電極及びドレイン電極として機能する導電層２２２ａ及び導電層２２２ｂと、を有する。トランジスタ４４６ｄは、絶縁層２１７及び絶縁層２１８に覆われている。

［０３３６］

トランジスタ４４６ｄは、半導体層２３１に、金属酸化物を有する。

［０３３７］

液晶素子１８０は、画素電極１８１、共通電極１８２、及び液晶層１８３を有する。液晶層１８３は、画素電極１８１と共通電極１８２との間に位置する。配向膜２０８ａは画素電極１８１に接して設けられている。配向膜２０８ｂは共通電極１８２に接して設けられている。画素電極１８１は、絶縁層２１５、絶縁層２１８、及び絶縁層２１７に設けられた開口を介して、トランジスタ４４６ｄが有する導電層２２２ｂと電気的に接続される。

［０３３８］

液晶層１８３と接する配向膜を設けることが好ましい。配向膜は、液晶層１８３の配向を制御することができる。

［０３３９］

バックライトユニット５５２からの光は、基板２０２、画素電極１８１、液晶層１８３、共通電極１８２、着色層２０５、及び基板２０３を介して、表示装置の外部に射出される。バックライトユニット５５２の光が透過するこれらの層の材料には、可視光を透過する材料を用いる。

［０３４０］

遮光層２０６と、共通電極１８２と、の間、及び着色層２０５と、共通電極１８２と、の間には、オーバーコート２０７が設けられている。オーバーコート２０７は、着色層２０５、遮光層２０６等に含まれる不純物が液晶層１８３に拡散することを抑制できる。

［０３４１］

基板２０２と基板２０３は、接着層２０９によって貼り合わされている。基板２０２、基板２０３、接着層２０９に囲まれた領域に、液晶層１８３が封止されている。

［０３４２］

表示装置の画素部５６２を挟むように、偏光板２０４ａ及び偏光板２０４ｂが配置されている。偏光板２０４ａよりも外側に配置されたバックライトユニット５５２からの光は偏光板２０４ａを介して表示装置に入射する。このとき、画素電極１８１と共通電極１８２の間に与える電圧によって液晶層１８３の配向を制御し、光の光学変調を制御することができる。すなわち、偏光板２０４ｂを介し

て射出される光の強度を制御することができる。また、入射光は着色層２０５によって特定の波長領域以外の光が吸収されるため、射出される光は例えば赤色、青色、または緑色を呈する光となる。
［０３４３］
導電層５６５は、導電層２５５及び接続体２４２を介して、ＦＰＣ１６２と電気的に接続される。
［０３４４］
本発明の一態様の液晶表示装置は、縦電界方式に限られず、横電界方式であってもよい。横電界方式の液晶表示装置には、例えば、ＦＦＳ（Ｆｒｉｎｇｅ　Ｆｉｅｌｄ　Ｓｗｉｔｃｈｉｎｇ）モードが適用された液晶素子を用いてもよい。
［０３４５］
＜半導体層について＞
本発明の一態様で開示されるトランジスタに用いる半導体材料の結晶性は特に限定されず、非晶質半導体、結晶性を有する半導体（微結晶半導体、多結晶半導体、単結晶半導体、または一部に結晶領域を有する半導体）のいずれを用いてもよい。結晶性を有する半導体を用いると、トランジスタ特性の劣化を抑制できるため好ましい。
［０３４６］
トランジスタに用いる半導体材料としては、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である金属酸化物を用いることができる。代表的には、インジウムを含む金属酸化物などであり、例えば、後述するＣＡＣ－ＯＳなどを用いることができる。
［０３４７］
シリコンよりもバンドギャップが広く、且つキャリア密度の小さい金属酸化物を用いたトランジスタは、その小さいオフ電流により、トランジスタと直列に接続された容量素子に蓄積した電荷を長期間に亘って保持することが可能である。
［０３４８］
半導体層に好適な金属酸化物の詳細については、実施の形態５を参照できる。
［０３４９］
また、トランジスタに用いる半導体材料としては、例えばシリコンを用いることができる。シリコンとして、特にアモルファスシリコンを用いることが好ましい。アモルファスシリコンを用いることで、大型の基板上に歩留り良くトランジスタを形成でき、量産性を高めることができる。
［０３５０］
また、微結晶シリコン、多結晶シリコン、単結晶シリコンなどの結晶性を有するシリコンを用いることもできる。特に、多結晶シリコンは、単結晶シリコンに比べて低温で形成でき、且つアモルファスシリコンに比べて高い電界効果移動度と高い信頼性を備える。
［０３５１］
また、１つの表示装置が、それぞれ半導体層の材料が異なる２種類以上のトランジスタを有していてもよい。
［０３５２］
本実施の形態は、他の実施の形態と適宜組み合わせることができる。
［０３５３］
（実施の形態４）
本実施の形態では、上記実施の形態で例示した表示システムに適用可能な半導体装置について説明す

る。以下で例示する半導体装置は、記憶装置として機能することができる。当該半導体装置は、例えば、表示システムが有する記憶部に用いることができる。

［０３５４］

本実施の形態では、酸化物半導体を用いた記憶装置の一例として、ＤＯＳＲＡＭ（登録商標）について説明する。なお、「ＤＯＳＲＡＭ」の名称は、Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙに由来する。ＤＯＳＲＡＭとは、メモリセルが、１Ｔ１Ｃ（１トランジスタ１容量）型セルであり、かつ書込みトランジスタが、酸化物半導体が適用されたトランジスタである記憶装置のことである。

［０３５５］

図２６を用いて、ＤＯＳＲＡＭ１０００の積層構造例について説明する。ＤＯＳＲＡＭ１０００は、データの読み出しを行うセンスアンプ部１００２と、データを格納するセルアレイ部１００３とが積層されている。

［０３５６］

図２６に示すように、センスアンプ部１００２には、ビット線ＢＬ、ＳｉトランジスタＴａ１０、Ｔａ１１が設けられている。ＳｉトランジスタＴａ１０、Ｔａ１１は、単結晶シリコンウエハに半導体層をもつ。ＳｉトランジスタＴａ１０、Ｔａ１１は、センスアンプを構成し、ビット線ＢＬに電気的に接続されている。

［０３５７］

セルアレイ部１００３は複数のメモリセル１００１を有する。メモリセル１００１は、トランジスタＴｗ１及び容量素子Ｃ１を有する。セルアレイ部１００３において、２個のトランジスタＴｗ１は半導体層を共有する。半導体層とビット線ＢＬとは図示しない導電体により電気的に接続されている。

［０３５８］

図２６に示すような積層構造は、トランジスタ群を有する回路を複数積層して構成される様々な半導体装置に適用できる。

［０３５９］

図２６中の金属酸化物、絶縁体、導電体等は、単層でも積層でもよい。これらの作製には、スパッタリング法、分子線エピタキシー法（ＭＢＥ法）、パルスレーザアブレーション法（ＰＬＡ法）、化学気相堆積（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法、原子層堆積法（ＡＬＤ法）などの各種の成膜方法を用いることができる。なお、ＣＶＤ法には、プラズマＣＶＤ法、熱ＣＶＤ法、有機金属ＣＶＤ法などがある。

［０３６０］

ここでは、トランジスタＴｗ１の半導体層は、金属酸化物（酸化物半導体）で構成されている。ここでは、半導体層が３層の金属酸化物層で構成されている例を示している。半導体層は、Ｉｎ、Ｇａ、及びＺｎを含む金属酸化物で構成されることが好ましい。

［０３６１］

ここで、金属酸化物は、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで、キャリア密度が増大し、低抵抗化する場合がある。例えば、金属酸化物を用いた半導体層を選択的に低抵抗化することで、半導体層にソース領域またはドレイン領域を設けることができる。

［０３６２］

なお、金属酸化物を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。ま

た、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）などを用いて測定することができる。

［０３６３］

特に、ホウ素、及びリンは、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、好ましい。既存の設備を転用することができ、設備投資を抑制することができる。

［０３６４］

選択的に低抵抗化した半導体層を有するトランジスタは、例えば、ダミーゲートを用いることで形成することができる。具体的には、半導体層上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上記半導体層を低抵抗化する元素を添加するとよい。つまり、半導体層のダミーゲートと重畳していない領域に、当該元素が添加され、低抵抗化した領域が形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

［０３６５］

導電体に用いられる導電材料には、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイド、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属、または上述した金属を成分とする金属窒化物（窒化タンタル、窒化チタン、窒化モリブデン、窒化タングステン）等がある。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を用いることができる。

［０３６６］

絶縁体に用いられる絶縁材料には、窒化アルミニウム、酸化アルミニウム、窒化酸化アルミニウム、酸化窒化アルミニウム、酸化マグネシウム、窒化シリコン、酸化シリコン、窒化酸化シリコン、酸化窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル、アルミニウムシリケートなどがある。なお、本明細書等において、酸化窒化物とは、酸素の含有量が窒素よりも多い化合物であり、窒化酸化物とは、窒素の含有量が酸素よりも多い化合物のことをいう。

［０３６７］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０３６８］

（実施の形態５）

本実施の形態では、本発明の一態様で開示されるトランジスタの半導体層に用いることができる金属酸化物について説明する。なお、トランジスタの半導体層に金属酸化物を用いる場合、当該金属酸化物を酸化物半導体と読み替えてもよい。

［０３６９］

酸化物半導体は、単結晶酸化物半導体と、非単結晶酸化物半導体と、に分けられる。非単結晶酸化物

半導体としては、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ ｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶酸化物半導体、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、及び非晶質酸化物半導体などがある。

［０３７０］

また、本発明の一態様で開示されるトランジスタの半導体層には、ＣＡＣ－ＯＳ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ Ｃｏｍｐｏｓｉｔｅ ｏｘｉｄｅ ｓｅｍｉｃｏｎｄｕｃｔｏｒ）を用いてもよい。

［０３７１］

なお、本発明の一態様で開示されるトランジスタの半導体層は、上述した非単結晶酸化物半導体またはＣＡＣ－ＯＳを好適に用いることができる。また、非単結晶酸化物半導体としては、ｎｃ－ＯＳまたはＣＡＡＣ－ＯＳを好適に用いることができる。

［０３７２］

なお、本発明の一態様では、トランジスタの半導体層として、ＣＡＣ－ＯＳを用いると好ましい。ＣＡＣ－ＯＳを用いることで、トランジスタに高い電気特性または高い信頼性を付与することができる。

［０３７３］

以下では、ＣＡＣ－ＯＳの詳細について説明する。

［０３７４］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅを、トランジスタのチャネル形成領域に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅに付与することができる。ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

［０３７５］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

［０３７６］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅにおいて、導電性領域と、絶縁性領域とは、それぞれ０．５ｎｍ以上１０ｎｍ以下、好ましくは０．５ｎｍ以上３ｎｍ以下のサイズで材料中に分散している場合がある。

［０３７７］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅは、異なるバンドギャップを有する成分により構成される。例えば、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ ｏｘｉｄｅは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、に

より構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

［０３７８］

すなわち、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、マトリックス複合材（ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）または金属マトリックス複合材（ｍｅｔａｌ　ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）と呼称することもできる。

［０３７９］

ＣＡＣ－ＯＳは、例えば、金属酸化物を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下またはその近傍のサイズで混合した状態をモザイク状またはパッチ状ともいう。

［０３８０］

なお、金属酸化物は、少なくともインジウムを含むことが好ましい。特にインジウム及び亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種または複数種が含まれていてもよい。

［０３８１］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳ（ＣＡＣ－ＯＳの中でもＩｎ－Ｇａ－Ｚｎ酸化物を、特にＣＡＣ－ＩＧＺＯと呼称してもよい。）とは、インジウム酸化物（以下、InO_{X1}（Ｘ１は０よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、$In_{X2}Zn_{Y2}O_{Z2}$（Ｘ２、Ｙ２、及びＺ２は０よりも大きい実数）とする。）と、ガリウム酸化物（以下、GaO_{X3}（Ｘ３は０よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、$Ga_{X4}Zn_{Y4}O_{Z4}$（Ｘ４、Ｙ４、及びＺ４は０よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状のInO_{X1}、または$In_{X2}Zn_{Y2}O_{Z2}$が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

［０３８２］

つまり、ＣＡＣ－ＯＳは、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、混合している構成を有する複合金属酸化物である。なお、本明細書において、例えば、第１の領域の元素Ｍに対するＩｎの原子数比が、第２の領域の元素Ｍに対するＩｎの原子数比よりも大きいことを、第１の領域は、第２の領域と比較して、Ｉｎの濃度が高いとする。

［０３８３］

なお、ＩＧＺＯは通称であり、Ｉｎ、Ｇａ、Ｚｎ、及びＯによる１つの化合物をいう場合がある。代表例として、$InGaO_3(ZnO)_{m1}$（ｍ１は自然数）、または$In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$（$-1 \leqq x0 \leqq 1$、ｍ０は任意数）で表される結晶性の化合物が挙げられる。

［０３８４］

上記結晶性の化合物は、単結晶構造、多結晶構造、またはＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）構造を有する。なお、ＣＡＡＣ構造とは、複数のＩＧＺＯのナノ結晶がｃ軸配向を有し、かつａ－ｂ面においては配向せずに連結した結晶構造である。

［０３８５］

一方、ＣＡＣ－ＯＳは、金属酸化物の材料構成に関する。ＣＡＣ－ＯＳとは、Ｉｎ、Ｇａ、Ｚｎ、及びＯを含む材料構成において、一部にＧａを主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。従って、ＣＡＣ－ＯＳにおいて、結晶構造は副次的な要素である。

［０３８６］

なお、ＣＡＣ－ＯＳは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Ｉｎを主成分とする膜と、Ｇａを主成分とする膜との２層からなる構造は、含まない。

［０３８７］

なお、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とは、明確な境界が観察できない場合がある。

［０３８８］

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、ＣＡＣ－ＯＳは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

［０３８９］

ＣＡＣ－ＯＳは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、ＣＡＣ－ＯＳをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、及び窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を０％以上３０％未満、好ましくは０％以上１０％以下とすることが好ましい。

［０３９０］

ＣＡＣ－ＯＳは、Ｘ線回折（ＸＲＤ：Ｘ－ｒａｙ　ｄｉｆｆｒａｃｔｉｏｎ）測定法のひとつであるＯｕｔ－ｏｆ－ｐｌａｎｅ法によるθ／２θスキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、Ｘ線回折から、測定領域のａ－ｂ面方向、及びｃ軸方向の配向は見られないことが分かる。

［０３９１］

またＣＡＣ－ＯＳは、プローブ径が１ｎｍの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。従って、電子線回折パターンから、ＣＡＣ－ＯＳの結晶構造が、平面方向、及び断面方向において、配向性を有さないｎｃ（ｎａｎｏ－ｃｒｙｓｔａｌ）構造を有することがわかる。

［０３９２］

また例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（Ｅ

ＤＸ：Ｅｎｅｒｇｙ Ｄｉｓｐｅｒｓｉｖｅ Ｘ－ｒａｙ ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

［０３９３］

ＣＡＣ－ＯＳは、金属元素が均一に分布したＩＧＺＯ化合物とは異なる構造であり、ＩＧＺＯ化合物と異なる性質を有する。つまり、ＣＡＣ－ＯＳは、GaO_{X3}などが主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

［０３９４］

ここで、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域は、GaO_{X3}などが主成分である領域と比較して、導電性が高い領域である。つまり、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。従って、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（μ）が実現できる。

［０３９５］

一方、GaO_{X3}などが主成分である領域は、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{X3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

［０３９６］

従って、ＣＡＣ－ＯＳを半導体素子に用いた場合、GaO_{X3}などに起因する絶縁性と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}に起因する導電性とが、相補的に作用することにより、大きなオン電流（I_{on}）、及び高い電界効果移動度（μ）を実現することができる。

［０３９７］

また、ＣＡＣ－ＯＳを用いた半導体素子は、信頼性が高い。従って、ＣＡＣ－ＯＳは、さまざまな半導体装置に最適である。

［０３９８］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［０３９９］

（実施の形態６）

本実施の形態では、本発明の一態様の電子機器について、図２７を用いて説明する。

［０４００］

本実施の形態の電子機器は、本発明の一態様の表示システムを有する。これにより、電子機器の表示部は、高品質な映像を表示することができる。具体的には、大型の表示装置または高精細化された表示装置で、良好な表示品位を実現できる。

［０４０１］

本実施の形態の電子機器の表示部には、例えばフルハイビジョン、２Ｋ、４Ｋ、８Ｋ、１６Ｋ、またはそれ以上の解像度を有する映像を表示させることができる。また、表示部の画面サイズは、対角２０インチ以上、対角３０インチ以上、対角５０インチ以上、対角６０インチ以上、または対角７０インチ以上とすることができる。

［０４０２］

本発明の一態様の表示システムを用いることができる電子機器としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｇｅ：電子看板）、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。また、本発明の一態様の表示システムは、携帯型の電子機器、装着型の電子機器（ウェアラブル機器）、ＶＲ（Ｖｉｒｔｕａｌ　Ｒｅａｌｉｔｙ）機器、ＡＲ（Ａｕｇｍｅｎｔｅｄ　Ｒｅａｌｉｔｙ）機器などにも好適に用いることができる。

［０４０３］

本発明の一態様の電子機器は、二次電池を有していてもよく、非接触電力伝送を用いて、二次電池を充電することができると好ましい。

［０４０４］

二次電池としては、例えば、ゲル状電解質を用いるリチウムポリマー電池（リチウムイオンポリマー電池）等のリチウムイオン二次電池、ニッケル水素電池、ニカド電池、有機ラジカル電池、鉛蓄電池、空気二次電池、ニッケル亜鉛電池、銀亜鉛電池などが挙げられる。

［０４０５］

本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナ及び二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。

［０４０６］

本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。

［０４０７］

本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。

［０４０８］

さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能等を有することができる。さらに、受像部を有する電子機器においては、静止画または動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部または電子機器に内蔵）に保存する機能、撮影した画像を表示部に表示する機能等を有することができる。なお、本発明の一態様の電子機器が有する機能はこれらに限定されず、様々な機能を有することができる。

［０４０９］

図２７（Ａ）に、テレビジョン装置１８１０を示す。テレビジョン装置１８１０は、表示部１８１１、筐体１８１２、スピーカ１８１３等を有する。さらに、ＬＥＤランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。

［０４１０］

テレビジョン装置１８１０は、リモコン操作機１８１４により、操作することができる。

［０４１１］

テレビジョン装置１８１０が受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられる。また放送電波として、アナログ放送、デジタル放送などがあり、また映像及び音声、または音声のみの放送などがある。例えばＵＨＦ帯（約３００ＭＨｚ～３ＧＨｚ）またはＶＨＦ帯（３０ＭＨｚ～３００ＭＨｚ）のうちの特定の周波数帯域で送信される放送電波を受信することができる。また例えば、複数の周波数帯域で受信した複数のデータを用いることで、転送レートを高くすることができ、より多くの情報を得ることができる。これによりフルハイビジョンを超える解像度を有する映像を、表示部１８１１に表示させることができる。例えば、４Ｋ、８Ｋ、１６Ｋ、またはそれ以上の解像度を有する映像を表示させることができる。

［０４１２］

また、インターネットやＬＡＮ（Ｌｏｃａｌ　Ａｒｅａ　Ｎｅｔｗｏｒｋ）、Ｗｉ－Ｆｉ（登録商標）などのコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、表示部１８１１に表示する画像を生成する構成としてもよい。このとき、テレビジョン装置１８１０にチューナーを有さなくてもよい。

［０４１３］

図２７（Ｂ）は円柱状の柱１８２２に取り付けられたデジタルサイネージ１８２０を示している。デジタルサイネージ１８２０は、表示部１８２１を有する。

［０４１４］

表示部１８２１が広いほど、一度に提供できる情報量を増やすことができる。また、表示部１８２１が広いほど、人の目につきやすく、例えば、広告の宣伝効果を高めることができる。

［０４１５］

表示部１８２１にタッチパネルを適用することで、表示部１８２１に静止画または動画を表示するだけでなく、使用者が直感的に操作することができ、好ましい。また、路線情報もしくは交通情報などの情報を提供するための用途に用いる場合には、直感的な操作によりユーザビリティを高めることができる。

［０４１６］

図２７（Ｃ）はノート型のパーソナルコンピュータ１８３０を示している。パーソナルコンピュータ１８３０は、表示部１８３１、筐体１８３２、タッチパッド１８３３、接続ポート１８３４等を有する。

［０４１７］

タッチパッド１８３３は、ポインティングデバイスや、ペンタブレット等の入力手段として機能し、指やスタイラス等で操作することができる。

［０４１８］

また、タッチパッド１８３３には表示素子が組み込まれている。図２７（Ｃ）に示すように、タッチパッド１８３３の表面に入力キー１８３５を表示することで、タッチパッド１８３３をキーボードとして使用することができる。このとき、入力キー１８３５に触れた際に、振動により触感を実現するため、振動モジュールがタッチパッド１８３３に組み込まれていてもよい。

［０４１９］

図２７（Ｄ）に携帯情報端末の一例を示す。図２７（Ｄ）に示す携帯情報端末１８４０は、筐体１８４１、表示部１８４２、操作ボタン１８４３、外部接続ポート１８４４、スピーカ１８４５、マイク１８４６、カメラ１８４７等を有する。

［０４２０］

携帯情報端末１８４０は、表示部１８４２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部１８４２に触れることで行うことができる。

［０４２１］

また、操作ボタン１８４３の操作により、電源のＯＮ、ＯＦＦ動作や、表示部１８４２に表示される画像の種類を切り替えることができる。例えば、メール作成画面から、メインメニュー画面に切り替えることができる。

［０４２２］

また、携帯情報端末１８４０の内部に、ジャイロセンサまたは加速度センサ等の検出装置を設けることで、携帯情報端末１８４０の向き（縦か横か）を判断して、表示部１８４２の画面表示の向きを自動的に切り替えるようにすることができる。また、画面表示の向きの切り替えは、表示部１８４２を触れること、操作ボタン１８４３の操作、またはマイク１８４６を用いた音声入力等により行うこともできる。

［０４２３］

携帯情報端末１８４０は、例えば、電話機、手帳または情報閲覧装置等から選ばれた一つまたは複数の機能を有する。具体的には、スマートフォンとして用いることができる。携帯情報端末１８４０は、例えば、移動電話、電子メール、文章閲覧及び作成、音楽再生、動画再生、インターネット通信、ゲームなどの種々のアプリケーションを実行することができる。

［０４２４］

図２７（Ｅ）、図２７（Ｆ）に、携帯情報端末１８５０を示す。携帯情報端末１８５０は、筐体１８５１、筐体１８５２、表示部１８５３、表示部１８５４、及びヒンジ部１８５５等を有する。

［０４２５］

筐体１８５１と筐体１８５２は、ヒンジ部１８５５で連結されている。携帯情報端末１８５０は、図２７（Ｅ）に示すように折り畳んだ状態から、図２７（Ｆ）に示すように筐体１８５１と筐体１８５２を開くことができる。

［０４２６］

例えば表示部１８５３及び表示部１８５４に、文書情報を表示することが可能であり、電子書籍端末としても用いることができる。また、表示部１８５３及び表示部１８５４に静止画像や動画像を表示することもできる。

［０４２７］

このように、携帯情報端末１８５０は、持ち運ぶ際には折り畳んだ状態にできるため、汎用性に優れる。

［０４２８］

なお、筐体１８５１及び筐体１８５２には、電源ボタン、操作ボタン、外部接続ポート、スピーカ、マイク等を有していてもよい。

［０４２９］

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

［符号の説明］

［０４３０］

ＭＥＭ：記憶回路、Ｓ１：画像信号、Ｓ２：画像信号、Ｗ１：補正データ、Ｗ２：補正信号、Ｗ３：信号、１０：画素、１０ａ：画素、１０ｂ：画素、１０ｃ：画素、１０ｄ：画素、１０ｅ：画素、１０ｆ：画素、１２：走査線駆動回路、１３：信号線駆動回路、１５：回路、１００Ａ：表示システム、１００Ｂ：表示システム、１０１：トランジスタ、１０２：トランジスタ、１０３：容量素子、１０４：発光素子、１０５：トランジスタ、１０９：容量素子、１１１：トランジスタ、１１２：トランジスタ、１１３：容量素子、１２１：配線、１２２：配線、１２３：配線、１２４：配線、１２５：配線、１２６：配線、１２７：共通配線、１２８：電源線、１２９：共通配線、１３０：配線、１３１：トランジスタ、１３２：トランジスタ、１３３：容量素子、１３４：容量素子、１３５：液晶素子、１３６：トランジスタ、１３７：トランジスタ、１４１：スイッチ、１４２：スイッチ、１４３：スイッチ、１４４：スイッチ、１４５：トランジスタ、１４６：トランジスタ、１４７：容量素子、１５１：制御部、１５２：記憶部、１５３：処理部、１５４：入出力部、１５５：通信部、１５６：表示部、１５７：バスライン、１５９：ニューラルネットワーク、１５９ａ：ニューラルネットワーク、１５９ｂ：ニューラルネットワーク、１６２：ＦＰＣ、１７０：発光素子、１７１：画素電極、１７２：ＥＬ層、１７３：共通電極、１７４：接着層、１８０：液晶素子、１８１：画素電極、１８２：共通電極、１８３：液晶層、２００：画素、２０１ａ：トランジスタ、２０１ｄ：トランジスタ、２０２：基板、２０３：基板、２０４ａ：偏光板、２０４ｂ：偏光板、２０５：着色層、２０６：遮光層、２０７：オーバーコート、２０８ａ：配向膜、２０８ｂ：配向膜、２０９：接着層、２１０：画素、２１１：絶縁層、２１２：絶縁層、２１３：絶縁層、２１５：絶縁層、２１６：絶縁層、２１７：絶縁層、２１８：絶縁層、２２１：導電層、２２２ａ：導電層、２２２ｂ：導電層、２２３：導電層、２２５：絶縁層、２３１：半導体層、２４２：接続体、２５１ａ：トランジスタ、２５５：導電層、４４６ａ：トランジスタ、４４６ｄ：トランジスタ、５５２：バックライトユニット、５６２：画素部、５６４：走査線駆動回路、５６５：導電層、１０００：ＤＯＳＲＡＭ、１００１：メモリセル、１００２：センスアンプ部、１００３：セルアレイ部、１８１０：テレビジョン装置、１８１１：表示部、１８１２：筐体、１８１３：スピーカ、１８１４：リモコン操作機、１８２０：デジタルサイネージ、１８２１：表示部、１８２２：柱、１８３０：パーソナルコンピュータ、１８３１：表示部、１８３２：筐体、１８３３：タッチパッド、１８３４：接続ポート、１８３５：入力キー、１８４０：携帯情報端末、１８４１：筐体、１８４２：表示部、１８４３：操作ボタン、１８４４：外部接続ポート、１８４５：スピーカ、１８４６：マイク、１８４７：カメラ、１８５０：携帯情報端末、１８５１：筐体、１８５２：筐体、１８５３：表示部、１８５４：表示部、１８５５：ヒンジ部

請求の範囲

［請求項１］

処理部及び表示部を有し、

前記処理部には、第１の画像信号が供給され、

前記処理部は、前記第１の画像信号を用いて、第２の画像信号を生成する機能を有し、

前記処理部は、補正信号を生成する機能を有し、

前記表示部は、画素を有し、

前記画素は、表示素子及び記憶回路を有し、

前記画素には、前記第２の画像信号及び前記補正信号が供給され、

前記記憶回路は、前記補正信号を保持する機能を有する、表示システム。

［請求項２］

処理部、表示部、及び記憶部を有し、

前記記憶部は、補正データを有し、

前記処理部には、第１の画像信号及び前記補正データが供給され、

前記処理部は、前記第１の画像信号を用いて、第２の画像信号を生成する機能を有し、

前記処理部は、前記補正データに基づいた補正信号を生成する機能を有し、

前記表示部は、画素を有し、

前記画素は、表示素子及び記憶回路を有し、

前記画素には、前記第２の画像信号及び前記補正信号が供給され、

前記記憶回路は、前記補正信号を保持する機能を有する、表示システム。

［請求項３］

処理部及び表示部を有し、

前記処理部には、第１の画像信号が供給され、

前記処理部は、前記第１の画像信号を用いて、第２の画像信号を生成する機能を有し、

前記処理部は、前記第１の画像信号を用いて、補正信号を生成する機能を有し、

前記表示部は、画素を有し、

前記画素は、表示素子及び記憶回路を有し、

前記画素には、前記第２の画像信号及び前記補正信号が供給され、

前記記憶回路は、前記補正信号を保持する機能を有する、表示システム。

［請求項４］

請求項３において、

さらに、記憶部を有し、

前記記憶部は、補正データを有し、

前記処理部には、前記補正データが供給され、

前記処理部は、前記第１の画像信号及び前記補正データを用いて、前記補正信号を生成する機能を有する、表示システム。

［請求項５］

処理部及び表示部を有し、

前記表示部は、第１の回路及び画素を有し、

前記第１の回路は、第１の信号を生成する機能を有し、

前記処理部には、第１の画像信号及び前記第１の信号が供給され、

前記処理部は、前記第１の画像信号を用いて、第２の画像信号を生成する機能を有し、

前記処理部は、前記第１の信号を用いて、補正信号を生成する機能を有し、

前記画素は、表示素子及び記憶回路を有し、

前記画素には、前記第２の画像信号及び前記補正信号が供給され、

前記記憶回路は、前記補正信号を保持する機能を有する、表示システム。

［請求項６］

請求項５において、

さらに、記憶部を有し、

前記記憶部は、補正データを有し、

前記処理部には、前記補正データが供給され、

前記処理部は、前記第１の信号及び前記補正データを用いて、前記補正信号を生成する機能を有する、表示システム。

［請求項７］

請求項１乃至６のいずれか一において、

前記処理部は、ニューラルネットワークを用いて、前記第２の画像信号及び前記補正信号のうち一方または双方を生成する、表示システム。

［請求項８］

請求項１乃至７のいずれか一において、

前記処理部は、ニューラルネットワーク回路を有する、表示システム。

［請求項９］

請求項１乃至８のいずれか一において、

前記画素は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第１の容量素子と、第２の容量素子と、を有し、

前記第１のトランジスタのソースまたはドレインの一方は、前記第１の容量素子の一方の電極と電気的に接続され、

前記第１の容量素子の他方の電極は、前記第２のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第２のトランジスタのソースまたはドレインの一方は、前記第３のトランジスタのゲートと電気的に接続され、

前記第３のトランジスタのゲートは、前記第２の容量素子の一方の電極と電気的に接続され、

前記第２の容量素子の他方の電極は、前記第３のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のトランジスタのソースまたはドレインの一方は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のトランジスタのソースまたはドレインの他方は、前記表示素子の一方の電極と電気的に接続されている、表示システム。

［請求項１０］

請求項９において、

前記第２のトランジスタは、チャネル形成領域に金属酸化物を有し、

前記金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（Ｍはアルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジム、またはハフニウム）と、を有する表示システム。

［請求項１１］

請求項９または１０において、

前記第１のトランジスタのソースまたはドレインの他方には、前記第２の画像信号が供給され、

前記第２のトランジスタのソースまたはドレインの他方には、前記補正信号が供給される、表示システム。

［請求項１２］

請求項１乃至８のいずれか一において、

前記画素は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタと、第１の容量素子と、第２の容量素子と、を有し、

前記第１のトランジスタのソースまたはドレインの一方は、前記第１の容量素子の一方の電極と電気的に接続され、

前記第１の容量素子の一方の電極は、前記表示素子と電気的に接続され、

前記第２のトランジスタのソースまたはドレインの一方は、前記第１の容量素子の他方の電極と電気的に接続され、

前記第１の容量素子の他方の電極は、前記第３のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第３のトランジスタのゲートは、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のトランジスタのソースまたはドレインの一方は、前記第２の容量素子の一方の電極と電気的に接続されている表示システム。

［請求項１３］

請求項１２において、

前記第４のトランジスタは、チャネル形成領域に金属酸化物を有し、

前記金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（Ｍはアルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジム、またはハフニウム）と、を有する表示システム。

［請求項１４］

請求項１２または１３において、

前記第２のトランジスタのソースまたはドレインの他方は、低電位電源線と電気的に接続され、

前記第３のトランジスタのソースまたはドレインの他方は、高電位電源線と電気的に接続されている、表示システム。

［請求項１５］

請求項１２乃至１４のいずれか一において、

前記画素は、さらに、第５のトランジスタと、第６のトランジスタと、を有し、

前記第５のトランジスタのソースまたはドレインの一方は、前記第１のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第５のトランジスタのソースまたはドレインの他方は、前記表示素子と電気的に接続され、

前記第６のトランジスタのソースまたはドレインの一方は、前記第５のトランジスタのソースまたはドレインの他方と電気的に接続され、

前記第６のトランジスタのソースまたはドレインの他方は、低電位電源線と電気的に接続されている、表示システム。

［請求項１６］

請求項１２乃至１５のいずれか一において、

前記第１のトランジスタのソースまたはドレインの他方には、前記第２の画像信号が供給され、

前記第４のトランジスタのソースまたはドレインの他方には、前記補正信号が供給される、表示システム。

［請求項１７］

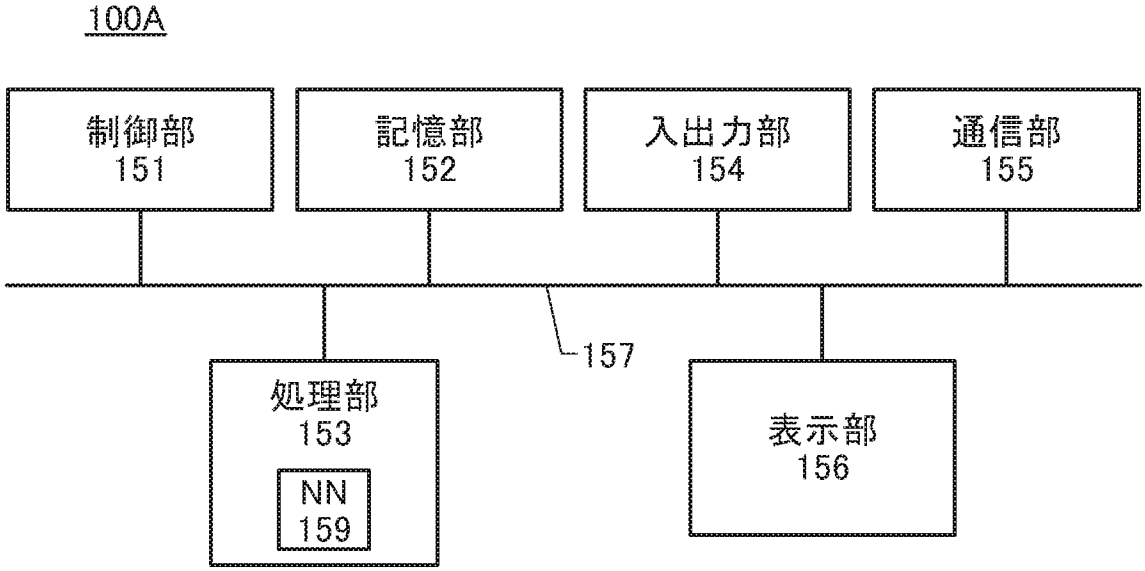
請求項１乃至１６のいずれか一において、

前記記憶回路は、前記補正信号を前記第２の画像信号に付加することで第３の画像信号を生成する機能を有し、

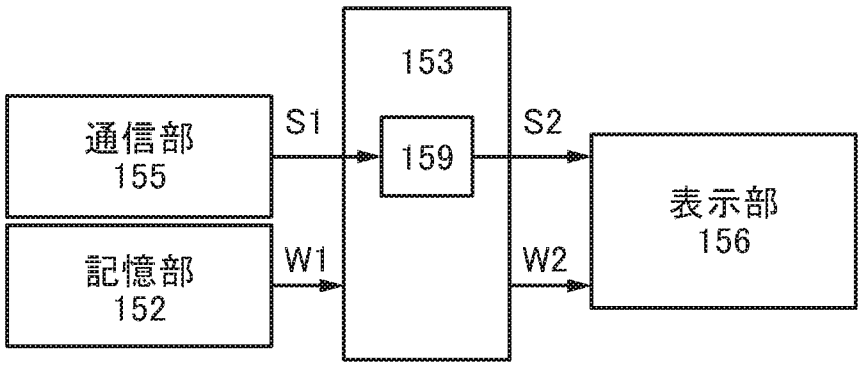
前記表示素子は、前記第３の画像信号に基づいて表示する機能を有する、表示システム。

[図 1]

(A)

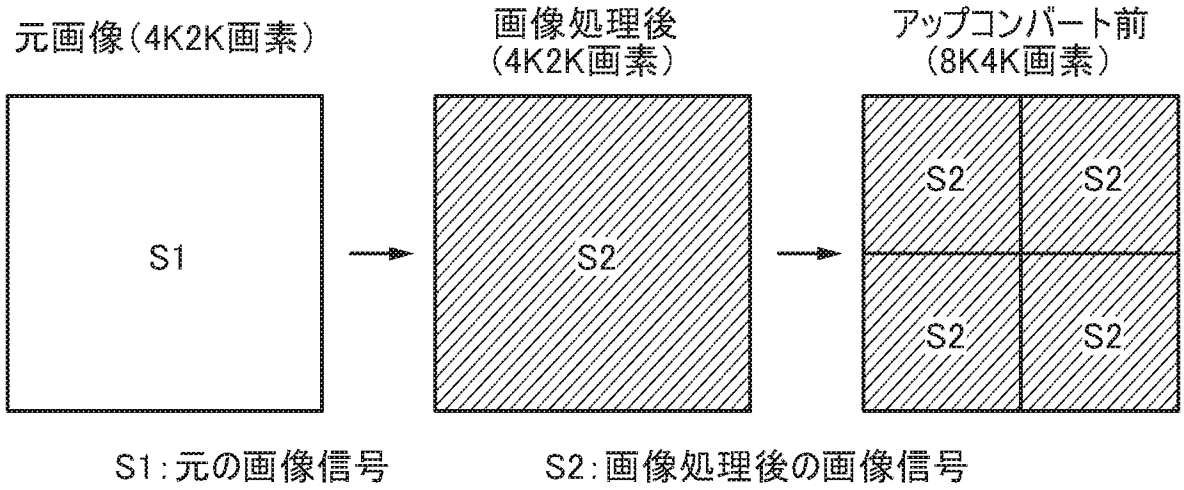

100A
制御部
151
記憶部
152
入出力部
154
通信部
155
157
処理部
153
NN
159
表示部
156

(B)

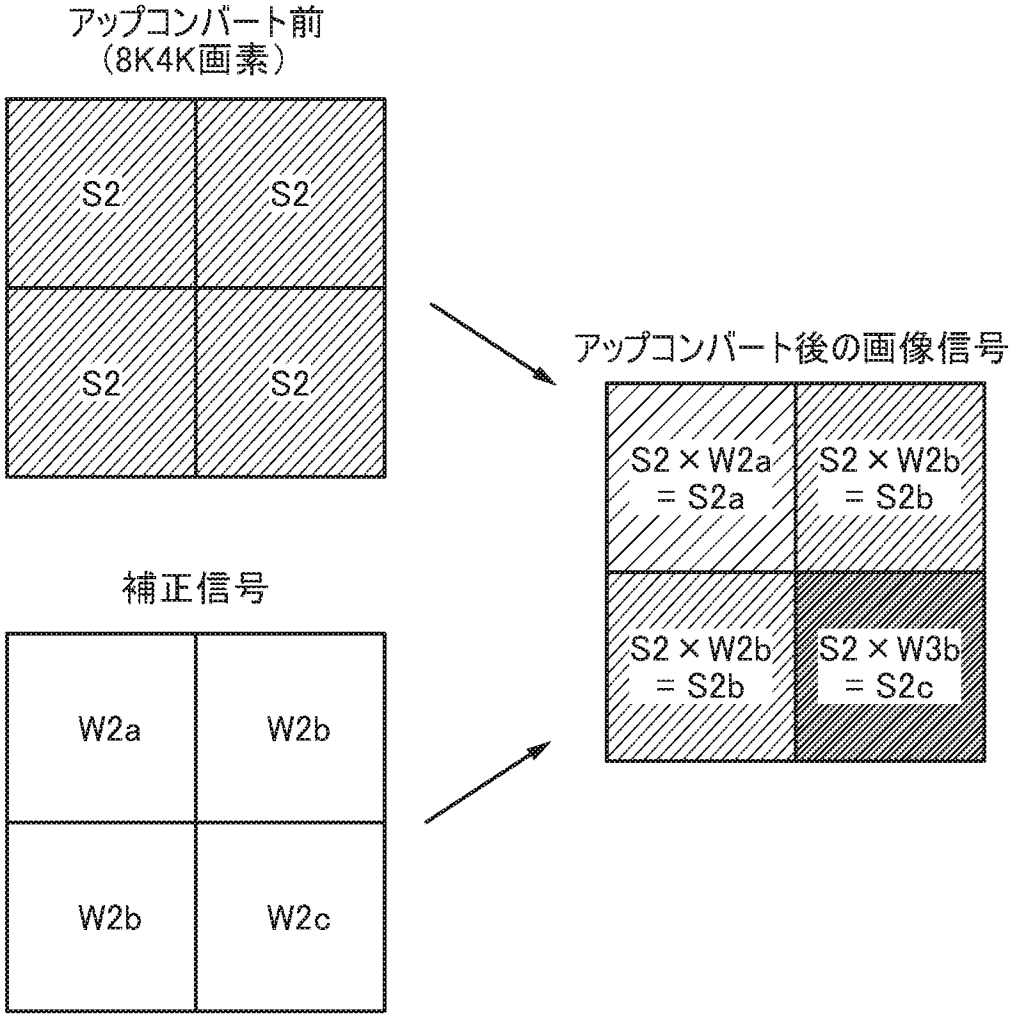

153
通信部
155
S1
159
S2
表示部
156
記憶部
152
W1
W2

[図 2]

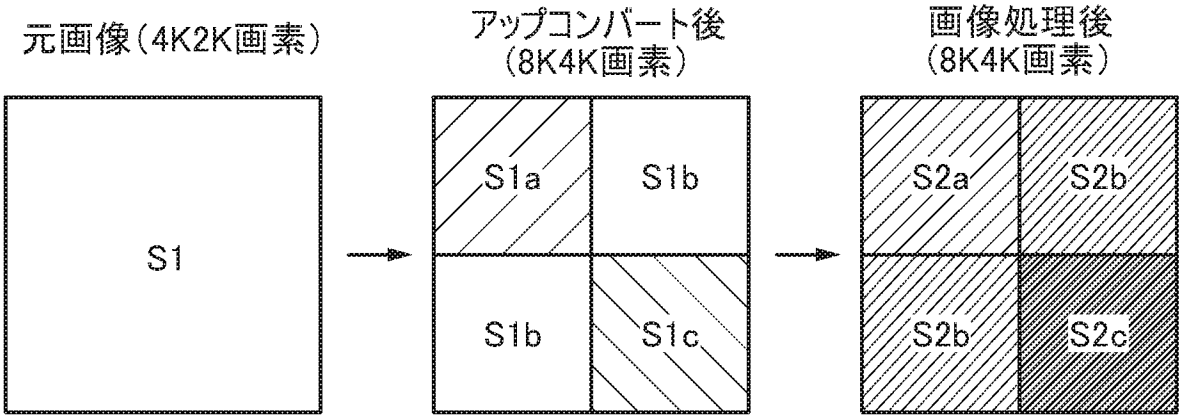
(A)


元画像(4K2K画素)
画像処理後
(4K2K画素)
アップコンバート前
(8K4K画素)
S1
S2
S2
S2
S2
S2
S1:元の画像信号
S2:画像処理後の画像信号

(B)


アップコンバート前
(8K4K画素)
S2
S2
S2
S2
補正信号
W2a
W2b
W2b
W2c
アップコンバート後の画像信号
S2 × W2a
= S2a
S2 × W2b
= S2b
S2 × W2b
= S2b
S2 × W3b
= S2c

[図 3]



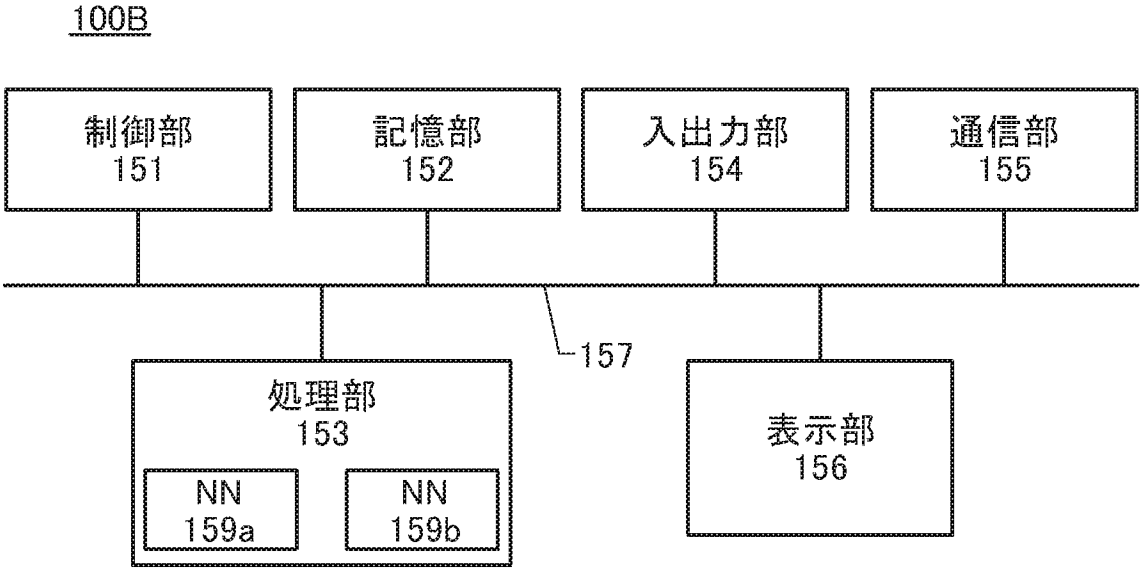
S1：元の画像信号

S1a～S1c：アップコンバート後の画像信号

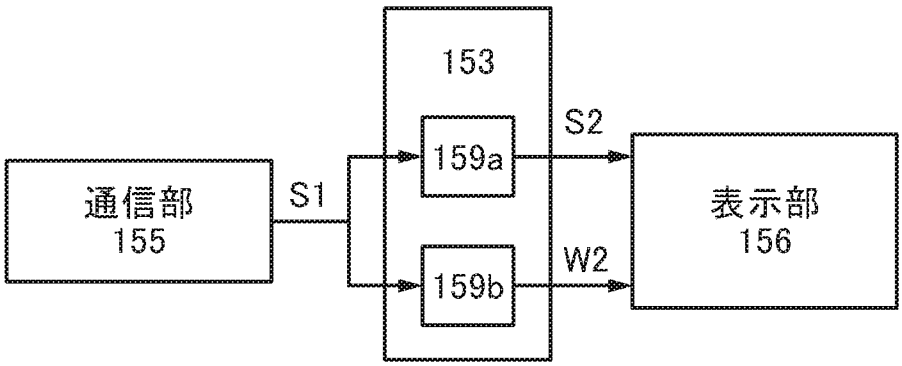
S2a～S2c：画像処理後の画像信号

[図 4]

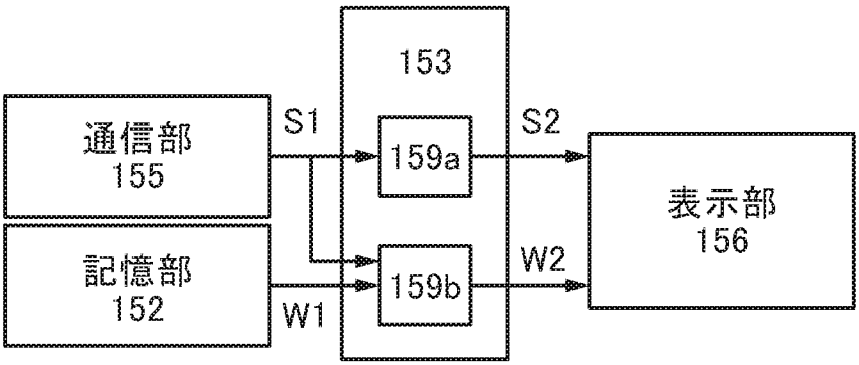
(A)


100B
制御部
151
記憶部
152
入出力部
154
通信部
155
157
処理部
153
NN
159a
NN
159b
表示部
156

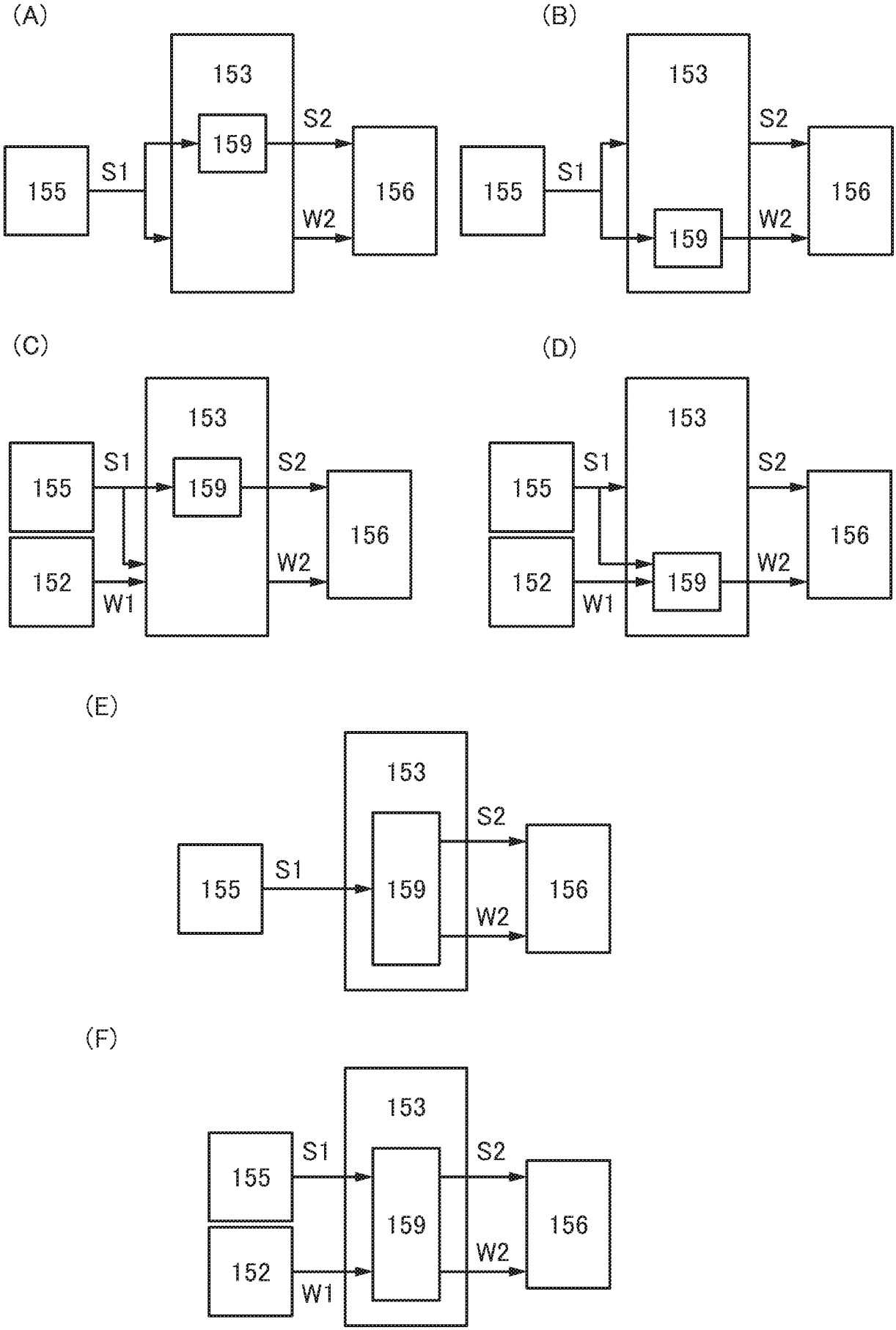
(B)


153
通信部
155
S1
159a
159b
S2
W2
表示部
156

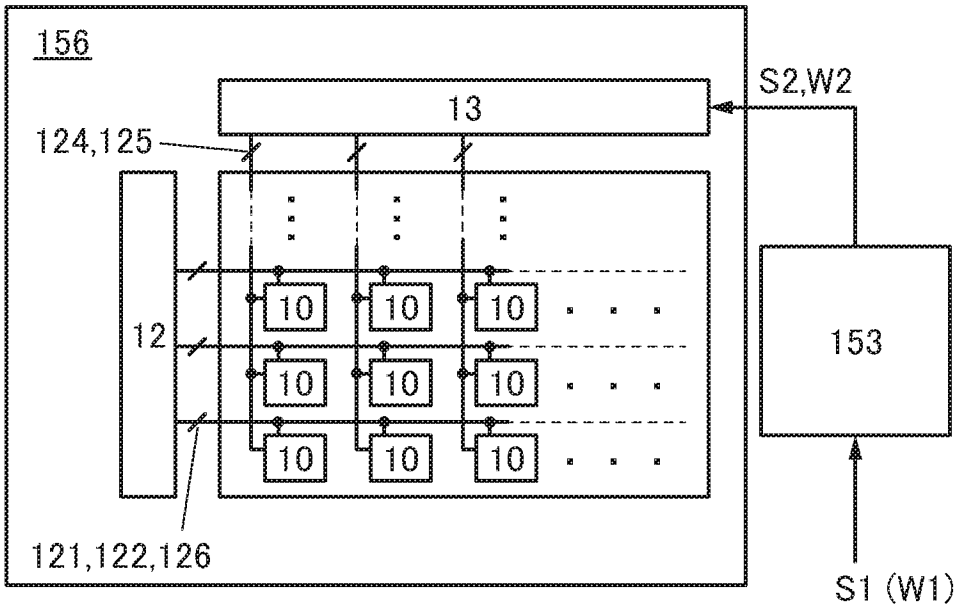
(C)


153
通信部
155
記憶部
152
S1
W1
159a
159b
S2
W2
表示部
156

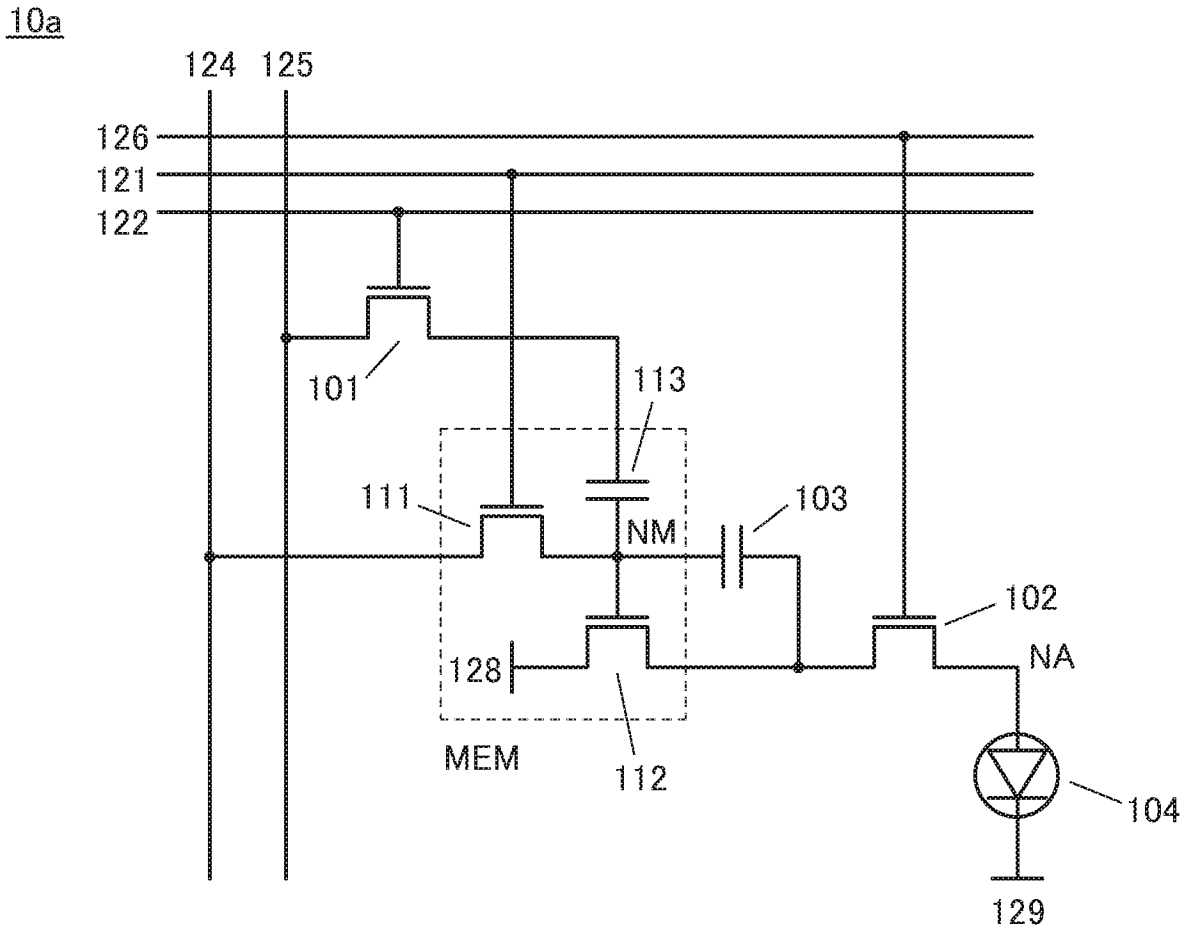
[図 5]


(A)
153
159
S2
155
S1
156
W2
(B)
153
S2
155
S1
156
159
W2
(C)
153
155
S1
159
S2
156
152
W2
W1
(D)
153
155
S1
S2
156
152
159
W2
W1
(E)
153
S2
155
S1
159
156
W2
(F)
153
155
S1
S2
159
156
152
W2
W1

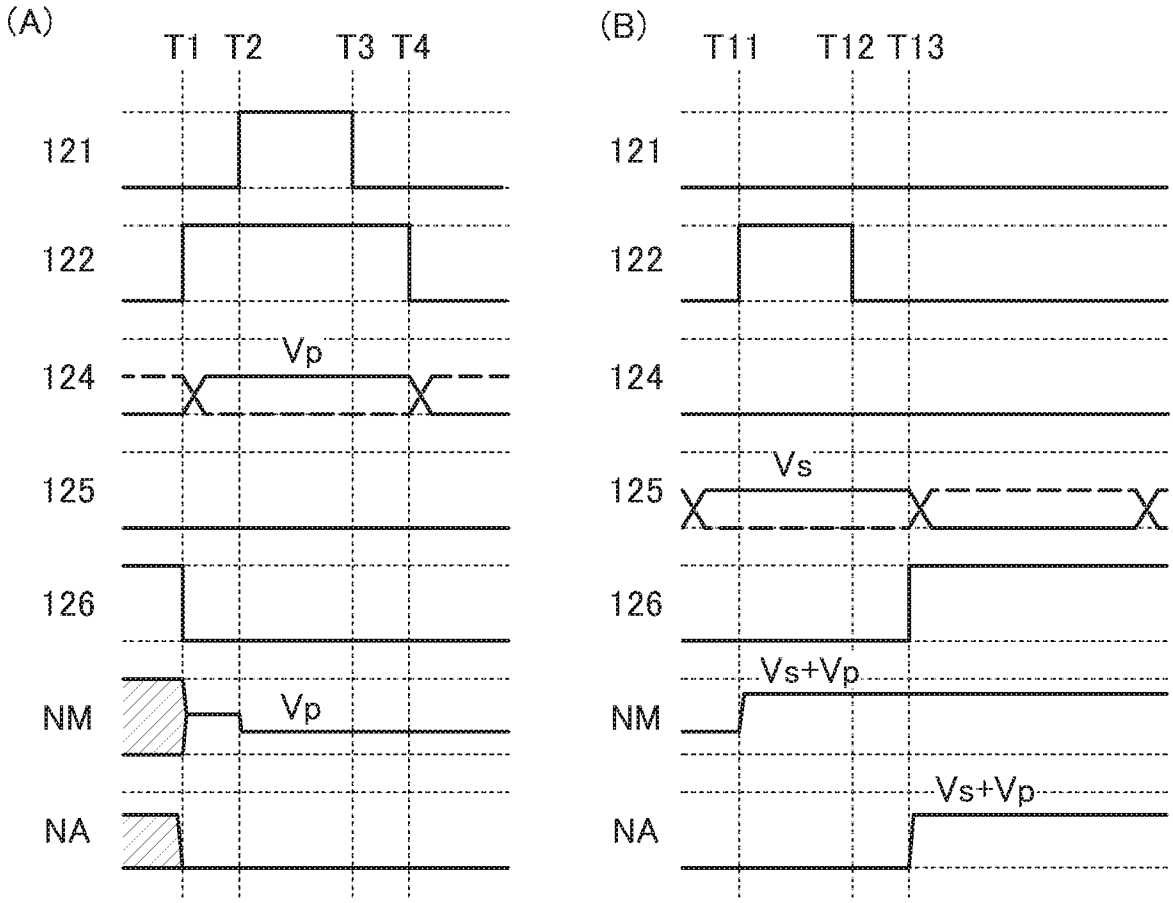
[図 6]



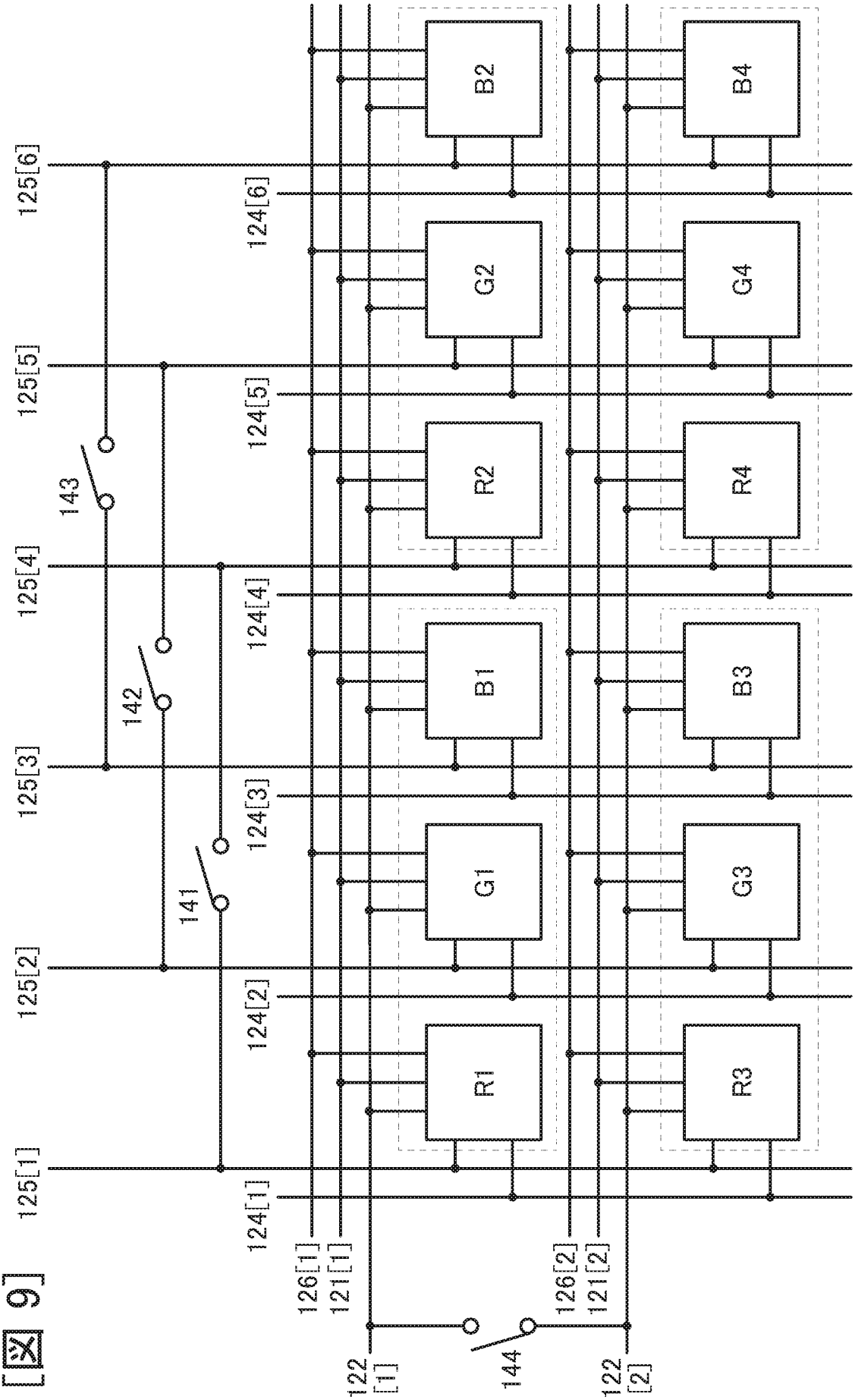
[図 7]


10a
124
125
126
121
122
101
113
111
NM
103
102
NA
128
MEM
112
104
129

[図 8]

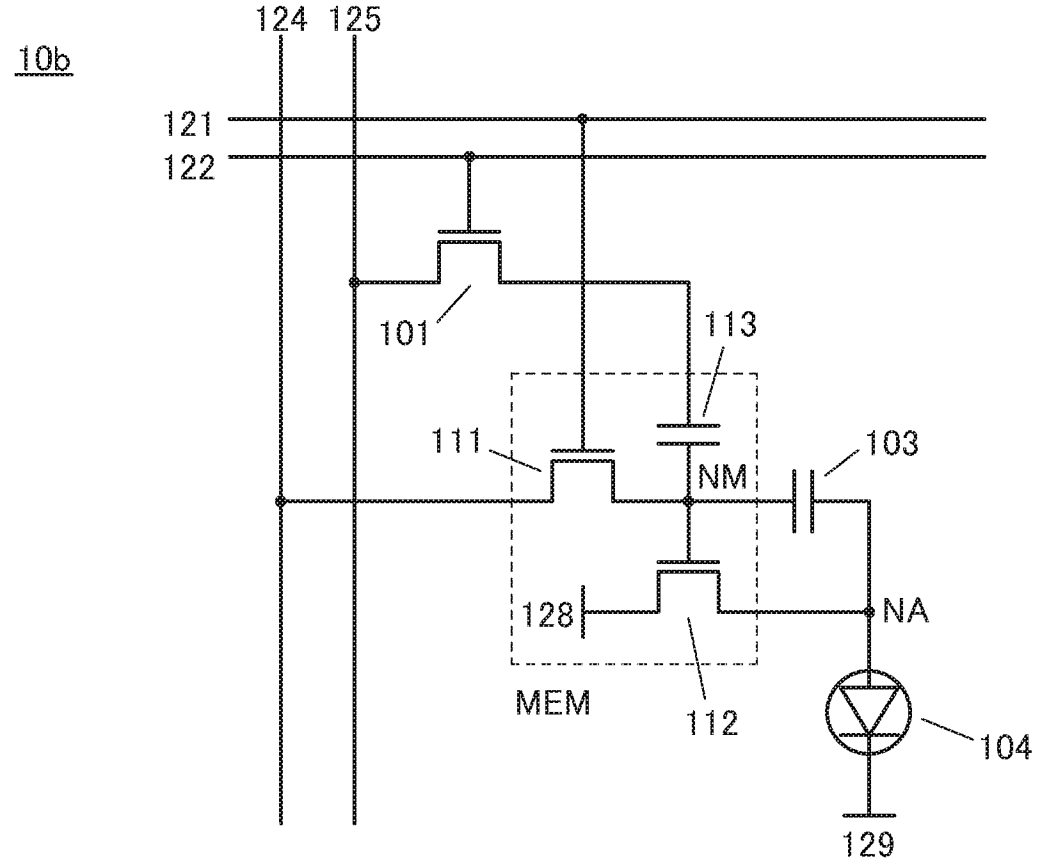

(A)
T1
T2
T3
T4
121
122
124
Vp
125
126
NM
Vp
NA
(B)
T11
T12
T13
121
122
124
Vs
125
126
Vs+Vp
NM
Vs+Vp
NA

[図 9]

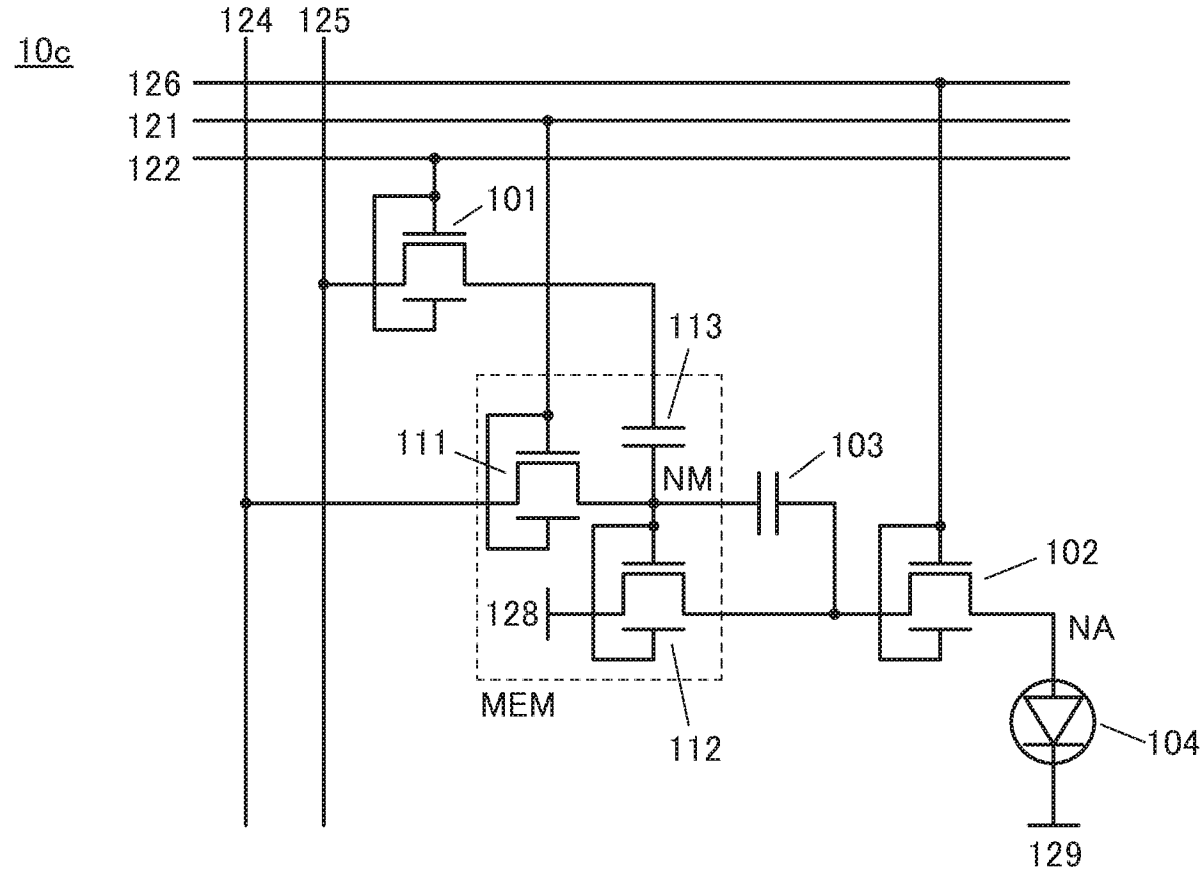

125[1]
125[2]
125[3]
125[4]
125[5]
125[6]
124[1]
124[2]
124[3]
124[4]
124[5]
124[6]
126[1]
121[1]
126[2]
121[2]
122 [1]
122 [2]
141
142
143
144
R1
G1
B1
R2
G2
B2
R3
G3
B3
R4
G4
B4

[図10]

(A)

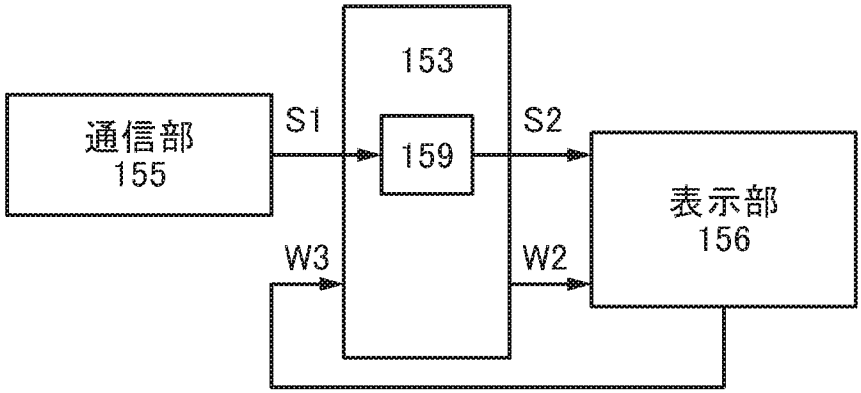

10b
124
125
121
122
101
113
111
NM
103
128
NA
MEM
112
104
129

(B)

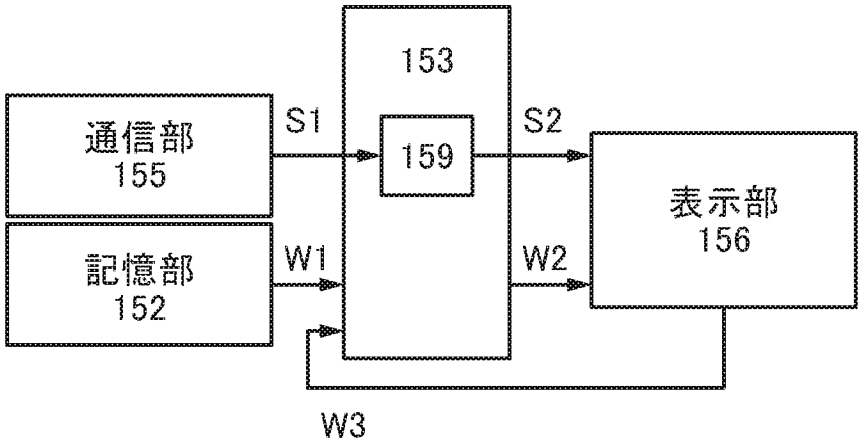

10c
124
125
126
121
122
101
113
111
NM
103
102
128
NA
MEM
112
104
129

[図11]

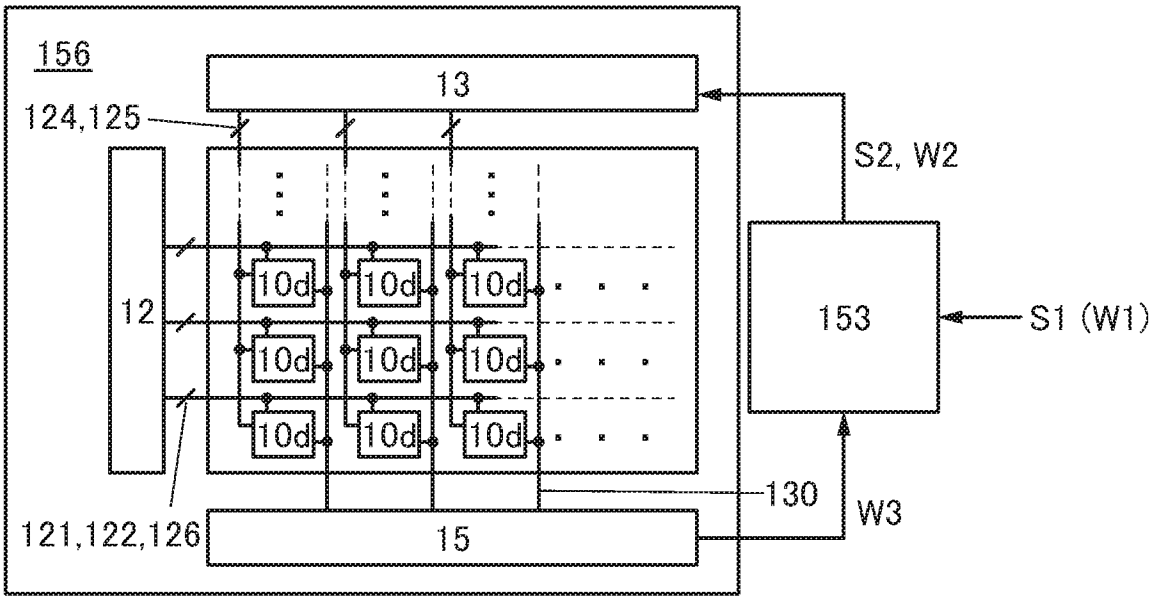
(A)


153
通信部
155
S1
159
S2
表示部
156
W3
W2

(B)

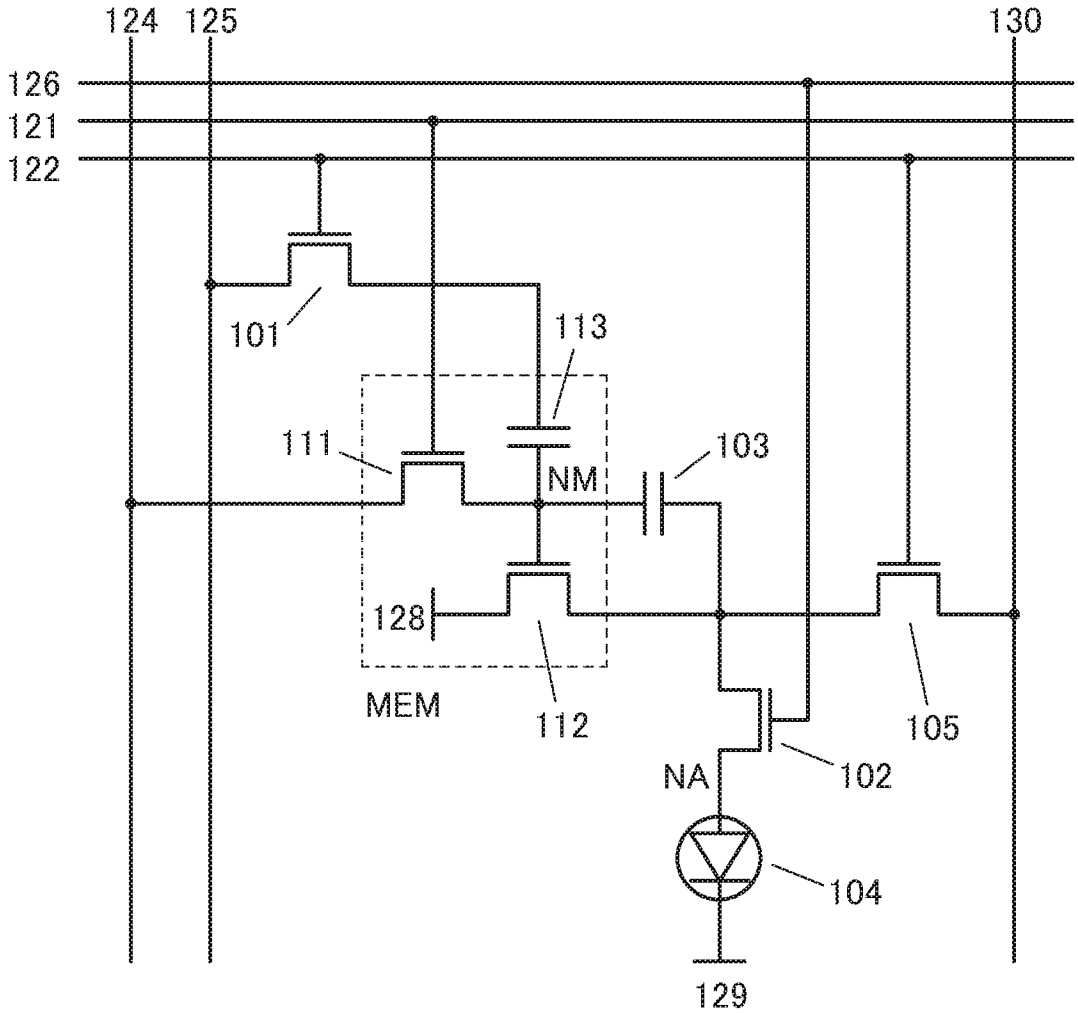

153
通信部
155
S1
159
S2
表示部
156
記憶部
152
W1
W2
W3

[図12]

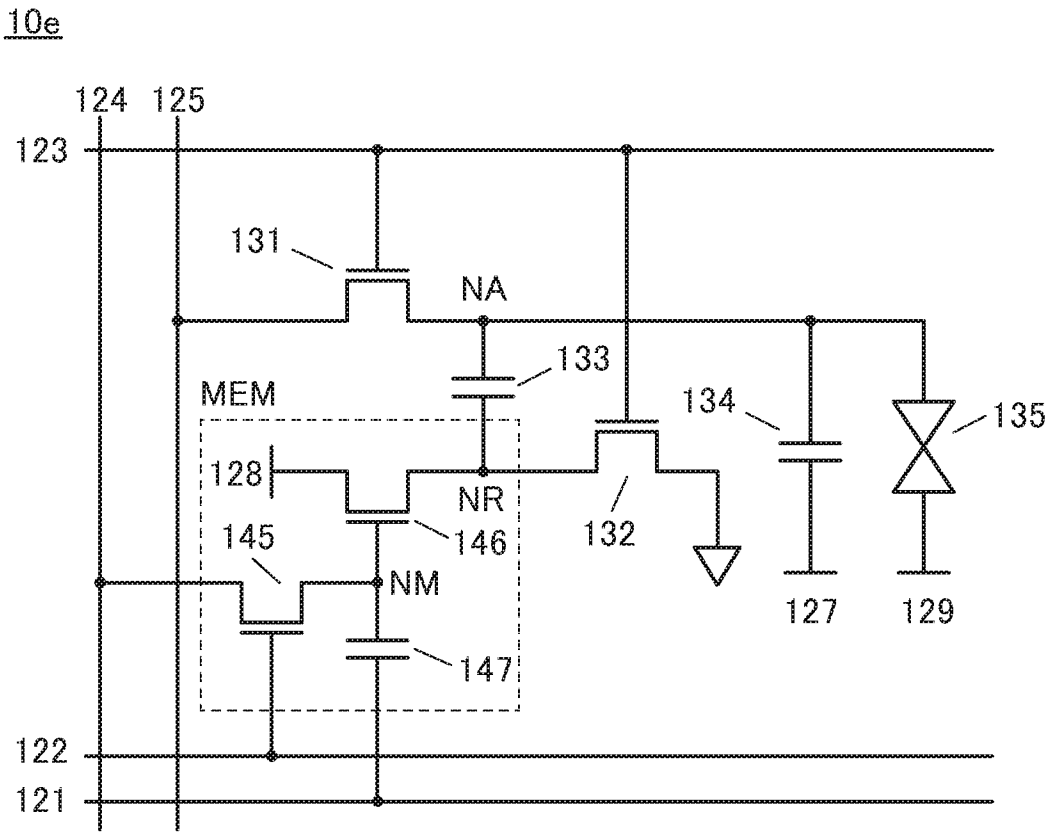


[図13]

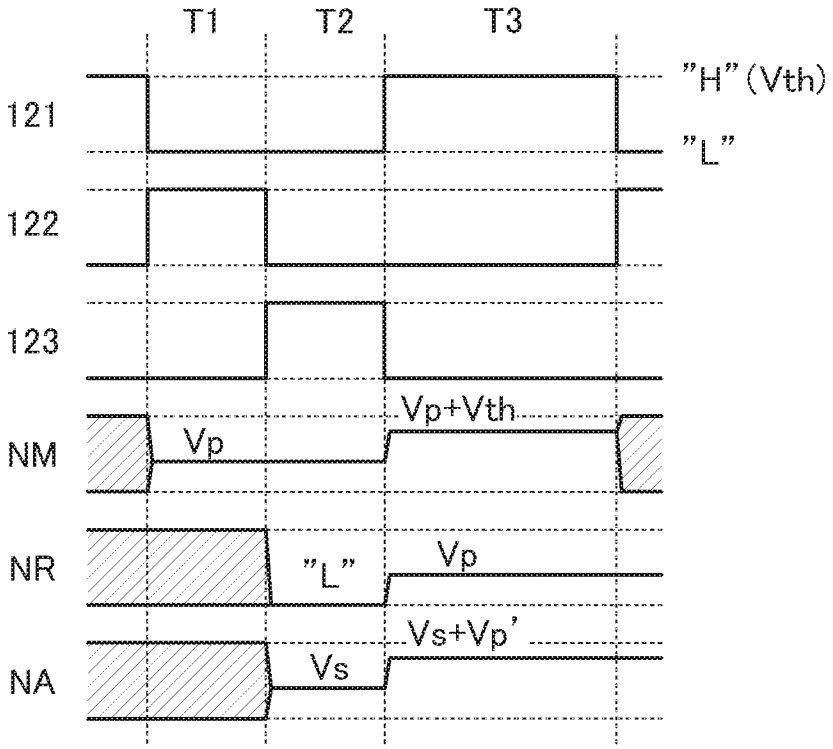
10d


124
125
130
126
121
122
101
113
111
103
NM
128
MEM
112
105
NA
102
104
129

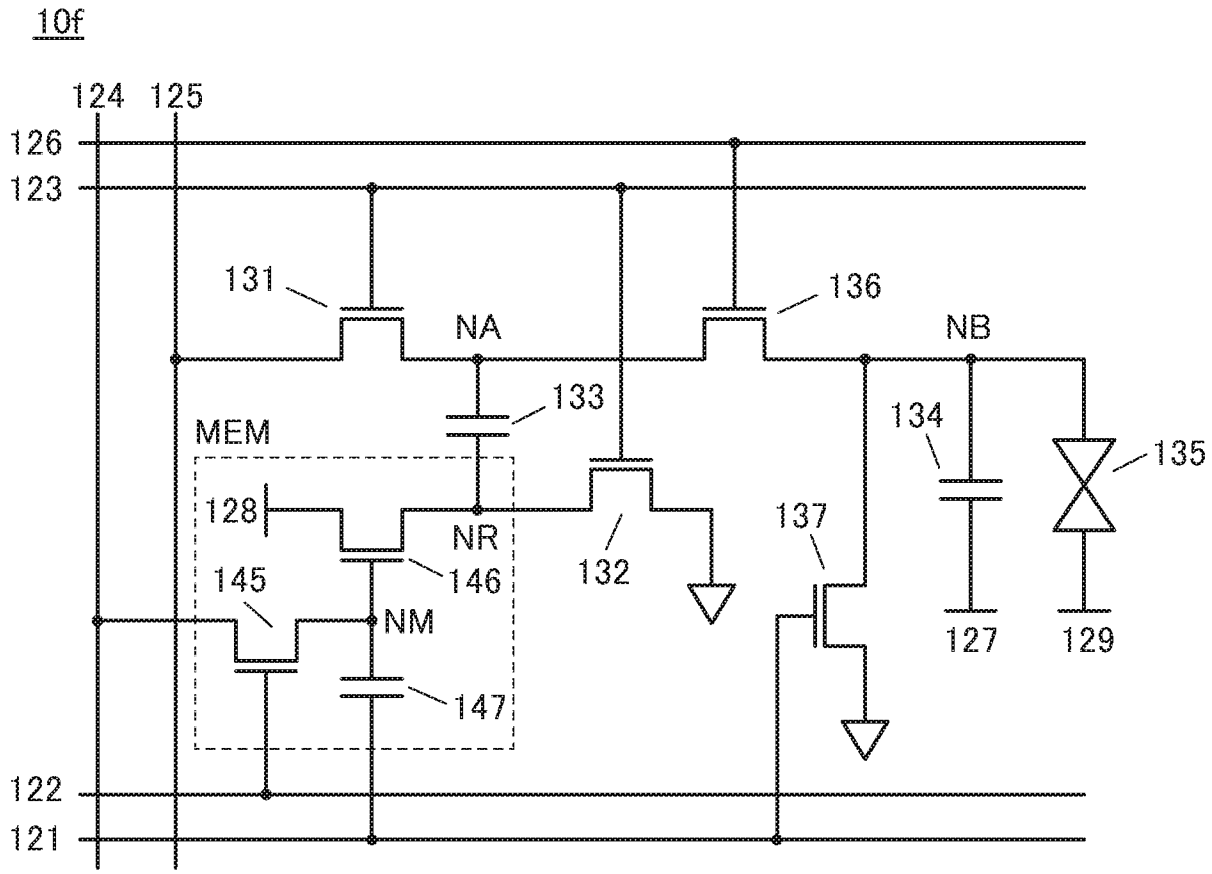
[図14]


10e
124
125
123
131
NA
133
MEM
134
135
128
NR
146
132
145
NM
127
129
147
122
121

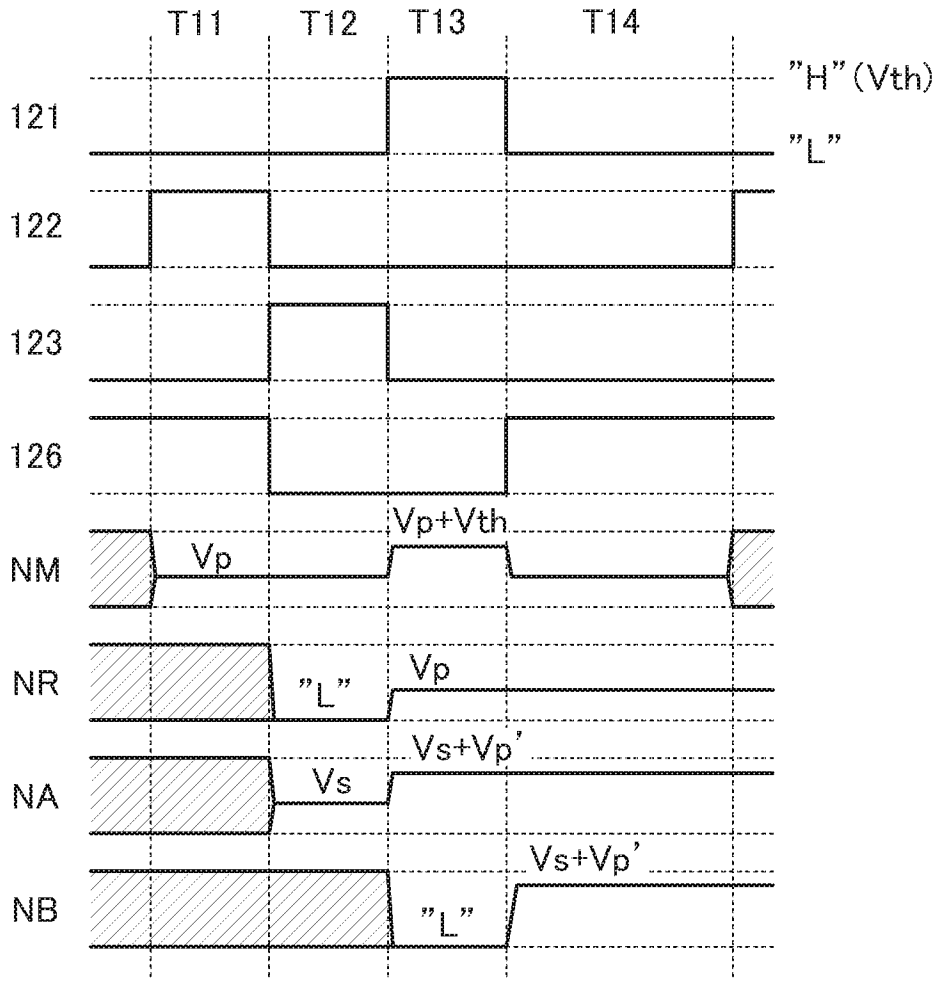
[図15]



[図16]

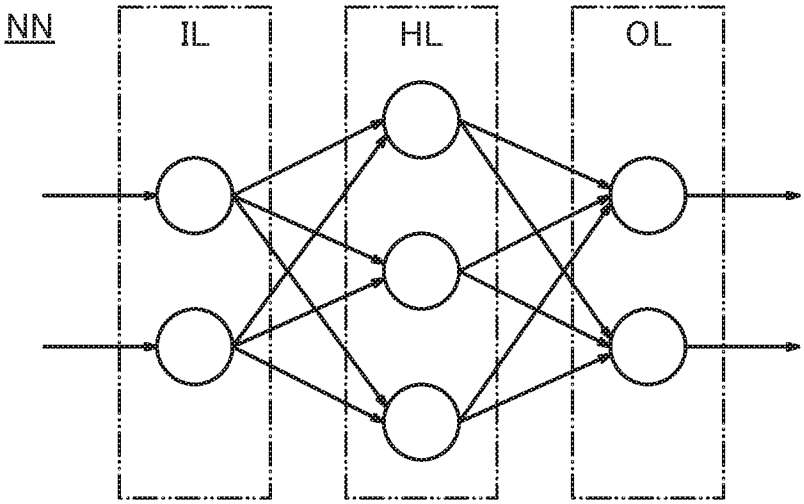

10f
124
125
126
123
131
NA
136
NB
133
134
135
MEM
128
NR
137
146
132
145
NM
127
129
147
122
121

[図17]

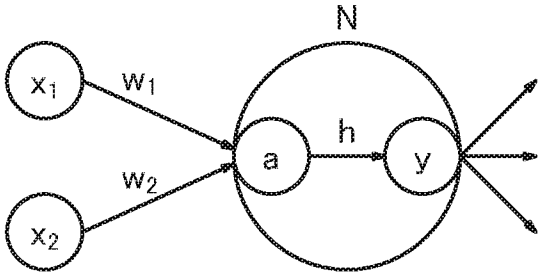

T11
T12
T13
T14
"H" (Vth)
121
"L"
122
123
126
Vp+Vth
NM
Vp
NR
"L"
Vp
Vs+Vp'
NA
Vs
Vs+Vp'
NB
"L"

[図18]

(A)

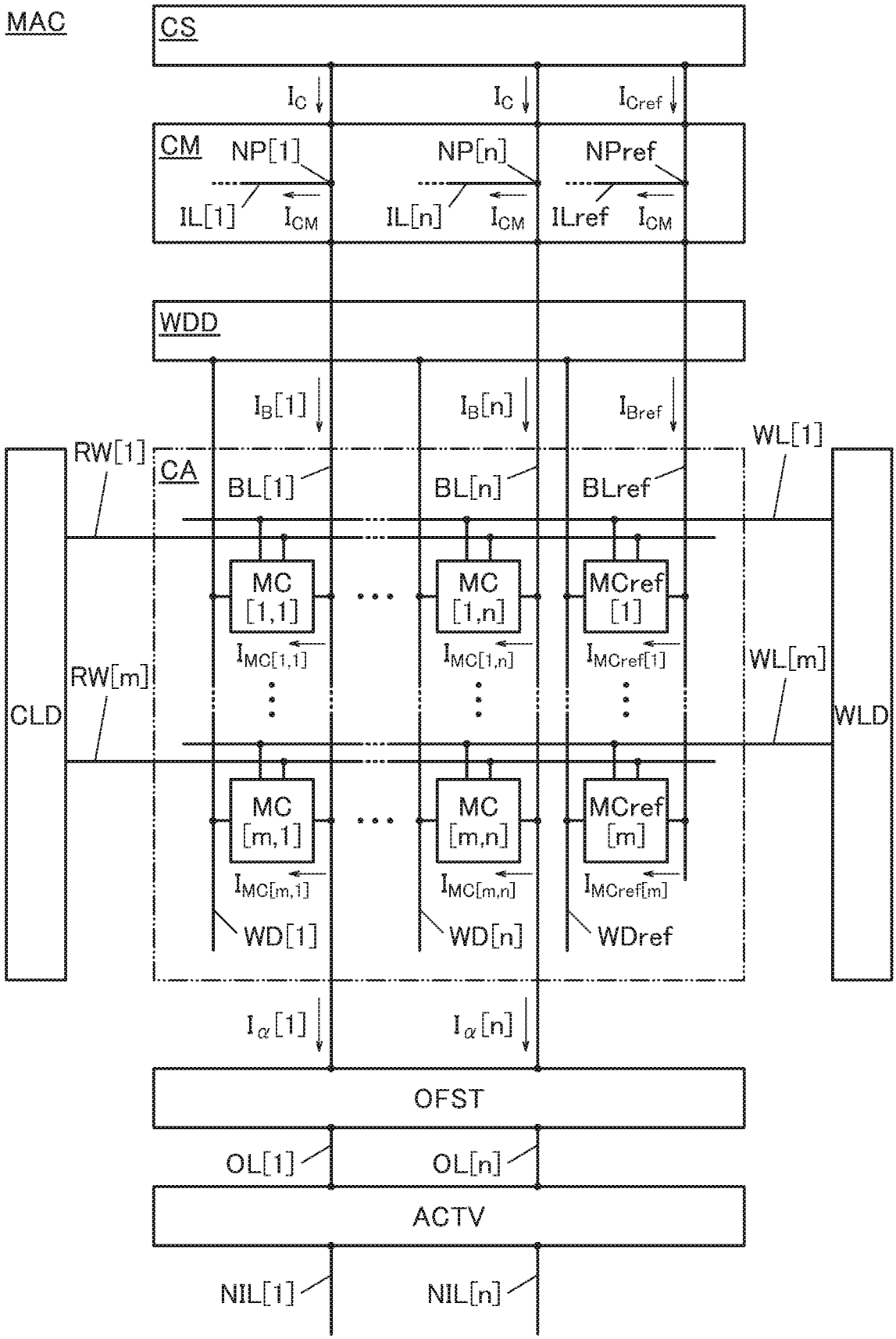


(B)

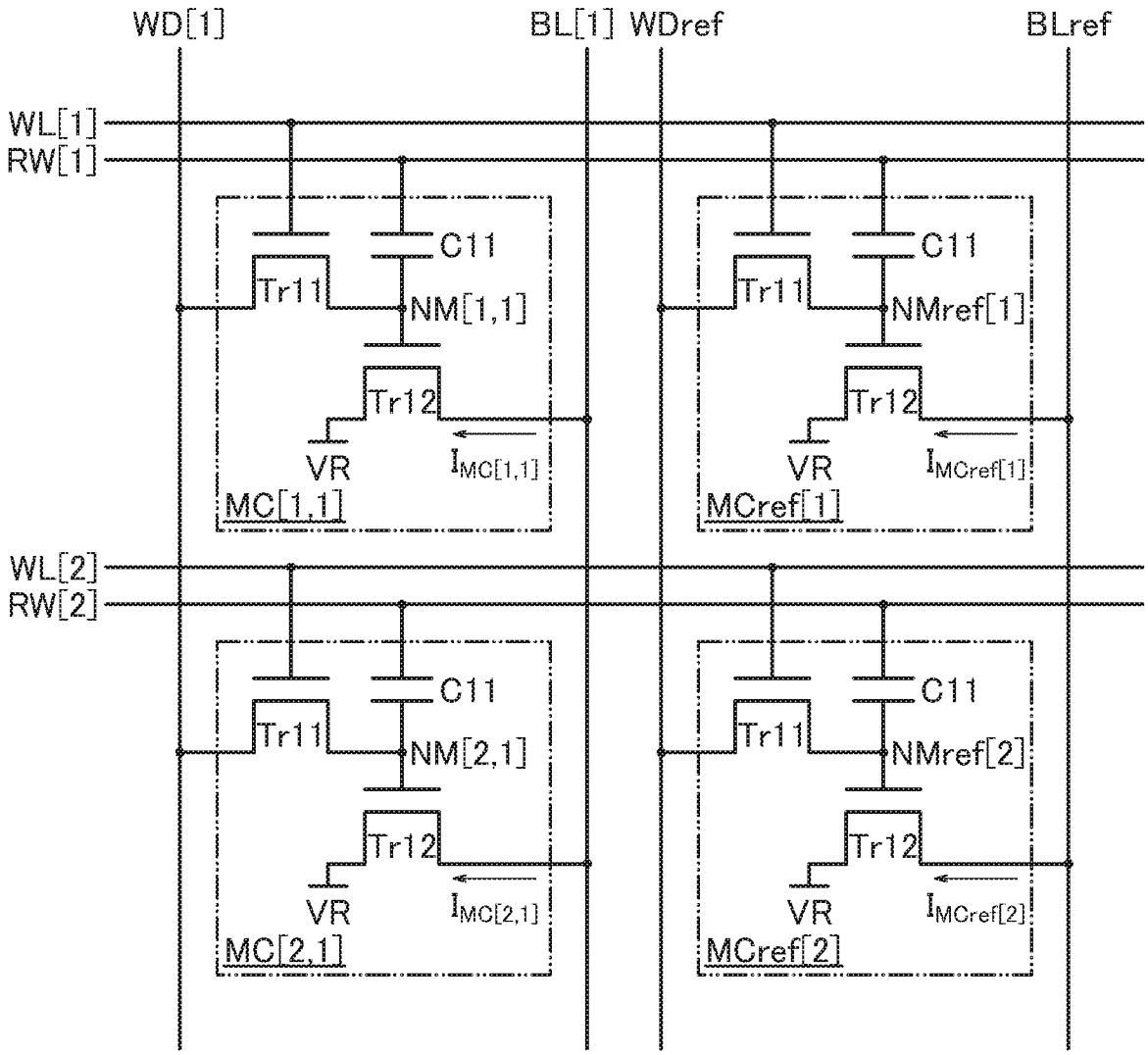


$a=x_1w_1+x_2w_2+b$

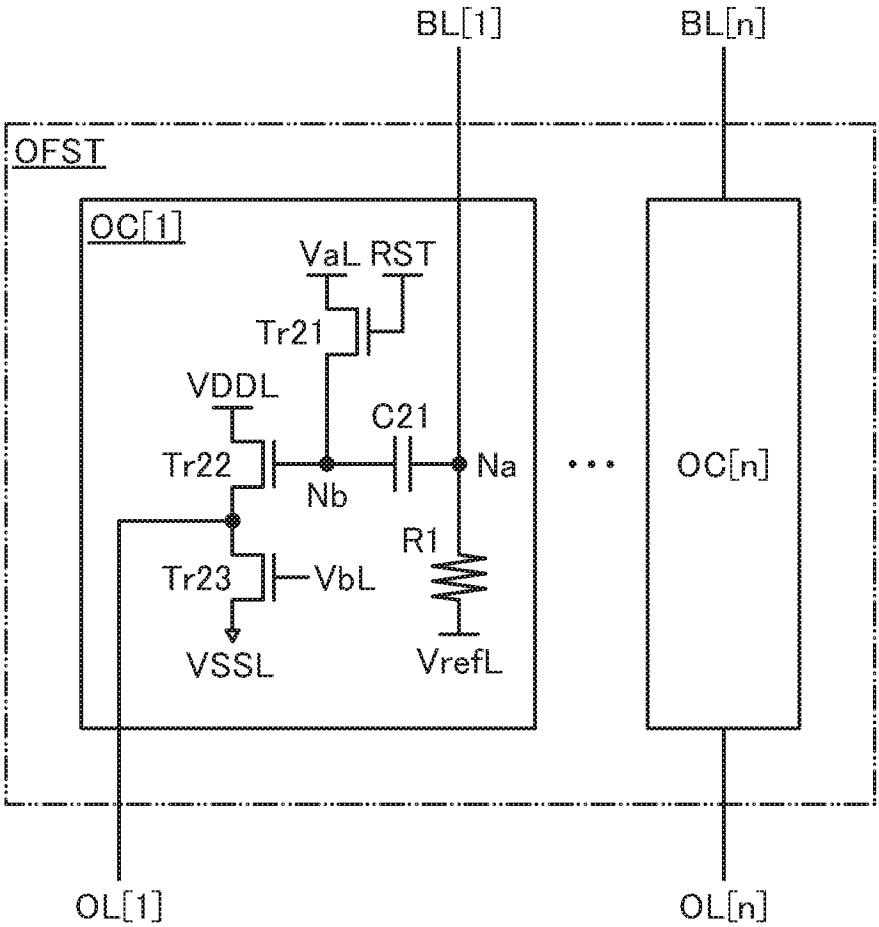
[図19]


MAC
CS
I_C
I_C
I_{Cref}
CM
NP[1]
NP[n]
NPref
IL[1]
I_{CM}
IL[n]
I_{CM}
ILref
I_{CM}
WDD
$I_B[1]$
$I_B[n]$
I_{Bref}
RW[1]
CA
BL[1]
BL[n]
BLref
WL[1]
MC [1,1]
MC [1,n]
MCref [1]
$I_{MC[1,1]}$
$I_{MC[1,n]}$
$I_{MCref[1]}$
RW[m]
CLD
WL[m]
WLD
MC [m,1]
MC [m,n]
MCref [m]
$I_{MC[m,1]}$
$I_{MC[m,n]}$
$I_{MCref[m]}$
WD[1]
WD[n]
WDref
$I_\alpha[1]$
$I_\alpha[n]$
OFST
OL[1]
OL[n]
ACTV
NIL[1]
NIL[n]

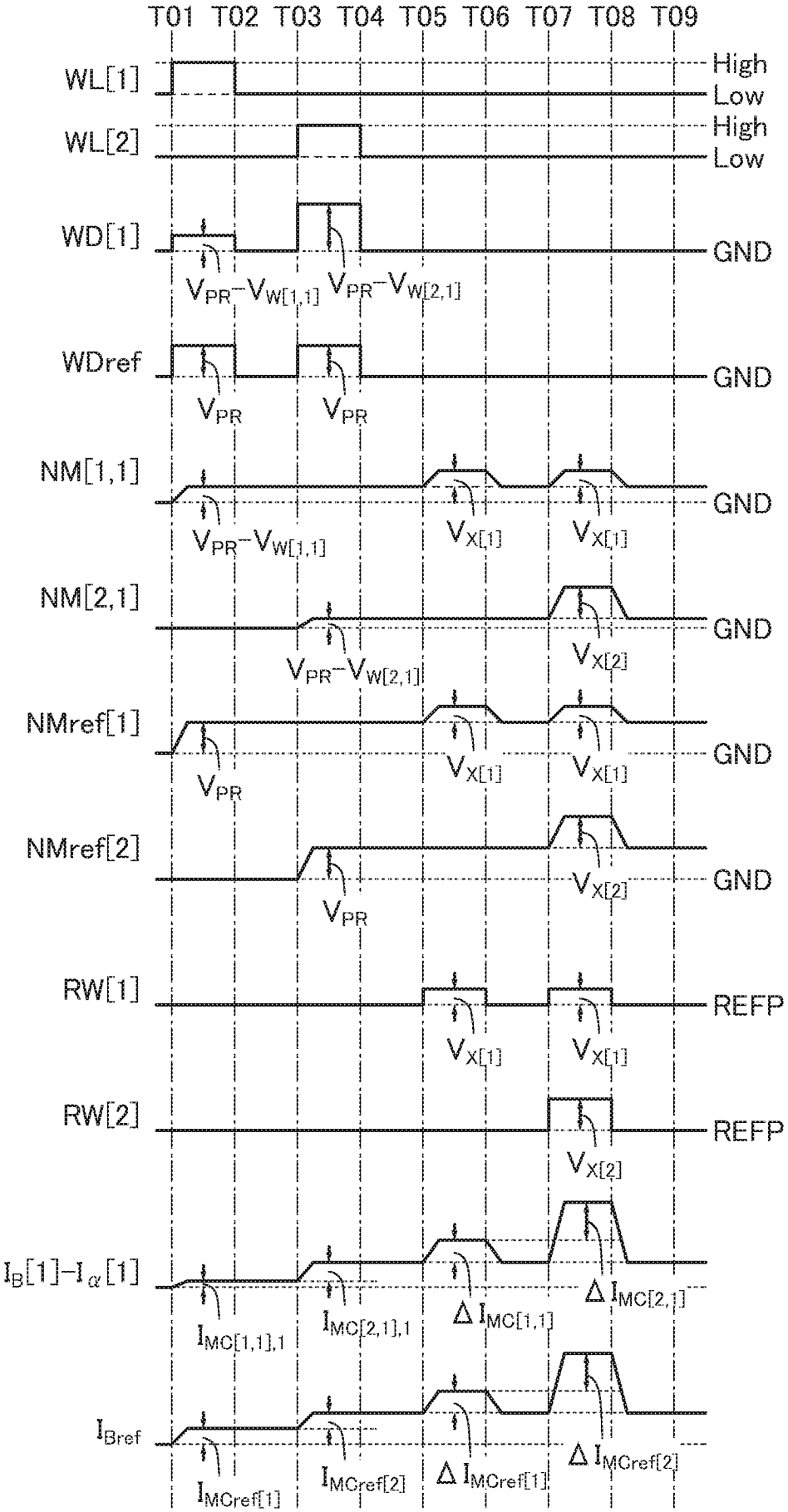
[図20]


WD[1]
BL[1]
WDref
BLref
WL[1]
RW[1]
C11
Tr11
NM[1,1]
Tr12
VR
$I_{MC[1,1]}$
MC[1,1]
C11
Tr11
NMref[1]
Tr12
VR
$I_{MCref[1]}$
MCref[1]
WL[2]
RW[2]
C11
Tr11
NM[2,1]
Tr12
VR
$I_{MC[2,1]}$
MC[2,1]
C11
Tr11
NMref[2]
Tr12
VR
$I_{MCref[2]}$
MCref[2]

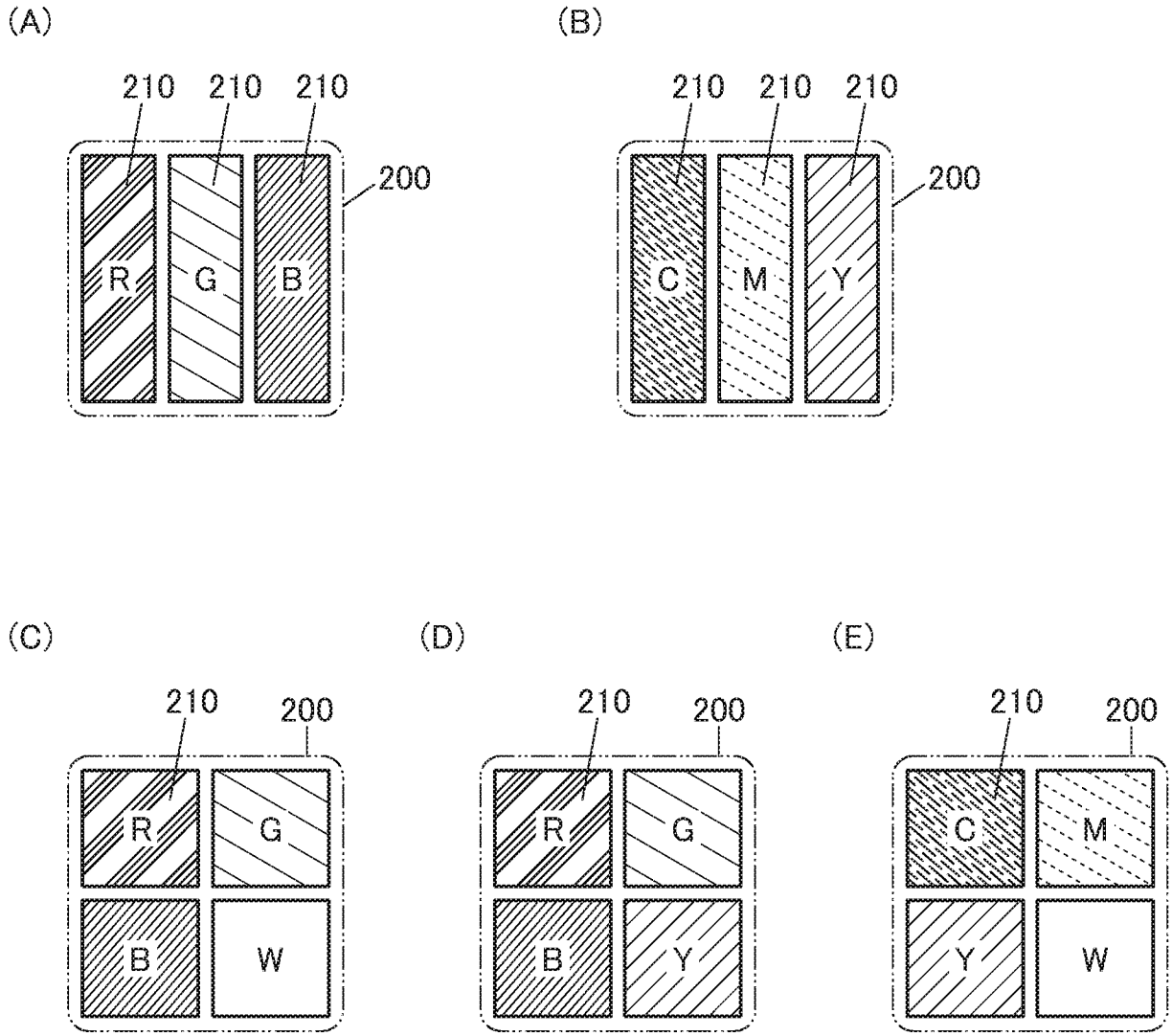
[図21]


BL[1]
BL[n]
OFST
OC[1]
VaL
RST
Tr21
VDDL
C21
Tr22
Nb
Na
OC[n]
R1
Tr23
VbL
VSSL
VrefL
OL[1]
OL[n]

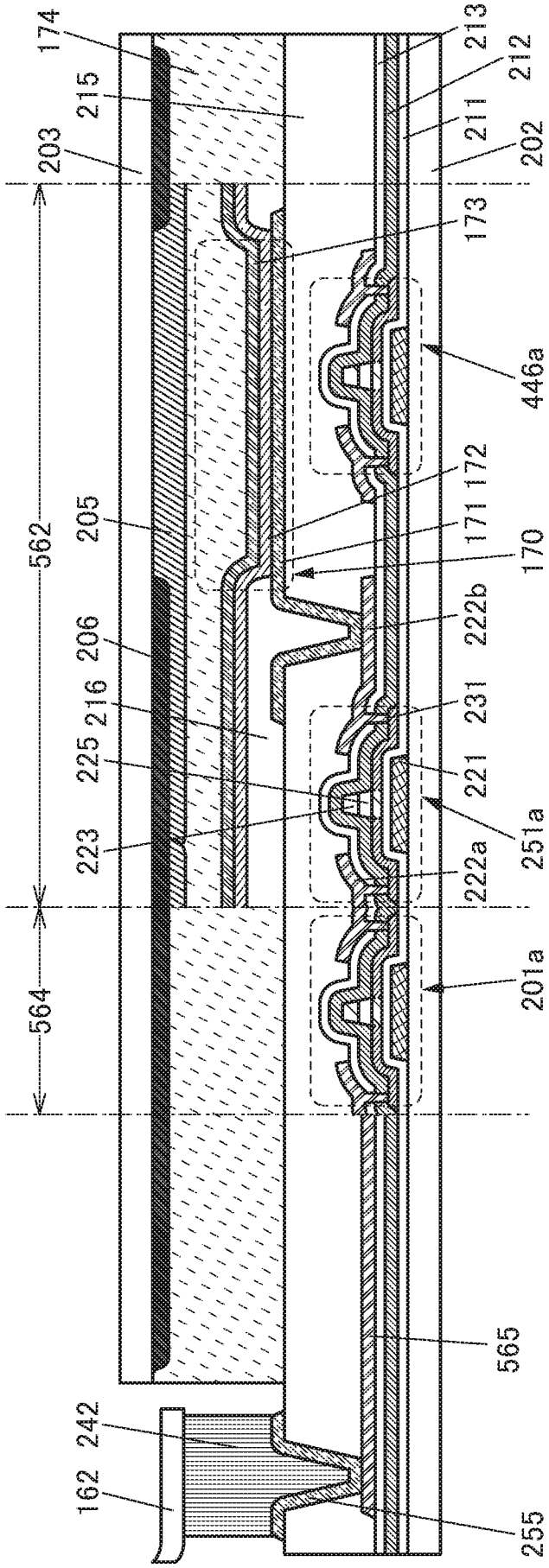
[図22]

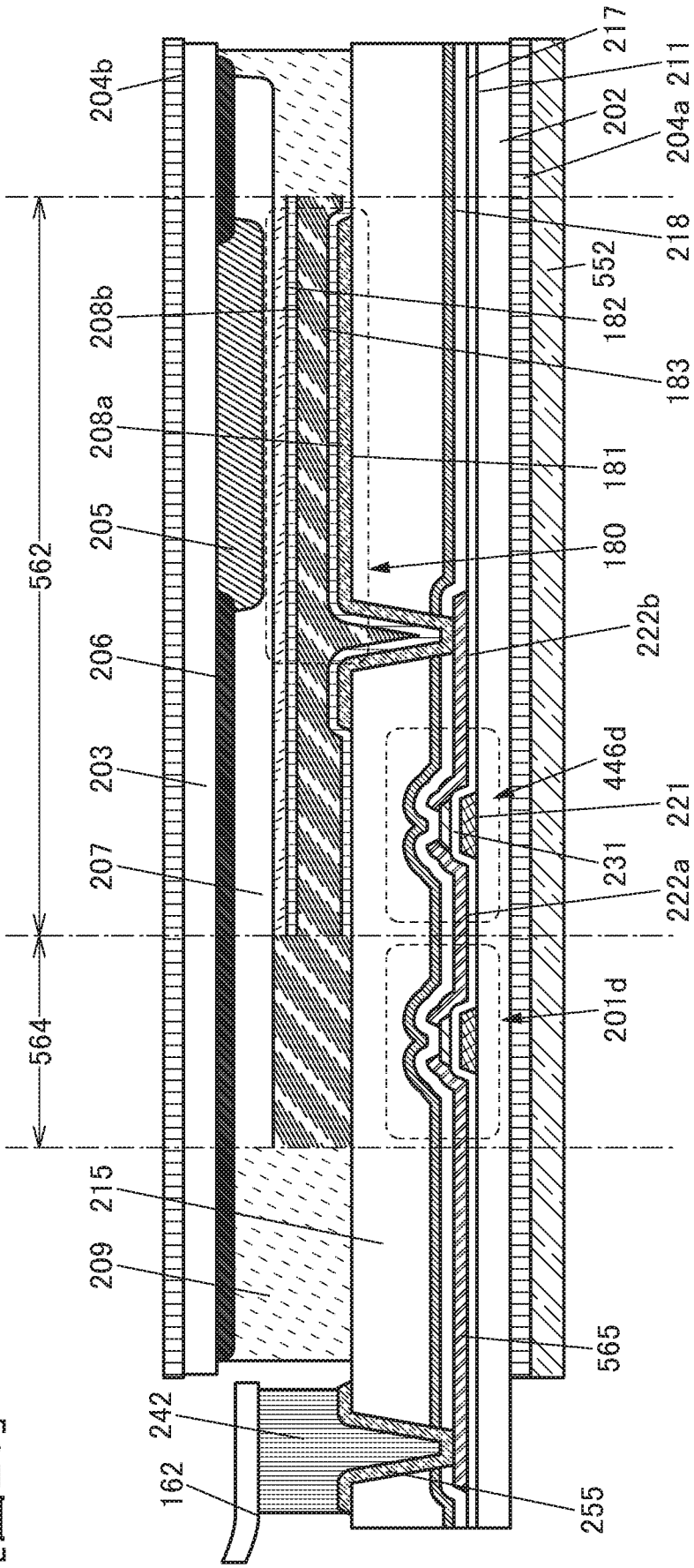

T01 T02 T03 T04 T05 T06 T07 T08 T09
WL[1]
High
Low
WL[2]
High
Low
WD[1]
GND
VPR−VW[1,1]
VPR−VW[2,1]
WDref
GND
VPR
VPR
NM[1,1]
GND
VPR−VW[1,1]
VX[1]
VX[1]
NM[2,1]
GND
VPR−VW[2,1]
VX[2]
NMref[1]
GND
VPR
VX[1]
VX[1]
NMref[2]
GND
VPR
VX[2]
RW[1]
REFP
VX[1]
VX[1]
RW[2]
REFP
VX[2]
IB[1]−Iα[1]
IMC[1,1],1
IMC[2,1],1
ΔIMC[1,1]
ΔIMC[2,1]
IBref
IMCref[1]
IMCref[2]
ΔIMCref[1]
ΔIMCref[2]

[図23]


(A)
210
210
210
200
R
G
B
(B)
210
210
210
200
C
M
Y
(C)
210
200
R
G
B
W
(D)
210
200
R
G
B
Y
(E)
210
200
C
M
Y
W

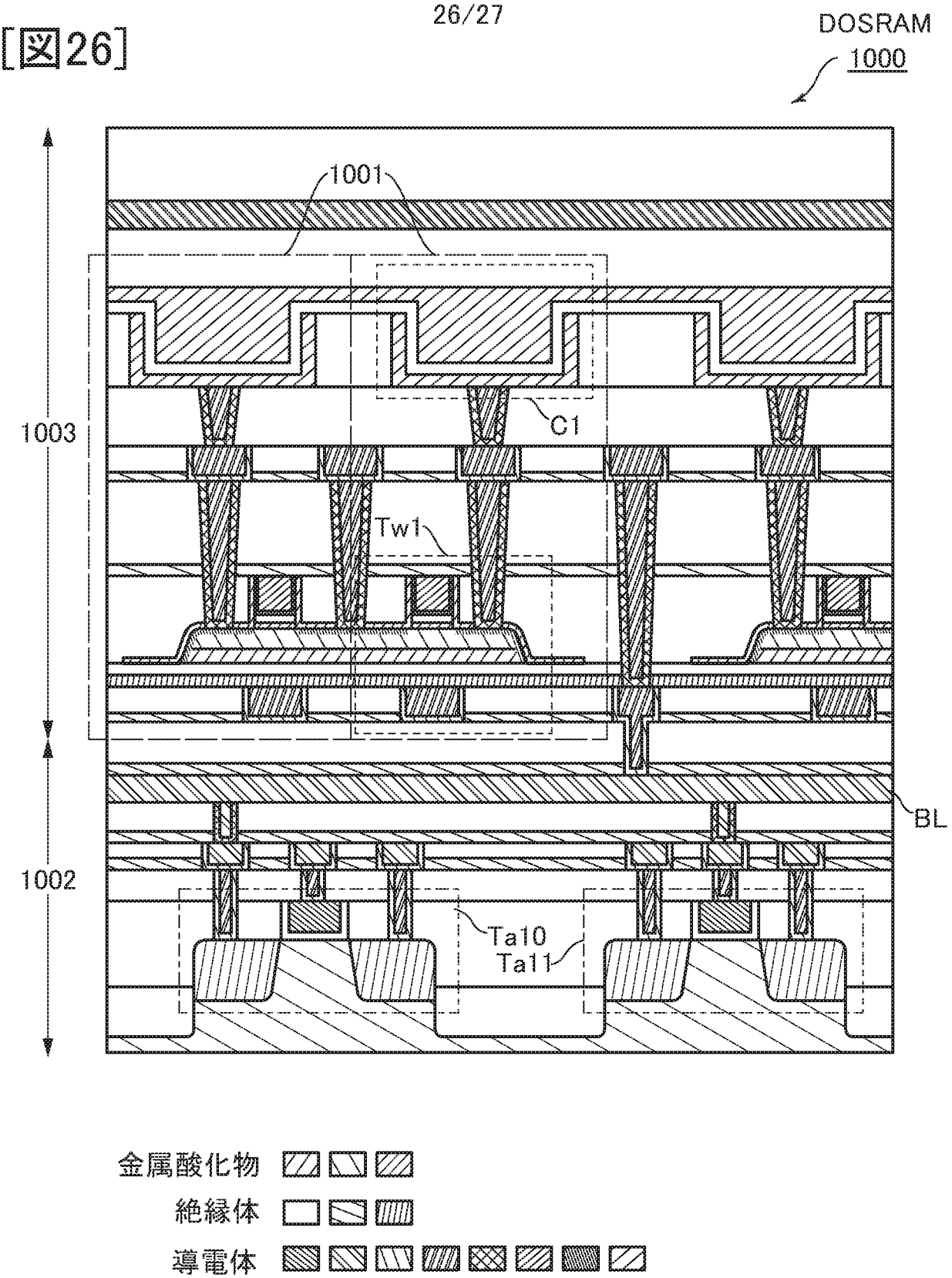
[図24]


174
215
203
562
205
206
216
225
223
564
242
162
213
212
211
202
173
446a
172
171
170
222b
231
221
251a
222a
201a
565
255

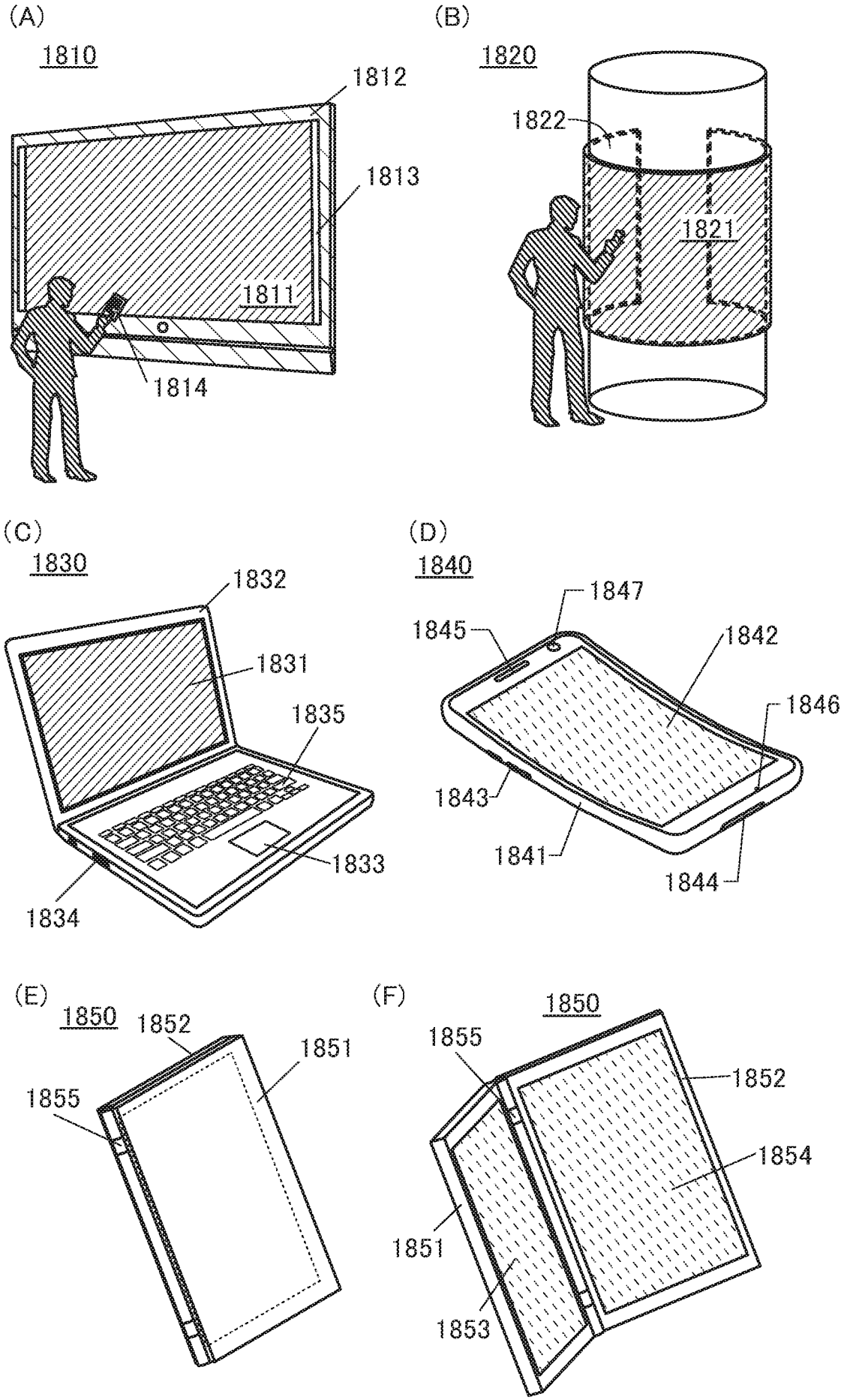

204b
217
211
202
204a
218
552
208b
182
183
208a
181
205
180
562
222b
206
446d
203
221
231
207
222a
564
201d
215
209
565
242
162
255

[図25]

[図26]



[図27]


(A)
1810
1812
1813
1811
1814
(B)
1820
1822
1821
(C)
1830
1832
1831
1835
1833
1834
(D)
1840
1847
1845
1842
1846
1843
1841
1844
(E)
1850
1852
1851
1855
(F)
1850
1855
1852
1854
1851
1853

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2018/056411

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/3233(2016.01)i, G09G3/36(2006.01)i, H01L21/336(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i. H05B33/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/20, G02F1/133, G09F9/30, G09G3/3233, G09G3/36, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-309422 A (SEIKO EPSON CORP.) 04 November 2005, paragraphs [0008]-[0028], fig. 1-9 (Family: none)	1-3, 17 7-8, 17 4-6, 9-16
Y	JP 9-319339 A (SONY CORP.) 12 December 1997, paragraphs [0006]-[0010], fig. 1-4 (Family: none)	7-8, 17

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 December 2018 (11.12.2018)	18 December 2018 (18.12.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2018/056411

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-195813 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 July 2003, entire text, all drawings & US 2003/0057895 A1 & TW 221268 B & KR 10-2003-0022084 A & CN 1407526 A	5-6
A	JP 2013-76812 A (SONY CORP.) 25 April 2013, entire text, all drawings & US 2013/0082906 A1 & CN 103035189 A	9-16
A	JP 2007-96055 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 12 April 2007, entire text, all drawings (Family: none)	10-11, 13-16
A	US 2006/0001614 A1 (HSUEH, Weichieh) 05 January 2006, entire text, all drawings (Family: none)	1-17

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１８／０５６４１１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl. G09G3/20(2006.01)i, G02F1/133(2006.01)i, G09F9/30(2006.01)i, G09G3/3233(2016.01)i, G09G3/36(2006.01)i, H01L21/336(2006.01)i, H01L27/32(2006.01)i, H01L29/786(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl. G09G3/20, G02F1/133, G09F9/30, G09G3/3233, G09G3/36, H01L21/336, H01L27/32, H01L29/786, H01L51/50, H05B33/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2005-309422 A (セイコーエプソン株式会社)	1-3, 17
Y	2005.11.04, 段落[0008]-[0028], 第1-9図	7-8, 17
A	(ファミリーなし)	4-6, 9-16
Y	JP 9-319339 A (ソニー株式会社) 1997.12.12, 段落[0006]-[0010], 第1-4図 (ファミリーなし)	7-8, 17

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１１．１２．２０１８	１８．１２．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　５７０２
斎藤　厚志
電話番号　０３－３５８１－１１０１　内線　３２７４

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2003-195813 A (株式会社半導体エネルギー研究所) 2003.07.09, 全文全図 & US 2003/0057895 A1 & TW 221268 B & KR 10-2003-0022084 A & CN 1407526 A	5-6
A	JP 2013-76812 A (ソニー株式会社) 2013.04.25, 全文全図 & US 2013/0082906 A1 & CN 103035189 A	9-16
A	JP 2007-96055 A (株式会社半導体エネルギー研究所) 2007.04.12, 全文全図 (ファミリーなし)	10-11,13-16
A	US 2006/0001614 A1 (HSUEH, Wei-Chieh) 2006.01.05, 全文全図 (ファミリーなし)	1-17